

DISEÑO E IMPLEMENTACIÓN DE SISTEMA DE ADQUISICIÓN PARA MEDICIONES DE CALIDAD DE ENERGÍA

Leonardo Grossi
Facultad de Ingeniería
Universidad Nacional de Mar del Plata

Director: Dr. Patricio Donato
Co-Director: Dr. Ignacio Carugati



RINFI se desarrolla en forma conjunta entre el INTEMA y la Biblioteca de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata.

Tiene como objetivo recopilar, organizar, gestionar, difundir y preservar documentos digitales en Ingeniería, Ciencia y Tecnología de Materiales y Ciencias Afines.

A través del Acceso Abierto, se pretende aumentar la visibilidad y el impacto de los resultados de la investigación, asumiendo las políticas y cumpliendo con los protocolos y estándares internacionales para la interoperabilidad entre repositorios



Esta obra está bajo una [Licencia Creative Commons Atribución-NoComercial-CompartirIgual 4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/).

Agradecimiento

Al Dr. Patricio Donato y el Dr. Ignacio Carugati, director y codirector de este proyecto, quienes me ayudaron, brindaron su apoyo incondicional e hicieron posible la realización de este trabajo.

Índice general

1. Introducción	5
1.1. Calidad de energía	5
1.2. Perturbaciones de la red eléctrica	6
1.2.1. Variaciones de frecuencia	7
1.2.2. Variaciones lentas de amplitud	8
1.2.3. Variaciones rápidas de amplitud	9
1.2.4. Desbalances de tensión	10
1.2.5. Distorsión en la forma de onda	11
1.2.6. Reducción de la tensión	13
1.2.7. Transitorios	14
1.3. Norma IEC61000-4-30	15
2. Anteproyecto	16
2.1. Objetivos	16
2.1.1. Objetivo general	16
2.1.2. Objetivos específicos	16
2.2. Características de diseño	17
3. Proyecto	19
3.1. Diseño individual de los módulos	20
3.1.1. Módulo de adecuación de tensión	20
3.1.2. Módulo de adecuación de corriente	21
3.1.3. Filtro antialiasing	23
3.1.4. Adquisición de señales	24
3.1.5. Microcontrolador y periféricos	26
3.1.6. Salidas analógicas	30
3.1.7. Fuentes de alimentación	32
3.1.8. Módulo de expansión	34
3.2. Diseño del PCB	37
3.3. Programación del microcontrolador ARM	40
3.4. Programación de la FPGA	42

4. Mediciones	46
5. Conclusión y discusión	51
Lista de figuras	52

Resumen

En este trabajo se presenta el diseño e implementación de un sistema adquirente de señales de la red eléctrica trifásica para la medición de calidad de energía. El hardware contiene 8 canales de adquisición analógica, cuatro de ellos dedicados a la adquisición de tensiones y cuatro para la adquisición de corrientes, un microcontrolador ARM SAM3S, lector de tarjetas SD, puerto mini USB y una interface para conectar un kit de desarrollo tipo FPGA o DSP para añadir funciones de procesamiento de señales.

1. Introducción

La necesidad de analizar la calidad de la energía eléctrica se ha vuelto más notoria en los últimos años, debido a diversos factores relacionados tanto con las tecnologías usadas como con las características de generación y el consumo. Por esta razón, en este primer capítulo se describe el concepto de calidad de energía y se realiza una introducción a la problemática de las perturbaciones de la red eléctrica que la afectan.

1.1. Calidad de energía

Las tensiones y corrientes de la red eléctrica presentan distorsiones y perturbaciones que dificultan el procesamiento y caracterización de los parámetros de las mismas. El estudio de estas condiciones de funcionamiento suele realizarse mediante el concepto de calidad de energía.

En la bibliografía y la normativa pertinente se han proporcionado diferentes definiciones para el concepto de calidad de la energía. Sin embargo, en esta tesis se la analizará como la combinación de dos facetas fuertemente relacionadas entre sí: la calidad de tensión y la calidad de corriente. La primera hace referencia a la desviación de la tensión de línea respecto de su forma de onda ideal y/o aquella definida por la normativa pertinente, y la segunda es equivalente para la corriente. Los motivos que impulsan la necesidad de evaluar la calidad de la tensión y corriente se pueden resumir en los siguientes puntos:

- El creciente uso de dispositivos electrónicos con un comportamiento no lineal, que aumentan el consumo de corrientes no sinusoidales (o sea, con elevado contenido de componentes armónicos). Este efecto aparece tanto en redes de baja como de alta tensión, sin embargo se aprecia en mayor medida en las primeras, como resultado del uso de gran cantidad de pequeños convertidores conmutados para la alimentación de dispositivos electrónicos.
- La necesidad de regular y definir normas internacionales que estipulen las características que deben cumplir la tensión de la red eléctrica y la necesidad de definir indicadores adecuados de la calidad del suministro eléctrico, a fin de poder ayudar al monitoreo y control de la misma.
- La inclusión de sistemas de generación distribuida (DGS, Distributed Generation System) que producen nuevos problemas de calidad de energía como variaciones de amplitud, flickers y distorsión armónica. Muchos de estos son empleados como

interface entre la red y fuentes de energías renovables, las cuales presentan un recurso variable en el tiempo y demandan un control y seguimiento de los parámetros de la red eléctrica.

- El actual interés en reducir el consumo energético ha llevado al empleo de sistemas que hacen un uso eficiente de la energía, como por ejemplo las lámparas de bajo consumo, los cuales son una importante fuente de distorsión para las tensiones de la red.

Un sistema trifásico ideal se define como una terna de tensiones de forma de onda senoidal de igual amplitud, frecuencia y fase inicial, desfasadas 120° entre sí. Un sistema trifásico sin perturbaciones es aquel en el cual las tensiones y corrientes cumplen con esta representación, y además, las tensiones y corrientes están en fase. Cualquier desviación de esta definición es considerada como una perturbación de la red eléctrica, las cuales, pueden ser de tensión o corriente. Sin embargo, no siempre es posible distinguir si una perturbación pertenece a un grupo u otro, debido a que un cambio en la corriente lleva a un cambio en la tensión, el cual lleva a su vez a un cambio en la corriente, y así sucesivamente.

Para solucionar este problema, se define a la perturbación de tensión como aquella originada en la red eléctrica y que afecta al usuario. De la misma forma, se denomina como perturbación de corriente a la originada por el usuario y que puede afectar a la red eléctrica.

Otra importante división que debe considerarse al momento de estudiar las señales provenientes de la red eléctrica, es la diferencia entre variaciones y eventos. Las variaciones son desviaciones de los parámetros de las señales de su valor nominal, las cuales deben ser medidas en forma continua. Ejemplos de variaciones son la desviación de frecuencia y amplitud del valor nominal.

Por otro lado, los eventos son perturbaciones repentinas que tienen un comienzo y un final, generalmente resultado de una falla en la red eléctrica. Los tres tipos de eventos más importantes son las interrupciones, los dips (o huecos) de tensión (como resultado del cortocircuito entre fases o entre una fase y neutro) y los transitorios.

1.2. Perturbaciones de la red eléctrica

A continuación se hace una breve descripción de algunas de las perturbaciones que pueden encontrarse en la red eléctrica. Se analizan cuatro tipos de variaciones, las desviaciones de frecuencia, las variaciones de amplitud, el nivel de desbalances y la distorsión armónica. Luego se presentan dos tipos de eventos, los dips de tensión y los transitorios.

1.2.1. Variaciones de frecuencia

Debido a que es imposible almacenar grandes cantidades de energía eléctrica durante un período de tiempo largo, la generación y consumo debe realizarse en forma balanceada. Un desbalance entre ellos resulta en un cambio en la energía presente en el sistema el cual lleva a una variación de la frecuencia de las señales provenientes de la misma. Esto es debido a que la energía presente en un sistema de potencia está dominada por la rotación de los generadores y motores conectados al mismo.

Como las variaciones de frecuencia son resultado de desbalances entre la potencia generada y la potencia consumida, es razonable esperar que un sistema de distribución de gran tamaño presente menores variaciones en relación a uno de menor tamaño, ya que la conexión y desconexión de cargas afecta en menor medida al sistema completo. En la Figura 1.2.1 se presentan la medición de la frecuencia de las tensiones de línea ($f(t)$) en tres países diferentes (España, Singapur y Gran Bretaña), a lo largo del 17 de octubre de 2011. Como se verifica en la figura, España presenta las menores variaciones debido a que es parte del sistema europeo de distribución de energía, uno de los mayores en todo el mundo. En contraste, los sistemas de Singapur y Gran Bretaña son de menor tamaño y por ende se verifica una mayor variación en la frecuencia de la red eléctrica. Es importante notar que las variaciones analizadas en esta figura corresponden a condiciones normales de funcionamiento.

A fin de mitigar las variaciones de frecuencia producidas por la conexión y desconexión de cargas y de unidades de generación distribuida, las grandes centrales de generación de energía eléctrica están equipadas con sistemas de control que varían la potencia generada a partir de medir la frecuencia de las señales entregadas a la red.

Entre las consecuencias de las variaciones de frecuencia se puede nombrar a la desviación de clocks generados a partir de las tensiones de línea, la variación de velocidad en motores de inducción y motores sincrónicos y las variaciones en el flujo de motores y transformadores.

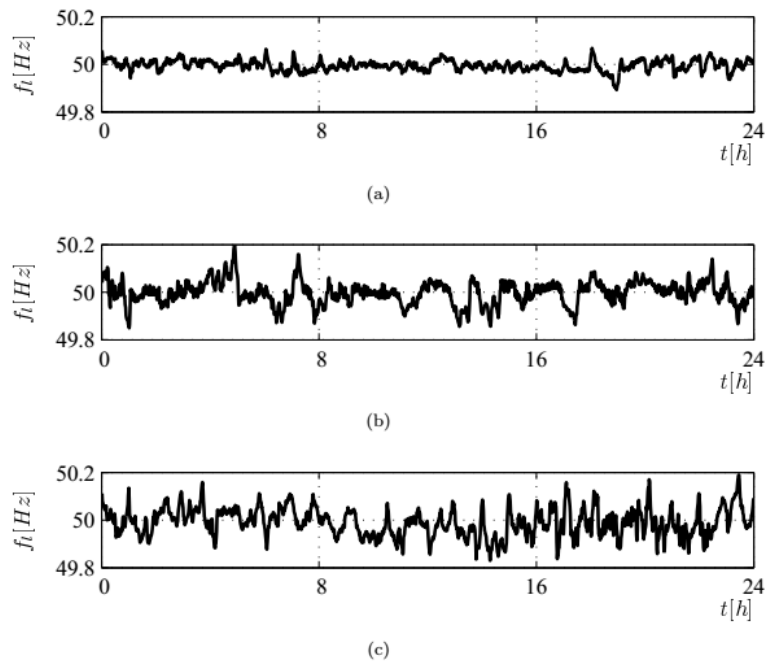


Figura 1.2.1: Frecuencia de la red eléctrica en (a) España, (b) Singapur y (c) Gran Bretaña a lo largo del 17 de Octubre de 2011. Los datos son obtenidos a partir tres analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab). La medición de frecuencia se obtuvo a partir de calcular la cantidad de los cruces por cero de la señal analizada durante un intervalo de un minuto de duración.

1.2.2. Variaciones lentas de amplitud

Estas perturbaciones son atribuidas a las variaciones en el flujo de la potencia activa y reactiva en el sistema eléctrico. Por ejemplo, la conexión y desconexión de cargas en la red produce un cambio en la corriente sobre la impedancia de línea, resultando en un cambio de las tensiones en el punto de conexión común. Otra causa de estas perturbaciones son los sistemas de generación distribuida, ya que la producción de energía no depende principalmente de la necesidad de potencia por parte del usuario. Existen otros factores más relevantes como por ejemplo la disponibilidad del recurso, el cual suele ser variable con el tiempo. Como resultado, un bajo requerimiento de energía (baja carga) con gran producción puede resultar en una resistencia negativa en la red, lo cual lleva a un incremento de la amplitud de las tensiones de la red eléctrica.

A diferencia de las variaciones de frecuencia, las cuales no producen consecuencias significativas sobre los equipos conectados a la red eléctrica, las variaciones lentas en la amplitud de las tensiones de línea generan una gran cantidad de problemas. Una tensión mayor a la nominal disminuye la vida útil de algunos dispositivos como por ejemplo las lámparas incandescentes y fluorescentes, aumenta el riesgo de fallas en el

aislamiento de los equipos, aumenta el torque y las corrientes de encendido de motores, la disipación de calor en resistencias y la corriente en transformadores, lo cual resulta en una mayor distorsión en la forma de onda de tensión. Por otro lado, una tensión menor a la nominal disminuye el torque en el arranque de los motores lo que puede llevar a un aumento de la temperatura y disminuye la eficiencia de algunos equipos ya que incrementa la corriente consumida y por ende, las pérdidas asociadas al funcionamiento normal del dispositivo.

En la Figura 1.2.2 se presentan la medición del valor de tensión RMS en dos países, EEUU e Italia, durante una semana completa. Ambas mediciones corresponden a diferentes sistemas de distribución eléctrica, verificándose una variabilidad de este parámetro en ambas mediciones.

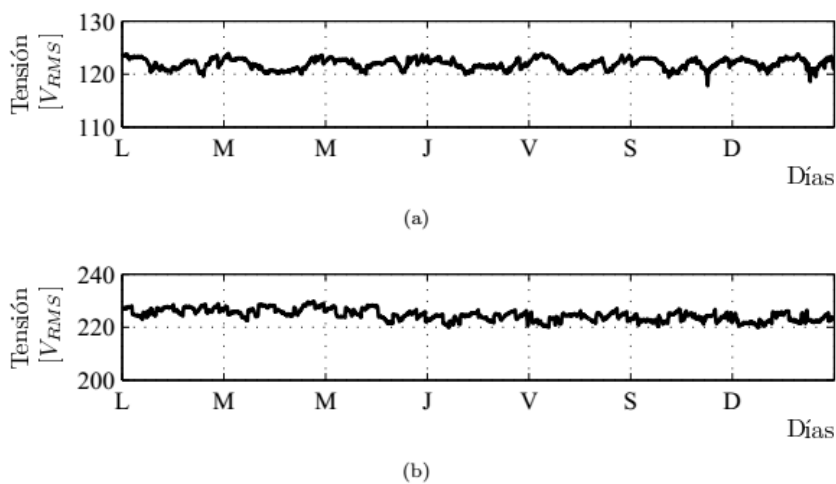


Figura 1.2.2: Valor de tensión RMS durante una semana en (a) EEUU y (b) Italia. Los datos son obtenidos a partir dos analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab) [1]. Los valores son calculados a partir de estimar el valor RMS de medio ciclo de línea y el promediado de los valores resultantes en una ventana de 5 minutos de duración.

1.2.3. Variaciones rápidas de amplitud (fluctuaciones de tensión)

Al igual que ocurre con las variaciones lentas de amplitud, las fluctuaciones de tensión son resultado de las variaciones en las cargas conectadas a la red, ya que un cambio en la corriente resulta en un cambio en las tensiones de línea. Sin embargo, las causas particulares de este tipo de perturbación difieren a las analizadas en la sección previa. Los dispositivos que producen esta distorsión pueden dividirse en dos grupos, los que generan cambios repetitivos en la forma de onda de la tensión de línea y los que consumen corriente que varía continuamente en el tiempo.

Dentro del primer grupo se encuentran las fotocopiadoras, los equipos de aire acondicionado y los refrigeradores. Estos sistemas tienen un reducido ciclo de trabajo y generan pequeños eventos repetitivos de gran velocidad resultando en rápidos cambios de la amplitud de las tensiones de línea. Por otro lado, dentro del segundo grupo se encuentran los hornos de arco eléctrico, cargas de tracción y generadores eólicos.

La principal consecuencia de este tipo de perturbación son los cambios rápidos en la intensidad de la luz emitida por dispositivos de iluminación (flickers). Este efecto, aún en pequeño grado, puede ser captado por el cerebro humano llegando a ser irritable e incluso, provocar dolores de cabeza. Otras consecuencias adversas de este tipo de perturbación se aprecian en el control de rectificadores controlados por línea y en el frenado y aceleración de motores.

1.2.4. Desbalances de tensión

Los desbalances entre las tensiones de un sistema trifásico son el resultado de la asimetría entre las cargas conectadas al sistema y de los desbalances en la estructura del mismo. Aún en condiciones normales de funcionamiento, existen variaciones entre las cargas conectadas a cada fase del sistema por lo que es común que dichas señales presenten un grado de desbalance.

Este efecto se aprecia en mayor medida en las redes de baja tensión. Esto responde a dos razones principalmente, en primer lugar porque en media y alta tensión casi todas las cargas son trifásicas y en segundo lugar porque aunque parte de los efectos se propagan a las redes de media y alta tensión, los mismos se cancelan mutuamente ya que los desbalances entre cargas están distribuidos en forma aleatoria a lo largo del sistema de distribución. Sin embargo existen excepciones como los desbalances en redes de alta tensión atribuidos a grandes cargas monofásicas, como por ejemplo la que provee a la red un horno de arco eléctrico.

Otra situación que genera desbalances en las tensiones de línea resulta de la circulación de corriente balanceada a través de impedancias no balanceadas. Los transformadores y las líneas de transmisión no son completamente iguales para cada fase. Por ejemplo, la rama central de un transformador trifásico toma una corriente de magnetización diferente a las otras dos y las líneas de transmisión de la red presentan pequeñas diferencias de inductancia y capacidad. Al mismo tiempo, los desbalances pueden ser resultado de pequeñas diferencias entre las fases de un equipo trifásico. A pesar de que

se supone que los mismos son balanceados, estos pueden consumir corriente desbalanceada debido a limitaciones o errores en el diseño de los mismos. Un ejemplo de estos equipos trifásicos son los motores de inducción.

En la Figura 1.2.3 se presenta la medición del porcentaje de desbalance de una red eléctrica en dos países, EEUU y Alemania, durante una semana completa. En ambos casos, los valores obtenidos cumplen con la norma europea EN 50160 que estipula que, bajo condiciones de funcionamiento normales, el 95 % de la semana, la secuencia negativa medida a partir de una ventana de 10 minutos de duración debe ser menor del 2 % del valor de la secuencia positiva.

Es importante notar que en condiciones normales de funcionamiento el desequilibrio de las tensiones del sistema eléctrico no suele ser muy elevado, a diferencia de los desbalances producidos por fallas en el sistema, los cuales pueden llevar a grandes diferencias entre las fases.

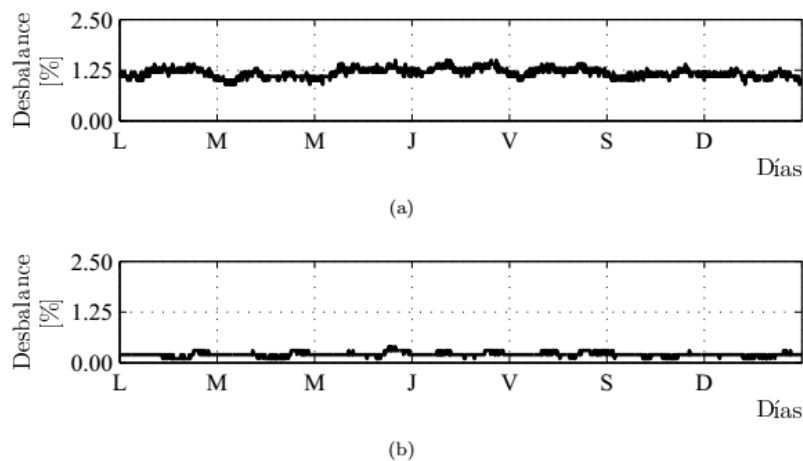


Figura 1.2.3: Porcentaje de desbalance durante una semana en (a) EEUU y (b) Alemania. Los datos son obtenidos a partir dos analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab). El nivel de desbalance se calculó a partir del cociente entre la secuencia positiva y secuencia negativa estimada en un ciclo de línea y el promedio de los valores en una ventana de 5 minutos de duración.

1.2.5. Distorsión en la forma de onda

Dentro de esta clasificación de perturbaciones se suelen incluir toda desviación de las señales de su forma senoidal ideal, distinguiéndose tres tipos: armónicos, interarmónicos y distorsiones no periódicas. En esta tesis se discute sólo el primer tipo

de distorsión, debido a que las mismas son las que predominan en los sistemas eléctricos.

Se asume por ende, el caso de señales periódicas no sinusoidales, de frecuencia fundamental igual a la frecuencia de la red eléctrica. A su vez, se puede hacer una división entre los armónicos pares y armónicos impares de una señal. Los primeros generan diferencias entre el semiciclo positivo y negativo de la señal mientras que los segundos resultan en semiciclos iguales. Sin embargo se demuestra en la práctica que el valor de los armónicos pares en las tensiones y corrientes es despreciable en comparación con los valores de los armónicos impares. Como resultado no se considerará a los primeros en el resto del presente trabajo.

La distorsión armónica es resultado de la presencia de cargas no lineales en la red eléctrica. Una carga no lineal consume una corriente no senoidal a partir de una tensión senoidal. Como resultado, a pesar de contar con una tensión sin distorsión, la corriente que consumen estas cargas generan caídas en las impedancias del sistema lo que resulta en la distorsión de las tensiones en el punto de conexión común. Ejemplo de estos dispositivos son los transformadores trabajando en saturación y la mayoría de los convertidores electrónicos de potencia.

Los índices más utilizados para medir la distorsión de una señal son el factor de cresta, que indica cuan distorsionado se encuentra el valor pico de la señal analizada y el THD (Total Harmonic Distortion), que se calcula como una relación entre el valor de la componente fundamental de la señal y la suma de los armónicos de la misma. Se verifica en la práctica una gran cantidad de efectos adversos sobre los elementos de una red eléctrica como resultado de la presencia de armónicos en la tensión. Uno de estos efectos es el incremento en las pérdidas de los transformadores, líneas de transmisión y neutro.

Las corrientes sobre el neutro pueden llevar a grandes problemas en la red ya que este no cuenta con protecciones de sobrecarga como las implementadas en las fases del sistema. Otras consecuencias adversas se aprecian en los dispositivos electrónicos. Por ejemplo, una tensión de línea con un factor de cresta bajo reduce la performance del sistema, mientras que una tensión con factor de cresta alto aumenta el peligro de fallas en el aislamiento de los mismos. También se verifica interferencia en comunicaciones debido a acoplamientos entre líneas de distribución y líneas de comunicación, generación de campos magnéticos como resultado de componentes de secuencia cero en sistemas trifásicos y daños en capacitores y motores por calentamiento, entre otros.

En la Figura 1.2.4 se presenta la medición del THD en tres países, México, Corea del Sur y Noruega durante una semana completa. Como se verifica en la figura, la medición realizada en Noruega presenta una distorsión constante y de bajo valor en comparación con las mediciones de México y Corea del Sur. Por otro lado, en estos dos últimos se aprecia una variación del índice de distorsión armónica que depende de la hora y el día de la semana, pudiéndose distinguir las horas pico de consumo relacionadas al horario de trabajo.

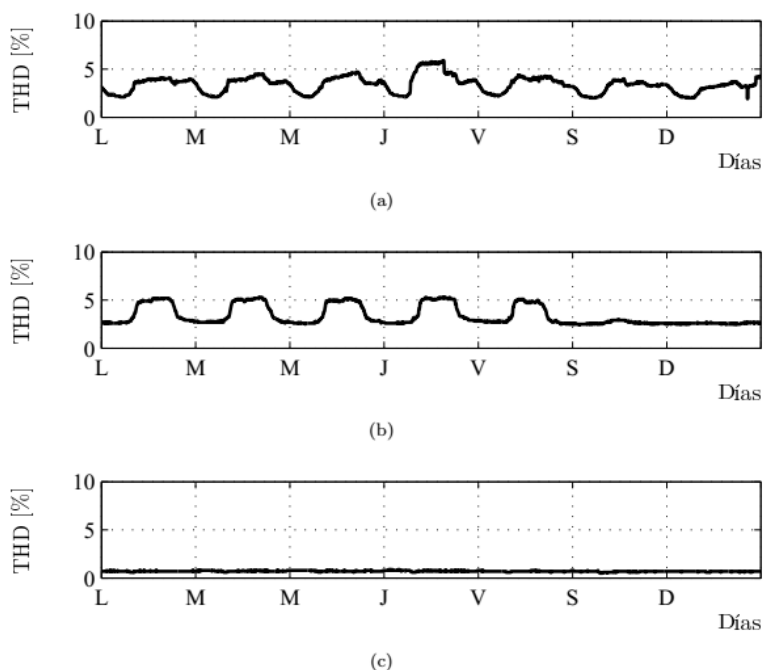


Figura 1.2.4: THD medido durante una semana en (a) México, (b) Corea del Sur y (c) Noruega. Los datos son obtenidos a partir tres analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab). Los valores mostrados son obtenidos a partir de realizar una FFT (Fast Fourier Transform) para cada ciclo de línea y promediando los mismos en una ventana de 5 minuto de duración.

1.2.6. Reducción de la tensión (Dips de tensión)

Los dips de tensión son reducciones en la amplitud de las tensiones de la terna, típicamente de duración menor a un segundo. Durante esta perturbación, la tensión de línea puede tomar diversos valores (entre cero y la tensión nominal de la red eléctrica) dependiendo de las causas que llevan a esta condición de funcionamiento. En la mayoría de los casos, estos eventos son resultado del incremento repentino de la corriente en otra parte del sistema eléctrico causado por el cortocircuitos entre fases o entre una fase y neutro, el encendido de motores de inducción y la energización de

transformadores. De todas estas, los cortocircuitos son los principales responsables de este tipo de perturbación.

En la Figura 1.2.5 se muestra dos ejemplos de dips de tensión. Se presentan las señales de la terna durante la perturbación y el valor RMS de cada fase obtenido a partir de un analizador de red eléctrica. Este último valor se ha calculado mediante una ventana de duración igual a medio ciclo de línea. En la Figura 1.2.5(a) se observa el caso de una reducción simétrica de las tensiones, verificándose similitud entre las tres fases del sistema durante la perturbación. En este caso, esta condición de funcionamiento se mantiene aproximadamente $90ms$ para luego presentar un tiempo de recuperación en el cual la distorsión de las señales se reduce lentamente. Por otro lado, en la Figura 1.2.5(b) se presenta un dip no simétrico. En este caso existe un desbalance del sistema trifásico donde el valor de tensión de una de las fases no modifica sustancialmente su valor, mientras que las otras dos reducen su amplitud y la diferencia de fase entre ellas. Estas perturbaciones presentan uno de los principales problemas estudiados en la calidad de energía debido a los efectos adversos sobre los usuarios. En especial, los dips de tensión son críticos en las cargas industriales, en donde pueden producir paros de producción regulares.

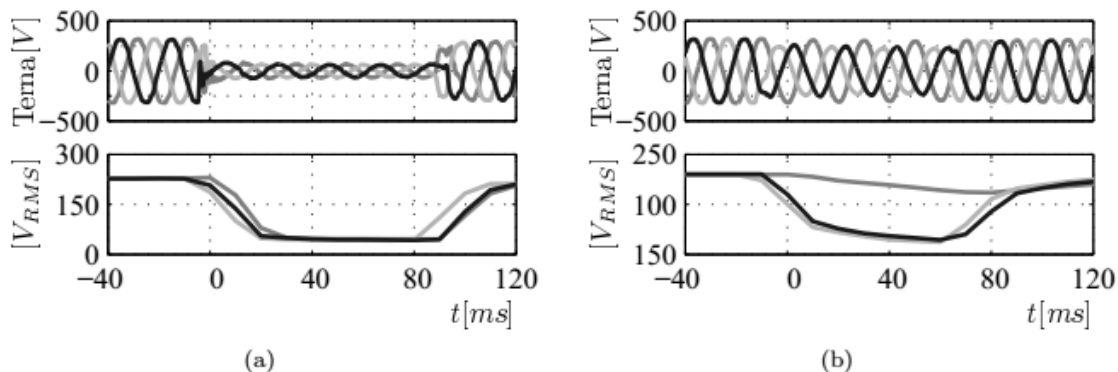


Figura 1.2.5: Ejemplos de dips de tensión. (a) Simétrico y (b) no simétrico. Los datos son obtenidos a partir de dos analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab). Los valores mostrados son obtenidos a partir de medir el valor de tensión RMS de la terna en medio ciclo de línea.

1.2.7. Transitorios

Los transitorios de la red eléctrica son desviaciones de la forma de onda de corriente y tensión en régimen permanente de corta duración. No existe una clara separación entre este tipo de perturbaciones y otros eventos como los dips de tensión, pero se suele considerar una perturbación como transitorio si la misma tiene una duración menor a un

ciclo de componente fundamental. Sin embargo, esta definición no es excluyente. La aparición de un transitorio suele atribuirse a las descargas eléctricas y la conexión y desconexión de elementos de la red eléctrica, como por ejemplo la energización y desenergización de capacitores e inductores o el funcionamiento de dispositivos electrónicos que consumen corriente pulsada. A pesar de que algunos transitorios presentan un comportamiento amortiguado, la mayoría se caracteriza por su contenido de alta frecuencia de algunos cientos de Hz . Debido a esta característica, para el análisis de los mismos se requiere de instrumentos de gran ancho de banda y elevada frecuencia de muestreo. Por lo que el almacenamiento de datos y su estudio es menos común en relación a otras perturbaciones de la red.

Dependiendo de la severidad del transitorio, este puede no afectar a los dispositivos conectados al sistema eléctrico, llevar a un mal funcionamiento de los mismos, o incluso puede dañarlos como resultado de una posible sobre elevación de las tensiones de línea durante la perturbación.

En la Figura 1.2.6 se presentan dos transitorios de diferente severidad, capturados con dos analizadores de red eléctrica PQUBE. Puede verse en las figuras una de las características distintivas de este tipo de perturbaciones, las tensiones antes y luego del transitorio son similares, observándose solamente una distorsión en la forma de onda de duración finita que no modifica las señales en régimen permanente.

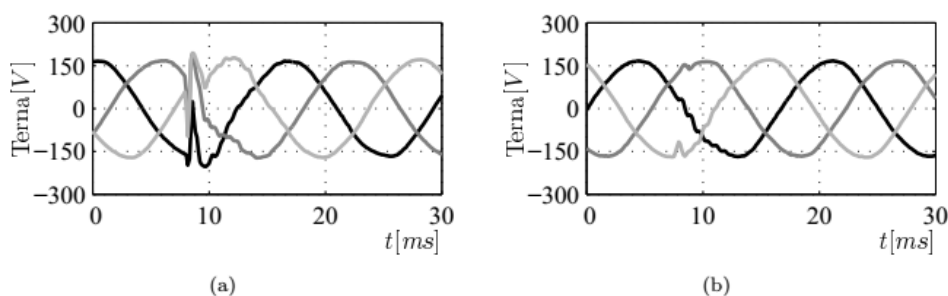


Figura 1.2.6: Ejemplos de transitorios en la red eléctrica. Los datos son obtenidos a partir de dos analizadores de red eléctrica PQUBE del fabricante PSL (Power Standards Lab).

1.3. Norma IEC61000-4-30

La serie de las normas IEC 61000-4 definen los métodos de medición para desarrollar las mediciones e interpretaciones de los resultados de los parámetros de calidad de energía para los sistemas de suministro eléctrico en 50 y 60Hz.

La IEC 61000-4-30, tiene por objetivo principal la descripción de los métodos de medición de un gran número de parámetros de calidad de energía para hacer posible la obtención de información y resultados confiables, reproducibles y comparables, más allá del instrumento específico compatible con las prestaciones requeridas y de las condiciones ambientales. Además se focaliza en la metodología de mediciones in-situ.

Los parámetros de calidad de energía que hace referencia son de naturaleza conductiva correspondiente a la tensión y corriente de los sistemas eléctricos:

- Medición de frecuencia fundamental de la red.
- Magnitud RMS de tensión y corriente.
- Interrupciones, sobre y subtensiones.
- Desbalance de tensión.
- Flicker (parpadeo) de tensión.
- Transitorios de tensión.
- Armónicos e interarmónicos de tensión y corriente.
- Índices de distorsión armónica total de tensión y corriente.
- Tensiones de señalización.
- Variaciones rápidas de tensión.

2 Anteproyecto

2.1. Objetivos

2.1.1. Objetivo general

Diseñar e implementar tanto el hardware como el firmware necesario para una plataforma de medición de la red eléctrica trifásica, que tiene como función principal analizar los parámetros que determinan la calidad de energía de la red.

2.1.2. Objetivos específicos

- Realizar un estudio del equipo a implementar.

- Analizar e interpretar las variables a utilizar.
- Diseñar un esquema para la subdivisión del problema.
- Diseñar la electrónica y el software necesarios en base al equipamiento disponible.
- Realizar la calibración del equipo.

2.2. Características de diseño

Se debe realizar un sistema de medición de calidad de energía para redes eléctricas trifásicas. A fin de poder hacer un completo análisis de las características de este tipo de redes eléctricas, es necesario medir las tres tensiones de línea y la tierra con respecto al neutro (V_{RN} , V_{SN} , V_{TN} y V_{EN}) y las corrientes de las tres fases más la corriente del neutro (I_R , I_S , I_T e I_N).

El sistema desarrollado debe ser capaz de calcular diversos índices que cuantifican la calidad de energía en el punto de medición y almacenar dichos datos para su posterior evaluación.

Para facilitar la depuración del sistema se requiere de cuatro salidas analógicas capaces de reproducir con total fidelidad las señales adquiridas por el ADC. Permitiendo así, visualizar con el osciloscopio las cuatro señales de tensión, las cuatro de corriente o de cualquier otro parámetro calculado en tiempo real.

Las especificaciones del equipo son las recomendadas en la norma IEC61000-4-30, que define los métodos de medida e interpretación para resultados de equipos de medición de calidad de energía. La IEC61000-4-30 define con claridad la precisión, el ancho de banda y el conjunto de parámetros mínimos para la medición de la calidad de energía. Se requiere de un error máximo de 0.1% para la medición de tensión y corriente y un ancho de banda que permita medir el 50º armónico de la frecuencia de la red eléctrica.

En función del objetivo propuesto se decidió que la plataforma de medición debía contar con las siguientes características:

- Conversor ADC de 16 bits de 8 canales simultáneos, mayor a 250kSPS:
Si bien la frecuencia máxima de interés se encuentra en los 3kHz (50º armónico de 60Hz), necesitamos una frecuencia de muestreo mayor para poder aplicar un filtro antialiasing digital. El muestreo simultáneo nos permite detectar con mayor precisión los errores de fase y desbalances de la red eléctrica.

- **Circuito de adecuación de señales:**
Debe tener la posibilidad de calibrar la ganancia y el nivel de offset de la señal de entrada; además, debe poseer un filtro antialiasing y debe estar aislado de la red eléctrica (SELV, Safety Extra Low Voltage) para una manipulación segura.
- **Convertor DAC de 4 canales, tiempo de establecimiento menor a 10 μ s.**
Se implementa para obtener una representación escalada y segura de las tensiones y corrientes medidas así como variables e índices que puedan ser de interés (principalmente para debugging).
- **Almacenar datos en tarjeta SD:**
Se requiere la posibilidad de guardar datos de las métricas más relevantes de la red eléctrica, como así también de registrar eventos.
- **Interfaz USB**
- **Interfaz con kit de desarrollo de FPGA o DSP:**
Este kit se encarga del procesamiento de las señales capturadas por la placa de adquisición.

En función de las características antes listadas se puede subdividir el diseño en 8 bloques principales, los nombres y la tarea asignada a cada uno de ellos se encuentra en la siguiente lista; y en la figura 2.2.1 se muestra un diagrama donde se puede ver cómo interactúan entre sí.

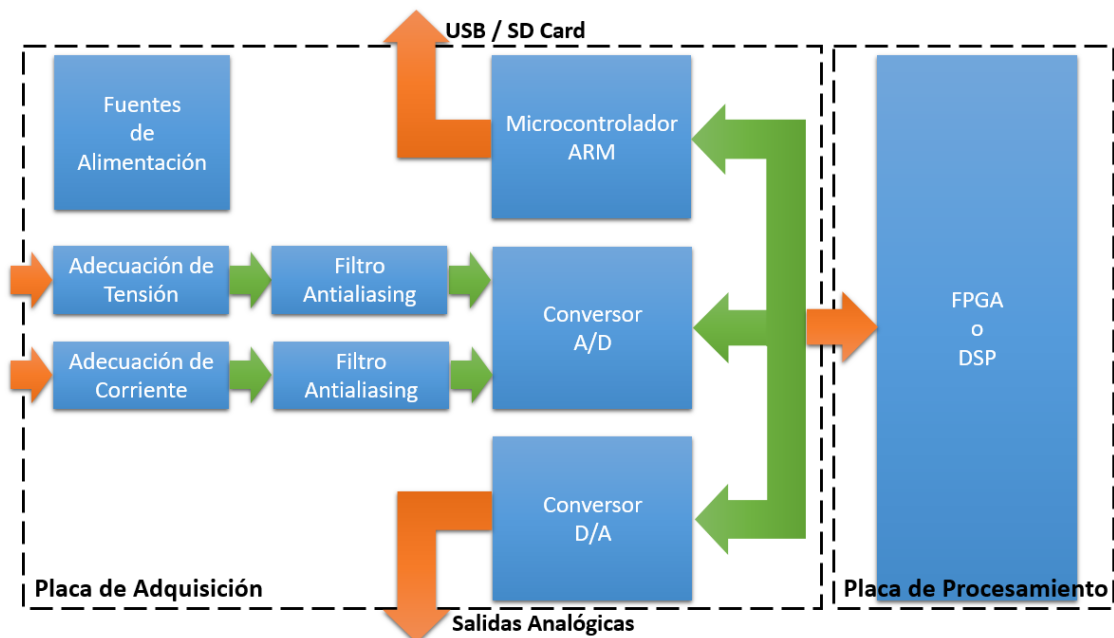


Figura 2.2.1: diagrama de interconexión de los bloques principales.

- **Adecuación de tensión:**

Esta etapa se encarga de atenuar la señal de tensión de la red eléctrica y transferirla mediante amplificadores aislados a los filtros antialiasing.

- **Adecuación de corriente:**
Esta etapa se encarga de transformar la corriente de cada fase en valores de tensión adecuados para transmitirlo por amplificadores aislados a los filtros antialiasing.
- **Filtros antialiasing:**
Este bloque consiste en un filtro antialiasing con calibración de ganancia y de offset. La salida ingresa a los ocho canales del ADC.
- **Adquisición de señales:**
Esta etapa cuenta con un ADC, encargado de adquirir las 8 señales de manera simultánea.
- **Microcontrolador y periféricos:**
Este bloque administra todos los periféricos (puerto USB, tarjeta SD y dos conectores auxiliares) e interactúa con el módulo de expansión y el ADC.
- **Salidas analógicas:**
Este bloque es un DAC de 4 salidas analógicas comandadas por el módulo de expansión.
- **Fuentes de alimentación:**
Las fuentes de alimentación principales son cuatro: 3.3V, 5V +15V y -15V; y se encargan de suministrar energía a cada bloque. La línea de 3.3V alimenta toda la parte digital, la línea de 5V alimenta la etapa de conversión del ADC (la segunda fase y el circuito integrado de tensión de referencia de 2.5V), las líneas de $\pm 15V$ se alimentan todos los bloques de adecuación de señales, los filtros antialiasing, la etapa de entrada del ADC y la etapa de salida del DAC.
- **Módulo de expansión:**
Este bloque puede ser un kit de desarrollo de FPGA, de un DSP o una placa de propósito específico.

Capítulo 3

Proyecto

Para el desarrollo de la etapa de adquisición se analizaron diferentes opciones comerciales. Se consideró que el ADC AD8568 era el más apropiado para esta

aplicación, debido a que reúne tres características importantes, tiene la posibilidad de capturar ocho canales simultáneos con una resolución de 16bits y la frecuencia máxima de muestreo es de 500kHz. Teniendo en cuenta los valores y el tipo de entrada de tensión que requiere este ADC se diagramó todo el resto del circuito, desde la magnitud de la señal de entrada, la adecuación de señales y las fuentes de alimentación.

A continuación se describe de manera más detallada el diseño de cada sección del circuito.

3.1. Diseño individual de los bloques

3.1.1. Adecuación de tensión:

Este módulo se encuentra aislado capacitivamente del resto del circuito, esto garantiza una zona segura de bajo voltaje (SELV) para las demás etapas donde se tiene acceso a los elementos de calibración y periféricos. Para esto, se utilizó una fuente de alimentación y amplificadores aislados.

En la figura 3.1.1 se muestra un esquema del bloque de adecuación de tensión, donde se puede identificar los cuatro amplificadores aislados (ISO) y la fuente de alimentación aislada (DC/DC). La tensión de referencia en la entrada es el neutro, por este motivo se conecta al plano de masa.

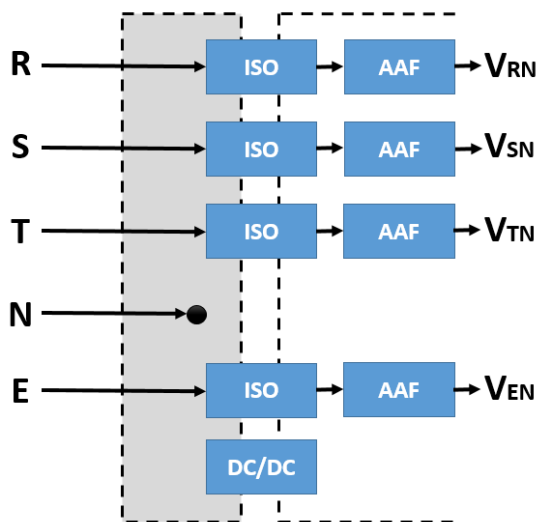


Figura 3.1.1: diagrama en bloques de la etapa de adecuación de tensión. ISO: amplificador aislado, DC/DC: fuente de alimentación aislada, AAF: filtro antialiasing.

Para la fuente de alimentación se utilizó el integrado DCP011515DBP, cuyo esquemático se puede ver en la figura 3.1.2.

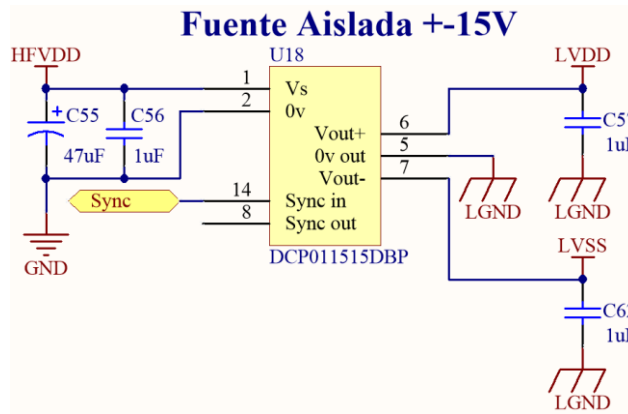


Figura 3.1.2: Esquema de la fuente de alimentación aislada utilizada para la etapa de adecuación de señales.

El DCP011515DBP es un convertidor DC/DC aislado de 1W de potencia máxima de salida, su frecuencia de conmutación es de 800kHz. Su salida no es regulada, por lo tanto su estabilidad depende de la tensión de entrada, en este caso se alimenta con una fuente regulada de +15V (identificada como HFVDD), que se describirá en la subsección 3.1.7. Los ocho convertidores utilizados en las etapas de adecuación de señales están interconectados a través de la entrada “SYNC” de cada dispositivo, para reducir las interferencias producidas por las variaciones de frecuencia de los osciladores de cada DCP01.

En la primera etapa de adecuación de tensión se utilizó el amplificador aislado ISO 124, en la figura 3.1.3 se puede ver el esquema del mismo.

Este amplificador no requiere de componentes externos para funcionar. Sus principales especificaciones son: 50kHz de ancho de banda, ganancia unitaria, no linealidad máxima de 0.01% y una deriva de 200 $\mu\text{V}/^\circ\text{C}$ de tensión de offset por temperatura. Además, funciona con una fuente de alimentación de hasta $\pm 18\text{ V}$ y las tensiones de operación (tanto de entrada como de salida) son de $\pm 12\text{V}$ máximo.

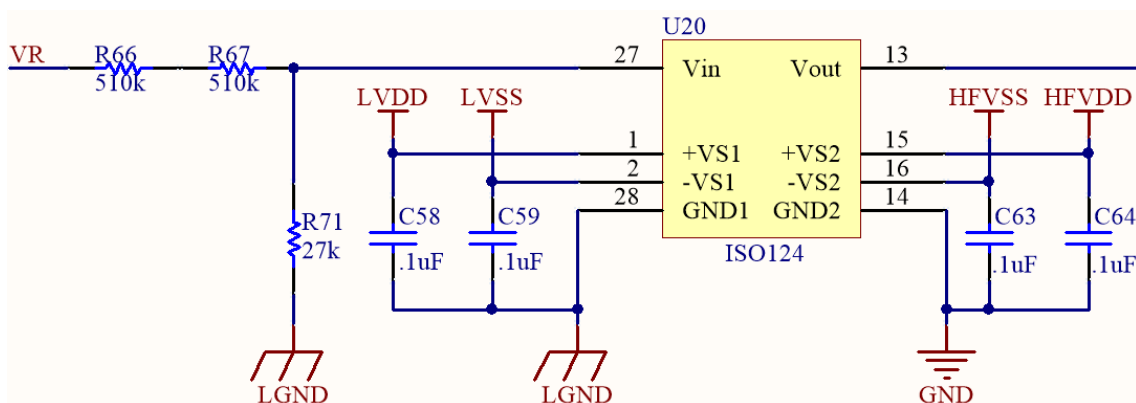


Figura 3.1.3: Esquema de amplificador aislado, la primera etapa de la adecuación de señales.

3.1.2. Adecuación de corriente:

Se evaluaron diferentes alternativas para sensar la corriente: transformadores de corriente, sensores de efecto Hall y resistores shunt. Se decidió utilizar las resistencias shunt (en serie con la carga) para sensar la corriente por su simplicidad y bajo costo.

Al igual que el módulo de tensión, estos módulos están aislados capacitivamente. En la figura 3.1.4 se observa el diagrama de etapa de adecuación de corriente. Se utilizó la misma fuente de alimentación y el mismo amplificador aislado descrito en la sección anterior (3.1.1.).

A diferencia del bloque de adecuación de tensión, este bloque posee cuatro zonas aisladas (una para cada fase y otra para el neutro). Esto es debido a que la corriente es sensada de manera indirecta, por la tensión diferencial que cae a través de la resistencia shunt. Las resistencias shunt están “colgadas” en serie con la carga, por lo que cada una está expuesta a un potencial diferente (tensión de cada línea).

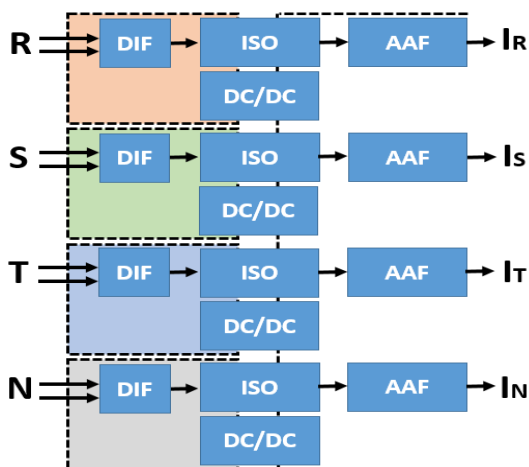


Figura 3.1.4: diagrama en bloques de la etapa de entrada de corriente. DIF: amplificador diferencial, ISO: amplificador aislado, DC/DC: fuente de alimentación aislada, AAF: filtro antialiasing.

En la figura 3.1.5 se puede ver el esquemático del circuito de conversión de corriente a una tensión de $\pm 10V$ a fondo de escala.

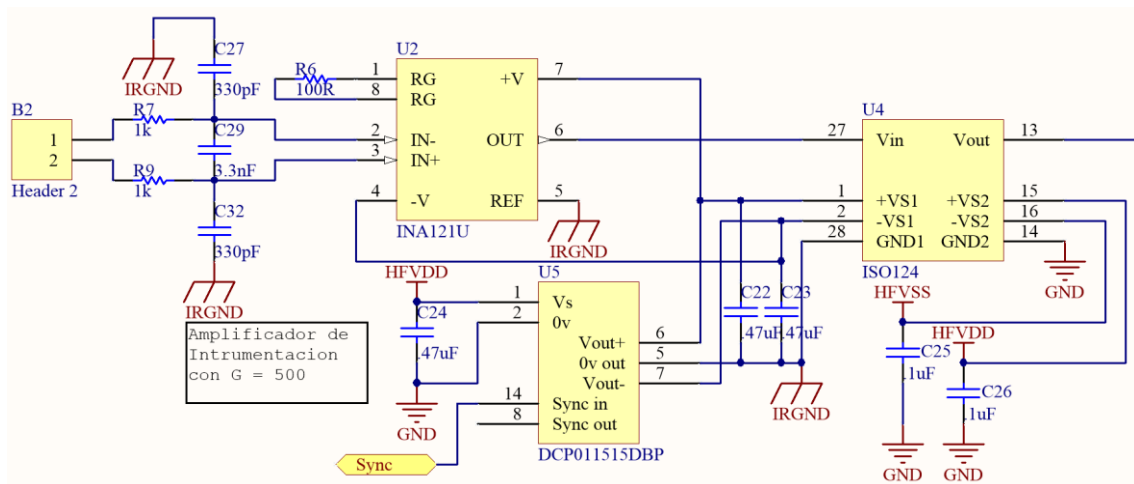


Figura 3.1.5: etapa de acondicionamiento de la señal de corriente.

El circuito está compuesto por una Resistencia shunt externa (se conecta a través de la bornera) que provee una tensión diferencial de muy bajo nivel, esta señal es amplificada por el amplificador de instrumentación INA121U para adecuarla a los niveles de entrada del amplificador aislado, permitiendo aprovechar todo el rango dinámico del mismo.

Está calibrado para obtener a $33A_{RMS}$ a fondo de escala, para ello se utiliza una resistencia shunt (en serie con la carga) de $0.43m\Omega$ y una ganancia de 500 veces para el amplificador de instrumentación.

El amplificador de instrumentación INA121U se caracteriza por su gran linealidad (no linealidad máx. de 0.001%), bajo offset de tensión de entrada ($V_{os} = 200\mu V$), baja deriva de tensión respecto a la temperatura ($2\mu V/^{\circ}C$), baja corriente de bias (4pA) y fuerte rechazo al ruido de modo común (106db). Todas estas especificaciones toman mayor importancia cuando se trabaja con señales muy débiles (del orden de los 20mV máx.) y se utiliza una ganancia elevada.

3.1.3. Filtro antialiasing:

Esta etapa cuenta con ocho filtros antialiasing con control de ganancia y de offset. A este bloque ingresan las cuatro señales de tensión y las cuatro de corriente provenientes de la etapa de adecuación de señales.

El filtro antialiasing necesario para la frecuencia más baja de muestreo (6,4kHz, 128 muestras por ciclo de la señal de 50Hz), debe tener una frecuencia de corte en 3,2kHz. Sin embargo, se decidió aumentar este valor, ya que la frecuencia de corte quedaría

muy cercana a los últimos armónicos de interés (se desea adquirir hasta el 50º armónico), lo que afectaría de manera considerable la medición de la fase y amplitud de los mismos.

Por este motivo, se aumentó la frecuencia de muestreo mínima a 25,6kHz (512 muestras de la señal de 50Hz) y se utilizó un filtro de mayor ancho de banda. En caso de querer utilizar menor cantidad de muestras, se debe aplicar un filtro digital (decimación).

El filtro antialiasing diseñado, es un pasa bajos de segundo orden del tipo IGMF (realimentación múltiple de ganancia infinita) de 10kHz de ancho de banda. En la figura 3.1.6 se pueden ver las dos etapas de calibración, por un lado la calibración de offset que está integrada al filtro y por el otro la de ganancia.

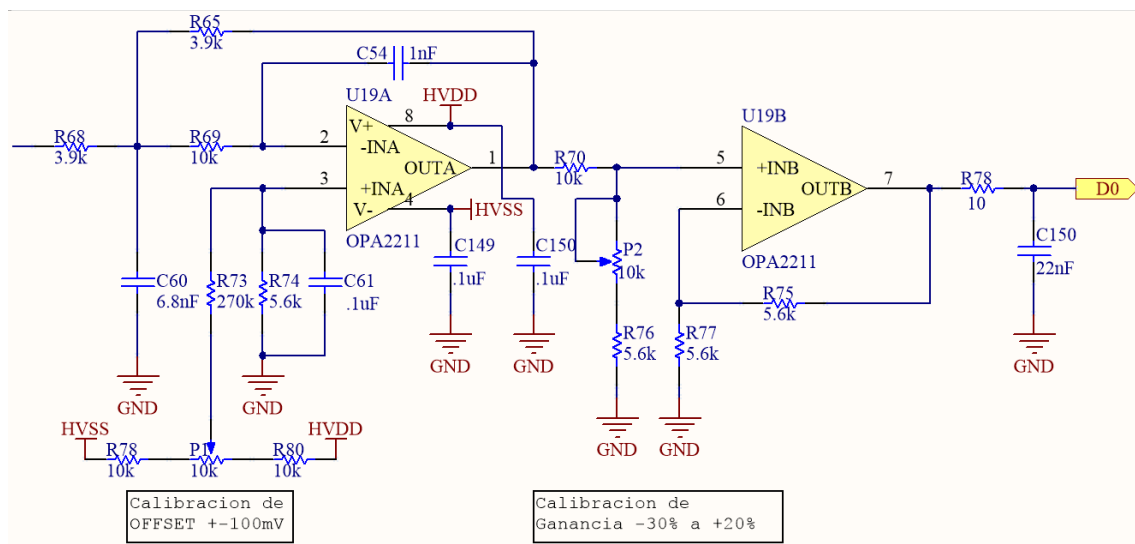


Figura 3.1.6: esquema de adecuación de señales, filtrado y calibración de offset y ganancia.

Los operacionales utilizados son los OPA2211 (amplificadores duales), estos tienen características especiales que los hacen ideales para utilizarlos como drivers de un ADC de 16bits.

Las características principales de los OPA2211 son: muy bajo nivel de ruido, offset de tensión menor a 125uV, baja deriva de tensión por temperatura (0.35uV/°C), ancho de banda unitario de 45MHz, slew rate de 27V/μs y 700ns de tiempo de estabilización de 16bits.

3.1.4. Adquisición de señales:

Para esta etapa se utilizó un conversor analógico digital de 8 canales simultáneos, el AD8568. Este ADC tiene las siguientes características principales:

- Resolución: 16bit
- Máxima frecuencia de muestreo: 510kSPS
- Relación señal a ruido: 91.5 dB
- Distorsión armónica total (THD): -94 dB
- Rango máximo de entrada: $\pm 12V$
- Interface paralela o serie (SPI) seleccionable

El AD8568 contiene 8 ADC basados en registros de aproximaciones sucesivas (SAR) de 16bit con entradas bipolares. Estos canales son agrupados en cuatro pares, permitiendo así la adquisición simultánea de alta velocidad (hasta 510kSPS). En la figura 3.1.7 se puede ver un diagrama en bloques simplificado.

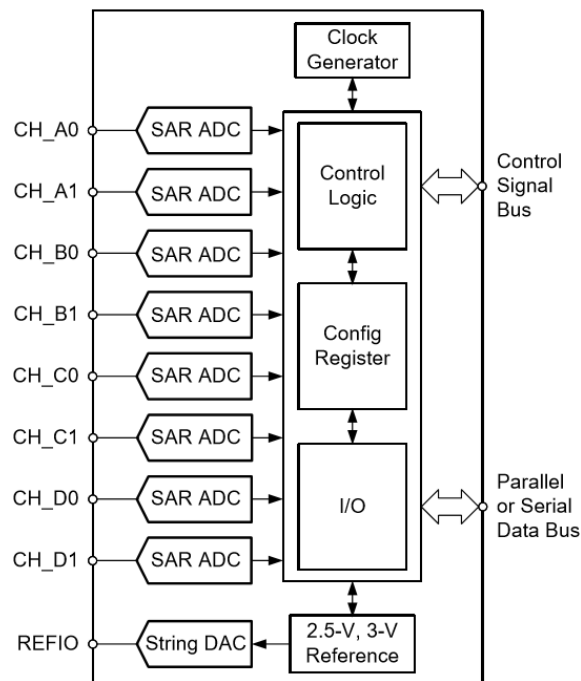


Figura 3.1.7: Diagrama en bloques simplificado del AD8568.

En la figura 3.1.8 se puede observar el circuito esquemático de la etapa de adquisición.

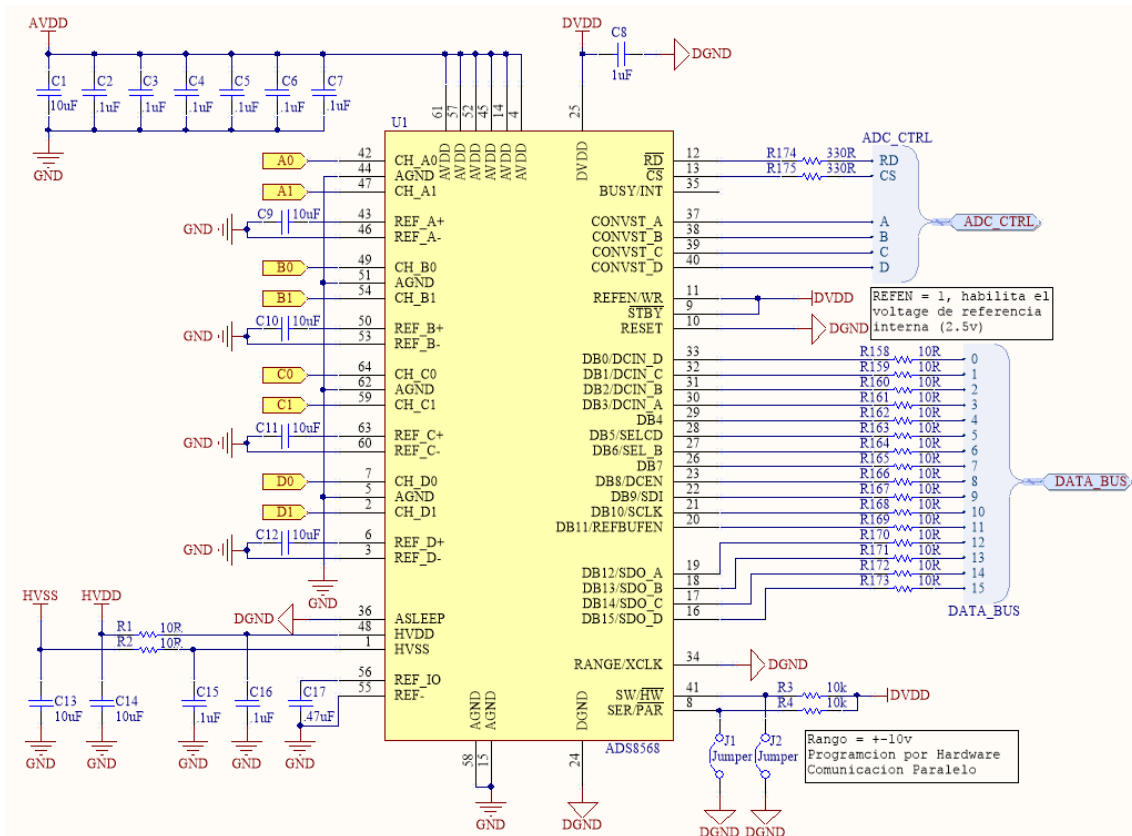


Figura 3.1.8: diagrama esquemático de la etapa de adquisición.

En esta etapa se encuentra como elemento principal el ADC AD8568, el cual se configuró por hardware la referencia interna de 2.5V, el rango de $\pm 10V$ y la comunicación en paralelo.

También se utilizaron resistencias Damping (R158...R175 en la figura 3.1.8) para reducir el ringing en los canales de comunicación. Esto es producido por las bajas impedancias capacitivas que tienen las entradas digitales en alta frecuencia, que combinadas con la inductancia parásita de los tracks se comportan como un filtro pasa bajos de un Q muy elevado. Una manera de reducir el Q es agregando una resistencia serie, formando así un circuito RLC con una respuesta amortiguada.

3.1.5. Microcontrolador y periféricos:

Este bloque está compuesto por un microcontrolador ARM Cortex-3M de la marca Atmel, un puerto Mini USB, un slot de tarjeta SD y tres conectores auxiliares.

Se utilizó el microcontrolador ATSAM3S4CA-AUR, cuyas principales características son:

- Núcleo ARM Cortex –M3 @64MHz
- Memorias:
 - Flash de 64 a 256KB
 - SRAM de 16 a 48KB
 - ROM de 16KB con rutinas de bootloader embebidas (UART, USB)
 - Unidad de protección de memorias
- Sistema
 - Regulador de voltaje embebido para operación con fuente de alimentación simple.
 - Power-on-Reset (POR), Brown-out detector (BOD) y un Watchdog para una operación segura.
 - Oscilador de cristal (o resonador cerámico) principal de 3 a 20MHz y un oscilador de opcional de 32.768kHz para el RTC (real time clock).
 - Dos PLLs de hasta 130MHz para el clock del dispositivo y para el USB.
 - Sensor de temperatura.
 - Hasta 22 canales de periférico DMA.
- Modos de ahorro de energía
 - Modo sleep y Backup, baja hasta 3uA el consumo en modo Backup.
 - RTC de ultra bajo consumo.
- Periféricos
 - Dispositivo USB 2.0: 12Mbps, 2668Byte FIFO, hasta 8 terminales bidireccionales, transceptor integrado.
 - Hasta 2 USARTs con ISO7816, IrDA, RS-485, SPI, Modo Manchester y Modem.
 - Dos UARTs de 2 cables.
 - Hasta dos interfaces de 2 cables (I2C compatible), 1 SPI, 1 controlador sincrónico serie (I2S) y una interfaz de tarjeta multimedia de alta velocidad (SDIO/SD Card/MMC).
 - Hasta 6 canales triples de Timer/Contador de 16bits con modo captura, forma de onda, comparador y PWM. Lógica de detección de cuadratura y contador Gray Up/Down de 2bit para motores paso a paso.
 - 4 canales PWM de 16bits con salida complementaria, entrada de falla, generador de tiempo muerto de 12bits para control de motores.
 - Timer de tiempo real de 32bits y RTC con funciones de calendario y alarma.
 - Hasta 15 canales de ADC de 12bits de 1MSps con modo de entrada diferencial y etapa de ganancia programable.
 - Un DAC de dos canales de 12bits con 1MSps.

- Un comparador analógico con selección flexible de entrada, histéresis configurable.
- Unidad de cálculo de chequeo de redundancia cíclica (CRC).
- Entradas y Salidas
 - Hasta 79 líneas de entrada/salida con capacidad de interrupción externa (por flanco o por nivel), debouncing, filtro de glitches y resistor (on-die termination) de terminación serie.
 - Tres controladores de entrada/salida paralela de 32bits, modo de captura paralela con el periférico DMA.

Las especificaciones de este microcontrolador son más que suficientes para la aplicación desarrollada. Se podría haber utilizado un microcontrolador con menores prestaciones, pero se optó por éste por su gran versatilidad, buena velocidad de escritura de la tarjeta SD y por la posibilidad de utilizarlo para hacer cálculos básicos de la red eléctrica y trabajar de manera autónoma sin la necesidad de utilizar la placa de expansión.

En la figura 3.1.9 se pueden observar los puertos principales del ARM, el bus de datos de 16 bits y los tres de control para la comunicación con el módulo de expansión, 6 pines dedicados a la interfaz de la tarjeta SD, 2 LEDs y un pulsador.

Los LEDs y el pulsador en principio fueron utilizados para depurar el código. Luego, el pulsador se usó para iniciar y detener la grabación en la tarjeta SD y el LED verde como indicador de escritura activa y el LED rojo como indicador de error.

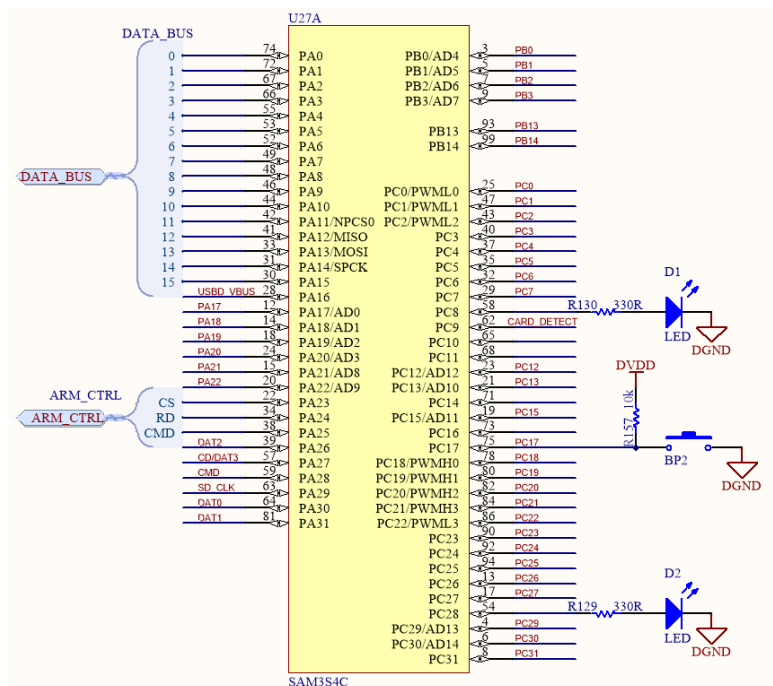


Figura 3.1.9: microcontrolador SAM3S, puertos principales.

En la figura 3.1.10 se puede observar la entrada de alimentación, la interfaz de JTAG, el oscilador a cristal y el puerto USB.

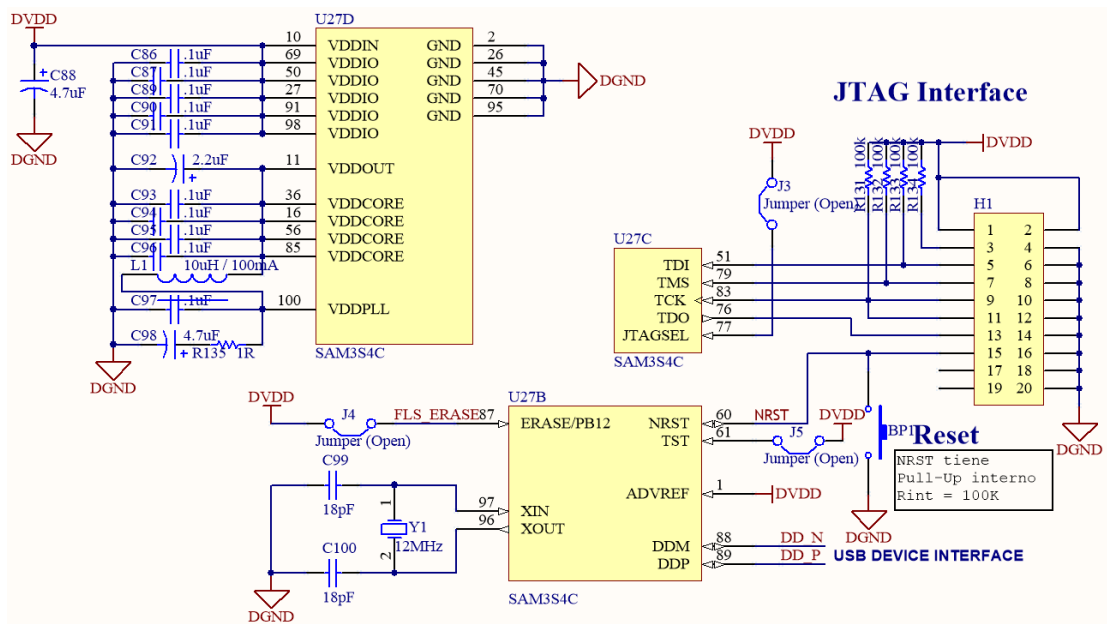


Figura 3.1.10: Conexiones de alimentación, oscilador y la interfaz JTAG.

La entrada de alimentación es de 3.3V, esta tensión ingresa en los pines de alimentación de los periféricos. El núcleo del ARM y el PLL son alimentados con 1.8V generados por un regulador interno, se agregó un choque de RF para aislar el ruido de alta frecuencia producido por el PLL.

Como se puede ver en la figura 3.1.11, el conector de tarjetas SD se conecta al módulo HSMCI (High Speed Memory Card Interface) del ARM. Este puerto se comunica con el protocolo estándar SD con 4 canales de datos, un clock y una línea de comandos. El puerto Mini-USB posee un filtro de EMI para evitar dañar el dispositivo por descargas electrostáticas y un detector de conexión de dispositivo (un divisor resistivo para detectar los 5V del Host).

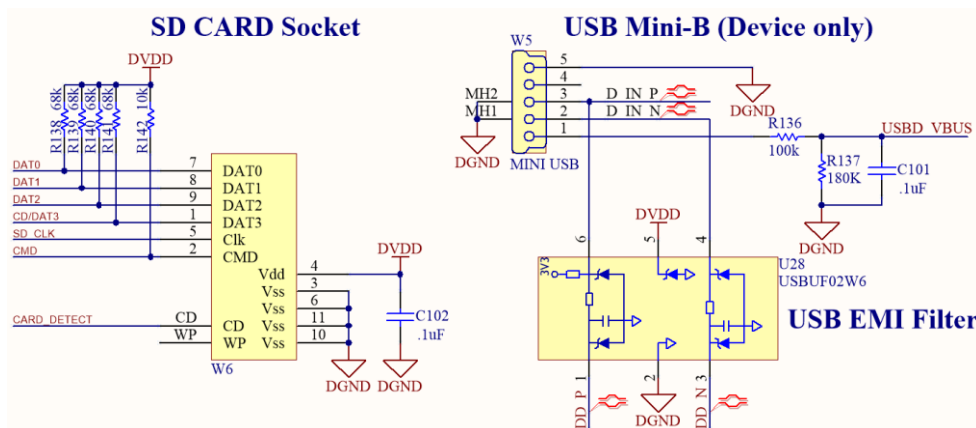


Figura 3.1.11: Conector de tarjetas SD y puerto Mini-USB.

Por último, tenemos los conectores auxiliares. En la figura 3.1.12 se pueden ver los tres conectores, los puertos no utilizados en este circuito están agrupados de esa manera para facilitar el diseño del PCB sin tener que crear vías innecesarias.

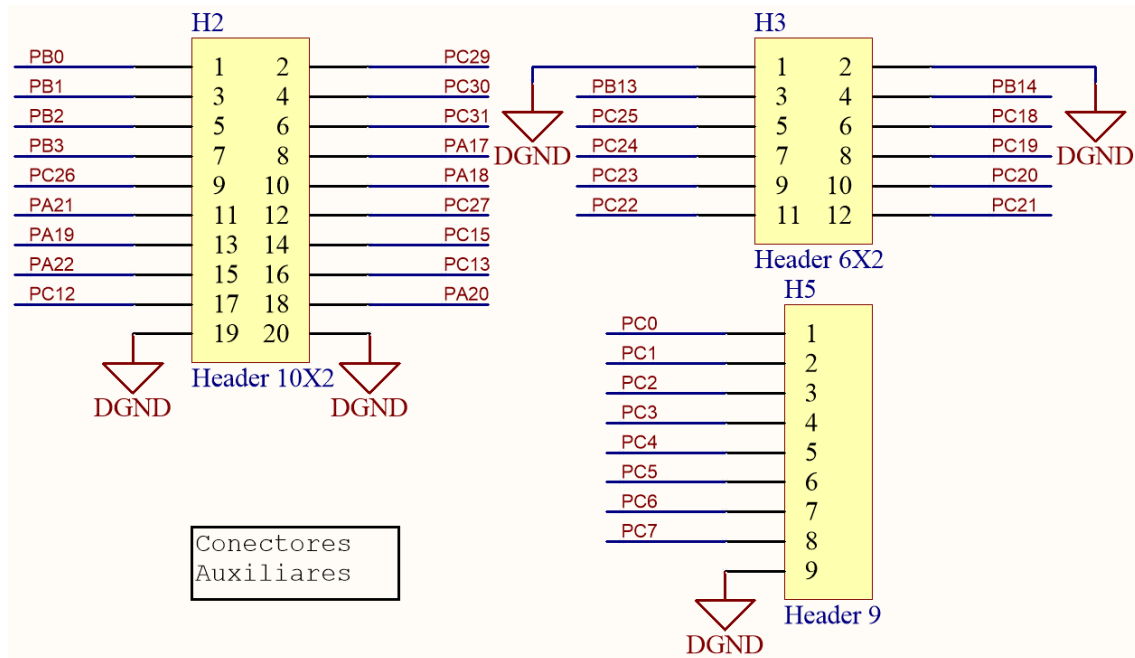


Figura 3.1.12: Conectores auxiliares del ARM.

En estos conectores podemos acceder a 8 salidas PWM, 2 salidas analógicas (DAC), 8 entradas analógicas, 2 UART y otras 16 más multipropósito.

3.1.6. Salidas Analógicas

Este módulo se compone de un conversor digital analógico (DAC) de cuatro canales de 16bits y es comandado por el módulo de expansión (FPGA o DSP). El DAC seleccionado es el AD5754.

Las características principales de este DAC son:

- Cuatro conversores digital analógicos (DAC) completos de 16bits
- Trabaja con fuente de alimentación simple o dual ($\pm 16.5V$ máximo).
- Rango de salida programable por software de +5V, +10V, $\pm 5V$, $\pm 10V$.
- Error de no linealidad de $\pm 16LSB$
- Error sin calibración de $\pm 0.1\%FSR$ (rango de escala completo) máximo
- Tiempo de establecimiento de $10\mu s$.
- Buffers de referencia integrados

- Control de salida en el encendido (power-up/brownout)
- Actualización simultanea vía pin LDAC
- Reset de salida asincrónico a cero o punto medio

En la figura 3.1.13 se puede ver un diagrama en bloques del circuito integrado.

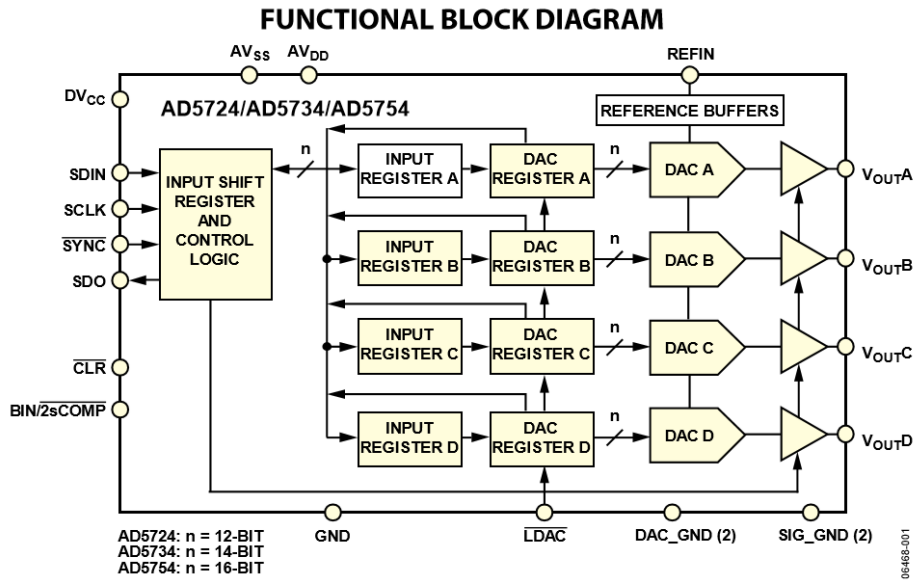


Figura 3.1.13: diagrama en bloques del circuito integrado AD5754 de 16bits

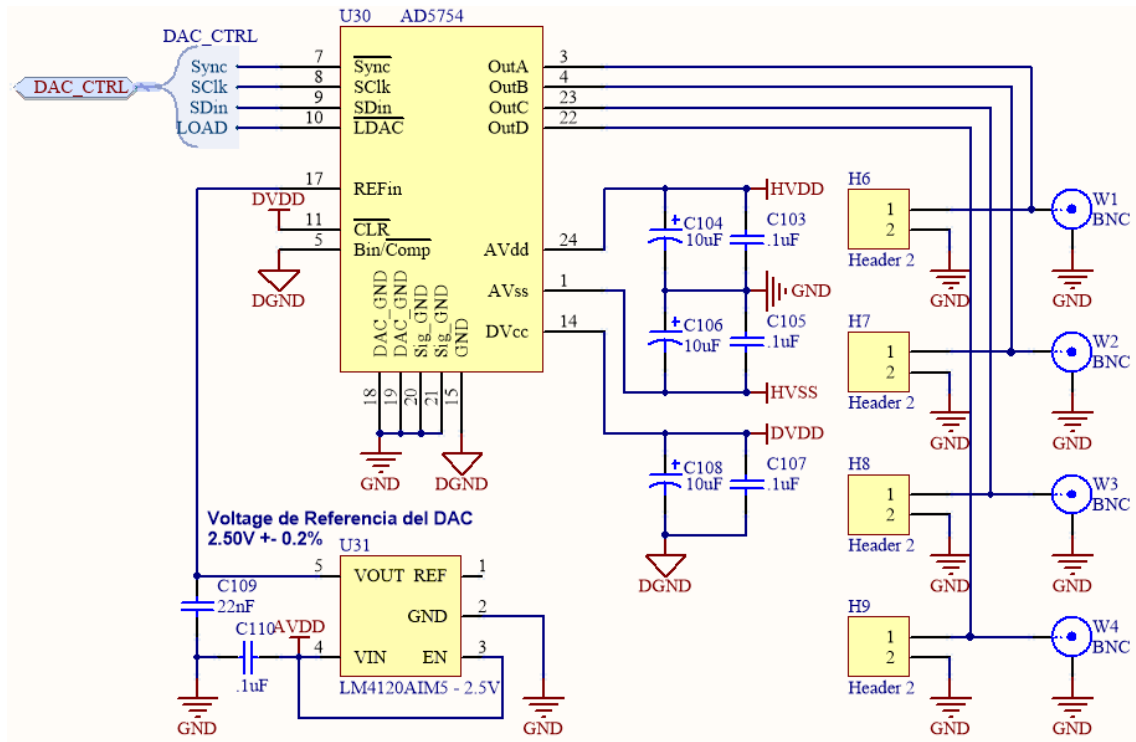


Figura 3.1.14: diagrama esquemático del DAC AD5754.

En la figura 3.1.14 se puede ver el esquemático del bloque de los 4 DACs. Tiene una interfaz serie comandada por el módulo externo conectado a través del conector de expansión. Se alimenta con $\pm 15V$ para manejar las salidas y con 3.3V para la parte de lógica digital. Se agregó una referencia externa de 2.5V para obtener mayor precisión. El rango de salida es configurado por software a $\pm 10V$.

3.1.7. Fuentes de alimentación

Para suministrar energía a todas las etapas, se requirió de 4 fuentes de alimentación. Se utilizó una fuente de +3.3V, +5V, +15V y -15V.

La parte de lógica digital se alimenta con una fuente de 3.3V, el conversor analógico digital (ADC) con 3.3V, 5V y $\pm 15V$ que alimentan buffers de entrada/salida, circuitería del conversor y entradas analógicas respectivamente; y el conversor digital analógico utiliza dos fuentes 3.3V (lógica digital) y las fuentes de $\pm 15V$ (buffers de salida).

La entrada de alimentación principal es de 24V(AC) y se conecta a través de una bornera. Se rectifica con un rectificador de onda completa y un capacitor electrolítico de 100 μ F (identificada como V_{IN}) e ingresa a cada una de las fuentes que se describen a continuación.

Fuente de 3.3V:

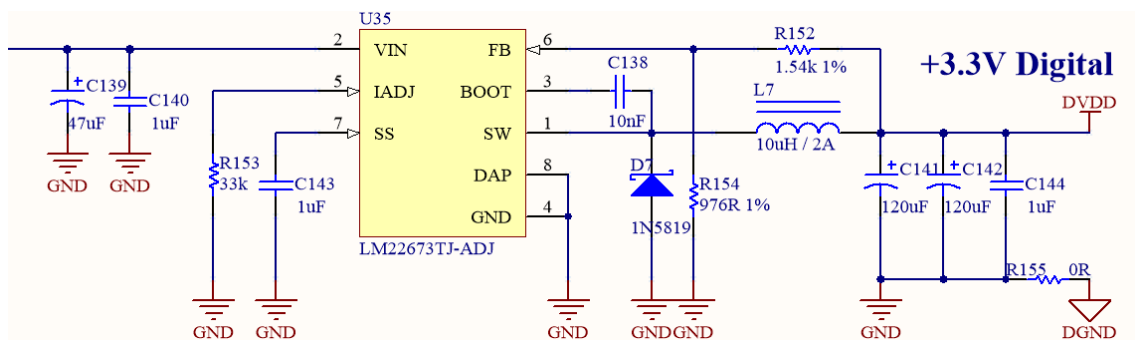


Figura 3.1.15: Fuente de alimentación de +3.3V.

Fuente de 5V:

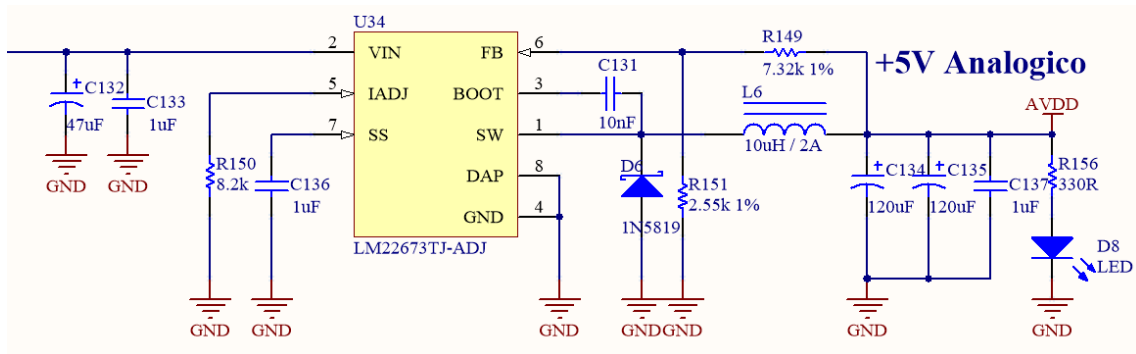


Figura 3.1.16: Fuente de alimentación de +5V.

Fuente de +15V:

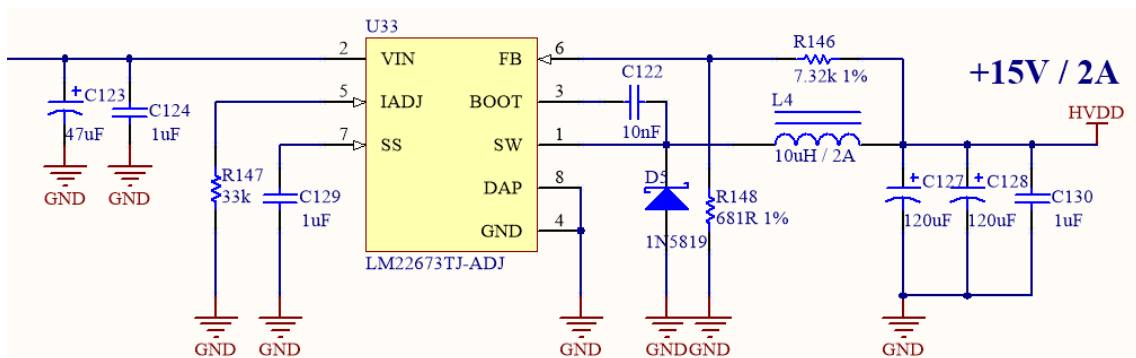


Figura 3.1.17: Fuente de alimentación de +15V.

Fuente de -15V:

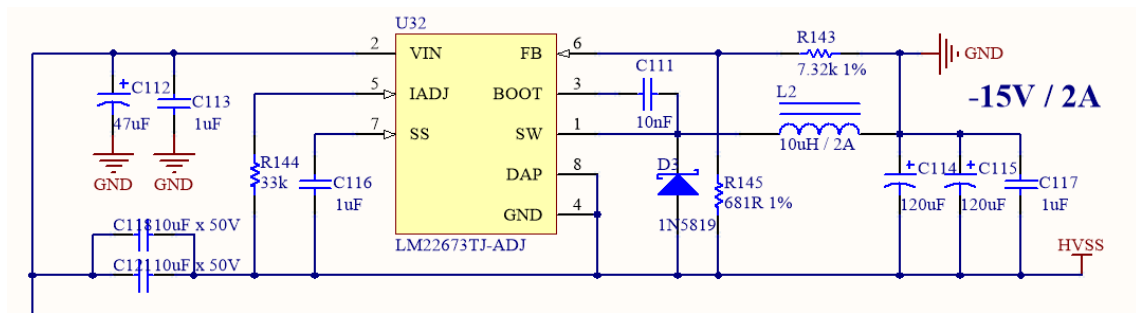


Figura 3.1.18: Fuente de alimentación de -15V.

Como se puede ver en las figuras 3.1.15...18 todas las fuentes de alimentación son del tipo Buck y utilizan el mismo regulador, el LM22673TJ-ADJ. En la figura 3.1.19 se puede ver un diagrama en bloques funcional del regulador.

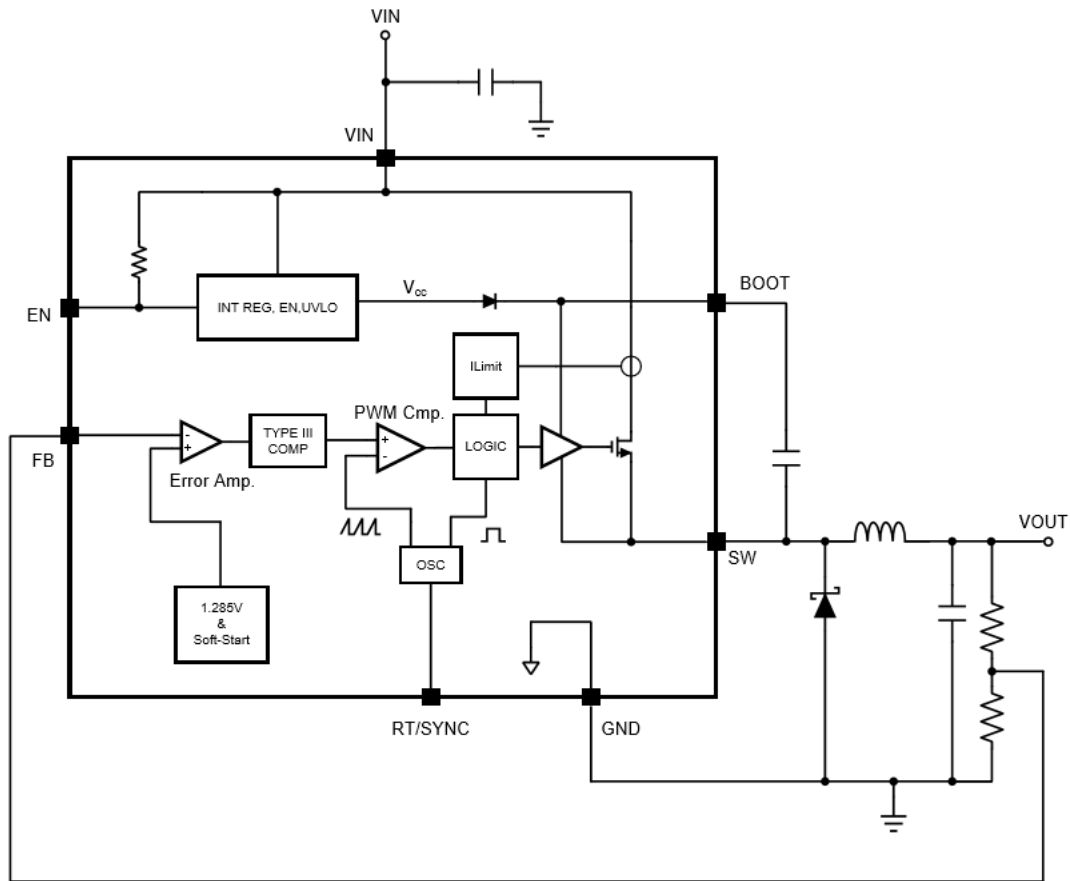


Figura 3.1.19: Diagrama en bloques funcional de LM22673TJ-ADJ.

El regulador switching (conmutado) LM22673 provee todas las funciones necesarias para implementar un regulador de tensión de alta eficiencia tipo Buck (step-down) usando un mínimo de componentes externos.

Este regulador de fácil uso incorpora un Mosfet de canal N de 42V capaz de proveer hasta 3A de corriente de salida. Se caracteriza por tener una excelente regulación de tensión con alta eficiencia (>90%). El control ofrece un tiempo de encendido mínimo, permitiendo la más amplia relación de tensión entre entrada y salida. La frecuencia de conmutación de 500KHz permite componentes externos pequeños y una buena respuesta a transitorios. La característica de arranque suave está prevista a través de la selección de un simple capacitor externo. Además, el limitador de corriente puede ser programado por una simple resistencia externa.

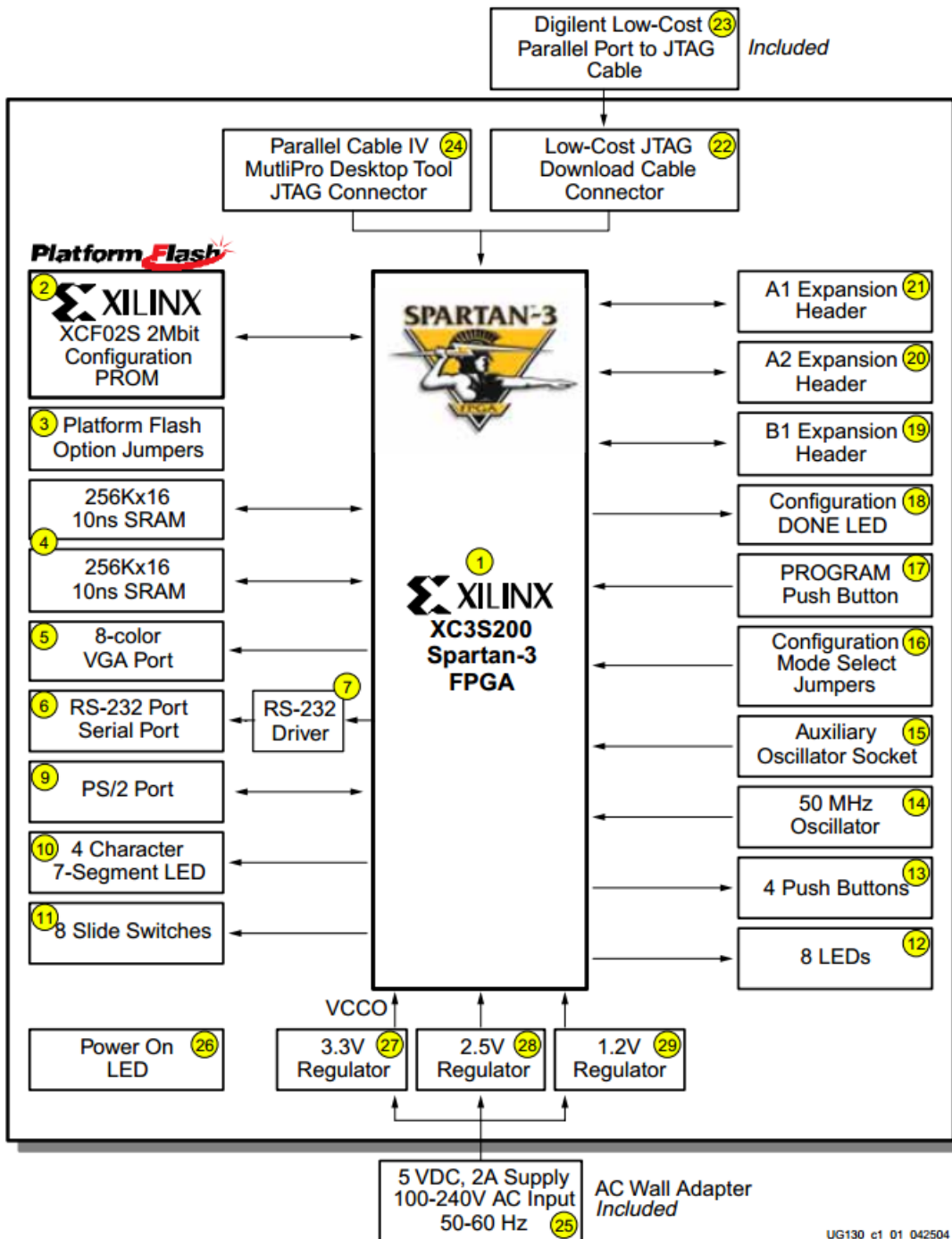
3.1.8. Módulo de expansión

Para este proyecto se utilizó un kit de desarrollo con una FPGA Spartan-3 de Xilinx. Las especificaciones de este kit, son suficientes para cumplir con todas las tareas requeridas para esta aplicación.

La FPGA se encarga de manejar el ADC, comunicarse con el ARM y manejar los cuatro DACs.

El kit de desarrollo utilizado es el "Spartan-3 FPGA Starter Kit Board", en la figura 3.1.20 se pueden ver los siguientes componentes y características:

- FPGA Xilinx Spartan-3 XC3S200 de 200000 compuertas en un package 256 BGA.
 - 4320 celdas lógicas equivalentes.
 - Doce bloques de RAMs de 18Kbit (216Kbits).
 - Doce multiplicadores por hardware de 18x18.
 - Cuatro controladores de clock digitales (DCMs).
 - Hasta 173 señales de entrada/salida definidas por el usuario.
- Plataforma flash de 2Mbit Xilinx XCF02S, PROM de configuración programable en el sistema.
- SRAM de 1Mbyte.
- Puerto de display VGA de 3bit, 8 colores.
- Puerto serie de 9 pines RS-232.
- Puerto PS/2 para mouse o teclado.
- Display LED de siete segmentos de 4 digitos.
- 8 interruptores deslizables.
- 8 salidas individuales de LED.
- 4 pulsadores.
- Oscilador a cristal de 50MHz.
- 3 conectores de expansión de 40 pines.
- Puerto JTAG.
- Reguladores de 3.3V, 2.5V y 1.2V en la placa.



UG130_c1_01_042504

Figura 3.1.20: Diagrama en bloques del kit de desarrollo Spartan 3 de Xilinx.

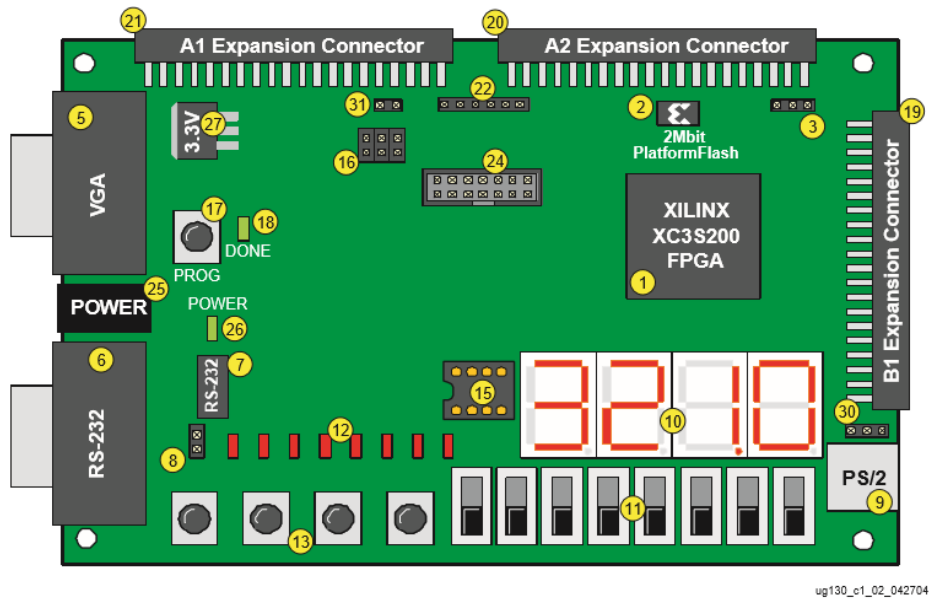


Figura 3.1.21: esquema de la placa del kit de desarrollo Spartan-3.

3.2. Diseño del PCB

El diseño del PCB se realizó con el software Altium Designer 10.

Realizado el esquemático de todos los bloques (también diagramados en Altium Designer) se procedió a realizar un bosquejo de como quedarían distribuidos los mismos. En la figura 3.2.1 se puede ver como se ubicaron cada uno de los bloques y su interconexión. Además, se diagramó el esquema de los diferentes GND aislados.

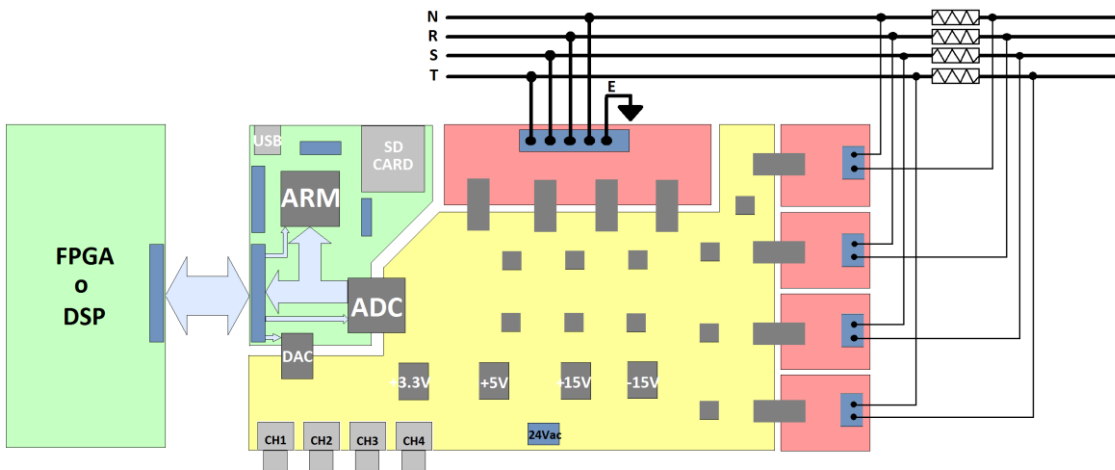


Figura 3.2.1: distribución de los bloques en el PCB y sus respectivos GND aislados.

Luego se procedió a realizar el posicionamiento de los componentes, para ello se realizó el particionado de la placa utilizando los bloques descritos anteriormente.

Se buscó realizar el posicionamiento óptimo teniendo en cuenta aspectos como los posibles trazados y los planos de masa. Básicamente, se trató de minimizar la longitud de los trazos, disminuir la inductancia de dispersión (considerando los retornos de las señales), minimizar la cantidad de trazos que corten el plano de masa, evitar loops de masa, posicionar los capacitores de desacople lo más cercano posible a la alimentación de los circuitos integrados y de ser necesario, colocar choques de RF cerca de la alimentación de aquellos IC susceptibles a interferencias (como por ejemplo los ADCs).

Debido a la baja complejidad de ruteo de la mayor parte del circuito y que no teníamos restricciones de tamaño de la placa, se decidió utilizar un PCB de dos capas (layers) con cobre de 2oz. Si bien el layout óptimo del ADC es con un PCB de 4 layers, consideramos conveniente utilizar solo 2 layers, resultando un PCB de mayores dimensiones pero mucho más económico.

En la figura 3.2.2 y 3.2.3 se puede observar la versión final del diseño del PCB de dos capas. En la capa superior (de color rojo) se trazó la mayoría de los caminos que transportan señales y las líneas de las fuentes de alimentación, mientras que en la capa inferior se implementaron los planos de masa y los pequeños trazos que se utilizaron de puente.

En la figura 3.2.3 se puede ver como quedaron distribuidos los planos de masa, teniendo en cuenta el despeje (clearance) entre los diferentes tipos de GND. Se puede ver dos grandes bloques que representan GND analógico (zona central de la placa) y GND digital (lateral derecho), ambos unidos en un solo punto por medio de una resistencia de 0Ω . Luego se puede ver en la parte superior el plano de masa que toma de referencia el neutro para la medición de las distintas fases y tierra. Por último se puede ver a la derecha los 4 planos de GND para cada fase, que captura la tensión diferencial de las resistencias shunt para la medición de corriente.

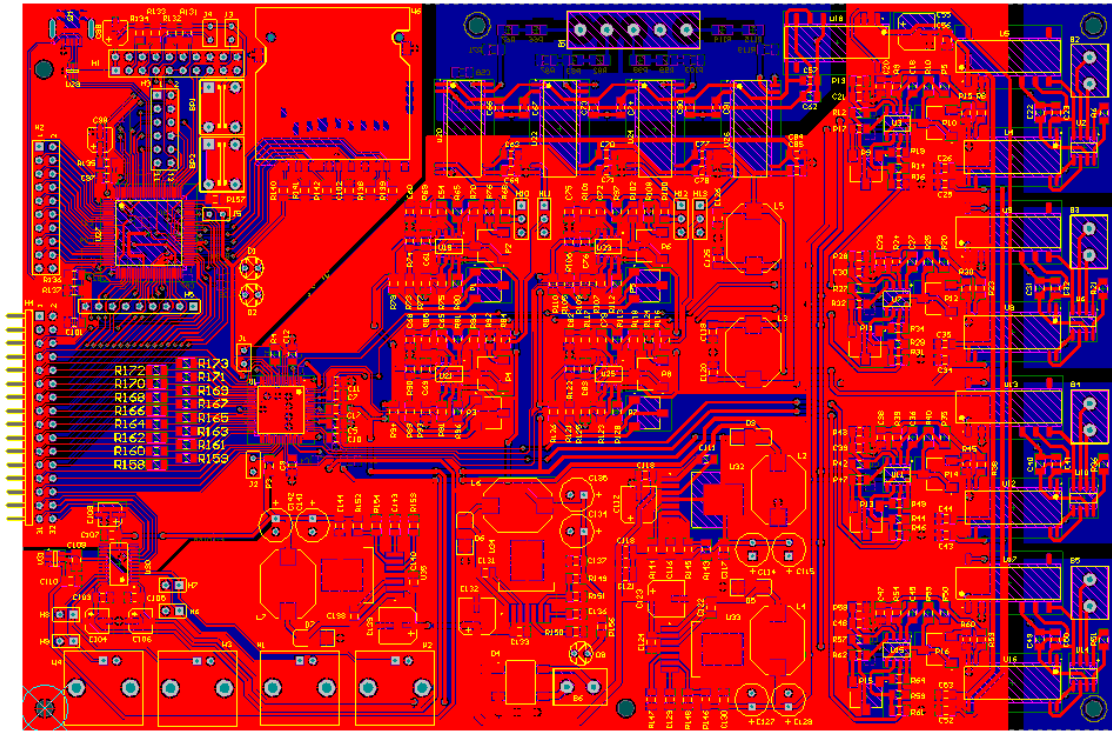


Figura 3.2.2: vista superior del PCB final (rojo: cobre de capa superior, azul: cobre de capa inferior).

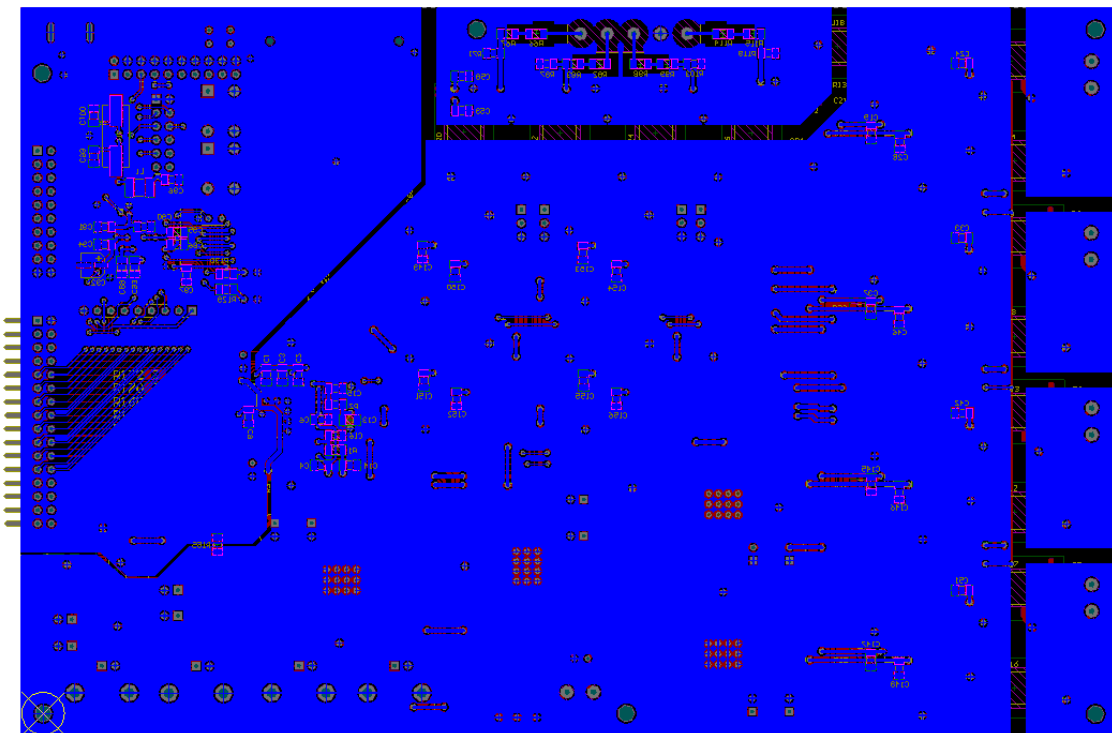


Figura 3.2.3: vista inferior del PCB final (rojo: cobre de capa superior, azul: cobre de capa inferior).

En la figura 3.2.4 se puede ver con más claridad la distribución de los componentes, gracias a una vista 3D del PCB. Como se observa, se ha logrado una buena densidad de componentes a pesar de utilizar solo dos layers.

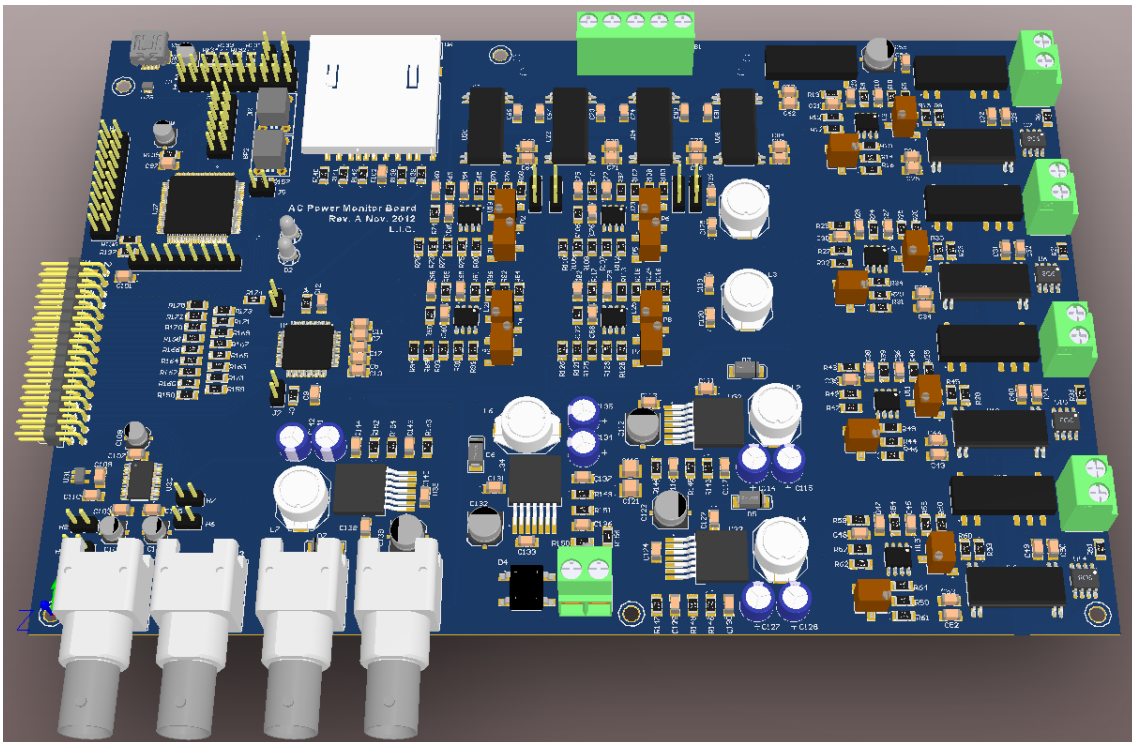


Figura 3.2.4: vista 3D de la parte superior de la placa.

3.3. Programación del microcontrolador ARM

El microcontrolador ARM SAM3S se encarga de las siguientes tareas:

1. Recibir los datos de la FPGA:

La comunicación entre el microcontrolador y la FPGA se realiza mediante el bus paralelo de 16bits compartido con el ADC. Además, hay dos bits extra, uno para el clock y otro para indicar que el ARM está listo para recibir datos.

2. Almacenar los datos en la tarjeta SD:

El microcontrolador carga unos drivers proporcionados por ATMEL para poder inicializar la tarjeta SD, la cual usa el protocolo estándar SD de 4bits.

Las funciones básicas que se utilizan son: montar una tarjeta SD con formato FAT32, generar un archivo .txt y almacenar los datos suministrados por la FPGA. En este caso, la FPGA entrega los datos “crudos” adquiridos por el ADC, estos son: los cuatro valores de tensión y los cuatro valores de corriente. En el archivo txt se cargan los datos de VR, VS, VT, IR, IS, IT tabulados y separados por “,”

las columnas y por “<CR>” (carriage return) las filas. Esto es para una fácil visualización posterior en programas como MATLAB, por ejemplo.

3. Atender los periféricos de interfaz de usuario:

La interfaz de usuario es de solo dos pulsadores y dos leds indicadores. Uno de los pulsadores tiene doble función, cuando se lo presiona por un instante funciona como inicio/fin de grabación de datos en la tarjeta SD y cuando se lo mantiene presionado por más de 5 segundos, se encarga de desmontar la tarjeta SD. El otro pulsador actúa de reset general, cuando inicializa la tarjeta SD, si ya existe un archivo txt, genera uno nuevo.

El Led verde indica que la tarjeta SD está montada correctamente.

El Led rojo, si parpadea indica que se están grabando los datos en la tarjeta SD; y si queda fija indica error en tarjeta SD.

4. Interactuar con el PC por medio del puerto USB:

El apartado de comunicación con el PC mediante el USB, quedó pendiente para posteriores actualizaciones de firmware.

En la figura 3.3.1 se muestra un diagrama de flujos simplificado de la rutina principal del ARM. En el bloque de configuración, se inicializan los periféricos y se monta la tarjeta SD, si se produce un error de tarjeta lo indica encendiendo el Led rojo. El bloque pulsador, se atiende mediante una interrupción de transición de nivel, detecta si el pulsador se presiona por más de 5s y se encarga de desmontar la tarjeta SD (también apaga los Leds). Si el pulsador se presiona por menos tiempo, cambia el estado de grabación (iniciar/detener). El bloque nuevo dato, le avisa al FPGA que está listo mediante el pin CMD y espera el flanco de CLK (atendido por interrupción) para capturar los datos. Los ocho datos se transmiten de manera secuencial, arbitrados por CLK.

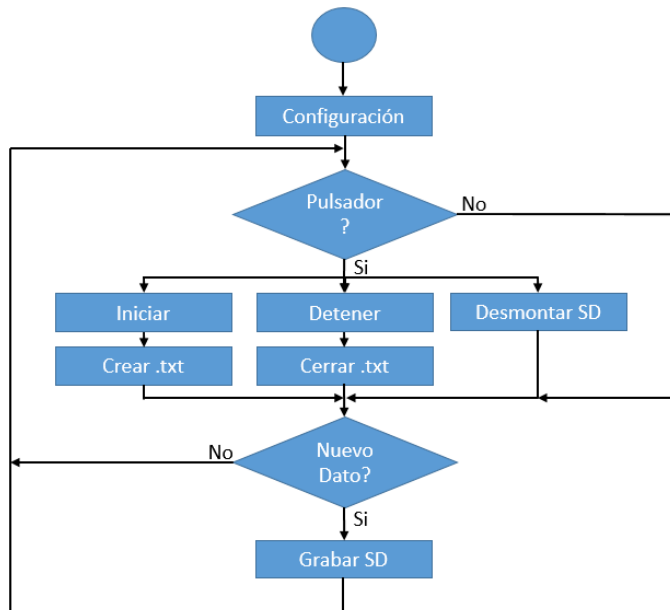


Figura 3.3.1: Diagrama de flujos de la rutina principal del ARM.

3.4. Programación de la FPGA

La FPGA se encarga de realizar las siguientes tareas:

1. Controlar el ADC:
Al iniciar, la FPGA envía los comandos de configuración del ADC. Luego envía los comandos de START cada 100us y registra los datos capturados de los 8 canales a través de la comunicación paralela de 16bits.
2. Enviar los datos al ARM:
LA FPGA envía los datos capturados por el ADC al ARM, en este caso en particular (para la configuración utilizada en el banco de pruebas), simplemente se envió los 3 datos de tensión y de corriente sin procesar.
3. Controlar el DAC:
Al iniciar, la FPGA configura el DAC para que este funcione con +-10V de salida y el tipo de entrada sea complemento a dos. Luego, envía los datos capturados por el ADC a la salida del DAC de 4 canales. Dependiendo del estado del Switch de selección, la salida toma los 4 valores de tensión o los 4 valores de corriente.

A continuación, en la figura 3.4.1 se muestran los bloques que desempeñan cada una de las funciones que realiza la FPGA.

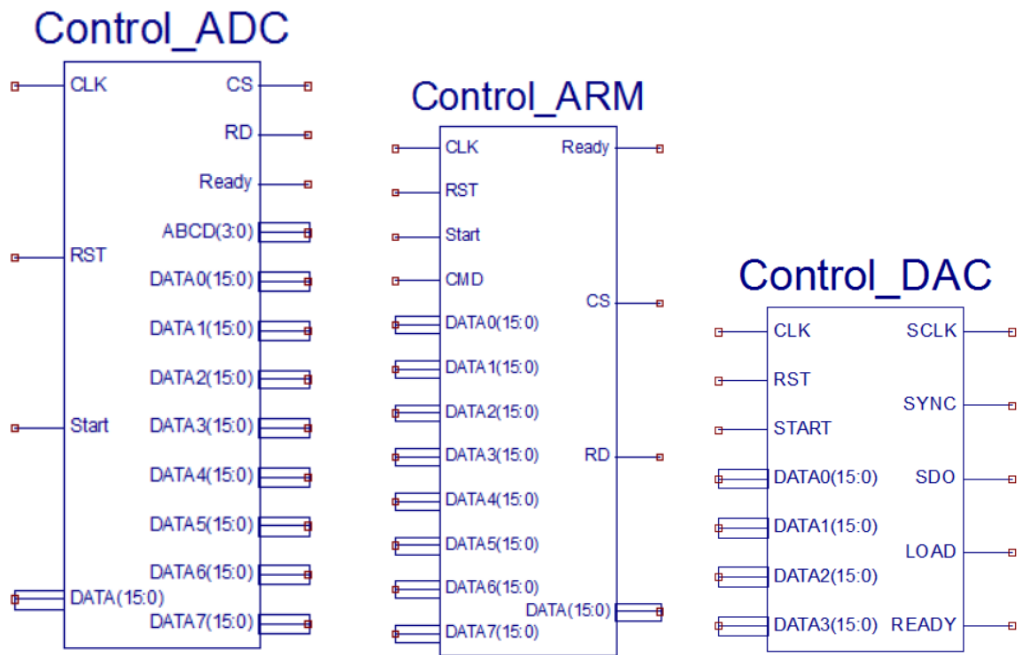


Figura 3.4.1: los tres bloques de control implementados en la FPGA, a la izquierda se encuentran las entradas y a la derecha las salidas de cada bloque.

1. Control del ADC:

En la figura 3.4.2 se muestra el diagrama de estados que representa el funcionamiento del bloque de control del ADC.

En el diagrama se puede observar el procedimiento para inicializar el ADC, luego un estado idle esperando la orden de arranque y por último la secuencia de captura de los datos adquiridos.

En la tabla 3.4.1 se describen los puertos utilizados en este bloque:

Variable	Tipo	Descripción
Clk	Entrada	Clock del sistema
Rst	Entrada	Reset general
Start	Entrada	Comienzo de captura de datos
DATA	Entrada (16bits)	Registro de configuración
CS	Salida	Selección del ADC
RD	Salida	Clock de comunicación del ADC
Ready	Salida	Sistema en espera
ABCD	Salida (4bits)	Comienzo de conversión del ADC
DATA0..7	Salida (16bits)	Registros de los datos capturados

Tabla 3.4.1: puertos del bloque de control del ADC.

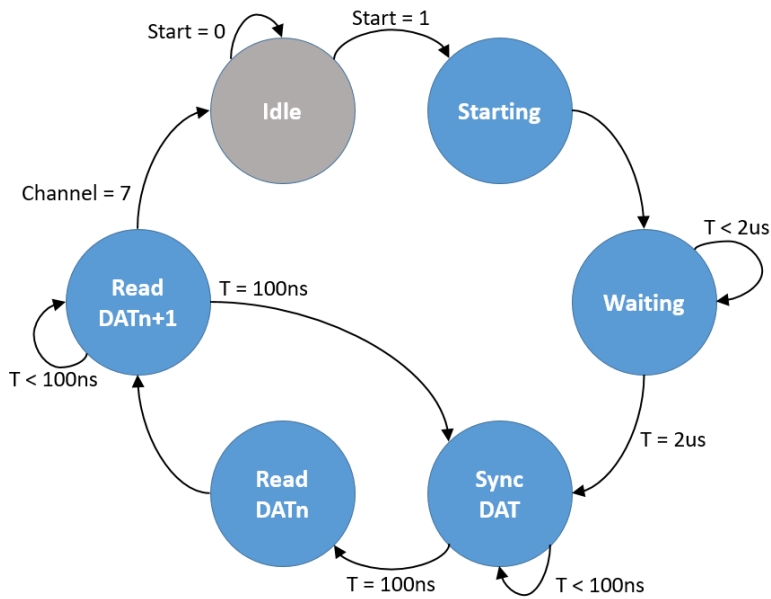


Figura 3.4.2: diagrama de estados del bloque de control de ADC.

2. Control del ARM:

En la figura 3.4.3 se muestra el diagrama de estados que representa el funcionamiento del bloque de control del ARM.

En el diagrama se puede observar el procedimiento para transferir los datos al ARM. En estado "idle" espera de la orden de arranque, luego espera el clock del ARM y transfiere un dato por cada transición del clock, cuando transmite los 8 datos vuelve al estado de espera.

En la tabla 3.4.2 se describen los puertos usados en este bloque:

Variable	Tipo	Descripción
Clk	Entrada	Clock del sistema
Rst	Entrada	Reset general
Start	Entrada	Comienzo de transferencia de datos
CMD	Entrada	ARM listo
DATA0..7	Entrada (16bits)	Registros de los datos a transferir
CS	Salida	Selección del ARM
RD	Salida	Sincronismo de datos
Ready	Salida	Sistema en espera
DATA	Entrada/Salida (16bits)	Registro de Salida

Tabla 3.4.2: puertos del bloque de control del ARM.

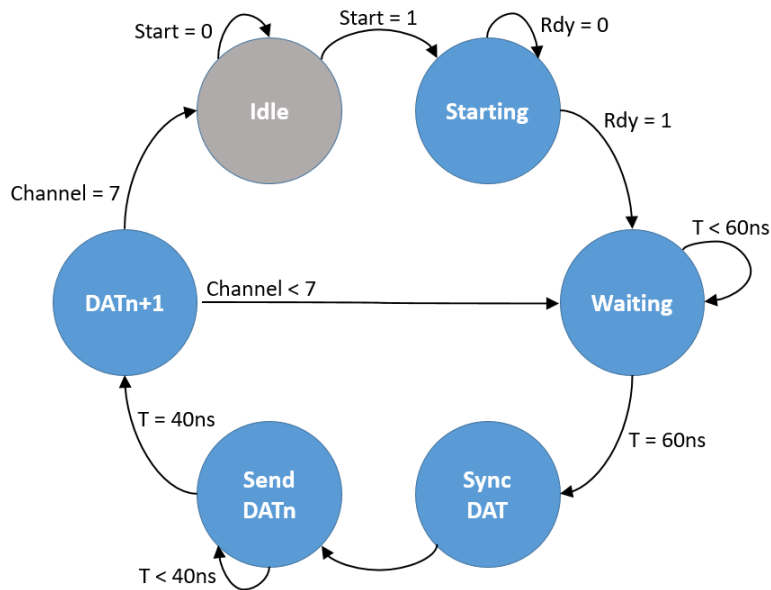


Figura 3.4.3: diagrama de estados del bloque de control de ARM.

3. Control del DAC:

En la figura 3.4.4 se muestra el diagrama de estados del módulo de control del DAC. Este módulo se encarga de transferir los datos de los cuatro canales de tensión o los cuatro de corriente al DAC, dependiendo de la posición del switch de selección de canal.

En la Tabla 3.4.3 se muestran los puertos utilizados en este bloque.

Variable	Tipo	Descripción
Clk	Entrada	Clock del sistema
Rst	Entrada	Reset general
Start	Entrada	Comienzo de transferencia de datos
DATA0..3	Entrada (16bits)	Registros de los datos a transferir
Ready	Salida	Sistema en espera
Load	Salida	Actualizar salida del DAC
Sclk	Salida	Clock de comunicación
SDO	Salida	Salida de datos de comunicación serie
SYNC	Salida	Selección del DAC

Tabla 3.4.3: puertos del módulo de control del DAC.

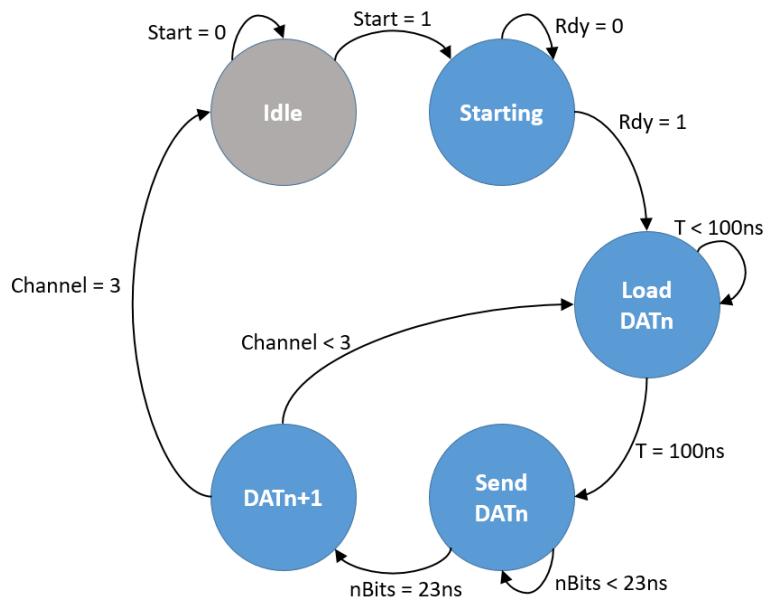


Figura 3.4.4: diagrama de estados del bloque de control del DAC.

4 Mediciones

Antes de realizar las mediciones en el banco de pruebas, se hizo la puesta en marcha del sistema. Se verificaron las tensiones de las fuentes de alimentación. Luego se calibraron los acondicionadores de señales, con tensión de entrada cero se corrigió el offset y con una señal de bajo nivel se calibró la ganancia. Además, se midió la frecuencia de corte de los filtros antialiasing y se corroboró que el filtro no aporta un error apreciable de fase y de amplitud para la máxima frecuencia de interés (3kHz).

Las mediciones en el banco de pruebas se realizaron con la configuración de la figura 4.1, donde se pueden ver los siguientes bloques:

- Entrada de tensión: en este caso se utilizó un Variac (autotransformador variable), para tener control de la potencia entregada a la carga.
- Instrumento de medición: compuesto por la placa adquisidora y el kit de desarrollo de la FPGA.
- Sensado de tensión: las salidas de tensión del autotransformador (las tres fases y el neutro) ingresan a la bornera de entrada de tensión de la placa adquisidora.
- Sensado de corriente: en los bornes de las resistencias que se colocaron en serie con la carga se soldaron cables trenzados (para minimizar el ruido de modo

común) que ingresan a las borneras de entrada de corriente de la placa adquisidora. Las resistencias utilizadas son de $0.43\text{m}\Omega$.

- Carga: está compuesta por un puente rectificador trifásico y por una resistencia de 500Ω .

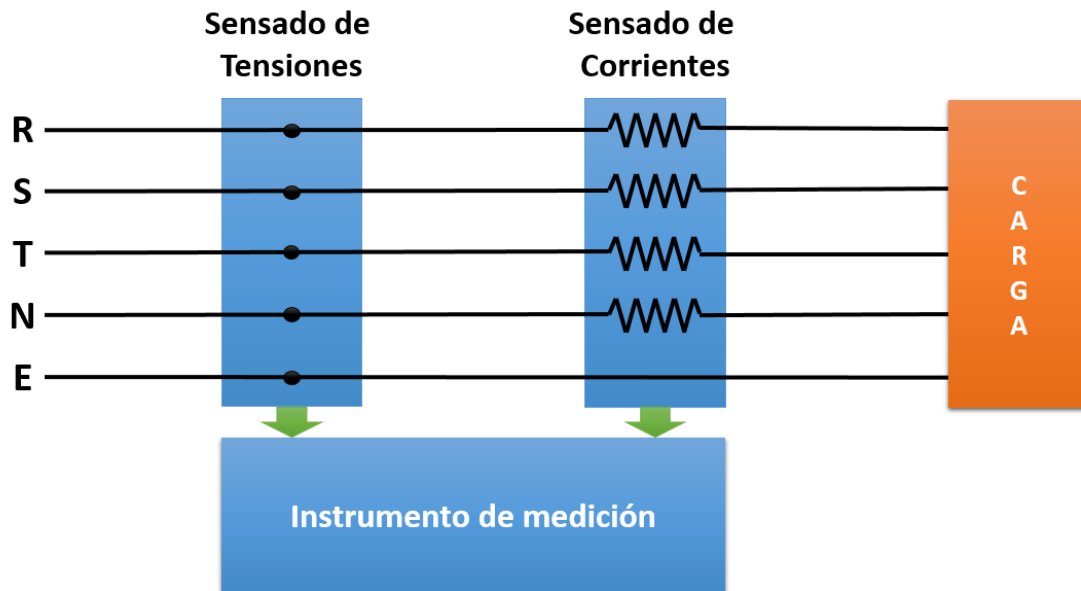


Figura 4.1: diagrama de conexiones del banco de ensayo.

En la figura 4.2 se muestra una foto de la configuración del banco de pruebas. En primera plana se observa la placa de adquisición y el kit de desarrollo de la FPGA, a la izquierda se encuentra la fuente de alimentación de 24V(DC) , al fondo a la derecha el variac, el puente de diodos trifásico se encuentra al centro de la imagen (bloque de aluminio) y por último la carga, una resistencia junto al ventilador.

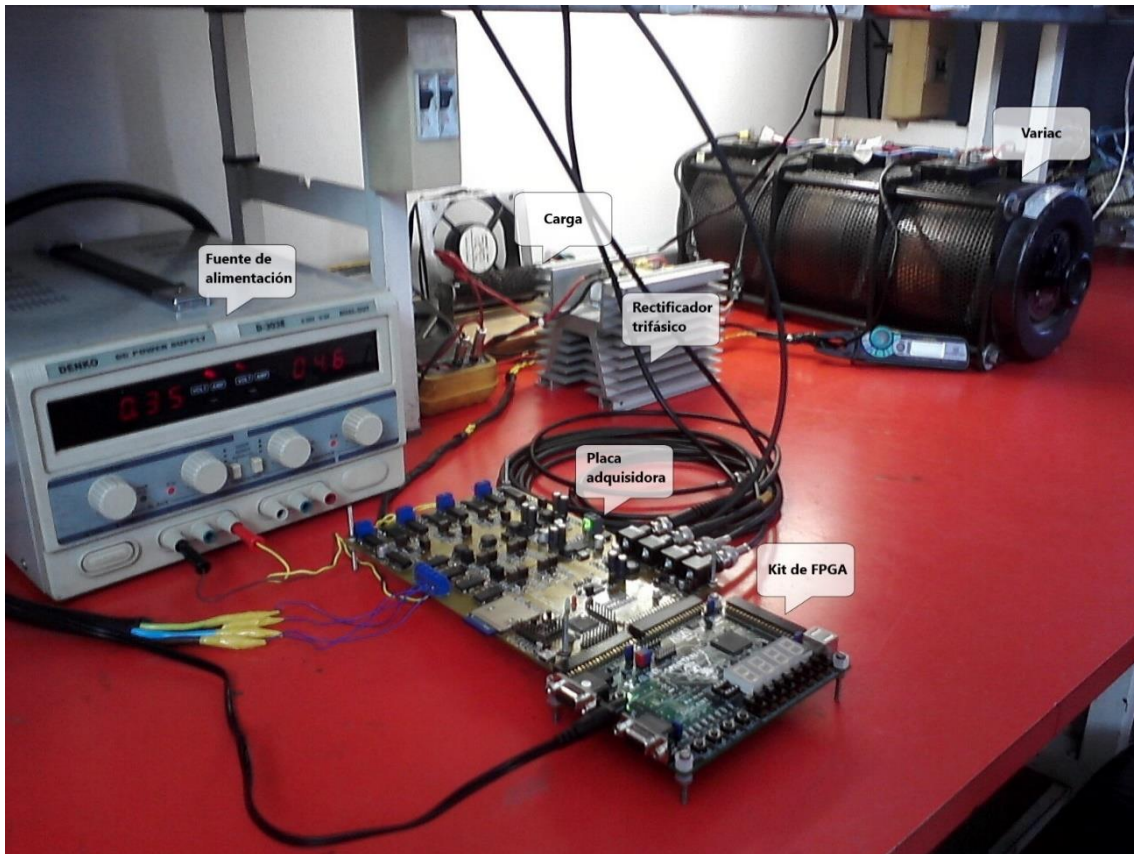


Figura 4.2: imagen de la configuración del banco de medición.

En la figura 4.3 se muestra una captura del osciloscopio, tomando la señal de salida de los DACs, se graficó solamente el nivel de tensión de las tres fases con respecto al neutro.

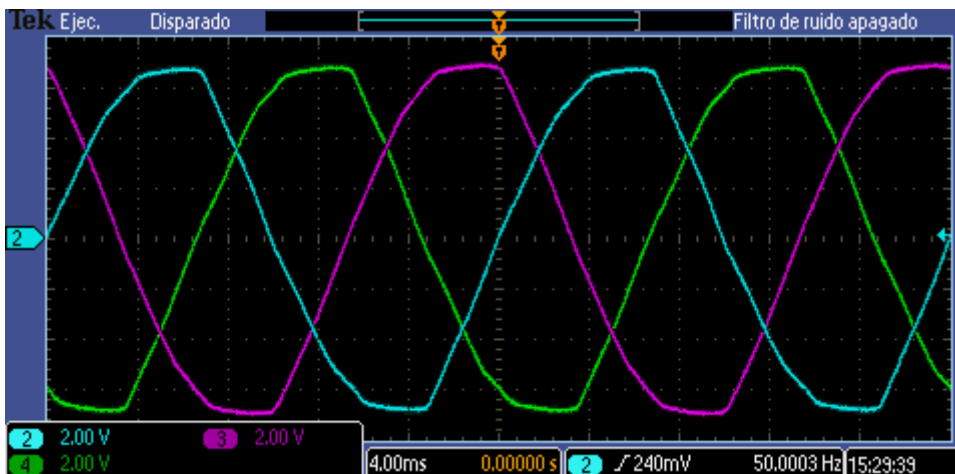


Figura 4.3: captura de las tensiones V_{RN} , V_{SN} y V_{TN} .

En la figura 4.4 se muestra la captura de las corrientes en las tres fases, en este caso no se graficó la corriente del neutro porque era de un nivel muy bajo. Se puede apreciar la forma de onda particular de la corriente producida por el puente rectificador.

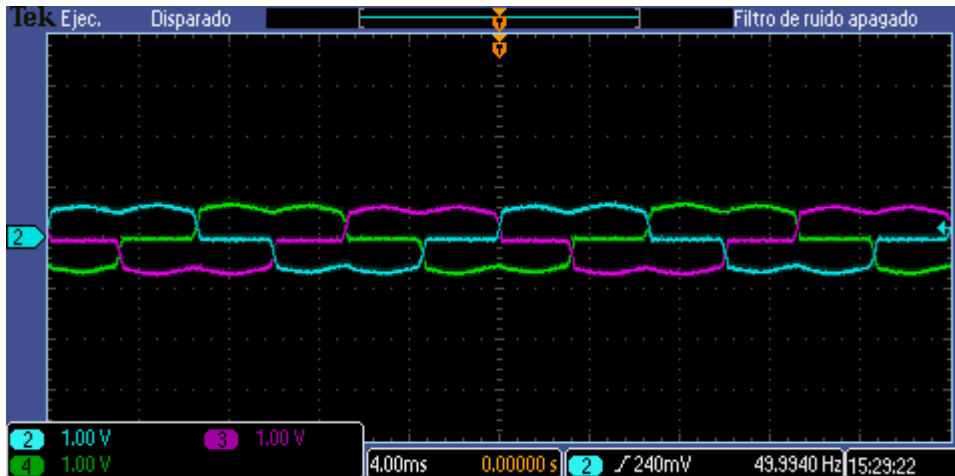


Figura 4.4: captura de las corrientes I_R , I_S e I_T .

En la figura 4.5 se puede observar el nivel de ruido capturado por el adquisidor con entrada de tensión cero, es de aproximadamente unos 25mV_p.

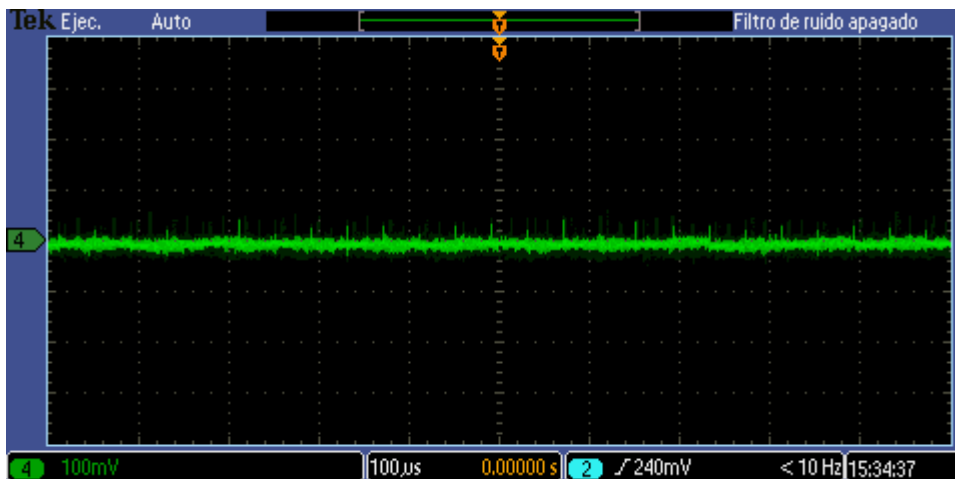


Figura 4.5: captura del ruido obtenido con entrada de tensión cero.

En las figuras 4.6 y 4.7 se pueden ver las gráficas de las muestras de tensión y corriente que fueron capturadas y almacenadas en la tarjeta SD. Las muestras fueron guardadas en un archivo ".txt" con una frecuencia menor a la de captura, 10 muestras por ciclo de red.

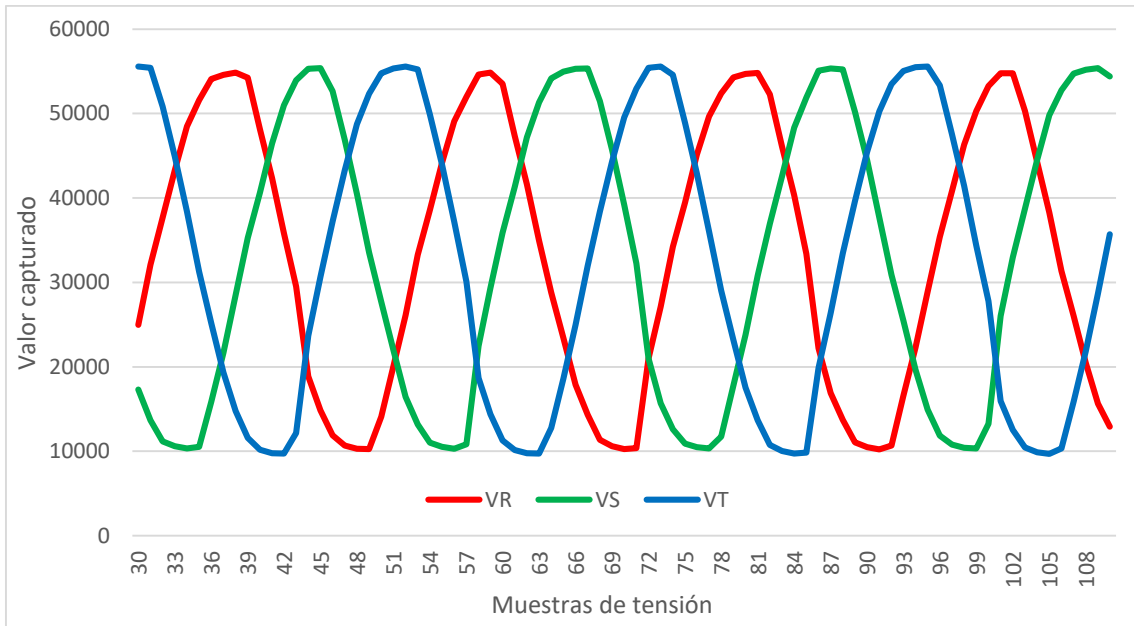


Figura 4.6: muestras de las tensiones V_{RN} , V_{SN} y V_{TN} .

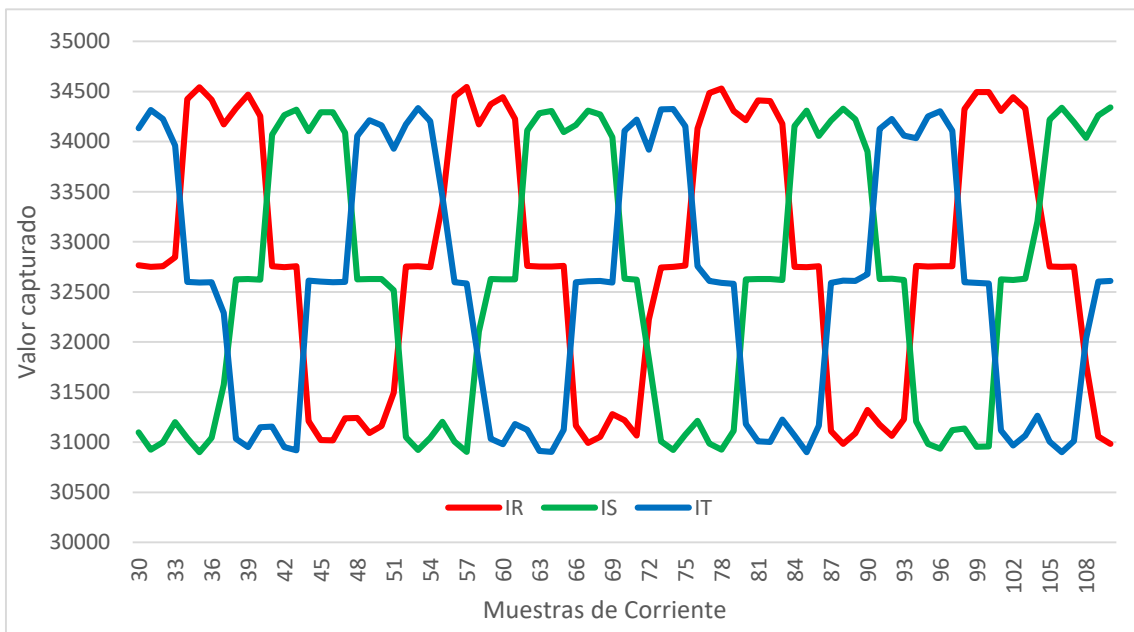


Figura 4.6: muestras de las tensiones I_R , I_S e I_T .

5 Conclusión y discusión

Al final de este trabajo se logró obtener un sistema adquisidor que cubra las necesidades y expectativas previas, en este contexto las mediciones realizadas fueron interesantes y destapan la potencialidad del equipo.

El adquisidor puede caracterizar la red eléctrica trifásica con una precisión cercana a la de otros dispositivos comerciales y es un sistema modular con posibilidades de ampliación de características, esto ofrece al laboratorio un sistema muy versátil donde se lo puede utilizar en diversos proyectos relacionados con la calidad de energía.

Quedaron por desarrollar algunas características, como la interfaz con la PC por medio del puerto USB (para hacer un osciloscopio virtual o un panel frontal) y realizar cálculos más avanzados en la FPGA para caracterizar la red.

En cuanto al dispositivo en sí mismo, luego de probarlo intensamente y de realizar diversas mediciones se observó que el nivel de ruido en las fuentes de alimentación era bastante elevado, esto se pudo corregir agregando más capacitores de desacople cerca de los circuitos integrados más sensibles. Otro punto a mejorar fue la comunicación de la FPGA con el ARM, el módulo de comunicación en paralelo de 16bits no fue implementado de la manera más óptima, debería consumir menos recursos del ARM. Una posible mejora sería usar una comunicación SPI, aunque es más lenta, permite aprovechar mejor los recursos.

Bibliografía

- Math H. J. Bollen and Irene Yu-hua Gu “Signal processing of power quality disturbances”
- Pong P. Chu “FPGA prototyping by VHDL examples”
- Analog Devices MT-101 “Decoupling Techniques”
- Analog Devices MT-031 “Grounding Data Converters and Solving the Mystery of ‘AGND’ and ‘DGND’”

Lista de figuras

Figura 1.2.1: Frecuencia de la red eléctrica en (a) España, (b) Singapur y (c) Gran Bretaña a lo largo del 17 de Octubre de 2011	8
Figura 1.2.2: Valor de tensión RMS durante una semana en (a) EEUU y (b) Italia.	9
Figura 1.2.3: Porcentaje de desbalance durante una semana en (a) EEUU y (b) Alemania	11
Figura 1.2.4: THD medido durante una semana en (a) México, (b) Corea del Sur y (c) Noruega.	13
Figura 1.2.5: Ejemplos de dips de tensión. (a) Simétrico y (b) no simétrico.	14
Figura 1.2.6: Ejemplos de transitorios en la red eléctrica.	15
Figura 2.2.1: diagrama de interconexión de los bloques principales.	18
Figura 3.1.1: diagrama en bloques de la etapa de adecuación de tensión.	20
Figura 3.1.2: Esquema de la fuente de alimentación aislada.	21
Figura 3.1.3: Esquema de amplificador aislado, la primera etapa de la adecuación de señales.	21
Figura 3.1.4: diagrama en bloques de la etapa de entrada de corriente.	22
Figura 3.1.5: etapa de entrada de corriente.	23
Figura 3.1.6: esquema de adecuación de señales, filtrado y calibración de offset y ganancia.	24
Figura 3.1.7: Diagrama en bloques simplificado del AD8668.	25
Figura 3.1.8: diagrama esquemático de la etapa de adquisición.	26
Figura 3.1.9: microcontrolador SAM3S, puertos principales.	28
Figura 3.1.10: Conexiones de alimentación, oscilador y la interfaz JTAG.	29
Figura 3.1.11: Conector de tarjetas SD y puerto Mini-USB.	29
Figura 3.1.12: Conectores auxiliares del ARM.	30

Figura 3.1.13: diagrama en bloques del circuito integrado AD5754 de 16bits.	31
Figura 3.1.14: diagrama esquemático del DAC AD5754.	31
Figura 3.1.15: Fuente de alimentación de +3.3V.	32
Figura 3.1.16: Fuente de alimentación de +5V.	33
Figura 3.1.17: Fuente de alimentación de +15V.	33
Figura 3.1.18: Fuente de alimentación de -15V.	33
Figura 3.1.19: Diagrama en bloques funcional de LM22673TJ-ADJ.	34
Figura 3.1.20: Diagrama en bloques del kit de desarrollo Spartan 3 de Xilinx.	36
Figura 3.1.21: esquema de la placa del kit de desarrollo Spartan-3.	37
Figura 3.2.1: distribución de los bloques en el PCB y sus respectivos GND aislados.	37
Figura 3.2.2: vista superior del PCB final	39
Figura 3.2.3: vista inferior del PCB final	39
Figura 3.2.4: vista 3D de la parte superior de la placa.	40
Figura 3.3.1: Diagrama de flujos de la rutina principal del ARM.	42
Figura 3.4.1: los tres bloques de control implementados en la FPGA	43
Figura 3.4.2: diagrama de estados del bloque de control de ADC.	44
Figura 3.4.3: diagrama de estados del bloque de control de ARM.	45
Figura 3.4.4: diagrama de estados del bloque de control del DAC.	46
Figura 4.1: diagrama de conexión.	47
Figura 4.2: imagen de la configuración del banco de medición.	48
Figura 4.3: captura de las tensiones VRN, VSN y VTN.	48
Figura 4.4: captura de las corrientes IR, IS e IT.	49
Figura 4.5: captura del ruido obtenido con entrada de tensión cero.	49
Figura 4.6: muestras de las tensiones VRN, VSN y VTN.	50
Figura 4.6: muestras de las tensiones IR, IS e IT.	50