

DISEÑO Y CONSTRUCCIÓN DE UN CONVERTIDOR TRIFÁSICO DE 3 NIVELES

Juan Francisco Martínez

Este Trabajo Final fue presentado al
Departamento de Ingeniería Electromecánica
de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata
el 1 de Marzo de 2017, como requisito parcial para la obtención del título de
Ingeniero Electromecánico

Director: Dr. Ing. Sergio A. González
Co-Director: Dr. Ing. Marcos G. Judewicz



RINFI se desarrolla en forma conjunta entre el INTEMA y la Biblioteca de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata.

Tiene como objetivo recopilar, organizar, gestionar, difundir y preservar documentos digitales en Ingeniería, Ciencia y Tecnología de Materiales y Ciencias Afines.

A través del Acceso Abierto, se pretende aumentar la visibilidad y el impacto de los resultados de la investigación, asumiendo las políticas y cumpliendo con los protocolos y estándares internacionales para la interoperabilidad entre repositorios



Esta obra está bajo una [Licencia Creative Commons Atribución-
NoComercial-CompartirIgual 4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/).

Índice general

Resumen	1
1. Introducción	3
1.1. Convertidores de Potencia	8
1.1.1. Convertidor de Dos Niveles	8
1.1.2. Convertidor Trifásico Multinivel	12
1.1.3. Comparativa 2 Niveles vs. NPC 3 Niveles	16
1.2. Objetivos	23
2. Diseño del Convertidor NPC	25
2.1. Introducción	25
2.2. Rama de Conmutación de 3 Niveles	27
2.2.1. Requerimientos	27
2.2.2. Llaves semiconductoras	28
2.2.3. Drivers	28
2.2.4. Resistencias de Disparo	30
2.2.5. Banco de Capacitores de la Rama	32
2.3. Bus de Tensión de Corriente Continua	33
2.4. Elementos Relacionados al Control	35
2.4.1. Sensado de Corriente de C.A.	35
2.4.2. Sensado de Corrientes y Tensiones del Banco de C.C.	36
2.5. Diseño Térmico	38
3. Construcción	43
3.1. Diseño de los Circuitos Impresos	44
3.1.1. Banco de Capacitores CC	44
3.1.2. Rama del Convertidor	49
3.2. Montaje Placa Circuito Impreso de Rama del Convertidor	54

3.3. Montaje Placa Circuito Impreso de Banco de Capacitores	55
4. Validación del Prototipo	57
4.1. Simulaciones	58
4.1.1. Carga de Banco de Capacitores	58
4.1.2. Carga Inductiva Baja Tensión	59
4.1.3. Carga Resistiva	62
4.1.4. Carga Inductiva	64
4.2. Pruebas Experimentales	66
4.2.1. Configuración para las Pruebas	66
4.2.2. Módulos de IGBTs	69
4.2.3. Carga del Banco de Tensión C.C.	70
4.2.4. Carga Inductiva en Baja Potencia	72
4.2.5. Carga Resistiva	76
4.2.6. Carga Inductiva	78
4.2.7. Resultados Experimentales	81
5. Conclusiones	83
5.1. Trabajos Futuros	84
Referencias	86
A. Cálculos para el Banco de Capacitores	89
A.1. Capacidad Mínima	90
A.1.1. Diseño Propuesto	96
A.2. Corriente de Ripple	98
B. Diagramas Esquemáticos	103
C. Modelos PCB Finales	107
C.1. Versión Final PCB Rama del Convertidor	107
C.2. Versión Final PCB Banco de Capacitores	109
D. Costos de Componentes del Convertidor	111

Índice de figuras

1.1. <i>Composición Matriz de Energía Eléctrica Nacional según Fuentes</i>	4
1.2. <i>Diagrama de Bloques de Inyección de Energía de Fuentes Renovables</i>	5
1.3. <i>Resumen de las Capacidades de Dispositivos Semiconductores de Potencia</i>	7
1.4. <i>Esquema de una Rama del Convertidor de 2 Niveles</i>	8
1.5. <i>Principio de Funcionamiento de la técnica PWM 2L</i>	10
1.6. <i>Control de Tensión mediante la variación de m_a</i>	11
1.7. <i>Topología de una rama del Convertidor Trifásico NPC de Tres Niveles</i>	12
1.8. <i>Estados de las llaves para los 3 Niveles de Tensión CA en Convertidor 3L NPC</i>	13
1.9. <i>Topología de Convertidor Trifásico NPC de Tres Niveles</i>	14
1.10. <i>Esquema de una Rama del Inversor NPC de 5 Niveles</i>	15
1.11. <i>Modulación PWM 3 Niveles</i>	16
1.12. <i>Modelo Circuitual NL5 - 2 Niveles. Carga Resistiva Inductiva</i>	17
1.13. <i>Modelo Circuitual NL5 - NPC 3 Niveles. Carga Resistiva Pura</i>	17
1.14. <i>Resultado Simulaciones 2 Niveles Carga Resistiva</i>	18
1.15. <i>Resultado Simulaciones 2 Niveles Carga Resistiva Inductiva</i>	19
1.16. <i>Resultado Simulaciones 3 Niveles Carga Resistiva</i>	20
1.17. <i>Resultado Simulaciones 3 Niveles Carga Resistiva Inductiva</i>	20
1.18. <i>Espectro - Corriente CA: 2L y 3L</i>	21
1.19. <i>Espectro - Tensión CA: 2L Y 3L</i>	22
2.1. <i>Implementación Propuesta</i>	26
2.2. <i>Diagrama Esquemático Elementos de Conmutación</i>	29
2.3. <i>Resistencias de Disparo</i>	30
2.4. <i>Configuración Capacitores Placa de Rama de Convertidor</i>	32

2.5. Impedancia equivalente de capacitores de distintos dieléctricos y valores en paralelo	33
2.6. Configuración Banco de Capacitores	35
2.7. Configuración Sensados de Corriente C.C.	36
2.8. Configuración Sensado de Tensiones de Banco C.C.	38
2.9. Dispositivos que Componen una Rama del Convertidor	39
2.10. Circuito Térmico Equivalente	41
2.11. Impedancia térmica transitoria total de disipador ZD-51 de International Aluel	41
2.12. T_s y T_j para condición de sobrecarga con $f_{min} = 2\text{ Hz}$	42
3.1. Diseño de PCB: Banco de Capacitores	45
3.2. Diseño de PCB: Sensados V/I CC	47
3.3. Diseño de PCB: Accionamiento del Relé	48
3.4. Diseño de PCB: Modelo del Módulo	49
3.5. Diseño de PCB: Rama de Conmutación y Drivers	50
3.6. Diseño de PCB: Banco de Capacitores de Rama de Conmutación	51
3.7. Diseño de PCB: Sensado de Corriente CA	52
3.8. Modelos Placas de Circuito Impreso Finales	53
3.9. Montaje Convertidor Completo	53
3.10. Montaje Placa de Circuito Impreso de una rama del convertidor	54
3.11. Montaje Placa de Circuito Impreso de Banco de Capacitores	55
4.1. Modelo Circuital NL5 - Carga de Banco Capacitores	58
4.2. Resultado Simulaciones Carga Banco Capacitores	59
4.3. Modelo Circuital NL5 - Carga Inductiva Baja Tensión	60
4.4. Resultados Simulación NL5 - Carga Inductiva Baja Tensión	60
4.5. Resultados Simulación NL5 - Carga Inductiva Baja Tensión - $m_a = 0,45$	61
4.6. Resultado Simulación NL5 - $m_a = 0,10$ - Zona Pulsos de Ancho menor a 750 nS	62
4.7. Resultado Simulación NL5 - Tensión CA $m_a = 0,10$ - Zona de Pulsos Ausentes	62
4.8. Modelo Circuital NL5 - Carga Resistiva $m_a = 8$	63
4.9. Resultado Simulación NL5 - Carga Resistiva $m_a = 8$	63
4.10. Modelo Circuital NL5 - Carga Inductiva	64

4.11. Resultado Simulación NL5 - Carga RL $m_a = 0,13$	65
4.12. Resultado Simulación NL5 - Carga RL $m_a = 0,15$	65
4.13. Diagrama Esquemático Elementos de Conmutación	67
4.14. Esquema Simplicado de Bloques del DSP	68
4.15. Tensión en la compuerta V_{Gate} (Canal 1): - $R_{ON} = R_{OFF} = 10\Omega$	68
4.16. Tensión en bornes CA (Canal 1): V_{AN} - R_{gate} mínimos	69
4.17. Muestra de la tensión de compuerta de S_1 y su complementaria S_3 : $V_{ON} = 15V$ y $V_{OFF} = -7V$	70
4.18. Esquema Conexión - Carga del Banco de Tensión C.C.	71
4.19. Captura de Osciloscopio: Carga del Banco de CC	72
4.20. Esquema Banco de Mediciones Carga Inductiva - Tensión $\pm 60V_{cc}$	73
4.21. Captura Osciloscopio - Tensión $\pm 60V_{cc}$ - Carga Inductiva $m_a = 0,1$	74
4.22. Captura Osciloscopio - Tensión $\pm 60V_{cc}$ - Carga Inductiva $m_a = 0,3$	74
4.23. Captura Osciloscopio- Tensión $\pm 60V_{cc}$ - Carga Inductiva $m_a = 0,45$	75
4.24. Esquema Banco de Mediciones Carga Resistiva - Tensión $\pm 300V_{cc}$	76
4.25. Carga Resistiva - Tensión $\pm 300V_{cc}$ - $m_a = 8$	77
4.26. Esquema Banco de Mediciones Carga Inductiva - Tensión $\pm 300V_{cc}$	78
4.27. Captura Osciloscopio: Carga Inductiva - Tensión $\pm 300V_{cc}$ - $m_a =$ $0,13$	79
4.28. Captura Osciloscopio: Carga Inductiva - Tensión $\pm 300V_{cc}$ - $m_a =$ $0,15$	80
A.1. Sistema de Generación Eólica - Topología "Back to Back"	90
A.2. Diagrama bloques equivalente - Sistema con Regulación de la ten- sión del banco CC	91
A.3. Modelo de Gran Señal	92
A.4. Modelo de Pequeña Señal	92
A.5. Diagramas Bode, en módulo, de $GH(s)$, $H(s)$ y $G(s)$	93
A.6. Diagramas Bode, en módulo, de la Impedancia de Entrada del Bus CC en lazo Cerrado)	94
A.7. Esquema Conexión de Rama Convertidor NPC para Inyección a una Fase de la Red Eléctrica	98
A.8. Gráfico $I_{RIPPLE} = f(t)$ - $D = 0,5$	99

Resumen

El convertidor trifásico multinivel con diodos de enclavamiento (NPC, en inglés), presentado por Nabae en 1980, se ha convertido en una opción competitiva en la industria, en aplicaciones como la conexión de fuentes de energía renovable a la red, accionamiento de motores, y corrección de parámetros de calidad de energía. Se caracteriza por su capacidad de generar corrientes o tensiones con menor contenido armónico que convertidores tradicionales de dos niveles.

Este trabajo consiste en el diseño y construcción de un convertidor trifásico de tres niveles, y la evaluación de su desempeño. Abarca la selección de componentes, tanto de potencia como asociados al control, y el diseño de placas de circuitos impresos para su montaje.

Se validarán las simulaciones del convertidor, actuando como inversor, mediante mediciones experimentales sobre el prototipo final. Se construirán distintos bancos de prueba variando las tensiones de alimentación del banco y tipo de carga, y se compararán las formas de onda de tensión y corrientes con los resultados de las simulaciones.

Como resultado de este trabajo se podrá utilizar el prototipo mediante un adecuado sistema de control, para la conexión de fuentes de energías renovables a la red eléctrica.

Capítulo 1

Introducción

Con el fin de reducir el cambio climático y evitar daños irremediables, consecuencia del calentamiento global, existe la necesidad de reducir la explotación de fuentes de energía convencionales fósiles, principales emisores de gases de efecto invernadero.

Los mecanismos de reducción de emisión abarcan desde el ahorro energético (que contempla una mejora de eficiencia energética y racionalización del uso de la energía), métodos de captura de CO_2 , hasta el aprovechamiento de recursos de energía renovables.

Estos recursos se destacan por ser limpios e inagotables, a diferencia de los convencionales. Es por ello que se acentúa la tendencia a invertir en la explotación e investigación de energías renovables y su máximo aprovechamiento. Esta tendencia es mundial y se destacan los siguientes casos:

- El Laboratorio Nacional de Energía Renovable de EE.UU. publicó que en 2050 EE.UU. podría generar el 80 por ciento de su electricidad a partir de tecnologías de energías renovables existentes.¹
- Actualmente Alemania y Dinamarca ya poseen una cuota de electricidad renovable de alrededor del 20 % y 30 % respectivamente, y se tiene previsto alcanzar el 80 % tanto en energía eléctrica como en transporte, para el año 2050.²³
- Islandia logra suplir el 100 % de su demanda energética a partir de fuentes renovables.⁴

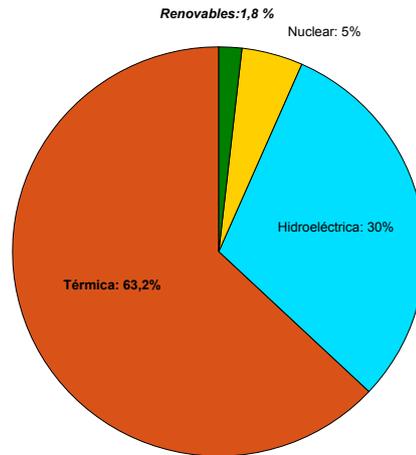


Figura 1.1: *Composición Matriz de Energía Eléctrica Nacional según Fuentes*

En el ámbito nacional, más del 60 % de nuestro sistema energético eléctrico se basa en usinas de combustibles fósiles, principalmente gas, fuel oil o gasoil. (Figura 1.1).⁵

En el año 2015 la participación de las energías renovables fue de un 1,8 % de la demanda, y mediante la ley N° 27.191, aprobada en septiembre de 2015, se fijaron como objetivos alcanzar el 8 % para el año 2018 y el 20 % para 2025.⁶

Dada la disponibilidad topográfica de fuentes de energías renovables, es factible la implementación de sistemas de generación distribuida, que permiten la interconexión de diferentes fuentes de energía con las redes de distribución de baja tensión próximas al consumidor. A diferencia de la generación centralizada (actualmente predominante, basada en grandes usinas), un sistema de generación distribuida se basa en utilizar a la red eléctrica como un gran almacenador de energía.

Entre los recursos de energía renovable, se destacan, para la implementación de sistemas de generación distribuida, la energía solar, eólica, mareo- y undimotriz. En los últimos tres casos, el aprovechamiento del recurso requiere de la utilización de generadores eléctricos rotativos que transforman la energía mecánica transportada por el viento o el mar, en energía eléctrica. La tendencia actual es la utilización de generadores sincrónicos de imanes permanentes (PMSG), con acoplamiento directo, reduciendo las pérdidas mecánicas introducidas por los sistemas de engranajes. Sin embargo, como la frecuencia de la tensión obtenida por el generador es variable, no es posible conectarlo a la red eléctrica directamente.

Para poder inyectar la energía proveniente de este tipo de recursos a la red

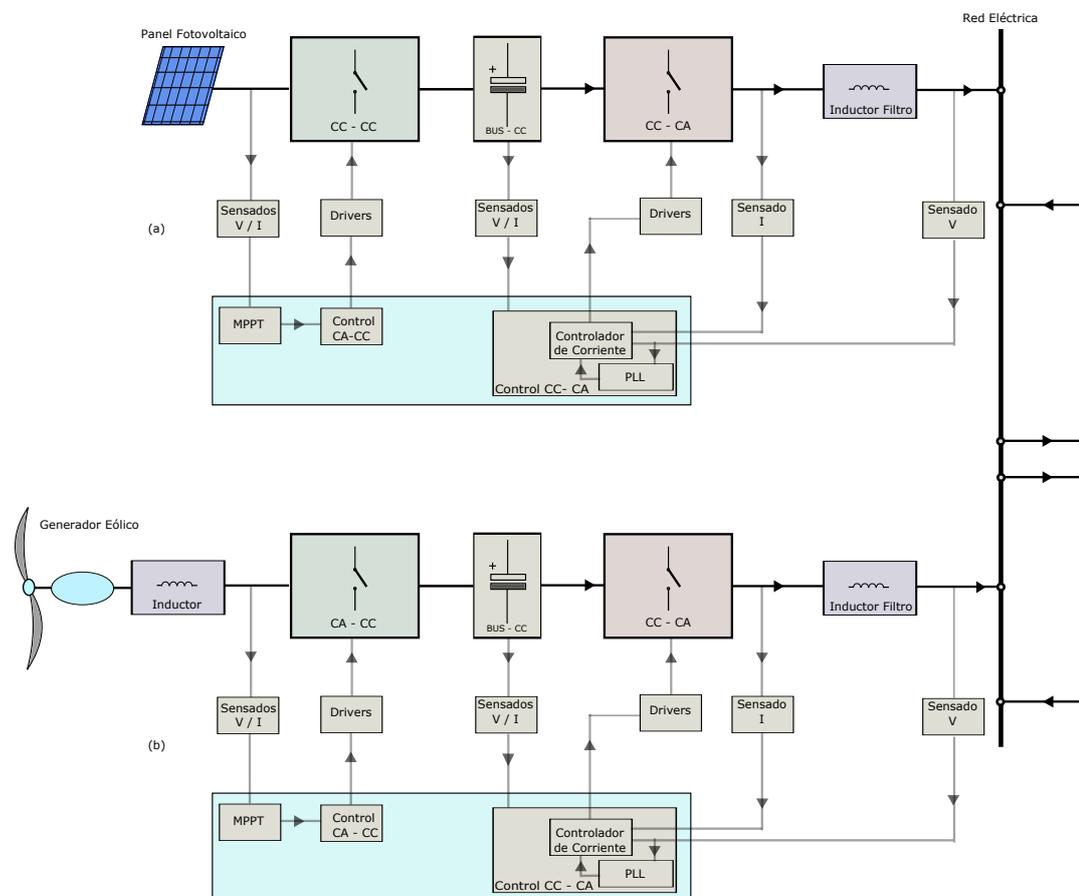


Figura 1.2: Diagrama de Bloques de Inyección de Energía de Fuentes Renovables. Superior: Energía Solar. Inferior: Energía Eólica o Undimotriz

eléctrica existente, debe realizarse una conversión para adaptar las formas de onda de tensión y corriente, utilizando sistemas electrónicos de conversión de potencia, que constan de dos etapas.

La figura 1.2 muestra los diagramas en bloques del sistema de conversión e inyección de energía renovable a la red eléctrica, para energía solar (figura 1.2.a) y para energía eólica o undimotriz (figura 1.2.b). En esta se observan tres tipos de convertidores de potencia, necesarios para transformar las formas de onda de tensión a valores compatibles con la red existente: CA-CC (rectificador), CC-CC (boost) y CC-CA (inversor).

El convertidor CA-CC tiene la función de rectificar la tensión alterna de frecuencia y amplitud variable generada por un generador eléctrico rotativo, con el fin de almacenar la energía temporalmente en un banco de capacitores de CC.

En el caso de energía solar, la tensión que generan los paneles fotovoltaicos es

una tensión continua de bajo valor y variable, por lo que se requiere un convertidor CC-CC (boost), para elevar dicha tensión y alimentar el banco de capacitores.

Para la inyección de la energía, el convertidor CC-CA genera a partir de la tensión CC del banco, una corriente alterna sobre el inductor de filtro, la cual es inyectada a la red eléctrica existente.

Tanto el proceso de rectificación como el de inversión se implementan mediante estrategias de control que permiten regular la potencia extraída del recurso e inyectarla a la red cumpliendo normas de calidad energética, que garanticen la compatibilidad del sistema con la red existente. Además la magnitud de la potencia extraída debe ser la máxima posible, para lograr un óptimo aprovechamiento del recurso, lo que se logra mediante técnicas de seguimiento de máxima potencia (MPPT).

Por otra parte el bloque de control encargado de la inversión se compone de dos elementos claves: el subsistema de sincronismo a red basado en lazo de enganche de fase o *PLL* y el controlador de corriente (CC). Éste último comanda al inversor para producir la inyección de acuerdo a una corriente de referencia, la cual es generada por el *PLL* en sincronismo con la tensión de red eléctrica. La corriente inyectada debe cumplir normativas internacionales en cuanto a calidad de energía eléctrica, entre ellas, el estándar *IEEE 519-2014*, en donde se fijan límites en distorsión armónica total o *THD* en función de tensión de red y potencia inyectada.

Para cumplir con el compromiso global de reducir la explotación de fuentes de energía convencionales, es vital la investigación y desarrollo de sistemas que enfrenten la integración de las energías renovables en la red eléctrica. Es vital la implementación y construcción de convertidores a partir de topologías nuevas, como la topología multinivel NPC, que permite la inyección de corriente a la red con menor distorsión, sumado a la posibilidad de trabajar con tensiones mayores en el banco de capacitores, por lo que el manejo de potencia es superior.

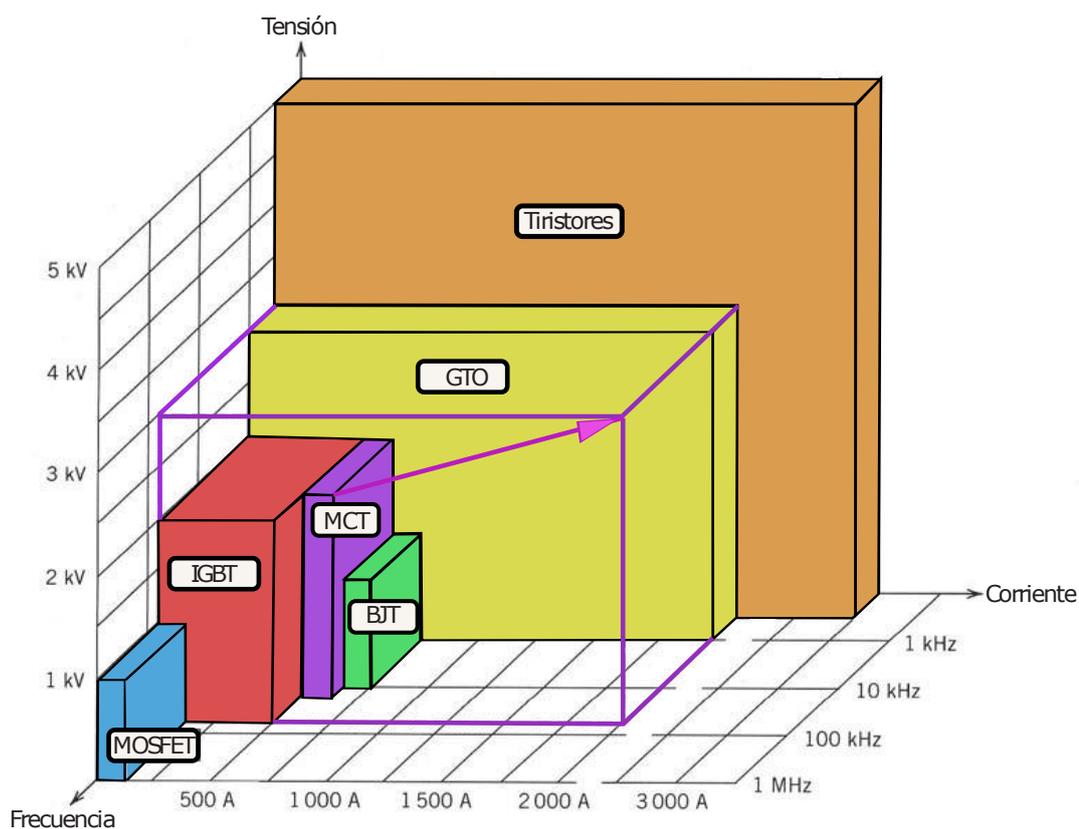
Para poder controlar la potencia con elevada dinámica, se requieren llaves comandadas tanto para el encendido como para el apagado. Para la selección de la tecnología de semiconductores a utilizar, deben ser consideradas, en forma simultánea, el manejo de potencia y la velocidad de conmutación, tal como se muestra en la tabla 1.1 y en la figura 1.3 .

Cabe destacar que, además de las mejoras que realizan los fabricantes año tras año en los dispositivos existentes, existe una investigación constante para

Tabla 1.1: *Propiedades Relativas de Interruptores Controlables*

<i>Tecnología</i>		<i>Manejo de Potencia</i>	<i>Velocidad de Conmutación</i>
<i>BJT</i>	Transistor Bipolar de Juntura	Media	Media
<i>MOSFET</i>	Transistor de Efecto de Campo Metal-óxido-semiconductor	Baja	Rápida
<i>GTO</i>	Tiristores con Capacidad de Apagado de Compuerta	Alta	Lenta
<i>IGBT</i>	Transistor Bipolar de Compuerta Aislada	Media	Media
<i>MCT</i>	Tiristores Controlados por MOS	Media	Media

el desarrollo de nuevos dispositivos semiconductores de potencia. El avance en la tecnología de semiconductores permitirá rangos de potencias mayores, velocidades de conmutación más rápidas y reducción de costos. La selección de las llaves a la hora de diseñar el convertidor está condicionada por la aplicación particular en la que va a ser utilizado, como se verá en el capítulo de diseño.

Figura 1.3: *Resumen de las Capacidades de Dispositivos Semiconductores de Potencia*

En las siguientes secciones de este capítulo se mostrarán las topologías de los

convertidores tradicionales, se explicarán sus principios de funcionamiento y detallarán las estrategias de conmutación asociadas. Luego se compararán topologías de 2 y 3 niveles, mediante simulaciones. Por último, en base al análisis teórico expuesto, se establecerán los objetivos de este proyecto final de grado.

1.1. Convertidores de Potencia

1.1.1. Convertidor de Dos Niveles

Un convertidor de dos niveles, se conforma a partir de N ramas de conmutación, como la que se muestra en la figura 1.4, siendo N la cantidad de fases de tensión CA del convertidor con el que se obtienen, mediante la conmutación de las llaves semiconductoras S_1 y S_2 , dos posibles niveles de tensión en los bornes CA (respecto al punto "MP", punto medio del banco de capacitores): $\frac{V_D}{2}$ o $-\frac{V_D}{2}$, siendo V_D la tensión CC del banco de capacitores. En paralelo a las llaves semiconductoras se conectan diodos de rueda libre para brindar bidireccionalidad en el flujo de corriente.

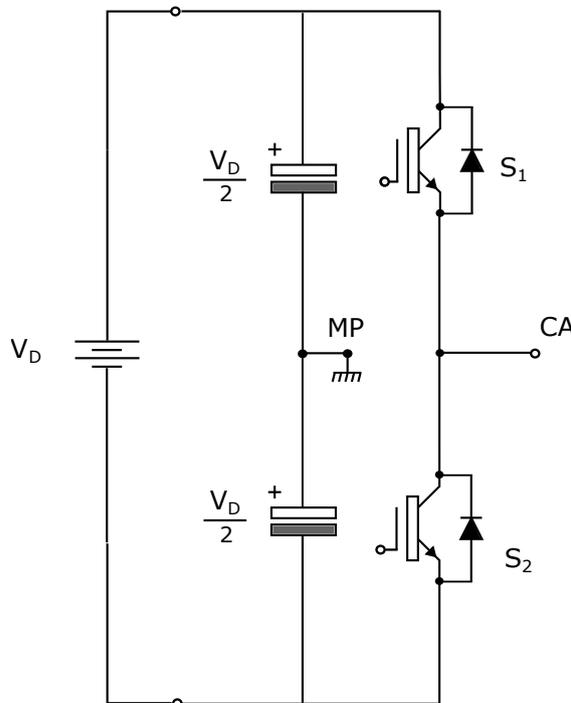


Figura 1.4: Esquema de una Rama del Convertidor de 2 Niveles

Para comandar al convertidor, se recurre a estrategias de conmutación que permiten alternar convenientemente la tensión entre los dos valores posibles de salida, con el fin de controlar la tensión media en los bornes de CA.

Estrategias de Conmutación en Convertidores de Dos Niveles

La estrategia de conmutación cumple la función de generar los pulsos de disparo de los interruptores de potencia, con el fin de regular la tensión media en los bornes de CA. Entre las técnicas de conmutación posibles, las más importantes son la modulación de ancho de pulsos (*Pulse Width Modulation* -PWM) y la de vectores espaciales (*Space Vector Modulation* -SVM). De las mencionadas, la primera resulta ser la más simple y la que será explicada a continuación.

Modulación PWM Esta estrategia de modulación se destaca por su simplicidad y contenido armónico reducido, además de la posibilidad de operar con sobremodulación.

El modulador PWM compara una determinada señal de referencia (o modulante), con una señal triangular (o portadora) de alta frecuencia con el objetivo de generar los disparos de los interruptores del inversor.⁷

La frecuencia de la señal portadora f_{sw} define la frecuencia de conmutación de las llaves y es mucho mayor que la frecuencia de la modulante, como puede apreciarse en la figura 1.5.

El comparador establece dos estados posibles:

- $V_{portadora} < V_{modulante}$: la salida del comparador es una señal lógica alta, y se cierra el interruptor S_1 . La tensión en los bornes CA es $\frac{V_D}{2}$ (Punto B en la Figura 1.5.a)
- $V_{portadora} > V_{modulante}$: la salida del comparador es una señal lógica baja, y se cierra el interruptor S_2 . La tensión en los bornes CA es $-\frac{V_D}{2}$ (Punto A en la Figura 1.5.a)

Se define el índice de modulación de amplitud m_a como la relación entre la amplitud de la señal modulante y la de la señal portadora, y su valor permitirá controlar la amplitud de la componente de frecuencia fundamental de la tensión en los bornes CA, V_{AN0} . La expresión que los relaciona, para $m_a \leq 1$, es:

$$\hat{V}_{AN0} = \frac{V_D}{2} \times m_a \quad (1.1)$$

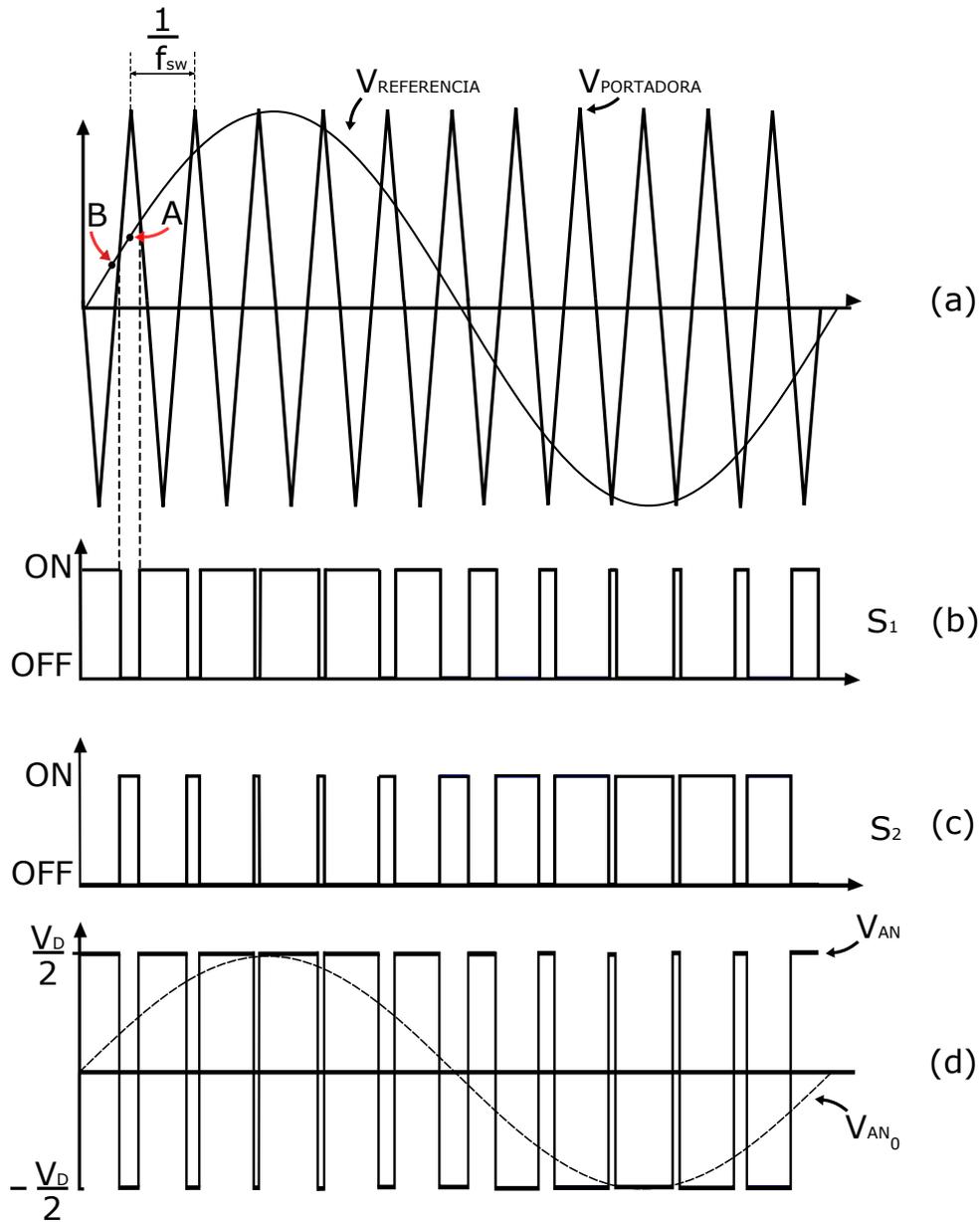


Figura 1.5: *Principio de Funcionamiento de la técnica PWM 2L. (a): Señales a comparar. (b) y (c) Estados de los interruptores S_1 y S_2 , respectivamente. (d) Tensión en bornes CA V_{AN} y su componente fundamental V_{AN0}*

La figura 1.6 muestra el control de la tensión mencionada mediante la variación de m_a , considerando una frecuencia de la señal portadora al menos 15 veces mayor que la frecuencia de la señal modulante. La ecuación (1.1) es válida únicamente en el rango lineal del control ($0 < m_a \leq 1$ de la figura 1.6). En el rango $1 < m_a \leq 3$ esta estrategia de conmutación opera por sobremodulación, caracterizada por su

no-linealidad. Para valores mayores $m_a > 3$ la amplitud de la componente de frecuencia fundamental es constante: la tensión en bornes CA es una tensión alterna de onda cuadrada.

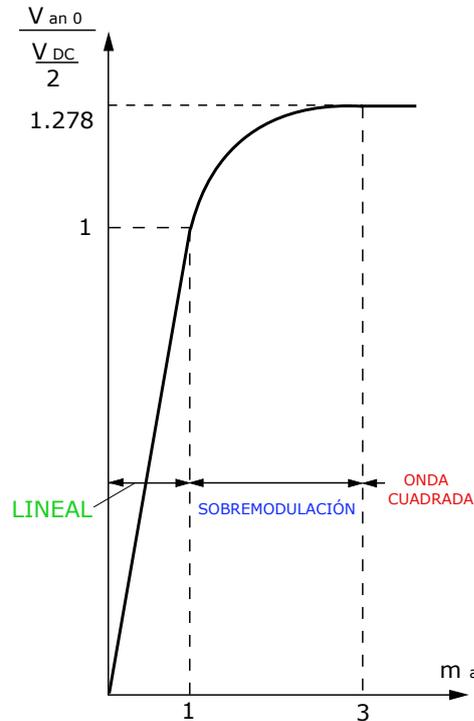


Figura 1.6: Control de Tensión mediante la variación de m_a

Un parámetro clave en la conmutación de las llaves es el tiempo muerto, que corresponde al intervalo de tiempo requerido entre el apagado de una de las llaves y el encendido de su complementaria. De ésta manera se evitan sobre picos de corriente de corta duración pero de gran amplitud, que se producirían si la llave a encender encuentra a su complementaria conduciendo. Existen tiempos muertos requeridos/recomendados por el fabricante de los dispositivos semiconductores, que son implementados en el control de los disparos.

Para el caso de un convertidor trifásico de dos niveles, se requieren 3 módulos PWM que conmuten las llaves de cada una de las ramas, y cuyas respectivas señales modulantes sean proporcionales al valor de tensión media deseada en los bornes de CA correspondientes.

A pesar de que el convertidor de dos niveles es una alternativa todavía vigente, presenta desventajas en cuanto a eficiencia, mayor distorsión armónica en

las tensiones de salida, mayores niveles de interferencia electromagnética en equipos cercanos, y mayores $\frac{dv}{dt}$ que otras topologías, como por ejemplo, la topología multinivel.⁷

1.1.2. Convertidor Trifásico Multinivel

En 1980 Nabae presentó el convertidor trifásico multinivel con diodos de enclavamiento (NPC PWM Converter, en inglés Neutral Point Clamped), y sigue siendo una de las topologías más aplicadas y estudiadas en la actualidad.⁸

En la figura 1.7 se observa la configuración de una rama del convertidor de 3 niveles, para simplificar el análisis de su funcionamiento. El modelo trifásico se mostrará en la figura 1.9.

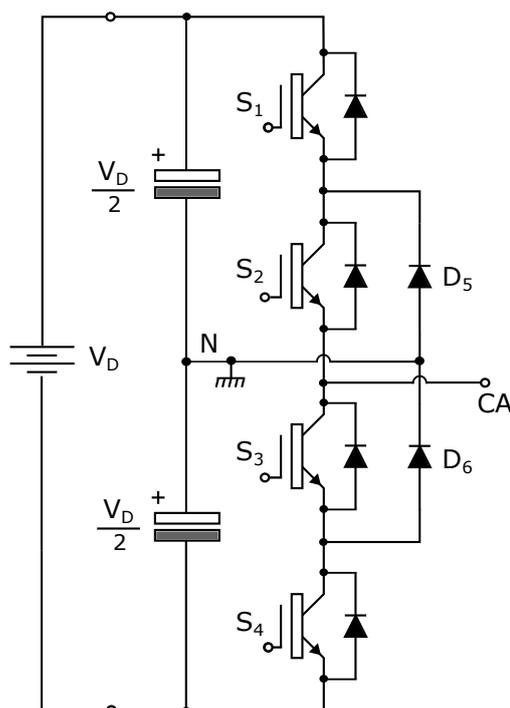


Figura 1.7: Topología de una rama del Convertidor Trifásico NPC de Tres Niveles

Cada rama está compuesta por cuatro interruptores S_1 a S_4 , junto con sus diodos de rueda libre. En los bornes de DC se conectan dos capacitores en serie, que dividen la tensión V_D , proporcionando de este modo, un punto medio denominado neutro, (N) o (MP, *Middle Point*).

Esta topología incorpora diodos de fijación o enclavamiento D_5 y D_6 , conectados al punto neutro, que permiten un tercer estado de tensión en los bornes CA, el estado neutro o "0". Esto ocurre cuando los interruptores S_2 y S_3 están cerrados, conectando el punto neutro a los bornes de CA a través de D_5 o D_6 dependiendo de la dirección de la corriente en ese nodo. (Figura 1.8 (b)). Estos diodos deben ser de rápida recuperación y soportar la corriente nominal del convertidor. La tensión en los bornes de CA de cada fase puede tomar tres valores respecto al punto medio o neutro N : $\frac{V_D}{2}$, 0 o $-\frac{V_D}{2}$.

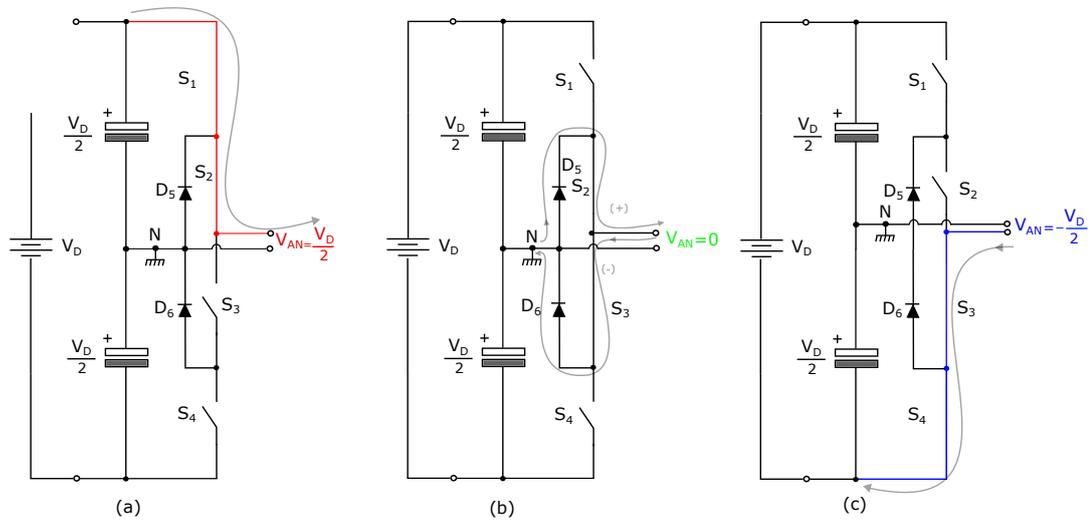


Figura 1.8: Configuración para obtener valores de salida: (a) $\frac{V_D}{2}$. (b) 0. (c) $-\frac{V_D}{2}$. Se muestran además las corrientes en gris; en (b) el camino de la misma dependerá de su signo: (+) o (-).

Analizando la figura 1.8.(a), el valor $\frac{V_D}{2}$ se obtiene cerrando los interruptores superiores S_1 y S_2 , mientras que $-\frac{V_D}{2}$ se obtiene cerrando los interruptores inferiores S_3 y S_4 . Los interruptores (S_1, S_3), y (S_2, S_4) operan de forma complementaria: cuando S_1 se cierra, S_3 se abre, y viceversa.

Las ventajas más destacadas frente a la topología de dos niveles son:

- El contenido armónico generado es menor que en dos niveles.
- Las variaciones de tensión $\frac{dv}{dt}$ en los bornes de CA son menores.
- Cada dispositivo semiconductor es sometido a menor tensión que en una topología de dos niveles. De este modo permite manejar mayores niveles de tensión en el banco de capacitores y por lo tanto, mayores niveles de potencia.

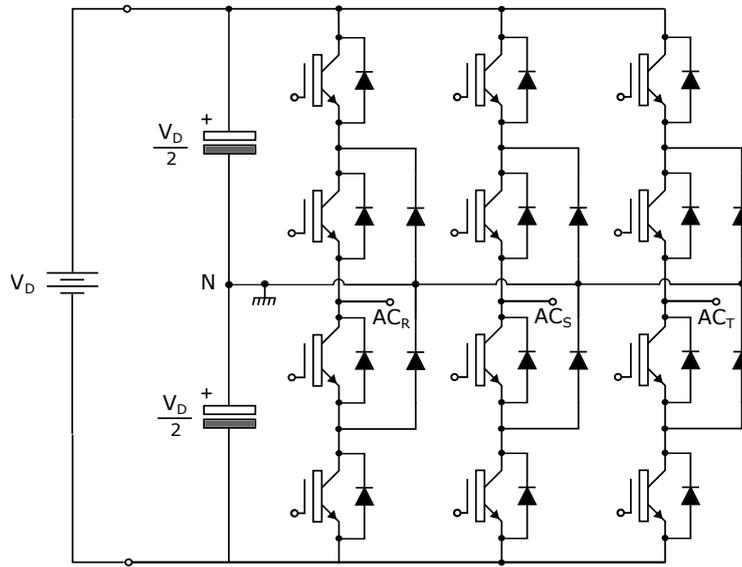


Figura 1.9: *Topología de Convertidor Trifásico NPC de Tres Niveles*

La principal desventaja de la topología es el desbalance de tensión de los capacitores del banco, lo que afecta la correcta operación del convertidor. Esto se debe a las tolerancias de fabricación y a que los capacitores no necesariamente comparten la misma corriente de carga y descarga. Es indispensable mantener las tensiones equilibradas, de modo que cada capacitor actúe como una fuente de tensión constante; esto se logra implementando sistemas de control o esquemas de modulación apropiados.

Existen topologías de más niveles, obteniendo tensiones de salida con menor distorsión y menor variación de tensión en los interruptores. Sin embargo, al aumentar el número de niveles, aumenta en forma considerable el número de dispositivos necesarios, y por lo tanto se vuelve más compleja su estrategia de conmutación. Como ejemplo de esto, la figura 1.10 muestra una rama de un inversor NPC de 5 niveles, en el que se duplica la cantidad de elementos, comparado con el tres niveles de la figura 1.7. En esta topología, la tensión de salida puede tomar 5 valores: $-\frac{V_D}{2}, \frac{V_D}{2}, -\frac{V_D}{4}, \frac{V_D}{4}$ o 0, respecto al punto medio del banco "N".

Del mismo modo que en el caso del convertidor de 2 niveles, se puede aplicar una modulación PWM multinivel para conmutar las llaves y controlar el valor de tensión en los bornes de CA.

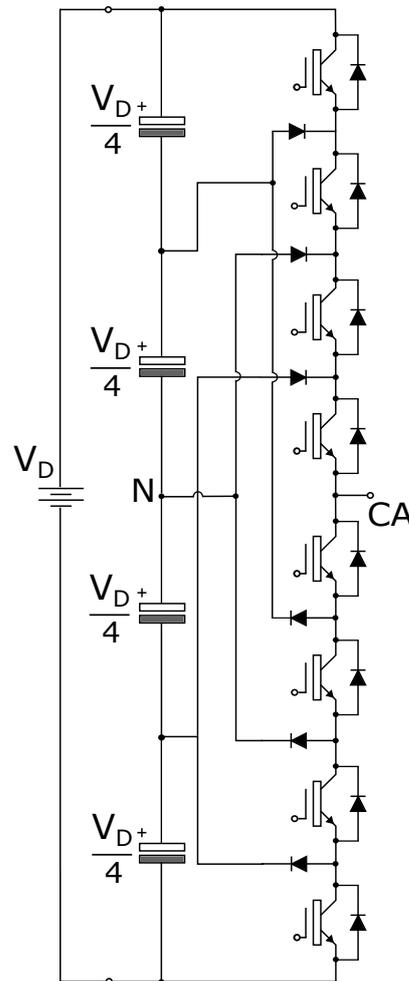


Figura 1.10: Esquema de una Rama del Inversor NPC de 5 Niveles

Modulación PWM para topologías multinivel

Para topologías de n niveles, es posible implementar la modulación PWM utilizando $n-1$ señales portadoras. En el caso de 3 niveles, se define una portadora superior (señal roja de figura 1.11.a) y una inferior (señal azul de la figura 1.11.a).

El resultado de la comparación de la señal de referencia (o modulante) con la portadora superior produce los pulsos para el par de llaves (S_1, S_3), y el que se obtiene con la modulante inferior, actúa sobre el par (S_2, S_4).

La tensión en los bornes de CA se muestra en la figura 1.11.b, en la que se observa los 3 valores posibles de tensión $\frac{V_D}{2}$, 0 o $-\frac{V_D}{2}$, y su fundamental está representada por la onda en línea punteada. En este caso el índice de modulación de amplitud es $m_a = 1$.

Para llevar la misma estrategia a su versión trifásica, se deben generar otras

dos señales modulantes desplazadas entre sí 120° y emplear la misma metodología de comparación explicada en esta sección.

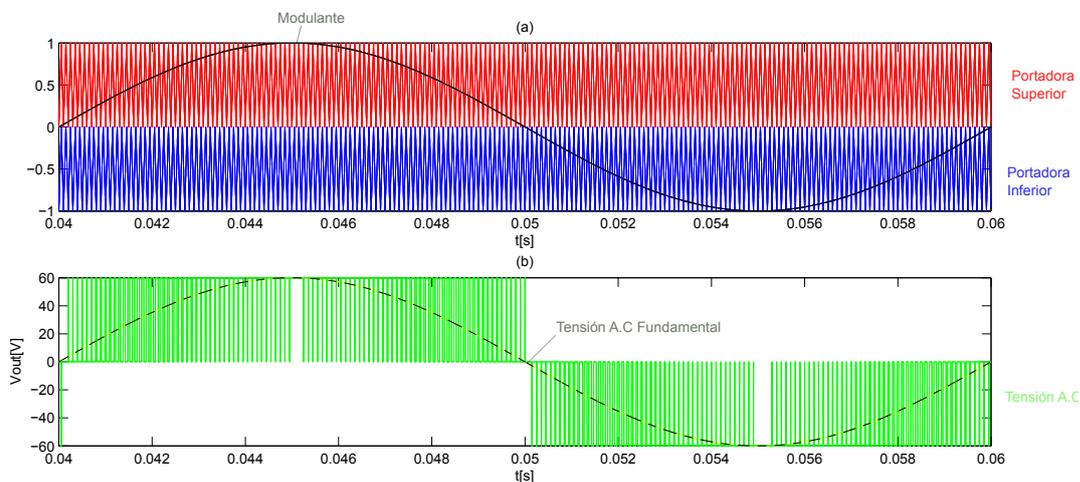


Figura 1.11: *Modulación PWM 3 Niveles: (a) Señal Modulante y Portadoras - (b) Tensión en bornes de CA y Componente Fundamental - Índice Modulación = 1*

1.1.3. Comparativa 2 Niveles vs. NPC 3 Niveles

En esta sección se desarrollaron simulaciones que permiten comparar la topología convencional de dos niveles, con la topología NPC de 3 niveles. Se observarán formas de onda de tensión y corriente en la carga y en las llaves semiconductoras, y se analizará el contenido armónico de las variables de salida de cada topología, advirtiendo las ventajas y desventajas de cada una.

En las figura 1.12 y 1.13 se muestran los modelos implementados en software de simulación circuital *NL5*¹ de una rama del convertidor, actuando como inversor, para dos y tres niveles, respectivamente. En cada modelo fueron conectadas en los bornes CA una carga $L=0\text{mH}$ $R=49\Omega$ y otra $L=1.17\text{mH}$ $R=11.25$, con el objetivo de evaluar el caso de carga resistiva pura y el caso de carga mayormente inductiva.

Los valores de los capacitores del banco son los que resultan del diseño que se detallará en el capítulo 2. El banco de capacitores es alimentado por dos fuentes CC en serie de 500 V (V_1 y V_2). Las llaves semiconductoras (S_1 y S_2) (S_1 a S_4)

¹<http://nl5.sidelinesoft.com/>

que componen respectivamente las ramas de conmutación $2L-LEG$ y $3L-LEG$, fueron modeladas como llaves ideales.

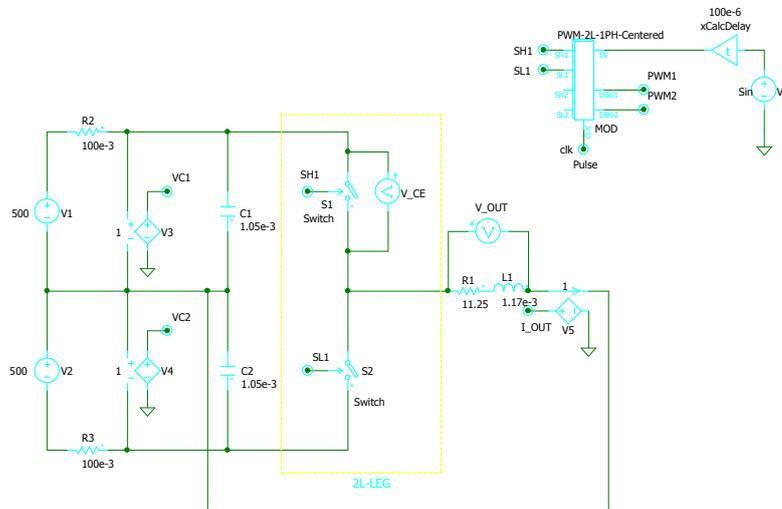


Figura 1.12: Modelo Circuital NL5 - 2 Niveles. Carga Resistiva Inductiva

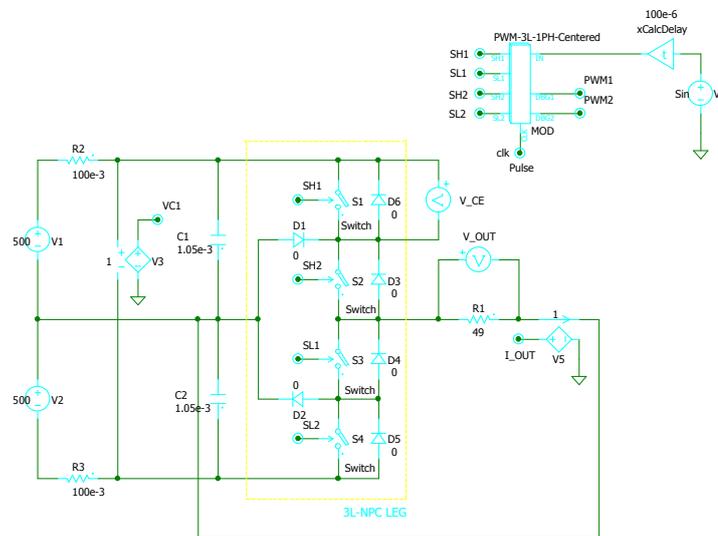


Figura 1.13: Modelo Circuital NL5 - NPC 3 Niveles. Carga Resistiva Pura

Para tres niveles, se utilizó una estrategia de conmutación PWM, implementada mediante el bloque *PWM-3L-1PH-Centered*, para 3 niveles. Éste compara la señal modulante V_6 , de 50 Hz con el índice de modulación de amplitud configurado en $m_a = 1$, con dos señales portadoras de 10 kHz. Como resultado se obtienen

las señales SH_1 , SH_2 , SL_1 , y SL_2 , que comandarán respectivamente las llaves S_1 , S_2 , S_3 y S_4 .

De la misma forma, para dos niveles el bloque encargado de la estrategia de conmutación es *PWM-2L-1PH-Centered*. La frecuencia de la señal modulante es de 50 Hz, y el índice de modulación de amplitud configurado es $m_a = 1$. Como resultado de este bloque, se obtienen las señales SH_1 , y SL_1 que comandarán las llaves S_1 y S_2 .

Como resultado de las simulaciones se obtienen las formas de onda de tensión V_{OUT} y corriente de salida I_{OUT} sobre la carga, y la de tensión colector-emisor V_{CE} a la que está sometida una de las llaves.

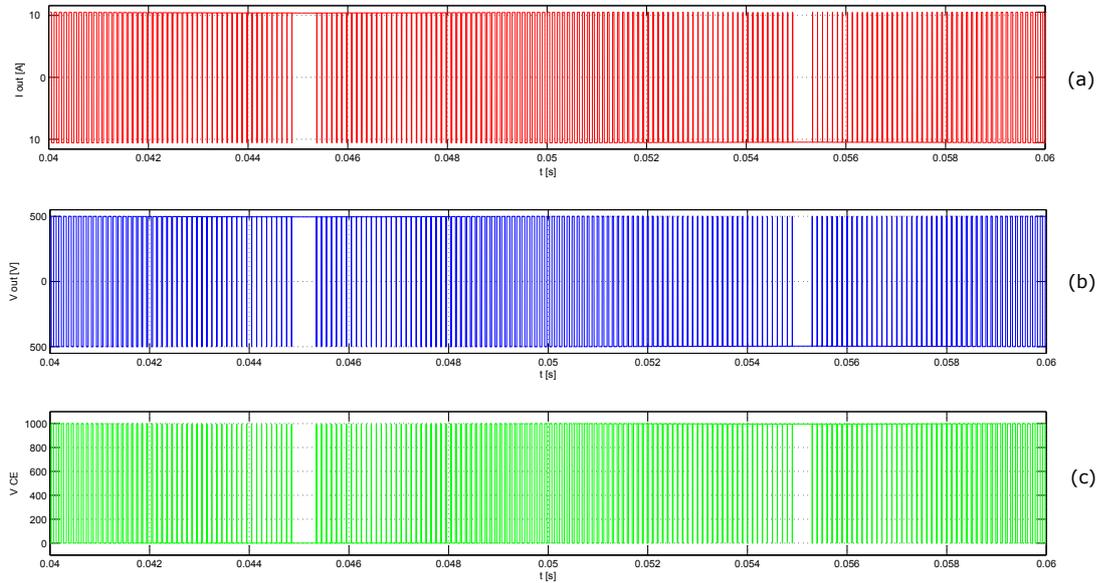


Figura 1.14: Resultado Simulaciones 2 Niveles Carga Resistiva (a):Corriente de Salida I_{OUT} . (b):Tensión de Salida V_{OUT} . (c):Tensión entre colector y emisor en una de las llaves V_{CE}

Se observan los resultados de la topología de dos niveles en las figuras 1.14 y 1.15. En las subfiguras (b) de cada una, se muestran los dos niveles de tensión posible en la salida: +500 V y -500 V. A su vez, mediante la figura (c) se observa que cuando la llave está apagada, debe soportar la tensión total del banco de capacitores, es decir, 1000 V. En la subfigura 1.14.(a) la corriente en la carga se encuentra en fase con la tensión, pues se trata de una carga resistiva pura. En la subfigura 1.15.(a) se observa la corriente en la carga inductiva, con una frecuencia

fundamental de 50 Hz, una amplitud de 44A, y una amplitud de *ripple* máximo de 20App.

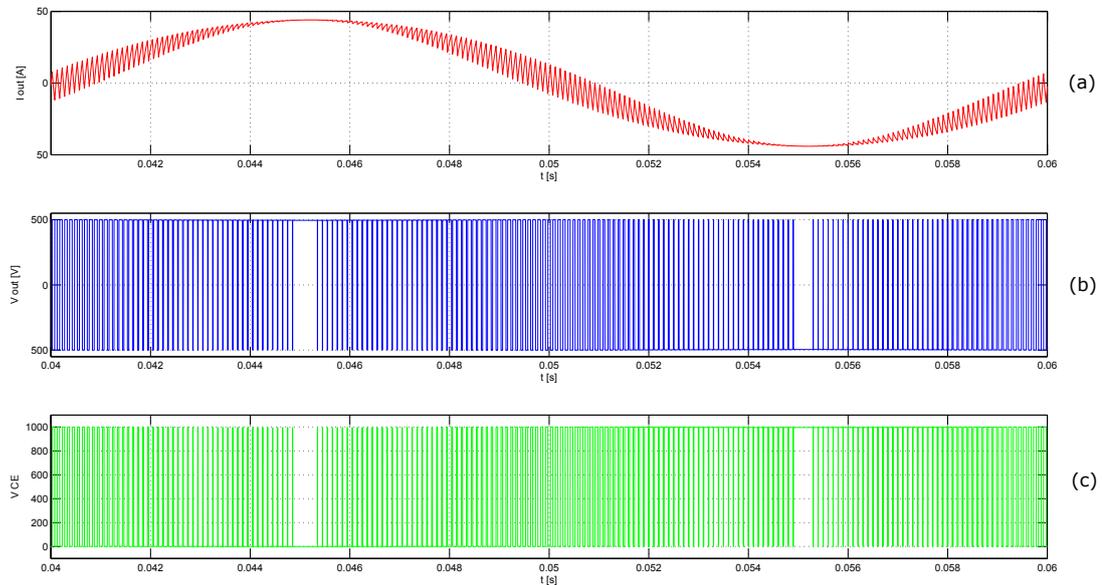


Figura 1.15: *Resultado Simulaciones 2 Niveles Carga Resistiva Inductiva (a):Corriente de Salida I_{OUT} . (b):Tensión de Salida V_{OUT} . (c):Tensión entre colector y emisor en una de las llaves V_{CE}*

Se observan los resultados de la topología de tres niveles en las figuras 1.16 y 1.17. En las subfiguras (b) de cada una, se muestran los tres niveles de tensión posible en la salida, tomando como referencia el punto medio del banco de capacitores: +500 V, 0 V y -500 V. Las variaciones $\frac{dv}{dt}$ son menores en este caso, ya que siempre conmuta entre el estado nulo y alguno de los otros dos niveles, a diferencia de dos niveles, que únicamente alterna de 500 V a -500 V, o viceversa.

A su vez, en las figuras 1.16.(c) y 1.17.(c) se observa que cuando la llave está apagada, debe soportar la tensión correspondiente a un nivel, es decir, 500 V, a diferencia de los 1000 V que debe manejar en la topología convencional. Esto se traduce en la posibilidad de trabajar con mayores niveles de tensión en las topologías NPC, y por lo tanto mayores niveles de potencia. En la figura 1.16.(a) la corriente en la carga se encuentra en fase con la tensión, pues se trata de una carga resistiva pura. Por último, se observa en 1.17.(a) que la amplitud de *ripple* de la corriente es menor que en la figura 1.15.(a), correspondiente a la topología de dos niveles.

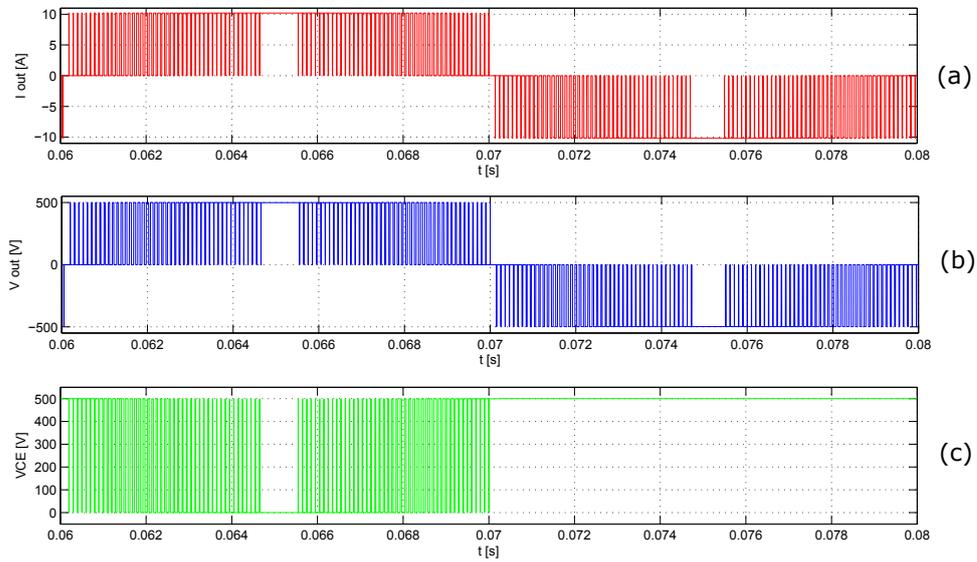


Figura 1.16: Resultado Simulaciones 3 Niveles Carga Resistiva (a):Corriente de Salida I_{OUT} . (b):Tensión de Salida V_{OUT} . (c):Tensión entre colector y emisor en una de las llaves V_{CE}

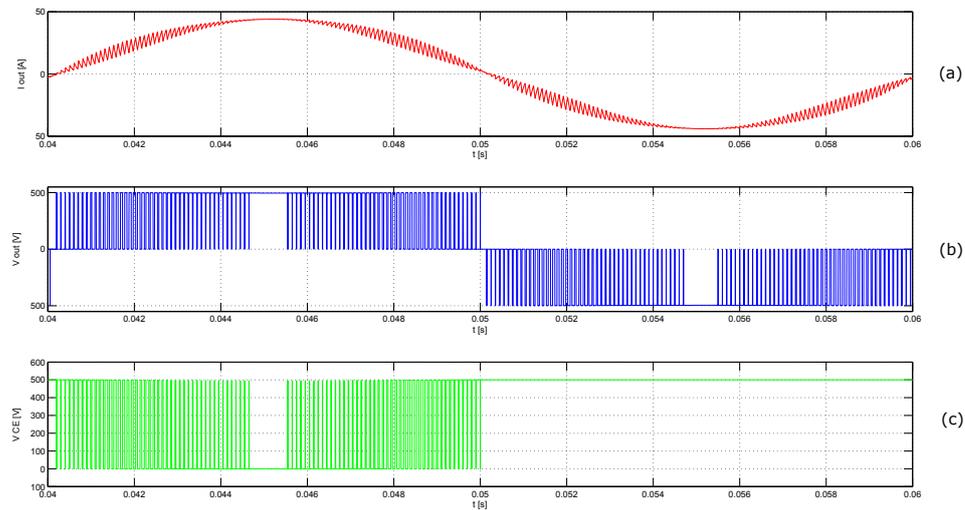


Figura 1.17: Resultado Simulaciones 3 Niveles Carga Resistiva Inductiva (a):Corriente de Salida I_{OUT} . (b):Tensión de Salida V_{OUT} . (c):Tensión entre colector y emisor en una de las llaves V_{CE}

El contenido de armónicos de la tensión de salida se especifica por medio de un índice llamado distorsión armónica total $THD_V[\%]$, que se define como

$$THD_V[\%] = 100 \times \frac{\sqrt{\sum_{h=2}^N V_h^2}}{V_1},$$

donde V_1 es el valor rms de tensión a la frecuencia fundamental y V_h es la magnitud de rms en el armónico del orden h ⁹.

De la misma forma, para la corriente se define el índice como

$$THD_I[\%] = 100 \times \frac{\sqrt{\sum_{h=2}^N I_h^2}}{I_1},$$

donde I_1 es el valor rms de la corriente a la frecuencia fundamental y I_h es la magnitud eficaz en el armónico del orden h . Para el cálculo se definió $N=40$, por limitaciones en el *NL5*, por lo cual se omitiría las componentes armónicas con amplitudes significativas. Debido a esto, resulta conveniente obtener los espectros de las señales.

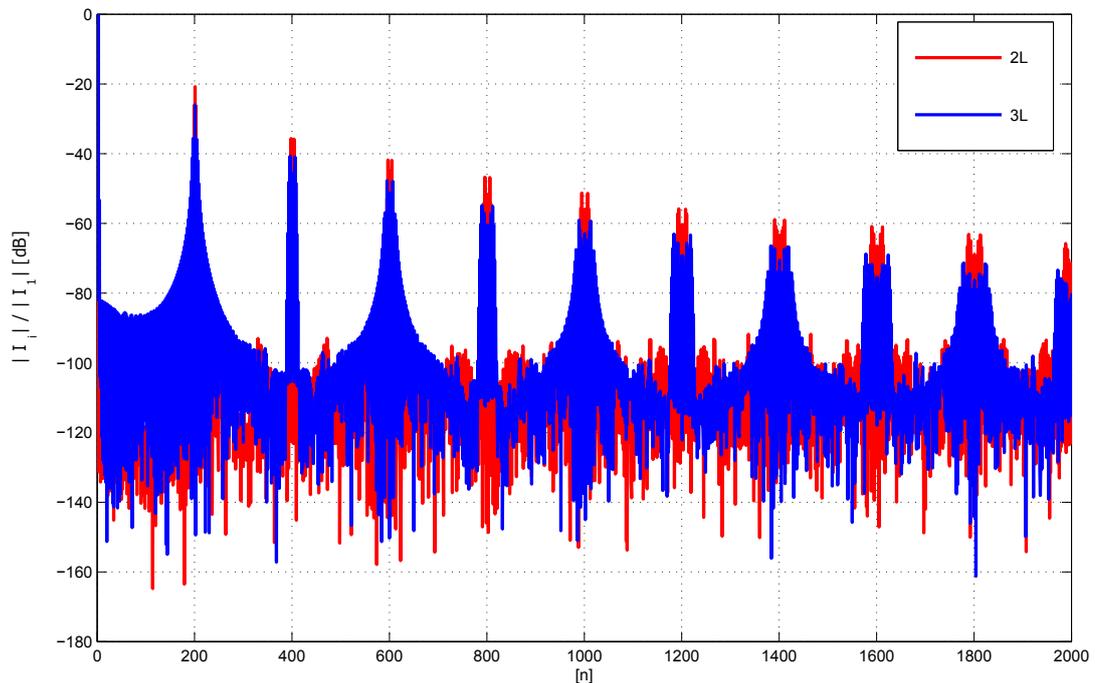


Figura 1.18: *Espectro - Corriente CA: 2L (Rojo) - 3L:(Azul)*

Las figuras 1.19 y 1.18 muestran los espectros comparativos de la tensión CA y corriente CA, respectivamente, para la carga inductiva. El eje de la abscisas indica

el orden armónico de la componente y el de ordenadas la magnitud relativa a la fundamental en decibeles.

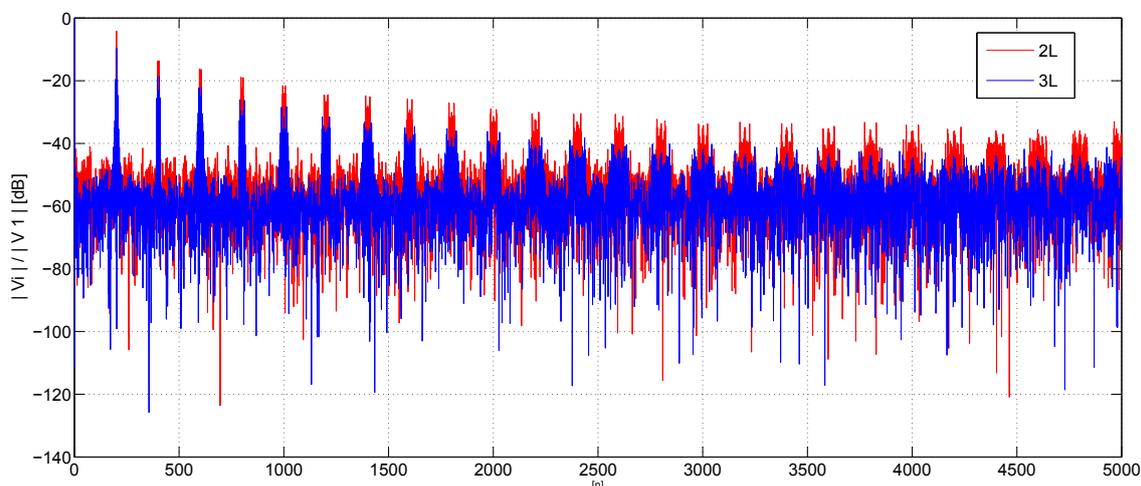


Figura 1.19: Espectro - Tensión CA: 2L (Rojo) - 3L(Azul)

Observando los espectros se obtiene menor amplitud en los armónicos, tanto en las señales de corriente, como de tensión, en la topología de 3 niveles. Si se analiza en particular el armónico de corriente $N=200$, la amplitud corresponde al *ripple* a la frecuencia de conmutación configurada $f_{SW} = 10KHz$, y resulta mayor en 2 niveles que en la topología NPC de 3 niveles.

Tabla 1.2: Comparativa Resultados 2L vs. 3L NPC

Niveles V_{out} [V]	2 Niveles	3 Niveles NPC
	(-500, 500)	(-500, 0, 500)
$V_{CE_{MAX}}$ [V]	1000	500
THD_i Carga $_{RL}$ ($N=40$) [%]	0.302	0.289
THD_v [%]	31.08	16.86
dv/dt	↑↑	↓

A modo de resumen del análisis teórico se conformó la tabla 1.2, con el fin de comparar los resultados de las distintas topologías.

Como puede verse, la topología multinivel NPC resulta conveniente para aplicaciones donde se requieran distorsiones reducidas en la corriente, sumado a la posibilidad de trabajar con mayores tensiones de banco. La implementación y

construcción de este tipo de convertidores colabora con el desarrollo de mejores sistemas de inyección de energías renovables a la red eléctrica. En base a esto, a continuación se establecen los objetivos de este proyecto final de grado.

1.2. Objetivos

El objetivo del presente proyecto es el diseño, construcción y validación experimental de un convertidor trifásico NPC de 3 niveles de 27 KW, con un banco de DC de 900 V, para aplicaciones de conversión de potencia proveniente de recursos renovables.

Objetivos específicos

- Seleccionar Componentes del Convertidor, tanto elementos de potencia, como relacionados al control
- Analizar el comportamiento térmico teórico para condiciones nominales y de sobrecarga
- Diseñar Placas de Circuito Impreso (PCB) para el montaje del sistema
- Construir y montar el convertidor diseñado
- Validar el funcionamiento del prototipo, en su modo de inversión, analizando las mediciones para distintos tipos de carga y comparando con simulaciones.

Capítulo 2

Diseño del Convertidor NPC

2.1. Introducción

En este capítulo se aborda el diseño del convertidor trifásico, donde se abarca tanto aspectos asociados al manejo de potencia, como a su sistema de control. Como punto de partida, se muestra el modelo propuesto para la implementación del sistema. Luego se establecen los parámetros eléctricos claves para la selección de los componentes de cada subsistema, se muestra la configuración propuesta mediante esquemas, y finalmente se desarrolla la selección desde un punto de vista técnico-económico. En la última sección del capítulo se describe el cálculo térmico del convertidor, con el fin de seleccionar los disipadores requeridos y garantizar el correcto desempeño en condiciones nominales y de sobrecarga.

El sistema completo se concibió de manera modular, y consiste en dos subsistemas distintos:

- **Bus de Tensión de Corriente Continua:** consiste en condensadores de aluminio de alta capacidad.
- **Rama del Convertidor:** integra los componentes semiconductores requeridos para la conversión de potencia de cada fase, banco de capacitores de filtrado y los *drivers* de las llaves semiconductoras.

Cada uno de los módulos cuenta con componentes para el sensado de tensiones y corrientes relevantes para la correcta operación del convertidor. Para ello fueron integradas resistencias y amplificadores, junto a sus fuentes de alimentación, y sensores de efecto Hall, con el fin de sensar las variables del convertidor que serán integradas al bloque de control.

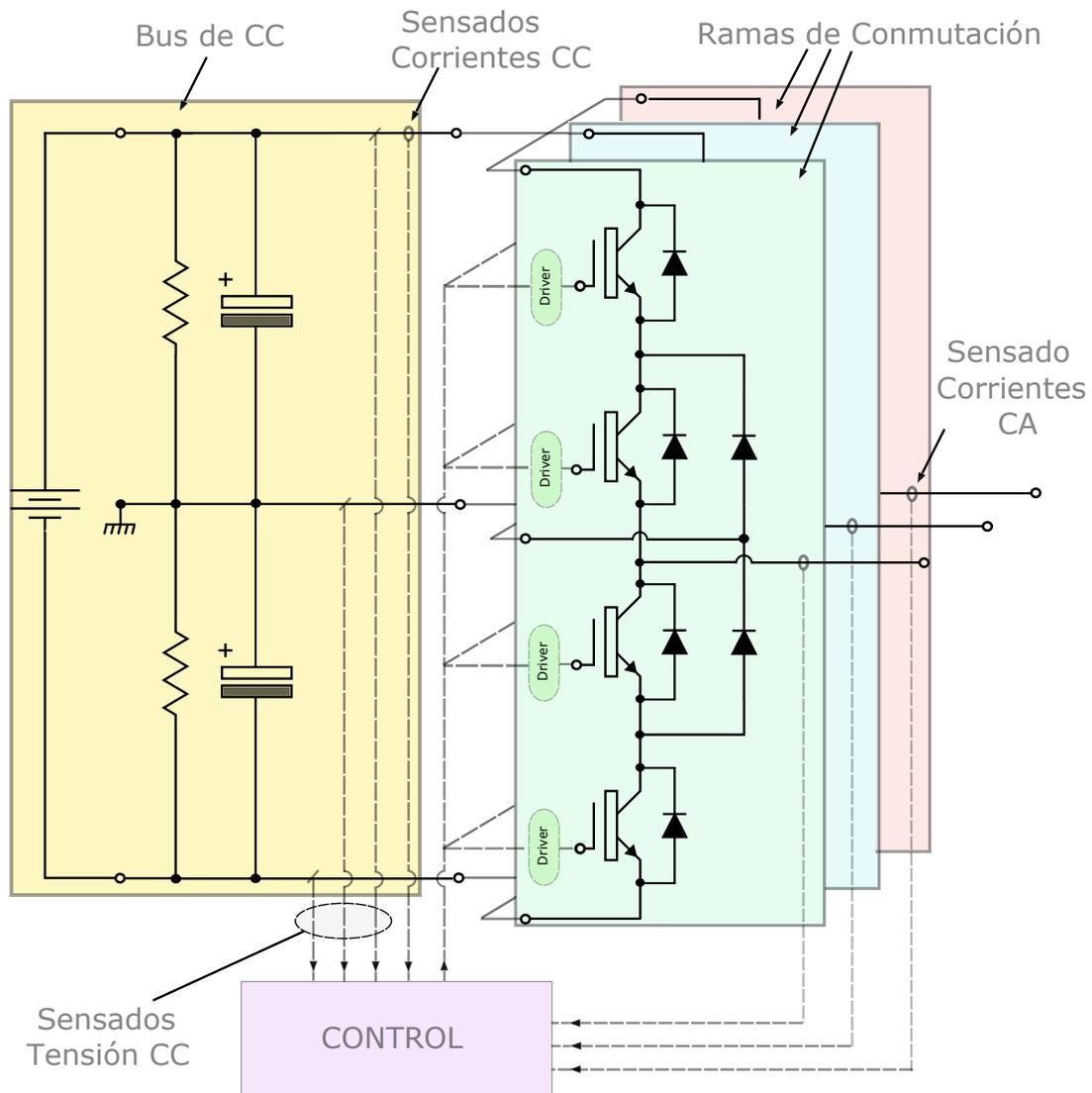


Figura 2.1: *Implementación Propuesta: Bus de Tensión de Corriente Continua, conectado a 3 Ramas de Conmutación, una por cada fase*

La figura 2.1 muestra el diseño modular propuesto. El banco de capacitores de corriente continua, se encuentra conectado a cada una de las ramas del convertidor, en los puntos DC+, MP, DC-. A su vez, cuenta con sensores de corrientes y tensiones DC, cuyas señales serán enviadas al bloque de control. Éste último comandará las conmutaciones de las llaves, a través de los *drivers*, que completan la rama del convertidor junto a los sensores de corriente alterna, medida en sus respectivos bornes. En las siguientes secciones se detallaran los criterios de diseño para cada bloque del convertidor.

2.2. Rama de Conmutación de 3 Niveles

2.2.1. Requerimientos

Como punto de partida para el diseño, se definieron los requerimientos, mostrados en la tabla 2.1.

Tabla 2.1: *Requerimientos Convertidor*

Parámetro	Valor
P_{out}	27 KW
V_{out}	540 V
f_{out}	50 Hz
f_{sw}	10 kHz
$\cos\varphi$	0.95
I_{out}	30 A

P_{out} es la potencia nominal de salida del convertidor y su expresión está determinada por:

$$P_{out} = \sqrt{3} \times V_{out} \times I_{out} \times \cos\varphi = 27 \text{ KW} \quad (2.1)$$

La tensión V_{out} es el valor eficaz del primer armónico de tensión línea a línea en los bornes de CA del convertidor, y se definió en $540 V_{RMS}$, valor requerido para la inyección a red eléctrica. La frecuencia f_{out} es 50 Hz, y corresponde a la frecuencia fundamental de la tensión CA V_{out} . El parámetro $\cos\varphi$ es el factor de potencia en la carga. En su modo de operación como inversor, el valor es positivo; mientras que operando como rectificador, es negativo. Por último, la frecuencia de conmutación f_{sw} elegida es de 10 kHz, ya que representa un buen compromiso entre tamaño de los componentes reactivos y pérdidas por conmutación asociadas a los semiconductores.

A partir de (2.1), la corriente de salida de cada rama estará definida por :

$$I_{out} = \frac{P_{out}}{\sqrt{3} \times V_{out} \times \cos\varphi} = 30,4 \text{ A} \quad (2.2)$$

Habiendo definido los requerimientos, se procede con la selección de las llaves semiconductoras.

2.2.2. Llaves semiconductoras

La tecnología más apropiada en base a los requerimientos mencionados es la de los IGBT, de acuerdo a la figura 1.3. La pierna de conmutación de 3 niveles puede implementarse mediante módulos comerciales que integran los IGBT en conjunto con los diodos de rueda libre y los diodos de enclavamiento en un único empaquetado, lo que reduce la complejidad del sistema y garantiza que los diodos de rueda libre sean los apropiados para las llaves elegidas.

Se escogieron los módulos *SK75MLI066T* de *Semikron*, que cuentan con diseño compacto, soportan tensiones de hasta 1200 V y corrientes de hasta 63 A, y conmutan a frecuencias de hasta 50 kHz . Adicionalmente, el módulo integra en 2 terminales una resistencia NTC, que se utilizará para monitorear la temperatura interna del mismo en una futura implementación de control.

Sin embargo, para poder operar sobre las llaves es necesario contar con circuitos de accionamiento o *drivers*, que deben ser seleccionados de manera acorde a los IGBT utilizados.

2.2.3. Drivers

El *driver* es el encargado de proporcionar los niveles de tensión necesarios para conmutar correctamente los IGBTs a partir de una señal lógica proveniente de un circuito de control.

Para el correcto funcionamiento de las llaves del módulo seleccionado (*SK 75 MLI 066T*) los *drivers* deben proporcionar señales de control de compuerta con niveles de amplitud de +15 V para el encendido, y -7 V para el apagado. Se optó por la solución recomendada por el fabricante: *Skyper 32 R* de *Semikron*. Cada driver controla dos compuertas, de modo que se requieren 2 *drivers* por rama, cada uno manejando un par de señales complementarias.

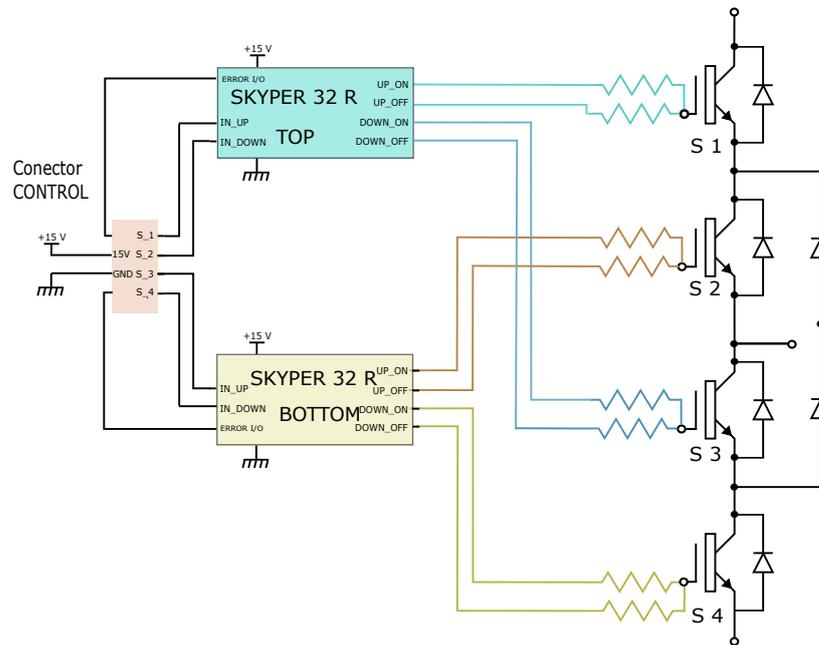


Figura 2.2: Diagrama Esquemático Elementos de Conmutación

El *Skyper 32 R* presenta las siguientes características:

- Aislación galvánica entre las alimentaciones primarias y secundarias
- Dos salidas independientes para las señales de apagado y encendido para cada llave lo que permite el control asimétrico y optimización en materia de picos de sobrecorriente en el encendido y sobretensiones en el apagado.
- Entrada y salida de señales de error: para la integración con otros componentes del control, el *driver* proporciona un canal de entrada de error (que ignorará los pulsos de disparo provenientes del control) y un canal de salida (que informará al control sobre condiciones de sobrecorriente).
- Protección dinámica contra cortocircuito
- Generación de tiempos muertos: impide de este modo que las dos compuertas complementarias estén prendidas simultáneamente. El tiempo muerto es de 3 μ s, y no puede ser modificado.
- Es capaz de proporcionar corrientes de compuerta de hasta 15 A_P

- Supresión de pulsos de corta duración: de este modo protege a las llaves de ruidos indeseados inducidos en las señales de entrada. (Pulsos menores a 750 ns son suprimidos en el secundario).

La conexión entre el *driver* y el sistema de control se realiza mediante un conector que integra las alimentaciones, las señales primarias de disparos, y las entradas y salidas de señales de error.

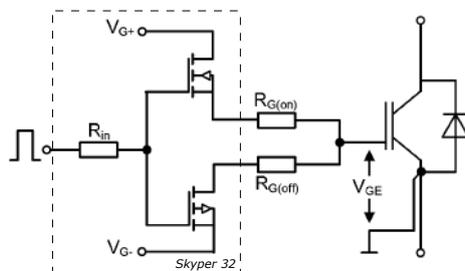
La figura 2.2 muestra el diagrama esquemático de los elementos relacionados a la conmutación, incluyendo las resistencias de disparo, ubicadas entre las compuertas y los *drivers*, y cuyo diseño no es trivial.

2.2.4. Resistencias de Disparo

La velocidad de conmutación de las llaves se controla mediante resistencias de disparo, ubicadas entre los *drivers* y las compuertas. El valor de estas resistencias no sólo influye en el tiempo de conmutación, sino que además afecta a las pérdidas por conmutación, los parámetros de dv/dt y di/dt , la corriente de recuperación de los diodos de rueda libre y hasta incluso el espectro del EMI generado por las llaves.

<i>Característica</i>	$R_g \uparrow$	$R_g \downarrow$
t on / E on	↑	↓
t off / E off	↑	↓
dv/dt	↓	↑
di/dt	↓	↑
Generación EMI	↓	↑

(a) Tabla



(b) Control Asimétrico On- Off

Figura 2.3: Resistencias de Disparo

Las resistencias de compuerta dictarán cuál es el tiempo necesario para el encendido o apagado, limitando la corriente de carga de la compuerta del IGBT. Si se selecciona un valor reducido de resistencia, esta corriente alcanza valores pico mayores, y los tiempos de encendido (o apagado) serán menores, al igual que las pérdidas por conmutación. Sin embargo, se generan variaciones di/dt elevadas, al tratarse de altas corrientes crecientes en tiempos reducidos. Este factor, sumado a las inductancias de dispersión, generan sobrepicos indeseados de tensión en la

compuerta, que elevan el riesgo de destrucción del IGBT por sobretensión. Un resumen de dicha influencia de las resistencias se muestra en la tabla (a) de la figura 2.3.

Las resistencias deben poseer tolerancia baja (menor a 1 %) y bajo coeficiente térmico lo que se logra utilizando tecnologías de fabricación tales como la del tipo *Metal Film*, como recomienda el fabricante.

El valor de resistencia óptimo se encuentra entre el indicado por el fabricante del módulo, y el doble de dicho valor. Para seleccionarlo se recomienda comenzar con el valor mayor como punto de partida e ir reduciéndolo en base a los resultados experimentales obtenidos.

Para el módulo SK75MLI066T, el valor mínimo R_{on} es de 4Ω . Como se mencionó en la sección 2.2.3, el *driver* permite un control asimétrico de compuertas (como se muestra en el circuito de la figura 2.3 (b)). Para la mayoría de aplicaciones, R_{off} es aproximadamente el doble de R_{on} ¹⁰. Por lo tanto, el valor mínimo de R_{off} resulta de 8Ω .

Para obtener el valor óptimo se seleccionó un juego de resistencias del tipo *MINI-MELF* de valores $4,75\Omega$, 10Ω , 15Ω y 20Ω . Éstas cuentan con coeficiente térmico de ± 50 ppm/°C, tolerancias de 1 %, y potencia de 1/4 W, a prueba de sobrepicos de tensión. El valor final seleccionado de cada resistencia (ON,OFF) para la aplicación presente será desarrollado en el capítulo de Validación Experimental, debido a que su valor final se selecciona a partir de la observación de las formas de onda de conmutación observadas.

Habiendo seleccionado los componentes esenciales para la operación de la rama de conmutación, es necesario determinar una interfaz apropiada para la interconexión de cada rama de conmutación con el banco de capacitores de CC. Para ello se diseñó un banco de capacitores local en cada rama a fin de compensar la impedancia asociada al cableado entre la rama y el banco de capacitores de CC.

2.2.5. Banco de Capacitores de la Rama

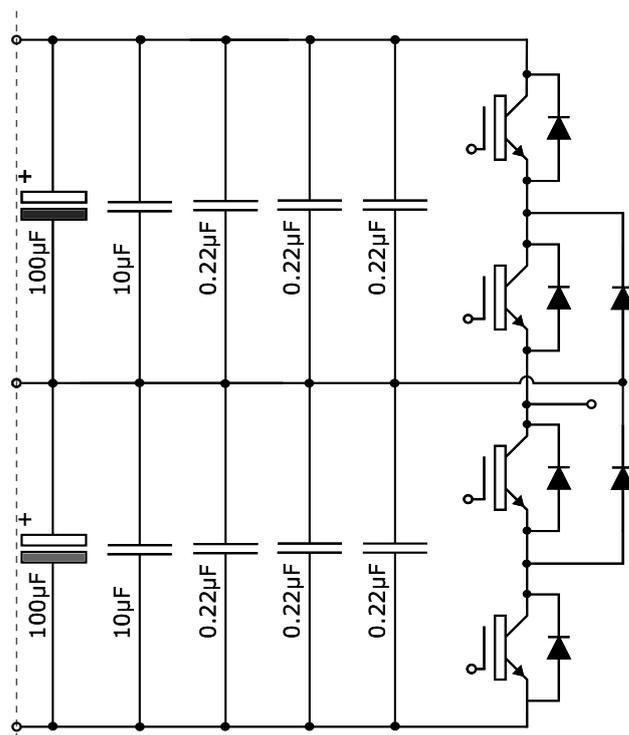


Figura 2.4: Configuración Capacitores Placa de Rama de Convertidor

La figura 2.4 muestra un esquemático parcial del banco de capacitores del módulo. La capacidad total del mismo fue conformada con dos arreglos de capacitores compuestos por un capacitor electrolítico de $100 \mu\text{F}$, un capacitor film de $10 \mu\text{F}$, y 3 cerámicos de $0,22 \mu\text{F}$. La razón de utilizar distintos dieléctricos y distintos valores es para extender el rango de frecuencias en el cual el banco presenta una impedancia capacitiva baja, tal como se muestra conceptualmente en la figura 2.5.^{11 12}

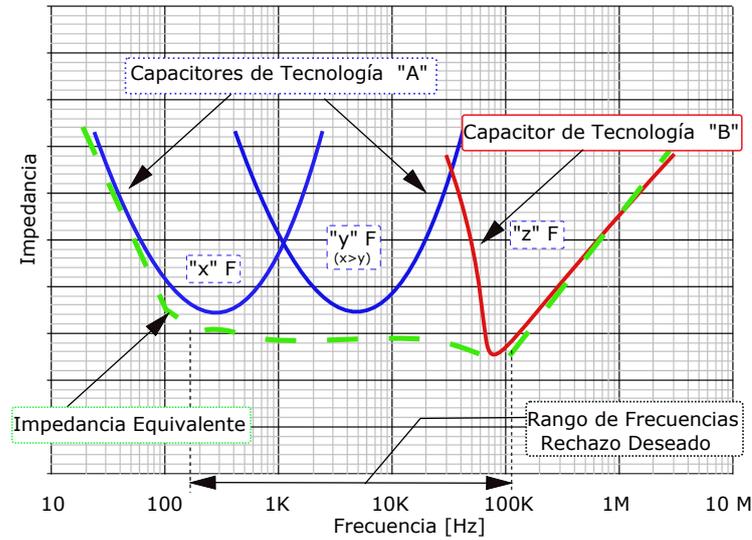


Figura 2.5: Impedancia equivalente de capacitores de distintos dieléctricos y valores en paralelo: el resultado muestra el rechazo deseado en un rango extendido de frecuencias

2.3. Bus de Tensión de Corriente Continua

Para la selección de los capacitores que compondrán el banco de CC se definió un valor tensión de c.c. apropiado para la aplicación.

El valor mínimo de la tensión del banco de capacitores V_{DC} está determinado por el valor requerido para inyección a la red eléctrica, definido por la expresión 2.3:

$$\frac{V_{DCmin}}{2} = \sqrt{2} \times V_{Red} \quad (2.3)$$

donde V_{red} corresponde a la tensión eficaz monofásica de la red eléctrica. Considerando variaciones en la misma de $\pm 10\%$, se asume el valor máximo de la misma: $V_{Red} = 220V + 22V = 242V$. Luego el valor mínimo de tensión del banco es:

$$V_{DCmin} = 2 \times \sqrt{2} \times V_{RedMAX} = 684V$$

A su vez, el valor máximo está limitado por la tensión de colector-emisor V_{CEs} de las llaves semiconductoras que integran el módulo *SK75MLI066T* de *Semikron*, de 600 V. Para la topología NPC de 3 niveles, este valor definiría la tensión de cada nivel, por lo que la tensión máxima c.c. del banco es de 1200 V. Finalmente se define una tensión de corriente continua de diseño de 1000 V, es decir, que

cada arreglo (o configuración de capacitores entre MP y $\frac{V_D}{2}$ o $-\frac{V_D}{2}$) podrá estar sometido a una tensión de 500 VDC.

Además, los capacitores deben estar especificados para una corriente alterna de 10 kHz y 2,86 A_{RMS}. La forma de onda cuadrada en los bornes CA introduce un *ripple* o rizado sobre la forma de onda de la corriente, sobre los inductores de filtro en un sistema de inyección de energía a la red eléctrica. Este *ripple*, cuya frecuencia es la de conmutación, circula por los capacitores del banco y debe ser considerado, pues influye en las pérdidas internas de los capacitores y compromete su vida útil. El cálculo de esta corriente se desarrolla en el apéndice A.2.

Por último, la capacidad mínima del banco se define a partir de especificaciones de *ripple* de tensión en el banco de capacitores de un sistema *back-to-back* con un lazo externo de control de tensión DC. El modelo propuesto y el diseño del control optimizado se desarrolla en el apéndice A.1. Como resultado de este cálculo, se define una capacidad mínima total del banco de 430 μF .

El arreglo más conveniente desde un punto de vista técnico-económico, resultó ser de 4 capacitores, 2 en paralelo conectados entre $\frac{V_D}{2}$ y MP; y otros 2 entre $-\frac{V_D}{2}$ y MP. El capacitor seleccionado es el *ALC10A471EH500*, de 470 μF que está especificado para trabajar con tensiones de hasta 500 V. Esta configuración resulta en una capacidad total entre $\frac{V_D}{2}$ y $-\frac{V_D}{2}$ de 470 μF .

Con el objetivo de balancear las tensiones entre los dos capacitores en régimen permanente se utilizaron dos resistencias de 100 k Ω en paralelo a cada par de capacitores. La potencia que disipara cada una para la tensión nominal del banco es:

$$P = \frac{(\frac{V_D}{2})^2}{R} = \frac{(500V)^2}{100K\Omega} = 2,5W$$

La resistencia seleccionada para esta función es la *SMF5100KJT* de 5W.

Para limitar la corriente de carga inicial del banco, se incluyó un arreglo de resistencias serie, como se muestra en la figura 2.6. Para evitar que estas disipen potencia en el estado de operación normal, se incluyó un relé que desvía la corriente por un camino de baja resistividad. Se seleccionaron 4 resistencias cerámicas de 47 Ω 10W en serie, de modo que soporten los valores picos resonantes de corriente en el momento de conexión. Con estos valores, la constante de tiempo de carga resulta en:

$$\tau = R_{damping} \times C = 4 \times 47\Omega \times 470\mu F = 88 \text{ mS}$$

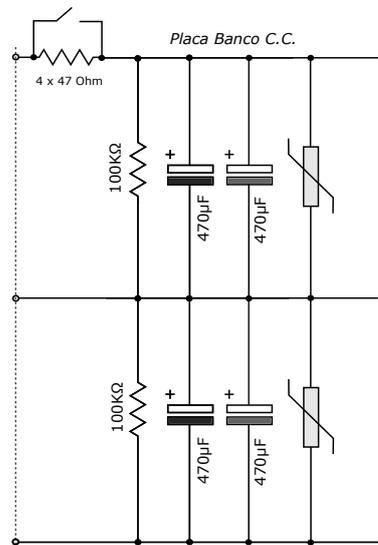


Figura 2.6: Configuración Banco de Capacitores

De esta forma el banco de capacitores de CC alcanza su valor de tensión nominal en 0.44 segundos.

Por último, con el fin de proteger al banco de capacitores de valores elevados de tensión de corta duración, se colocaron en paralelo a cada arreglo varistores VDR *V320LA40BP*, con una tensión de codo de 420 V, como lo muestra la figura 2.6.

2.4. Elementos Relacionados al Control

2.4.1. Sensado de Corriente de C.A.

En base a la corriente nominal por fase calculada en la sección 2.2.1, se implementó el sensado de la corriente alterna mediante 3 sensores de efecto Hall *LEM LA-55P*. Estos permiten la medición en forma aislada de corrientes eficaces de hasta 50 A, con un ancho de banda de 200 kHz. El sensor entrega una corriente proporcional a la corriente que lo atraviesa, escalada 1:100 y requiere una alimentación de $\pm 15V$. Debido a la modularidad del convertidor propuesto, se decidió colocar estos sensores en las ramas de conmutación.

2.4.2. Sensado de Corrientes y Tensiones del Banco de C.C.

Sensado de Corrientes C.C.

El sensado de las corrientes del banco de capacitores se realizó mediante resistencias *shunt* de baja tolerancia. La caída de tensión en la resistencia, que es proporcional a la corriente que circula a través de ella, es sensada con un amplificador optoaislado *HCPL-7800* de *Avago Technologies*, a fin de maximizar la aislación del sistema de control frente a las elevadas tensiones del banco. Este amplificador entrega una tensión aislada en el secundario en el rango 0 – 55 V, con relación 8:1. Para alimentar a los amplificadores se seleccionaron fuentes aisladas CC/CC *DCR010505P* de *Texas Instruments*, de 5 V 15 W.

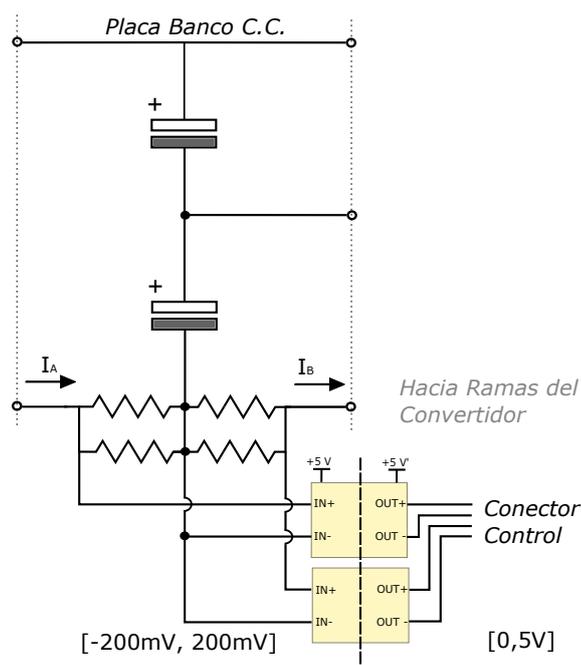


Figura 2.7: Configuración Sensados de Corriente C.C.

Se definieron dos puntos de medición: el primero, sensa la corriente a la entrada del banco de capacitores (I_A de la Figura 2.7), y el segundo la corriente de salida, hacia las ramas de conmutación (I_B de la Figura 2.7). De esta forma es posible determinar la corriente que circula a través de los capacitores del banco indirectamente.

Para la selección de las resistencias de sensado, se consideró una corriente máxima I_A de entrada al banco de 40 A, y una tensión máxima de entrada de los amplificadores de 2005 mV, valor que maximiza la excursión de los mismos. Luego el valor de la resistencia *shunt* quedó definido por:

$$R = \frac{V_{IN_{HCPL}}}{I_A} = \frac{200mV}{40A} = 5 \text{ m}\Omega$$

La potencia que disipará dicha resistencia es:

$$P = I_A^2 \times R = (40A)^2 \times 5m\Omega = 8 \text{ W}$$

Finalmente, y de acuerdo a criterios técnico-económicos, se colocaron para cada punto de medición 2 resistencias *OAR5R010FLF* de 10 mΩ en paralelo, de baja tolerancia (< 1 %) y bajo coeficiente térmico (20 ppm/°C) para aumentar la precisión en la medición, y con una potencia de disipación máxima de 5 W cada una.

Sensado de Tensión de Bus de C.C.

El sensado de tensiones en el banco de capacitores se efectúa entre los puntos $\frac{V_D}{2}$ y MP, y MP y $-\frac{V_D}{2}$. Cada tensión diferencial se reduce por medio de un divisor resistivo y se sensa con un amplificador de aislación *HCPL-7800*, tal como se mencionó en el apartado de sensado de corrientes de c.c. La figura 2.8 muestra la configuración descripta.

Para el diseño del divisor resistivo se estimó una tensión diferencial a medir máxima de 550 V, y una tensión de salida de 200 mV de modo de aprovechar el rango completo de tensión de entrada del amplificador optoaislado. Luego la ganancia del divisor deberá ser:

$$G = \frac{V_{OUT}}{V_{IN}} = \frac{V_{IN_{HCPL}}}{\frac{V_{DC}}{2}} = \frac{200mV}{550V} = \frac{1}{2500} = \frac{R_{OUT}}{R_{OUT} + R_{IN}}$$

Se fijó una resistencia de salida del divisor $R_{OUT} = 160\Omega$, y asumiendo que $R_{OUT} \ll R_{IN}$, luego:

$$G = \frac{1}{2500} \approx \frac{R_{OUT}}{R_{IN}} \rightarrow R_{OUT} = 2500 \times R_{IN} = 440 \text{ k}\Omega$$

Para su implementación se seleccionaron 4 resistencias de 110 kΩ 1 % en serie.

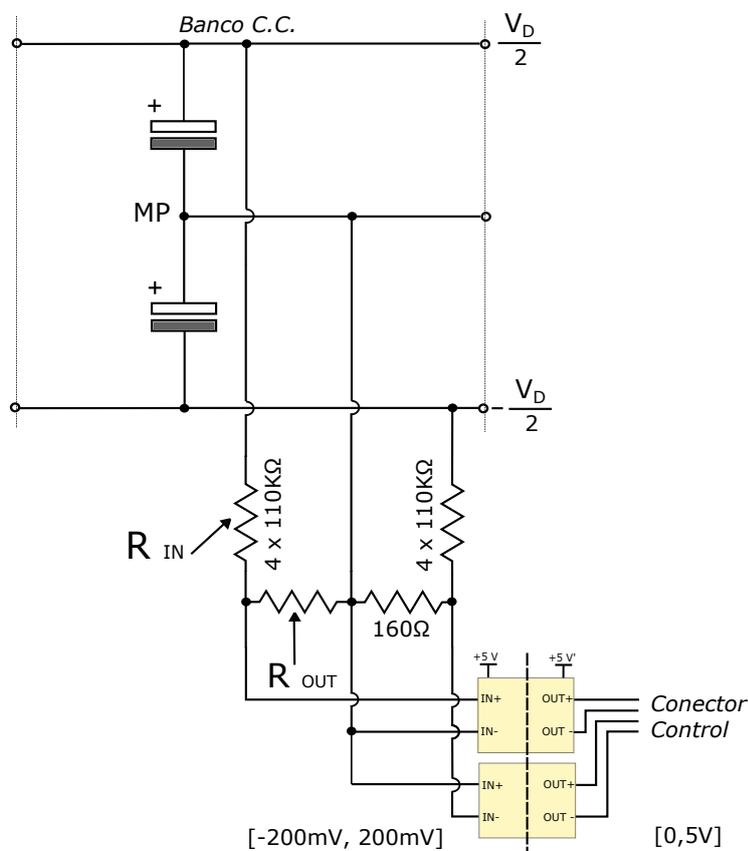


Figura 2.8: Configuración Sensado de Tensiones de Banco C.C.

2.5. Diseño Térmico

Mediante el análisis térmico del circuito se podrá definir si el sistema operará de forma confiable, de acuerdo al comportamiento térmico de sus componentes. Se evaluará su desempeño en condiciones nominales y en condiciones de sobrecarga, para garantizar un funcionamiento robusto en ambas situaciones.

Como punto de partida, se calcularon las pérdidas de los distintos tipos de dispositivos que componen una rama, para luego analizar las temperaturas de juntura de cada uno de ellos, que no deberá superar los 175°C que fija el fabricante de los módulos como límite máximo.

Los módulos *SK75MLI066T* se componen de tres tipos de dispositivos: IGBTs (T_1 a T_4), diodos de rueda libre (D_1 a D_4) y diodos de enclavamiento al punto medio (D_5 a D_6), tal como como lo muestra la figura 2.9.

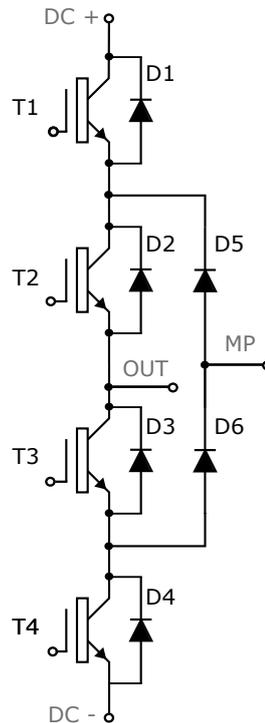


Figura 2.9: *Dispositivos que Componen una Rama del Convertidor*

Mediante el software de simulación térmica *Semisel*¹ que proporciona *Semikron* se calcularon las pérdidas de conmutación y conducción de semiconductores. El programa utiliza parámetros específicos que se encuentran en las hojas de datos, y parámetros del circuito que se desea implementar (V_D , V_{out} , P_{out} , $\cos\varphi$). Estos valores fueron ingresados de acuerdo a los requisitos mencionados en las secciones 2.2.1 y 2.3. Además de los cálculos para condiciones nominales, se calcularon las pérdidas para dos condiciones de sobrecarga. La primera considera una sobrecarga con factor $M_{overload} = 2$, que representa la relación entre corriente de sobrecarga y la nominal. La duración de esta condición se fijó por el tiempo $t_{overload} = 1s$.

La segunda situación de sobrecarga corresponde a una condición similar a la anterior, pero agravada por una frecuencia mínima de salida $f_{min} = 2\text{ Hz}$. Esta última nos daría el aspecto más crítico, ya que para frecuencias de salida $f_{out} < 10\text{ Hz}$ la temperatura de juntura instantánea presenta un *ripple* considerable alrededor de su valor medio.

¹<https://www.semikron.com/service-support/semisel-simulation.html>

Tabla 2.2: Pérdidas

	<i>Nominal</i> [W]	<i>Overload</i> [W]	<i>Overload+fmin</i> [W]
P_{cond} T1/T4	11	30	3.94
P_{sw} T1/T4	9.97	22	20
P_{total} T1/T4	21	51	24
P_{cond} D1/D4	0.04	0.08	0.01
P_{sw} D1/D4	0.07	0.09	0.011
P_{total} D1/D4	0.11	0.17	0.12
P_{cond} T2/T3	15	39	39
P_{sw} T2/T3	0.31	0.54	0.66
P_{total} T2/T3	15.31	39.54	39.66
P_{total} D2/D3	0.04	0.08	0.01
P_{cond} D5/D6	4.15	9.58	35
P_{sw} D5/D6	1.44	2.43	3.30
P_{total} D5/D6	5.6	12.2	38.3
P_{RAMA}	84 W	206 W	204 W

Finalmente, el software proporciona las pérdidas de cada dispositivo y las totales, que se muestran en la tabla 2.2.

Para facilitar la eliminación del calor producido en los dispositivos semiconductores, el programa *Semisel* recomienda el disipador *P3 120* de *Semikron*. Sin embargo se buscó una alternativa nacional, principalmente por el peso y los costos de logística e importación que implicarían adquirirlos. Se seleccionó un disipador de aluminio *ZD-51* de *International Aluel*, de 300 mm de longitud, ventilado por un *fan-cooler* de diámetro $\emptyset = 105mm$, y flujo de aire de $325 \frac{m^3}{h}$. El perfil del *ZD-51* es similar al del recomendado por *Semikron*. Su valor de resistencia térmica con la convección forzada especificada es $R_{SA} = 0,0847 \frac{^\circ C}{W}$.

Para asegurar una correcta selección del disipador, se requiere calcular las temperaturas de juntura de los dispositivos que componen la rama. Esta temperatura debe estar por debajo de la máxima que establece el fabricante de los módulos.

Utilizando la analogía eléctrica, se calcularon las temperaturas de juntura bajo **condiciones nominales**, y se muestran junto al esquema equivalente en la figura 2.10. La expresión utilizada está definida por:

$$T_{Ji} = T_A + P_{RAMA} \times R_{S-A} + P_i \times R_{J-S} \quad (2.4)$$

donde T_a corresponde a la temperatura ambiente, fijada en $25^\circ C$, R_{j-si} es la

resistencia térmica equivalente entre la junta del componente "i" y la superficie del disipador, y R_{s-a} la resistencia equivalente entre el disipador y el ambiente.

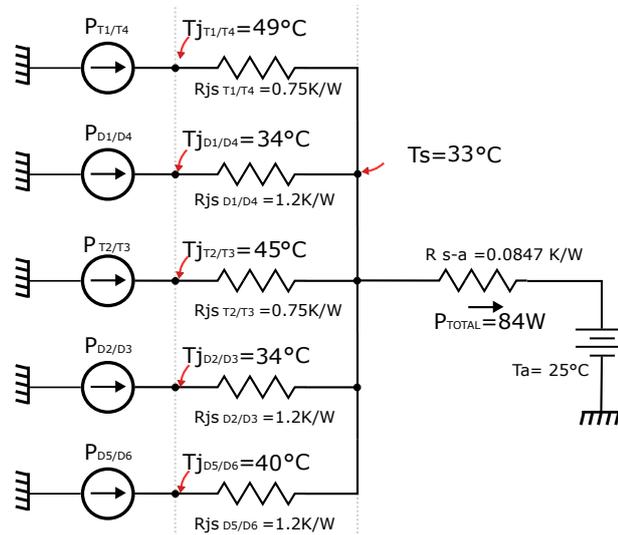


Figura 2.10: *Circuito Térmico Equivalente. Se muestran las T_j para los distintos dispositivos, para condiciones nominales*

Como puede observarse en la figura 2.10, las temperaturas de junta para condiciones nominales se encuentran por debajo de 150°C , valor máximo que recomienda el fabricante para el diseño térmico. Sin embargo, se requiere calcular las temperaturas ante una eventual condición de sobrecarga, a modo de verificar que el disipador tenga la capacidad de evacuar el calor generado en esta condición.

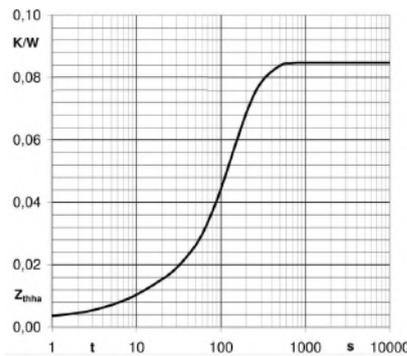


Figura 2.11: *Impedancia térmica transitoria total de disipador ZD-51 de International Aluel*

Las temperaturas de junta para la condición de $f_{min} = 2\text{ Hz}$ fueron calculadas mediante el software *Semisel*, ingresando la curva de impedancia térmica

transitoria del disipador, provista por el fabricante, que se observa en la figura 2.11. Finalmente la figura 2.12 muestra las temperaturas en función del tiempo para una sobrecarga.

Se puede verificar que, incluso en esta condición, todos los dispositivos en la rama presentan una temperatura de juntura por debajo de 150°C , por lo que la selección de este disipador es satisfactoria para esta aplicación.

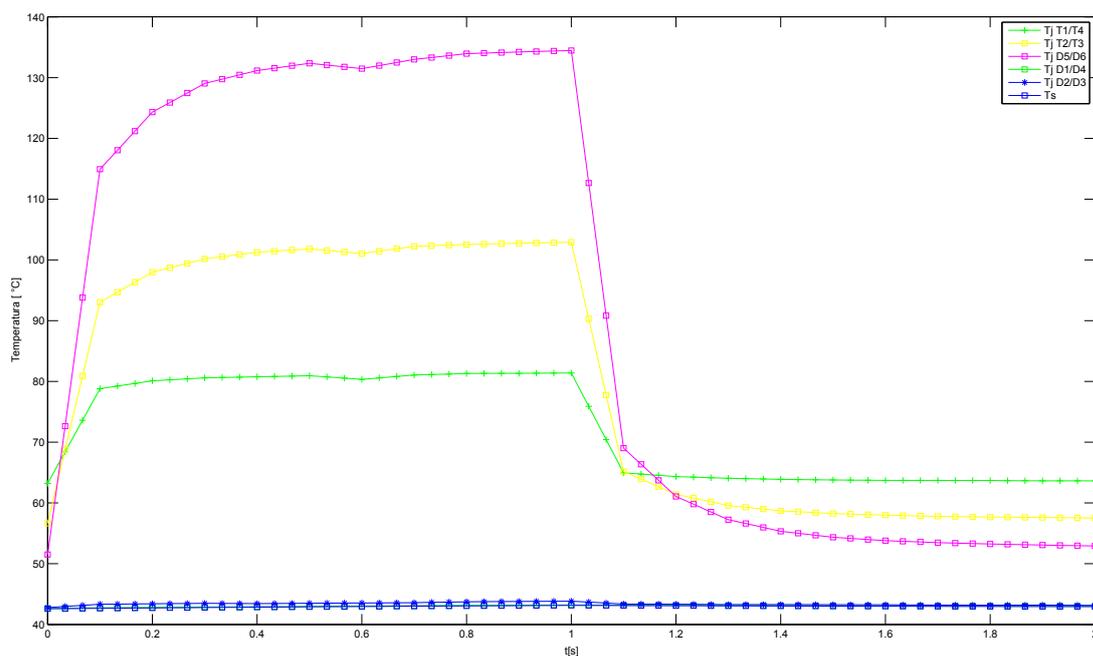


Figura 2.12: T_s y T_j para condición de sobrecarga con $f_{min} = 2$ Hz

Con la selección de los disipadores necesarios para la potencia nominal finaliza el proceso de diseño del convertidor NPC. En base a este diseño se realizó la construcción del convertidor como se explica en el siguiente capítulo.

Capítulo 3

Construcción

Introducción

En este capítulo se desarrollará la construcción y montaje del convertidor trifásico de tres niveles. A partir de los componentes seleccionados y del sistema propuesto, se llevó a cabo el diseño de placas de circuito impreso (PCB). Se describirán los criterios tenidos en cuenta para el diseño, establecidos por normas, recomendaciones o limitaciones del fabricante. A su vez se presenta el diseño de los elementos de interconexión entre placas y el sistema de control. Por último, se mostrará el montaje del prototipo resultante, detallando los elementos que lo componen.

Para la construcción del convertidor, se optó por el diseño de dos placas de circuito impreso (PCB), de acuerdo al sistema propuesto en la figura 2.1 del Capítulo 2. El uso de PCBs para la interconexión de los diferentes componentes del sistema tiene como ventajas un diseño más compacto, robustez mecánica, mayor compatibilidad electromagnética y menor sensibilidad al ruido.

Inicialmente se evaluó el diseño de una única placa que integrase **todo el sistema**, sin embargo resultó poco práctico debido a la dificultad de montar los módulos de semiconductores en sus respectivos disipadores. Es por ello que se optó por el diseño de un PCB para cada rama del convertidor, y otro para el banco de capacitores, interconectados mediante cables de correcto calibre. Se decidió integrar el sensado de tensión y corriente del banco de capacitores a la placa del banco y el sensado de corriente a cada placa de rama de conmutación.

El diseño de los PCB implicó:

- Edición del Diagrama Esquemático

- Edición del Circuito Impreso: incluye *layout* de los componentes y la interconexión mediante pistas o planos de cobre, según corresponda.

Los diagramas esquemáticos de las ramas de conmutación y del banco de capacitores CC se adjuntan en el Apéndice B. Para la edición del circuito impreso se recurrió a la norma *IPC-2221*¹³ que brinda reglas en cuanto a selección de materiales en función de propiedades físicas/mecánicas, disipación térmica, consideraciones para el montaje y soldadura, y consideraciones eléctricas para los PCBs, como por ejemplo los espaciados entre los conductores (pistas o planos de cobre) requeridos para garantizar la aislación eléctrica entre distintos puntos del sistema. Además, se tuvieron en cuenta las capacidades técnicas del fabricante de PCB, que abarcan desde los espaciados mínimos, hasta tamaño de *pads*, pistas, diámetro mínimo de los agujeros, número de capas, entre otros.

3.1. Diseño de los Circuitos Impresos

En esta sección se detallarán y revisarán los criterios tenidos en cuenta para la edición de los distintos subcircuitos del convertidor.

3.1.1. Banco de Capacitores CC

Esta sección describe el diseño del circuito impreso del banco de capacitores. Se observa, en el cursor **A** de la figura 3.1, el *footprint* creado para el arreglo de capacitores del banco. Este diseño personalizado permite tanto la utilización de los capacitores *ALC10A471EH500* seleccionados en la sección 2.3, como la de un único capacitor por arreglo, de mayor capacidad, como lo es el *ALS30A222NP500*, de 2200 μF y especificados para tensiones de hasta 500 V.

Los elementos del banco se conectan mediante planos de cobre. La separación mínima entre los planos DC+, DC- y MP se establece en función de la diferencia de tensión entre ellos, de acuerdo a la norma *IPC-2221*. Para $\Delta V = 500 \text{ V}$ se fijó un espaciado mínimo de 2,54 mm (Cursor **D**).

Se ubicaron agujeros de $\emptyset = 4,5 \text{ mm}$ (Cursor **C**) para el montaje final del banco, y el espaciado configurado entre los bordes de los mismos y los planos de cobre fue de 2.54 mm.

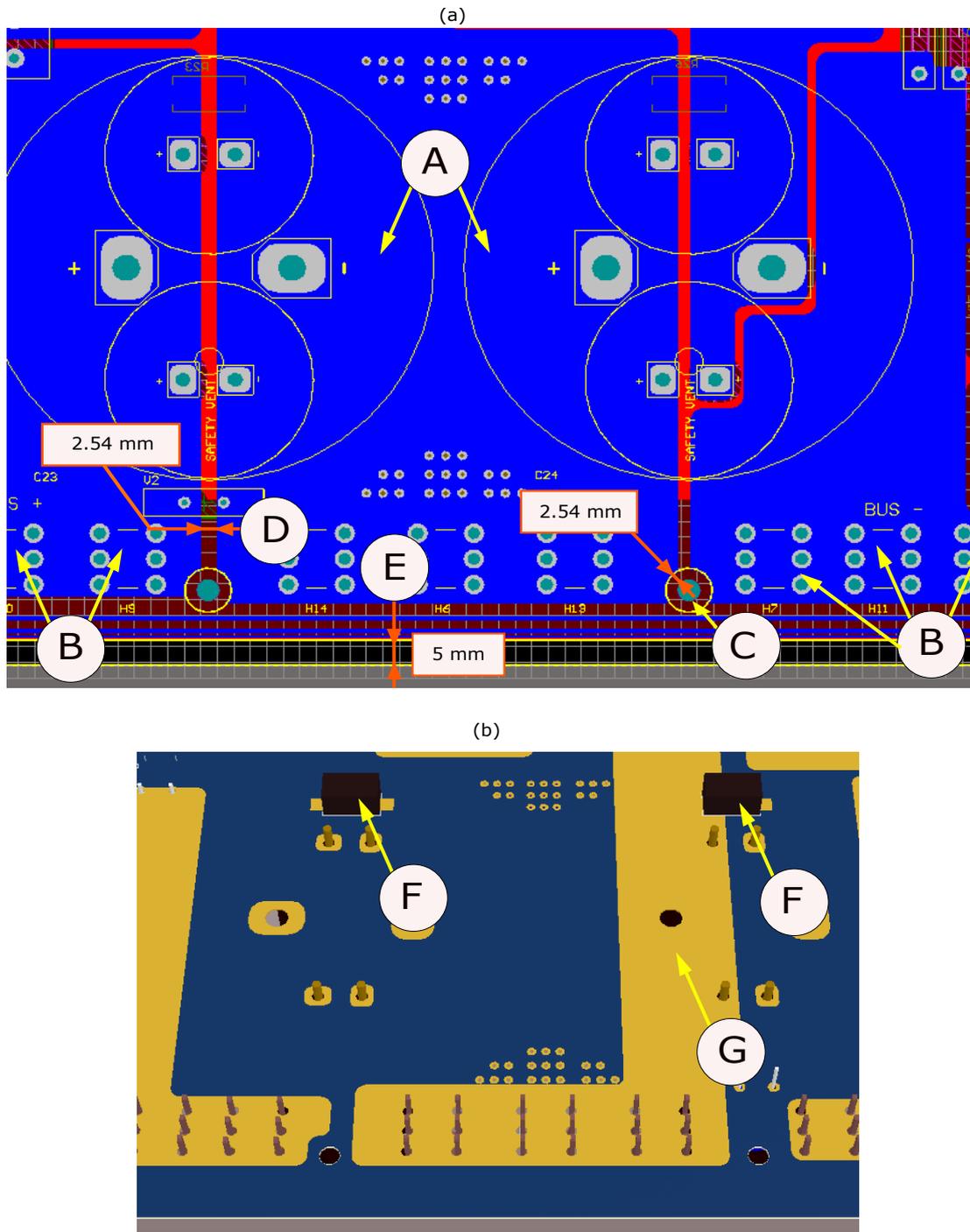


Figura 3.1: Diseño de PCB: Banco de Capacitores - (a) Vista 2D del modelo de dos capas: Rojo - Capa Superior; Azul - Capa Inferior - (b) Vista 3D Superficie Inferior del Banco

Para la conexión del banco al resto del sistema se incluyeron terminales de tornillo *Keystone Electronics 8196*, especificados para corrientes de hasta 30A, y soldados a los PCB, garantizando buena rigidez mecánica. Estos se muestran mediante los cursores **B**.

La subfigura 3.1.b muestra la superficie inferior de la placa, donde se ubican las resistencias destinadas al balance de tensiones del banco CC, con el cursor **F**. Con el fin de aumentar la capacidad de corriente de los planos de cobre, se optó por dejar áreas sin máscara de soldado inferior, de modo que puedan ser reforzadas con estaño. Estas áreas se observan en el cursor **G**.

A continuación se describe el diseño del sector de la placa del banco de capacitores de CC relacionado a los sensores de tensión y corriente de CC.

Sensores de Tensión y Corriente CC

Los elementos de los sensores se conectan mediante planos de cobre y *tracks*. La separación mínima entre los mismos se define en 15 mils¹ (Cursor **H** de la figura 3.2), valor recomendado por el fabricante y por encima del mínimo requerido por la norma mencionada. Por el mismo motivo, el ancho mínimo de los *tracks* fue fijado en 20 mils. Se fijó una distancia mínima de 2.54 mm entre los elementos de conexión de esta sección y los planos de potencia definidos en la sección 3.1.1.

Los amplificadores *HCPL-7800* seleccionados en la sección 2.4.2, para el sensor de corrientes y de tensión CC se muestran en la figura 3.2, mediante los cursores **A** y **B**, respectivamente. Se ubicaron próximos a las resistencias de sensor (de corriente, **C** y de tensión **D**) con el objetivo de disminuir el error de las señales de entrada, sin amplificar. Las fuentes *DCR010505P* destinadas a alimentar a los amplificadores se observan mediante los cursores **E** y **F**. Tanto las señales amplificadas por los *HCPL-7800*, como las alimentaciones de las fuentes, se integran en un conector *Molex*, (Cursor **G**).

¹1 mil = 1 milésima de pulgada = 0.0254 mm

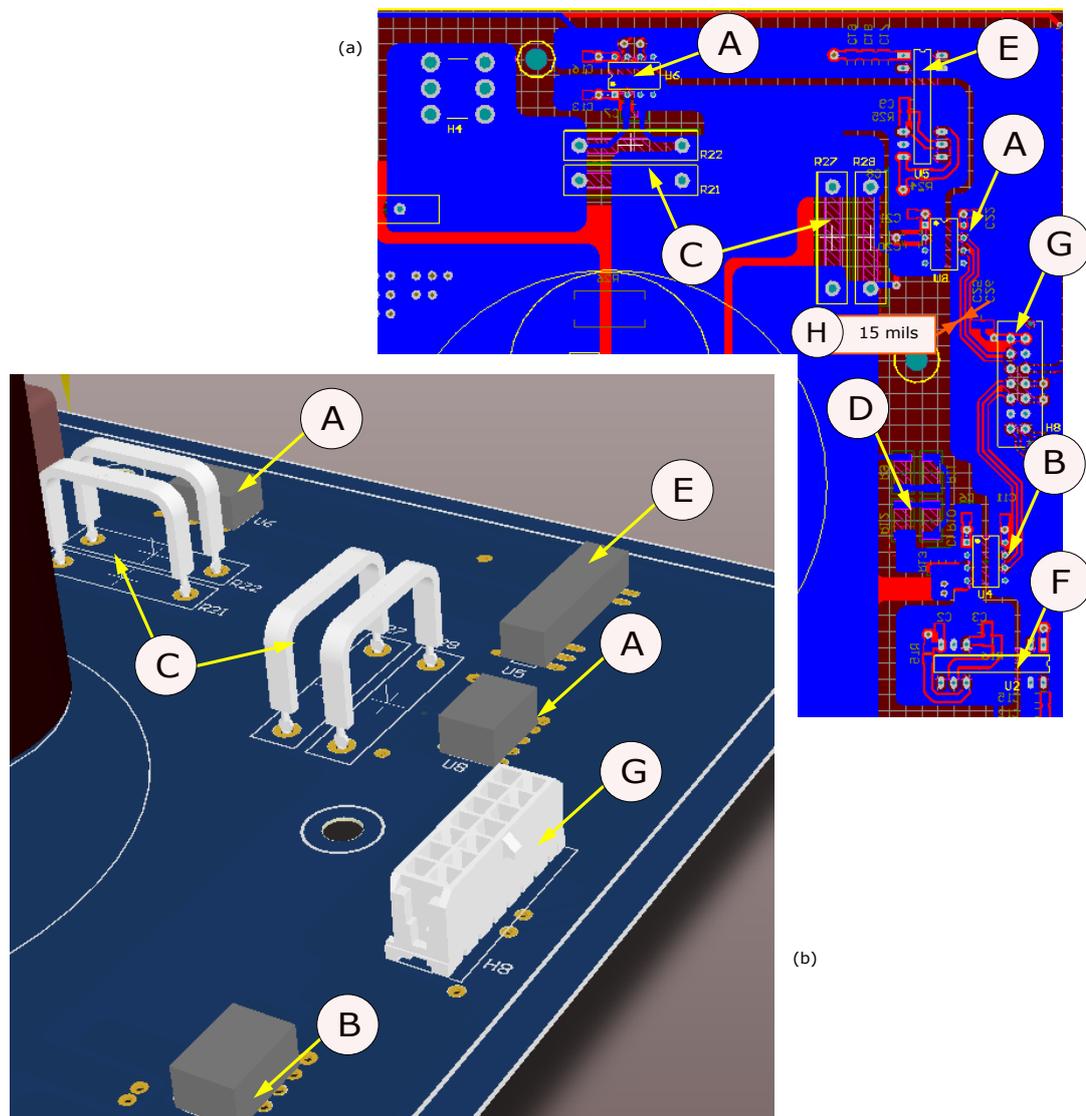


Figura 3.2: *Diseño de PCB: Sensores V/I CC - (a) Vista 2D del modelo de PCB Doble Capa: Rojo - Capa Superior; Azul - Capa Inferior - (b) Vista 3D Superficie Superior*

Circuito de Accionamiento del Relé

La figura 3.3 describe el diseño del sector de la placa del banco de capacitores de CC, relacionado al accionamiento para limitar la corriente en la conexión del banco de capacitores de c.c. En el diseño se destaca la creación de un *footprint* (Cursor F) para las resistencias seleccionadas en la sección 2.3, que permite colocarlas en posición vertical, brindando un diseño más compacto y mejorando la

disipación de calor. Las resistencias se conectan en serie mediante *tracks* de 100 mils de ancho (Cursor **H**), adecuados para la corriente de carga del banco.

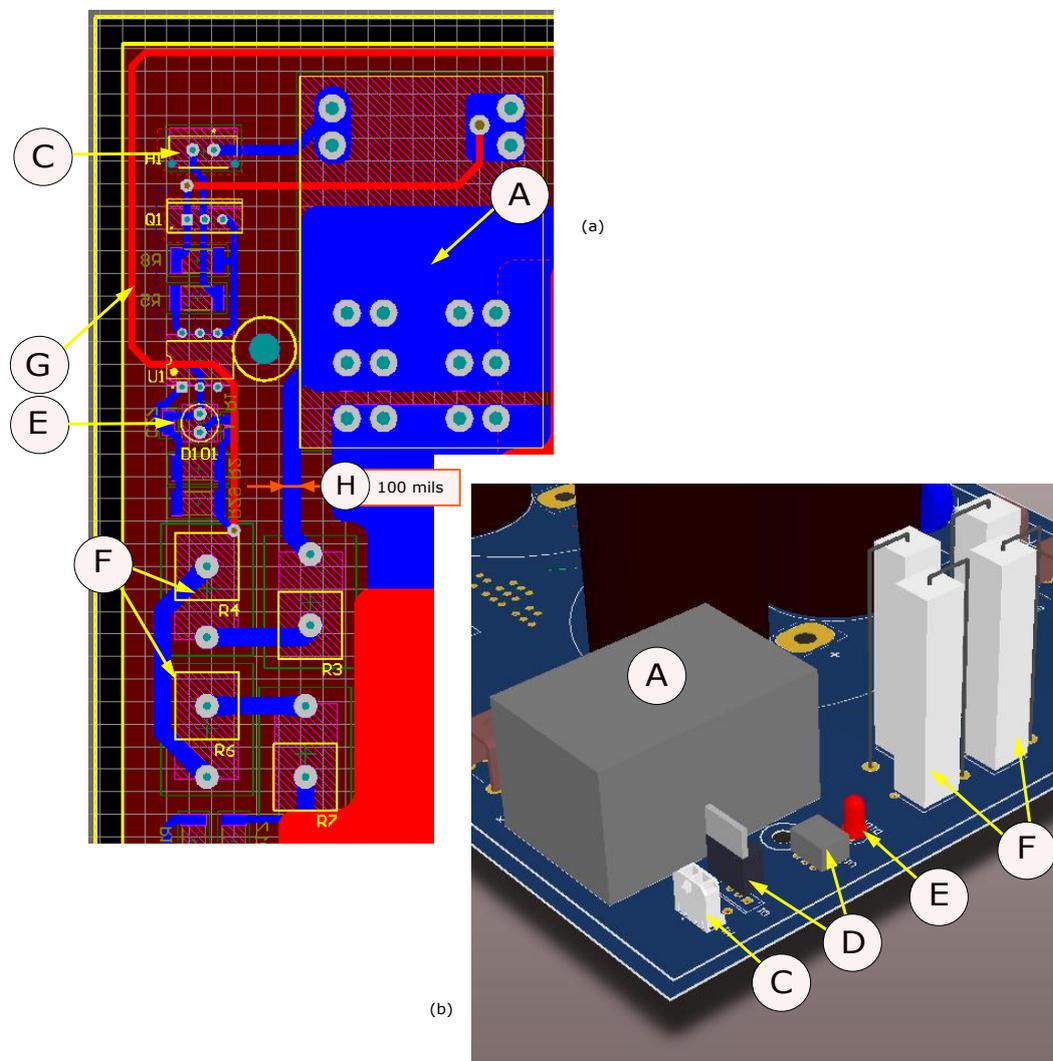


Figura 3.3: Diseño de PCB: Accionamiento del Relé - (a) Vista 2D del modelo de PCB Doble Capa: Rojo - Capa Superior; Azul - Capa Inferior - (b) Vista 3D Superficie Superior

La señal de accionamiento del relé (Cursor **G**) proviene del conector *Molex* mencionado en la sección 3.1.1, y habilita, mediante un circuito auxiliar (Cursor **D**), la alimentación sobre la bobina de excitación. El relé se alimenta de la tensión de red, 220 V 50 Hz, que se conecta al circuito auxiliar mediante el conector que se muestra con el cursor **C**. En este circuito se incluyó un *LED* (Cursor **E**) que, al estar encendido, indica que las resistencias se encuentran cortocircuitadas.

3.1.2. Rama del Convertidor

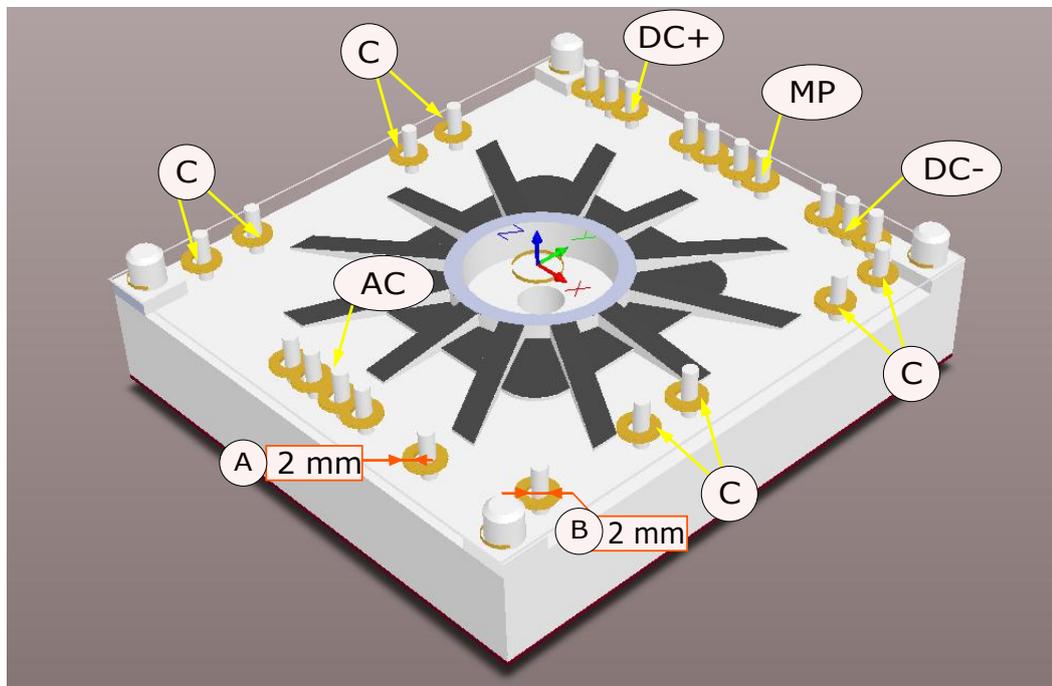


Figura 3.4: *Diseño de PCB: Modelo del Módulo*

Esta sección describe el diseño del circuito impreso de la rama del convertidor. Como punto de partida se realizó el *footprint* del módulo de llaves *SK75MLI066T* de *Semikron*, seleccionado en la sección 2.2.2 del Capítulo de Diseño, tal como lo muestra la figura 3.4. Para este modelado se tuvo en cuenta el plano mecánico provisto en la hoja de datos, sin omitir las tolerancias de las medidas. El diámetro de los agujeros para los pines fue de 2 mm (Cursor **B**), mientras que el *pad* debe contar con 2 mm de ancho (Cursor **A**). Los cursores **C** de la figura muestran los pines asociados a las compuertas; entre estos y los *drivers* se ubicarán las resistencias de disparo.

Para cada una de las resistencias de compuerta, se colocaron dos *footprints* en paralelo; de esta forma aumenta considerablemente los posibles valores de resistencia que se pueden configurar. Estos *footprints* se pueden ver en los cursores **A** de la figura 3.5.

Para la conexión de los *drivers* *Skyper 32* (**B** de la figura 3.5) al PCB de la rama de conmutación, se soldaron zócalos al PCB (**C**), y a su vez se utilizarán separadores plásticos (**D**) para garantizar su estabilidad mecánica durante el montaje final del sistema.

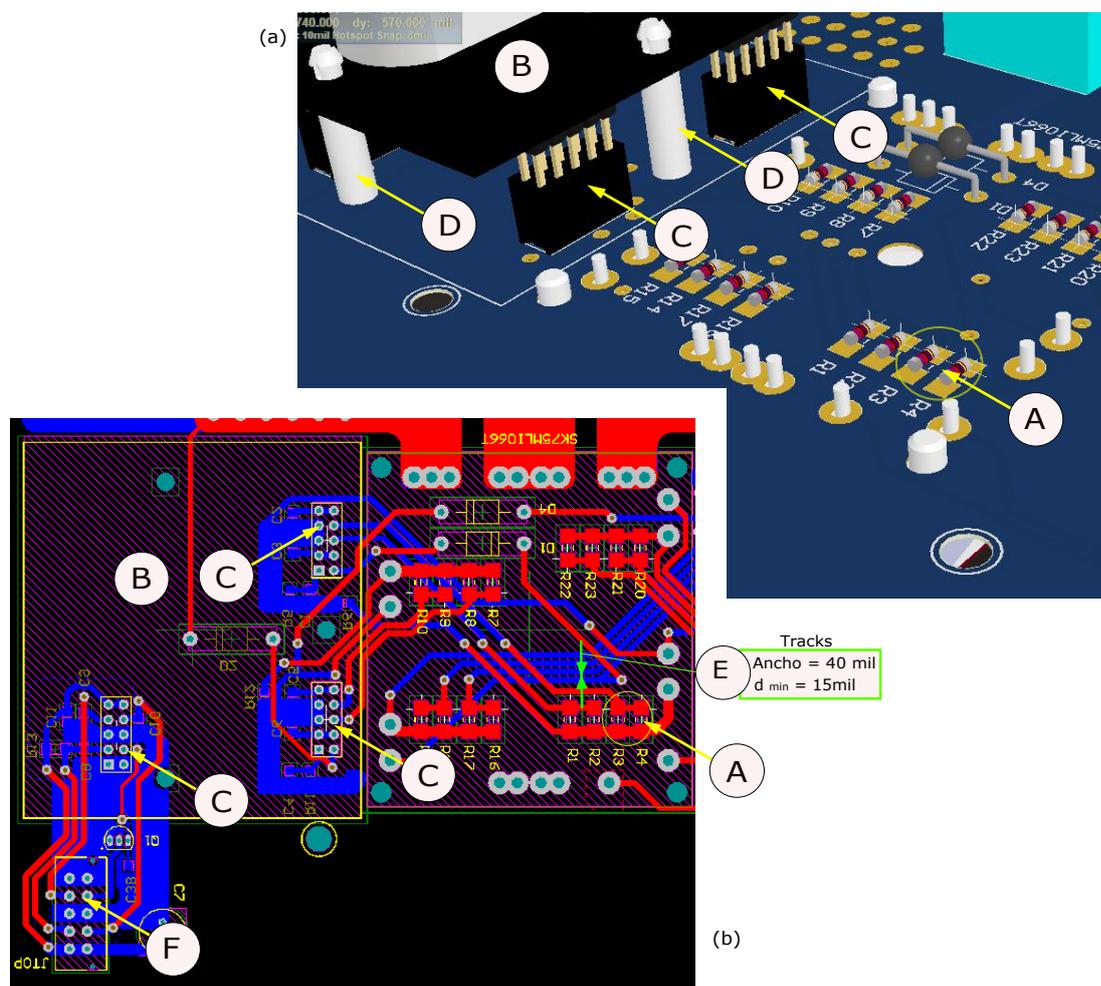


Figura 3.5: *Diseño de PCB: Rama de Conmutación y Drivers - (a) Vista 3D Superficie Superior; (b) Vista 2D del modelo de PCB Doble Capa: Rojo - Capa Superior; Azul - Capa Inferior*

Los *tracks* que comunican a los zócalos con las resistencias tienen un ancho de 40 *mil* y una separación mínima de 15 *mil*, valores compatibles con las capacidades del fabricante de PCBs.

Para la conexión entre el control y los *drivers*, se incluyeron terminales tipo *Molex*, que integra las alimentaciones de los *Skyper 32*, las señales primarias de conmutación, y las entradas y salidas de señales de error. Estos se muestran en la figura 3.5, mediante el cursor **F**.

Banco de Capacitores de la Rama

Para la conexión de los capacitores del banco en la rama del convertidor, se utilizaron planos de cobre, considerando una separación mínima de 2.54mm y despejando ciertas áreas de la máscara de soldadura para reforzar la capacidad de corriente ((**B**) de la figura 3.6), tal como se explicó en la sección 3.1.1. Fueron seleccionados capacitores de bajo perfil, como los de aluminio (**C**) y film (**D**) en la vista superior, mientras que los capacitores cerámicos se ubicaron en la superficie inferior (**E**).

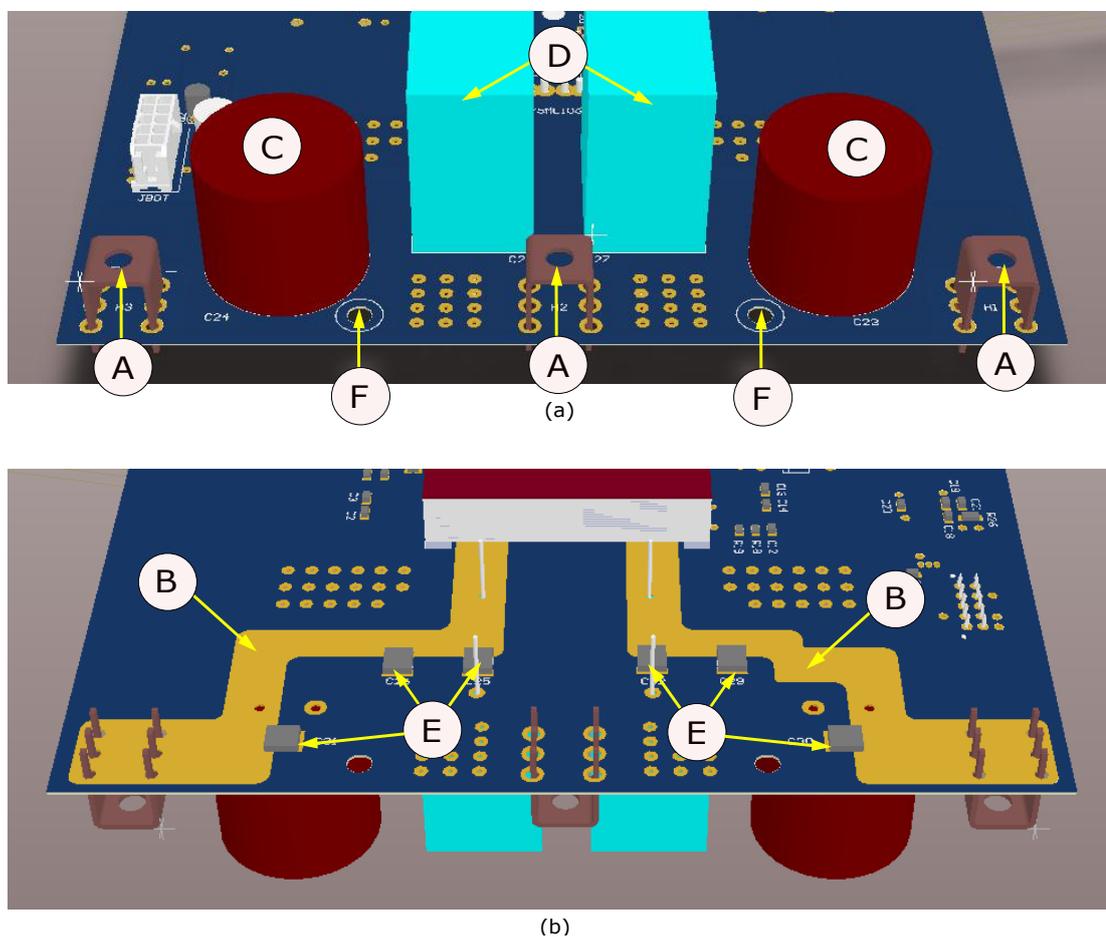


Figura 3.6: *Diseño de PCB: Banco de Capacitores de Rama de Conmutación - (a) Vista 3D Superficie Superior - (b) Vista 3D Superficie Inferior*

Para la conexión de la rama al banco de capacitores principal, se utilizaron los mismos conectores que en el banco y se muestran con el cursor (**A**). Se ubicaron agujeros de $\varnothing = 4,5mm$ (Cursor **F**) para el montaje de la rama sobre el disipador,

y el espaciado configurado entre los bordes de los mismos y los planos de cobre fue de 2.54 mm.

Sensados de Corriente CA

Para el sensado de la corriente CA de cada rama, se ubicó un sensor de efecto Hall *LEM LA-55P* (Cursor **B** de la figura 3.7), seleccionado en la sección 2.4.1, próximo al terminal CA de la rama. Este terminal (Cursor **A**), se conecta mediante planos de cobre a los pines CA del módulo *SK75MLI066T*.

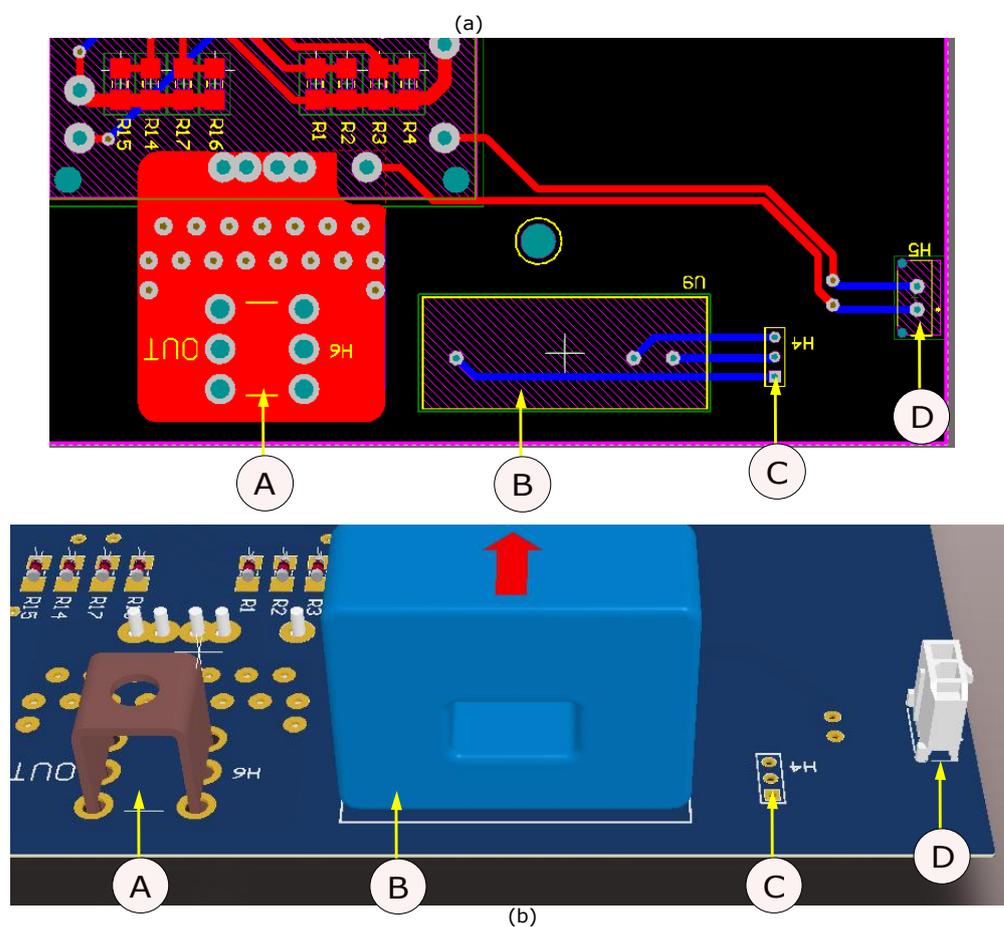


Figura 3.7: Diseño de PCB: Sensado de Corriente CA - (a) Vista 2D del modelo de PCB Doble Capa: Rojo - Capa Superior; Azul - Capa Inferior - (b) Vista 3D Superficie Superior

En la figura 3.7, el cursor **C** muestra el conector destinado a integrar la alimentación y la señal de salida del sensor. Por último, se incluyó un terminal *Molex*

(D), para conectar el termistor NTC integrado en el *SK75MLI066T* a un futuro control, con el fin de monitorear la temperatura del módulo.

La figura 3.8 muestra los PCB fabricados de la rama de conmutación (derecha) y del banco de capacitores (izquierda).

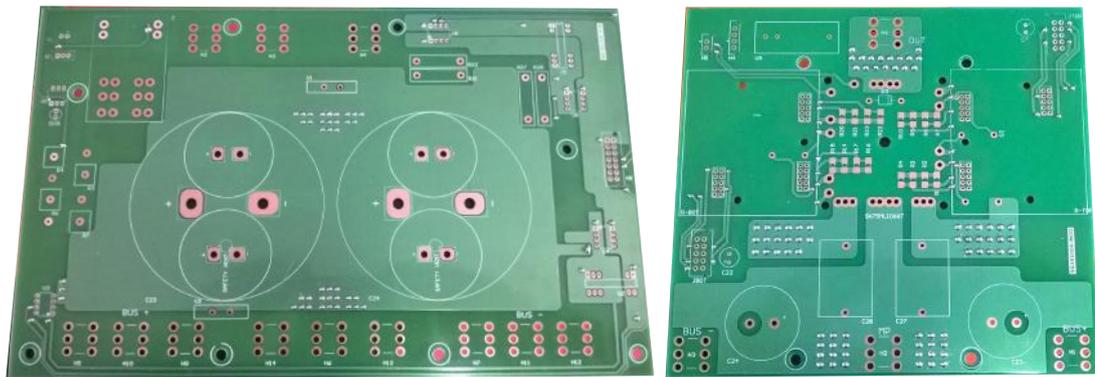


Figura 3.8: PCB Banco de Capacitores (izquierda)- PCB Rama Convertidor (derecha)

La figura 3.9 muestra el convertidor trifásico completo, y en las secciones 3.2 y 3.3 se detallarán las modelos de los dos PCBs montados.



Figura 3.9: Montaje Convertidor Completo

3.2. Montaje Placa Circuito Impreso de Rama del Convertidor

En la figura 3.10 se muestra el PCB de la rama del convertidor construido en detalle.

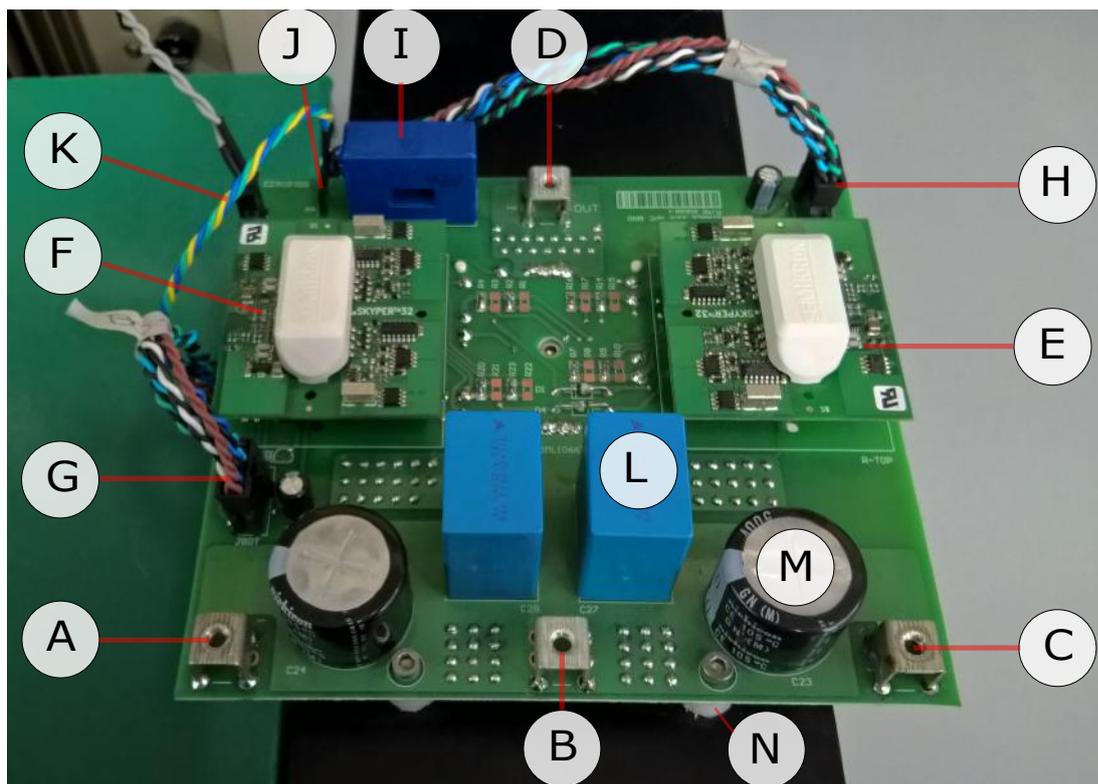


Figura 3.10: Montaje Placa de Circuito Impreso de una rama del convertidor: (A, B, C): Conectores DC-, MP, Y DC+ - (D): Conector CA - E y F: Drivers Skyper 32 R - (G,H): Conectores Control - Driver - (I): Sensor de Corriente CA LEM LA-55P - J: Conector Sensor LA-55P - Control - (K): Conector Termistor NPC - (L,M): Capacitores de Film y Electrolíticos, respectivamente - (N): Separador de Resina

3.3. Montaje Placa Circuito Impreso de Banco de Capacitores

En la figura 3.11 se muestra el PCB del banco de capacitores construido, con todos sus componentes detallados.

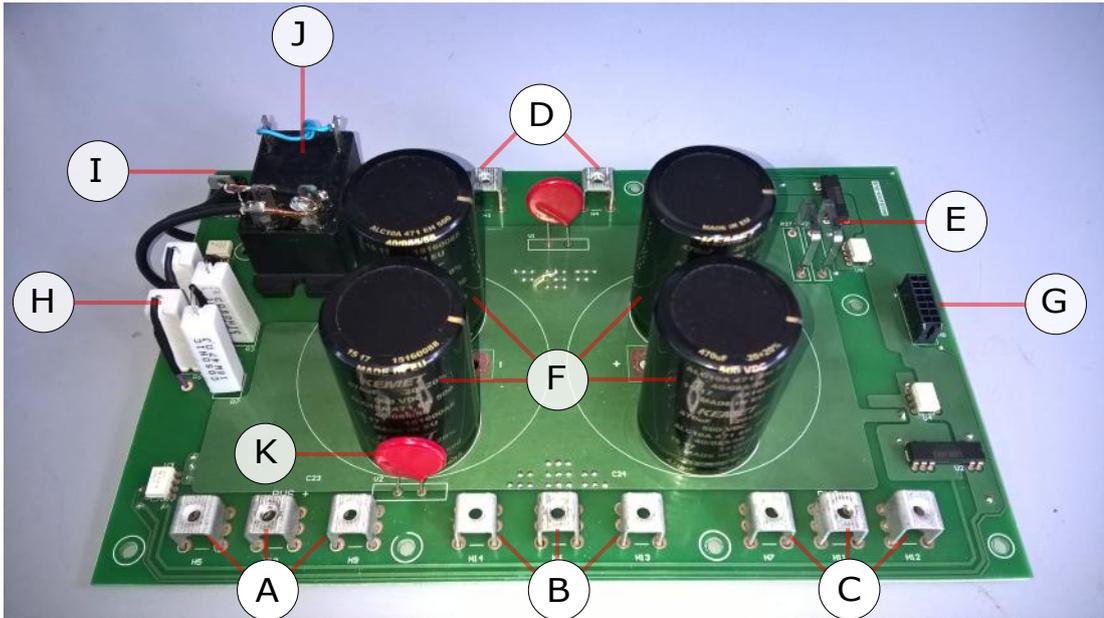


Figura 3.11: Montaje Placa de Circuito Impreso de Banco de Capacitores: (A,B,C): Conectores DC-, MP, Y DC+ hacia PCB de cada rama - (D): Conectores de Entrada Banco - (E): Resistencias de Sensado - (F): Capacitores Electro-líticos - (G): Conector Control - (H): Resistencias Amortiguamiento (Dumping) - (I): Conector Alimentación Relé Contactor - (J): Relé Contactor - (K): Varistores

Capítulo 4

Validación del Prototipo

El objetivo de las pruebas experimentales es validar el diseño del convertidor NPC. Para evaluarlo, se lo utilizará como inversor, por lo que se requiere alimentar el banco de capacitores con una fuente de tensión DC.

Como punto de partida se modelará el convertidor diseñado, en el software de simulación NL5, variando los parámetros de tensión CC que alimenta el banco y el tipo de carga conectada en bornes CA.

Para efectuar las mediciones experimentales se construyeron distintos bancos de pruebas, como se mostrarán en los esquemas de conexión a lo largo del capítulo, con las variables que fueron sensadas y los puntos sobre los cuales se aplicaron los instrumentos. Luego, se compararán las formas de onda de tensión y corriente obtenidas mediante osciloscopio, con los resultados de las simulaciones. Se discutirán las desviaciones entre los resultados experimentales y los de las simulaciones, y se analizarán las potenciales fuentes de error.

La validación experimental del prototipo fue desarrollada de una rama a la vez, debido a las limitaciones de potencia disponible en la fuente de alimentación del banco de capacitores de CC.

4.1. Simulaciones

Es recomendable contar con simulaciones del sistema diseñado que sirven como referencia para contrastar los resultados experimentales.

4.1.1. Carga de Banco de Capacitores

El objetivo de esta simulación es la observación de la respuesta transitoria del banco de capacitores. Éste es alimentado con un puente de diodos conectado a la red eléctrica y el circuito utilizado para la simulación se muestra la figura 4.1, donde V_1 y V_3 son sensores que miden la corriente de carga y la tensión del banco. R_1 y R_2 representan a las resistencias destinadas al balance de tensiones, mientras que R_3 a la resistencias en serie que limitan la corriente de carga del banco. Los valores de tensión de banco y corriente de carga se exhiben en la figura 4.2.

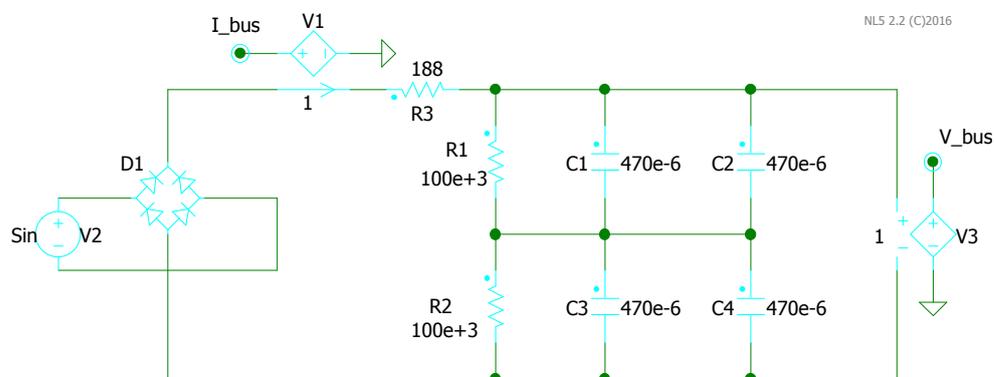


Figura 4.1: Modelo Circuitual NL5 - Carga de Banco Capacitores

En la figura, se observa la naturaleza pulsante de la corriente de carga, producto de la tensión rectificada de onda completa que alimenta el banco. La tensión del banco alcanza un 63 % de su valor final en un tiempo $t = 175,2$ ms, mayor que el producto $R_{damping} \times C_{BUS}$, correspondiente a la constante de tiempo τ , calculada en la sección 2.3. Esta diferencia se debe a que la respuesta analizada no es frente a un escalón unitario, sino a un tren de semiciclos de tensión sinusoidales positivos.

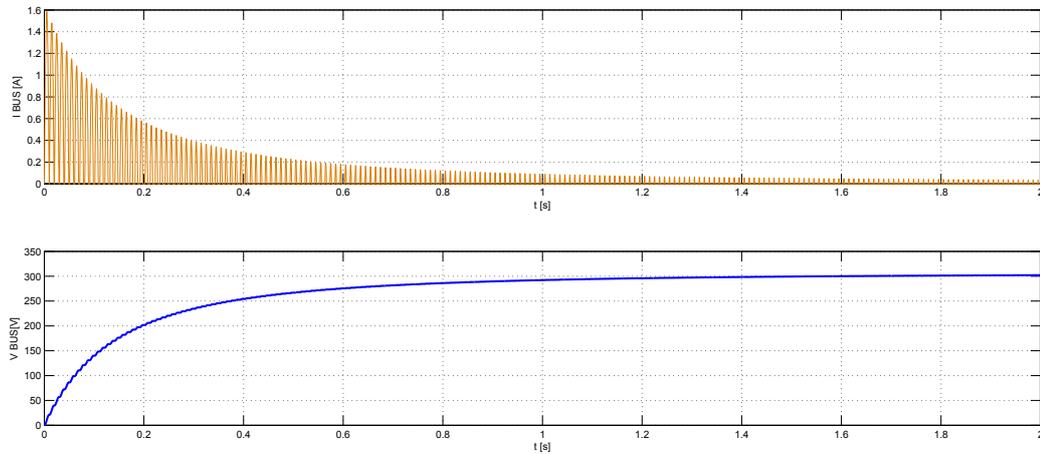


Figura 4.2: Resultado Simulaciones Carga Banco Capacitores. **(a)**: Corriente Carga I_{BUS} **(b)**: Tensión de Banco V_{BUS}

4.1.2. Carga Inductiva Baja Tensión

En esta simulación se alimentó el banco de capacitores con 2 fuentes de 60 VDC en serie, y se conectó una carga inductiva en los terminales CA del convertidor, actuando como inversor. El circuito de conexión se muestra en la figura 4.3. Tanto las llaves como los diodos fueron modelados como ideales, sin implementar los tiempos muertos. Los sensores V_5 y V_6 miden las corrientes por la inductancia y la tensión CA, respectivamente.

Se utilizó una estrategia de conmutación PWM, con frecuencia de portadora de 10 kHz, implementada mediante el bloque *PWM-3L-1PH-Centered*. La frecuencia de la señal modulante (V_{MOD}) es de 50 Hz, y el índice de modulación de amplitud configurado fue $m_a = 0,1$ y $m_a = 0,45$. El bloque compara la señal modulante V_{MOD} con las dos señales portadoras de 10 kHz, una superior (positiva) y otra inferior (negativa). Como resultado de la comparación que realiza el bloque, se obtienen las señales SH_1 , SH_2 , SL_1 , y SL_2 , que comandarán respectivamente las llaves S_1 , S_2 , S_3 y S_4 .

Mediante esta simulación, se obtienen formas de onda de la corriente de carga inductiva y de la tensión de salida.

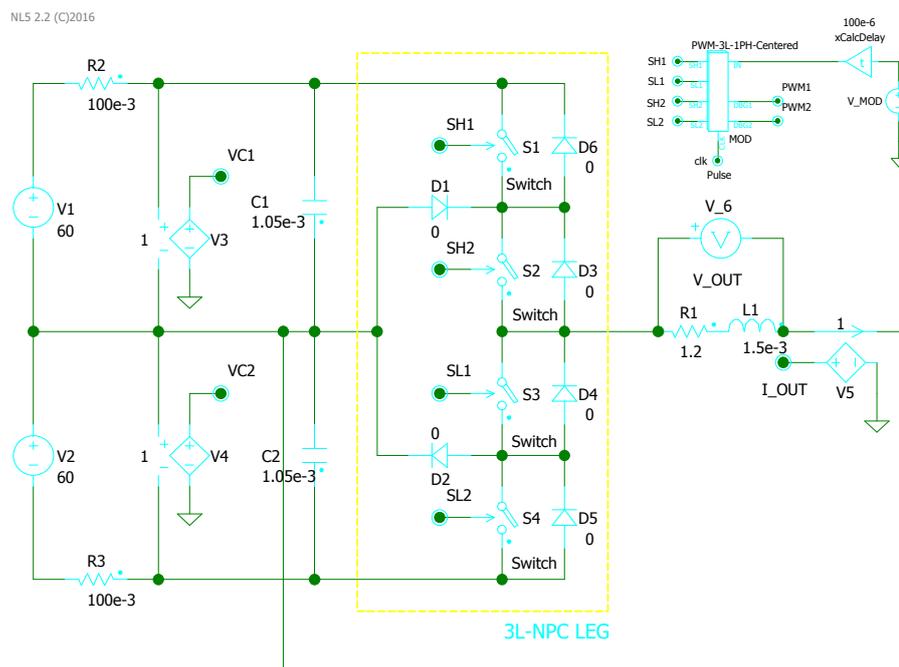


Figura 4.3: Modelo Circuitual NL5 - Carga Inductiva Baja Tensión

La figura 4.4.(a) muestra la corriente sobre la inductancia para $m_a = 0,1$, caracterizada por ser senoidal, de amplitud $13 A_{pk}$ y frecuencia de 50 Hz. Esta forma de onda de corriente coincide con lo esperado, dado que el valor medio de la tensión de CA conforma una forma de onda sinusoidal. Esta presenta 3 niveles de tensión, como se observa en la figura 4.5.(b): 60 V, 0 V y $-60 V$

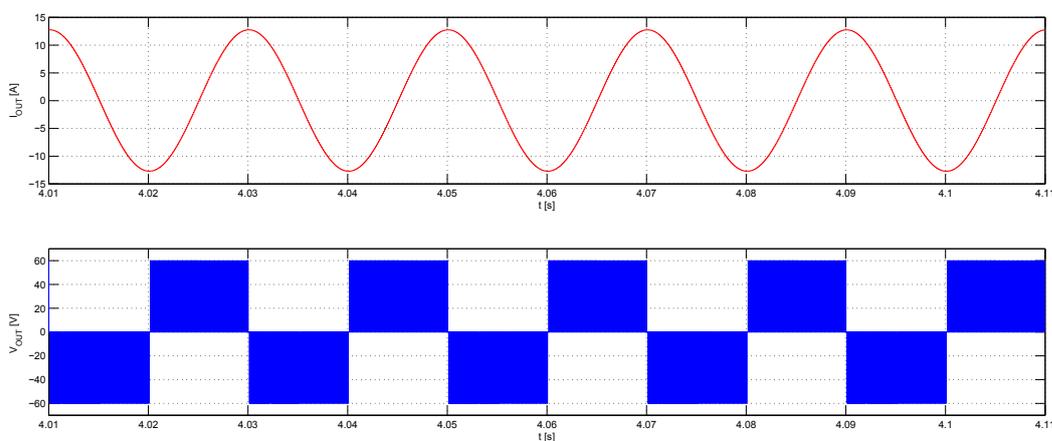


Figura 4.4: Resultados Simulación NL5 - Carga Inductiva Baja Tensión - $m_a = 0,1$ (a): Corriente Carga I_{OUT} (b): Tensión de Salida V_{OUT}

Para $m_a = 0,45$ se muestra la tensión de CA en la figura 4.5.(b), que presenta, al igual que con el índice anterior, 3 niveles de tensión: 60 V, 0 V y -60 V. La corriente sobre la inductancia para $m_a = 0,45$ presenta una amplitud de $57 A_{PP}$, y una frecuencia de 50 Hz.

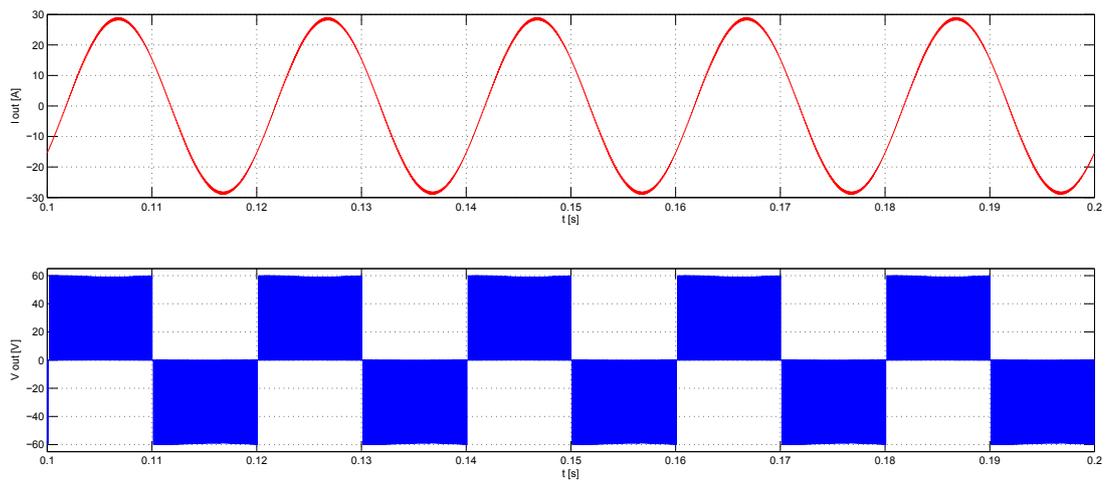


Figura 4.5: Resultados Simulación NL5 - Carga Inductiva Baja Tensión - $m_a = 0,45$ (a): Corriente Carga I_{OUT} (b): Tensión de Salida V_{OUT}

Al trabajar con índices de modulación de amplitud bajos, es necesario identificar mediante la simulación, los pulsos que podrían no ser detectados para la conmutación de las llaves. Esto se debe a que el *driver Skyper 32* de *Semikron* suprime pulsos de entrada menores a 750 ns. De esta forma, la tensión fundamental en los bornes de CA podría sufrir ausencia de pulsos, que derivarían en distorsiones en la corriente de salida. En la figura 4.6 se muestran las tensiones de compuerta o V_{GATE} , de las llaves S_1 y S_4 , para un periodo de la señal modulante. Los pulsos que se encuentran dentro de las zonas destacadas tienen un ancho menor a 750 ns, por lo tanto serán ignorados por el *driver Skyper 32* en las pruebas implementadas con índices de modulación bajo. Debido a esto, la tensión CA presentará ausencia de pulsos, que alterarán las formas de tensión y corriente esperadas. Estos pulsos ausentes se muestran en la zona destacada de la figura 4.7.

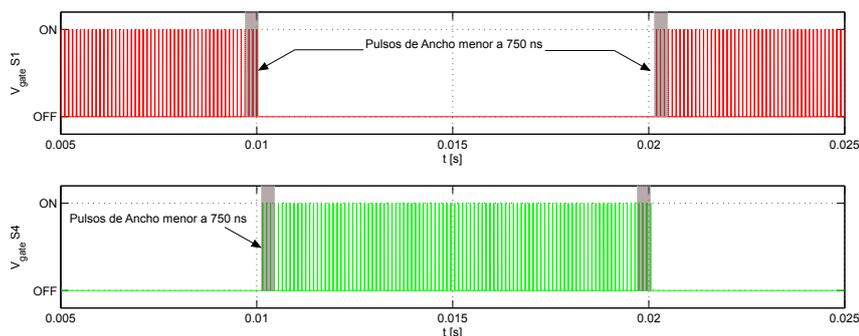


Figura 4.6: Resultado Simulación NL5 - $m_a = 0,10$ - Zona Pulsos de Ancho menor a $750nS$

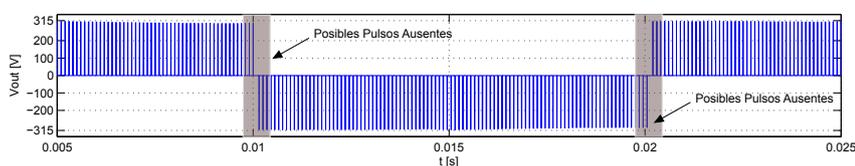


Figura 4.7: Resultado Simulación NL5 - Tensión CA $m_a = 0,10$ - Zona de Pulsos Ausentes

4.1.3. Carga Resistiva

En esta simulación se alimentó el banco de capacitores con 2 puentes de diodos en serie, que rectifican una tensión alterna de 220 V 50 Hz. Se conectó una carga resistiva en los terminales CA del convertidor, actuando como inversor. El circuito de conexión se muestra en la figura 4.8.

Se utilizó una estrategia de conmutación PWM, con frecuencia de portadora de 10 kHz, implementada mediante el bloque *PWM-3L-1PH-Centered*. La frecuencia de la señal modulante es de 50 Hz, y el índice de modulación de amplitud fue configurado en $m_a = 8$ para maximizar la potencia entregada. Se obtienen las formas de onda de la tensión y corriente en la resistencia (Sensores V_4 y V_5 de la figura 4.8), y la tensión en arreglo de capacitores del banco de corriente continua (Sensor V_3), y se muestran en la figura 4.9.

Debido al método de rectificación utilizado para alimentar el banco, se genera un *ripple* de 30 V en la tensión del arreglo de capacitores del banco, como puede observarse en la figura 4.9.(c). Se obtiene un periodo del *ripple* mencionado de 10 ms, que deriva de frecuencia igual a 100 Hz de la tensión rectificada de onda completa.

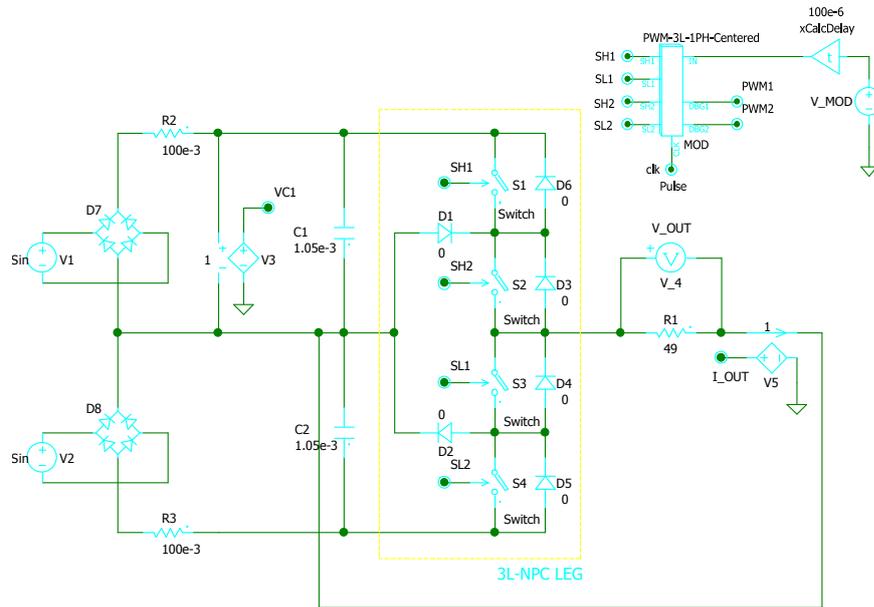


Figura 4.8: Modelo Circuital NL5 - Carga Resistiva $m_a = 8$

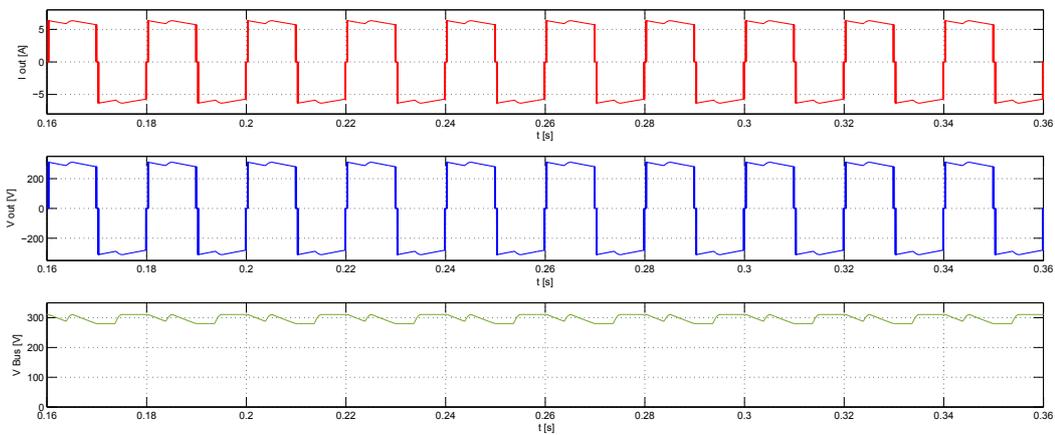


Figura 4.9: Resultado Simulación NL5 - Carga Resistiva $m_a = 8$ (a): Corriente Carga. (b): Tensión en la Carga. (c): Tensión en un Arreglo del Banco de Capacitores C.C.

Estas mismas variaciones de 30 V se muestran en la tensión sobre la resistencia (figura 4.9.(b)), como consecuencia del *ripple* de la tensiones del banco.

La corriente en la carga se muestra en la figura 4.9.(a) y se encuentra en fase con la tensión, por la naturaleza puramente resistiva de la carga.

La potencia en la carga presenta un valor promedio de 1739 W con máximos

de 1972 W. Esta dispersión se debe a la variación en los niveles de tensión en los bornes CA

4.1.4. Carga Inductiva

En esta simulación se alimentó el banco de capacitores con 2 puentes de diodos en serie, que rectifican una tensión alterna de 220 V 50 Hz. Se conectó una carga inductiva en los terminales CA del convertidor, actuando como inversor. El circuito de conexión se muestra en la figura 4.10.

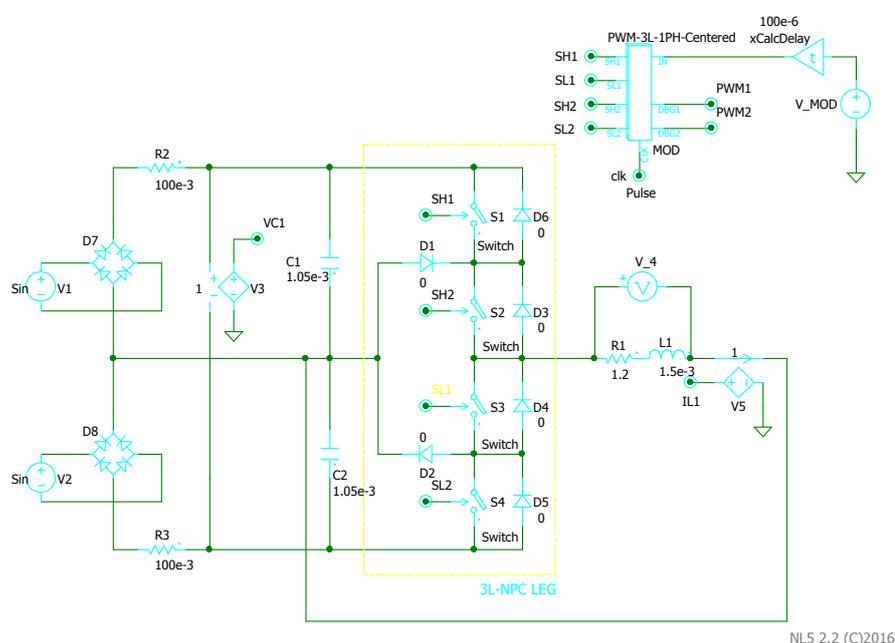


Figura 4.10: Modelo Circuital NL5 - Carga Inductiva

Se utilizó una estrategia de conmutación PWM, con frecuencia de portadora de 10 kHz, implementada mediante el bloque *PWM-3L-1PH-Centered*. La frecuencia de la señal modulante (V_{MOD}) es de 50 Hz, y el índice de modulación de amplitud fue configurado en $m_a = 0,13$ y luego en $m_a = 0,15$.

Como resultado de la simulación, se obtienen las formas de onda de la tensión (Sensor V_4 de la figura 4.10) y corriente de la inductancia (Sensor V_5) y la tensión del banco de capacitores de corriente continua (Sensor V_3). Se muestran en las figuras 4.11 y 4.12.

Se observan en las figuras 4.11.(b) y 4.12.(a) variaciones en los niveles de tensión de salida, de amplitud $20V_{PP}$. Esto se debe al método de rectificación

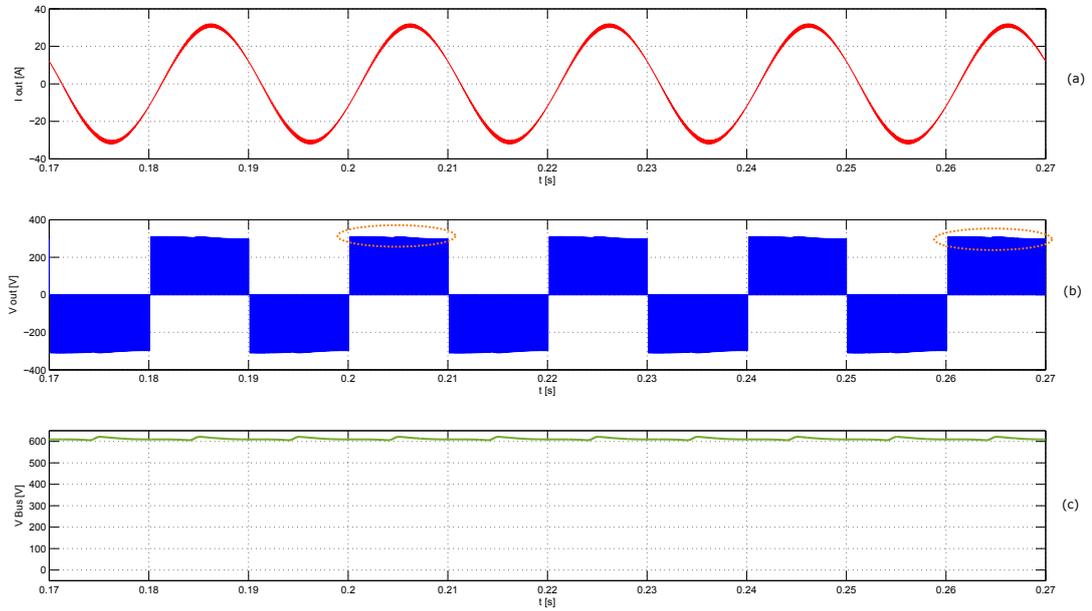


Figura 4.11: Resultado Simulación NL5 - Carga RL $m_a = 0,13$ (a): Corriente Carga. (b): Tensión en la Carga. (c): Tensión en el Banco de Capacitores C.C.

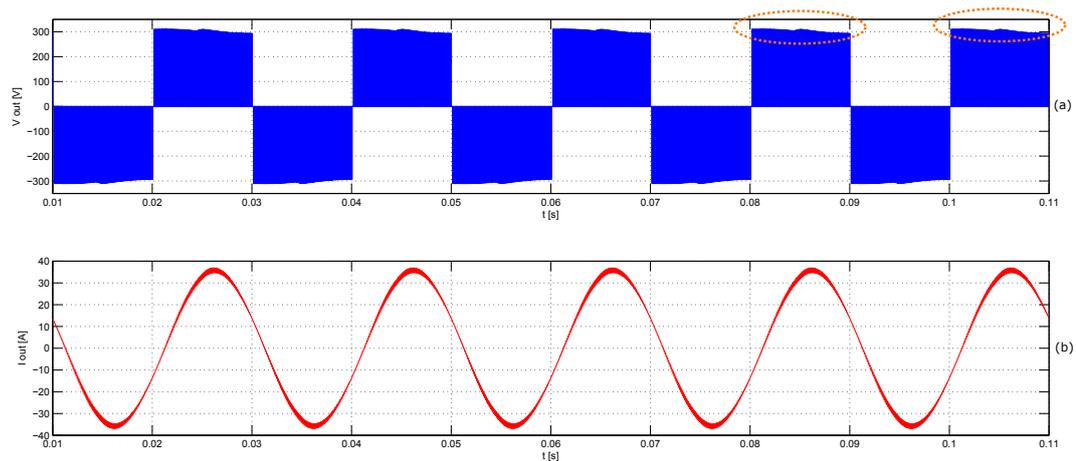


Figura 4.12: Resultado Simulación NL5 - Carga RL $m_a = 0,15$ (a): Tensión en la Carga. (b): Corriente en la Carga.

utilizado, de onda completa, para alimentar el banco de capacitores. Estas mismas variaciones se muestran en la tensión del banco completo, en 4.11.(c), y son consecuencia de la carga y descarga del mismo, aunque la descarga es significativamente menor que en la simulación de la subsección anterior, debido a que el consumo de potencia en la carga también es menor. Se obtiene un periodo del *ripple* mencionado de 10 ms, que surge de los 100 Hz de la tensión rectificada de onda completa.

La corriente en la carga, como se observa en la figura 4.12.(b), presenta una forma de onda senoidal, lo que es esperado dado que el valor medio de tensión conforma una forma de onda senoidal. La amplitud de la corriente es de $67 A_{PP}$ y su frecuencia es de 50 Hz.

A partir de estas simulaciones se realizaron pruebas experimentales para verificar el funcionamiento del prototipo construido y se detallan en la siguiente sección.

4.2. Pruebas Experimentales

Las pruebas experimentales tienen como fin verificar el funcionamiento del prototipo construido. Se replicaron las condiciones evaluadas en las simulaciones y se obtuvieron formas de onda de tensión y corriente, para que puedan ser contrastadas con las esperadas.

4.2.1. Configuración para las Pruebas

Como punto de partida se detalla la implementación de la estrategia de conmutación elegida para las pruebas experimentales. Luego se describe el proceso de selección de resistencias de disparo para la configuración final del prototipo.

Estrategia de Conmutación para las Pruebas

Para la conmutación de las llaves se optó por una estrategia de control a lazo abierto, aunque el sistema cuente con los sensores necesarios para el diseño de un sistema de control a lazo cerrado.

Las señales PWM para la conmutación de los IGBT son generadas utilizando un Procesador de Señal Digital (*Digital Signal Processor* o DSP) *K22FN512* de *Freescale*. La amplitud de estas señales es amplificada a 15 V, utilizando un *buffer*

digital CD40109B, para adecuarse a los niveles de entrada requeridos por los *drivers Skyper 32*. La figura 4.13 muestra el circuito implementado, junto a los *drivers* y las resistencias de disparo.

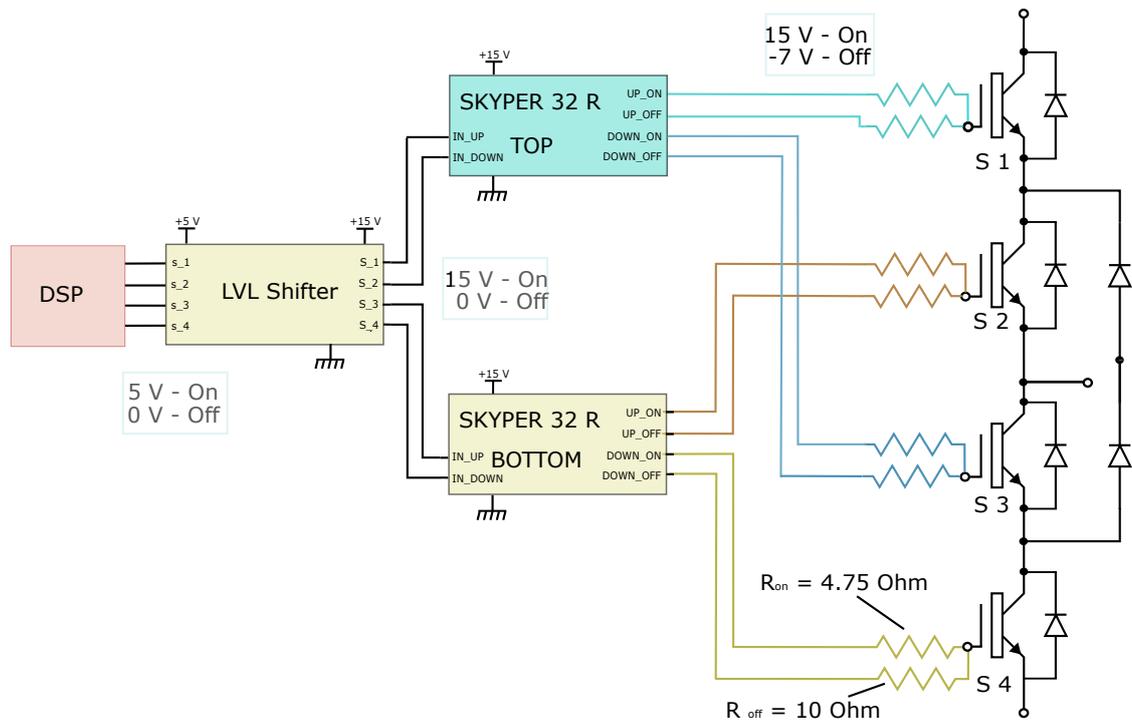


Figura 4.13: Diagrama Esquemático Elementos de Conmutación

Por otra parte la estrategia empleada se basa en PWM multiportadora. Al tratarse de un convertidor de 3 niveles, se requieren 2 señales portadoras de alta frecuencia; en este caso la frecuencia portadora fue configurada en $f_{sw} = 10$ Hz

Mediante el *DSP*, se genera una señal de referencia sinusoidal de amplitud unitaria y de $f = 50$ Hz. En el algoritmo, se define el índice de modulación m_a , de acuerdo a la prueba a realizar.

El programa compara el producto de la señal de referencia y el índice de modulación, con las dos señales portadoras: el resultado de la comparación con la portadora superior produce los pulsos para uno de los dispositivos de la rama, S_1 , mientras que cuando lo hace con la portadora inferior, para S_2 . A su vez, negando los pulsos mediante el algoritmo, se obtienen los pulsos para los dispositivos S_3 y S_4 . Un esquema de bloque simplificado del programa implementado se muestra en la figura 4.14

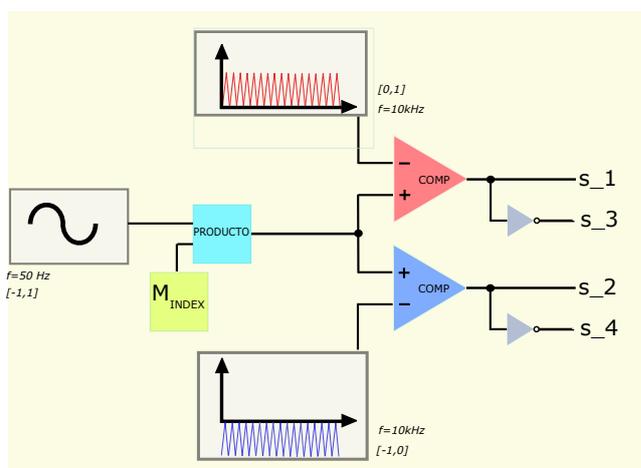


Figura 4.14: *Esquema Simplicado de Bloques del DSP*

Selección Resistencias de Disparo

Para la selección del valor óptimo de resistencia de disparo, se partió de los valores mayores de resistencia disponibles, y se observó la dinámica de la tensión en la compuerta con el osciloscopio, tanto durante el encendido como en el apagado. La figura 4.15 muestra la tensión en la compuerta para una resistencia de disparo de $10\ \Omega$ tanto para el apagado como para el encendido. Los valores de tensión de encendido y apagado son $15\ \text{V}$ y $-7\ \text{V}$, respectivamente, tal como fue descrito en la sección 2.2.3. Se observa un comportamiento lento en el encendido, como se puede apreciar en la ampliación de la misma figura, mientras que el comportamiento en el apagado es el deseado.

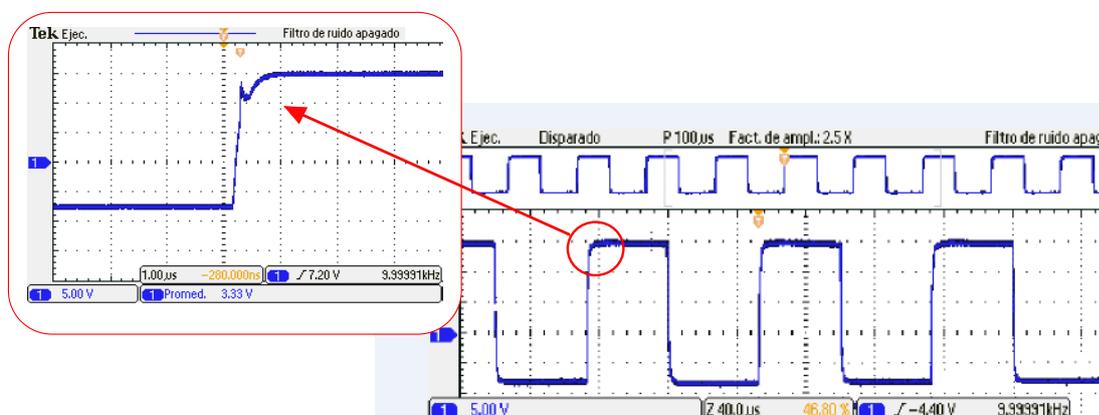


Figura 4.15: *Tensión en la compuerta V_{Gate} (Canal 1): - $R_{ON} = R_{OFF} = 10\ \Omega$*

Por otro lado, valores bajos de resistencia de disparo resultan en sobrepicos en la tensión CA, tanto para el encendido como para el apagado, como lo muestra la figura 4.16. Para el encendido, la sobreoscilación presenta un valor de 100 % de *overshoot* y una frecuencia de *ringing* de 8 MHz.

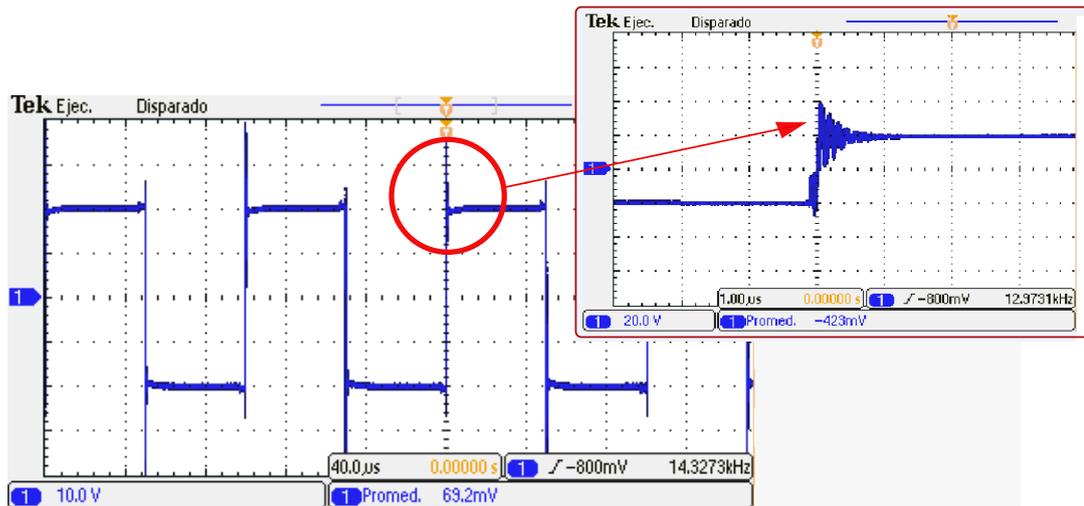


Figura 4.16: Tensión en bornes CA (Canal 1): $V_{AN} - R_{gate}$ mínimos

Para la aplicación finalmente fueron seleccionadas $R_{on} = 4,75 \Omega$ y $R_{off} = 10 \Omega$. Las capturas de las tensiones de compuerta V_{gate} para esta configuración se muestran en la figura 4.17.

4.2.2. Módulos de IGBTs

El objetivo de esta medición fue la verificación de las formas de onda asociadas a la conmutación de los dispositivos semiconductores, los consumos de alimentación de los *drivers*, y los tiempos muertos que éstos generan.

Para esta medición las señales de conmutación que reciben los *drivers* son producidos a partir de un generador de funciones, configurado para generar una onda cuadrada de 10 kHz, con un ciclo de trabajo del 50 %.

La figura 4.17 muestra las formas de tensión de compuerta de dos señales complementarias de una rama de convertidor. Se pudo comprobar que el tiempo muerto impuesto por el *driver* es de $2,94 \mu s$ (Cursores *a-b* de la figura 4.17), lo que coincide con lo especificado por el fabricante.

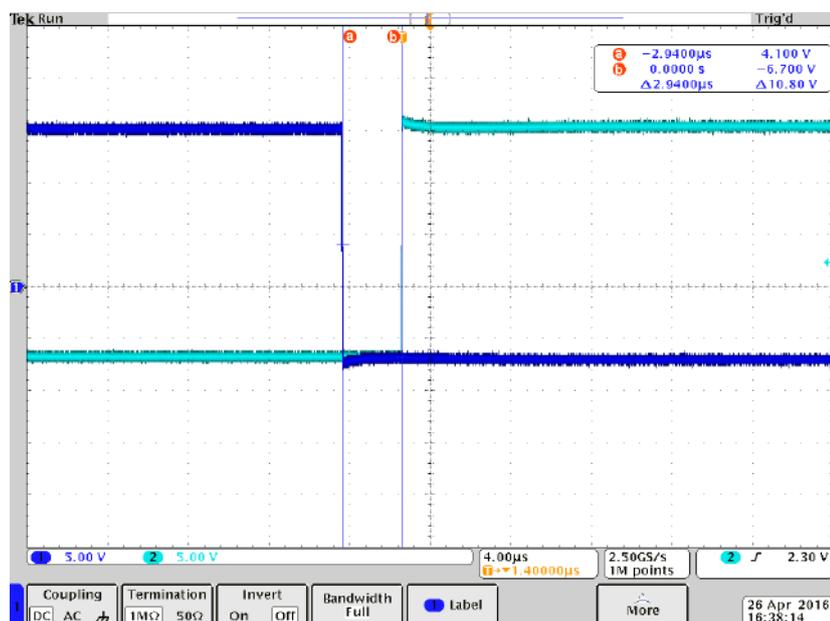


Figura 4.17: Muestra de la tensión de compuerta de S_1 y su complementaria S_3 : $V_{ON} = 15\text{ V}$ y $V_{OFF} = -7\text{ V}$

Adicionalmente se verificó que el consumo de cada *driver* es de 100 mA, que se encuentra en el rango especificado por el fabricante. Por último se corroboró que ante una misma señal de entrada en el primario para dos llaves complementarias, la tensión en las compuertas sea la correspondiente al estado OFF, es decir, -7 V .

4.2.3. Carga del Banco de Tensión C.C.

El objetivo de este ensayo fue verificar el balance de capacitores, la respuesta transitoria y la confiabilidad frente a valores de tensión límite.

El banco de capacitores de CC fue alimentado por un rectificador de onda completa conectado a la red eléctrica mediante un autotransformador variable, con la función de controlar el valor de tensión alterna que alimenta al puente. La tensión aplicada en el banco fue de 315 VDC.

El esquema de conexión para esta prueba se muestra en la figura 4.18

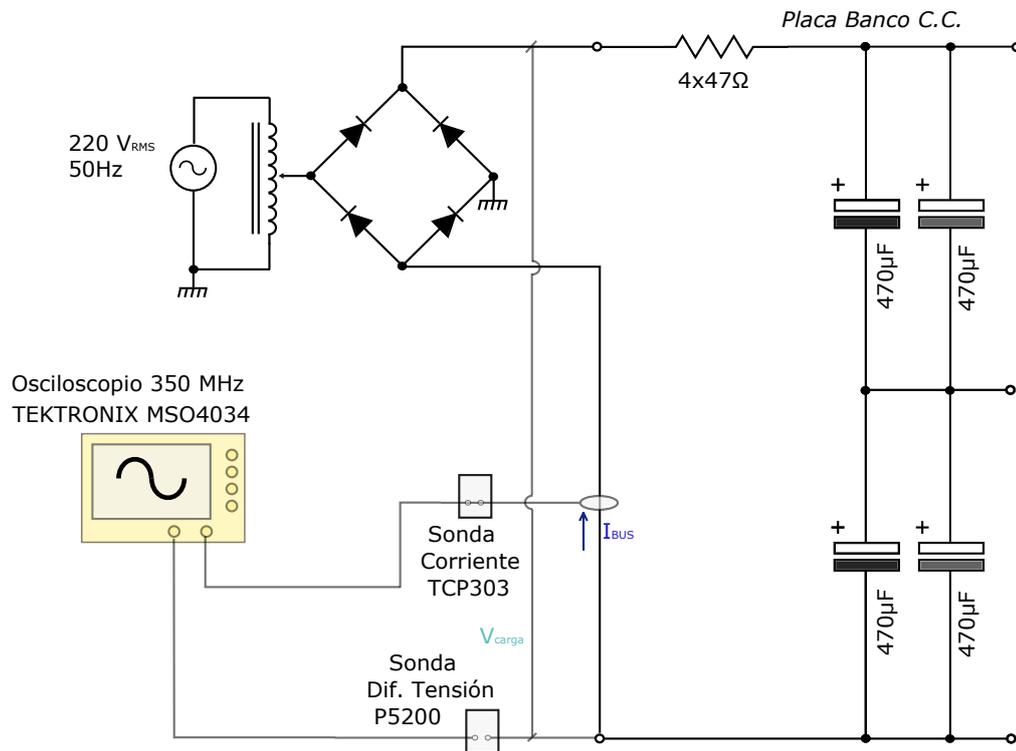


Figura 4.18: Esquema Conexión - Carga del Banco de Tensión C.C.

El equipamiento utilizado para las mediciones consiste de:

- Osciloscopio digital *Tektronix MSO4034*
- Sonda de Corriente *Tektronix TPC303* en conjunto con el amplificador *Tektronix TCPA300*, que acondiciona la señal y la envía al osciloscopio
- Sonda de Tensión Diferencial *Tektronix P5200*, ajustada con un factor de atenuación 1:50.

La corriente de carga del banco puede verse en el canal 1 de la figura 4.19, y está compuesta por pulsos de corriente, como resultado de la tensión rectificada de onda completa que alimenta al banco. En el canal 2, se muestra la tensión del banco entre los terminales DC+ y DC-. El tiempo en el que la tensión de banco alcanza el 63% del valor final es de 160 ms, comparados con los 172 ms obtenidos en las simulaciones 4.1.1. La diferencia es aceptable, teniendo en cuenta las tolerancias de los capacitores instalados y la resistencia del conexionado.

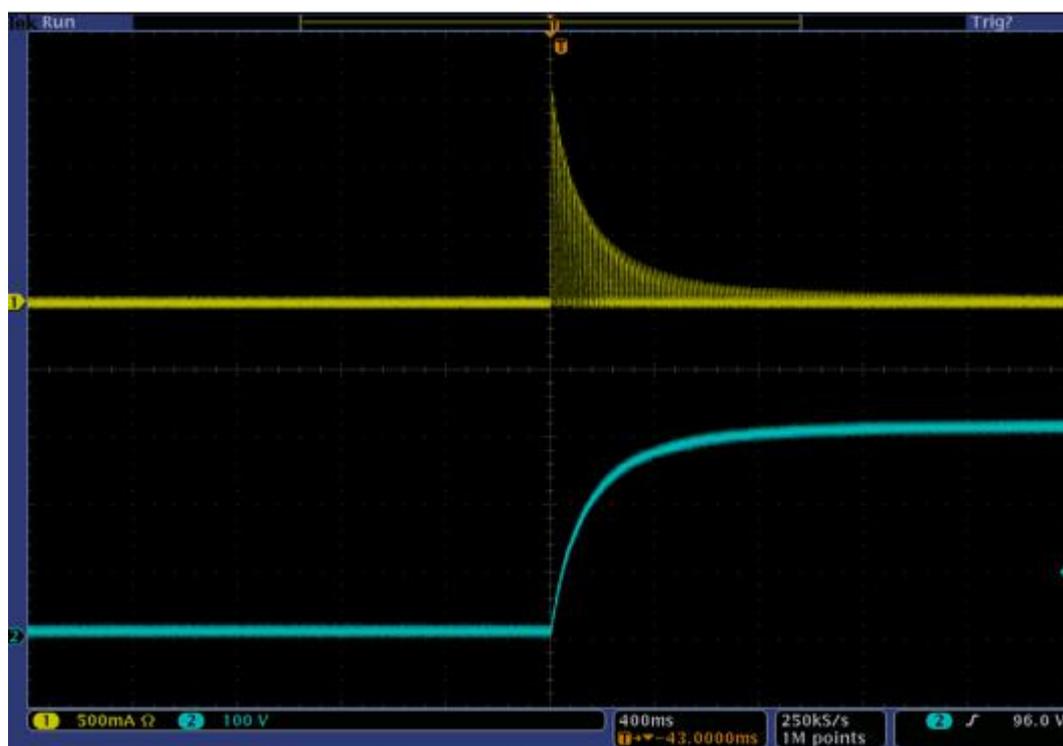


Figura 4.19: *Captura de Osciloscopio: Carga del Banco de CC. Canal 1: Corriente de Carga del Banco de CC. Canal 2: Tensión del Banco*

4.2.4. Carga Inductiva en Baja Potencia

Para la realización de esta prueba se utilizó una carga inductiva con $L=1.5$ mH y resistencia de bobinado $R=1.2\Omega$ entre los bornes de CA y el punto medio del banco de capacitores de corriente continua, el cual fue alimentado con dos fuentes de alimentación *Twintex TPW-6015* de 60 V 15 A en serie. En la figura 4.20 se muestra un esquema de conexión de la prueba. El índice de modulación inicial configurado en el DSP fue de 0.01, que luego se fue incrementando hasta obtener una corriente de 30 A_p.

Las figuras 4.21, 4.22 y 4.23 muestran las formas de onda de tensión (Canal 2) y corriente de carga (Canal 1) obtenidas con el osciloscopio, para distintos valores de índice de modulación. Adicionalmente en las últimas dos figuras, el canal M muestra la potencia instantánea de carga, utilizando una función matemática del osciloscopio para calcular el producto entre el canal 1 y el canal 2.

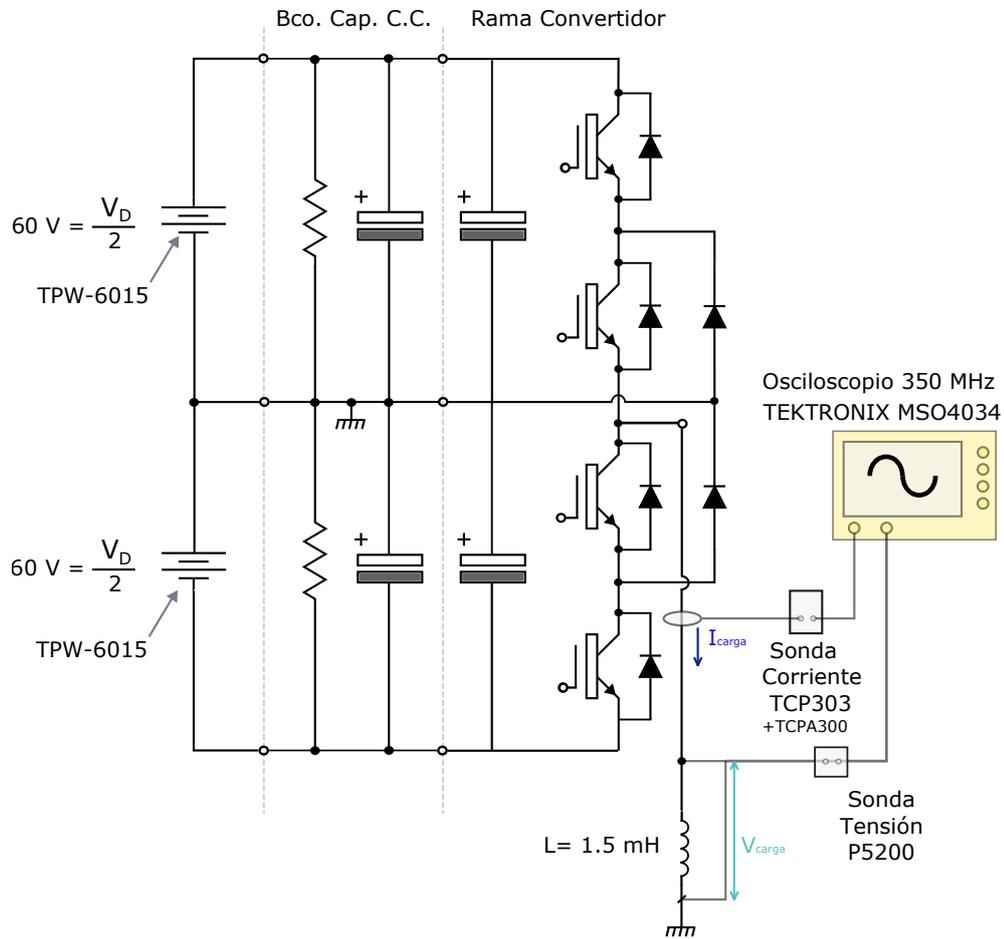


Figura 4.20: Esquema Banco de Mediciones Carga Inductiva - Tensión $\pm 60V_{cc}$

En la figura 4.21 se observan, en el Canal 2, los tres valores de tensión de salida posibles, entre los que predomina el estado neutro, debido al índice de modulación inicial bajo configurado ($m_a = 0,1$). Debido a esto, y tal como se desarrolló en la simulación correspondiente a este ensayo en la sección 4.1.2, se observa ausencia de pulsos en la tensión en la carga, debido a que los pulsos de entrada menores a 750 ns son suprimidos por el *driver*. Otra fuente de error en la implementación podría ser la baja resolución del PWM en el DSP utilizado. En consecuencia, la forma de onda de corriente, mostrada en el canal 1, es muy diferente a la obtenida en la figura 4.4.(b)

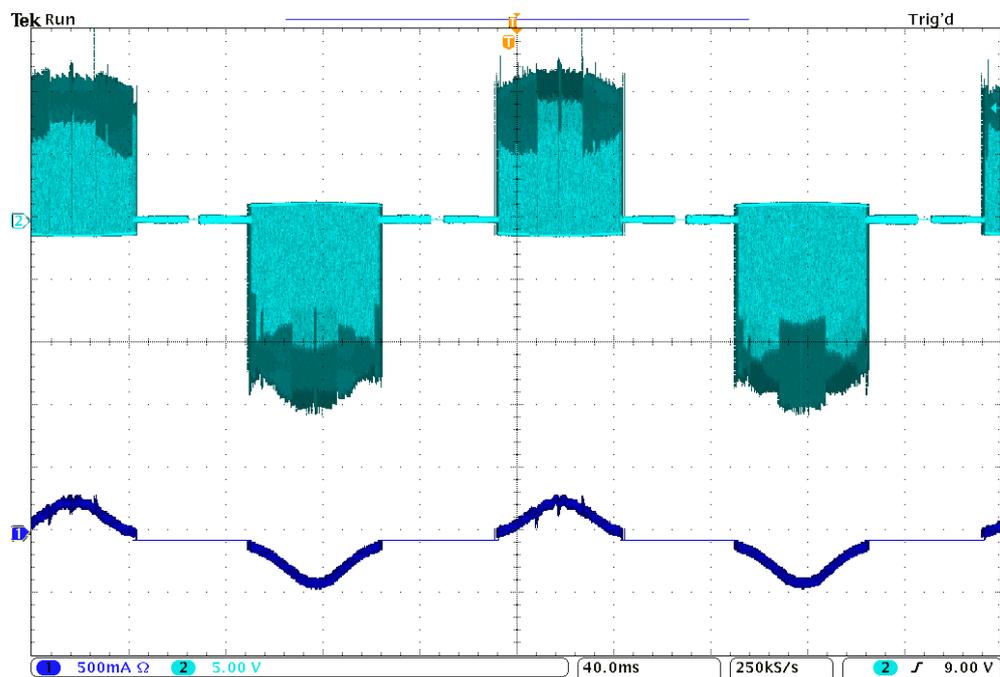


Figura 4.21: *Captura de Osciloscopio: Canal 1: Corriente de Carga. Canal 2: Tensión en la Carga - Carga Inductiva - Tensión $\pm 60V_{cc}$ - $m_a = 0,1$*

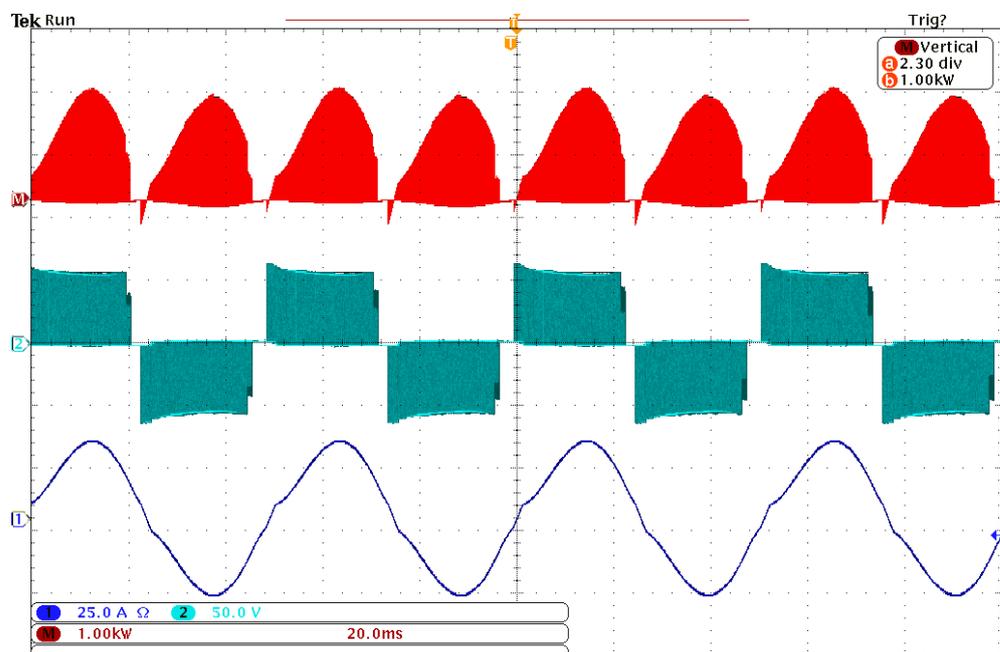


Figura 4.22: *Captura de Osciloscopio: Canal M: Potencia Instantánea. Canal 1: Corriente de Carga. Canal 2: Tensión en la Carga - Carga Inductiva - Tensión $\pm 60V_{cc}$ - $m_a = 0,3$*

En las figuras 4.22 y 4.23 se aprecian las formas de onda mencionadas para $m_a = 0,3$ y $m_a = 0,45$, respectivamente. El periodo de las señales es de 20 ms, lo que deriva en una frecuencia de salida de 50 Hz. En el canal 2 se observa un valor pico de corriente de carga de $58.75 A_{Pk}$, con frecuencia de 50 Hz. Esta onda presenta una ligera distorsión en las zonas de pendiente máxima y mínima, como consecuencia de la pérdida de pulsos mencionada anteriormente. Para $m_a = 0,45$ el efecto es menor que en $m_a = 0,3$, tal como se observa al comparar las dos señales. En el canal M, se observa una potencia instantánea negativa en algunos tramos de la señal: esto se debe al defasaje entre la tensión y corriente propio de la carga inductiva conectada. Por último, en la figura 4.23 se obtiene mediante el osciloscopio un índice de distorsión de la corriente CA de 5.24 %.

Comparando las capturas de pantalla del osciloscopio con los resultados de la simulación en la sección 4.1.2, se determina que las diferencias en las formas de onda de corriente y tensión son aceptables, y se valida el diseño para esta potencia y tipo de carga. Las principales fuentes de error son la baja resolución del PWM en el DSP utilizado y la pérdida de pulsos suprimidos por el *driver*, eventos que podrán ser solucionados mediante una apropiada estrategia de control a lazo cerrado.

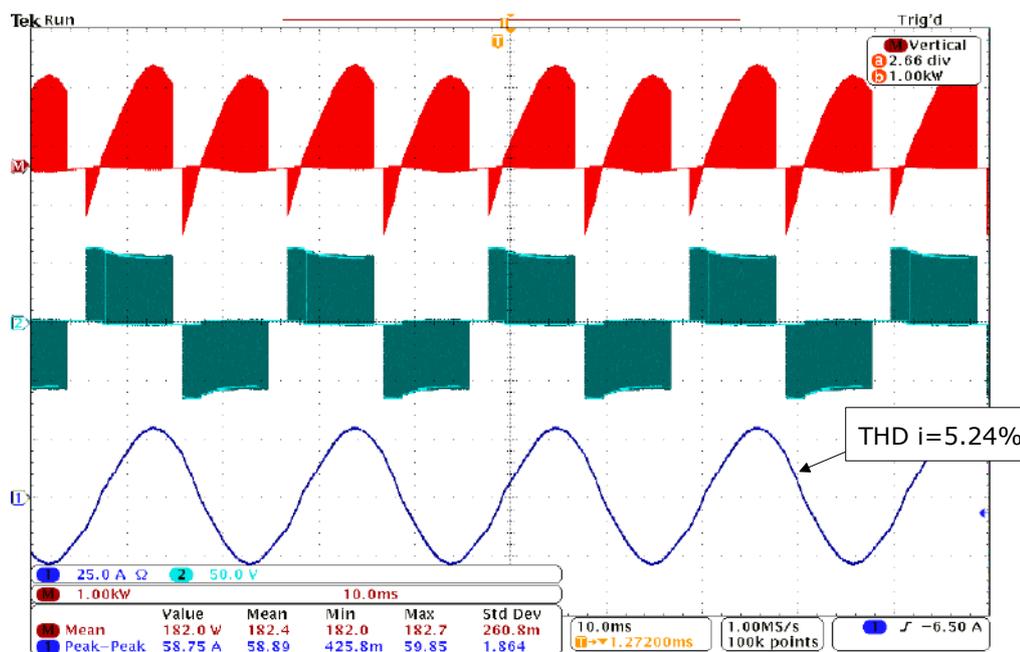


Figura 4.23: Captura de Osciloscopio: **Canal M**: Potencia Instantánea. **Canal 1**: Corriente de Carga. **Canal 2**: Tensión en la Carga - Carga Inductiva - Tensión $\pm 60V_{cc}$ - $m_a = 0,45$. Resultado $THD i[\%]=5.24\%$

En los siguientes ensayos se buscará aumentar la potencia de carga, para evaluar el funcionamiento del convertidor más cerca de su límite operativo. Es por ello que en lugar de las fuentes empleadas en este ensayo, se implementará una fuente de tensión c.c. que alimente al banco con tensiones mayores a 60 V.

4.2.5. Carga Resistiva

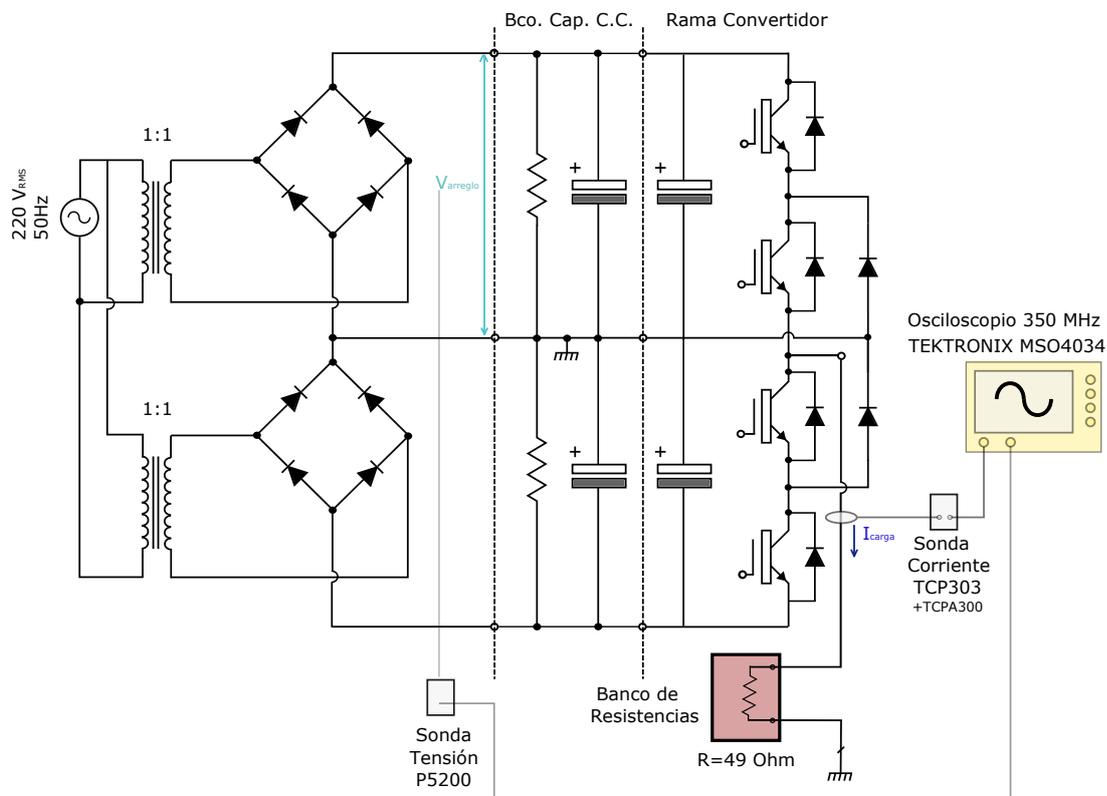


Figura 4.24: Esquema Banco de Mediciones Carga Resistiva - Tensión $\pm 300V_{cc}$

En este ensayo se utilizó una carga resistiva, y su objetivo fue evaluar el manejo de potencia activa en la salida del convertidor. Para ello fue necesario implementar una fuente de 2kW, dado que las fuentes comerciales disponibles son de inferior potencia o tensión. Esta fuente fue implementada con dos puentes de diodos, mediante módulos *SKD100/12* de *Semikron*, montados sobre disipadores. Los puentes de diodos, conectados en serie, fueron alimentados por dos transformadores de aislamiento monofásicos 1:1, de potencia nominal $S = 1\text{ kVA}$, conectados a la red eléctrica, de modo de poder obtener un tensión de entrada

en el banco de capacitores de $V_D = 600\text{ V}$, entre los terminales DC+ y DC-. El rectificador se muestra en los esquemas de conexión de las pruebas de la presente sección y la sección 4.2.5. En la figura 4.24 se muestra un esquema de conexión de la prueba. Se configuró un banco de resistencias para que resulte en una carga de $R = 49\ \Omega$, de modo que la potencia en la carga no supere la suma de las potencias nominales de los transformadores de aislamiento.

El índice de modulación inicial configurado en el DSP fue de 1, que luego se fue incrementando en pasos de 1, de modo de maximizar la potencia en la carga, hasta llegar a $m_a = 8$.

En la figura 4.25 se aprecian las formas de onda de tensión de uno de los arreglos del banco de capacitores y la corriente de carga obtenidas con el osciloscopio, en los canales 1 y 4, respectivamente.

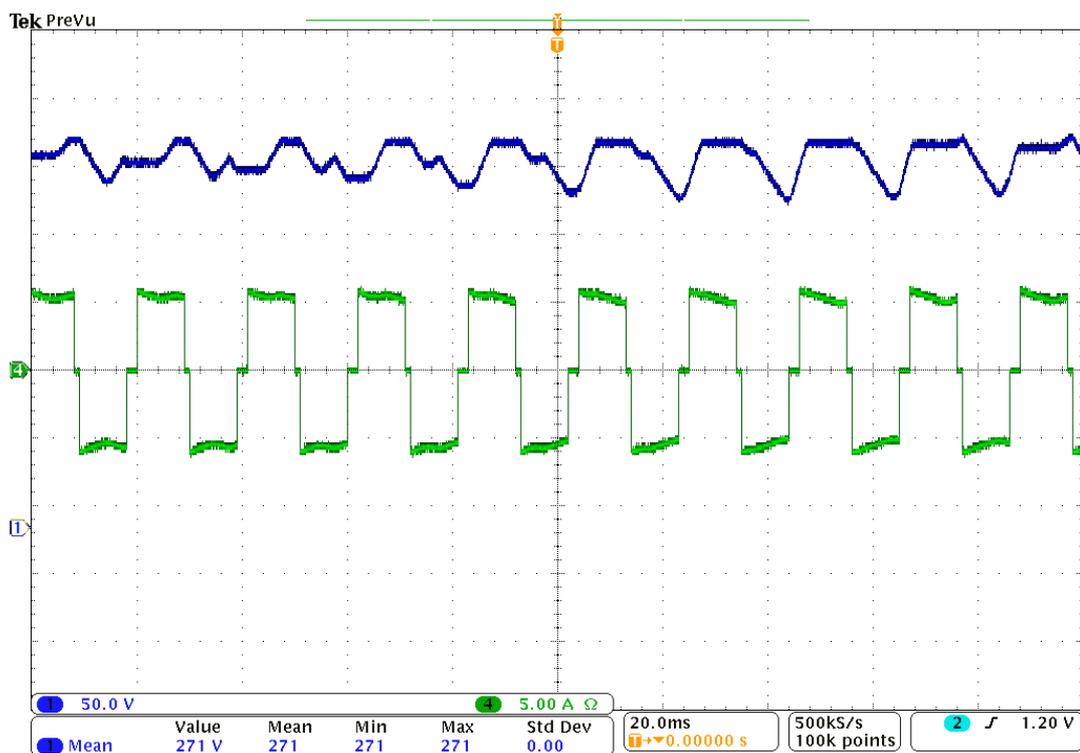


Figura 4.25: Carga Resistiva - Tensión $\pm 300\text{Vcc}$ - $m_a = 8$: **Canal 1**: Tensión de un arreglo de capacitores. **Canal 4**: Corriente de Carga

La corriente en la carga presenta un valor pico de 6 A, y un período de 20 ms, que corresponde a frecuencia de salida de 50 Hz. Se puede apreciar el bajo número de conmutaciones por ciclo, debido a la sobremodulación configurada con el objetivo de maximizar la potencia de salida de convertidor. Es por ello

que dominan los estados DC+, y DC- en las tensiones de salida de la carga. La tensión de uno de los arreglos del banco de capacitores presenta un valor máximo de 290 VDC, y un *ripple* de 30 V. Este último es producto de la carga y descarga del banco de capacitores y de la tensión rectificada de onda completa que alimenta al banco, tal como se explicó en la sección 4.1.3.

A partir de la comparación de las formas de onda de corriente obtenidas mediante osciloscopio, con los resultados de las simulaciones en la sección 4.1.3, se verifica el correcto funcionamiento para esta carga. Las desviaciones respecto a las simulaciones en la tensión del arreglo de banco se deben a las tolerancias de las capacidades de los condensadores, y a variaciones en la tensión de red eléctrica que alimenta el banco.

A continuación se repetirán las pruebas y mediciones con una carga inductiva, manteniendo el mismo banco de prueba y por lo tanto, la tensión de CC.

4.2.6. Carga Inductiva

El banco de pruebas configurado fue mismo que se implementó en la sección anterior, compuesto por los puentes de diodos en serie, alimentados por transformadores de aislamiento, como muestra el esquema de conexión de la figura 4.26.

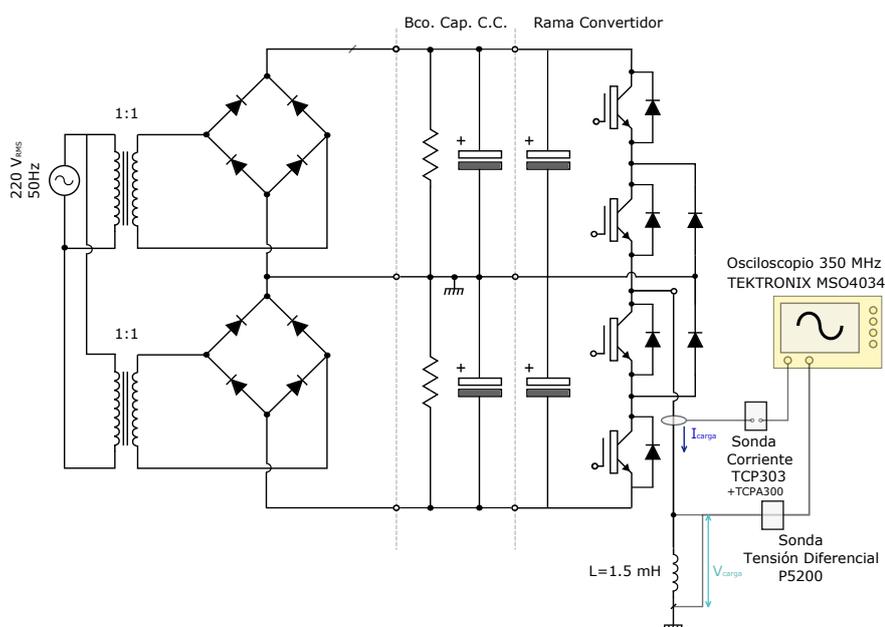


Figura 4.26: Esquema Banco de Mediciones Carga Inductiva - Tensión $\pm 300V_{cc}$

El equipamiento utilizado para las mediciones consistió de:

- Osciloscopio digital *Tektronix MSO4034B*
- Sonda de Corriente *Tektronik TCP303* en conjunto con el amplificador Tektronik TCPA300, que acondiciona la señal y la envía al osciloscopio
- Sonda de Tensión Diferencial *Tektronik P5200*, ajustada con un factor de atenuación 1:50.

El índice de modulación inicial configurado en el DSP fue de 0.01, que luego se fue incrementando hasta obtener una corriente por los inductores de $20 A_{rms}$. Las pruebas se finalizaron hasta que la temperatura exterior de las bobinas fue de 55°C para evitar que se destruyan.

Las figuras 4.27 y 4.28 muestran las formas de onda de tensión y corriente de carga obtenidas en el osciloscopio, mediante los canales 1 y 4, respectivamente, para $m_a = 0,13$ y $m_a = 0,15$.

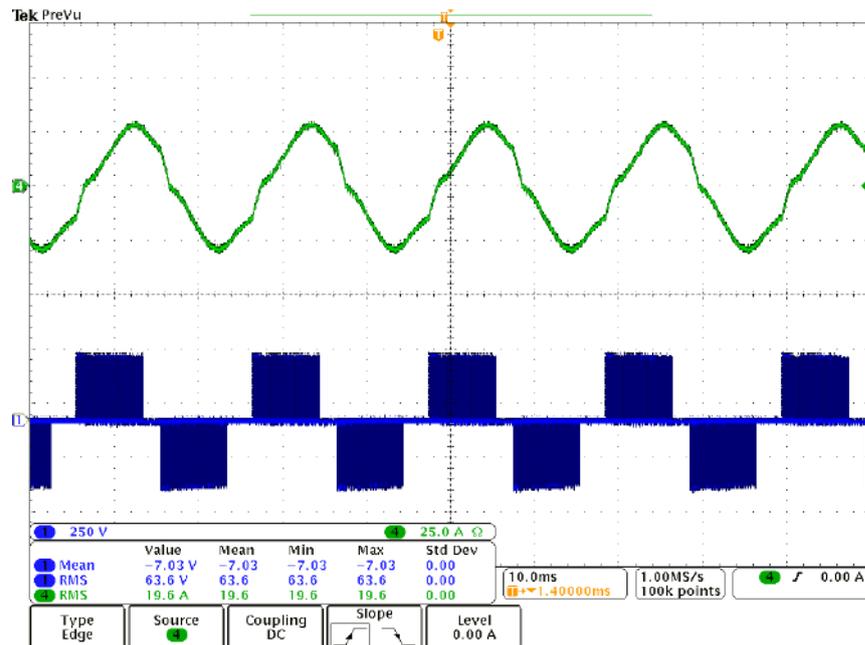


Figura 4.27: Captura Osciloscopio: Carga Inductiva - Tensión $\pm 300\text{Vcc}$ - $m_a = 0,13$. **Canal 1:** Tensión de Carga. **Canal 4:** Corriente de carga

En el canal 1 se observan los tres niveles de tensión: 300 V , 0 V y -300 V . Se observan zonas donde predomina el estado nulo, por el índice de modulación bajo. Se aprecia un periodo de las señales de 20 ms , que corresponde a una frecuencia

en la salida de 50 Hz. Esta frecuencia coincide con la configurada en la señal modulante programada en el DSP. En las capturas del osciloscopio, se observa cierta distorsión en las zonas de máxima y mínima pendiente de la onda de corriente; esto se debe a la baja resolución del PWM del DSP, a la pérdida de pulsos como se analizó mediante simulaciones en la sección 4.1.4, y a los tiempos muertos requeridos por las llaves, ejecutados por el *drivers*.

Sin embargo, los valores pico-pico de corrientes de carga coinciden para las dos configuraciones establecidas; verificando de este modo el correcto funcionamiento del convertidor para corrientes próximas a la nominal de diseño. El índice de distorsión de la señal de corriente es $THDi[\%] = 8,69 \%$.

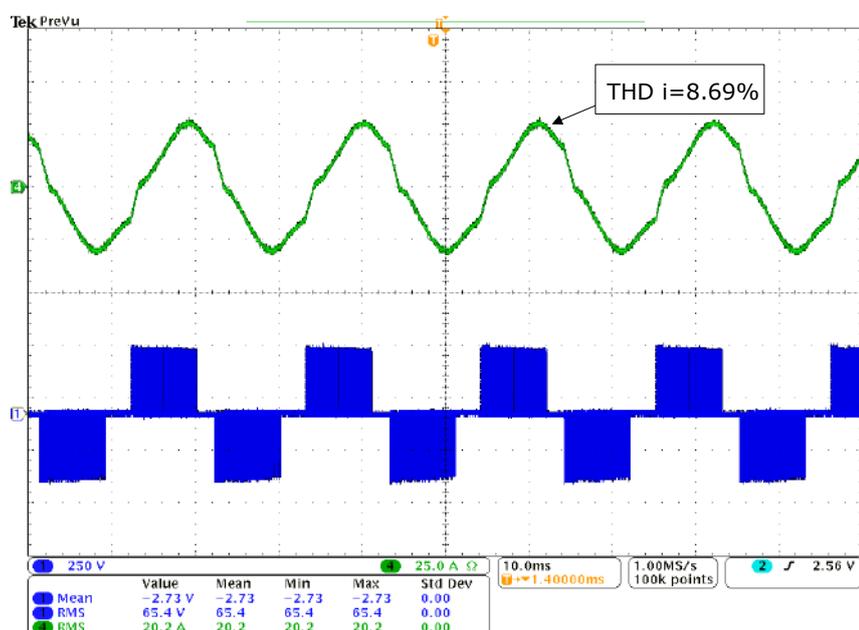


Figura 4.28: *Captura Osciloscopio: Carga Inductiva - Tensión $\pm 300V_{cc}$ - $m_a = 0,15$. Canal 1: Tensión de carga. Canal 4: Corriente de carga*

4.2.7. Resultados Experimentales

En esta sección se resumen los resultados experimentales obtenidos en las pruebas de la sección anterior:

- Las resistencias de compuerta óptimas para la aplicación son: $R_{on}=4.75\Omega$ y $R_{off}=10\Omega$
- Los tiempos muertos impuestos por los *drivers Skyper 32* resultan de $2,94\mu S$, tal como lo especifica el fabricante en sus hojas de datos.
- El banco de capacitores CC alcanza el 63 % del valor final de tensión nominal en un tiempo de 172 ms, si se lo alimenta con un rectificador de onda completa.
- Para una carga inductiva $L=1.5$ mH y $R=1.2\Omega$, y una alimentación del banco mediante dos fuentes de cc de 60 V, la tensión CA presenta tres niveles posibles: 60 V, 0 V y -60 V. La corriente CA presenta una forma de onda sinusoidal de 50 Hz, y su amplitud es función del índice de modulación configurado. El índice de distorsión de la señal de corriente es $THDi[\%]=5.24$ %.
- Para valores bajos de índice de modulación, los pulsos menores a 750nS son suprimidos por el *driver Skyper 32*.
- Para una carga $R=49\Omega$, y una alimentación del banco mediante dos puentes de diodos conectados en serie a la red eléctrica, la corriente CA presenta tres niveles posibles: 6A, 0 y -6A. El banco de capacitores CC presenta variaciones de tensión de $\pm 30V$ debido a la rectificación implementada.
- Para una carga inductiva $L=1.5$ mH y $R=1.2\Omega$ y una alimentación del banco mediante dos puentes de diodos conectados en serie a la red eléctrica, la tensión CA presenta tres niveles posibles: 300 V, 0 V y -300 V. Para índices de modulación próximos a 0.1, la corriente resulta en una onda sinusoidal de frecuencia 50 Hz y amplitud $20A_{RMS}$. Esta presenta distorsiones en su forma de onda, debido a la supresión de pulsos ejecutada por el *driver* al trabajar con índices de modulación bajos y a los tiempos muertos. Para esta prueba, el índice de distorsión de la señal de corriente registrado por el osciloscopio es $THDi[\%]=8.69$ %.

Capítulo 5

Conclusiones

Se diseñó y construyó un convertidor de tres niveles con diodos de enclavamiento a neutro, o NPC, utilizando módulos de IGBTs. Siendo una topología que aún no es estándar en la industria local, se pudo desarrollar el prototipo con un costo relativamente bajo ¹, en el Laboratorio de Instrumentación y Control de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata.

Se describieron los criterios tenidos en cuenta para el diseño, de acuerdo a los requisitos planteados inicialmente. Luego se seleccionaron los componentes, desde un punto de vista técnico-económicos. Se destaca la utilización de módulos en las ramas de conmutación, pues resultó en un diseño más compacto y un montaje sencillo. En base a estos componentes, se diseñaron las placas de circuito impreso o *PCBs*, permitiendo una construcción robusta y confiable. Resultó un proceso de mejora continua, partiendo de una única gran placa que incluyera todo el sistema, hasta concluir en un concepto modular que integra los elementos de sensado de tensión y corriente requeridos para la inyección de corriente a la red eléctrica.

La fabricación del PCB fue desarrollada en la ciudad de Mar del Plata: las limitaciones del fabricante tuvieron que ser tenidas en cuenta en su diseño, pero al mismo tiempo, se redujeron tiempos y costos que hubiesen derivado de la fabricación en el exterior. Sin embargo, los componentes seleccionados sí debieron ser importados, lo que alargaron el tiempo entre el diseño del PCB y la construcción y posterior verificación del prototipo.

En cuanto al diseño térmico, los disipadores seleccionados cumplen holgadamente los requisitos para su operación nominal. Se recurrió a una alternativa nacional, de perfil similar pero mayor longitud, capaz de evacuar las pérdidas

¹Ver Apéndice D: Costos de Componentes

incluso en situaciones críticas de sobrecarga. Las pruebas durante la validación experimental fueron a potencias reducidas, cercanas al 20% de la potencia nominal del convertidor, por lo que las pérdidas generadas por las llaves eran muy bajas como para registrar variaciones significativas en el termistor integrado en las ramas, lo que imposibilitó obtener un perfil de temperaturas en función del tiempo de operación.

Fueron simulados tanto el convertidor diseñado como uno convencional de dos niveles, con el fin de comparar formas de onda de salida y contenidos armónicos propios de cada topología. Se verificó en este entorno las ventajas propias del convertidor en cuanto a tensiones que debe soportar cada dispositivo semiconductor, formas de onda de tensión y corriente, y contenidos armónicos.

La validación experimental del convertidor fue desarrollada en su modo de inversor, de una rama a la vez, debido a las limitaciones de potencia disponible en la fuente de alimentación del banco de capacitores. Se construyó, con los elementos disponibles en el LIC, un circuito rectificador que permita alimentar al banco con una tensión total de 600 V, con acceso al punto medio, a partir de dos puentes rectificadores en serie. La conexión al punto medio es obligatorio en un control a lazo abierto por la imposibilidad de controlar el balance de las tensiones del banco, factor que sí podrá ser regulado mediante una técnica de control a lazo cerrado en un futuro. Se utilizó una estrategia de conmutación PWM, destacando su simplicidad y efectividad en la implementación.

Se crearon bancos de prueba, para cargas resistivas e inductivas, y con distintos niveles de tensión del banco de capacitores. Este prototipo presentó en la práctica un comportamiento equivalente al obtenido mediante simulación en cuanto a forma de onda y valores de tensiones y corrientes de carga.

5.1. Trabajos Futuros

El trabajo realizado en este proyecto final de grado representa una base para la continuación del estudio y desarrollo de sistemas de inyección de energías renovables a la red eléctrica. Se propone en primer lugar, la implementación de un sistema de control a lazo cerrado. El diseño y construcción del convertidor tuvo en cuenta los elementos de sensados necesarios para ello. Mediante una técnica de control a lazo cerrado, se podrá controlar el desbalance de los capacitores y

reducir el contenido armónico en las corrientes de inyección. Finalmente, resultaría interesante evaluar al convertidor ante potencias próximas a la nominal, y verificar el comportamiento de los elementos disipativos seleccionados.

Referencias

- [1] National Renewable Energy Laboratory(NREL). Renewable Electricity Futures Study: Exploration of High-Penetration Renewable Electricity Futures. <http://www.nrel.gov/docs/fy12osti/52409-1.pdf>, 2012.
- [2] German Federal Ministry for Economic Affairs and Energy (BMWi). The Energy of the Future: Fourth Energy Transition Monitoring Report. https://www.bmwi.de/Redaktion/DE/Downloads/V/vierter-monitoring-bericht-energie-der-zukunft-kurzfassung-englisch.pdf?__blob=publicationFile&v=11, 2015.
- [3] Eurostat News Release. Share of renewables in energy consumption in the EU rose further to 16% in 2014. <http://ec.europa.eu/eurostat/documents/2995521/7155577/8-10022016-AP-EN.pdf/38bf822f-8adf-4e54-b9c6-87b342ead339>, 2016.
- [4] The Huffington Post. Embracing Renewable Energy in the U.S.: Following Iceland’s Lead. http://www.huffingtonpost.com/ef-education-first/embracing-renewable-energ_b_10973174.html, 2016.
- [5] Compañía Administradora del Mercado Mayorista Eléctrico S.A. Informe anual 2015. <http://portalweb.cammesa.com/documentos%20compartidos/informes/informe%20anual%202015.pdf>, 2016.
- [6] Ministerio de Energía y Minería. Ley N° 27.191: Régimen de Fomento Nacional para el uso de Fuentes Renovables de Energía Destinada a la Producción de Energía Eléctrica, Decreto 531/2016. www.cac.com.ar/data/documentos/19_Ley%2027%20191.pdf, 2016.
- [7] Ned Mohan and Tore M Undeland. *Power Electronics: Converters, Applications, and Design*. John Wiley & Sons, 2007.
- [8] Akira Nabae, Isao Takahashi, and Hirofumi Akagi. A New Neutral-point-clamped PWM Inverter. *IEEE Transactions on industry applications*, 1981.
- [9] D Grahame Holmes and Thomas A Lipo. *Pulse width modulation for power converters: principles and practice*. John Wiley & Sons, 2003.

- [10] Markus Hermwille. Gate resistor: Principles and applications. Technical report, Semikron Application Note 7003, 2007.
- [11] Tamara Schmitz and Mike Wong. Choosing and using bypass capacitors. Technical report, Intersil Application Note, 2011.
- [12] M. Benedetti, D. Calcoen, J. Rovira, W. Kloster, J. Lorenzo, R. Petrocelli, and G. Uicich. *Control de la Interferencia Electromagnética*. Asociación Argentina de Control Automático, 2000.
- [13] Institute for Interconnecting and Packaging Electronic Circuits. Generic Standard on Printed Board Design: IPC-2221, 1998.
- [14] Jaime Castelló Moreno. Aportaciones a los sistemas de control de convertidores trifásicos para la generación de energía eléctrica a partir de fuentes renovables. Master's thesis, Universidad de Valencia, 2010.

Apéndice A

Cálculos para el Banco de Capacitores

En los sistemas de generación a partir de fuentes de energías renovables, que utilizan una topología *back-to-back* para acondicionar las formas de onda de tensión y corriente, el banco de capacitores CC tiene un papel fundamental. Estos condensadores son una parte delicada del sistema: limitan el tiempo de vida media del equipo y son voluminosos y caros. Mediante su diseño, y aprovechando las velocidades de respuestas altas del sistema de control asociado a la inyección, se busca minimizar el valor de la capacidad del banco en función de especificaciones de rizado impuestas, manteniendo márgenes amplios de estabilidad y buena velocidad de respuesta. En esta sección se desarrollarán los cálculos de dos parámetros necesarios para la selección de los capacitores del banco de este proyecto: *Capacidad Mínima* y *Corriente Ripple a frecuencia de conmutación*. Para el cálculo de capacidad mínima, se recurre a control optimizado propuesto en [14], en los Capítulos 5 y 6. Se resume el modelo implementado, para luego aplicar el método de acuerdo a las especificaciones concretas de este proyecto.

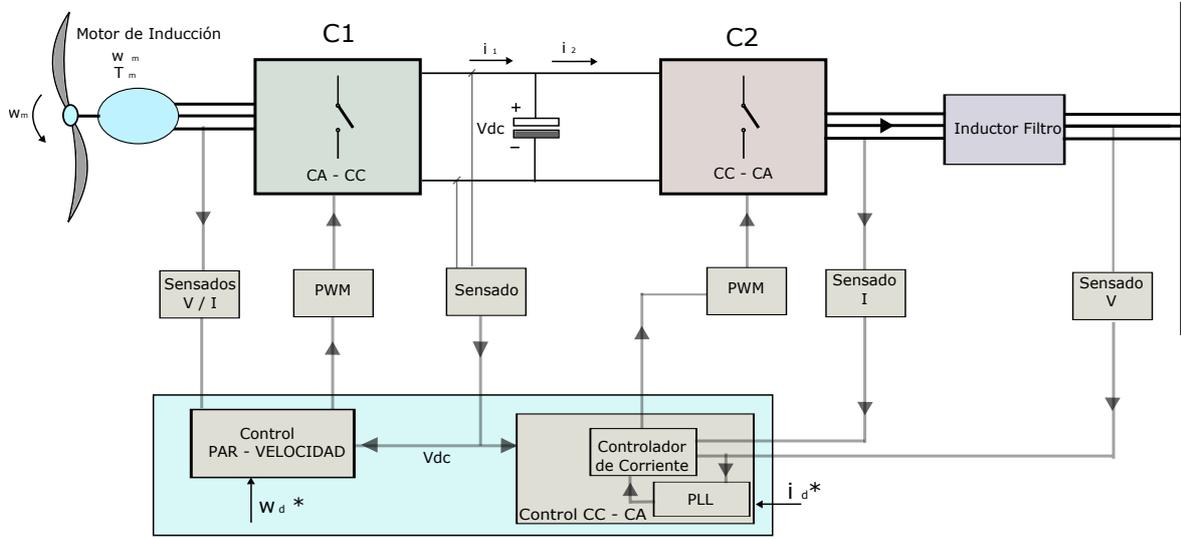


Figura A.1: Sistema de Generación Eólica - Topología "Back to Back"

A.1. Capacidad Mínima

La figura A.1 muestra la estructura *back to back* que suele ser utilizada para configurar un sistema de generación a partir de fuentes de energías renovables. Está compuesta por un convertidor $C1$, o rectificador, manejado, en este caso, por un control vectorial indirecto par-velocidad encargado de maximizar la potencia extraída del generador. Este convertidor actúa como una fuente de corriente variable i_1 , en función de la velocidad de giro del generador w_m y el par mecánico T_m en el eje, producto de la acción del recurso renovable. Esta corriente alimenta un banco de condensadores C de corriente continua, de tensión V_{DC} . La potencia eléctrica obtenida viene dada por (A.1), donde η es el rendimiento total del conjunto convertidor-generador.

$$P_E = \eta \cdot T_m \cdot w_m \quad (\text{A.1})$$

La corriente i_1 es función de la potencia eléctrica y de la tensión del banco, de acuerdo a (A.2)

$$i_1 = \frac{P_E}{V_{DC}} \quad (\text{A.2})$$

Por otro lado, el convertidor trifásico C_2 es el encargado de inyectar a la red eléctrica la potencia generada. Se comporta como una fuente de corriente i_2 ,

controlada por una referencia i_d^* , entrada que define la amplitud de la corriente de inyección.

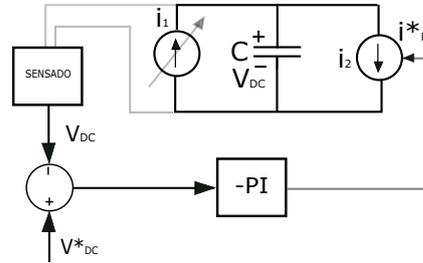


Figura A.2: Diagrama bloques equivalente - Sistema con Regulación de la tensión del banco CC

Para garantizar la estabilidad del conjunto y maximizar la transferencia de energía, la tensión del banco CC debe estar regulada: si se mantiene estable en un valor mínimo que permita el funcionamiento del inversor C_2 , entonces $i_2 \approx i_1$, lo que significa que toda la potencia extraída será inyectada a la red eléctrica.

La figura A.2 muestra el diagrama de bloques equivalente del sistema con regulación de la tensión del banco CC. A partir del valor de tensión instantánea del bus V_{DC} , obtenida mediante sensado, se obtiene una señal de error con respecto a la tensión de referencia V_{DC}^* . El error es aplicado a un controlador PI, que proporcionará la corriente de referencia i_d^* que gobernará al inversor C_2 .

Suponiendo un rendimiento ideal del inversor, por balance de potencia se cumple que:

$$i_2 \cdot V_{DC} = 3 \cdot \frac{\cdot V_G}{\sqrt{2}} \cdot \frac{i_d}{\sqrt{2}}, \quad (\text{A.3})$$

donde i_d y V_G son las amplitudes pico de fase, de la corriente y la tensión de red eléctrica, respectivamente.

Despejando la corriente rectificadora del rectificador:

$$i_2 \cdot V_{DC} = 3 \cdot \frac{\cdot V_G}{\sqrt{2}} \cdot \frac{i_d}{\sqrt{2}} \quad (\text{A.4})$$

A partir de la figura A.2 y las expresiones (A.3) y (A.4), y considerando una velocidad de respuesta del control del inversor mucho mayor que la dinámica del generador y su control, se obtiene el modelo de gran señal, donde Z_C es la impedancia del capacitor del banco, como se observa en la figura A.3.

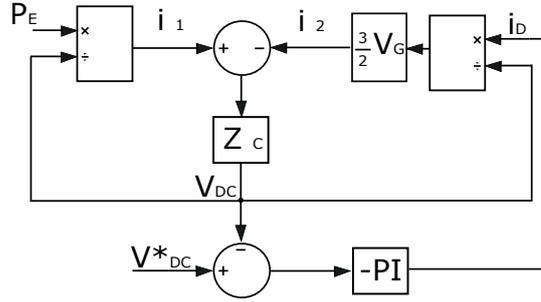


Figura A.3: Modelo de Gran Señal

Para diseñar el control optimizado, se recurre al modelo de pequeña señal de la figura A.4, que se deduce del modelo de gran señal y fijando un determinado punto de operación de tensión de de banco V_{DC} . En la figura A.4 el bloque g responde a A.5

$$g = \frac{3 \cdot V_G}{2 \cdot V_{DC}} \quad (\text{A.5})$$

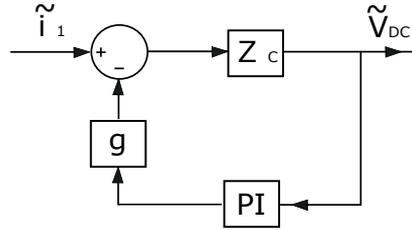


Figura A.4: Modelo de Pequeña Señal

En el modelo de pequeña señal se desprecia la componente resistiva del capacitor C ; ésta introduce un cero, no dominante, a altas frecuencias. Luego, la función transferencia de la planta $G(s)$ se reduce a

$$G(s) = Z_C = \frac{1}{C \cdot s} \quad (\text{A.6})$$

Siendo K_I y K_P respectivamente la ganancia integral y la ganancia proporcional del controlador PI, y $w_z = \frac{K_I}{K_P}$, la función transferencia de la retroalimentación está dada por:

$$H(s) = g \cdot \left(K_P + \frac{K_I}{s} \right) = g \cdot K_P \left(\frac{s + w_z}{s} \right) \quad (\text{A.7})$$

Luego la ganancia de lazo del sistema es el producto de (A.6) y (A.7), y resulta

$$GH(s) = \frac{g \cdot K_P}{C} \frac{s + w_z}{s^2} \quad (\text{A.8})$$

La figura muestra los diagramas de bode de $GH(s)$, $H(s)$ y $G(s)$ simultáneamente. En el primero, indica que la frecuencia de corte w_c debe situarse por encima de la frecuencia w_z , para que quede localizada en una zona con pendiente -20dB/dec .

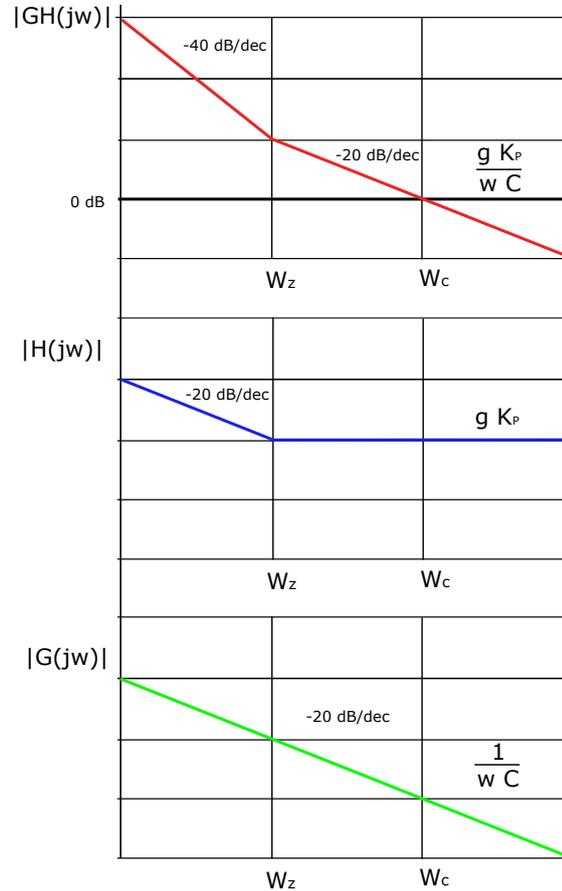


Figura A.5: Diagramas Bode, en módulo, de $GH(s)$, $H(s)$ y $G(s)$

De acuerdo al modelo propuesto, la impedancia de entrada del banco $\tilde{Z}_i(s)$ es la ganancia a lazo cerrado.

$$F(s) = \frac{\tilde{V}_{DC}}{\tilde{i}_1} = \tilde{Z}_i(s) \quad (\text{A.9})$$

El diagrama de bode de lazo cerrado puede ser obtenido, de manera aproximada, a partir de los diagramas de bode anteriores, sabiendo que:

$$|F(jw)| = |\tilde{Z}_i(s)| \approx \begin{cases} \frac{1}{|H(jw)|} \leftarrow w < w_c \\ |G(jw)| \leftarrow w > w_c \end{cases} \quad (\text{A.10})$$

Luego se obtiene desde la figura A.5, y se muestra en la figura A.6.

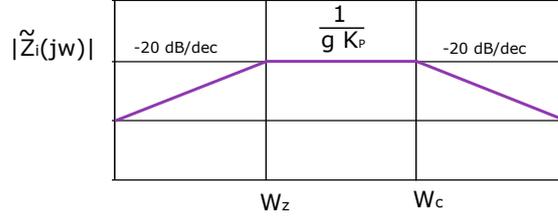


Figura A.6: Diagramas Bode, en módulo, de la Impedancia de Entrada del Bus CC en lazo Cerrado)

A partir del diagrama de bode A.6, se obtiene la función de transferencia correspondiente:

$$\tilde{Z}_i(s) = \frac{w_c}{g \cdot K_p} \left(\frac{s}{s + w_z} \right) \left(\frac{1}{s + w_c} \right) \quad (\text{A.11})$$

El tiempo de establecimiento de la tensión $\tilde{V}_{DC}(s)$ ante una variación de $\tilde{i}_1(s)$ está determinado por su polo dominante w_z siendo

$$t_s = \frac{4}{w_z} \quad (\text{A.12})$$

Para estudiar la evolución de $\tilde{V}_{DC}(t)$ se impone una variación crítica de corriente $\tilde{i}_1(t)$, aplicando un salto escalón y de amplitud $i_{1(MAX)}$ igual a la máxima corriente instantánea de C_1 . Esta condición, en el dominio de Laplace, puede expresarse como:

$$\tilde{V}_{DC}(s) = \frac{i_{1-MAX}}{s} \cdot \tilde{Z}_i(s) \quad (\text{A.13})$$

Luego, reemplazando (A.11) en (A.13) y descomponiendo en fracciones simples se convierte en

$$\tilde{V}_{DC}(s) = \frac{i_{1(MAX)} \cdot w_c}{g \cdot K_p} \left(\frac{1}{s + w_z} \right) \left(\frac{1}{s + w_c} \right) = \frac{i_{1(MAX)} \cdot w_c}{g \cdot K_p \cdot (w_c - w_z)} \left(\frac{1}{s + w_z} - \frac{1}{s + w_c} \right) \quad (\text{A.14})$$

Aplicando la transformada inversa sobre (A.14), se obtiene la respuesta transitoria del sistema ante un escalón de corriente de amplitud máxima ($i_{1(MAX)}$):

$$\tilde{V}_{DC}(t) = \frac{i_{1(MAX)} \cdot w_c}{g \cdot K_p \cdot (w_c - w_z)} (e^{-w_z t} - e^{-w_c t}) \quad (\text{A.15})$$

Derivando la expresión (A.15) respecto al tiempo, e igualando (A.16) a cero, se obtiene el tiempo $t = t_m$ que maximiza la tensión del banco

$$\frac{d}{dt}\tilde{V}_{DC}(t) = -w_z \cdot t \cdot e^{-w_z t} + w_c \cdot t \cdot e^{-w_c t} = 0 \quad (\text{A.16})$$

$$t_m = \frac{1}{w_c - w_z} \cdot \ln \frac{w_c}{w_z} \quad (\text{A.17})$$

Luego, el valor máximo de tensión que alcanzará el banco se obtiene mediante A.15 haciendo $t = t_m$:

$$\Delta\tilde{V}_{DC} = \tilde{V}_{DC}(t_m) = \frac{i_{1(MAX)} \cdot w_c}{g \cdot K_P \cdot (w_c - w_z)} \left(e^{\frac{-w_z}{w_c - w_z} \cdot \ln \frac{w_c}{w_z}} - e^{\frac{-w_c}{w_c - w_z} \cdot \ln \frac{w_c}{w_z}} \right) \quad (\text{A.18})$$

Definiendo $\gamma = \frac{w_c}{w_z}$, teniendo en cuenta que $i_{1(MAX)} = \Delta\tilde{i}_1$ y operando, la ecuación (A.18) se convierte en:

$$\Delta\tilde{V}_{DC} = Z_{i(MAX)} \cdot f(\gamma) \cdot \Delta\tilde{i}_1 \quad (\text{A.19})$$

donde

$$f(\gamma) = \frac{\gamma}{\gamma - 1} \cdot \left(\gamma^{\frac{-1}{\gamma-1}} - \gamma^{\frac{-\gamma}{\gamma-1}} \right) \quad (\text{A.20})$$

y

$$Z_{i(MAX)} = \frac{1}{g \cdot K_P} = \frac{1}{C \cdot w_c} \quad (\text{A.21})$$

Finalmente la ecuación (A.19) permite conocer la desviación máxima de la tensión del banco CC, respecto a su valor nominal, provocada por una variación de corriente $\Delta\tilde{i}_1$, de pendiente y amplitud máxima, en función del valor del condensador C y de los parámetros de diseño γ y w_c .

El parámetro w_c está limitado por el período de muestreo T empleado en el diseño discreto. Para asegurar la estabilidad del sistema, la frecuencia de cruce w_c debe estar alejada de la mitad de la frecuencia de muestreo $f_m = \frac{1}{T}$,

$$\frac{w_c}{2\pi} \ll \frac{f_m}{2} = \frac{1}{2T} \quad (\text{A.22})$$

Generalmente se utiliza un criterio, cumpliendo una relación holgada, seleccionando

$$w_c = \frac{1}{10T} \quad (\text{A.23})$$

El parámetro $\gamma = \frac{w_c}{w_z}$ define la distancia entre w_c y w_z . Como la frecuencia de cruce se impone por la expresión (A.23), γ definirá la posición de w_z , y por lo tanto, el tiempo de establecimiento de la tensión. Un criterio bastante habitual consiste en seleccionar una separación de una década entre w_z y w_c , es decir, $\gamma = 10$.

A continuación se procede a definir las condiciones deseadas en el banco de capacitores CC a diseñar en este proyecto.

A.1.1. Diseño Propuesto

El método consiste en la obtención del valor mínimo de capacidad del capacitor C , para que se cumplan especificaciones deseadas de rizado de tensión $\Delta\tilde{V}_{DC}$ para un máximo incremento de corriente $\Delta\tilde{i}_1$, definiendo el período de muestreo T y el parámetro γ .

Como punto de partida se fija un tiempo de muestreo $T = 100 \mu S$. Reemplazando en la ecuación (A.23), se obtiene una frecuencia de cruce

$$w_c = \frac{1}{10 \cdot 100 \mu S} = 100 \frac{\text{rad}}{\text{s}} \quad (\text{A.24})$$

Luego se elige un $\gamma = 10$, y mediante (A.20) se obtiene $f(\gamma = 10) = 0,7743$.

Se define una potencia de entrada $P_e = 27KW$ y una tensión de trabajo del banco de capacitores $V_{DC} = 900V$. Luego el máximo incremento de corriente posible, se obtiene mediante (A.2)

$$\Delta\tilde{i}_1 = \frac{27KW}{900} = 30 \text{ A} \quad (\text{A.25})$$

El rizado máximo que se desea permitir en la tensión del banco es del 6% del valor nominal, luego

$$\Delta\tilde{V}_{DC} = 0,06 \cdot V_{DC} = 54 \text{ V} \quad (\text{A.26})$$

Despejando la impedancia en (A.19) y reemplazando

$$Z_{i(MAX)} = \frac{\Delta\tilde{V}_{DC}}{f(\gamma) \cdot \Delta\tilde{i}_1} = \frac{54V}{0,7743 \cdot 30A} = 2,325 \quad (\text{A.27})$$

Finalmente la capacidad mínima total del banco de capacitores se obtiene despejando C de la ecuación (A.21):

$$C = \frac{1}{Z_{i(MAX)} \cdot w_c} = \frac{1}{2,325 \cdot 1000} = 430 \mu\text{F} \quad (\text{A.28})$$

A.2. Corriente de Ripple

En esta sección se desarrollan los cálculos necesarios para encontrar el valor de corriente alterna a la frecuencia de conmutación presente en el banco de capacitores CC, un parámetro clave en la selección de los mismos.

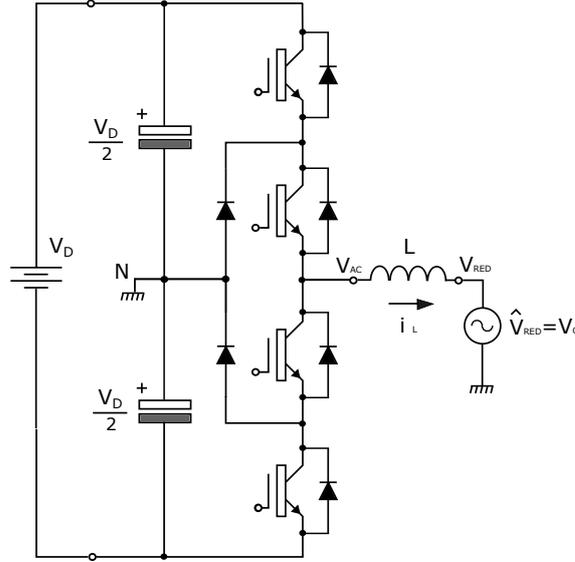


Figura A.7: Esquema Conexión de Rama Convertidor NPC para Inyección a una Fase de la Red Eléctrica

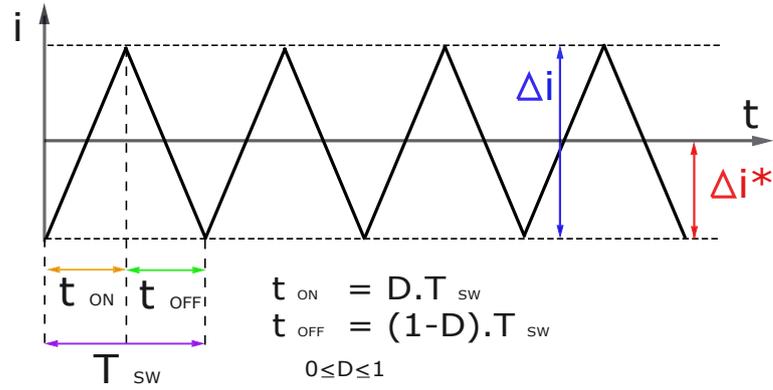
La figura A.7 muestra el esquema circuital del convertidor, en su modo de inversor, para la inyección a una de las fases de la red eléctrica. El convertidor impone una tensión $V_{AC}(t)$ sobre el inductor L , dando forma a la corriente inyectada, i_L . La evolución de esta corriente está definida por la ecuación A.29

$$\frac{di_L}{dt} = \frac{v_L(t)}{L} = \frac{V_{AC}(t) - V_{RED}(t)}{L} \quad (\text{A.29})$$

Sea T_{SW} un período de conmutación y V_G la amplitud pico de la tensión de red $V_{RED}(t)$, los incrementos de corriente para el tiempo de encendido ($D \times T_{SW}$) y apagado ($(1 - D) \times T_{SW}$) vienen dadas por las ecuaciones (A.30) y (A.31), respectivamente:

$$\Delta i_1 = \frac{V_D}{2} - V_G \cdot D \cdot T_{SW} \quad (\text{A.30})$$

$$\Delta i_2 = \frac{V_G}{L} \cdot (1 - D) \cdot T_{SW} \quad (\text{A.31})$$

Figura A.8: Gráfico $I_{RIPPLE} = f(t) - D = 0,5$

En condición de equilibrio, se cumple que $\Delta i_1 = \Delta i_2 = \Delta i$. Entonces,

$$\left(\frac{V_D}{2} - V_G\right) \cdot D = V_G \cdot (1 - D) \quad (\text{A.32})$$

$$\frac{D}{1 - D} = \frac{V_G}{\frac{V_D}{2} - V_G} \quad (\text{A.33})$$

Ahora se busca una función que permita maximizar el *ripple*, teniendo en cuenta que V_D es constante, y que hay dos variables a controlar: D y V_G . Para encontrar los valores críticos, se crea el siguiente funcional:

$$J(D, V_G) = \left(\frac{\Delta I_1}{\frac{T_S}{L}}\right)^2 + \left(\frac{\Delta I_2}{\frac{T_S}{L}}\right)^2 = D^2 \cdot \left(\frac{V_D}{2} - V_G\right)^2 + V_G^2 \cdot (1 - D)^2 \quad (\text{A.34})$$

Igualando las derivadas parciales de la función a cero,

$$\frac{\delta J}{\delta D} = 0 \Rightarrow 2D \left(\frac{V_D}{2} - V_G\right)^2 + (-1) \cdot 2 \cdot (1 - D) \cdot V_G^2 = 0 \quad (\text{A.35})$$

$$\frac{\delta J}{\delta V_G} = 0 \Rightarrow -2D \left(\frac{V_D}{2} - V_G\right) + 2 \cdot (1 - D)^2 \cdot V_G = 0 \quad (\text{A.36})$$

Trabajando (A.35),

$$2 \cdot \left(\frac{V_D}{2} - V_G\right)^2 = 2 \cdot (1 - D) \cdot V_G^2 \quad (\text{A.37})$$

$$\frac{D}{1 - D} = \frac{V_G^2}{\left(\frac{V_D}{2} - V_G\right)^2} \quad (\text{A.38})$$

Igualando los segundos términos de (A.38) y (A.33),

$$\frac{V_G^2}{(\frac{V_D}{2} - V_G)^2} = \frac{V_G}{\frac{V_D}{2} - V_G} \Rightarrow V_G = \frac{V_D}{2} - V_G \quad (\text{A.39})$$

$$V_G = \frac{V_D}{4} \quad (\text{A.40})$$

Trabajando (A.36),

$$2 \cdot (1 - D)^2 \cdot V_G = 2 \cdot D^2 \left(\frac{V_D}{2} - V_G \right) \quad (\text{A.41})$$

$$\frac{D^2}{(1 - D)^2} = \frac{V_G}{\frac{V_D}{2} - V_G} \quad (\text{A.42})$$

Igualando los primeros términos de (A.42) y (A.33),

$$\frac{D^2}{(1 - D)^2} = \frac{D}{(1 - D)} \Rightarrow 1 - D = D \quad (\text{A.43})$$

$$D = 0,5 \quad (\text{A.44})$$

Habiendo obtenido los valores críticos de D y V_G , se reemplazan en (A.30), con el fin de encontrar el valor máximo de incremento de corriente:

$$\Delta i = \frac{V_D}{8} \cdot \frac{T_{SW}}{L} \quad (\text{A.45})$$

Para este proyecto, se fija $L = 1,7mH$, correspondiente a la inductancia de los inductores disponibles en el laboratorio. Además se establece una tensión de banco de capacitores CC de $V_D = 900V$ y un período de conmutación

$$T_{SW} = \frac{1}{f_{SW}} = \frac{1}{10kHz} = 100\mu S \quad (\text{A.46})$$

El incremento de corriente expresado en la ecuación A.45, corresponde a amplitud pico a pico, por lo que la amplitud pico del incremento Δi^* se define por :

$$\Delta i^* = 0,5 \times \Delta i = 0,5 \cdot \frac{V_{DC}}{8} \cdot \frac{T_{SW}}{L} = 0,5 \cdot \frac{900V}{8} \cdot \frac{100\mu S}{1,7mH} = 3,31 A \quad (\text{A.47})$$

El factor que relaciona al valor pico con el valor eficaz de una onda triangular es $\sqrt{3}$. Luego, el valor eficaz de la corriente de *ripple* por fase es:

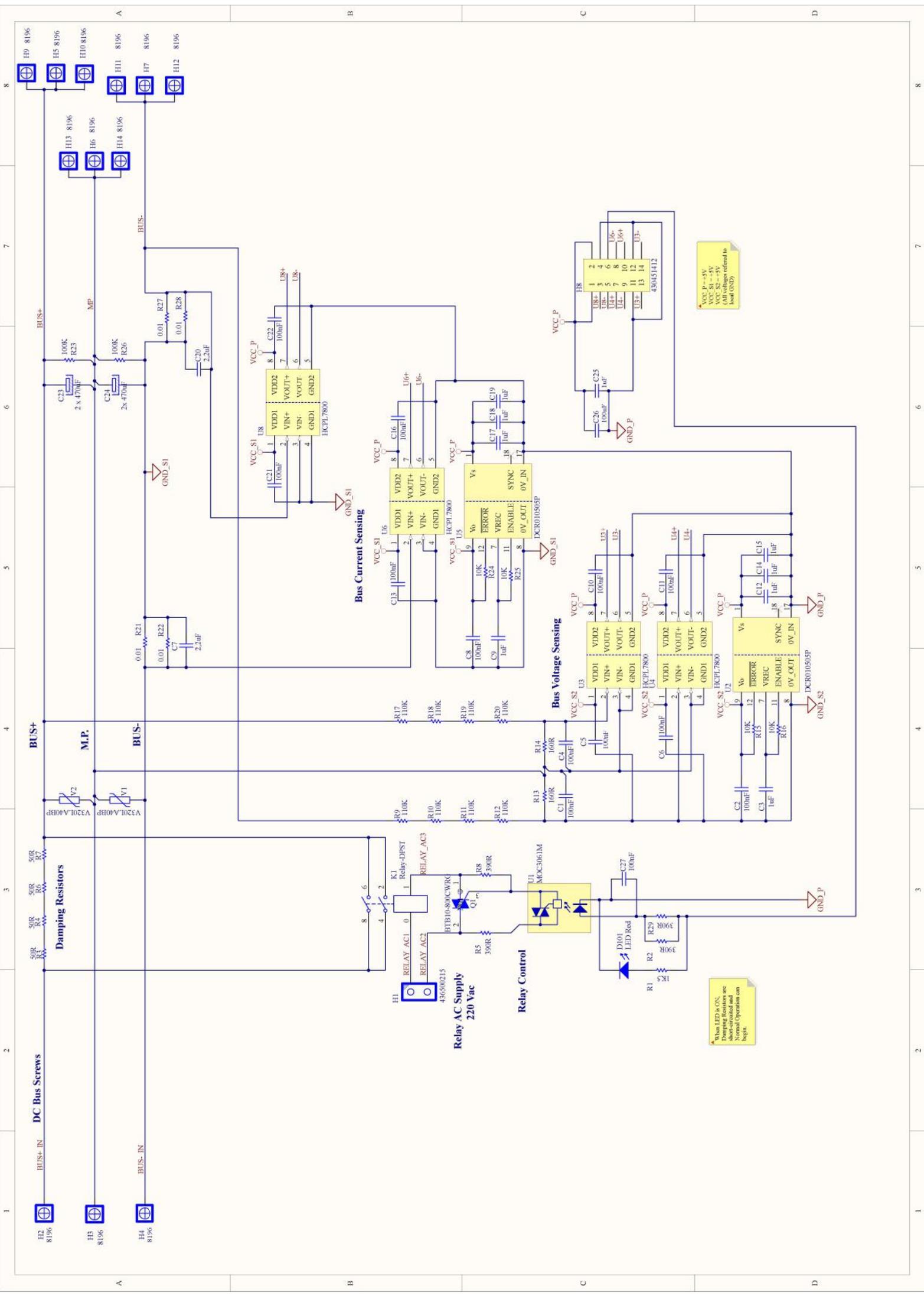
$$i_{RMS}(Fase) = \frac{\Delta i^*}{\sqrt{3}} = \frac{3,31}{\sqrt{3}} = 1,91 \text{ A}_{RMS} \quad (\text{A.48})$$

Debido a que en el neutro se suman las 3 corrientes de cada rama, y los capacitores del banco CC están en paralelo en altas frecuencias, finalmente el capacitor a seleccionar debe estar especificado para trabajar con la corriente de *ripple* a 10 kHz definidos por la expresión [A.49](#):

$$i_{RMS}(10kHz) = 3 \cdot \frac{i_{RMS}(Fase)}{2} = 2,86 \text{ A}_{RMS} \quad (\text{A.49})$$

Apéndice B

Diagramas Esquemáticos



VCC_P = +5V
 VCC_S1 = +5V
 VCC_S2 = +15V
 (All voltages referred to
 local GND)

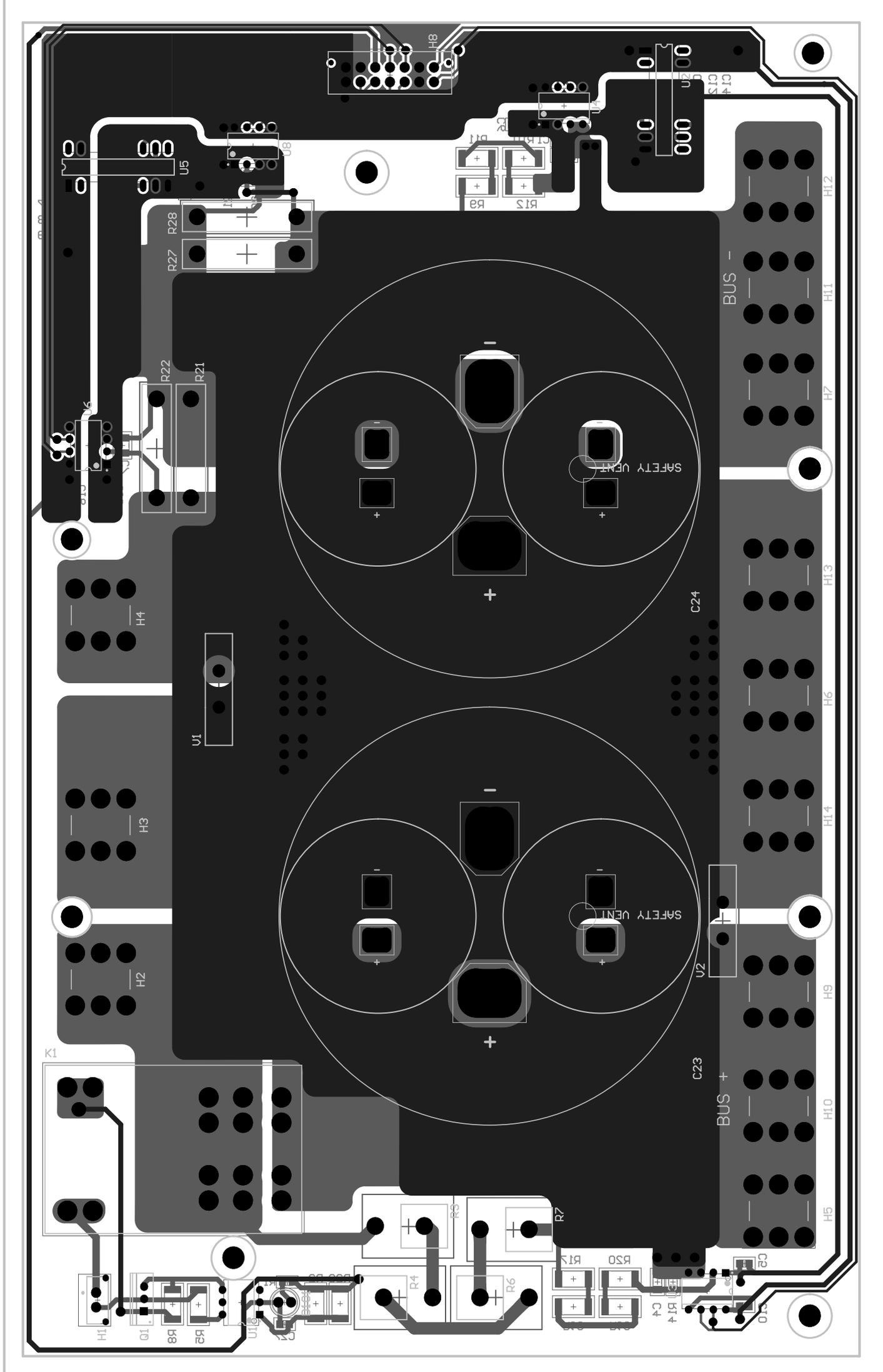
When LED is ON,
 Damping Resistors are
 short-circuited and
 Normal Operation can
 begin.

Apéndice C

Modelos PCB Finales

C.1. Versión Final PCB Rama del Convertidor

C.2. Versión Final PCB Banco de Capacitores



Apéndice D

Costos de Componentes del Convertidor

La tabla [D.1](#) detalla la lista de precios de los componentes que influyeron significativamente en el costo de construcción del prototipo desarrollado en este proyecto. Los precios están actualizados al mes de febrero de 2017 y se encuentran en dólares estadounidenses. El costo total de los materiales asciende a USD 1610.70, considerablemente inferior al precio de convertidores comerciales de características similares, como lo es el *3L SKiP28MLI07E3V1* de *Semikron*. Éste tiene un precio internacional de USD 2793.38 (no incluye impuestos ni gastos de logística).

Tabla D.1: Lista de Componentes Convertidor NPC 3 Niveles

Ramas de Conmutación			
<i>Cantidad</i>	<i>Descripción</i>	<i>Precio Unitario [USD]</i>	<i>Importe [USD]</i>
3	PCB Doble Capa	43	129
3	Módulos Semikron SK75MLI066T	71	213
6	Drivers Semikron Skyper 32R	81	486
3	Disipadores Internation Aluel ZD-51	100	300
3	Fan Cooler Semikron SKF3-230-01	18	54
3	Sensores CA LEM LA-25-P	24	72
12	Conectores Tornillo Keystone Electronics 8196	0.85	10.5
6	Capacitores Aluminio 100UF	4.40	26.40
6	Capacitores Film 10UF	4.35	26.10
18	Capacitores Ceramicos 0.22UF	0.40	7.20
	Otros (Conectores, Resistencias, Zócalos,etc)	20	20
Banco de Capacitores CC			
<i>Cantidad</i>	<i>Descripción</i>	<i>Precio Unitario[USD]</i>	<i>Importe [USD]</i>
1	PCB Doble Capa	100	100
1	Relé DPST	15	15
4	Capacitores Aluminio 470UF	15.40	61.6
12	Conectores Tornillo Keystone Electronics 8196	0.85	10.5
4	Amplificadores HCLP-7800	11	44
2	Fuentes Alimentación DCR010505P	10.20	20.40
	Otros (Conectores, Resistencias, Capacitores, etc.)	15	15
TOTAL [USD]			1610.70