



UNIVERSIDAD NACIONAL
DE MAR DEL PLATA
.....
FACULTAD DE INGENIERIA

PROYECTO FINAL DE INGENIERIA
ELECTRONICA

**GENERADOR ARBITRARIO DE
SEÑALES POR SINTESIS DIGITAL
DIRECTA**

AUTOR:

JULIO ALBERTO GASPARRI

DIRECTOR DE PROYECTO:

ING. WALTER GEMIN

AÑO 2004



RINFI es desarrollado por la Biblioteca de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata.

Tiene como objetivo recopilar, organizar, gestionar, difundir y preservar documentos digitales en Ingeniería, Ciencia y Tecnología de Materiales y Ciencias Afines.

A través del Acceso Abierto, se pretende aumentar la visibilidad y el impacto de los resultados de la investigación, asumiendo las políticas y cumpliendo con los protocolos y estándares internacionales para la interoperabilidad entre repositorios



Esta obra está bajo una [Licencia Creative Commons Atribución- NoComercial-CompartirIgual 4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/).



UNIVERSIDAD NACIONAL
DE MAR DEL PLATA
.....
FACULTAD DE INGENIERIA

PROYECTO FINAL DE INGENIERIA
ELECTRONICA

**GENERADOR ARBITRARIO DE
SEÑALES POR SINTESIS DIGITAL
DIRECTA**

AUTOR:

JULIO ALBERTO GASPARRI

DIRECTOR DE PROYECTO:

ING. WALTER GEMIN

AÑO 2004

INDICE

	Página
Resumen	6
Capítulo 1 - Introducción	
1.1- Introducción	7
1.1.1 - Reseña	7
1.1.2 - Instrumentación Virtual	8
1.1.3 - Generadores D.D.S.	8
1.2 - Principio de Funcionamiento	9
1.2.1 - Implementación del generador D.D.S.	9
1.2.2 - Funcionamiento del N.C.O.	11
1.2.3 - Funcionamiento del generador D.D.S.	11
1.2.4 - Ampliación a generador arbitrario	12
Capítulo 2 - Anteproyecto	
2.1 - Especificaciones del diseño	13
2.2 - Limitaciones de la técnica D.D.S.	14
2.3 - Elección de la tecnología	19
2.3.1 - Analisis	19
2.3.2 - Selección	20
2.4 - Selección del puerto y software de control	21
2.5 - Análisis de Costos	21
2.6 - Reproducibilidad	22
2.7 - Confiabilidad	22
Capítulo 3 - Proyecto	
3.1 - Diagrama en bloques del Generador	23
3.2 - Memoria RAM	24
3.3 - Conversor Digital/Analógico (DAC)	25
3.4 - Diagrama en bloques del CPLD	26
3.4.1 - NCO	27
3.4.1.1 - FCR	27
3.4.1.2 - Sumador	27

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

3.4.1.3 - PHR	28
	29
3.4.2 - Registros de tres estados	
3.4.3 - Operaciones básicas del generador	29
3.4.4 - Lógica de control	30
3.4.4.1 - NCO	31
[A] - Sumador	33
[B] - PHR	33
[C] - FCR	33
	34
3.4.4.2 - Memoria RAM	
3.4.4.3 - Registros de tres estado	38
3.4.4.4 - Conversor D/A	39
	41
3.5 - Direccionamiento de la RAM durante el ciclo de grabación	
3.6 - Secuencia de programación del generador	41
3.7 - Circuitos esquemáticos completos	42
3.8 - Programación y conexión del CPLD	43
3.9 - Placas del generador utilizadas durante el desarrollo del proyecto	48
3.9.1 - CPLD	49
3.9.2 - RAM	49
3.9.3 - Conversor D/A y Reloj de referencia	51
	52
Capítulo 4 - Mediciones	
4.1 - Introducción	55
4.2 - Distorsión Armónica	55
4.3 - Frecuencia de salida	56
Capítulo 5 - Conclusión	
5.1 - Conclusiones	57
Capítulo 6 - Manual de Operación	
6.1 - Funciones de la Pantalla Principal	58
6.1.1 - Selección de la Forma de onda	58
6.1.1.1 - Senoidal	58
6.1.1.2 - Triangular	59

6.1.1.3 – Rectangular	60
6.1.1.4 - Modulación FSK	61
6.1.1.5 - Modulación AM	62
6.1.1.6 - Modulación FM	63
6.1.1.7 - Sinc	64
6.1.1.8 - Forma de onda cargada "Desde archivo"	65
6.1.2 - Menús	66
6.1.3 - Comienzo de la generación	66
6.2 - Funciones de la Pantalla de Diseño	67
6.2.1 - Botones de opción	67
6.2.2 - Barra de herramientas	69
6.3 - Diseño de nuevas formas de onda	70
6.3.1 - Pasos para realizar archivos con las formas de onda diseñadas por el usuario	70
6.3.2 - Detección de errores en el diseño de la forma de onda	71
6.4 - Rangos de Trabajo	74
6.5 - Mensajes de Error	75
6.5.1 - Máxima Frecuencia	75
6.5.2 - Mínima Frecuencia	76
6.5.3 - Errores particulares de cada forma de onda	77
6.5.3.1 - Triangular	77
6.5.3.2 - Rectangular	77
6.5.3.3 - Sinc	78
6.5.3.4 - Modulación AM	78
6.5.3.5 - Modulación FM	79
6.5.4 - Cajas de texto sin caracteres	80
6.5.5 - Falla en la comunicación entre la PC y el generador	81
Capítulo 7 - Manual de Mantenimiento	
7.1 - Especificaciones del Generador de Señales	82
7.2 - Diagrama en bloques del generador	83
7.3 - Circuito esquemático implementado en cada bloque	84
7.3.1 - CPLD	84
7.3.1.1 - Asignación de pines	84
7.3.1.2 - Distribución de los pines en el encapsulado	85
7.3.2 - Memoria RAM	87

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

7.3.2.1 - Conexión de los bancos de memoria	87
7.3.2.2 - Distribución y descripción de los pines	87
7.3.2.3 - Diagrama en bloques y modos de operación de la memoria	88
7.3.3 - Conversor D/A	89
7.3.3.1 - Conexión del conversor	89
7.3.3.2 - Ajuste de la corriente máxima de salida	89
7.3.3.3 - Descripción de los pines	90
7.3.3.4 - Encapsulado del conversor	91
7.3.4 - Reloj de Referencia	92
7.3.5 - Fuente de Alimentación	92
7.4 - Placas del Equipo	93
7.4.1 - Fuente de alimentación	93
7.4.2 - Memoria RAM	94
7.4.3 - CPLD, Conversor D/A y reloj de Referencia	95
7.5 - Procedimiento de Ajuste del Generador	97
7.6 - Localización de fallas	98
Anexos	
Anexo 1 – Introducción al Teorema de Muestreo	100
Anexo 2 – Introducción al funcionamiento del Puerto Paralelo de una Computadora Personal	103
Anexo 3 – Hojas de datos	
CPLD – M4A5-192/96-10VC	108
RAM – ISSI 61C256AK-20	133
Conversor D/A – DAC902U	141
Regulador de Tensión – LM7805	157
Anexo 4 – Software de Programación del CPLD	163
Bibliografía	
	171

Resumen

El objetivo de este proyecto fue la construcción de un Generador Arbitrario de Señales utilizando la técnica de Síntesis Directa Digital (D.D.S.), comandado por una computadora personal por medio del puerto paralelo, que permite seleccionar la forma de onda, la amplitud y la frecuencia de la señal de salida. El software necesario para su utilización se realizó en lenguaje Visual Basic.

En los talleres de reparación, laboratorios de desarrollo e investigación y laboratorios de calibración o mantenimiento electrónico, suele ser necesaria la prueba o testeo de un equipo o de alguna etapa de este. Para este tipo de tarea es necesario poseer generadores de funciones que provean señales determinadas para obtener salidas conocidas.

El generador ideal es uno de forma de onda arbitraria, es decir que pueda generar cualquier forma de onda, como así también poseer un amplio rango de frecuencia y excelente resolución en frecuencia y amplitud.

Para obtener una excelente resolución en frecuencia y la posibilidad de generar formas de onda arbitrarias se utilizó la técnica denominada DDS (Direct Digital Synthesis; Síntesis Directa Digital), la cual utiliza un oscilador controlado numéricamente.

El proyecto se implementó con un dispositivo de lógica programable de alta escala de integración, en el cual se integró toda la lógica necesaria. Dicho dispositivo es un CPLD (**C**omplex **P**rogrammable **L**ogic **D**evice, Dispositivo Lógico Programable Complejo), con una capacidad de 7500 compuertas, el cual se programó mediante el software que entrega el fabricante.

La cantidad de bits del oscilador controlado numéricamente es de 32 bits, con lo cual la resolución en frecuencia es de 0.00279 Hz. Los valores de amplitud de la señal digital se almacenan en una memoria RAM que tiene una capacidad de 32768 palabras y una resolución de 12 bits. La amplitud máxima de la señal de salida es de 2 V_{p-p} con una resolución de amplitud de 0.488 mV. La distorsión armónica del generador es de 0.15%.

El Programa de Control del generador permite elegir la forma de onda a generar y la frecuencia de la misma. Dicho software incluye las señales clásicas prediseñadas (Senoidal, Rectangular, Triangular, Sinc, FSK, AM y FM) y cuenta con la posibilidad de que el usuario genere sus propias señales por medio de programas como Excel o Matlab, dando la capacidad al equipo de generar señales arbitrarias. Una vez cargada la forma de onda y la frecuencia el equipo queda funcionando en forma autónoma, permitiendo que la computadora personal se dedique a otras tareas.

La frecuencia de referencia es de 12 MHz, con lo cual la frecuencia máxima para la salida senoidal es de 1,2 MHz al igual que las señales moduladas y las generadas por el usuario. En el caso de las señales Triangular, Rectangular y Sinc, la frecuencia máxima es de 250 KHz.

CAPITULO 1

INTRODUCCION

1.1 - Introducción

1.1.1 Reseña

Los generadores de funciones han acumulado a lo largo del tiempo una gran cantidad de características particulares. Comenzando con algunas perillas para ajustar la amplitud y la frecuencia de una señal de forma senoidal, se ha logrado alcanzar grandes rangos de frecuencias, niveles de salidas calibradas, una extensa variedad de formas de onda, salidas moduladas y en algunos casos hasta señales de formas arbitrarias.

En los talleres de reparación, laboratorios de desarrollo e investigación y laboratorios de calibración o mantenimiento electrónico, suele ser necesaria la prueba o testeo de un equipo o de alguna etapa de este. Para este tipo de tarea es necesario poseer generadores de funciones que provean señales determinadas para obtener salidas conocidas. Como por ejemplo para probar la etapa horizontal de un televisor, se debe inyectar una señal tipo "diente de sierra". Otro ejemplo posible es la aplicación de la Norma IRAM 4017 (Radiorreceptores comerciales de AM y FM), en donde las respuestas a ciertas entradas particulares (amplitud, frecuencia de portadora, frecuencia modulante, etc.), determinan las características particulares de un equipo de comunicación.

En general, para cada tarea o aplicación se requiere un generador particular. La elección del mismo depende del grado de precisión requerido, tipo de forma de onda, frecuencias de trabajo, etc.

Existen circuitos integrados que con solo algunos componentes externos producen señales de forma triangular, cuadrada o senoidal con una frecuencia máxima de salida del orden del Megahertz. Esta es una manera muy simple de obtener un generador para un taller de reparaciones, pero en este tipo de generadores suele ser complejo conseguir valores precisos y estables de frecuencia.

El generador ideal es un generador de forma de onda arbitraria, que puede generar cualquier forma de onda, como así también poseer un amplio rango de frecuencia y excelente resolución en frecuencia y amplitud.

1.1.2 - Instrumentación Virtual:

La rápida adopción de las computadoras personales en los últimos 20 años, generó una revolución en la instrumentación de ensayos, mediciones y automatización. En todo el mundo las computadoras personales se han convertido en una herramienta indispensable.

Un importante desarrollo de la potencialidad de las computadoras personales es el concepto de “**Instrumentación Virtual**”. Un instrumento virtual consiste en una computadora equipada con software capaz de manejar una placa (hardware), que en conjunto realicen las funciones de un instrumento tradicional.

Con los instrumentos virtuales se pueden construir sistemas de medición y automatización que se ajusten exactamente a las necesidades definidas por el usuario, en lugar de estar limitados por los instrumentos tradicionales de funciones fijas, definidas por el fabricante.

Los instrumentos virtuales han producido un cambio fundamental en los sistemas de instrumentación, pasando de instrumentos tradicionales basados en el hardware, a sistemas centrados en el software que aprovechan la potencia de cálculo, productividad, exhibición y capacidad de conexión.

La flexibilidad y el costo de los sistemas virtuales son determinantes a la hora de considerar la elección de un nuevo sistema de instrumentación, por lo cual día a día van reemplazando a los instrumentos tradicionales de medición.

1.1.3 - Generadores D.D.S.

Con el avance de la tecnología, la idea de generar señales a partir de una computadora personal dejó de ser imposible y la posibilidad de crear un generador de forma de onda arbitraria es una realidad.

La técnica desarrollada para la construcción de generadores de señales de forma de onda arbitraria es la denominada **D.D.S. (Direct Digital Synthesis, Síntesis Directa Digital)**. Dicha técnica se basa en el concepto de interpolación o reconstrucción de señales analógicas utilizando información digital, con una resolución en frecuencia excelente.

El hecho que esta técnica utilice información de entrada digital ha facilitado el manejo de los generadores de señales por software, obteniéndose instrumentos virtuales muy potentes y capaces.

1.2 - Principio de Funcionamiento

1.2.1 - Implementación del generador D.D.S.

El generador parte básicamente del concepto de interpolación, es decir de la reconstrucción de una señal analógica a partir de un diseño digital. Esta técnica permite generar cualquier tipo de señal. Para simplificar la explicación se comienza utilizando una señal de forma senoidal.

Primero se analiza la manera de obtener una señal analógica con información digital. El diagrama en bloques se muestra en la Figura 1-1.

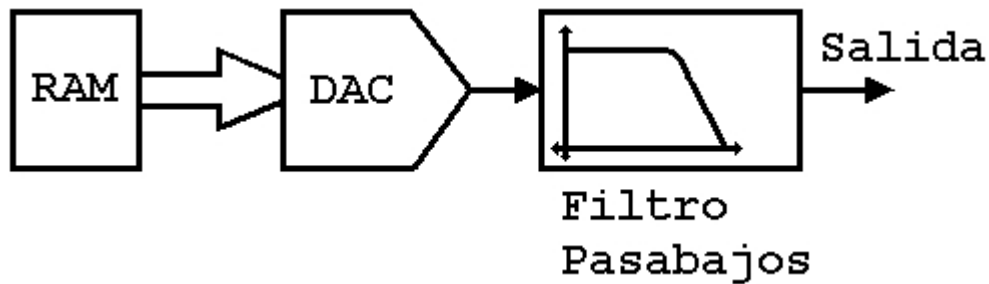


Figura 1-1

En la memoria RAM se graba una señal senoidal digitalizada, es decir discretizada en 2^n valores (cantidad de posiciones de la memoria) y cada palabra representa un valor de amplitud. Luego se recorre la memoria a velocidad constante. El conversor D/A (**D**igital/**A**nlógico) convierte la palabra digital en un valor de tensión (o corriente). Por último se filtra la salida eliminando el aliasing, (ver Anexo 1) obteniéndose una señal senoidal pura, con un periodo de salida igual al tiempo en que se recorren todas las posiciones de la memoria.

¿Pero como se puede implementar el bloque que permita recorrer la memoria?

La forma más simple de implementar esta etapa, se muestra en la Figura 1-2.

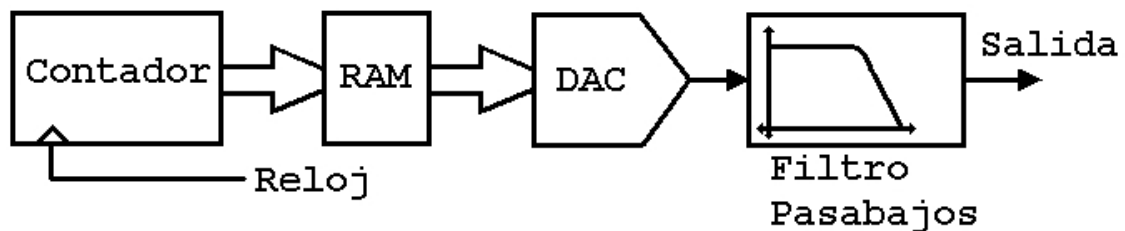


Figura 1-2

Para recorrer la memoria se coloca un contador que con cada ciclo de reloj incrementa la cuenta y de esta forma pase a la próxima posición de memoria. Luego el período de la señal de salida es la cantidad de posiciones por el período de la señal de reloj. Por tanto para variar la frecuencia de salida se debe variar la frecuencia de reloj.

El problema de esta disposición es la dificultad de implementar una frecuencia de reloj variable en pasos pequeños, para así obtener una buena resolución en frecuencia. La manera de solucionar este problema se muestra en el diagrama en bloques de la Figura 1-3.

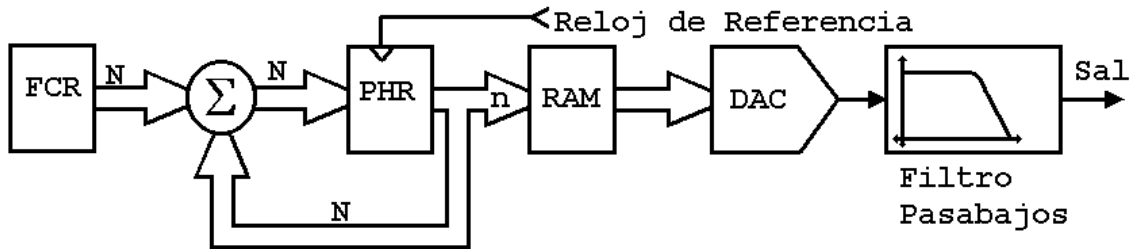


Figura 1-3

FCR: (**F**requency **C**ontrol **R**egister, Registro de control de frecuencia) o también se lo suele denominar PIR: (**P**hase **I**ncrément **R**egister, Registro de incremento de fase)

PHR: (**P**Hase **R**egister, Registro de fase) o también llamado Phase accumulator

Σ: Sumador digital de N bits.

N: Cantidad de bits del sumador

n: Cantidad de líneas de direcciones de la memoria; 2^n representa la capacidad de la memoria

El diagrama en bloques anterior constituye el diagrama básico de la técnica D.D.S.

La técnica DDS utiliza un NCO (Numerically Controlled Oscilator, Oscilador Controlado Numéricamente). El diagrama en bloques del NCO se muestra en la Figura 1-4.

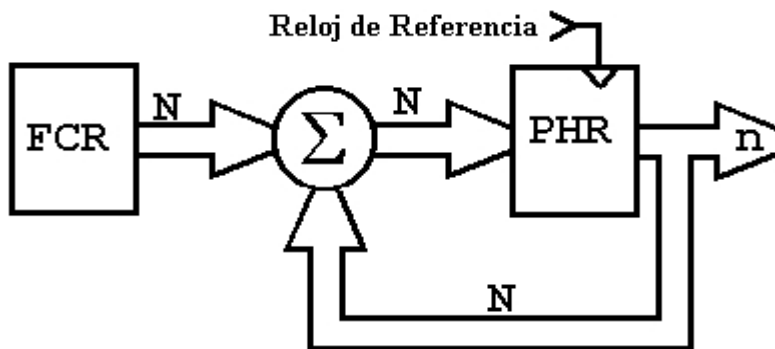


Figura 1-4

1.2.2 - Funcionamiento del NCO

Se comienza con el PHR reseteado, es decir en cero. En el FCR se graba un número M. Luego con el primer ciclo de reloj el PHR toma el valor M. Con los siguientes ciclos, el PHR se incrementa en “M”, tomando los valores 2M, 3M, ... , y así sucesivamente.

Para ejemplificar lo dicho anteriormente, se muestran los valores que toma el PHR en función de los ciclos de reloj:

	$M = 0000... 0001 = 1)_{10}$,
1er ciclo de reloj,	PHR = 0000... 0001,
2do ciclo de reloj,	PHR = 0000... 0010,
.....
$2^N - 1$ ciclo de reloj,	PHR = 1111... 1111,
2^N ciclo de reloj,	PHR = 0000...0000 (reinicio del sumador)

Se necesitan $2^N - 1$ ciclos de reloj para que el sumador se “rebalse”, es decir que se reinicie. Si $M = 2)_{10}$ se necesitan la mitad de los ciclos de reloj anteriores para “rebalsar” el sumador.

1.2.3 - Funcionamiento del generador D.D.S.

Dado que la salida del NCO se conecta al bus de direcciones de la memoria RAM, un periodo de la señal de salida (T_{SALIDA}) es igual al tiempo que le lleve al sumador del NCO rebalsarse, es decir el tiempo que lleve recorrer todas las posiciones de memoria. De esta manera cuando mayor sea el número grabado en el FCR (M) menor es el T_{SALIDA} .

Por ejemplo si en el FCR se graba el número $M = 1)_{10}$, se necesitan $2^N - 1$ ciclos de reloj para que el sumador se “rebalse”. De esta manera se puede establecer que $T_{SALIDA} = (T_{CLOCK}) * 2^N - 1$. Para $M = 2)_{10}$ el $T_{SALIDA} = (T_{CLOCK}) * (2^N - 1) / 2$. Luego se puede demostrar que:

$$T_{SALIDA} = \frac{T_{CLOCK} * (2^N - 1)}{M};$$

$$T_{SALIDA} = \frac{1}{F_{SALIDA}} \quad \text{y} \quad T_{CLOCK} = \frac{1}{F_{CLOCK}}$$

$$F_{SALIDA} = \frac{F_{CLOCK} * M}{2^N - 1}$$

Como ya se ha explicado anteriormente la memoria posee las muestras de un ciclo (360°) de una forma de onda senoidal. El salto de fase de cada posición es:

$$Dd = \frac{360^\circ}{2^N - 1}$$

El registro PHR posee una capacidad de N bits que le permite acceder a cualquier dirección de la memoria y su función es la de almacenar la fase actual de la señal. De esta forma la palabra M presente en el FCR que se suma al valor del PHR en cada ciclo del reloj, representa un incremento de fase de:

$$DF = \frac{360^\circ * M}{2^N - 1}$$

Por último la resolución en frecuencia esta dada para M=1 (el menor valor de frecuencia) y es:

$$\text{Resolución}_{\text{Frecuencia}} = \frac{F_{\text{CLOCK}}}{2^N - 1}$$

Esta es una de las ventajas más importante de este generador ya que por ejemplo si N = 32 bits y Fclock = 40 MHz la resolución es de 9,313 mHz. En el caso de N = 48 bits la resolución es aproximadamente igual a 0,1 uHz. Este último es un valor extremadamente pequeño y da una precisión excelente para cualquier tipo de trabajo.

Se debe tener en cuenta que la cantidad de bits del sumador (N) debe ser superior o igual a las líneas de direcciones de la memoria (n), para poder acceder a todas las posiciones de la misma.

1.2.4 - Ampliación a generador arbitrario

Si en la memoria RAM se graba un ciclo de una señal de cualquier forma de onda, como se realizó para el caso de la señal de forma senoidal, se pueden plantear los mismos conceptos comprobándose de esta forma, que con la técnica anteriormente mencionada se puede construir un generador de formas de onda arbitrarias. Se debe tener en cuenta que las ondas no senoidales poseen un espectro mucho más complejo y con mayor cantidad de armónicos que son limitados por el filtro pasabajos, caso contrario se puede producir un solapamiento (ver Anexo 1). Debido a esto se debe limitar la frecuencia máxima cuando la señal es no senoidal para evitar la deformación excesiva de la señal de salida.

Siempre hay que tener en cuenta cuando en la memoria RAM se graba una señal de forma de onda arbitraria, que la misma posea un número entero de ciclos. Las discontinuidades en la señal producen componentes frecuenciales altas, que en general son limitadas por el filtro pasabajos produciéndose deformaciones en la señal.

CAPITULO 2

ANTEPROYECTO

2.1 - Especificaciones del diseño

Para determinar las especificaciones particulares del generador de señales se realizó un breve análisis de los productos que se encuentran actualmente en el mercado.

La empresa Hewlett-Packard (HP) comercializa el HP 33120 un generador arbitrario el cual posee 40 MHz de frecuencia de referencia, 12 bits de resolución de amplitud y una resolución en frecuencia de 10 Hz. Este generador permite la conexión con la computadora mediante un puerto RS-232. Otro ejemplo es el de la empresa National Instruments, la cual comercializa el NI 5411 con características similares al anterior, solo que esta se conecta en el Slot PCI de una computadora personal.

Existen circuitos integrados que utilizan la técnica DDS, generando señales senoidales únicamente. Por ejemplo el AD9830 funciona con un reloj de referencia de hasta 50 MHz, 10 bits de resolución de amplitud y 10 mHz de resolución de frecuencia.

Evaluando dichas características y los costos para implementar las mismas se determinaron las siguientes especificaciones:

Característica	Valor	Unidad
Sumador		
Cantidad de Bits	32	Bits
Memoria RAM		
Capacidad de la memoria	32768	Palabras
Cantidad de líneas de direcciones	15	
Tamaño de la palabra	12	Bits
Convertor D/A		
Cantidad de bits	12	Bits
Frecuencia de Trabajo	12	MHz
Frecuencias de trabajo		
Reloj de Referencia	12	MHz

Salida Senoidal	1,2	MHz
Salida cuadrada y triangular	250	MHz
Salida modulada	1,2	MHz
Salida arbitraria	1,2	MHz
Filtro de salida		
Frecuencia de corte	1,2	MHz
Respuesta en Amplitud		
Máxima Amplitud	2	Vp-p
Resolución	0.488	mV
Resolución en Frecuencia		
Resolución	2.79	mHz

La máxima frecuencia de la señal de salida se estableció teniendo en cuenta las limitaciones de la técnica DDS.

2.2 - Limitaciones de la técnica D.D.S.

La frecuencia máxima teórica de la señal de salida está dada por el teorema de Nyquist donde la frecuencia de muestreo debe ser mayor al doble de la frecuencia de la señal (Ver Anexo 1)

La técnica D.D.S sufre ciertas limitaciones en cuanto a la frecuencia máxima de salida posible debido a la aparición de frecuencias espurias introducidas por el convertor D/A.

El convertor D/A presenta dos tipos de errores:

1. Errores de cuantificación. Se producen debido a que cada amplitud discreta de la forma de onda es aproximada a un valor (cuantificación).

2. Características no ideales de la salida. Estos son producto de intermodulaciones y frecuencias espurias (armónicamente relacionadas con la señal de salida deseada)

Los errores de cuantificación aportan señales espurias que introducen inestabilidad (jitter) de la forma de onda de salida. Esto se debe considerar como un desplazamiento de tiempo y fase de los cruces por cero.

Para lograr una mejor comprensión de las características no ideales y sus efectos se expone el siguiente ejemplo, en donde la frecuencia de reloj es de 40 MHz y la frecuencia de la señal deseada de forma senoidal es de 12 MHz. En el caso de que el conversor fuese ideal se tiene un espectro como se muestra en la Figura 2-1:

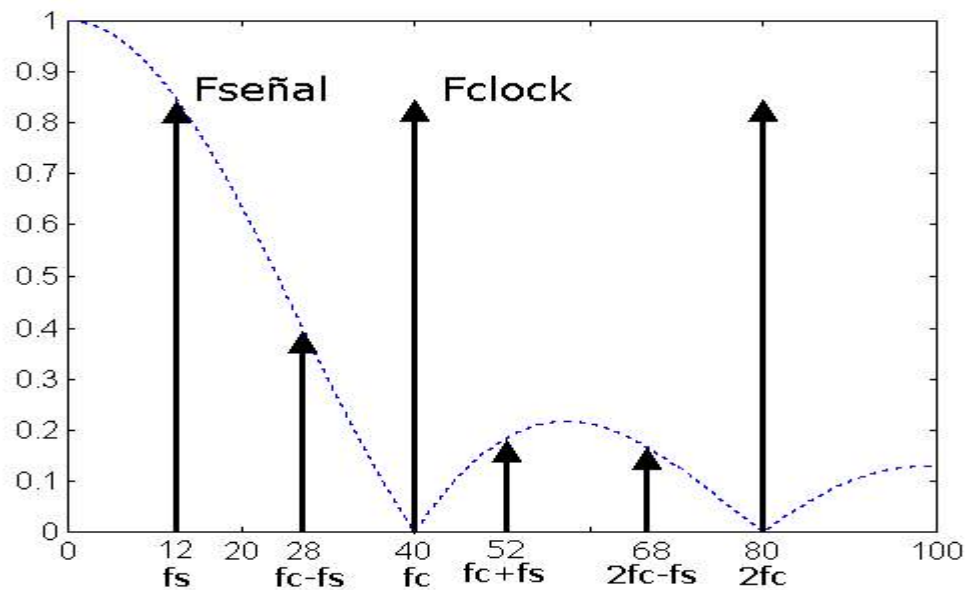


Figura 2-1

- ⊗ En 12 MHz esta la señal deseada (f_s)
- ⊗ En 28 MHz la repetición debido al muestreo inherente a esta técnica ($f_c - f_s$).
- ⊗ En 52 MHz ($f_c + f_s$) y 68 MHz ($2f_c - f_s$) otras repeticiones de menor importancia.

Para el caso de un convertor real aparecen espurias armónicas de la señal deseada. Si suponemos que solo hay segundas armónicas se obtiene un espectro como el de la Figura 2-2.

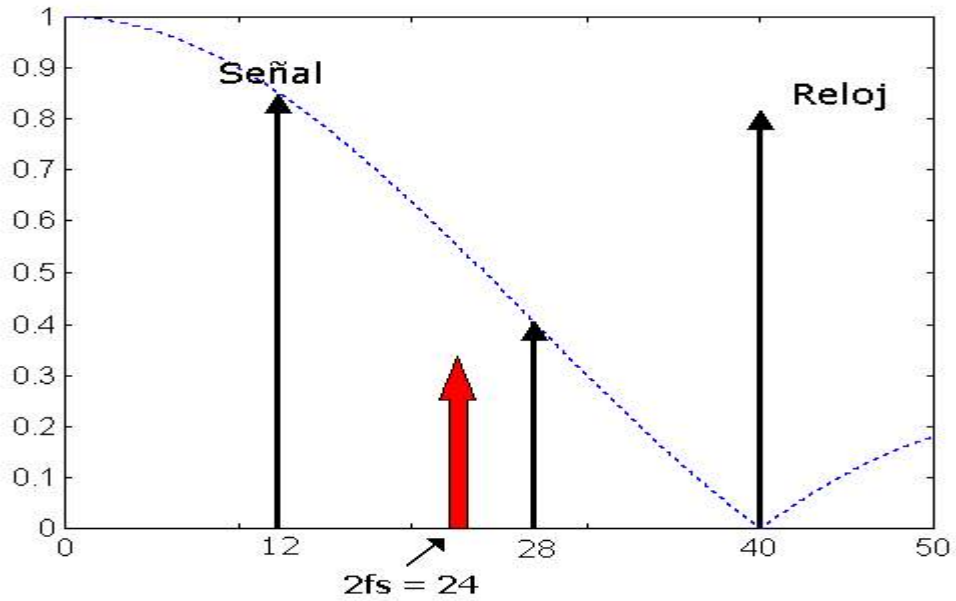


Figura 2-2

En 24 MHz ($2 \cdot f_s$) aparece una componente espuria de la señal deseada. Pero esta a su vez como es superior a la mitad de la frecuencia de reloj (frecuencia de muestreo del sistema), en la banda útil aparece una componente espuria reflejada por la frecuencia de reloj ($f_c - 2f_s$). Este suceso se muestra en la Figura 2-3:

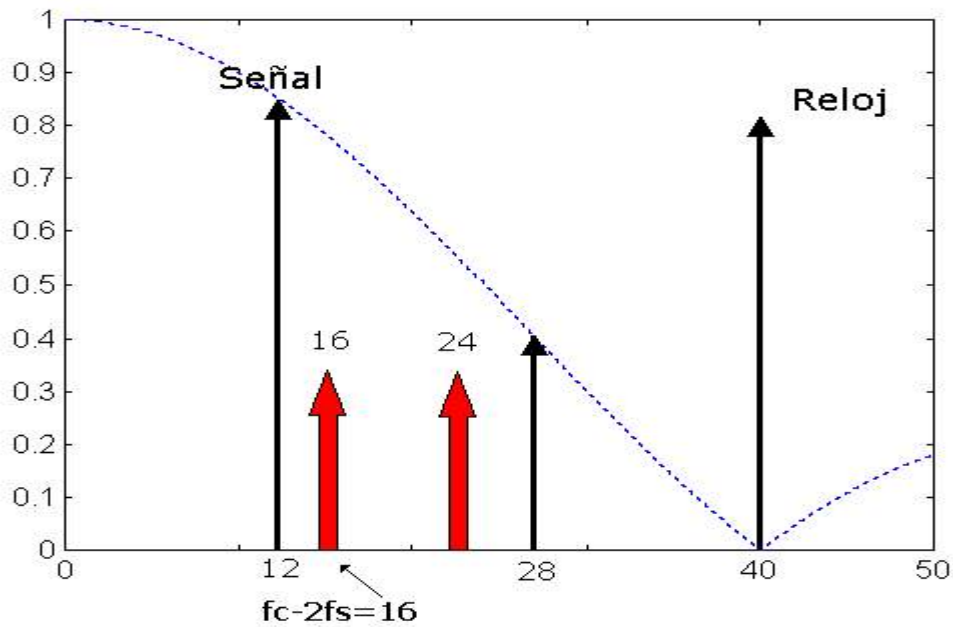
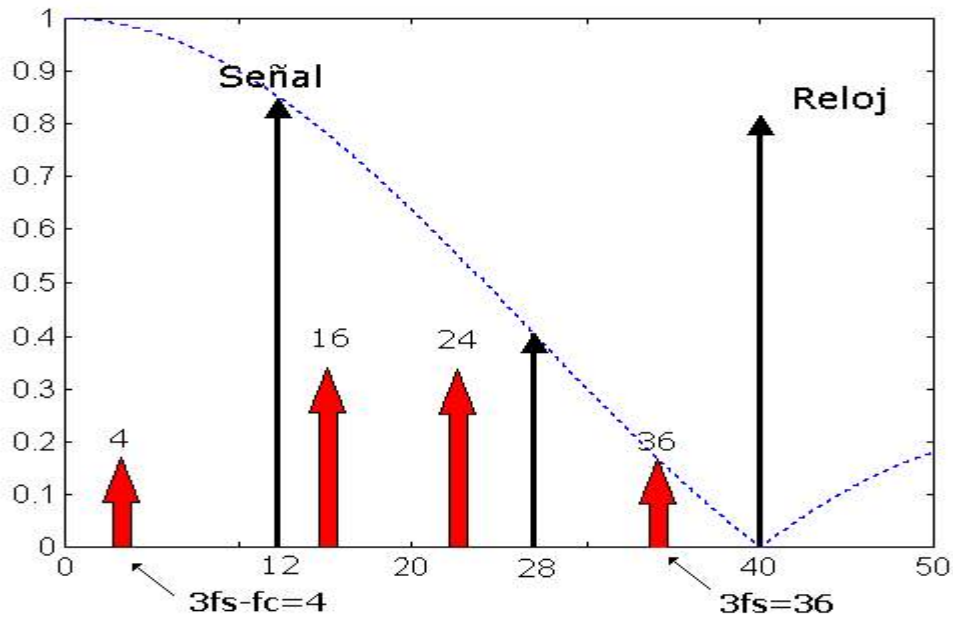


Figura 2-3

Esta componente espuria no es atenuada por el filtro, produciéndose un solapamiento de señales. Por lo tanto es importante evaluar esta característica no deseada del convertor al momento de hacer la selección del mismo.



En la Figura 2-4 se muestra la situación agregando la tercera armónica.
Figura 2-4

Y por último en la Figura 2-5 se amplió al caso de la armónica de cuarto orden:

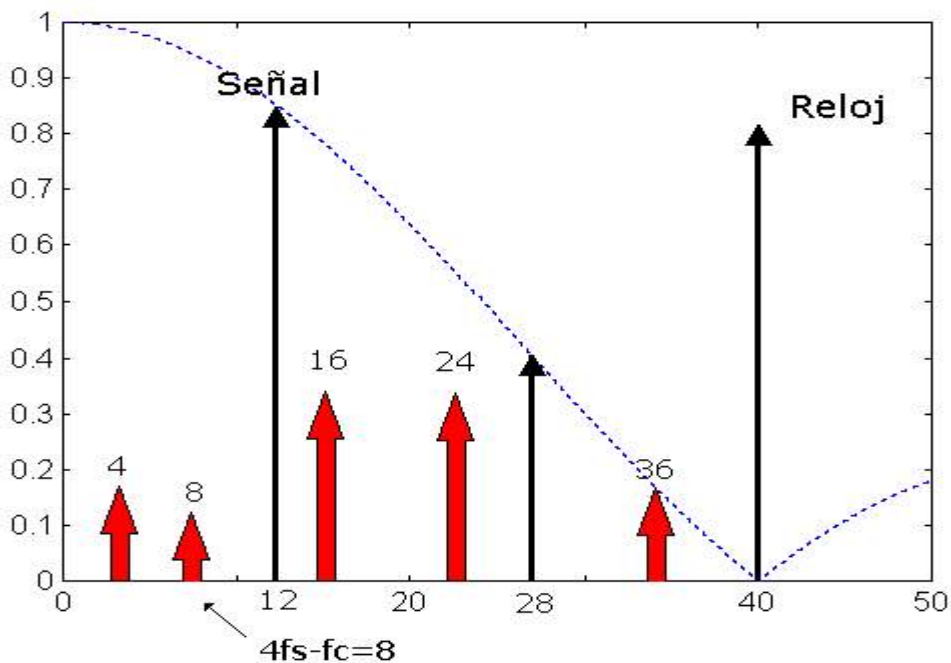


Figura 2-5
Capítulo 2 - Anteproyecto

Como se puede observar con las armónicas de tercer y cuarto orden se presentan los mismos problemas. La calidad de la señal de salida depende fuertemente de las características del conversor Digital Analógico. La elección del mismo es un punto fuerte en el diseño de la unidad.

En los sistemas basados en la técnica DDS se presentan dos situaciones particularmente interesantes, en lo que se refiere a respuestas espurias, que pueden ser analizados. Dichas situaciones corresponden a los casos en que la frecuencia de reloj es cercana a tres o cuatro veces la frecuencia de salida.

Cuando la frecuencia de reloj es exactamente cuatro veces la frecuencia de salida, construyendo un gráfico similar al anterior es simple visualizar que las imágenes de todos los armónicos impares caen justo sobre la frecuencia fundamental, no habiendo espurios en ninguna otra frecuencia por debajo de la de Nyquist (salvo una componente de continua). El problema surge cuando se desea mover levemente la frecuencia de salida de la condición de $1/4$ de la frecuencia de reloj. En este caso todas las imágenes de los armónicos impares, inicialmente montados sobre la fundamental, se comienzan a alejar de ese punto, quedando a ambos lados de la fundamental, en una posición prácticamente imposible de filtrar. Un caso similar ocurre cuando la frecuencia de reloj es cercana a tres veces la fundamental de salida (produciéndose el peor caso), las imágenes de los armónicos impares y pares aparecen rodeando la fundamental. Todo esto sugiere que debe evitarse el uso de frecuencias de salida cercanas a $1/3$ o $1/4$ de la frecuencia de reloj.

Debido a esto, en este proyecto, se toma la máxima frecuencia de salida senoidal a $1/10$ de la frecuencia de reloj, para disminuir la distorsión armónica y simplificar el diseño del filtro antisolapamiento (ver Anexo 1).

2.3 - Elección de la tecnología

2.3.1 Analisis

Para poder aplicar la técnica DDS se analiza a continuación la tecnología con la cual se pueda implementar un sumador digital de 32 bits y que además trabaje a 12 MHz. Las posibilidades son:

- ⌘ FPGA (Field Programmable Gate Arrays)
- ⌘ DSP (Digital Signal Processing)
- ⌘ Procesadores (Procesadores de PC)
- ⌘ CPLD (Complex Programmable Logic Devices)
- ⌘ Lógica discreta

En el cuadro siguiente se presentan un resumen de ventajas y desventajas de cada una de ellas:

	Ventajas	Desventajas
FPGA	<ul style="list-style-type: none"> ☐ Poseen memoria RAM. ☐ Se puede implementar toda la lógica dentro del C.I., disminuyendo la circuitería y el consumo. ☐ Son combinacionales. 	<ul style="list-style-type: none"> ☐ Alto costo por unidad. ☐ No se puede predeterminar la frecuencia máxima de operación, solo se puede obtener un valor aproximado por software.
DSP	<ul style="list-style-type: none"> ☐ Posee memoria RAM ☐ Posee conversor D/A 	<ul style="list-style-type: none"> ☐ Muy alto costo por unidad. ☐ Las unidades que trabajan a frecuencias superiores son con salidas seriales.
CPLD	<ul style="list-style-type: none"> ☐ Costo medio por unidad. ☐ Se puede implementar toda la lógica dentro del C.I., disminuyendo la circuitería y el consumo. ☐ Son combinacionales. 	<ul style="list-style-type: none"> ☐ No poseen memoria RAM. ☐ No se puede predeterminar la frecuencia máxima de operación, solo se puede obtener un valor aproximado por software.
Procesador	<ul style="list-style-type: none"> ☐ Bajo costo por unidad (Procesadores de PC, por ejemplo Pentium I). 	<ul style="list-style-type: none"> ☐ Necesita de una memoria ROM donde quede almacenado el programa a ejecutar. ☐ Están desarrollados para controlar una PC, por lo cual hay que adaptar esto al uso que se le quiera dar.

Lógica Discreta	□ Muy bajo costo por unidad.	□ Aumento de la circuitería y el consumo. Los retardos son críticos en el diseño debiéndose tener especial cuidado con las tecnologías a utilizar.
------------------------	------------------------------	--

Otro punto importante es el software y el hardware necesario para programar los dispositivos. Los costos adicionales se consideran costos fijos ya que se compran una vez y son útiles en toda la línea de producción. Dependiendo de cuantas unidades se van a producir será viable el uso o no de ciertos dispositivos.

Varios fabricantes han comenzado a entregar en forma gratuita el esquemático del programador y el software necesario. Estos “softwares” gratuitos son versiones menos potentes (en lo que respecta a las versiones comerciales) pero plenamente funcionales. Por ejemplo el gran crecimiento de los microcontroladores “PIC’s” de Microchip se debe a su bajo costo y a la gran difusión del software y el hardware de desarrollo de manera gratuita en internet.

Otra empresa que entrega el software de manera gratuita es Lattice que produce CPLD y FPGA. Este software es completo y permite tanto la programación en lenguaje VHDL o realizando un esquemático que luego el software lo compila y convierte al lenguaje mencionado. También posee la posibilidad de simular parcialmente o totalmente el programa a grabar en el dispositivo. La empresa vende el programador para puerto USB o Serial de una computadora personal. Además entrega un sencillo esquemático del programador para puerto paralelo de manera gratuita. Esto permite el uso de sus dispositivos en pequeñas líneas de fabricación.

2.3.2 - Selección

Se eligió un CPLD de Lattice Mach_4A5_192/96-10VC. Este CPLD posee 96 I/O programables, 74 mA de consumo estático y 192 macroceldas. Esta selección se debió a la posibilidad de integrar dentro del CPLD toda la lógica necesaria, reduciendo los consumos y los retardos de la misma. Estos dispositivos son reprogramables, dando la posibilidad de desarrollar la configuración más apropiada.

El conversor D/A es el DAC 902U de Burr-Brown de 12 bits, recomendado para las aplicaciones de generación de señales (DDS), donde a 12 MHz el SFDR (Spurious-Free Dynamic Range, Rango dinámico libre de espurios) es de 74 dB. El consumo es de solo 170 mW (con Vcc = 5 Volts). Tiene salidas complementarias de corriente, las cuales son proporcionales al valor digital de entrada, con un valor máximo de 20 mA por salida.

La memoria utilizada es la 61C256AK-20 de tecnología CMOS de la empresa ISSI, posee un tiempo de acceso máximo de 20 nseg y una capacidad de 32768 palabras de 8 bits.

2.4 - Selección del puerto y software de control

El generador arbitrario es controlado por el puerto paralelo de una computadora personal. Se eligió un puerto externo para que el generador sea portable y en particular el puerto paralelo para que la comunicación entre la computadora personal y el generador sea la más simple posible (para mas detalles de este puerto, ver el Anexo 2).

Se desarrolló el software de control en un entorno gráfico con lenguaje Visual Basic v 6.0, para facilitar la comprensión del uso del programa de control del generador.

2.5 - Análisis de Costos

La situación actual donde la diferencia entre el dólar y el peso es un límite en la importación de instrumentos electrónicos, abre la posibilidad de comenzar con una industria nacional. Esta claro que con un cuidadoso programa de desarrollo, es posible la exportación de productos.

Durante el análisis de la tecnología se estableció como parámetros el costo y las posibilidades para el desarrollo del generador de señales.

Las líneas de DSP son costosas y hay que tener en cuenta que no se entrega gratuitamente el software ni el hardware de desarrollo.

La implementación con Lógica Discreta de un sumador de varios bits que trabaje a alta frecuencia será difícil, además las capacidades distribuidas en el circuito serán un problema en el momento del desarrollo.

Los Procesadores de PC no son costosos, pero el hecho de tener una estructura totalmente establecida para otro tipo de tareas, produce dificultades en el desarrollo tales como el agregado de memorias ROM con el programa a ejecutar y la lógica adicional de control.

Los CPLD y FPGA son bastantes similares, presentan una gran ventaja en el momento del desarrollo ya que permiten múltiples grabaciones, dando la posibilidad de probar múltiples configuraciones. Además no necesitan lógica externa, todo queda dentro del circuito integrado. Los FPGA son más costosos que los CPLD.

Teniendo en cuenta este análisis se eligió los CPLD para el desarrollo del generador de señales. Para programar dicho dispositivo se recurrió a utilizar el software gratuito que entrega la empresa Lattice. El mismo se programa mediante la compilación de un circuito esquemático realizado previamente.

2.6 - Reproducibilidad

Este proyecto consta de tres componentes básicos. Las memorias seleccionadas son las utilizadas en las computadoras Intel 80286, fabricadas por IDT, NEC e Hitachi entre otros, las cuales son compatibles pin a pin. Debido a esto son muy sencillas de obtener en el mercado local.

El conversor D/A se puede obtener en el país, siendo la cantidad mínima de compra de 50 unidades. El CPLD se debe importar de Brasil, la compra mínima es de 75 unidades o puede importarse de EEUU donde no poseen entregas mínimas de unidades.

2.7 - Confiabilidad

El proyecto será sumamente confiable ya que al poseer pocos componentes se limita el consumo y el ruido digital presente. Así también al poseer pocos ajustes (calibración) se mantendrán invariables las características originales del diseño.

CAPITULO 3

PROYECTO

3.1 - Diagrama en bloques del Generador

En la Figura 3-1 se muestra el diagrama en bloques del generador.

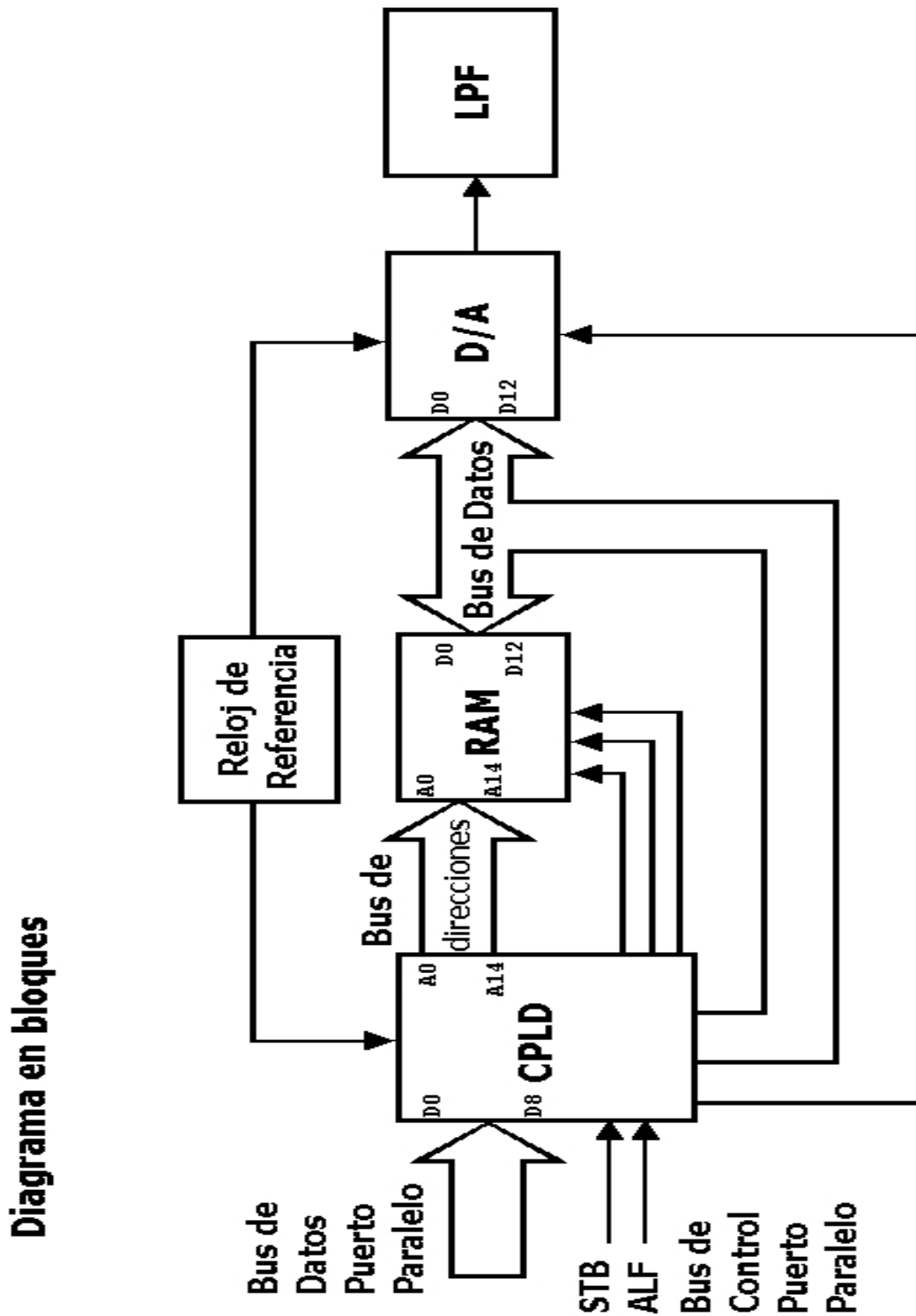


Figura 3-1

A continuación se analiza la implementación de los bloques del generador de formas de onda arbitrarias. Durante la descripción de los bloques se indican las líneas de control necesarias para el funcionamiento de estos. Por último se muestra la implementación de dichas líneas (Lógica de control).

En el Anexo 2 se describe las líneas y el funcionamiento del puerto paralelo de una computadora personal, el cual se utiliza en el desarrollo de esta sección.

3.2 - Memoria RAM

La distribución de los pines de la memoria es la siguiente:

Pin	Descripción
A0..A14	Bus de direcciones
I/O 0..I/O7	Bus de datos
\overline{WE}	Habilitación de escritura
\overline{OE}	Habilitación de salidas
\overline{CE}	Habilitación del dispositivo

La tabla con los modos de operación de la memoria con respecto al estado de las líneas de control es:

Modo	\overline{WE}	\overline{CE}	\overline{OE}	Operación I/O
No seleccionado	X	H	X	Alta impedancia
Salida deshabilitada	H	L	H	Alta impedancia
Lectura	H	L	L	Salida de Datos
Escritura	L	L	X	Entrada de Datos

Como el conversor digital analógico es de 12 bits se conectó dos bancos de dichas memorias en paralelo, para formar el bus de 12 bits, tal como se muestra en la Figura 3-2.

La lógica de control maneja las líneas \overline{WE} , \overline{CE} y \overline{OE} para seleccionar el modo de operación.

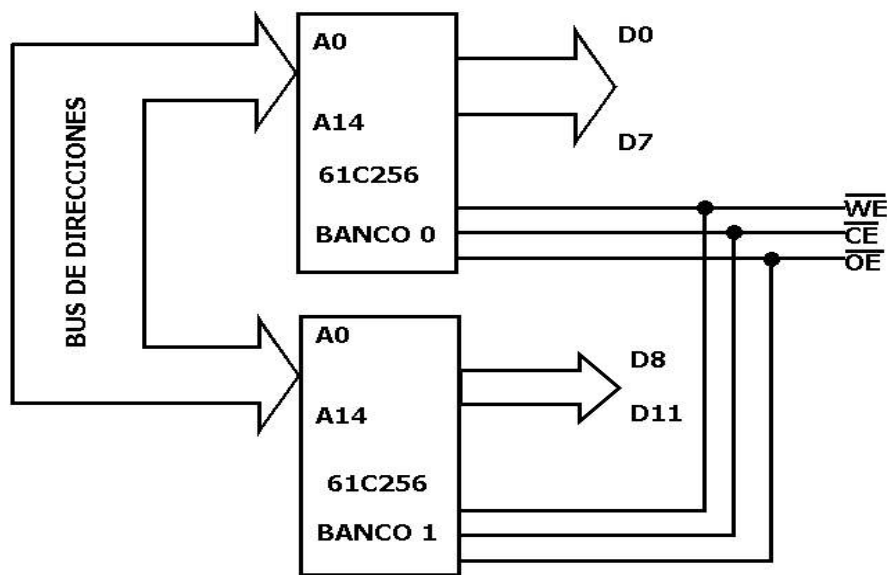


Figura 3-2

3.3 - Conversor Digital / Analógico (DAC)

La distribución de los pines más importantes y su descripción se muestra en la próxima tabla:

PIN	NOMBRE	DESCRIPCIÓN
1 a 12	D11 a D0	Bit de datos, D11 (MSB) a D0 (LSB)
15	PD	Deshabilita el convertor, Activo Alto. Cuando se activa esta línea el convertor pasa a un estado de bajo consumo.
20	AGND	Masa analógica.
21	I_{OUT}	Salida de corriente complementaria del convertor.
22	I_{OUT}	Salida de corriente del convertor.
24	+V _A	Alimentación analógica.
26	DGND	Masa digital.
27	+V _D	Alimentación digital.
28	CLK	Entrada de reloj.

El pin “Clock” del convertor D/A se conectó directamente al reloj de referencia. La lógica de control maneja solo una línea, “PD”. Durante la carga de los datos en la memoria o cuando se detiene la generación se activa dicha línea, dejando al convertor en estado de bajo consumo.

Nota: Para más información se adjunta una copia de las hojas de datos de la memoria y del convertor D/A en el anexo 3. En ellas se pueden encontrar los diagramas temporales de los mismos.

3.4 - Diagrama en bloques del CPLD

En la Figura 3-3 se muestra los bloques implementados dentro del CPLD.

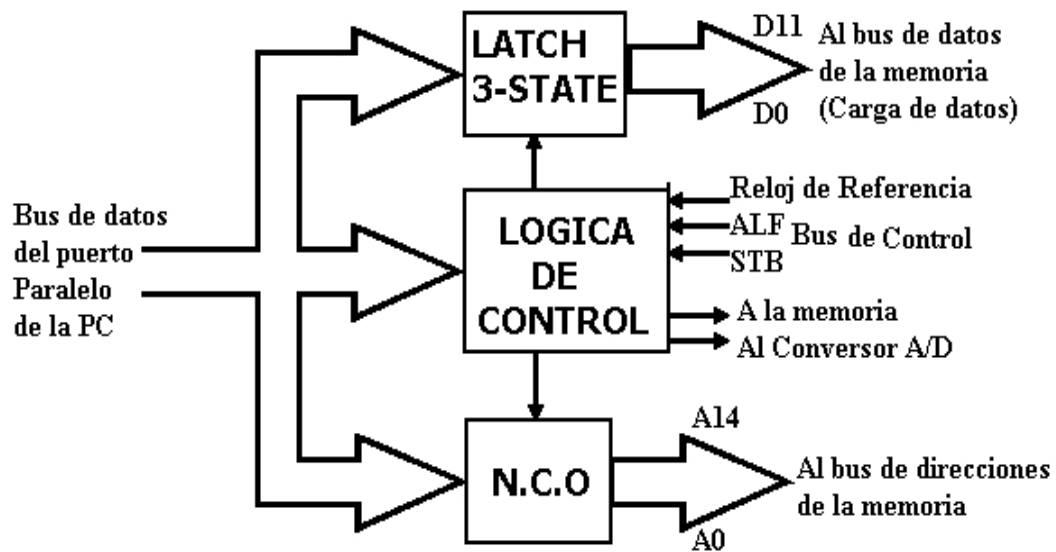


Figura 3-3

Oscilador Controlado Numéricamente (N.C.O.): Como se mencionó en la introducción teórica, la técnica de síntesis directa digital utiliza un oscilador controlado numéricamente para direccionar la memoria y poder controlar la frecuencia de la señal que se desea generar.

Registro de tres estados (Latch 3-State): Los datos que corresponden a los valores de amplitud de la señal deseada que son guardados en la memoria son de 12 bits, mientras que el bus de datos es de 8 bits, es por eso que se utiliza este registro para conformar la palabra de 12 bits necesaria. Luego de completar la carga, las salidas de este registro deben pasar a un estado de alta impedancia.

Lógica de Control: Este bloque se diseñó luego de obtener todas las necesidades de control de los restantes bloques del generador. Las líneas de control de las otras etapas se manejan utilizando la información enviada por las líneas del bus de datos y de control del puerto paralelo

La programación del CPLD se realiza mediante la construcción de un esquemático, el cual al ser compilado programa el dispositivo. El software que entrega la empresa Lattice posee en el editor esquemático las librerías necesarias para poder desarrollar los bloques anteriormente mencionado. Todos los esquemáticos que se muestran en este proyecto fueron realizados con dicho editor.

A continuación se realiza un análisis detallado de la implementación de cada uno de los bloques que se integraron dentro del CPLD.

3.4.1 - NCO

Este bloque consta de tres partes. El sumador digital de 32 bits y dos registros de 32 bits. El diagrama en bloques se muestra en la Figura 3-4.

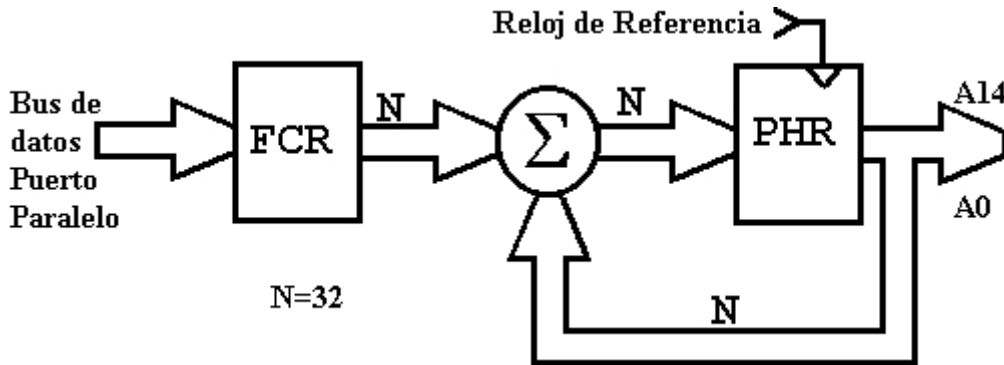


Figura 3-4

3.4.1.1 - FCR En la Figura 3-5 se muestra la implementación del FCR.

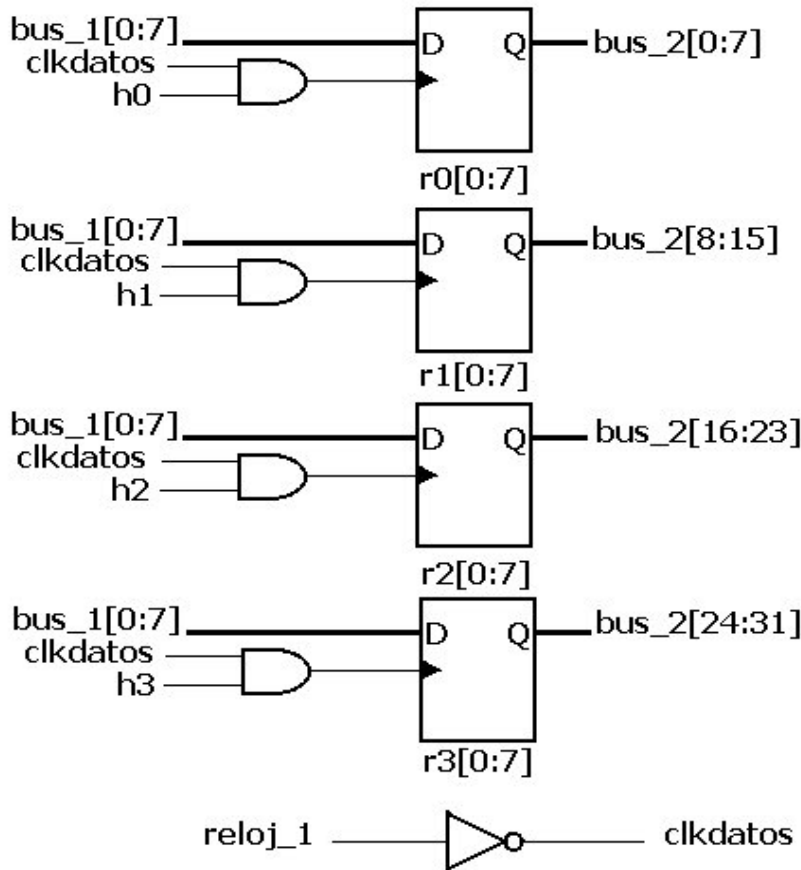


Figura 3-5

Este registro se implementó utilizando cuatro bloques de 8 registros tipo “D” cada uno. El editor del esquemático denomina a un elemento con un nombre y entre corchetes la cantidad de elementos, en este caso $r_i[0:8]$ son 8 registros tipo D que forman uno de los bloques del FCR. Con cada palabra enviada por el bus de datos del puerto paralelo se llena uno de estos bloques.

En la figura anterior se denominó como “bus_1” al bus de datos del puerto paralelo y “Reloj_1” a la línea STB del bus de control del puerto paralelo, la cual indica la llegada de un nuevo dato al mismo. La lógica de control maneja 4 líneas, h0, h1, h2 y h3 para grabar los datos en el FCR.

3.4.1.2 - Sumador El editor esquemático posee una librería de un sumador binario de 4 bits con acarreo de entrada. El sumador del NCO se implementó con 8 de estos bloques en cascada. En la Figura 3-6 se encuentra el circuito esquemático del sumador en donde se observa la conexión de los sumadores FADD4C. Se denominó “bus_in” al dato grabado en el FCR, “bus_r” al dato de entrada al PHR y “bus_out” a la salida de este último.

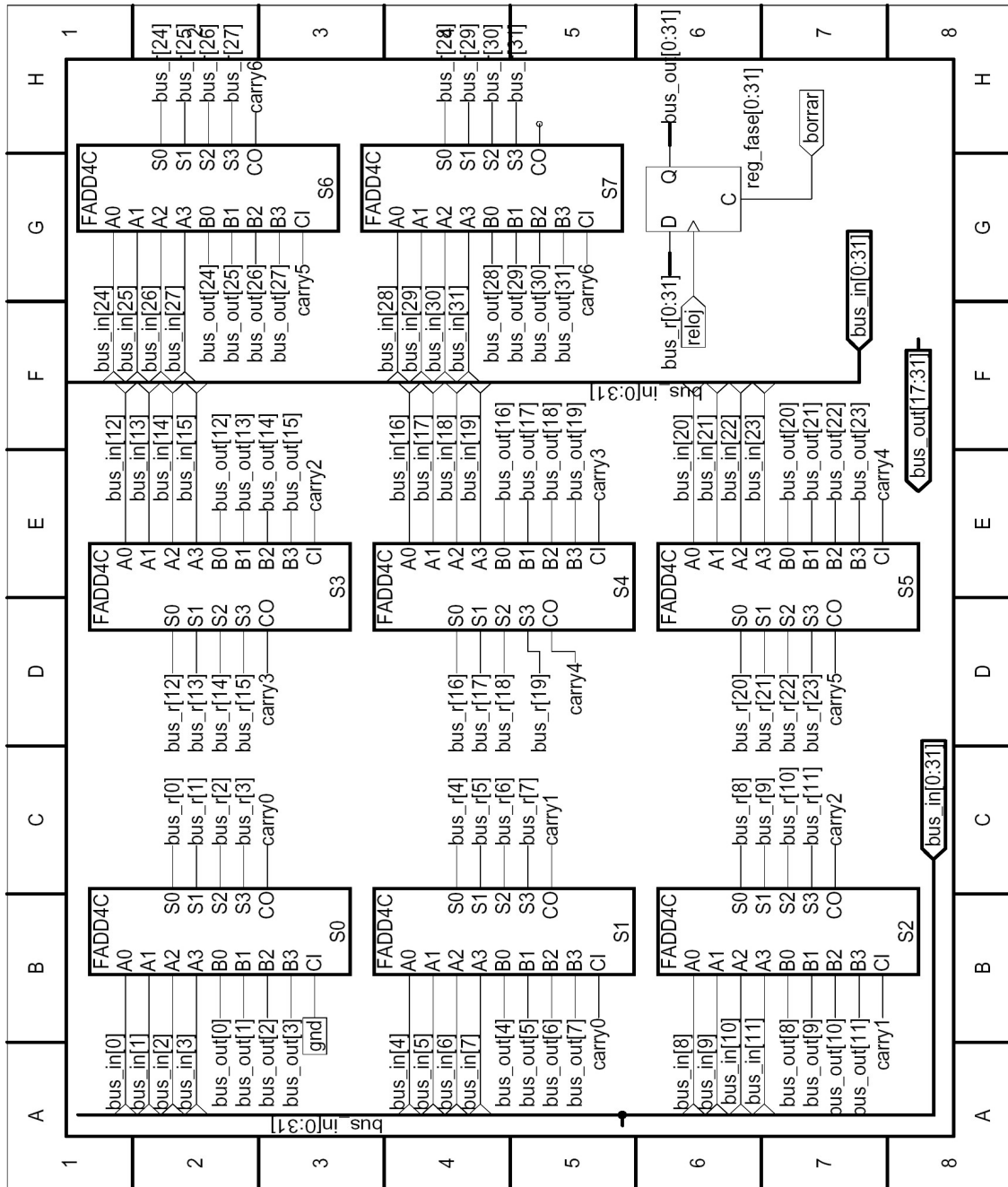


Figura 3-6

3.4.1.3 - PHR Este bloque es similar al FCR, pero como la carga se realiza en paralelo y en un solo ciclo de reloj se colocó un único bloque de 32 registros tipo D. Este registro se encuentra en la Figura 3-6 en la posición G-6 con el nombre “reg_Fase[0:31]”.

3.4.2 - Registro de tres estados (Latch 3-State):

En la Figura 3-7 se muestra el esquemático que se implementó para realizar este bloque.

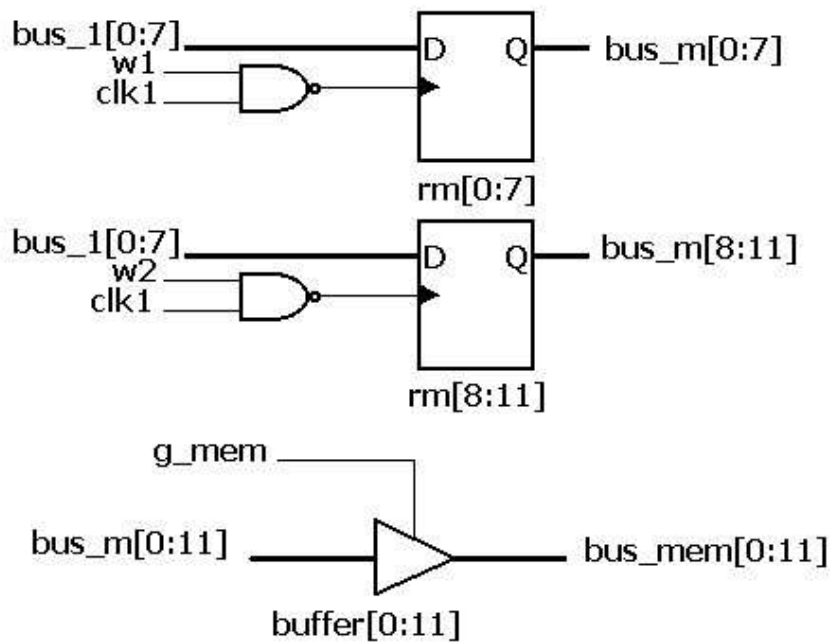


Figura 3-7

La implementación de este registro es similar al FCR. Consta de dos bloques de registros tipo “D”, uno con 8 y el otro con 4. Cuando se active este registro cada palabra enviada al bus de datos, “Bus_1” se guarda en uno de los dos bloques de registros. La lógica de control maneja “w1” y “w2” para poder realizar la grabación en cada uno de los mismos. En la sección “3.4.5.3 - Registros de tres estados”, se desarrolla el protocolo para realizar con este registro la carga de la memoria RAM con los valores de amplitud digitales de la forma de onda.

3.4.3 - Operaciones básicas del generador

Para simplificar la comprensión de las tareas que debe realizar la Lógica de Control, se definen cuatro operaciones básicas del generador:

- Grabación del FCR
- Grabación de la RAM
- Generación de la forma de onda
- Deshabilitar el generador.

Se utiliza la línea de programación “PROG” (pin ALF del bus de control del puerto paralelo) para comunicarle a la lógica de control que se desea cambiar la operación básica. Cuando esta línea se active (nivel alto) se detiene la operación en curso y se lee los dos bits de menor peso D0 y D1 del bus de datos del puerto paralelo. Con estos bits se pueden seleccionar la operación básica a realizar. En la próxima tabla se describen las 4 operaciones y los estados correspondientes de dichos bits.

D1	D0	OPERACIÓN
0	0	Generación de la señal: Al NCO se le habilita el reloj de referencia. La memoria pasa a modo lectura y se habilita el conversor.
0	1	Grabación del FCR. Al NCO no se le habilita ninguna señal de reloj. Se coloca al conversor D/A y a las memorias en un estado de bajo consumo. Se manejan cuatro líneas para grabar el dato.
1	0	Estado desactivado. Se desactivan todos los dispositivos.
1	1	Grabación de la memoria. Al NCO se le habilita el reloj que indica la llegada de nuevos datos. La memoria RAM pasa a modo escritura. Se habilita el registro de tres estados donde se arma la palabra de doce bits. El conversor D/A se mantiene desactivado.

3.4.4 - Lógica de Control

El circuito esquemático que se implementó se muestra en la Figura 3-8.

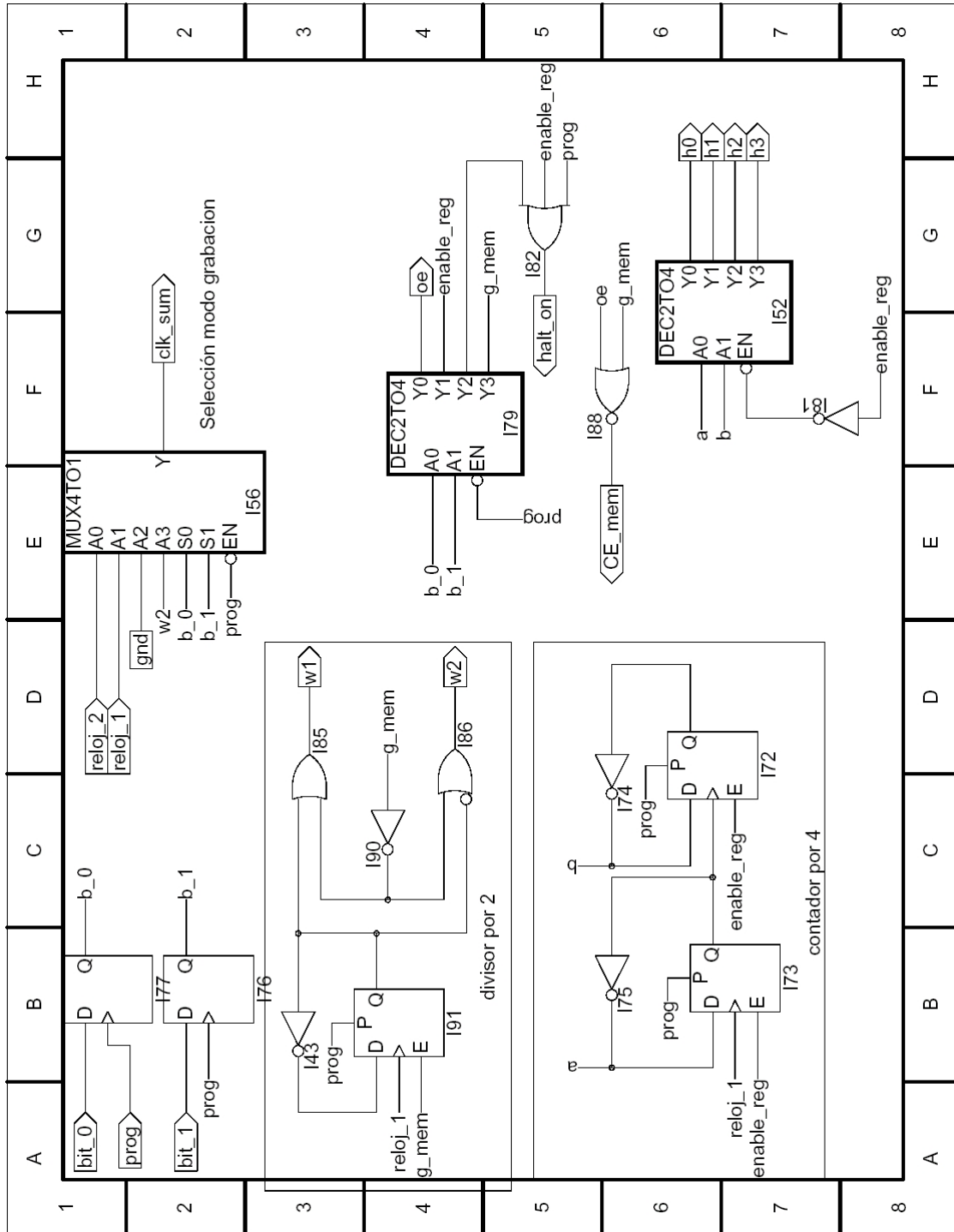


Figura 3-8

Se denominó:

Bit_0	Bit 0 del bus de datos, puerto paralelo (LSB)
Bit_1	Bit 1 del bus de datos, puerto paralelo
Prog	ALF del bus de control, puerto paralelo
Reloj_1	Reloj de referencia
Reloj_2	STB del bus de control, puerto paralelo, (Reloj de datos)

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

Para almacenar el modo de operación se recurrió a dos registros tipo "D", tal como se muestra en la Figura 3-9. Durante el flanco positivo de la línea "PROG" se guarda el valor del bit 0 y del bit 1 del bus de datos del puerto paralelo en dichos registros.

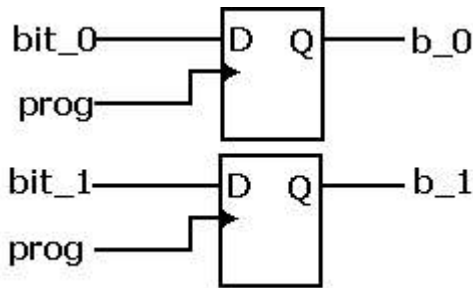


Figura 3-9

Se denominó "b_0" y "b_1" a los bits almacenados en el registro donde se guarda la operación actual de la lógica de control.

Con estos últimos y mediante un decodificador de 2 a 4 líneas, se obtienen 4 líneas de control, una por cada operación definida. En la Figura 3-10 se muestra el circuito y la tabla de verdad.

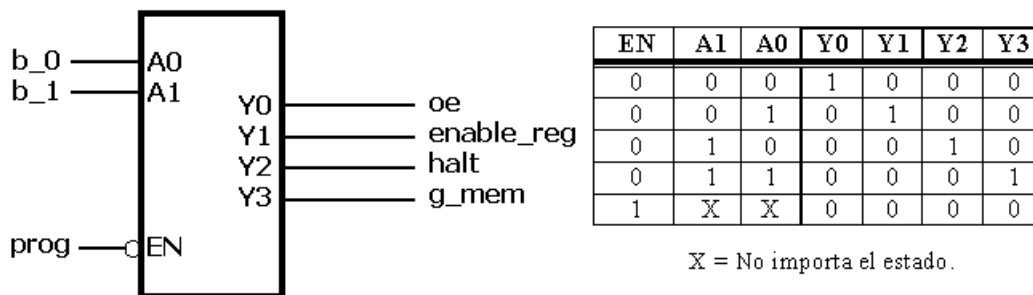


Figura 3-10

Oe	se activa cuando se trabaja en el modo de generación
Enable_reg	se activa cuando se trabaja en el modo de grabación del FCR.
Halt	se activa cuando se detiene el generador.
G_mem	se activa cuando se trabaja en el modo de grabación de memoria

En la próxima tabla se realizó un resumen de las todas las líneas de control implementadas.

BLOQUES		Líneas implementadas con la Lógica de Control	Sección
C P L D	N	Sumador	Reloj
	C	PHR	Reset
	O	FSR	h0, h1, h2 y h3
	Registro de 3 estados		w1 y w2
RAM		\overline{WE} , \overline{CE} y \overline{OE}	3.4.4.2
DAC		PD	3.4.4.4

A continuación se explica el funcionamiento de la lógica de control planteando los requerimientos de cada etapa y el circuito que se implementó para satisfacerlo.

3.4.4.1 - NCO

[A] - Sumador

El sumador utiliza distintas señales de reloj dependiendo de la operación. En la Figura 3-11 se muestra su implementación y la tabla de verdad correspondiente.

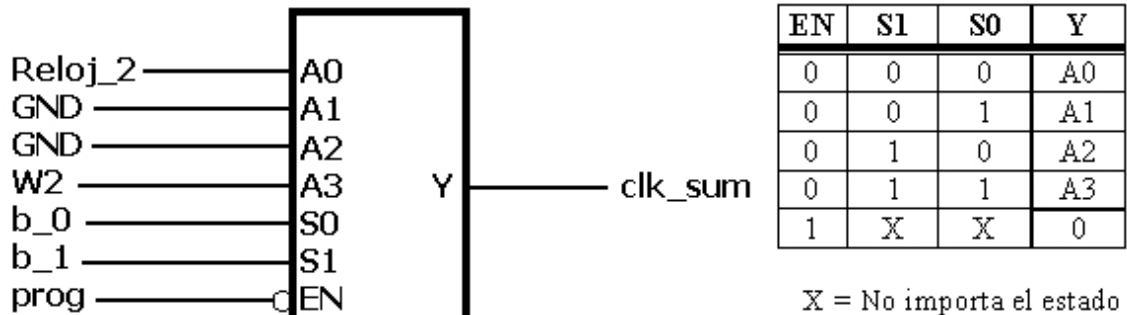


Figura 3-11

Se utilizó un multiplexor de 4 a 1, el cual selecciona la señal de reloj para el sumador, “clk_sum”, dependiendo de la operación a realizar. Para el modo generación se utiliza el reloj de referencia, “Reloj_2”. En el modo de grabación de la memoria se emplea una señal conformada por la lógica de control, “W2”. Dicha señal de reloj se desarrolla en la sección "3.4.5.3 - Registros de tres estados". Para los modos restantes no se habilita ninguna señal de reloj.

[B] - PHR

En la Figura 3-12 se muestra la implementación de la línea de “Reset” del PHR.

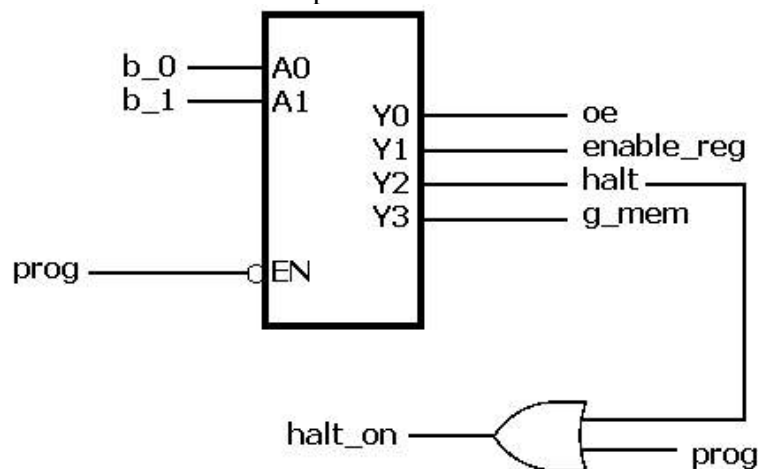


Figura 3-12

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

Se utiliza la línea de "halt_on" para resetear el PHR, el cual se borra cada vez que se activa el modo detención (Halt) o la línea de "PROG" pase a alto.

[C] - FCR

Para el modo de grabación del FCR solo este registro esta activo. Se ha implementado la lógica de control para habilitar la carga del número M mediante el circuito que se muestra en la Figura 3-13.

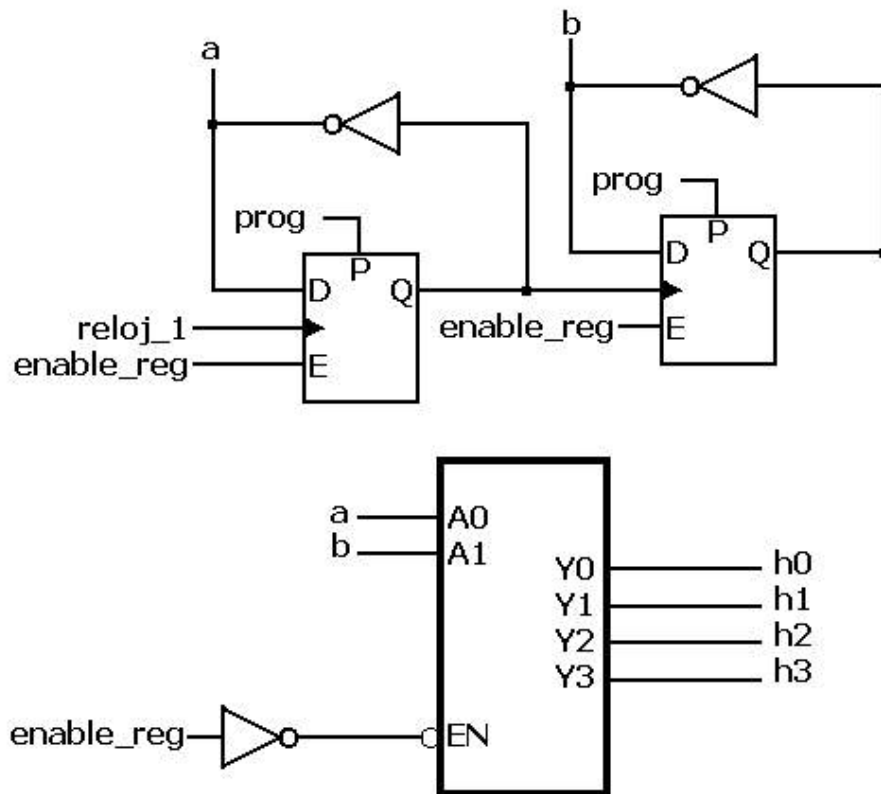


Figura 3-13

Para cargar el FCR con el número "M" la lógica implementada permite el manejo de cuatro líneas. Este registro consta de 32 bits y se debe cargar con 4 palabras de 8 bits cada una, las cuales son recibidas por medio del bus de datos del puerto paralelo. El circuito posee un divisor por 2 (la salida "a") y por 4 (la salida "b") de la frecuencia de reloj de datos. En la Figura 3-14 se muestra un diagrama temporal simplificado, donde se graficó el estado de las líneas a, b, h0, h1, h2 y h3.

DIAGRAMA TEMPORAL DEL DIVISOR POR 2 Y 4

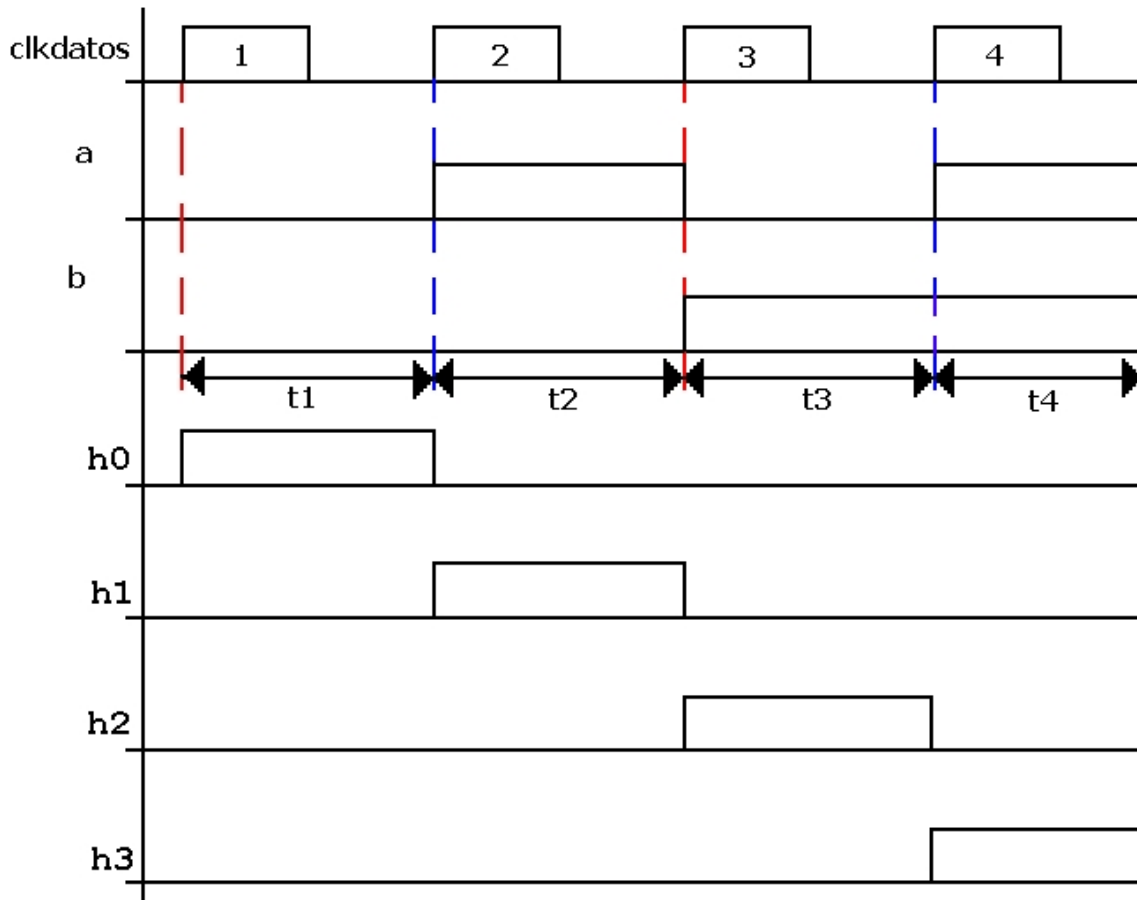


Figura 3-14

Con las señales a y b, mediante un decodificador de 2 a 4, se genera en cada una de las cuatro líneas de salidas del mismo, los pulsos sincronizados con la llegada de los datos. Es decir durante el tiempo t1 se habilita la línea h0, en el tiempo t2 la línea h1 y así sucesivamente.

Las líneas de control h0, h1, h2 y h3 son las que habilitan los bloques de registros del FCR a grabar. Estas son activadas, una por vez, por medio del flanco positivo de la señal de reloj de datos. Con el flanco negativo de esta misma señal se graban los datos en el bloque de registros del FCR habilitado. Como se puede observar en la Figura 3-5, sección "3.4.2.1 - FCR", se ha invertido la señal de reloj de los datos "reloj_1" obteniéndose la señal "clkdatos".

Esto último se ha implementado así, debido a que durante las primeras simulaciones se pudo observar unas pequeñas "espigas", es decir pulsos muy pequeños e indeseados, durante los cambios en las líneas de control (h0, h1, h2 y h3) produciéndose "latcheos" incorrectos. Este efecto aparece si se utiliza el mismo flanco para direccionar y grabar simultáneamente en los registros.

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

Durante la elección de la operación de carga del FCR, la línea de reloj de datos se debe encontrar en nivel alto antes de que la línea “PROG” cambie a inactivo, para asegurar el correcto funcionamiento del divisor

En la Figura 3-15 se incluye el diagrama obtenido del simulador incorporado en el software de desarrollo de la empresa Lattice. En la marca 1, cuando la línea “PROG” pasa a bajo se activa el modo de grabación del FCR. En la marca 2 se guarda la primera parte de la palabra (flanco negativo del reloj de datos), en las marcas 3, 4 y 5 se graban los siguientes bloques de registros. En el círculo azul se muestra la espiga mencionada anteriormente, el simulador le asignó un tiempo de 30 pseg. Durante las pruebas se pudo comprobar que aunque este era un tiempo insignificante, si se “latheaba” con los flancos positivos se producían errores durante la carga del registro.

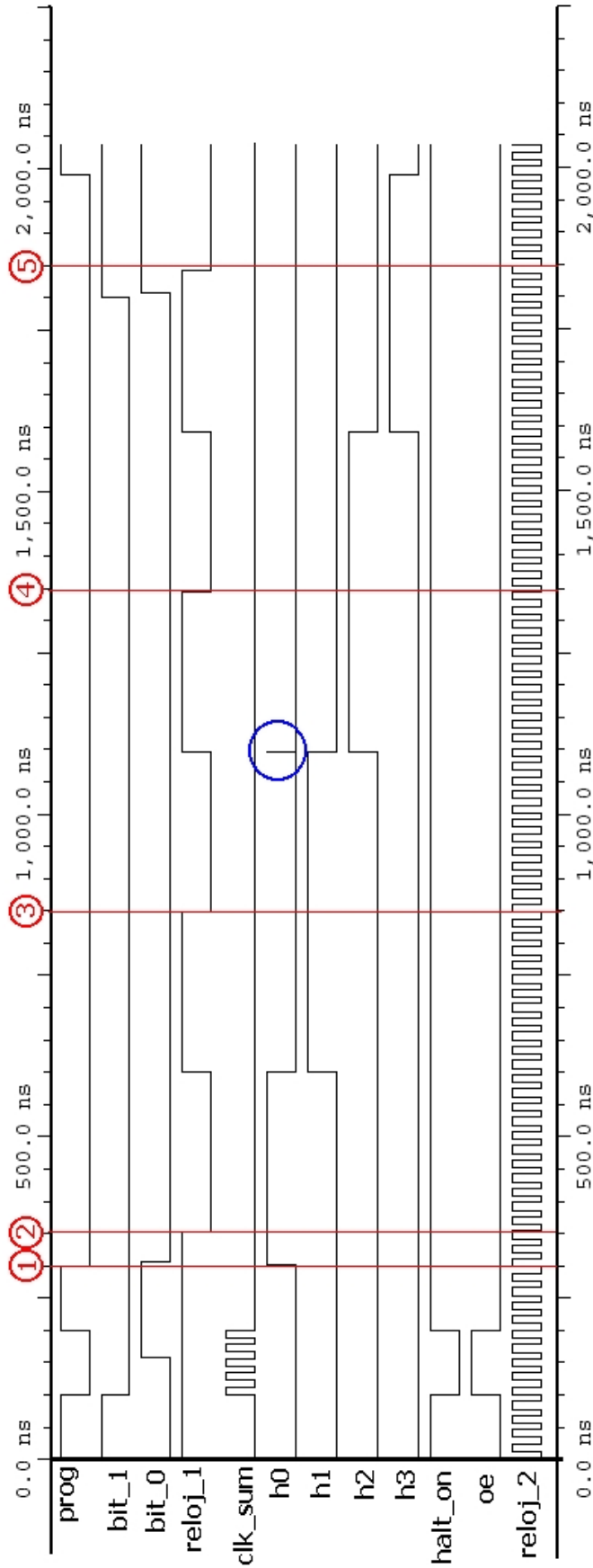


Figura 3-15

3.4.4.2 - Memoria RAM

A continuación se analiza como se implementó las líneas de control de la memoria RAM.

La línea \overline{CE} se implementó mediante una compuerta NOR, tal como se muestra en la Figura 3-16.

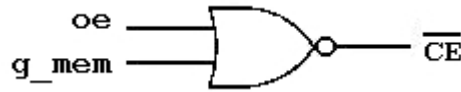


Figura 3-16

En los modos de detención y grabación del FCR la memoria se desactiva. Para esto se requiere que la línea \overline{CE} se mantenga en alto, provocando que las líneas de I/O pasen al estado de alta impedancia. En el modo generación y grabación de la memoria la línea \overline{CE} debe permanecer en bajo. Por lo tanto, el manejo de esta línea se consigue utilizando las líneas del decodificador de modos de operación “OE” y “G_MEM”, dado que estas no están nunca en nivel alto simultáneamente, de esta manera cuando una de estas esté activa \overline{CE} esta en nivel bajo.

Para implementar la línea \overline{OE} se utilizó una compuerta NOT como se muestra en la Figura 3-17



Figura 3-17

La línea \overline{OE} debe estar activa únicamente cuando se seleccione el modo generación, para habilitar como salida las líneas I/O de las memorias. Para ello solo se invirtió la salida “OE” del decodificador de modos de operación.

Por último para implementar la línea \overline{WE} se diseñó el circuito de la Figura 3-18.

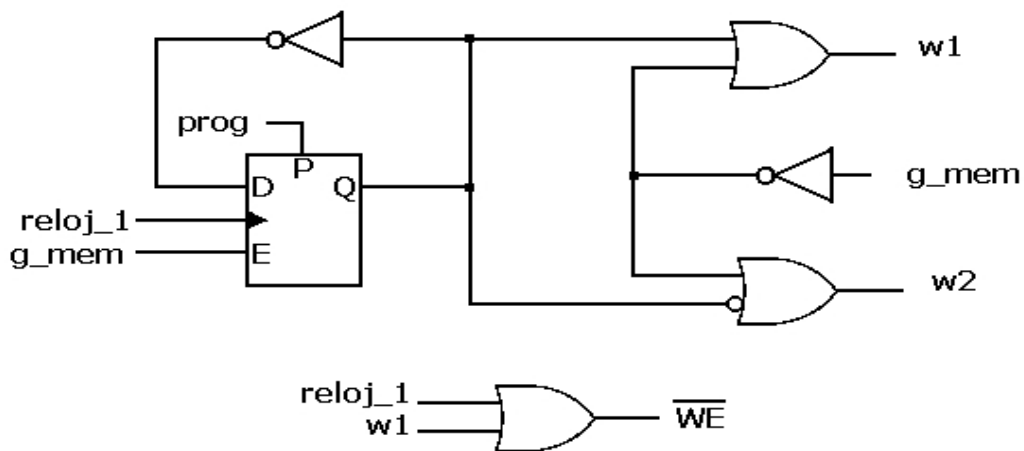


Figura 3-18

Cuando la señal \overline{WE} pase del estado inactivo (nivel alto) al estado activo (nivel bajo) se guarda el dato presente en el bus de datos de la memoria. Dicha línea debe estar en nivel alto en todos los modos excepto para el modo de escritura de la memoria.

Cuando la línea “g_mem” se encuentra en estado inactivo (nivel bajo) las salidas “w1” y “w2” se encuentran en nivel alto. Para el caso que “g_mem” este activa (nivel alto) las líneas “w1” y “w2” funcionan como divisor por 2 del reloj de datos (Relej_1). Luego con la línea “w1” y el reloj de datos, se conforma la señal \overline{WE} , tal que cuando ambas estén en nivel alto se grabe la palabra de 12 bits en la memoria.

3.4.4.3 - Registros de tres estados

Para manejar al registro de 3 estados se utilizan las líneas “w1” y “w2” que se mostraron en el circuito anterior. Para comprender de forma sencilla como se produce el “latheo” del dato de 12 bits con dos palabras de 8 bits, en la Figura 3-20 se muestra el diagrama temporal:

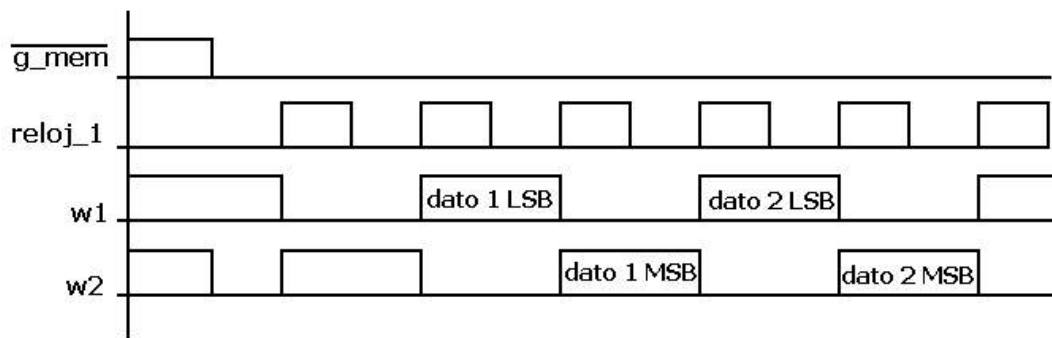


Figura 3-20

Con la señal “w1” se “latchea” en el bloque de registros la parte baja de la palabra, 8 bits menos significativos, y con la señal “w2” se graba la parte alta, o sea los restantes 4 bits.

En el primer ciclo de reloj no se envían datos dado que se direcciona primero al registro con la parte alta de la palabra. Luego cada dos ciclos de reloj se completa la carga de la palabra de 12 bits.

En la Figura 3-21 se muestra un diagrama temporal completo con todas las señales involucradas en la carga de la forma de onda de la señal en la memoria RAM.

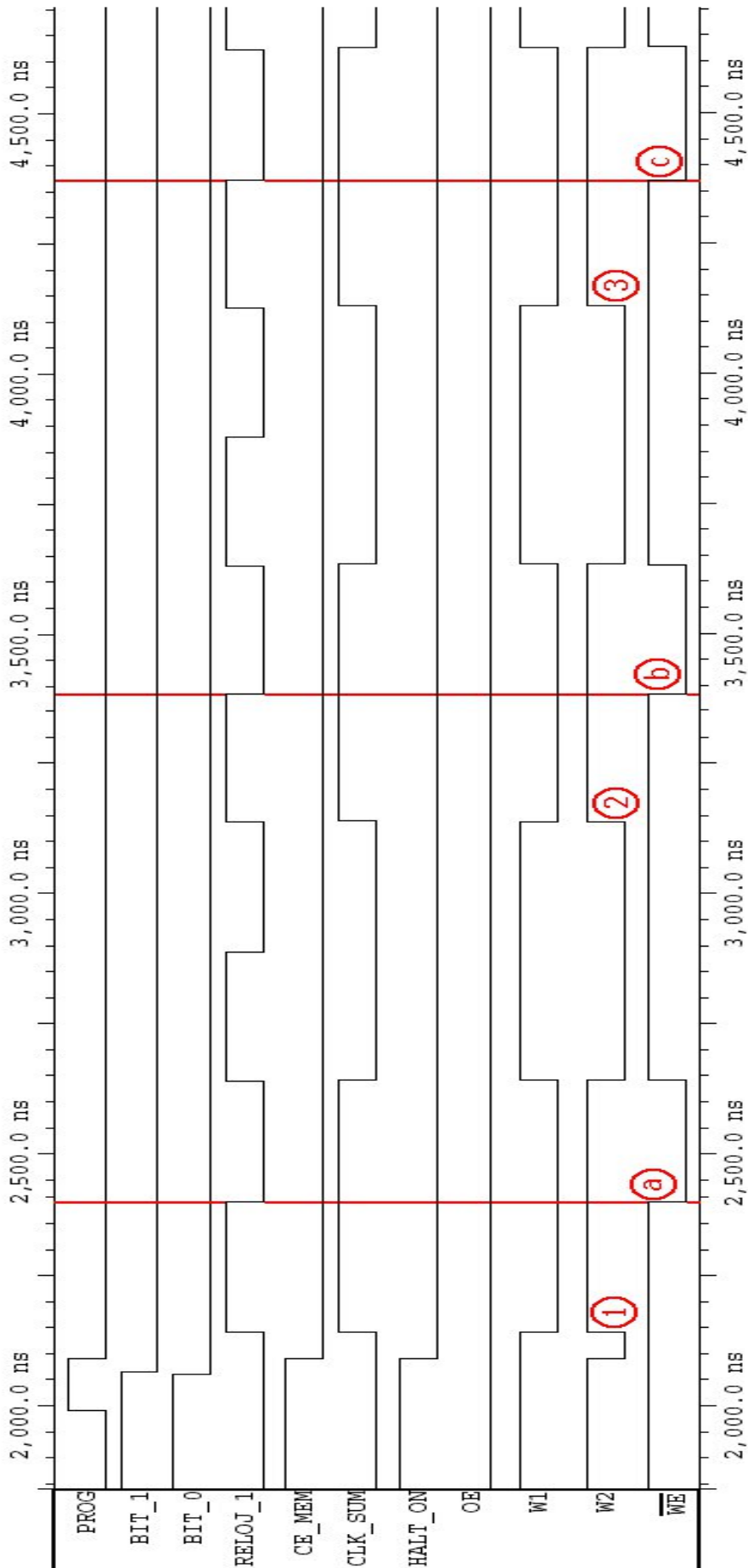


Figura 3-21

Para la correcta carga de los datos en la memoria, en el FCR se debe colocar un número tal que con cada ciclo de reloj del NCO se direcciona a cada una de las posiciones de la memoria (Ver sección “3.5 - Direccionamiento de la RAM durante el ciclo de grabación”).

En Figura 3-21 se han colocado algunas marcas para visualizar algunos detalles importantes. En la marca "1" la señal “w2”, que es el reloj del NCO, presenta el primer flanco positivo y por tanto el NCO direcciona la posición 1 de la memoria. Pero no hay dato guardado en el registro de 12 bits, por tanto se escribe en la primera posición un dato erróneo. Recién en la marca "2" se direcciona la posición 2 de la memoria y el dato esta listo para ser grabado. Así sucesivamente se guardan todos los datos. El último dato se guarda en la primera posición sobrescribiendo el dato erróneo previamente guardado.

Para una grabación correcta se deben seguir entonces los siguientes pasos:

1. Enviar un primer ciclo de reloj de datos (STB) sin enviar datos.
2. Separar las palabras de 12 bits en dos partes enviando primero la parte baja (8 bits de menor peso) y después la parte alta (restantes 4 bits).

En las marcas “a”, “b” y “c” se indica cuando la línea \overline{WE} baja, siendo este el momento donde se guarda el dato en la memoria.

3.4.4.4 - Conversor D/A

Este bloque solo posee una línea de control, “PD”, la cual esta inactiva (nivel bajo) cuando se selecciona el modo generación. En los otros modos no es necesario que el conversor este activo y por lo tanto este pasa a un estado de bajo consumo mediante la activación de la línea PD.

Para implementar esto no se agrego circuitería ya que se comporta en forma idéntica a la línea \overline{OE} de la memoria.

3.5 Direccionamiento de la RAM durante el ciclo de grabación

Durante el proceso de grabación de la forma de onda en la memoria RAM, el NCO incrementa una posición por cada dato grabado. Para lograr esto se debe grabar en el FCR un valor M tal que, para cada ciclo de reloj que llega al NCO se acceda a una posición de la memoria. Si el MSB es el bit 31 del PHR, luego el bit 17 ($N-n = 32-15$) se conecta a la línea A0 de la memoria, el bit 18 a la A1, y así sucesivamente hasta conectar el bit 31 con la línea A14. De esta forma cuando se coloque un "uno" lógico en el bit 17 del FSR, se incrementa una posición de la memoria con cada ciclo de reloj.

El número a grabar es:

$$M = 00\ 02\ 00\ 00)_{16} \text{ o } 131072)_{10} \text{ o } 00000000\ 000000010\ 00000000\ 00000000)_{2}.$$

Se debe recordar que el primer dato valido es el grabado en la segunda posición de la memoria. La primera posición se graba con un dato valido cuando se produzca el rebalse del sumador.

3.6 - Secuencia de programación del generador:

La secuencia de programación se detalla a continuación:

1. Se activa el modo de grabación del FCR. Se escribe en el FCR el número $00\ 02\ 00\ 00)_{16}$ o $131072)_{10}$ o $00000000\ 000000010\ 00000000\ 00000000)_{2}$, para preparar la grabación de la forma de onda en la memoria. Los 32 bits se separan en bloques de 8 bits cada uno. Primero se envía los 8 bits de menor peso $(00)_{16}$, luego el segundo termino $(00)_{16}$, a continuación el tercero $(02)_{16}$, y por último los 8 bits de mayor peso $(00)_{16}$.
Cada vez que hay un dato listo en el bus de datos se debe activar el reloj de datos (pasar la línea STB de bajo a alto)
Recordar: antes de que la línea "PROG" se desactive (pase de alto a bajo), la línea del reloj de datos debe estar en alto.
2. Se activa el modo de grabación de la memoria. Se envía un primer pulso del reloj de datos, pero sin enviar datos. Luego se envía de cada dato, primero el LSB y a continuación el MSB. Cada vez que el dato esta listo se envía el pulso del reloj de datos.
3. Se activa el modo de grabación del FCR. Se envía el número "M" que produzca la frecuencia de salida deseada. Este se calcula por la siguiente ecuación:

$$Frec_{SALIDA} = \frac{M * F_{CLOCK}}{2^N - 1}$$

Siendo N = 32 bits, $2^{32}-1= 4294967295$, $F_{clock} = 40 * 10^6$;

$$M = \frac{[Frec_{SALIDA} (deseada)] * 4294967295}{40 * 10^6}$$

4. Se activa el modo generación.

3.7 - Circuitos esquemáticos completos

Por último se muestran los circuitos esquemáticos completos, que se grabaron en el CPLD. Dichos circuitos se muestran en las Figuras 3-23, 3-24, 3-25 y 3-26.

El editor esquemático donde se desarrollaron los circuitos lógicos, necesita que se les indiquen cuales son las señales que se conectarán a los pines externos del CPLD. Estas señales se conectan al exterior mediante buffer's tal como se muestra en la Figura 3-22.

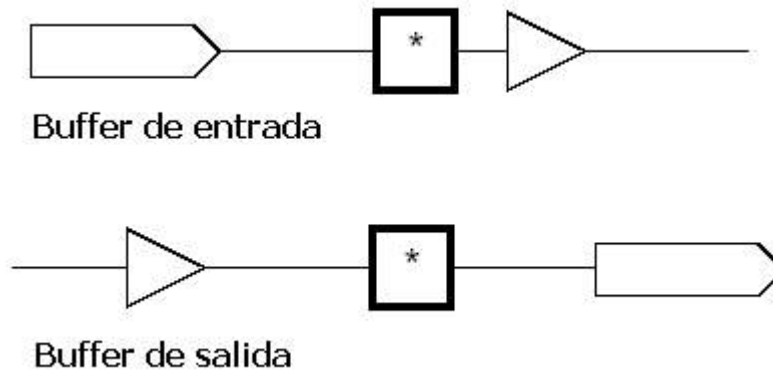


Figura 3-22

La caja con el símbolo asterisco indica que es una conexión a un pin externo.

Los circuitos esquemáticos se realizaron en varias partes de modo de simplificar las simulaciones necesarias durante la etapa de desarrollo.

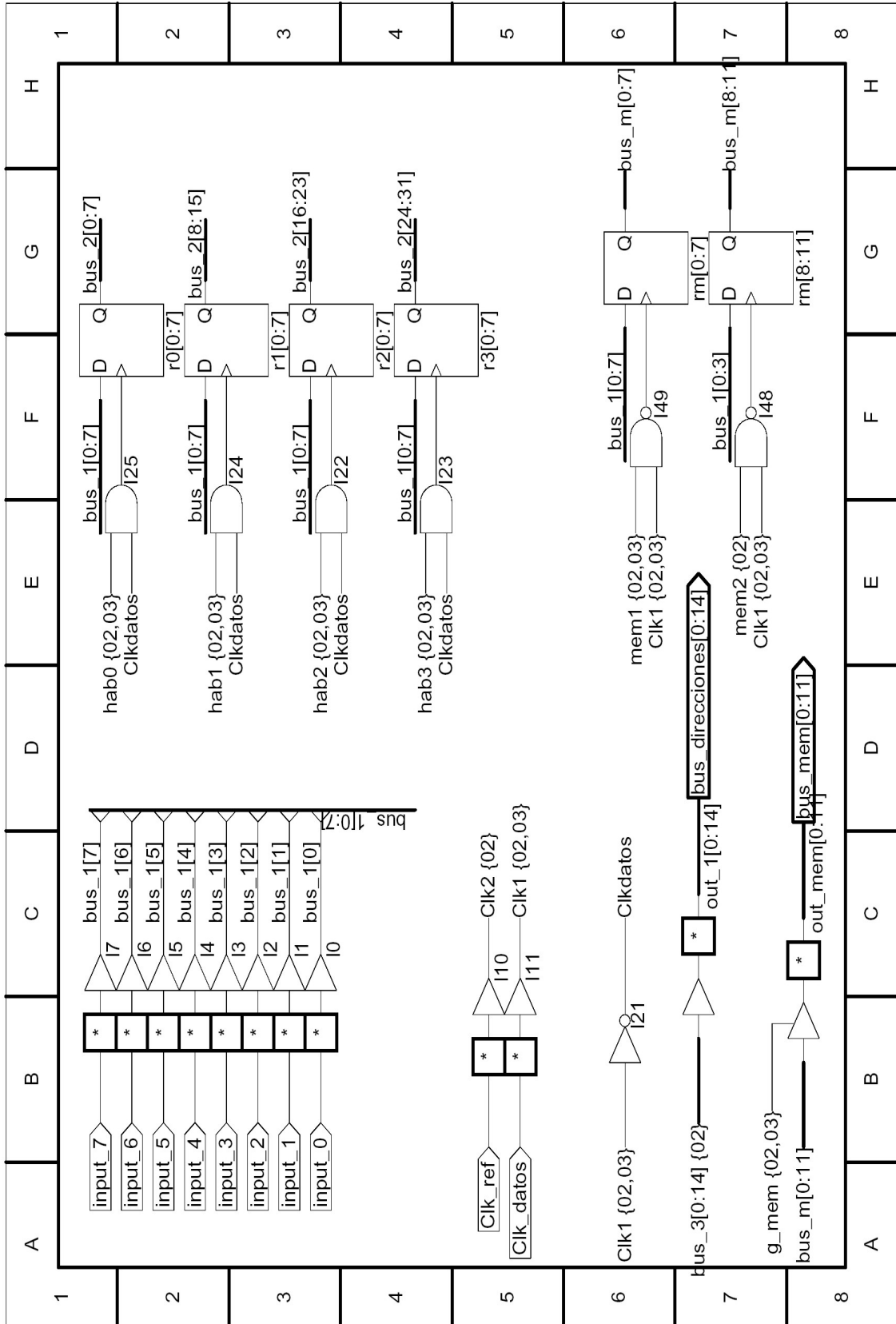


Figura 3-23

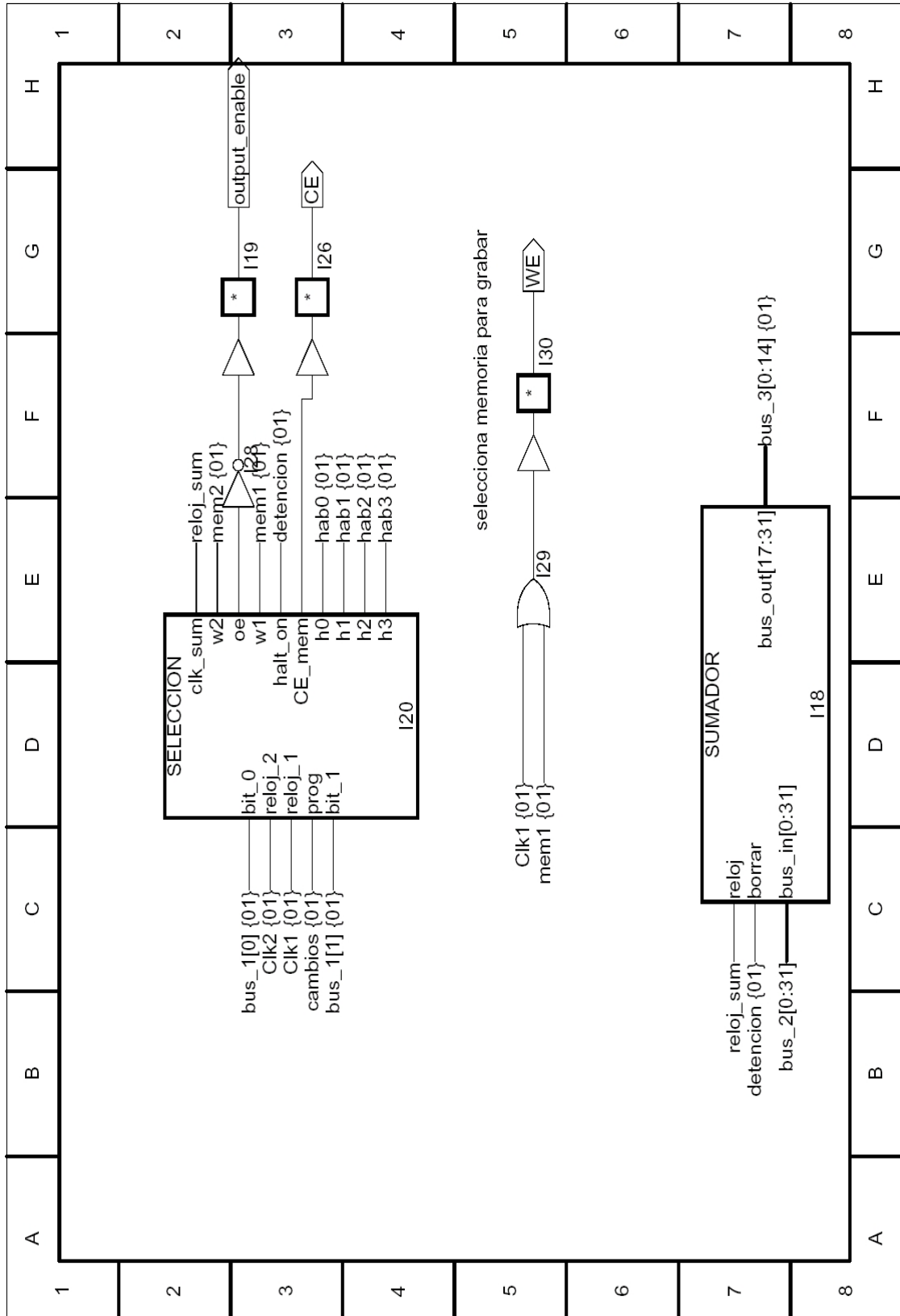


Figura 3-24

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

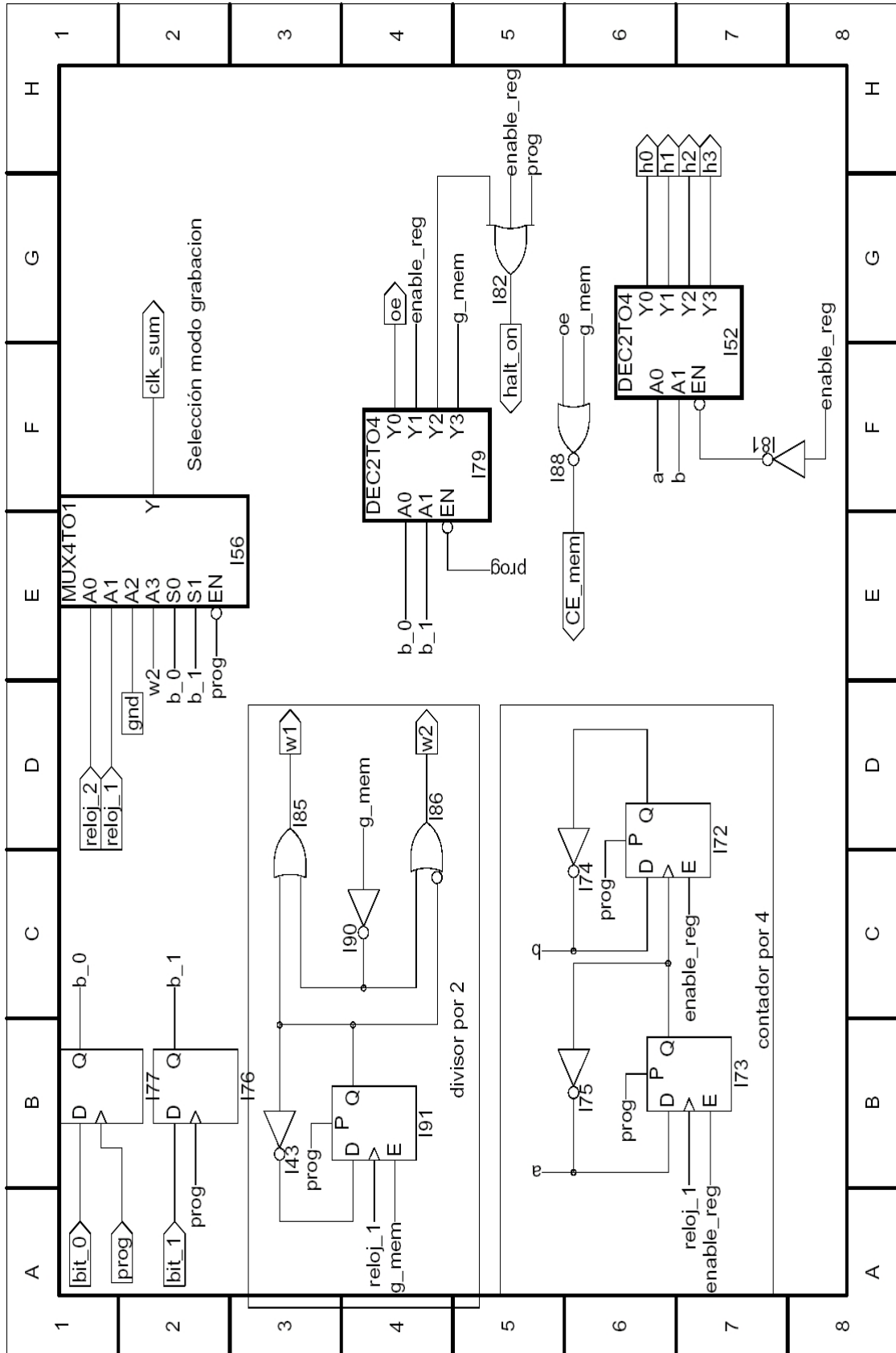


Figura 3-25

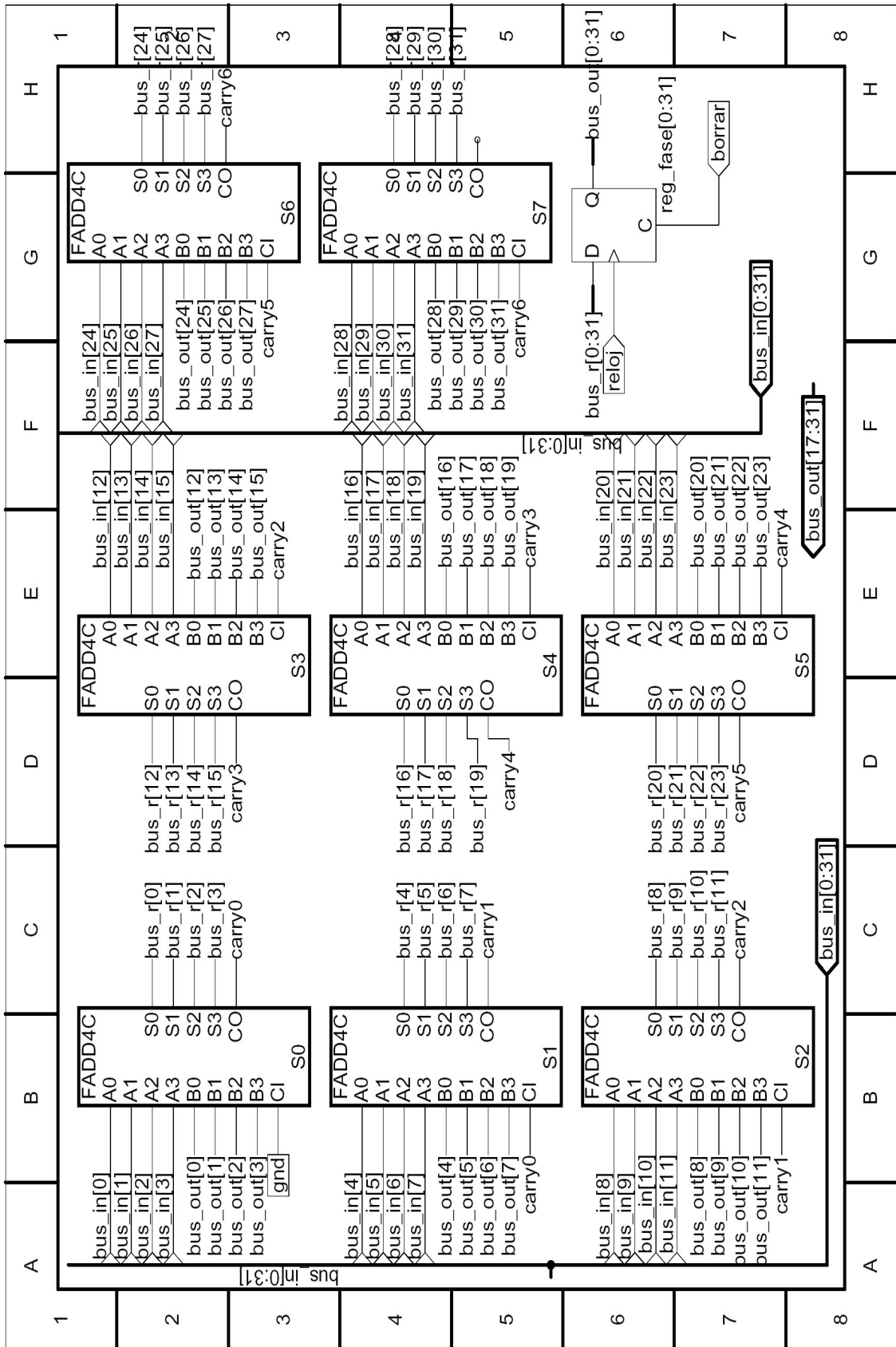


Figura 3-26

3.8 - Programación y conexión del CPLD

El software de programación posee dos formas diferentes de compilar el esquemático: por área, donde se busca integrar la máxima cantidad de componentes, y por retardo, donde se busca obtener la máxima velocidad de funcionamiento posible. Se debe tener en cuenta que a mayor cantidad de lógica y de conexiones del esquemático, es necesaria más área y puede suceder que la compilación por velocidad no sea posible, siendo la única opción la compilación por área. También es posible elegir los pines a utilizar, pero esto es un factor limitante durante la compilación, ya que el programa tiene menos "grados de libertad" para buscar la opción más rápida o la que ocupe la menor área.

Dado que el dispositivo solo está ocupado en un 60% de su capacidad interna, se eligió una compilación para minimizar los retardos. La descripción de los pines asignados se muestra en la siguiente tabla:

Pin del CPLD	Descripción
3	Input_0, Bit 0, bus de datos del puerto paralelo (P.P.)
4	Input_1, Bit 1, bus de datos del P.P.
5	Input_2, Bit 2, bus de datos del P.P.
6	Input_3, Bit 3, bus de datos del P.P.
7	Input_4, Bit 4, bus de datos del P.P.
8	Input_5, Bit 5, bus de datos del P.P.
9	Input_6 Bit 6, bus de datos del P.P.
10	Input_7 Bit 7, bus de datos del P.P.
37	\overline{WE} , línea de control de la memoria
38	\overline{OE} , línea de control de la memoria
39	\overline{CE} , línea de control de la memoria
40	Clk_datos, reloj de datos, STB(1), bus de control del P.P.
41	Hab, programación del modo, ALF (14), bus de control del P.P.
42	Clk_ref, reloj de referencia.
88	Bus_mem_11, D11, Dato 11 para grabar la memoria
87	Bus_mem_10, D10, Dato 10 para grabar la memoria
86	Bus_mem_9, D9, Dato 9 para grabar la memoria
85	Bus_mem_8, D8, Dato 8 para grabar la memoria
82	Bus_mem_7, D7, Dato 7 para grabar la memoria
81	Bus_mem_6, D6, Dato 6 para grabar la memoria
80	Bus_mem_5, D5, Dato 5 para grabar la memoria
79	Bus_mem_4, D4, Dato 4 para grabar la memoria
78	Bus_mem_3, D3, Dato 3 para grabar la memoria
77	Bus_mem_2, D2, Dato 2 para grabar la memoria
76	Bus_mem_1, D1, Dato 1 para grabar la memoria
75	Bus_mem_0, D0, Dato 0 para grabar la memoria
127	Bus_direcciones14, A14, línea de dirección de la memoria
128	Bus_direcciones13, A13, línea de dirección de la memoria
129	Bus_direcciones12, A12, línea de dirección de la memoria

130	Bus_direcciones11, A11, línea de dirección de la memoria
131	Bus_direcciones10, A10, línea de dirección de la memoria
132	Bus_direcciones9, A9, línea de dirección de la memoria
133	Bus_direcciones8, A8, línea de dirección de la memoria
134	Bus_direcciones7, A7, línea de dirección de la memoria
137	Bus_direcciones6, A6, línea de dirección de la memoria
138	Bus_direcciones5, A5, línea de dirección de la memoria
139	Bus_direcciones4, A4, línea de dirección de la memoria
140	Bus_direcciones3, A3, línea de dirección de la memoria
141	Bus_direcciones2, A2, línea de dirección de la memoria
142	Bus_direcciones1, A1, línea de dirección de la memoria
143	Bus_direcciones0, A0, línea de dirección de la memoria
13, 25, 51, 63, 83, 96, 122, 135	Vcc, alimentación del CPLD
1, 14, 24, 36, 37, 50, 64, 73, 84, 95, 108, 109, 123, 136	GND, Masa digital

3.9 - Placas del generador utilizadas durante el desarrollo del proyecto

3.9.1 - CPLD

Durante la etapa de desarrollo se utilizó una placa experimental para programar el CPLD ya que por el tamaño del mismo, el zócalo para dichas tareas es costoso. Una vez terminada la etapa de desarrollo, es decir cuando se tiene la disposición final de los pines, el CPLD se puede programar directamente en la placa del generador, dado que este es "In System Programing", es decir se puede programar en el circuito sin tener que colocar sobre-tensiones de programación.

En la Figura 3-27 se muestra el encapsulado del CPLD. Las dimensiones del encapsulado son:

	Medidas
A	0.5 mm
B	0.5 mm
C	0.5 mm
D	22 mm
E	22 mm

En la Figura 3-28 se muestra la placa experimental anteriormente mencionada. La dimensión real es de 13 cm x 13 cm.

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

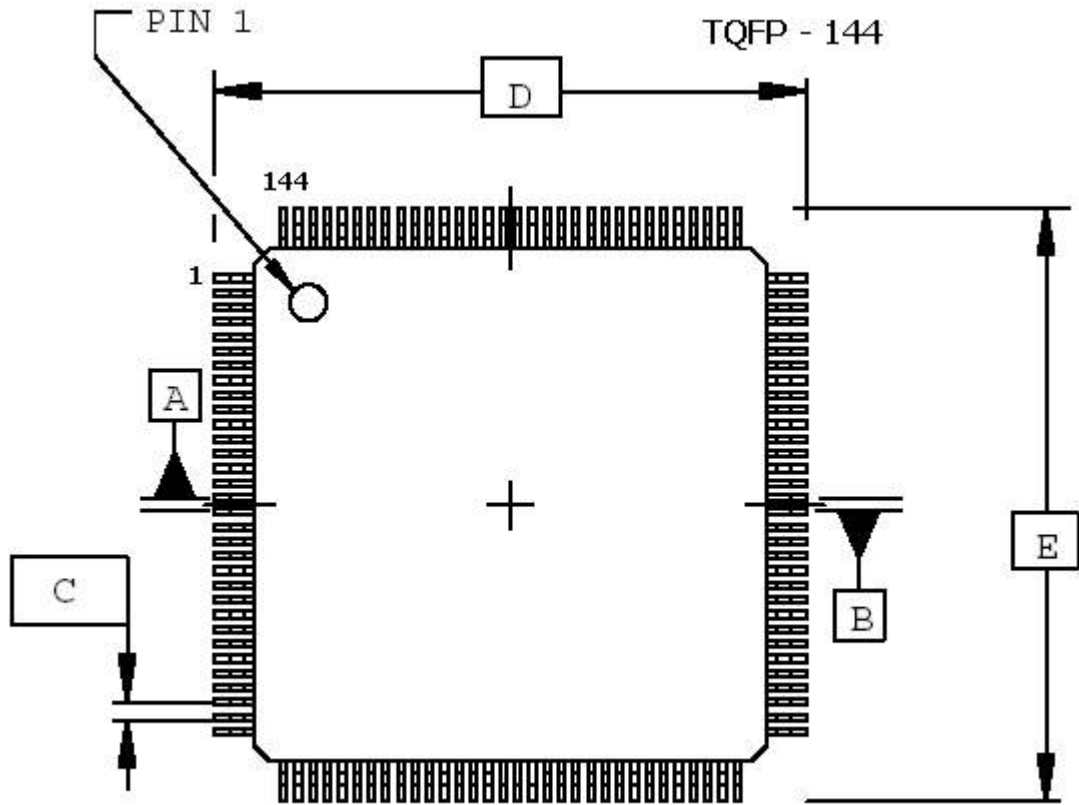


Figura 3-27

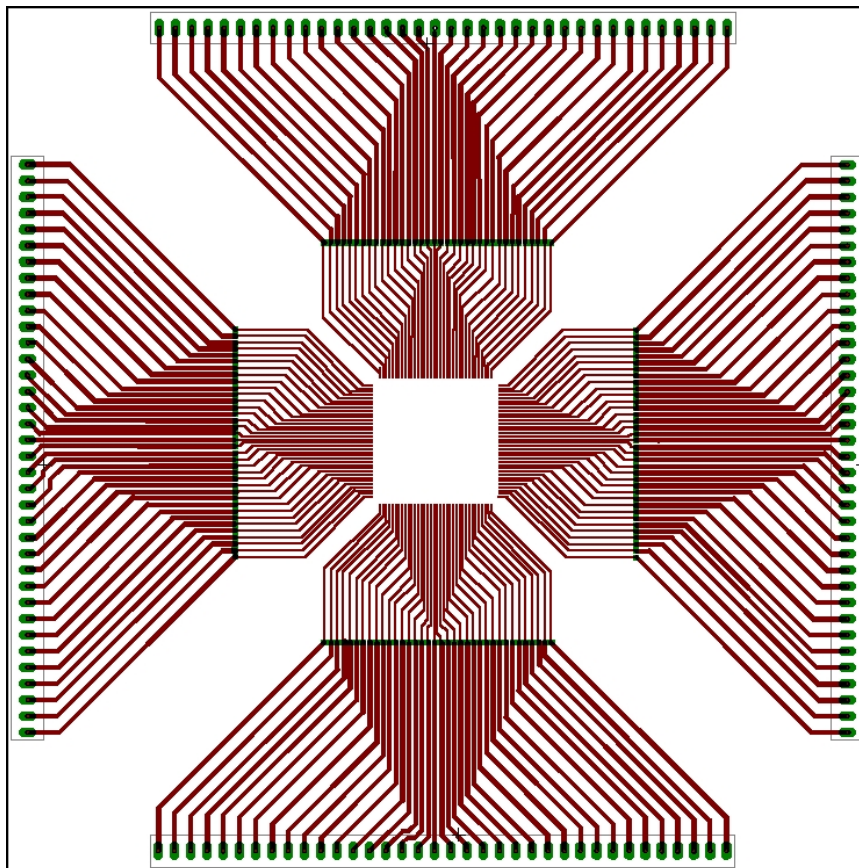


Figura 3-28

3.9.2 - RAM

Para los bancos de la memoria se realizo una placa individual. La distribución de los componentes se muestra en la Figura 3-29.

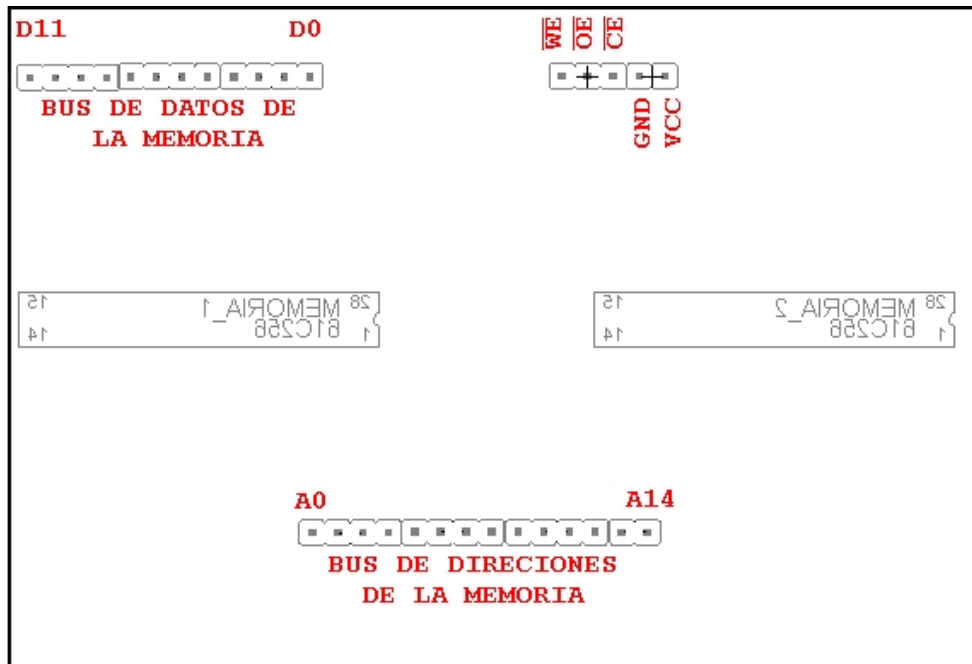


Figura 3-29

Esta placa se realizo en dos capas, estas se muestran en las Figuras 3-30 y 3-31.

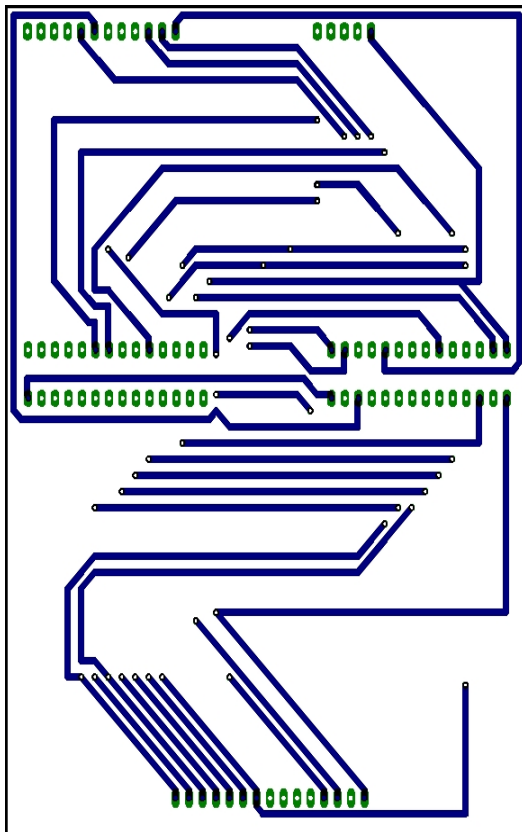


Figura 3-30 Cara inferior (Bottom)

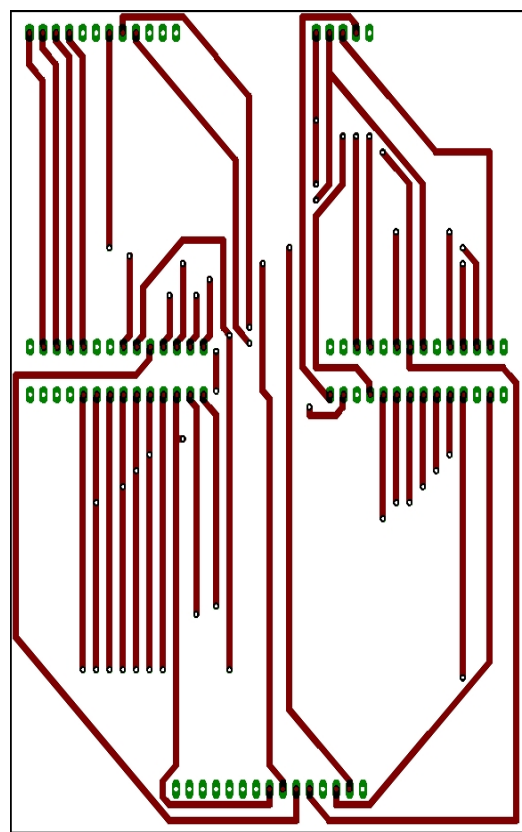
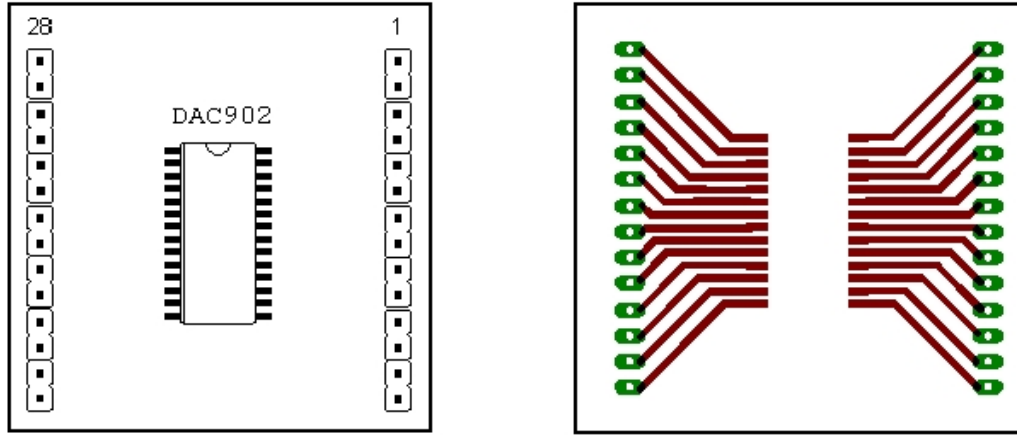


Figura 3-31 Cara Superior (Top)

3.9.3 - Conversor D/A y Reloj de referencia

Para el conversor D/A se utilizó también una placa experimental para poder realizar pruebas durante la etapa de desarrollo. Dicha placa se muestra en la Figura 3-32



En la Figura 3-33 se muestra la conexión sugerida por el fabricante para el conversor D/A.

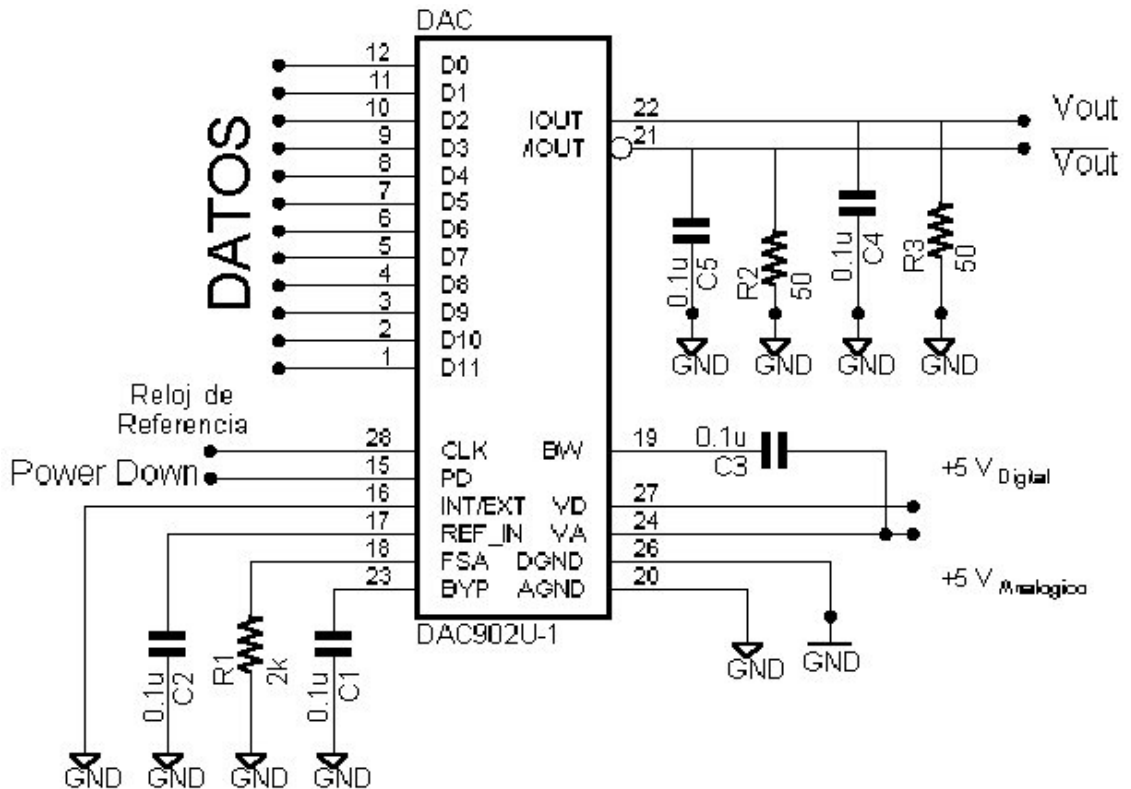


Figura 3-33

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

El reloj de referencia fue realizado con un resonador cristal que con solo conectar la alimentación, comienza a oscilar a una frecuencia de 12 MHz. La conexión de dicho dispositivo se muestra en la Figura 3-34.

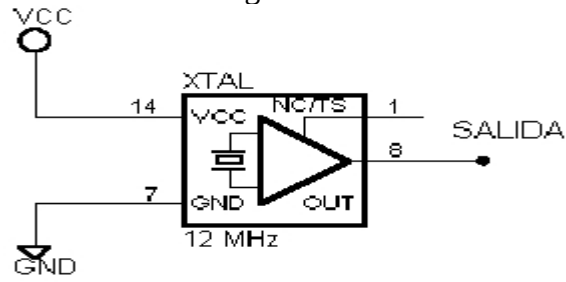


Figura 3-34

En la Figura 3-35 se detalla la distribución de la placa que contiene el convertor D/A y el reloj.

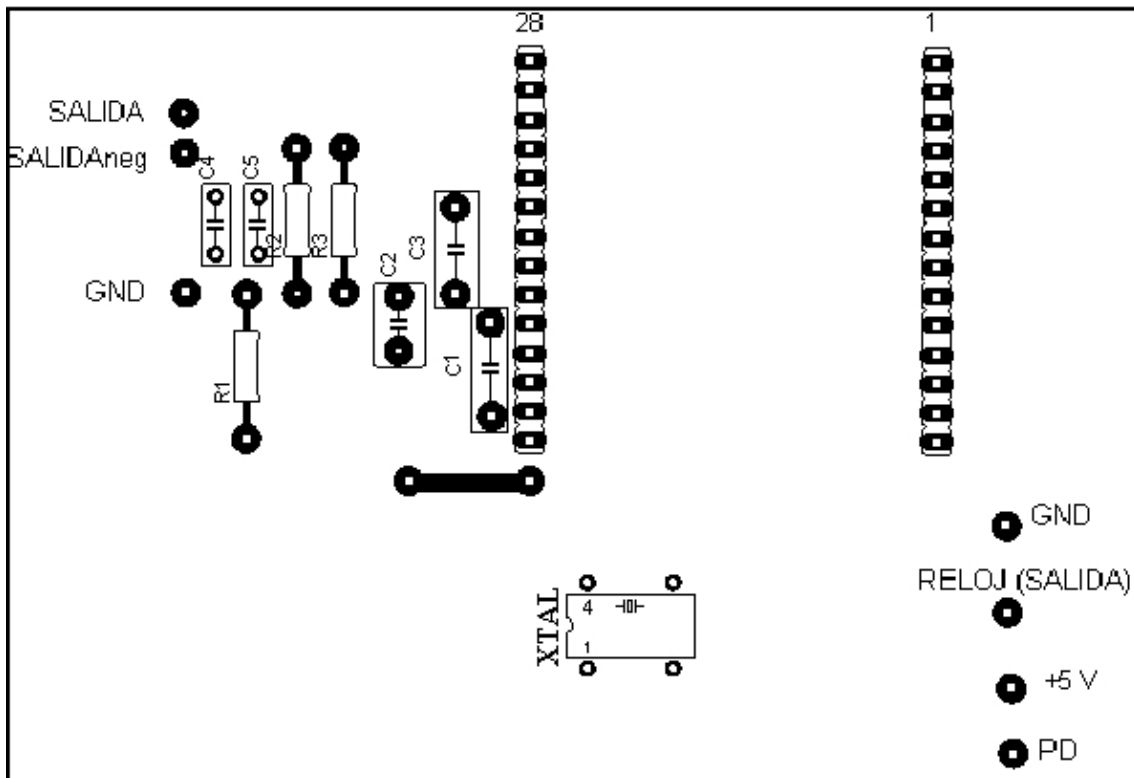


Figura 3-35

El diseño de la placa se muestra en la Figura 3-36

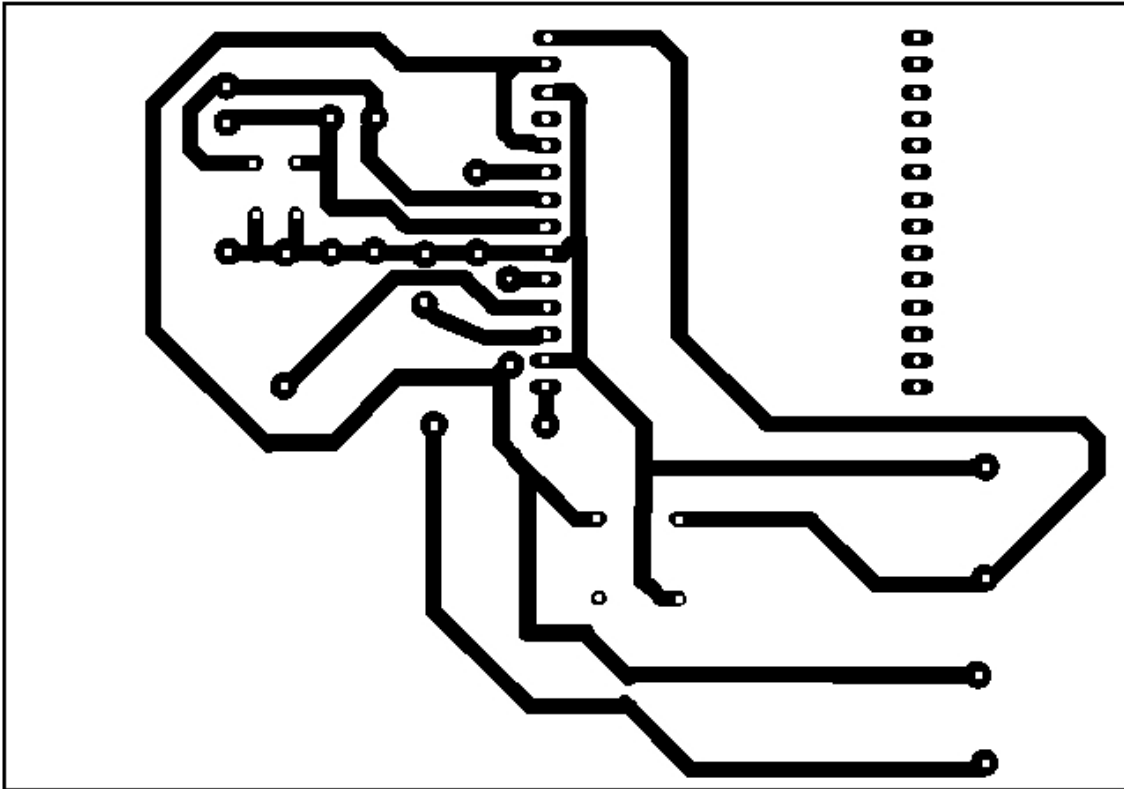


Figura 3-36

NOTA: Las placas anteriormente descritas fueron interconectadas por medio de cableados con conectores "Wire Wrap".

CAPITULO 4

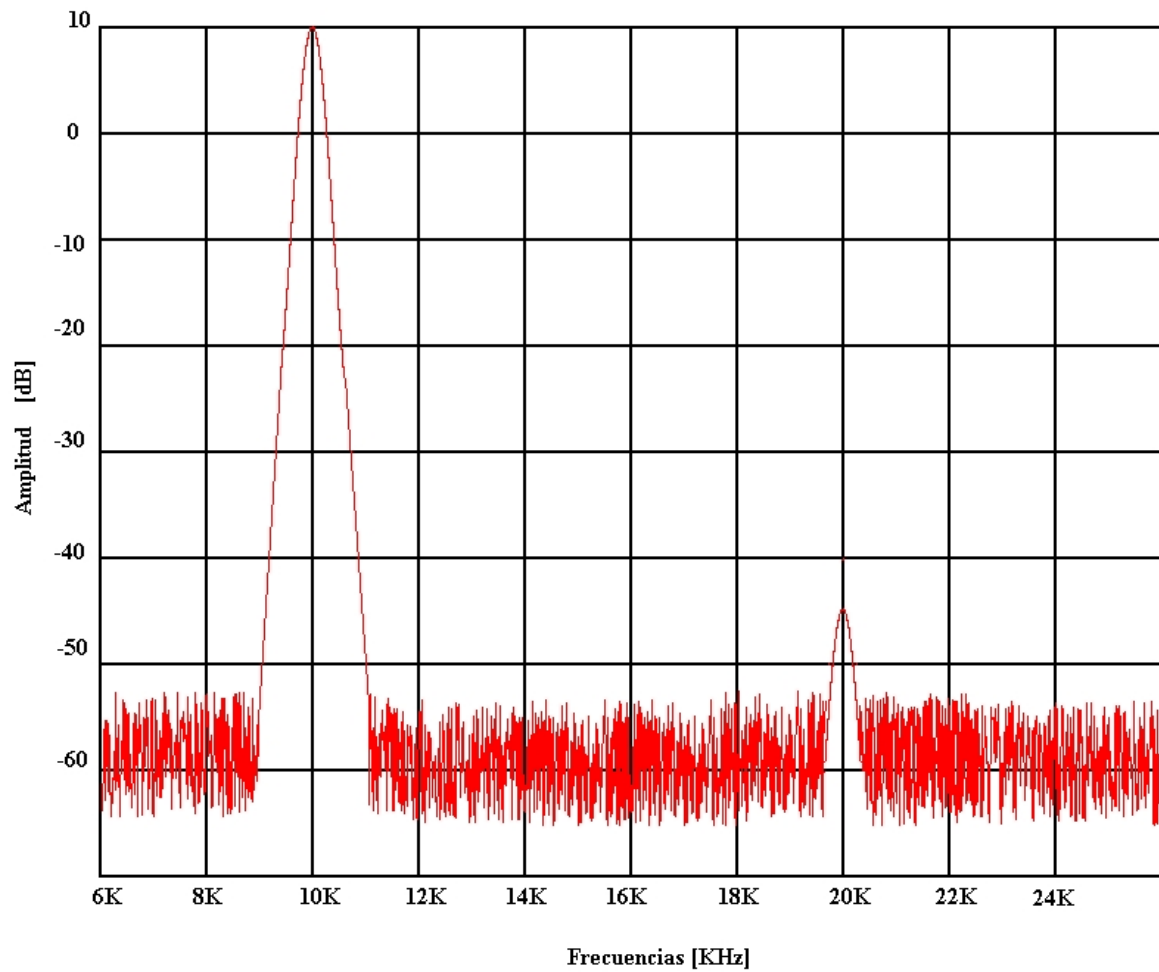
MEDICIONES

4.1 - Introducción

Las mediciones sobre el equipo es una manera de definir sus características particulares, así como la calidad de la señal de salida del mismo.

4.2 - Distorsión Armónica

Se realizó la medición de la distorsión armónica de una señal senoidal de frecuencia de 20 KHz. La pantalla del Analizador de espectros se muestra en la Figura



4-1.

Figura 4-1

Mediante el analisis detallado de la Figura 4-1 se puede calcular:

$$f_{fundamental} = 20 \text{ KHz} \quad \rho \quad 13 \text{ dBm}$$

$$f_{1era_Armonica} = 40 \text{ KHz} \quad \rho \quad -45 \text{ dBm}$$

$$f_{2da_Armonica} = 60 \text{ KHz} \quad \rho \quad -48 \text{ dBm}$$

$$si \text{ dBm} = 10 \log \frac{V^2}{50W * 1mW}; \text{ luego}$$

$$f_{fundamental} \quad \rho \quad 1 \text{ Volt}$$

$$f_{2da_Armonica} \quad \rho \quad 0.00125 \text{ Volts}$$

$$f_{3ra_Armonica} \quad \rho \quad 0.00089 \text{ Volts}$$

$$\text{Distorsión Armonica [\%]} = \frac{\sqrt{A_{2da \text{ Armonica}}^2 + A_{3era \text{ Armonica}}^2}}{A_{fundamental}} * 100$$

$$\text{Distorsión Armonica [\%]} = 0.15 \%$$

Luego se realizó la misma medición con una señal senoidal de frecuencia de 100 KHz. Los resultados obtenidos fueron similares a los anteriores.

Las mediciones se realizaron con el analizador de espectros HP8554B con modulo de baja. Dicho modulo tiene una frecuencia máxima de 300 KHz.

4.3 - Frecuencia de Salida

Se midió la frecuencia de salida del generador obteniéndose los siguientes resultados:

Frecuencia de Salida	Frecuencia medida
1234.56 Hz	1234.56 Hz
12345.6 Hz	12345.6 Hz
123456 Hz	123456Hz 1 Hz
1987650.0 Hz	1.98765MHZ 10 Hz

Los dos últimos valores medidos tienen una variación en su último dígito, normal al modo de operación del frecuencimetro.

El frecuencimetro utilizado es el HP 5303B con un ancho de banda de 500 MHz y una resolución de 6 dígitos.

CAPITULO 5

CONCLUSIONES

5.1 Conclusiones

El resultado final del equipo construido fue muy satisfactorio. El producto final cumplió con todos los objetivos propuestos en la etapa de diseño. Se consiguió un equipo muy económico y versátil ya que supera a los generadores comerciales, en cuanto a la posibilidad de generar cualquier tipo de forma de onda, incluyendo modulaciones de amplitud y frecuencia con una muy buena resolución en frecuencia y amplitud a un bajo costo.

La construcción de este proyecto ha servido para completar los conocimientos prácticos del autor, en especial al tener que resolver los problemas que en la etapa de diseño no se tuvieron en cuenta, como el ruido digital, los cableados, los circuitos impresos, la soldadura de integrados superficiales, entre otros.

Por otro lado se incorporaron conocimientos de diseño de circuitos impresos, manejo de software específico y se investigó sobre las técnicas de construcción física tales como películas impresas, placas fotosensibles y líquidos reveladores. Además se amplió los conocimientos de la programación serial del CPLD así como del software de desarrollo.

En cuanto a las futuras mejoras, se pudo establecer que el CPLD y el Conversor D/A funcionan perfectamente con un reloj de referencia de 25 MHz, pero se presentan problemas en el funcionamiento de las memorias, dado que se las utiliza al máximo tiempo de lectura establecido por el fabricante, de esta forma los datos grabados en ellas no se leen correctamente. Este problema se puede solucionar cambiando las memorias ISSI 61C256AK-20 por otras similares como las ISSI 61C256AK-12 que poseen un tiempo de acceso menor. Debe tenerse en cuenta que el aumento de la frecuencia de trabajo requiere de un estudio más detallado del diseño del circuito impreso y los cableados necesarios para no incrementar el ruido digital presente.

Otra posibilidad de mejora para este generador es incluir la capacidad de barridos en frecuencia, mediante el incremento gradual del FCR. Para poder realizar esto último, se debe agregar la circuitería necesaria que permita dicho incremento de forma variable.

La combinación de la fina resolución y el rápido establecimiento de los generadores basados en la técnica DDS, con las características de gran ancho de banda de los generadores basados en PLL's (**Phase Locked Loop**, Lazo de Enganche de Fase), hace posible pensar en un generador híbrido como una interesante alternativa para generadores de alta frecuencia. Mediante un multiplicador o un sistema heterodino se puede obtener la señal de salida del generador híbrido. El sistema basado en PLL's proporciona un "ajuste Grueso" de frecuencia y con el sistema basado en DDS se logra el "ajuste fino".

CAPITULO 6

MANUAL

DE

OPERACION

6.1 - Funciones de la Pantalla Principal

Se realiza a continuación una explicación detallada del funcionamiento del software de control del generador de funciones arbitrario. Este programa ha sido desarrollado en lenguaje Visual Basic, por lo cual su formato es similar a cualquier otro utilitario que funcione bajo el sistema operativo Windows.

La ventana principal se muestra en la Figura 6-1.

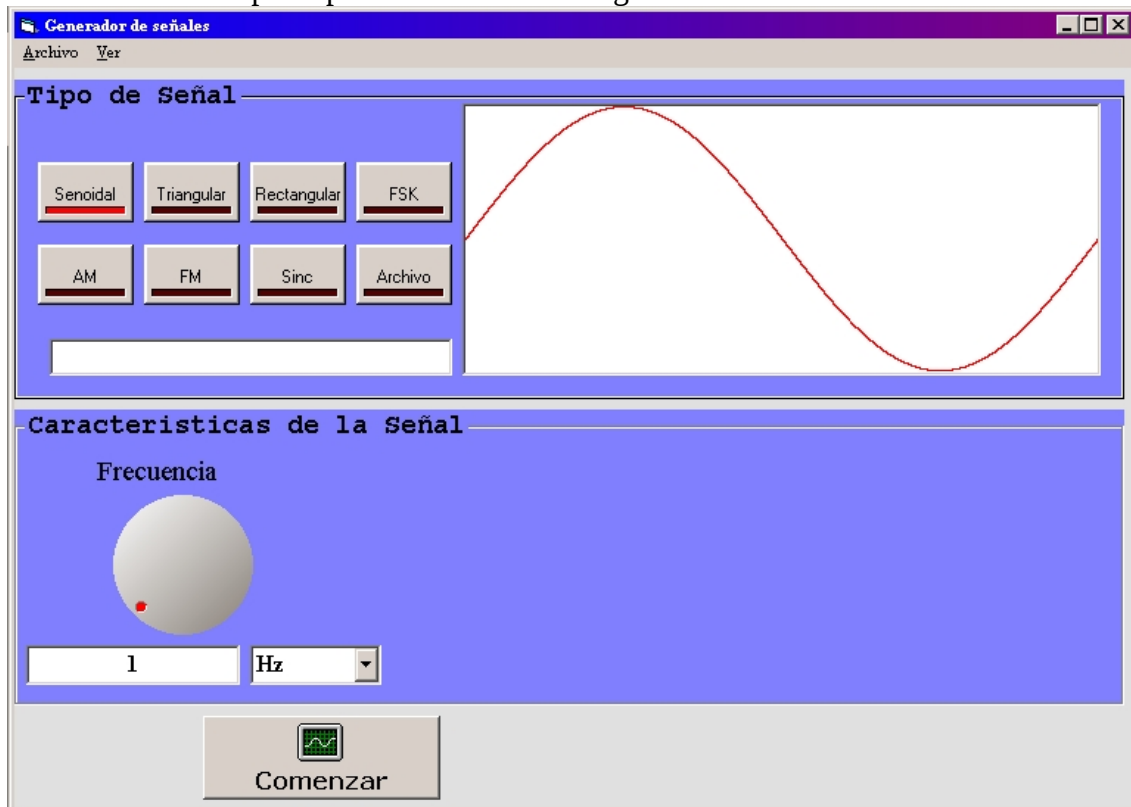


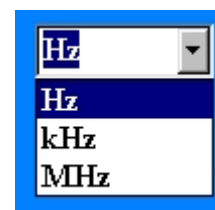
Figura 6-1

Para seleccionar el tipo de forma de onda se cuenta con 8 botones, de los cuales solo uno puede estar activo (iluminándose en color rojo). De dichos botones 7 son señales prediseñadas y el restante permite cargar la forma de onda desde un archivo. Cada perilla esta concatenada con una caja de texto, si se modifica la posición de la perilla modifica el valor del cuadro de texto y viceversa, es decir, si se ingresa en la caja de texto un valor la perilla es modificada por dicho valor.

6.1.1 - Selección de la Forma de Onda

6.1.1.1 - Senoidal

Se comienza la explicación con la señal Senoidal que es la predeterminada cuando se inicia el programa. Esta opción habilita un cuadro de texto, "Frecuencia" y una perilla multivuelta, mediante los cuales se ajusta el valor de la frecuencia de salida deseada. También se habilita una caja de selección donde se puede elegir entre "Hz", "kHz" y "MHz", multiplicando el número ingresado por 1, 1000 o 1000000 respectivamente. El valor predeterminado es "Hz".



6.1.1.2 - Triangular

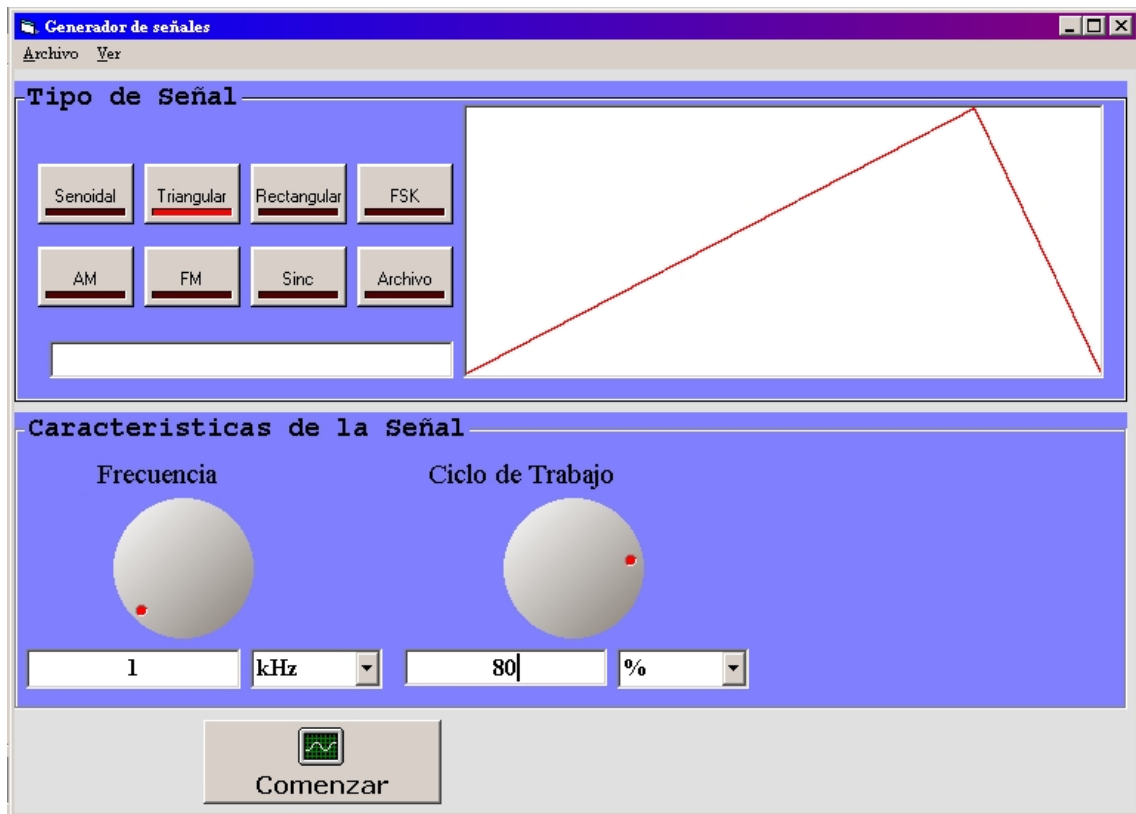


Figura 6-2

En esta pantalla, se agrega, respecto a la anteriormente descrita, una caja de texto, una perilla y una caja de selección. Estas permiten ajustar el porcentaje del ciclo de trabajo. La caja de selección solo posee la opción “%”.

En la Figura 6-2, se encuentra una pantalla ubicada en el extremo superior derecho, donde se puede observar como cambia la forma de onda con la variación del ciclo de trabajo. Ejemplos de los cambios en esta pantalla se muestran en las Figuras 6-3 y 6-4

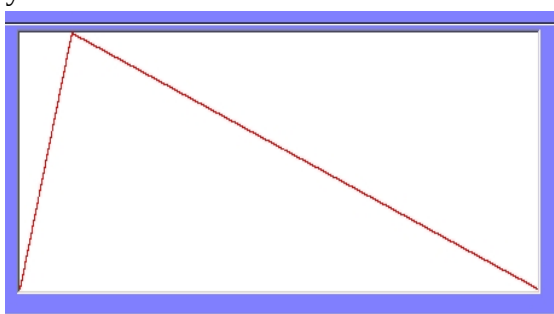


Figura 6-3 -Ciclo de trabajo 10%

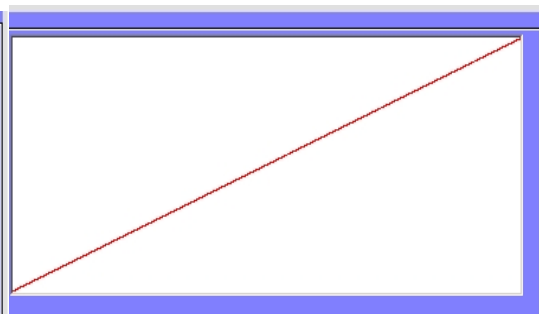


Figura 6-4 -Ciclo de trabajo 100%

6.1.1.3 - Rectangular

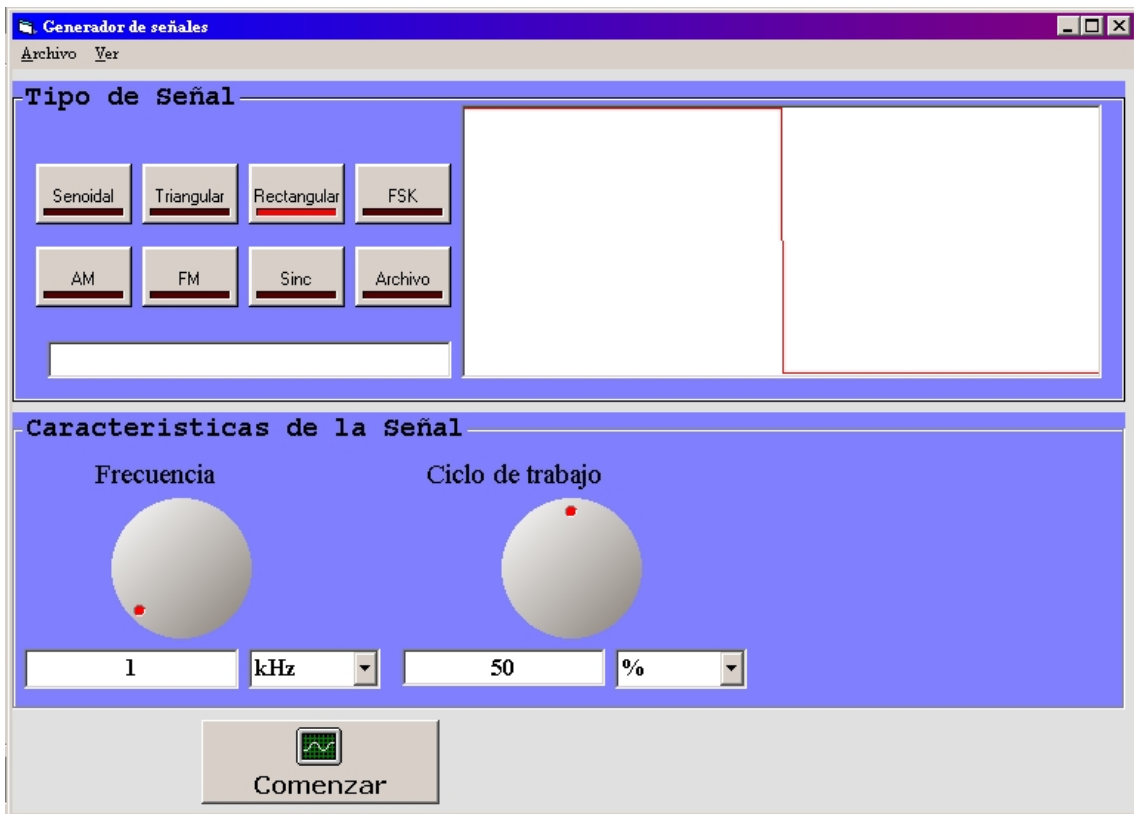


Figura 6-5

Nuevamente es posible observar que esta pantalla posee dos perillas. La primera modifica la frecuencia y la segunda el ciclo de trabajo. Ejemplos de las variaciones en esta pantalla se muestran en las Figuras 6-6 y 6-7.



Figura 6-6 -Ciclo de trabajo = 20%

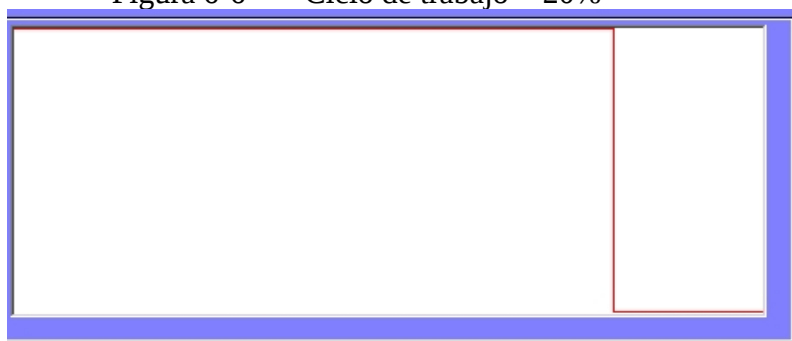


Figura 6-7 -Ciclo de trabajo = 80%

6.1.1.4 - Modulación FSK (Frequency Shift Keying)

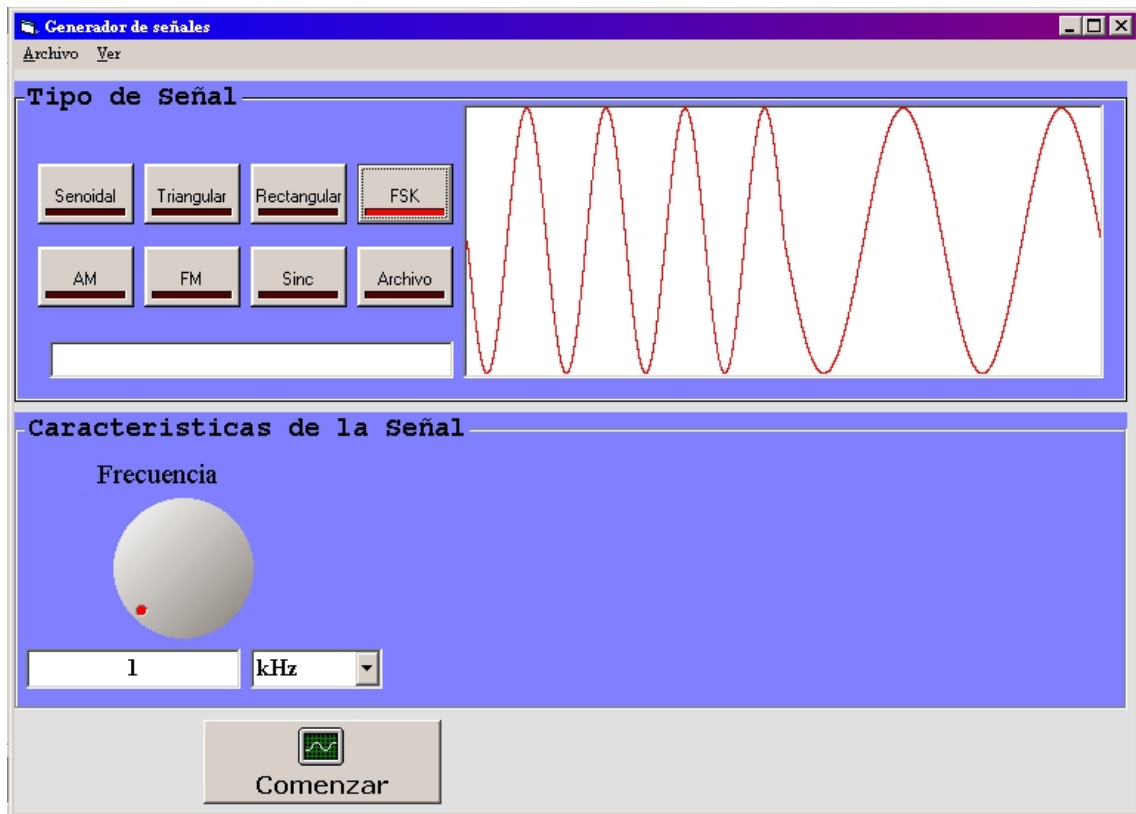


Figura 6-8

Esta modulación digital esta diseñada de tal forma que un símbolo esta representado por el doble de la frecuencia de repetición y el otro por el cuádruple. La frecuencia de repetición se ajusta mediante la perilla multivuelta y el cuadro de texto.

6.1.1.5 - Modulación AM

Para las señales de AM se agregan más cuadros de texto y cajas de selección tal como se puede ver en la Figura 6-9.

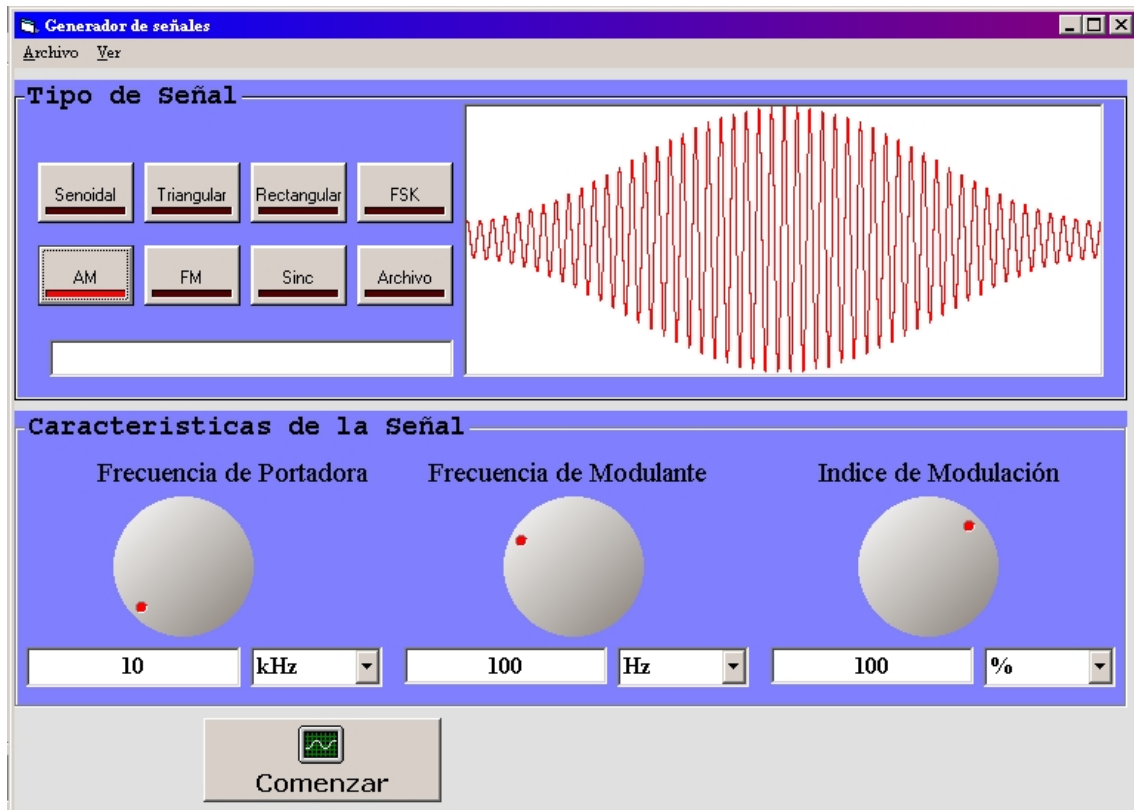


Figura 6-9

La señal a generar responde a la siguiente ecuación:

$$s(t) = A_c \left[1 + \frac{m}{100} \cos(2\pi f_{\text{modulante}} t) \right] \cos(2\pi f_{\text{portadora}} t)$$

$f_{\text{modulante}}$ = Frecuencia de la modulante

$f_{\text{portadora}}$ = Frecuencia de la portadora

m = índice de modulación

En el primer cuadro de texto se ingresa la frecuencia de la portadora de la señal. La caja de selección correspondiente posee la opción "Hz", "kHz" o "MHz". En el segundo cuadro de texto se encuentra la frecuencia de la modulante, en este caso la caja de selección tiene dos opciones "Hz" o "kHz". Por último el índice de modulación no posee opciones en la caja de selección.

6.1.1.6 - Modulación FM

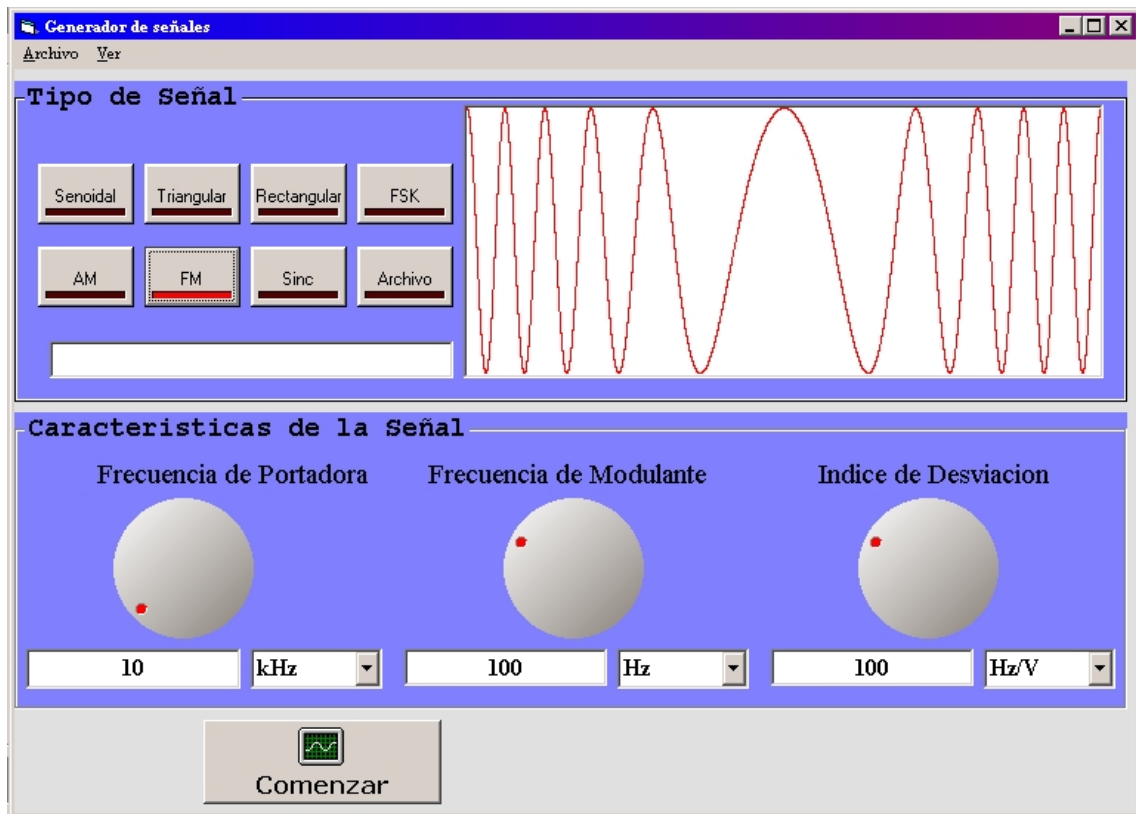


Figura 6-10

La señal a generar responde a la siguiente ecuación:

$$s(t) = \cos\left(2\pi f_{portadora} t + \frac{f_D}{f_{modulante}} \sin(2\pi f_{modulante} t)\right)$$

$f_{modulante}$ = Frecuencia de la modulante

$f_{portadora}$ = Frecuencia de la portadora

F = Índice de desviación en frecuencia

En el primer cuadro de texto se ingresa la frecuencia de la portadora. La caja de selección posee la opción "Hz", "kHz" o "MHz". En el segundo cuadro de texto se encuentra la frecuencia de la modulante, en este caso la caja de selección tiene dos opciones "Hz" o "kHz". Por último el índice de desviación de frecuencia posee dos opciones en la caja de selección Hz/V o kHz/V.

6.1.1.7 - Sinc

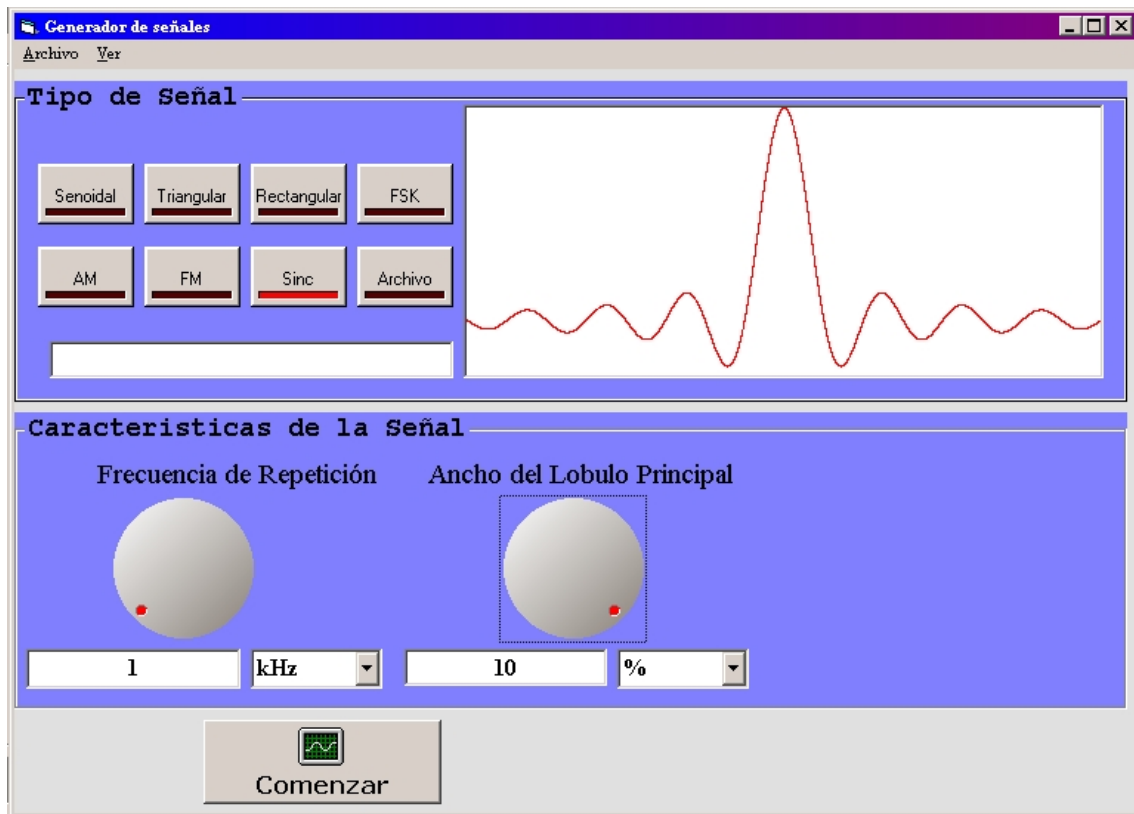


Figura 6-11

La forma de onda Sinc responde a la siguiente ecuación:

$$Sinc(t) = \frac{\text{sen}(p * t * t)}{p * t} \quad \text{siendo } -\frac{T}{2} < t < \frac{T}{2}$$

La pantalla correspondiente posee 2 perillas. Una ajusta la frecuencia de repetición y la otra el porcentaje del lóbulo principal. El ajuste de dicho lóbulo es desde el 1% del periodo hasta el 10 % del periodo.

6.1.1.8 - Forma de onda cargada "Desde Archivo"

Si la forma de onda se carga desde un archivo, lo primero que aparece es un cuadro de dialogo estándar de apertura de archivo.

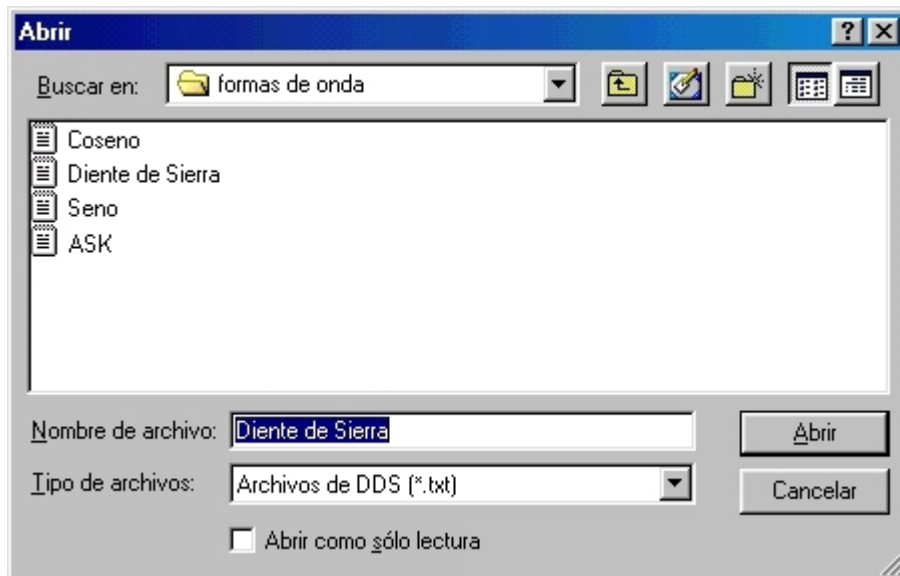


Figura 6-12 Cuadro de Dialogo Estándar de apertura de Archivos

Luego de seleccionar el archivo de donde se carga la forma de onda deseada, se puede observar una ventana tal como se muestra en la Figura 6-13.

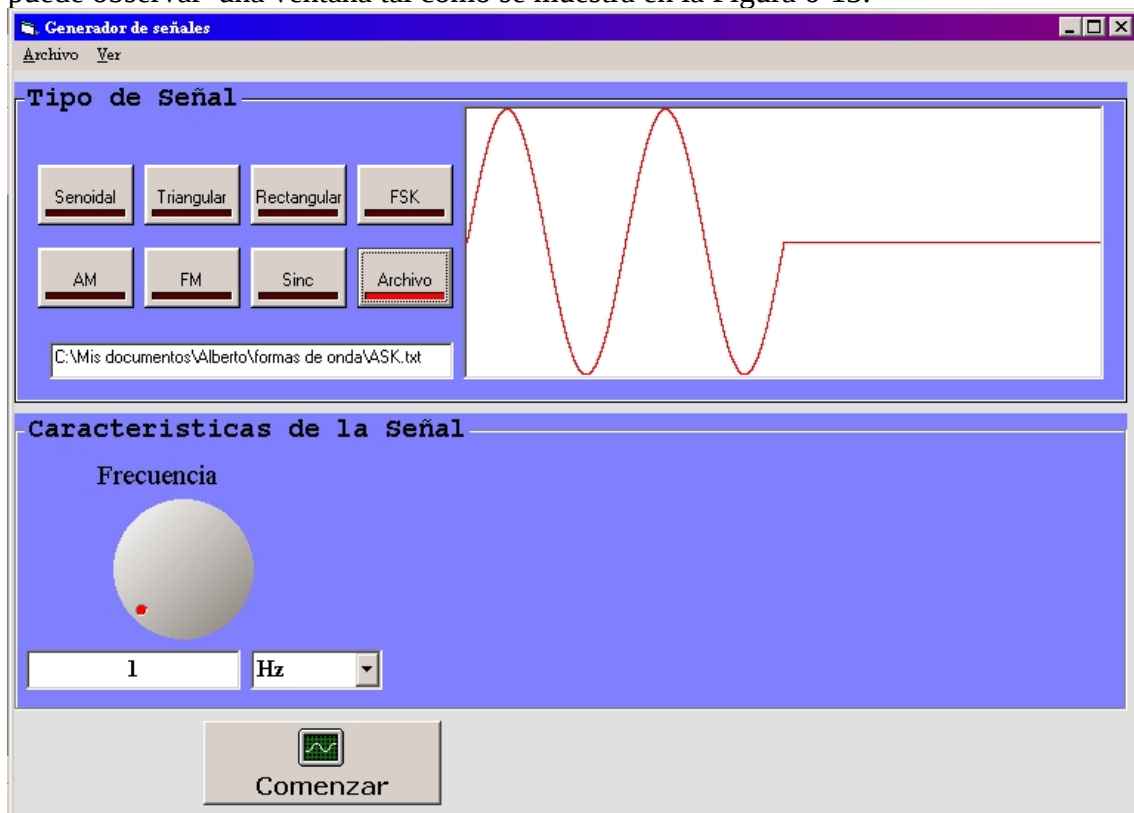
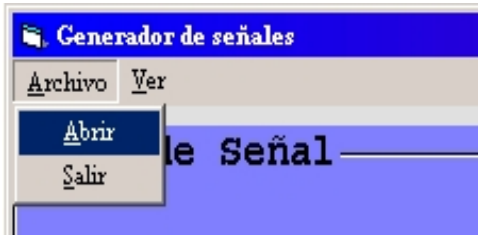


Figura 6-13

En el cuadro de texto se ingresa la frecuencia deseada de la señal. La caja de selección posee la opción "Hz", "kHz" o "MHz".

6.1.2 - Menús

□ **Archivo:** Tiene dos opciones



□ **Abrir:** Abre un cuadro de dialogo estándar de apertura de archivos, desde allí se pueden cargar archivos de forma de onda.

□ **Salir:** Se cierra el programa. El generador deja de funcionar.

El menú **Ver** no posee opciones. Cuando se realiza un "click" sobre este se abre una nueva ventana, en la cual se grafica un ciclo de señal. Dicha ventana o formulario lleva el nombre de "Pantalla de Diseño". Esto es una ayuda para comprender mejor la forma de onda de la señal a generar, sin la necesidad de osciloscopios u otros dispositivos similares. También es muy útil cuando el usuario "construye" sus propias formas de ondas, de esta manera se puede visualizar la señal construida y detectar errores.

6.1.3 - Comienzo de la generación

Cuando se haga un "click" sobre el botón comenzar se realiza la carga y luego de algunos segundos el generador comienza a funcionar. Cuando esto sucede solo son visibles el botón de selección de señal activo, los cuadros de texto, las perillas y las cajas de selección, pero ninguno de ellos pueden ser modificados. El botón "Comenzar" deja de ser visible, mientras que el botón "Detener" pasa a ser visible. A modo de ejemplo se muestra el caso de una señal Triangular en la Figura 6-14.

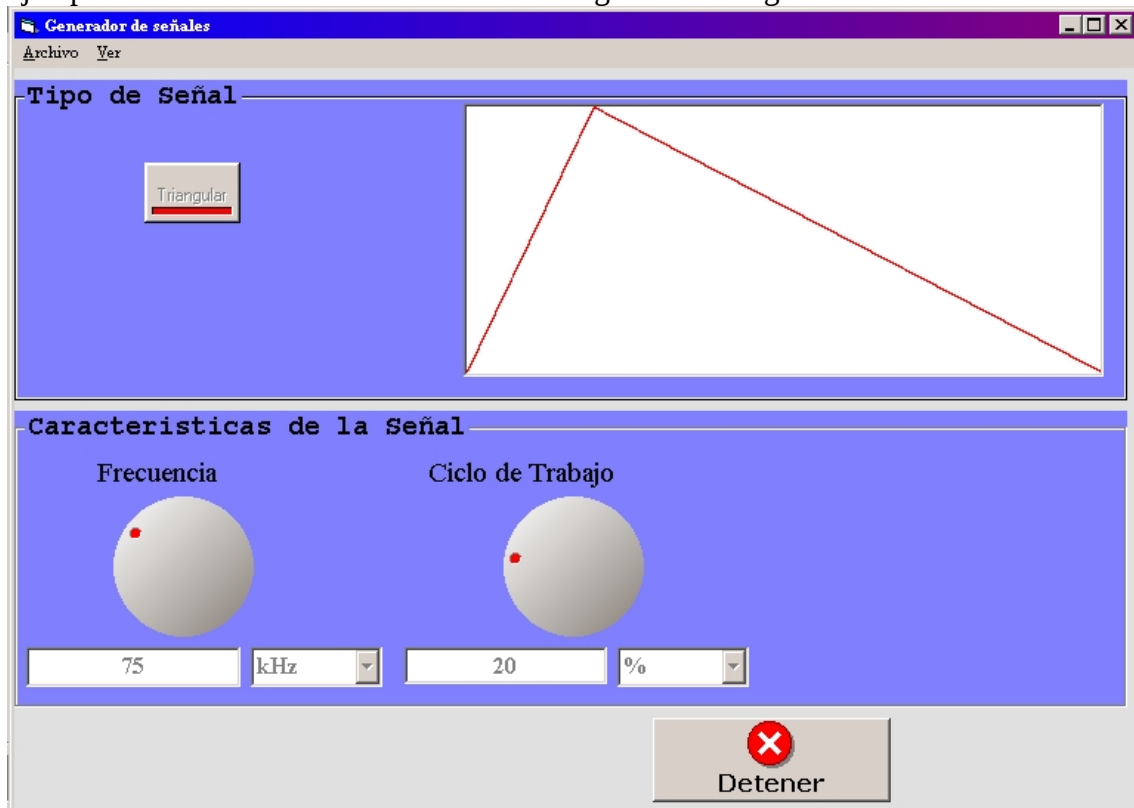


Figura 6-14

6.2 - Funciones de la Pantalla de Diseño

6.2.1 - Botones de opción

Esta ventana posee 8 botones de opción, con los cuales se elige la forma de onda a graficar, donde no hay más de uno activo a la vez. Cuando se inicie esta pantalla se toman los valores establecidos en la ventana principal (Generador de señales). Un ejemplo de esta pantalla se muestra en la Figura 6-15.

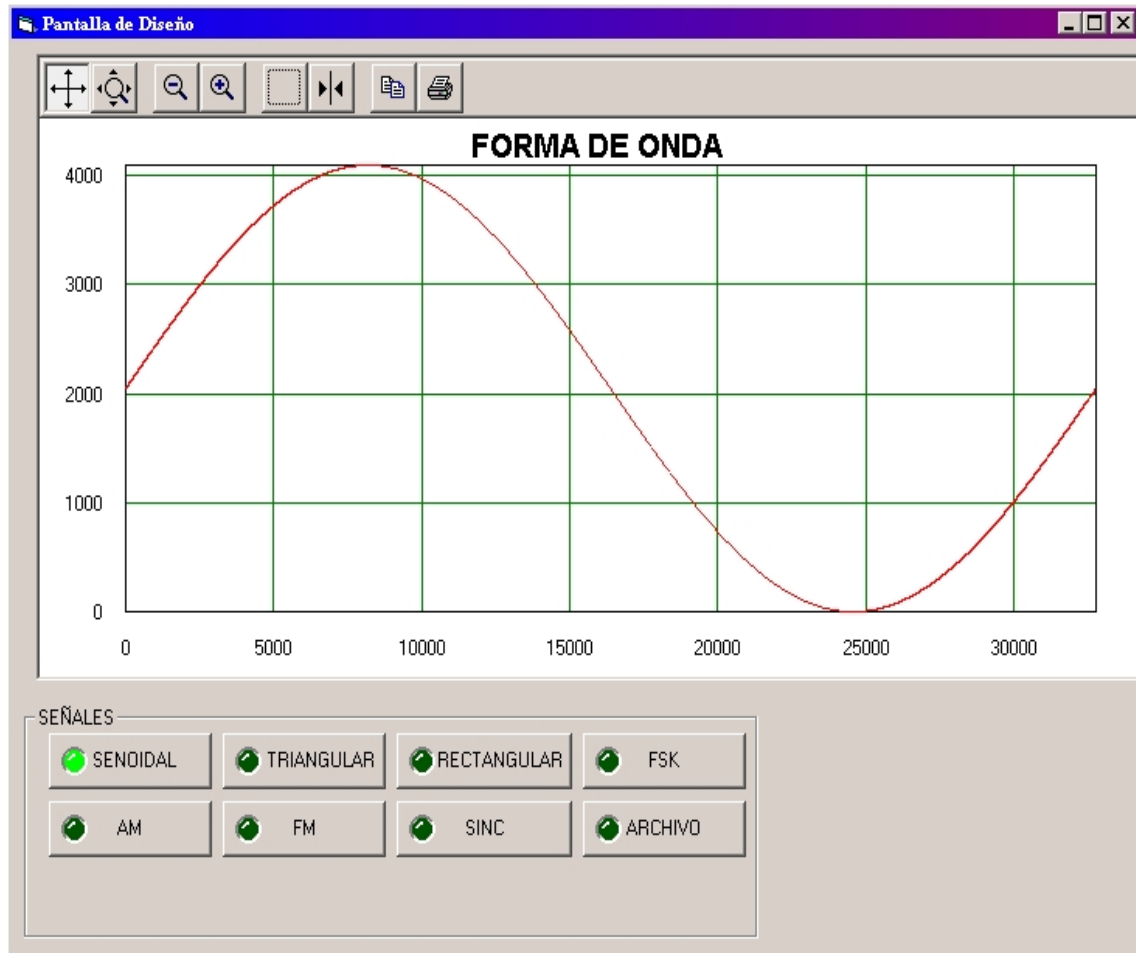


Figura 6-15

Cuando son seleccionadas las formas de onda prediseñadas Rectangular, Triangular y Sinc es visible en el formulario un botón “mostrar” y una perilla para modificar el ciclo de trabajo (Rectangular y Triangular) o el Ancho del lóbulo principal (Sinc).

Como ejemplo se muestran las Figuras 6-16 y 6-17, en donde se observan la forma de onda Sinc al 10% y al 1%, respectivamente, de la relación entre el lóbulo principal y el periodo.

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

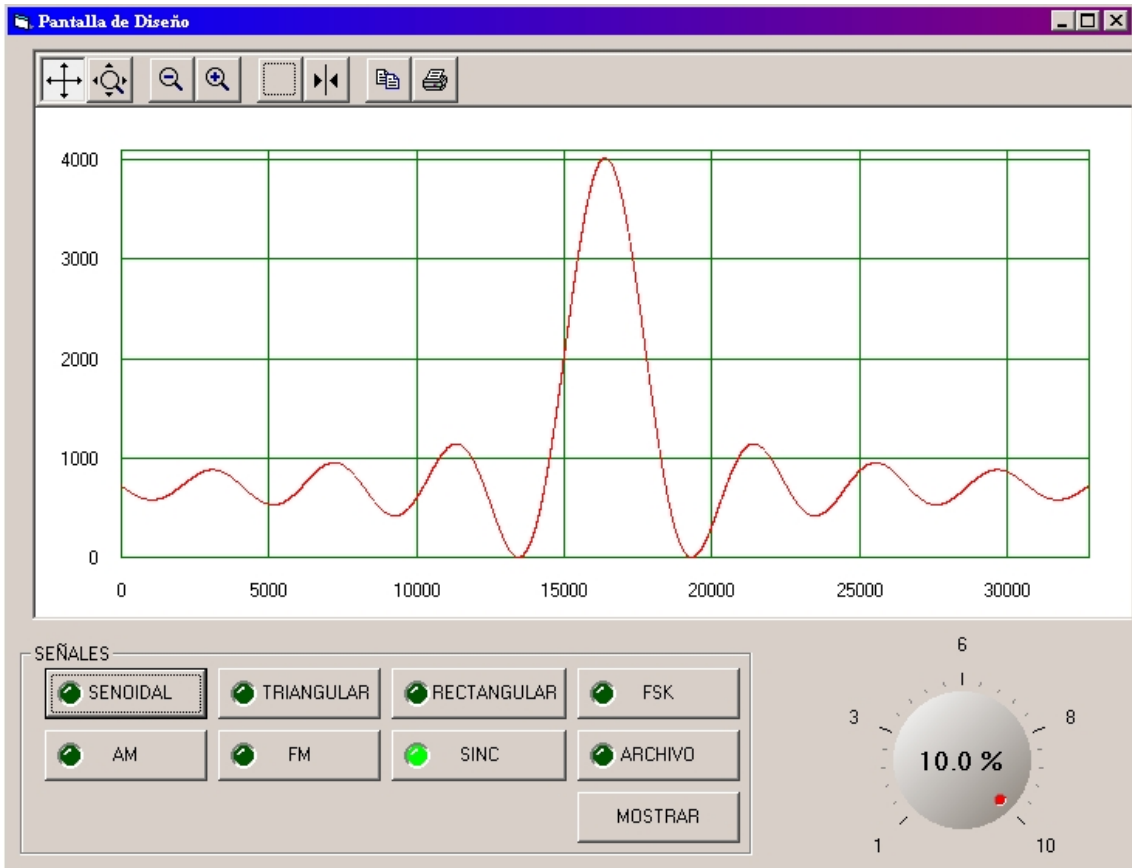


Figura 6-16

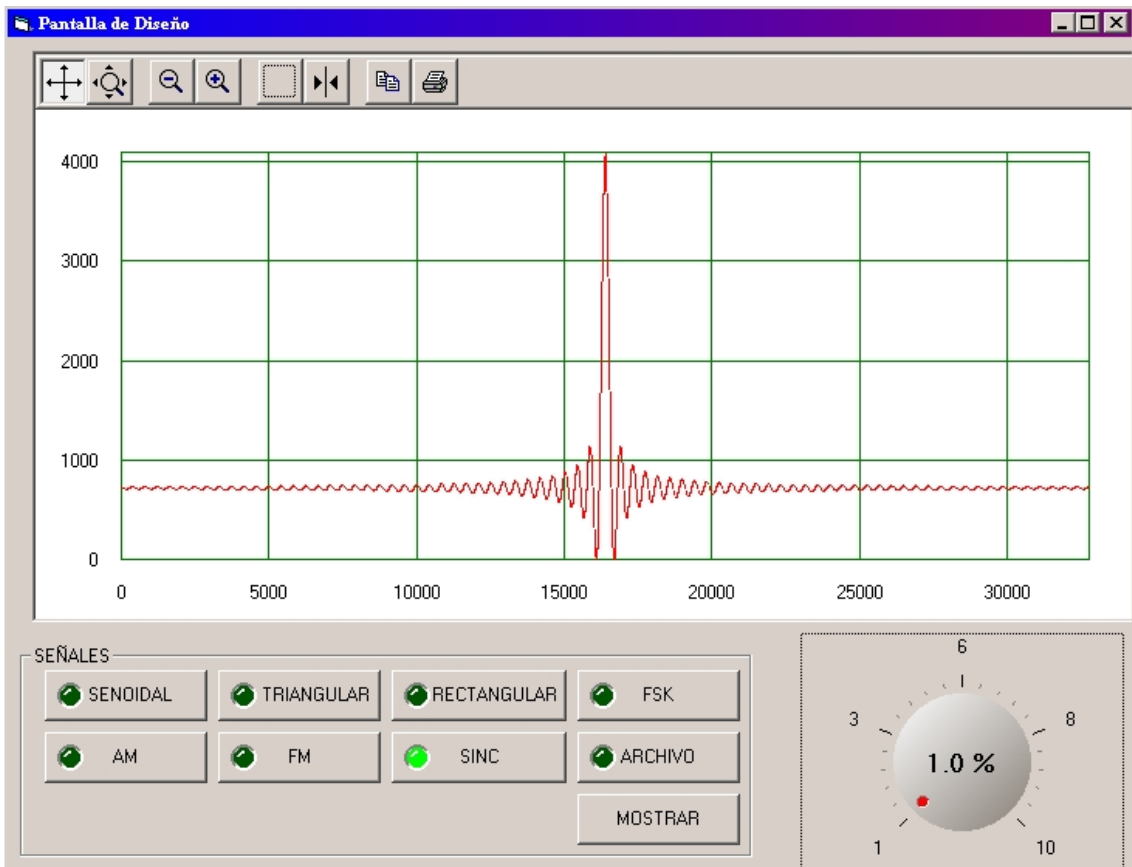


Figura 6-17

6.2.2 - Barra de Herramientas

La pantalla de diseño posee una barra de herramientas, sus funciones son:



Este botón cuando se encuentra seleccionado, mediante un click sobre un eje y arrastrando, permite desplazarse por el mismo.



Este botón cuando se encuentra seleccionado permite realizar un “zoom” sobre el eje mediante un click sobre el mismo.



Estos dos botones realizan un “zoom” sobre la pantalla.



Cuando se selecciona este botón permite seleccionar la zona para hacer una ampliación



Cuando se selecciona este botón aparece un cursor en la pantalla y mediante un click y arrastrando se puede llevar a cualquier punto de ella. Mientras se arrastra se muestra una etiqueta con el valor de la muestra y la amplitud mostrándose en formato tipo (x, y).



Copia la pantalla al portapapeles (Clipboard)



Abre el cuadro de dialogo de impresión. Con este botón se puede imprimir la pantalla.

6.3 - Diseño de nuevas formas de onda

6.3.1 - Pasos para realizar archivos con las formas de onda diseñadas por el usuario

La manera de generar formas de onda arbitrarias es utilizando un archivo que contenga los valores de amplitud de la señal. El formato de los 32768 valores, almacenados en el archivo, deben estar ordenados de manera que haya un valor de amplitud por renglón, dispuestos en una columna y sin separaciones de ningún tipo. Todos los valores de amplitud deben ser menores o iguales a 4095 y mayores que 0 (cero). Durante la carga del archivo el programa ejecuta un control de los valores para evitar errores, asignando el valor 0 a los valores menores que este y 4095 a los valores que superen a este ultimo. A continuación se detalla la forma de realizar los archivos con un programa matemático (MatLab) y con una hoja de calculo (Excel).

Con MatLab de Mathworks :

1. Se genera una matriz con la función que se desea generar con 32768 posiciones. Ninguna posición debe poseer un valor superior a 4095 ni menor a 0.
2. Para guardar en un archivo se recurre al comando:

```
fid=fopen('nombre.txt','w');
nombre.txt, es el nombre del archivo con extensión .txt.
```

```
fprintf(fid,'%12.0f\n', y);
"y", es el nombre del vector que contiene la función.
```

3. Como MatLab guarda los valores de la matriz con tabulaciones, se debe abrir el archivo con Excel de Microsoft . Luego se debe guardar como archivo de texto tipo (OS/2 o DOS). Este programa da un aviso de que si se guarda el archivo se perderán las tabulaciones, que es en realidad lo que se busca.

Con Excel de Microsoft :

1. Se realiza una función de 32768 valores en una columna. Ninguna posición debe poseer un valor superior a 4095, menor a 0 ni incompleta.
2. Se debe copiar solo los valores de dicha columna a otra hoja de Excel vacía, (no copiar como formulas).
3. Guardar esa hoja, como texto tipo (OS/2 o DOS), extensión .txt

Recordar:

Debido a la técnica que utiliza este equipo, es recomendable que las señales a generar no tengan saltos abruptos entre muestras, ya que la señal de salida no será idéntica a la deseada.

6.3.2 - Detección de errores en el diseño de la forma de onda

A continuación se muestra como se puede detectar un error en la forma de onda de una señal diseñada por el usuario, utilizando las herramientas que se presentan en la pantalla de graficación. Esto es de mucha ayuda luego de la creación de nuevas formas de onda, ya que es posible verificar que la señal cumple con los requerimientos del usuario.

Cuando se active la opción **Desde Archivo**, al igual que en la otra ventana, se abre el cuadro de dialogo estándar de apertura de archivos, Figura 6-12, donde el usuario selecciona el archivo que desea visualizar.

En la Figura 6-18 se muestra la ventana donde se eligió un archivo con una señal diseñada por el usuario de forma de onda ASK, una modulación digital donde un símbolo es representado por la portadora y el otro sin señal (salida = 0 Volts). También es conocido como On-Off Keying es decir modulación encendido-apagado.

La forma de onda que se ha diseñado posee un error en un símbolo, debido que este debiera ser igual a 0 (cero) Volt. Es decir el valor máximo de la señal es de 4095 (1 Volts) y el valor mínimo es 0 (-1 Volts). Por lo tanto el valor medio esta en 2047 que corresponde al valor de 0 (cero) Volts.

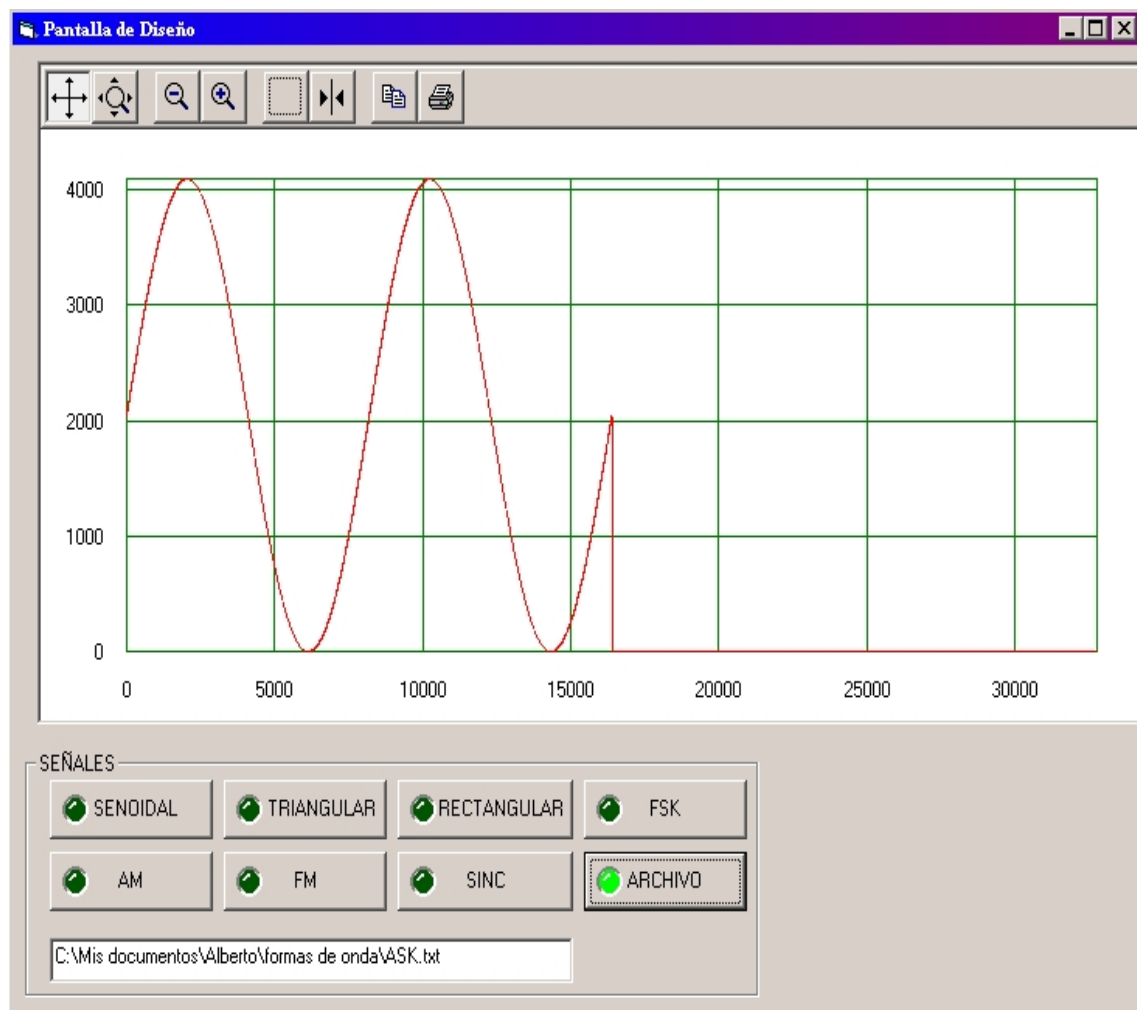


Figura 6-18

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

Un ejemplo de la aplicación de las herramientas de esta pantalla se muestra en la Figura 6-19 en la cual se puede apreciar que se amplió en ambos ejes la zona en donde se produce el cambio de símbolo y se colocó el cursor para determinar el valor exacto de amplitud.

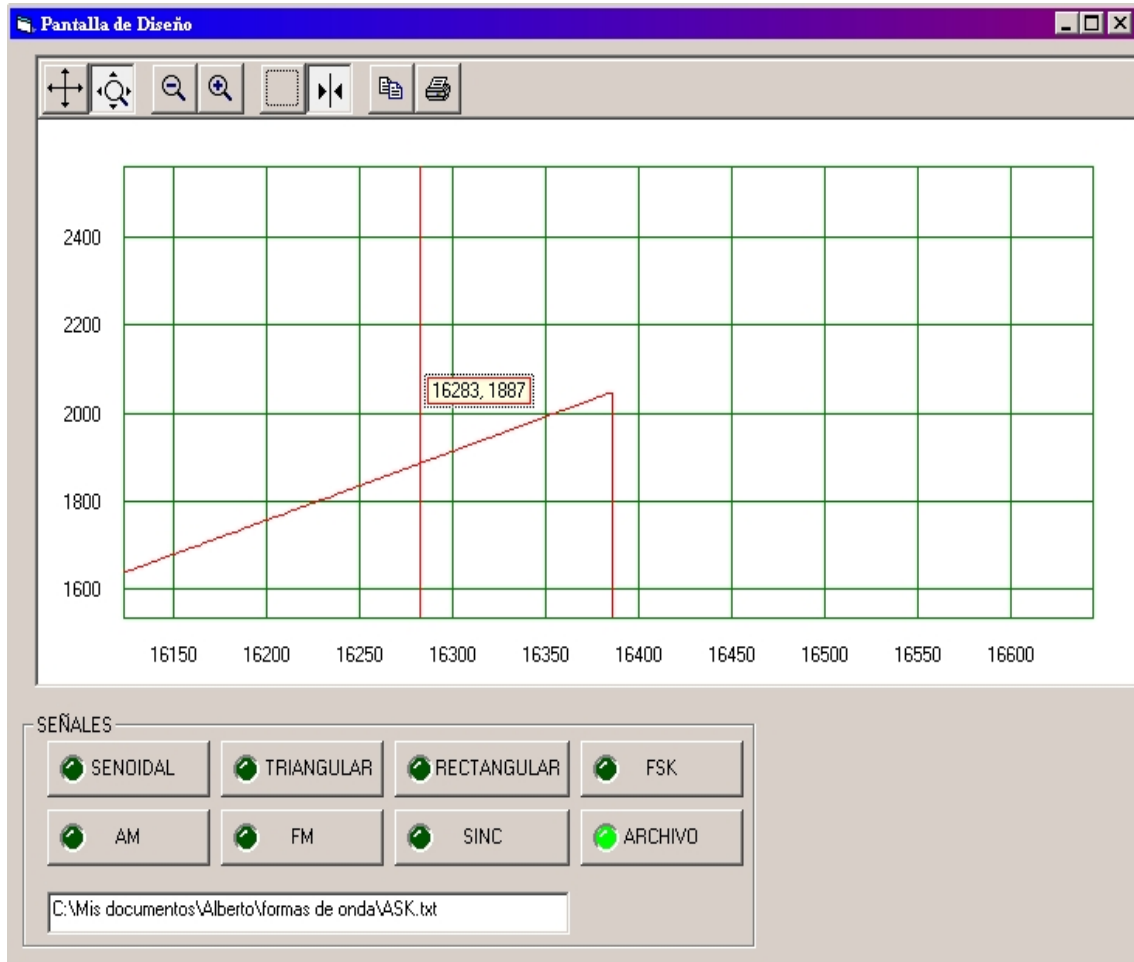


Figura 6-19

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

Por último se muestra la Figura 6-20 con la forma ASK corregida.

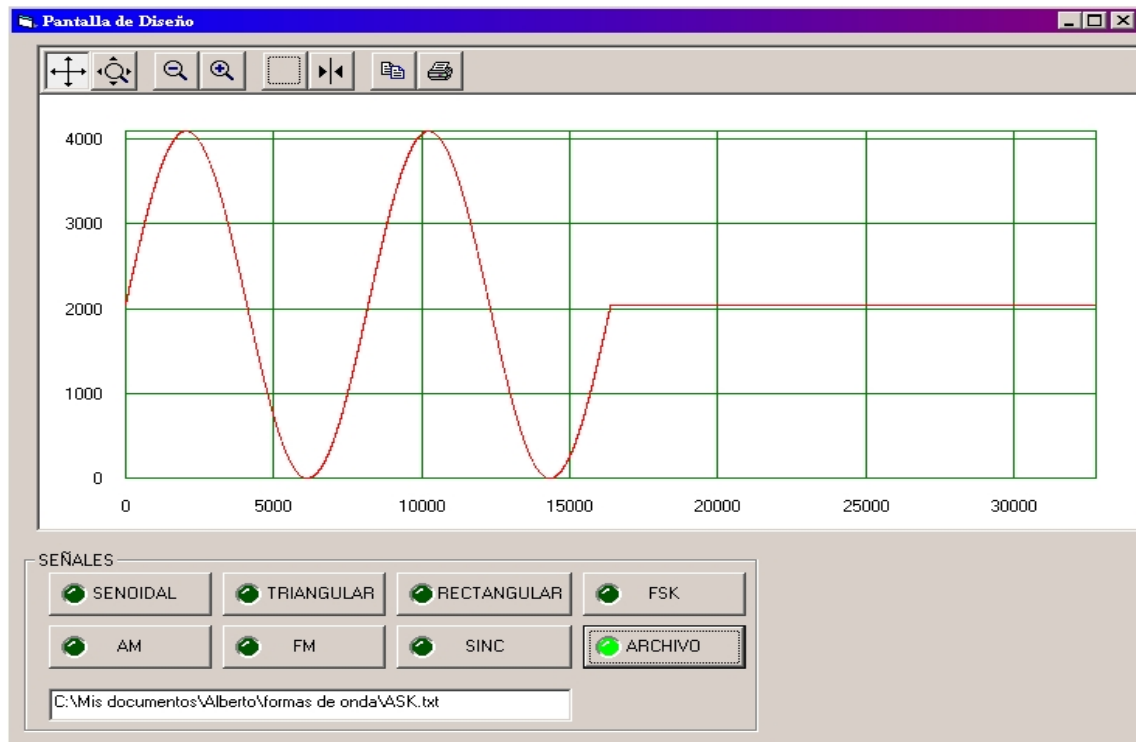


Figura 6-20

6.4 - Rangos de Trabajo

En la próxima tabla se expone los valores máximos para cada forma de onda:

Forma de Onda	Frecuencias Máximas	Porcentajes
Senoidal	1.2 MHz	
Triangular		
Frecuencia	250 KHz	
Ciclo de Trabajo		0 % al 100 %
Rectangular		
Frecuencia	250 KHz	
Ciclo de Trabajo		10 % al 90 %
AM		
Portadora	1.2 MHz	
Modulante	25 KHz	
Indice de modulación		1 % al 150 %
FM		
Portadora	1.2 MHz	
Modulante	25 KHz	
Desviación de frecuencia	100 KHz	
FSK	1.2 MHz	
SINC		
Frecuencia	250 KHz	
Ancho del Lóbulo Principal		1 % al 10 %
Desde archivo	1.2 MHz	

El valor mínimo de frecuencia para todos los tipos de señales es de 0.01 Hz. La resolución correspondiente es de 0.01 Hz, es decir el salto mínimo entre dos valores es de 0.01 Hz. Aunque el programa no envíe ningún mensaje, el valor de frecuencia va a ser redondeado a dos dígitos decimales.

6.5 - Mensajes de Error

El programa envía un mensaje de error cada vez que alguno de los valores ingresados en las cajas de texto sea erróneo. Los motivos pueden ser varios. Se presentan a continuación algunas situaciones a modo de ejemplo.

6.5.1 - Máxima Frecuencia

Si el número ingresado supera el valor de frecuencia máximo permitido cuando se realice un "click" sobre el botón Comenzar, aparece un cuadro de error, tal como se muestra en la Figura 6-21.

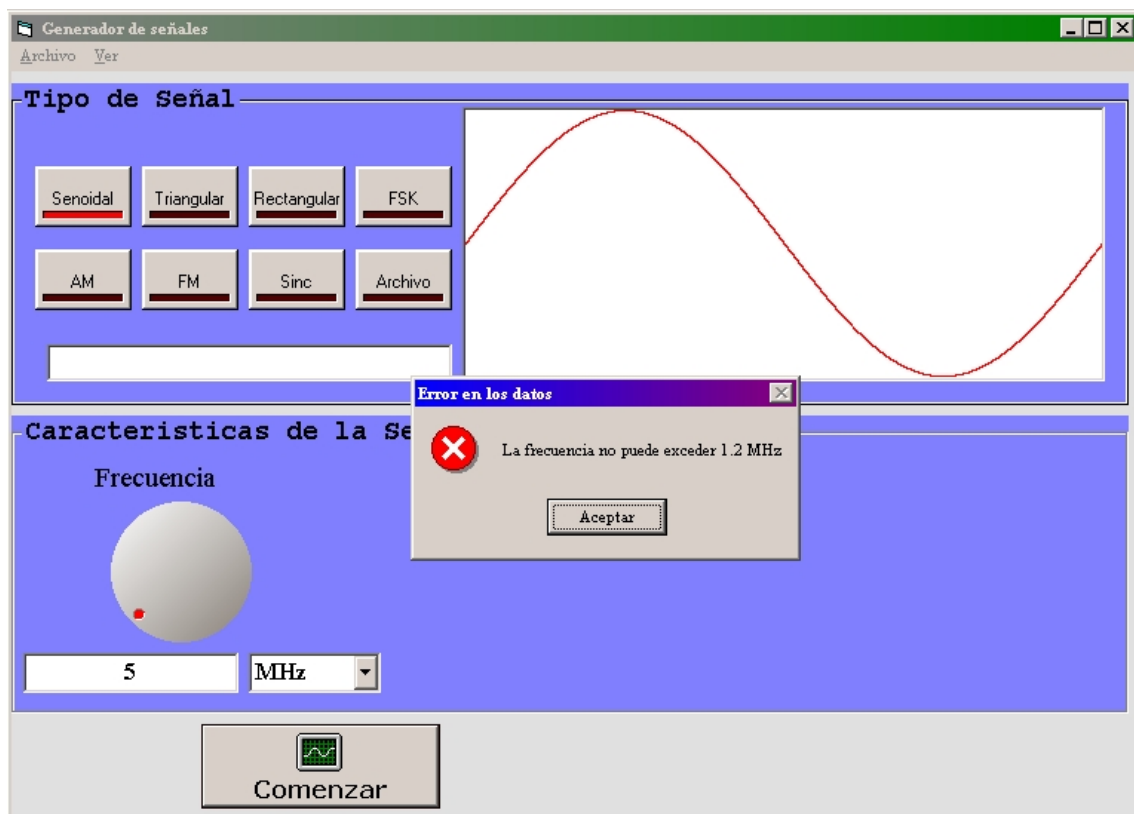


Figura 6-21

En la Figura 6-21 se intentó hacer funcionar el generador a 5 MHz con una onda senoidal. Cuando un mensaje de error aparece, se detiene la carga de la forma de onda. Las formas de ondas prediseñadas Senoidal, AM, FM, FSK y Archivo permiten una frecuencia (Portadora en las moduladas) máxima de 1.2 MHz.

Para las demás formas de onda el máximo valor de frecuencia es de 250 KHz y el mensaje enviado se muestra en la Figura 6-22.

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

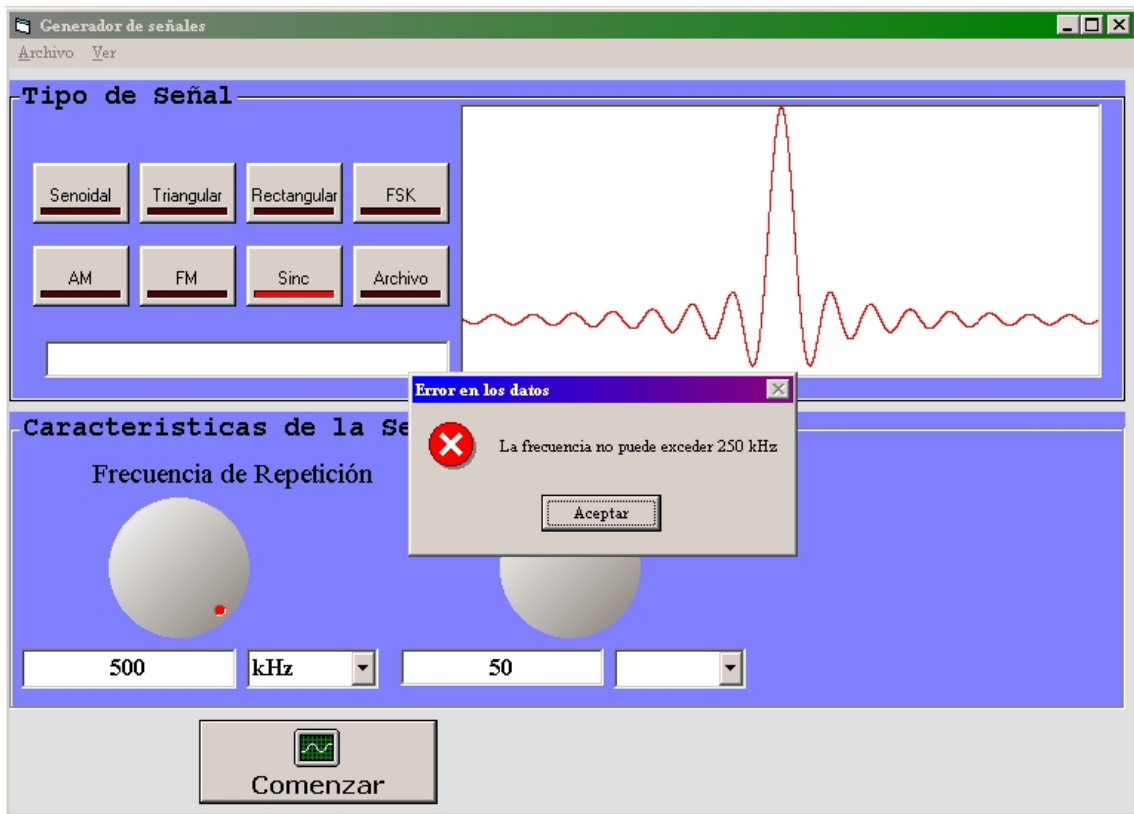


Figura 6-22

6.5.2 - Mínima Frecuencia

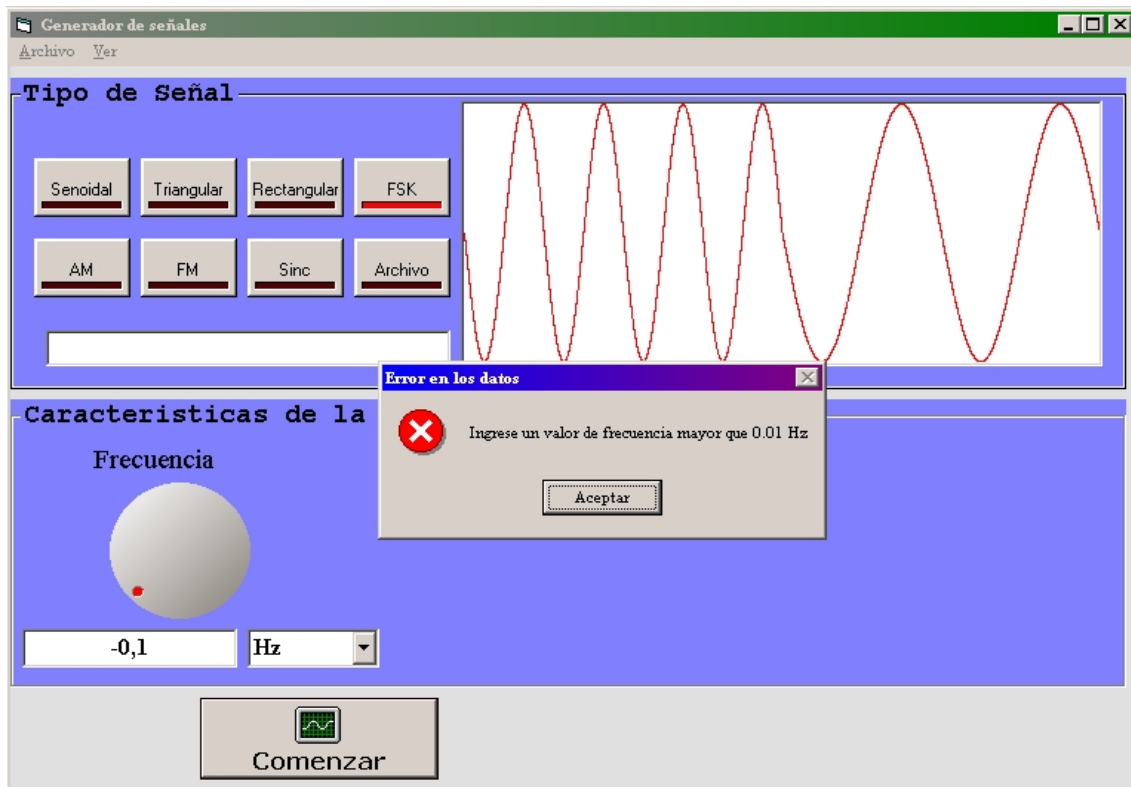


Figura 6-23

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

También cuando se ingresan valores por debajo del mínimo valor de frecuencia, (0.01 Hz) para todas las señales, aparece un mensaje de error. Un ejemplo se muestra en la Figura 6-23 donde se intentó dar un valor negativo de frecuencia.

En el caso de la Figura 6-24 se intentó dar un valor "cero" a la frecuencia modulante. El programa reconoce en que caja de texto esta el error y envía dentro del mensaje un aviso, en este caso indica que el error esta dentro de la caja de texto donde se carga el valor de la frecuencia modulante.

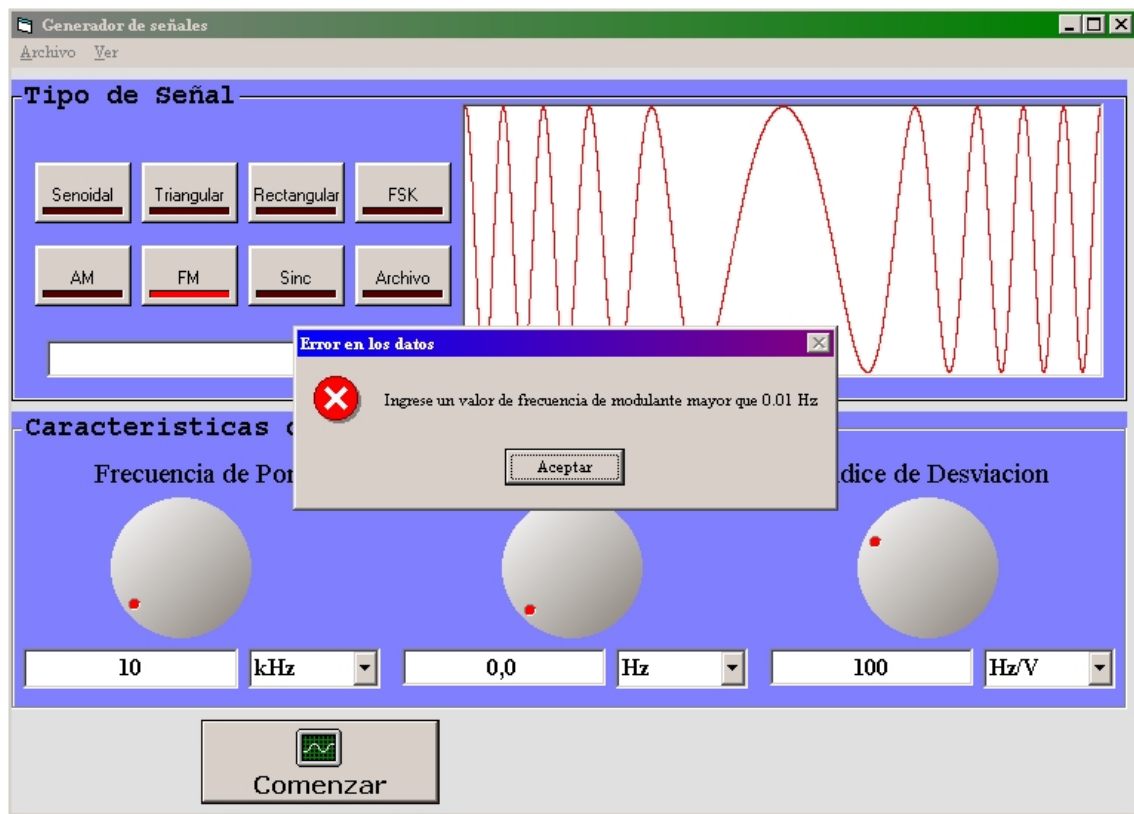


Figura 6-24

6.5.3 - Errores particulares de cada forma de onda

6.5.3.1 - Triangular

Cuando se trabaja con la forma de onda rectangular se debe tener en cuenta que el ciclo de trabajo de la señal debe ser mayor a 0 % y menor a 100 %. Cualquier valor que exceda estos límites detiene la carga y aparece el mensaje de error correspondiente.

6.5.3.2 - Rectangular

Cuando se trabaja con la forma de onda rectangular se debe tener en cuenta que el ciclo de trabajo de la señal debe ser mayor a 10 % y menor a 90 %. Una ventana de error de este tipo se muestra en la Figura 6-25

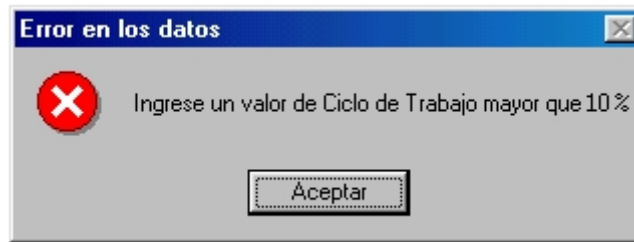


Figura 6-25

6.5.3.3 - Sinc

Cuando se trabaja con la forma de onda Sinc se debe tener en cuenta que la relación entre el lóbulo principal y el periodo debe ser mayor a 1 % y menor a 10 %. Cualquier valor que exceda estos límites detiene la carga y aparece el mensaje de error correspondiente.

6.5.3.4 - Modulación AM

Para la forma de onda de AM cuando el valor del índice de modulación ingresado supera el 150% aparece un mensaje de error. Este mensaje se puede observar en la Figura 6-26.

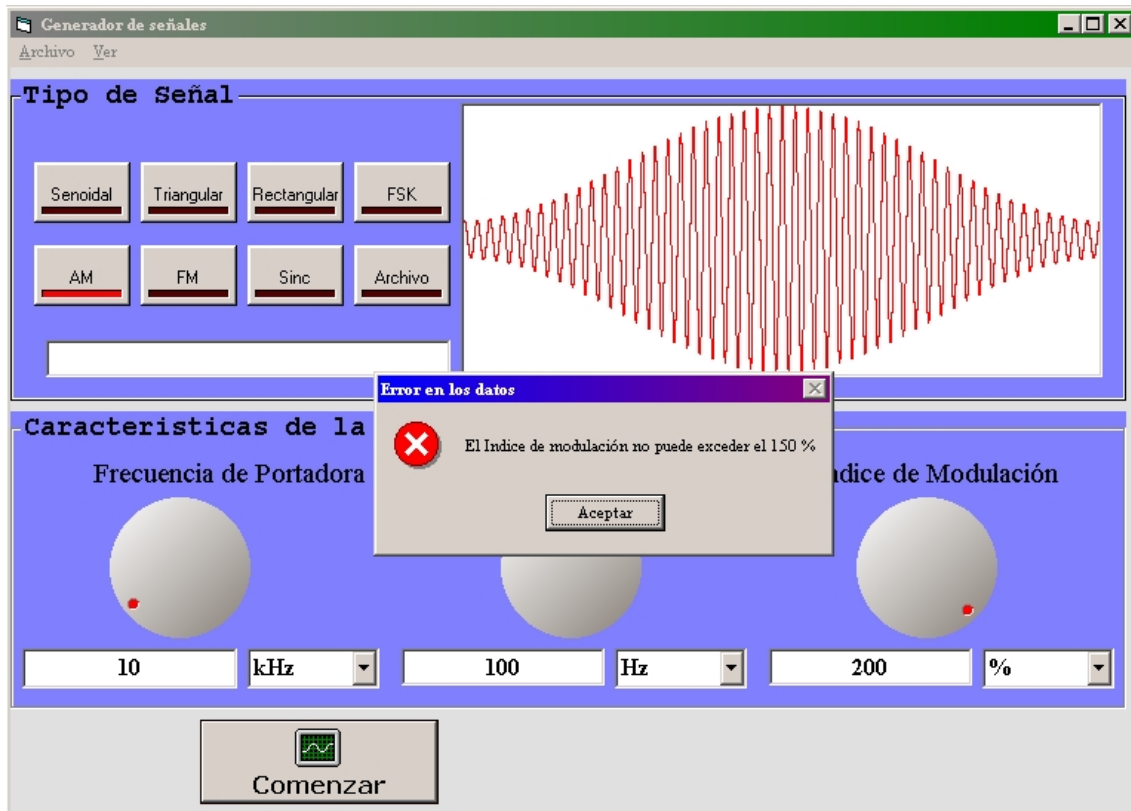


Figura 6-26

En la Figura 6-27 se muestra el mensaje de error cuando se ingresa un valor menor o igual que 0% en el cuadro de texto del índice de modulación.

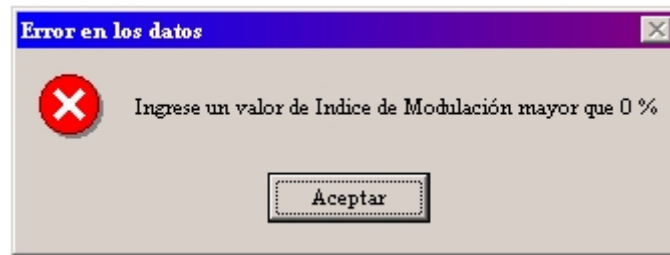


Figura 6-27

6.5.3.5 - Modulación FM

Para la modulación FM, el índice de desviación de frecuencia posee un valor maximo de 100 KHz y nunca puede ser mayor que la frecuencia de portadora. Si se intenta colocar una frecuencia de portadora menor que la desviación aparece el mensaje, tal como se muestra en la Figura 6-28.

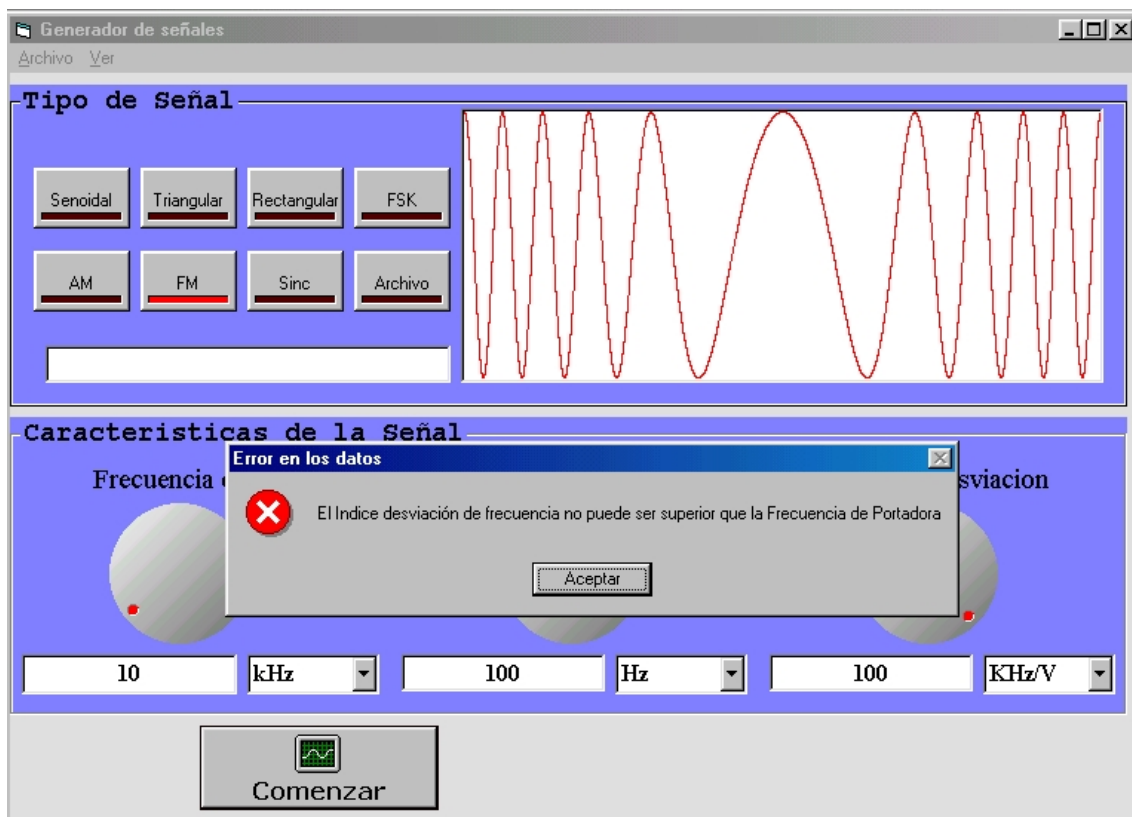


Figura 6-28

De la misma forma cuando el índice de desviación es mayor que 100 KHz el programa envía un mensaje de error. Este se detalla en la Figura 6-29.

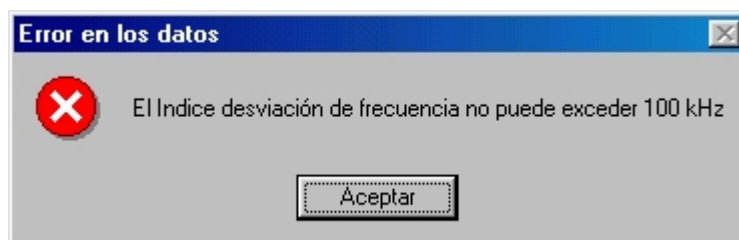


Figura 6-29

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

Durante la carga de valores para una señal AM o FM hay que recordar que la frecuencia de modulante máxima es de 25 KHz. El mensaje de error se detalla en la Figura 6-30

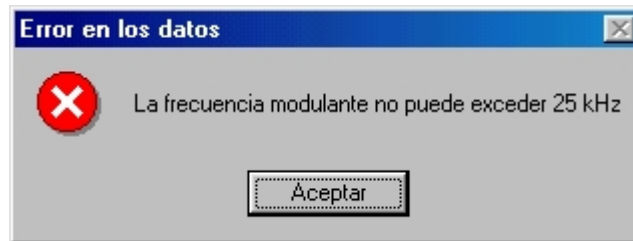


Figura 6-30

6.5.4 - Cajas de texto sin caracteres

Por último, cuando se deja una de las cajas de texto sin ningún carácter aparece un mensaje de error, como el que se muestra en la figura 6-31.

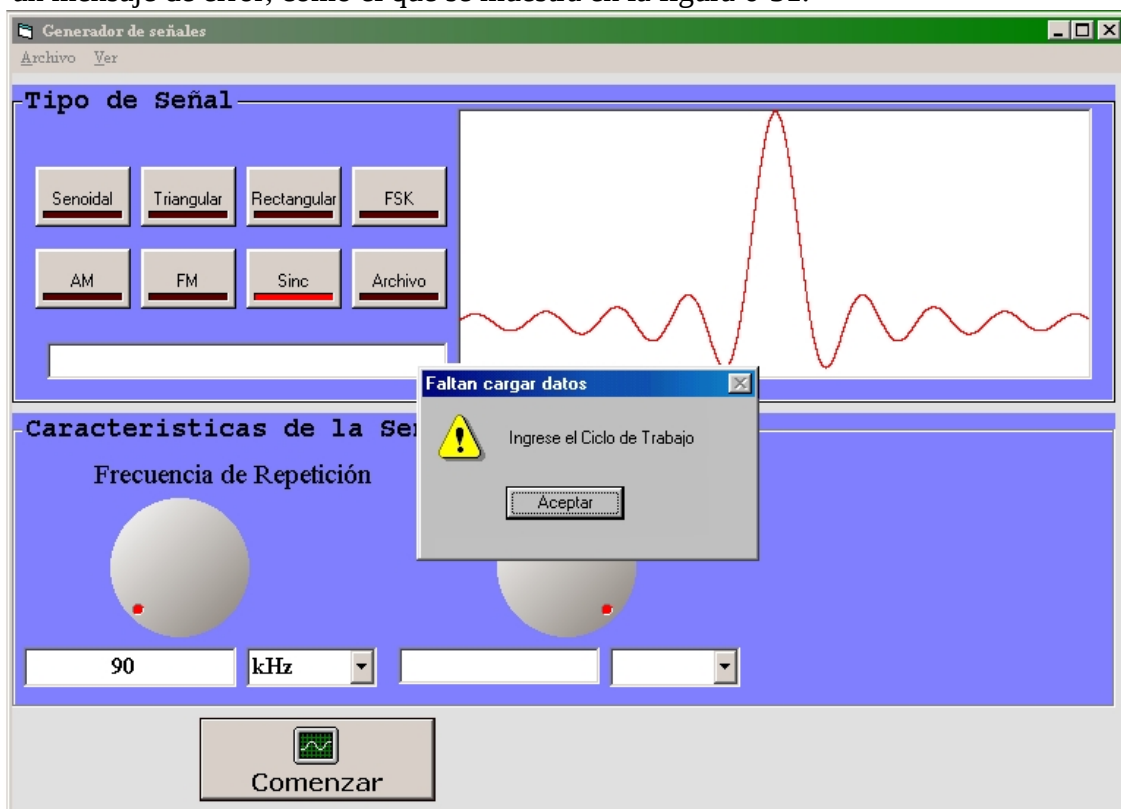


Figura 6-31

Otros mensajes de este tipo se detallan en las Figuras 6-32 y 6-33

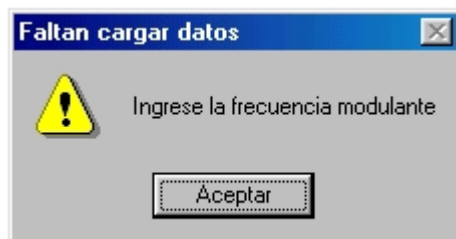


Figura 6-32



Figura 6-33

Recordar:

Siempre que aparezca un mensaje de error se detiene el proceso de carga y arranque del generador. Si se ingresan números con otros caracteres no numéricos, (por ejemplo letras) solo se cargaran los números que estén a la izquierda del primer caracter no numérico. Si el primer caracter es no numérico, para el programa en esa caja de texto se ha ingresado el número cero, enviando el mensaje de error correspondiente.

6.5.5 - Falla en la comunicación entre la computadora personal y el generador

El único mensaje de error que no corresponde a una carga errónea de datos se puede observar en la Figura 6-34.

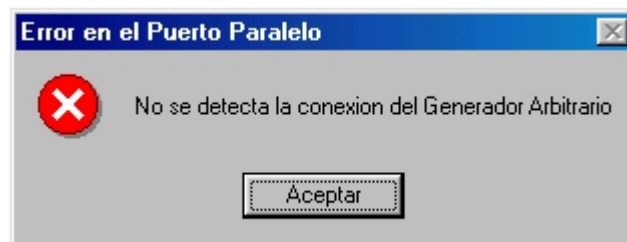


Figura 6-34

Si este mensaje aparece, puede deberse a:

- El cable que conecta el puerto paralelo con el generador no está conectado.

- El generador no está conectado a la alimentación (red de 220 Volts).

CAPITULO 7

MANUAL

DE

MANTENIMIENTO

7.1 - Especificaciones del Generador de Señales

- **Tensión de alimentación:** 220 Volts

- **Tensión de alimentación del circuito:** 5 Vdc

- **Corriente de alimentación del circuito:** 0.5 A.

- **Consumo de Potencia típica:** 2.5 W

- **Frecuencia Reloj de referencia:** 12 MHz

- **Frecuencia Máxima de Salida**
 - Señal Senoidal:** 1.2 MHz
 - Señales moduladas:** 1.2 MHz
 - Señales arbitrarias:** 1.2 MHz
 - Triangular, Rectangular y Sinc:** 250KHz

- **Amplitud de Salida**
 - Máxima Amplitud:** 2 Volts p-p
 - Resolución:** 0.488 mVolts

7.2 - Diagrama en bloques del generador

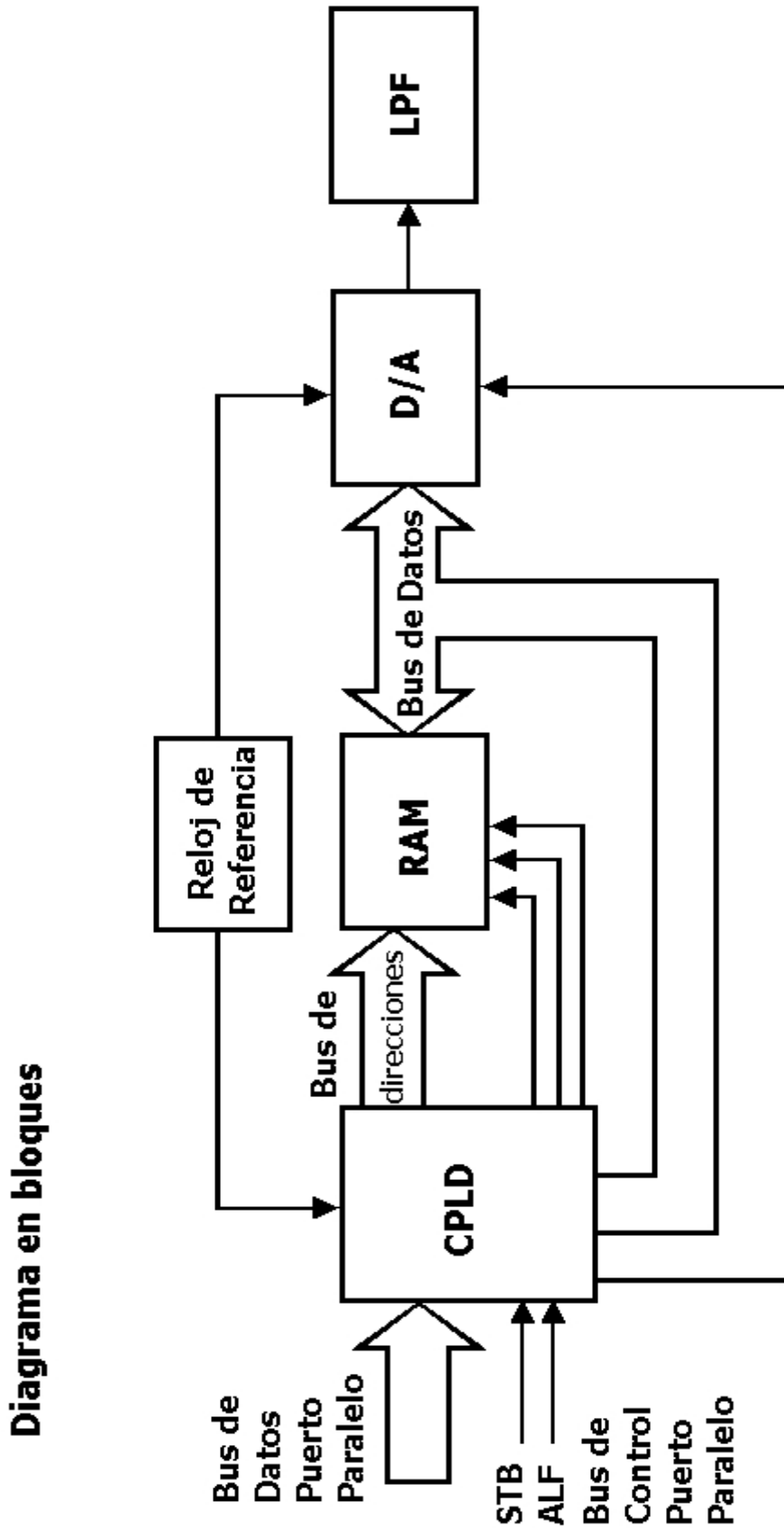


Figura 7-1

7.3 - Circuito esquemático implementado en cada bloque

7.3.1 - CPLD

El CPLD seleccionado es un Mach 4A5 -192/96 con 96 pines de entrada/salida y 192 macroceldas. En dicho dispositivo se programó el oscilador controlado numéricamente, la lógica de control y el registro de tres estados. Este último se utiliza para formar la palabra digital de 12 bits que se graba en la memoria con información llegada del bus de datos del puerto paralelo.

Usando el software de programación del CPLD se compiló de manera de reducir el retardo interno y así obtener la máxima velocidad de funcionamiento posible. Dicho software permite además asignar los pines a utilizar.

7.3.1.1 - Asignación de pines

La descripción de los pines asignados se detalla en la siguiente tabla:

Pin del CPLD	Descripción
3	Input_0, Bit 0, bus de datos del puerto paralelo (P.P.)
4	Input_1, Bit 1, bus de datos del P.P.
5	Input_2, Bit 2, bus de datos del P.P.
6	Input_3, Bit 3, bus de datos del P.P.
7	Input_4, Bit 4, bus de datos del P.P.
8	Input_5, Bit 5, bus de datos del P.P.
9	Input_6, Bit 6, bus de datos del P.P.
10	Input_7, Bit 7, bus de datos del P.P.
37	\overline{WE} , línea de control de la memoria
38	\overline{OE} , línea de control de la memoria
39	\overline{CE} , línea de control de la memoria
40	Clk_datos, reloj de datos, STB(1), bus de control del P.P.
41	Hab, programación del modo, ALF (14), bus de control del P.P.
42	Clk_ref, reloj de referencia.
88	Bus_mem_11, D11, Dato 11 para grabar la memoria
87	Bus_mem_10, D10, Dato 10 para grabar la memoria
86	Bus_mem_9, D9, Dato 9 para grabar la memoria
85	Bus_mem_8, D8, Dato 8 para grabar la memoria
82	Bus_mem_7, D7, Dato 7 para grabar la memoria
81	Bus_mem_6, D6, Dato 6 para grabar la memoria
80	Bus_mem_5, D5, Dato 5 para grabar la memoria
79	Bus_mem_4, D4, Dato 4 para grabar la memoria
78	Bus_mem_3, D3, Dato 3 para grabar la memoria
77	Bus_mem_2, D2, Dato 2 para grabar la memoria
76	Bus_mem_1, D1, Dato 1 para grabar la memoria
75	Bus_mem_0, D0, Dato 0 para grabar la memoria

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

127	Bus_direcciones14, A14, línea de dirección de la memoria
128	Bus_direcciones13, A13, línea de dirección de la memoria
129	Bus_direcciones12, A12, línea de dirección de la memoria
130	Bus_direcciones11, A11, línea de dirección de la memoria
131	Bus_direcciones10, A10, línea de dirección de la memoria
132	Bus_direcciones9, A9, línea de dirección de la memoria
133	Bus_direcciones8, A8, línea de dirección de la memoria
134	Bus_direcciones7, A7, línea de dirección de la memoria
137	Bus_direcciones6, A6, línea de dirección de la memoria
138	Bus_direcciones5, A5, línea de dirección de la memoria
139	Bus_direcciones4, A4, línea de dirección de la memoria
140	Bus_direcciones3, A3, línea de dirección de la memoria
141	Bus_direcciones2, A2, línea de dirección de la memoria
142	Bus_direcciones1, A1, línea de dirección de la memoria
143	Bus_direcciones0, A0, línea de dirección de la memoria
13, 25, 51, 63, 83, 96, 122, 135	Vcc, alimentación del CPLD
1, 14, 24, 36, 37, 50, 64, 73, 84, 95, 108, 109, 123, 136	GND, Masa digital

7.3.1.2 - Distribución de los pines en el encapsulado

En la Figura 7-2 se muestra la distribución y descripción de los pines del circuito integrado.

144-PIN TQFP CONNECTION DIAGRAM (M4A(3,5)-192/96)

Top View

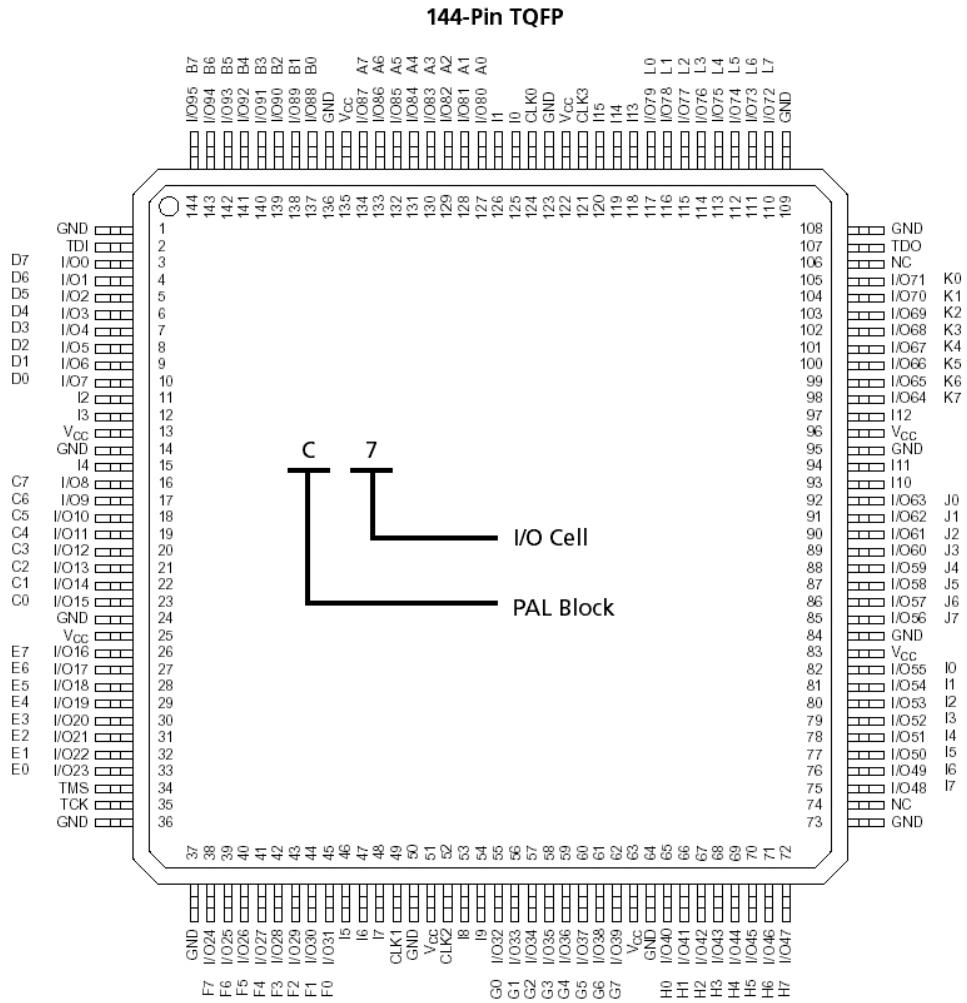


Figura 7-2

7.3.2 - Memoria RAM

Las memorias elegidas para este proyecto fueron las 61C256AK-20 que poseen un tiempo máximo de lectura-escritura de 12 nseg y una capacidad de 32768 palabras de 8 bits.

7.3.2.1 - Conexión de los bancos de memoria

Como el convertor digital analógico es de 12 bits se conectaron dos bancos de dichas memorias en paralelo, tal como se muestra en la Figura 7-3.

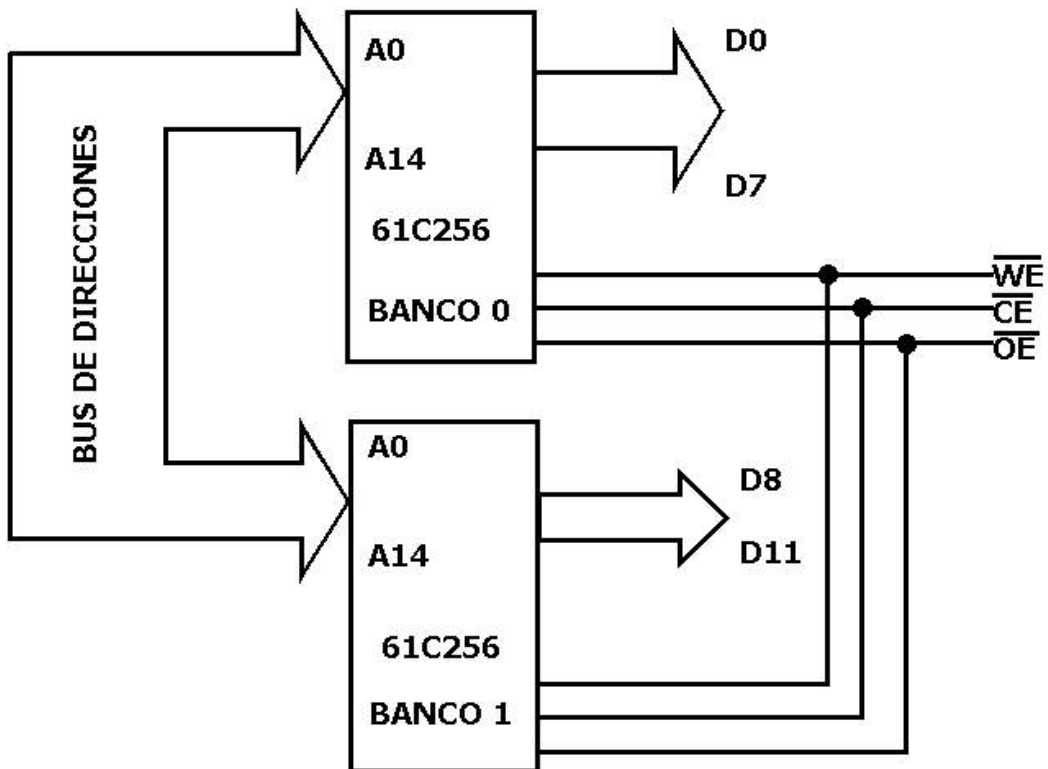
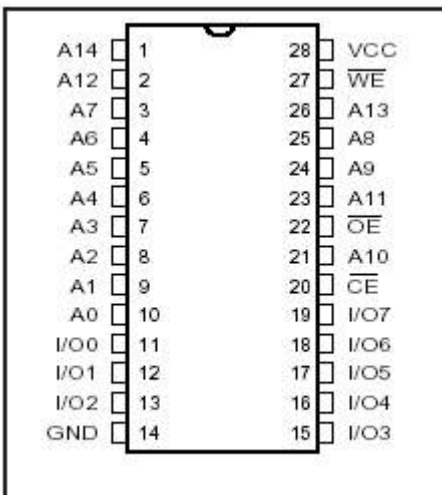


Figura 7-3

7.3.2.2 - Distribución y descripción de los pines



Para comenzar, se muestra la distribución y descripción de los pines de la memoria:

Pin	Descripción
A0..A14	Bus de direcciones
I/O 0..I/O7	Bus de datos
WE	Habilitación de escritura
OE	Habilitación de salidas
CE	Habilitación del dispositivo
GND	Masa
VCC	Alimentación (+5 V)

7.3.2.3 - Diagrama en bloques y modos de operación de la memoria

El diagrama en bloques de la memoria se detalla en la Figura 7-4.

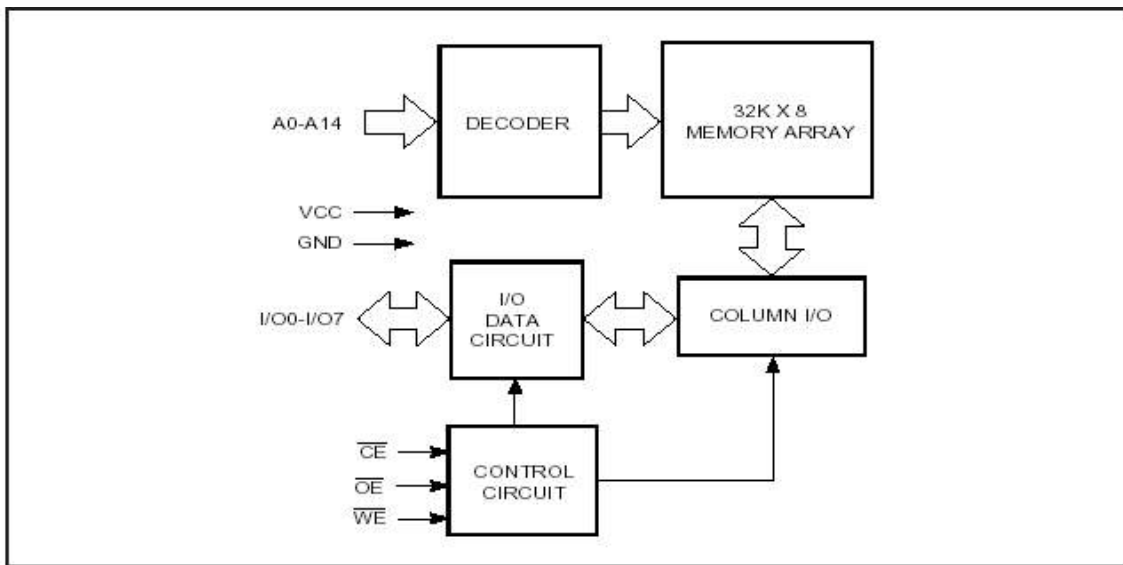


Figura 7-4

Los modos de operación son:

Modo	\overline{WE}	\overline{CE}	\overline{OE}	Operación I/O
No seleccionado	X	H	X	Alta impedancia
Salida deshabilitada	H	L	H	Alta impedancia
Lectura	H	L	L	Salida de Datos
Escritura	L	L	X	Entrada de Datos

7.3.3 - Conversor D/A

El conversor D/A que se utilizó es el DAC 902U de Burr-Brown, de 12 bits, recomendado para las aplicaciones de generaciones de señales (DDS). Dicho dispositivo utilizado a 12 MHz posee un SFDR (Spurious-Free Dynamic Range, Rango dinámico libre de espurios) de 74 dB. El consumo es de solo 170 mW (con Vcc = 5 Volts). Tiene salidas complementarias de corriente, las cuales son proporcionales al valor digital de entrada, con un valor máximo de 20 mA por salida.

7.3.3.1 - Conexión del conversor

El circuito recomendado por el fabricante se presenta en la Figura 7-5

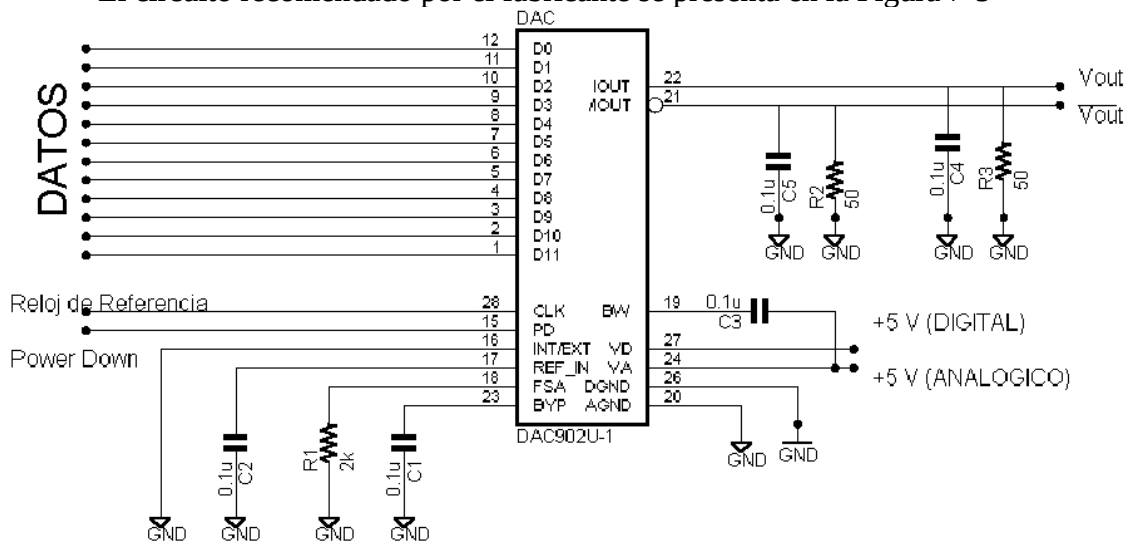


Figura 7-5

7.3.3.2 - Ajuste de la corriente máxima de salida

Para ajustar la máxima corriente de salida se debe calcular la resistencia Rset que se conecta al pin FSA (Full Scale Adjust, Ajuste de máxima salida) del DAC902.

$$I_{TOTAL} = I_{SALIDA} + I_{SALIDA}$$

y

$$I_{TOTAL} = \frac{32 * V_{REF}}{R_{SET}}$$

siendo Vref = 1.24 Volts y la $I_{TOTAL} (max) = 20mA$

$$Rset_{min} = \frac{32 * V_{REF}}{I_{TOTAL} (max)} = 1984W$$

Por este motivo se tomó Rset = 2000

7.3.3.3 - Descripción de los pines

La descripción de los pines se muestra en la próxima tabla:

PIN	NOMBRE	DESCRIPCIÓN
1 a 12	D11 a D0	Bit de datos, D11 (MSB) a D0 (LSB)
13,14	NC	Sin uso, no se conecta.
15	PD	Deshabilita el convertor, Activo Alto. Cuando se activa esta línea el convertor pasa a un estado de bajo consumo.
16	\overline{INT} /Ext	Pin de selección de la tensión de referencia; interna (bajo) o Externa (alto).
17	REFin	Entrada/Salida de la tensión de referencia.
18	FSA	Ajuste de escala de la salida.
19	BW	Pin de reducción de ruido.
20	AGND	Masa analógica.
21	$I_{\overline{OUT}}$	Salida de corriente complementaria del convertor.
22	I_{OUT}	Salida de corriente del convertor.
23	BYP	Nodo de paso. Se usa un capacitor de 0.1 F a AGND.
24	+V _A	Alimentación analógica.
26	DGND	Masa digital.
27	+V _D	Alimentación digital.
28	CLK	Entrada de reloj.

7.3.3.4 - Encapsulado del convertor

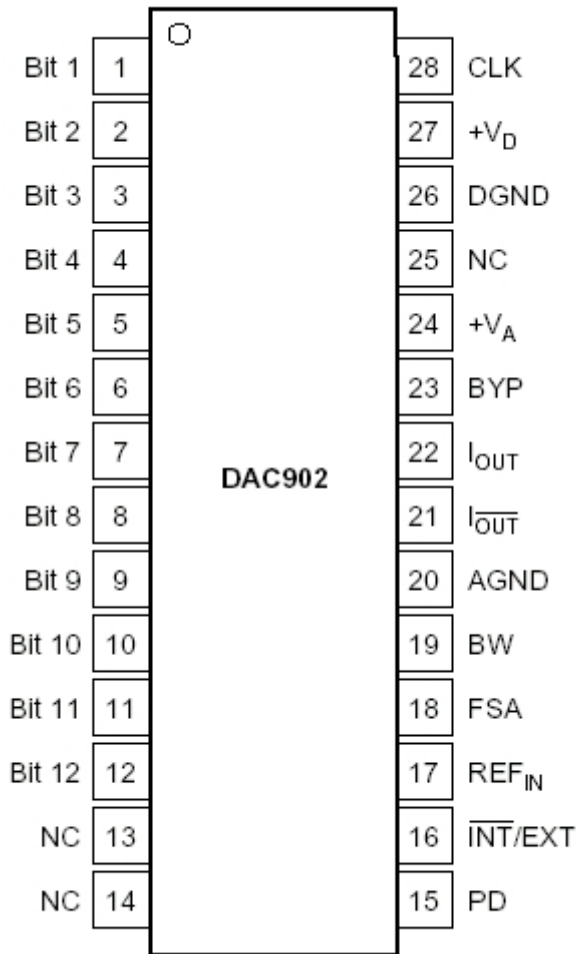


Figura 7-6

Nota: Para más información acerca de los componentes utilizados en el generador, en el Anexo 3 se incluyen las hojas de datos del convertor D/A, de la memoria, del CPLD y del regulador de tensión.

7.3.4 - Reloj de Referencia

El reloj de referencia fue realizado con un resonador cristal que con solo conectar la alimentación, oscila a una frecuencia de 12 MHz. La conexión de dicho dispositivo se puede ver en la Figura 7-7.

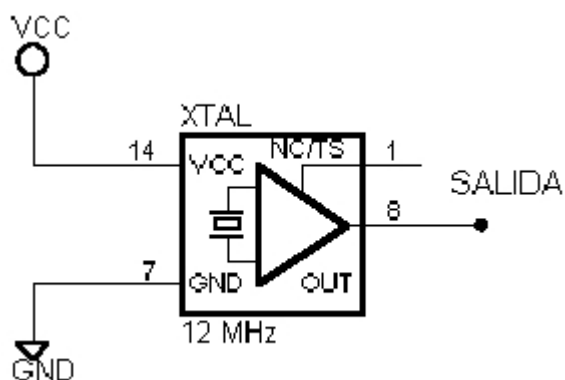


Figura 7-7

7.3.5 - Fuente de Alimentación

Para implementar esta etapa se colocó un circuito regulador de tensión, que fije con un mínimo de ripple la tensión de salida. El circuito integrado utilizado es el C.I. LM 7805.

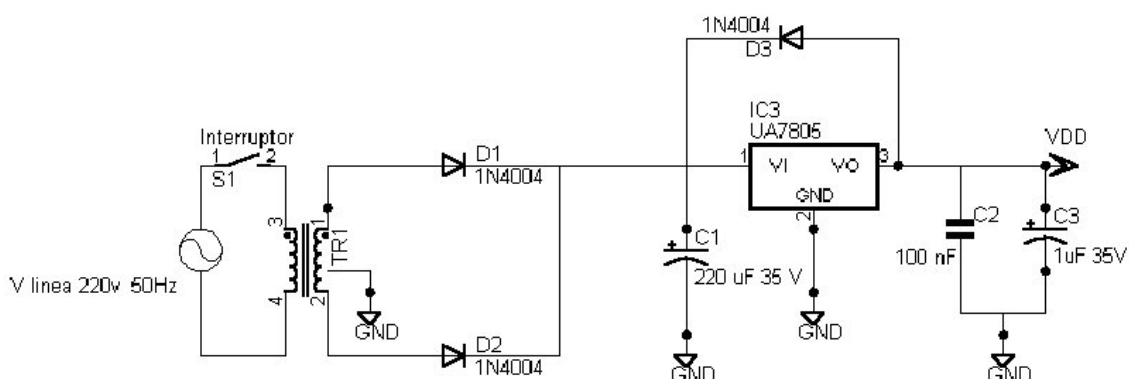


Figura 7-8 - Circuito esquemático de la fuente regulada de alimentación

Para el correcto funcionamiento del LM 7805 se necesita a la entrada no más de 30 volts y no menos de 7 volts. El transformador utilizado es de 220 Volts a 6+6 volts alterna, por lo cual a la entrada de dicho regulador se tiene un valor pico de 17.6 Volts.

La máxima corriente que puede drenar el regulador es de 1 Amper. Para los circuitos del generador el consumo de corriente esta por debajo de este valor.

Los capacitores de salida están indicados en las hojas de datos del regulador (Ver anexo 3). El capacitor electrolítico y el capacitor de poliéster (el cual posee mínimas inductancias parásitas) son colocados para presentar baja impedancia en alta frecuencia. También el fabricante recomienda colocar un diodo (en este caso se colocó

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

el 1N 4004) para proteger al LM 7805 cuando la tensión de entrada cae primero que la de salida, pudiendo esto dañar el transistor de paso del C.I..

Bibliografía

- [1] Sistemas digitales: Principios y Aplicaciones - R. Tocci, Ed. Prentice Hall
- [2] Digital signal processing - A. Oppenheim, Ed. Prentice Hall.
- [3] Síntesis digital directa de frecuencia - Ing. C. Busada, Ing. L. De Pasquale y Ing. H. Bambil, Revista Nueva Telegráfica Electrónica, Ene/Feb 1995.
- [4] Introduction to direct digital synthesis - Application Note 101, Intel Corp.
- [5] Alias and spurious responses in DDS system - Application Note 102, Intel Corp.
- [6] Numeric modulation in DDS system - Application Note 103, Intel Corp.
- [7] HF radio synthesizers using DDS in interpolated PLL's - Application Note 104, Intel Corp.
- [8] Direct Digital Synthesis: Impact on Function Generator Design - Application Note 5, SRS system
- [9] High Speed DAC's and DDS systems - Walt Kesler - Analog Devices Corp.
- [10] The Direct Digital Synthesis Generator - Application Note 2109, Cypress Microsystem
- [11] True Arbitrary Waveform Generators Offer More Than Function Generators with Arbitrary Capability - Application Note 401, Tegam System
- [12] La instrumentación virtual -Application Note, National Instruments
- [13] Understanding Data Converters - Application Report, Texas Instruments
- [14] What designers should know about data converter drift - Application Report, Burr-Brown
- [15] Apuntes de la cátedra de Instrumentación Electrónica.
- [16] Apuntes de la cátedra de Adquisición digital de señales.
- [17] Apuntes de la cátedra de Mediciones Electrónicas.

ANEXO 1

INTRODUCCION

AL

TEOREMA DE

MUESTREO

A1.1 - Introducción

El generador **D.D.S.** realiza una interpolación para poder reconstruir una señal analógica a partir de valores digitales. Cada valor digital es una muestra, es decir valores de amplitud tomados durante un ciclo de la señal, cada uno de ellos se encuentra separado temporalmente por un T idéntico (espacio de tiempo entre la toma de las muestras).

Para lograr esta reconstrucción, se debe tener en cuenta las limitaciones que se imponen en el diseño de este tipo de generadores. Los conocimientos básicos del teorema de muestreo y las condiciones que se deben cumplir para recuperar a la señal se detallan a continuación.

A1.2 – Muestreo Ideal

El muestreo ideal se produce bajo 3 condiciones:

1. Realizar un muestreo con $\delta(t)$ (Delta de Dirac). Esto produce que en el campo frecuencial la señal se repita cada frecuencia de muestreo.
2. La frecuencia de muestreo debe ser, por lo menos, dos veces mayor a la frecuencia máxima de la señal, ($f_m > 2 \cdot f_s$). Esto sucede debido a la repetición producida por el muestreo. Esta ecuación fue desarrollada por Nyquist y en general es conocida como teorema de Nyquist.
3. La señal debe ser de banda limitada en frecuencia, para que las repeticiones de esta no se solapen. Por lo tanto la señal en el tiempo debe ser de duración infinita.

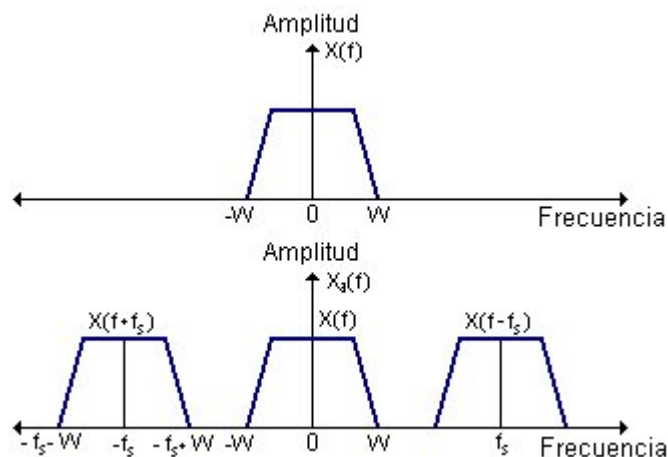


Figura A1-1

En la Figura A1.1 se muestra la señal limitada en banda en el campo frecuencial y luego como se ve afectada por la convolución con un tren de deltas (señales de muestreo). Por último con un filtro pasabajos ideal se recupera la señal sin modificaciones.

A1.3 – Muestreo Real

El muestreo ideal no es realizable. Las condiciones que imponen los circuitos reales son:

1. En la práctica la duración de la señal es finita. Para solucionar esto se coloca un filtro antialiasing (anti-solapamiento)
2. Los filtros pasabajos no tiene una caída tan abrupta como los ideales. Se debe aumentar la frecuencia de muestreo para que la señal a recuperar se encuentre dentro de la zona plana del filtro pasabajos.
3. Los pulsos de muestreo son de duración y amplitud finita (las deltas de Dirac no son realizables). La señal se ve afectada por estar convolucionada con una onda cuadrada (señal de muestreo), por tanto la amplitud va a estar modificada por una función “sinc”.

En la Figura A1 -2 se considera que la señal a ser muestreada es de banda finita para simplificar la comprensión del mismo.

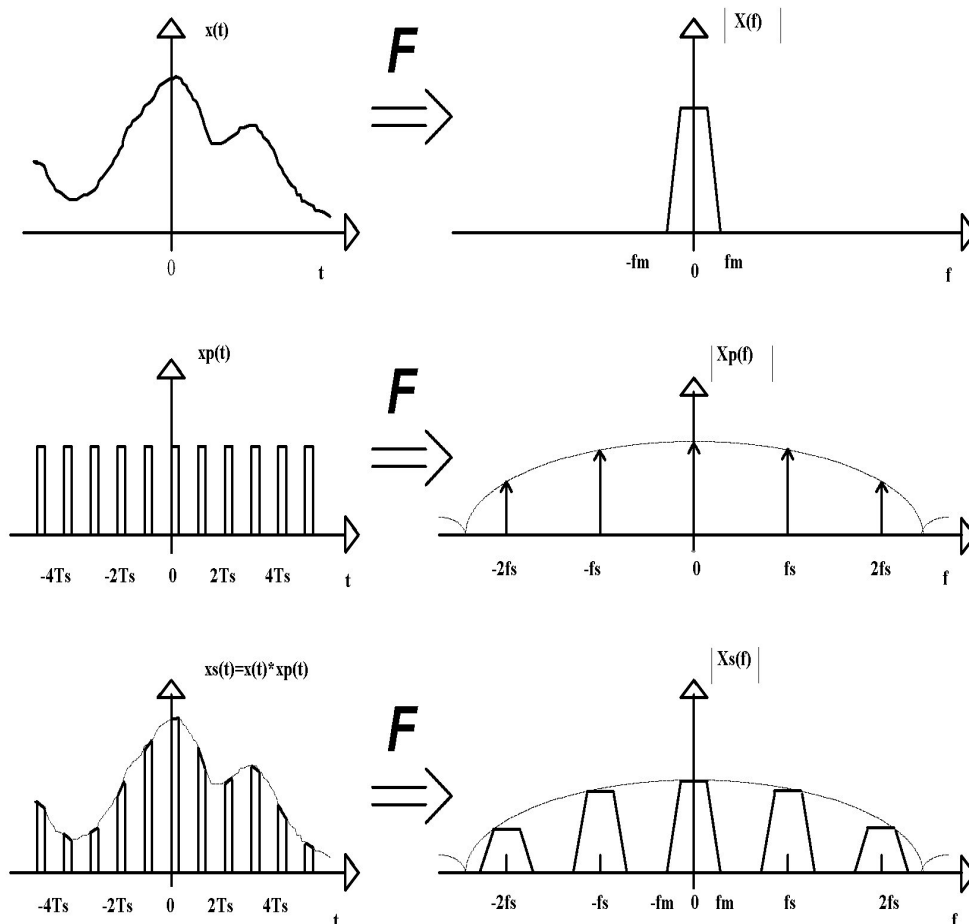


Figura A1 - 2

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

Para visualizar el solapamiento debido a que la señal no es de banda finita en frecuencia, se muestra la Figura A1 - 3

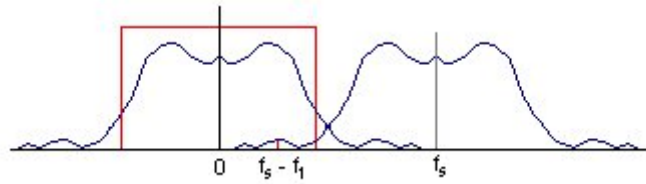


Figura A1 - 3

Para completar esta información básica acerca del teorema de muestreo, se recomienda la lectura del libro Digital Signal Processing del autor A. Oppenheim [2]

ANEXO 2

INTRODUCCION AL FUNCIONAMIENTO DEL PUERTO PARALELO DE UNA COMPUTADORA PERSONAL

A2.1 - Introducción

Se presenta aquí información sobre las señales y el funcionamiento del puerto paralelo de las computadoras personales.

La mayoría de las computadoras personales utilizan el puerto paralelo con un conector DB-25. El conector es normalmente hembra para distinguirlo de los conectores series que son habitualmente machos y que también posee la computadora.

La función de cada terminal del conector DB-25 se muestra en la Figura A2 – 1. Las señales que ocupan esas terminales se pueden dividir en cuatro grupos básicos: tierras, bus de datos, bus de estado y bus de control.

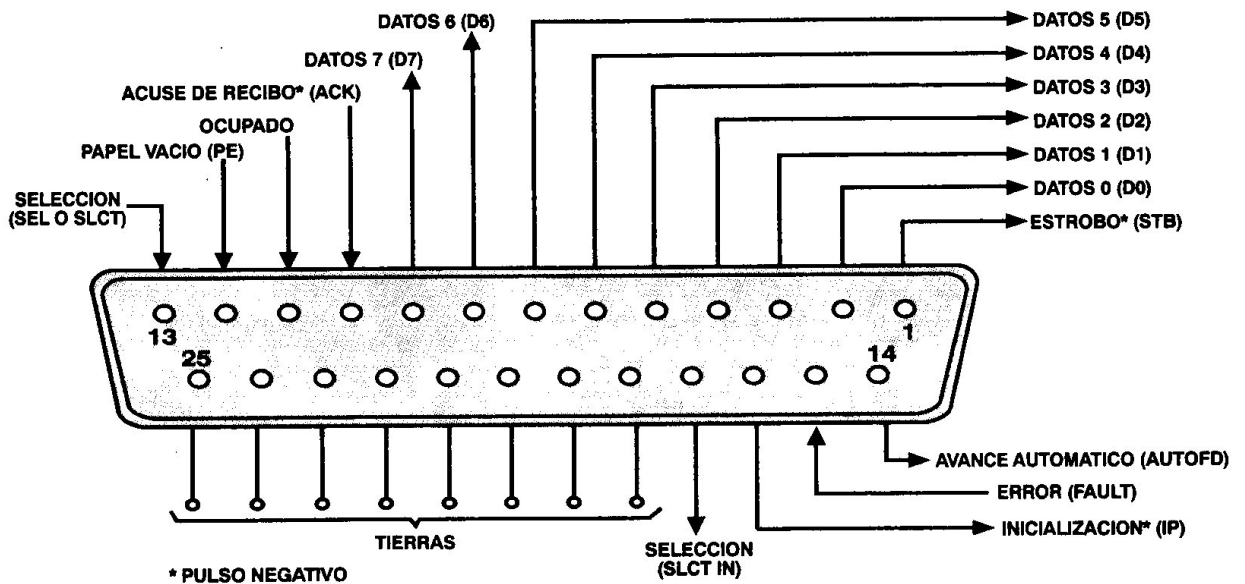


FIGURA 1: En la mayoría de las computadoras IBM compatibles (y algunas no compatibles) el puerto paralelo es como éste. Las flechas que apuntan hacia afuera del conector DB-25 son salidas, las que apuntan hacia adentro, entradas. Los terminales restantes, señalados con círculos, son tierras.

Figura A2 - 1

A2.2 – Conexión del Puerto Paralelo al bus ISA de una PC

En la Figura A2 – 2 se muestra la conexión del puerto paralelo al bus ISA de la computadora. También se incluyen las direcciones de hardware de las mismas con la correspondiente línea de interrupción:

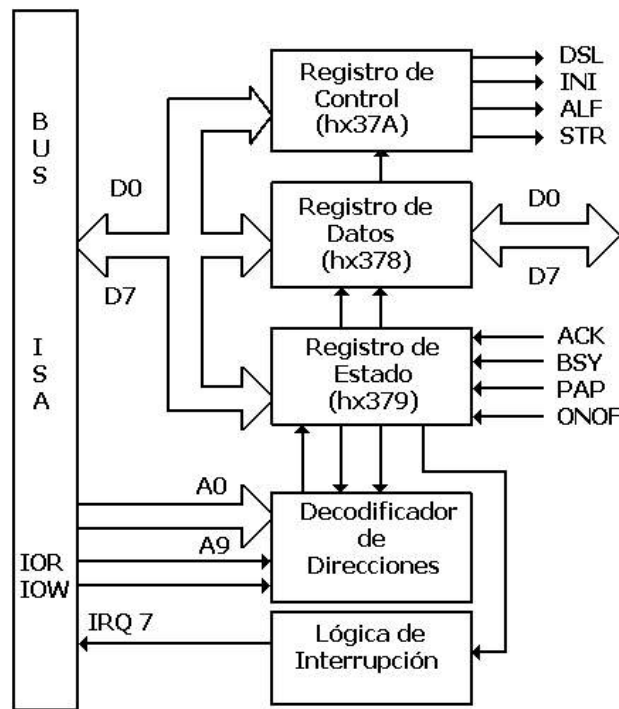


Figura A2 - 2

A2.3 - Líneas de tierras y de datos

Las tierras cumplen dos funciones:

1. Vincular las tierras de dos dispositivos que se interconecten de modo que puedan compartir una tierra común como referencia para las señales.
2. Actuar como blindaje de las señales cuando se utilizan cables mallados.

Como su nombre lo indica, el bus de datos transfiere información desde la computadora a un periférico en paralelo. Esto se hace con ocho bits (un byte) por vez utilizando los terminales 2 al 9. D0 se considera el bit menos significativo (LSB) y D7 el más significativo (MSB).

Las salidas del puerto paralelo son del tipo TTL convencionales (0 lógico para tensiones entre 0 y 0.8 Volts; 1 lógico para tensiones de 2.4 a 5 Volts). Si el periférico posee tecnología CMOS, existe un problema cuando se comparan los voltajes de salida TTL con los requeridos para la entrada CMOS. Para solucionar dicho problema generalmente se coloca una resistencia de pull-up, es decir una resistencia conectada a Vdd cuyo valor esté comprendido entre 1 K Ω y 10 K Ω .

A2.4 - Comunicación entre la computadora y el periférico

Puesto que la computadora es mucho más rápida que cualquier periférico con el que se comunique, puede transmitir muchos más datos que los que el periférico puede manejar. Para ello, los periféricos utilizan las líneas de los buses de control y de estado para comunicar a la computadora que detenga momentáneamente o reinicie el envío de datos. Esto le permite al periférico alcanzar a la computadora, la cual puede realizar otras tareas mientras tanto. Una vez que el periférico queda libre, este le pide a la computadora que comience a transmitir nuevamente más datos y así se continúa el proceso.

El proceso de utilizar señales para controlar el flujo de datos se denomina dialogo (handshake).

GENERADOR ARBITRARIO DE FUNCIONES

Autor: Julio Alberto Gasparri

Las señales de "Strobe (STB)", "Busy (BSY)" y "Acknowledge (ACK)" son las señales del bus de control más importantes. La manera más usual de comunicarse con un periférico es la siguiente:

1. Se coloca el dato en el bus de datos
2. Cuando el dato esta listo, la linea STB se activa (activo bajo) durante un tiempo establecido.
3. El periférico responde activando la linea BSY (activo alto)
4. Cuando el periférico pudo "leer" el dato, activa la linea ACK (activo bajo) indicando que esta listo para recibir el próximo dato.

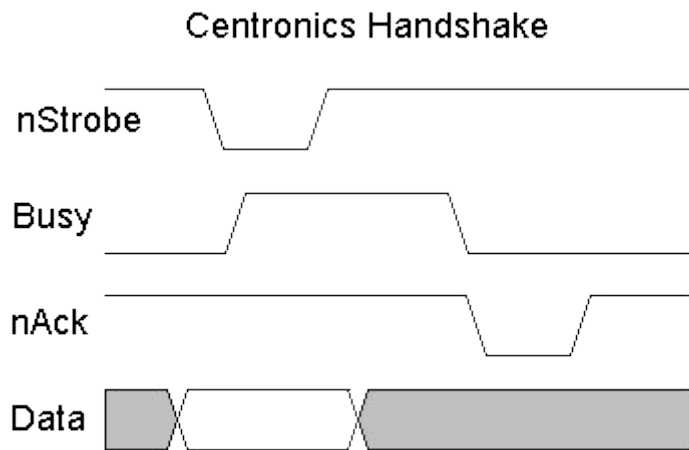


Figura A2 -3

A2.5 - Bus de estado

Puesto que el estado de un periférico puede afectar el flujo de datos, esto se puede considerar también una forma de diálogo. Por ejemplo, si una impresora necesita informar a la computadora que se queda sin papel, puede hacerlo manteniendo alta la línea de papel vacío hasta que se aprovisione nuevamente. Esto impide que la computadora envíe datos al periférico cuando el dispositivo es incapaz de hacer algo con ellos.

Asimismo, un periférico puede informar a la computadora que está alimentado y en línea manteniendo alta la línea de "selección" (terminal 13). Un periférico puede hasta pedir ayuda sosteniendo baja la línea de error. Al igual que la línea ocupada, los periféricos utilizan a veces la línea de error para indicar que simplemente están fuera de línea o que se acabó el papel.

FEATURES

- ◆ **High-performance, E²CMOS 3.3-V & 5-V CPLD families**
- ◆ **Flexible architecture for rapid logic designs**
 - Excellent First-Time-Fit™ and refit feature
 - SpeedLocking™ performance for guaranteed fixed timing
 - Central, input and output switch matrices for 100% routability and 100% pin-out retention
- ◆ **High speed**
 - 5.0ns t_{PD} Commercial and 7.5ns t_{PD} Industrial
 - 182MHz f_{CNT}
- ◆ **32 to 512 macrocells; 32 to 768 registers**
- ◆ **44 to 388 pins in PLCC, PQFP, TQFP, BGA, fpBGA and caBGA packages**
- ◆ **Flexible architecture for a wide range of design styles**
 - D/T registers and latches
 - Synchronous or asynchronous mode
 - Dedicated input registers
 - Programmable polarity
 - Reset/ preset swapping
- ◆ **Advanced capabilities for easy system integration**
 - 3.3-V & 5-V JEDEC-compliant operations
 - JTAG (IEEE 1149.1) compliant for boundary scan testing
 - 3.3-V & 5-V JTAG in-system programming
 - PCI compliant (-5/-55/-6/-65/-7/-10/-12 speed grades)
 - Safe for mixed supply voltage system designs
 - Programmable pull-up or Bus-Friendly™ inputs and I/Os
 - Hot-socketing
 - Programmable security bit
 - Individual output slew rate control
- ◆ **Advanced E²CMOS process provides high-performance, cost-effective solutions**
- ◆ **Supported by ispDesignEXPERT™ software for rapid logic development**
 - Supports HDL design methodologies with results optimized for ispMACH 4A
 - Flexibility to adapt to user requirements
 - Software partnerships that ensure customer success
- ◆ **Lattice and third-party hardware programming support**
 - LatticePRO™ software for in-system programmability support on PCs and automated test equipment
 - Programming support on all major programmers including Data I/O, BP Microsystems, Advin, and System General

Table 1. ispMACH 4A Device Features

3.3 V Devices								
Feature	M4A3-32	M4A3-64	M4A3-96	M4A3-128	M4A3-192	M4A3-256	M4A3-384	M4A3-512
Macrocells	32	64	96	128	192	256	384	512
User I/O options	32	32/64	48	64	96	128/160/192	160/192	160/192/256
t_{PD} (ns)	5.0	5.5	5.5	5.5	6.0	5.5	6.5	7.5
f_{CNT} (MHz)	182	167	167	167	160	167	154	125
t_{COS} (ns)	4.0	4.0	4.0	4.0	4.5	4.0	4.5	5.5
t_{SS} (ns)	3.0	3.5	3.5	3.5	3.5	3.5	3.5	5.0
Static Power (mA)	20	25/52	40	55	85	110/150	149/155	179
JTAG Compliant	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
PCI Compliant	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes

5 V Devices						
Feature	M4A5-32	M4A5-64	M4A5-96	M4A5-128	M4A5-192	M4A5-256
Macrocells	32	64	96	128	192	256
User I/O options	32	32	48	64	96	128
t_{PD} (ns)	5.0	5.5	5.5	5.5	6.0	6.5
f_{CNT} (MHz)	182	167	167	167	160	154
t_{COS} (ns)	4.0	4.0	4.0	4.0	4.5	5.0
t_{SS} (ns)	3.0	3.5	3.5	3.5	3.5	3.5
Static Power (mA)	20	25	40	55	74	110
JTAG Compliant	Yes	Yes	Yes	Yes	Yes	Yes
PCI Compliant	Yes	Yes	Yes	Yes	Yes	Yes

GENERAL DESCRIPTION

The ispMACH™ 4A family from Lattice offers an exceptionally flexible architecture and delivers a superior Complex Programmable Logic Device (CPLD) solution of easy-to-use silicon products and software tools. The overall benefits for users are a guaranteed and predictable CPLD solution, faster time-to-market, greater flexibility and lower cost. The ispMACH 4A devices offer densities ranging from 32 to 512 macrocells with 100% utilization and 100% pin-out retention. The ispMACH 4A families offer 5-V (M4A5-xxx) and 3.3-V (M4A3-xxx) operation.

ispMACH 4A products are 5-V or 3.3-V in-system programmable through the JTAG (IEEE Std. 1149.1) interface. JTAG boundary scan testing also allows product testability on automated test equipment for device connectivity.

All ispMACH 4A family members deliver First-Time-Fit and easy system integration with pin-out retention after any design change and refit. For both 3.3-V and 5-V operation, ispMACH 4A products can deliver guaranteed fixed timing as fast as 5.0 ns t_{PD} and 182 MHz f_{CNT} through the SpeedLocking feature when using up to 20 product terms per output (Table 2).

Table 2. ispMACH 4A Speed Grades

Device	Speed Grade							
	-5	-55	-6	-65	-7	-10	-12	-14
M4A3-32 M4A5-32	C				C, I	C, I	I	
M4A3-64/32 M4A5-64/32		C			C, I	C, I	I	
M4A3-64/64		C			C, I	C, I	I	
M4A3-96 M4A5-96		C			C, I	C, I	I	
M4A3-128 M4A5-128		C			C, I	C, I	I	
M4A3-192 M4A5-192			C		C, I	C, I	I	
M4A3-256/128 M4A5-256/128		C		C	C, I	C, I	I	
M4A3-256/192 M4A3-256/160					C	C, I	I	
M4A3-384				C		C, I	C, I	I
M4A3-512					C	C, I	C, I	I

Note:

1. C = Commercial, I = Industrial

The ispMACH 4A family offers 20 density-I/O combinations in Thin Quad Flat Pack (TQFP), Plastic Quad Flat Pack (PQFP), Plastic Leaded Chip Carrier (PLCC), Ball Grid Array (BGA), fine-pitch BGA (fpBGA), and chip-array BGA (caBGA) packages ranging from 44 to 388 pins (Table 3). It also offers I/O safety features for mixed-voltage designs so that the 3.3-V devices can accept 5-V inputs, and 5-V devices do not overdrive 3.3-V inputs. Additional features include Bus-Friendly inputs and I/Os, a programmable power-down mode for extra power savings and individual output slew rate control for the highest speed transition or for the lowest noise transition.

Table 3. ispMACH 4A Package and I/O Options (Number of I/Os and dedicated inputs in Table)

3.3 V Devices								
Package	M4A3-32	M4A3-64	M4A3-96	M4A3-128	M4A3-192	M4A3-256	M4A3-384	M4A3-512
44-pin PLCC	32+2	32+2						
44-pin TQFP	32+2	32+2						
48-pin TQFP	32+2	32+2						
100-pin TQFP		64+6	48+8	64+6				
100-pin PQFP				64+6				
100-ball caBGA				64+6				
144-pin TQFP					96+16			
144-ball fpBGA					96+16			
208-pin PQFP						128+14, 160	160	160
256-ball fpBGA						128+14, 192	192	192
256-ball BGA						128+14	192	
388-ball fpBGA								256

5 V Devices						
Package	M4A5-32	M4A5-64	M4A5-96	M4A5-128	M4A5-192	M4A5-256
44-pin PLCC	32+2	32+2				
44-pin TQFP	32+2	32+2				
48-pin TQFP	32+2	32+2				
100-pin TQFP			48+8	64+6		
100-pin PQFP				64+6		
144-pin TQFP					96+16	
208-pin PQFP						128+14
256-ball BGA						128+14

FUNCTIONAL DESCRIPTION

The fundamental architecture of ispMACH 4A devices (Figure 1) consists of multiple, optimized PAL[®] blocks interconnected by a central switch matrix. The central switch matrix allows communication between PAL blocks and routes inputs to the PAL blocks. Together, the PAL blocks and central switch matrix allow the logic designer to create large designs in a single device instead of having to use multiple devices.

The key to being able to make effective use of these devices lies in the interconnect schemes. In the ispMACH 4A architecture, the macrocells are flexibly coupled to the product terms through the logic allocator, and the I/O pins are flexibly coupled to the macrocells due to the output switch matrix. In addition, more input routing options are provided by the input switch matrix. These resources provide the flexibility needed to fit designs efficiently.

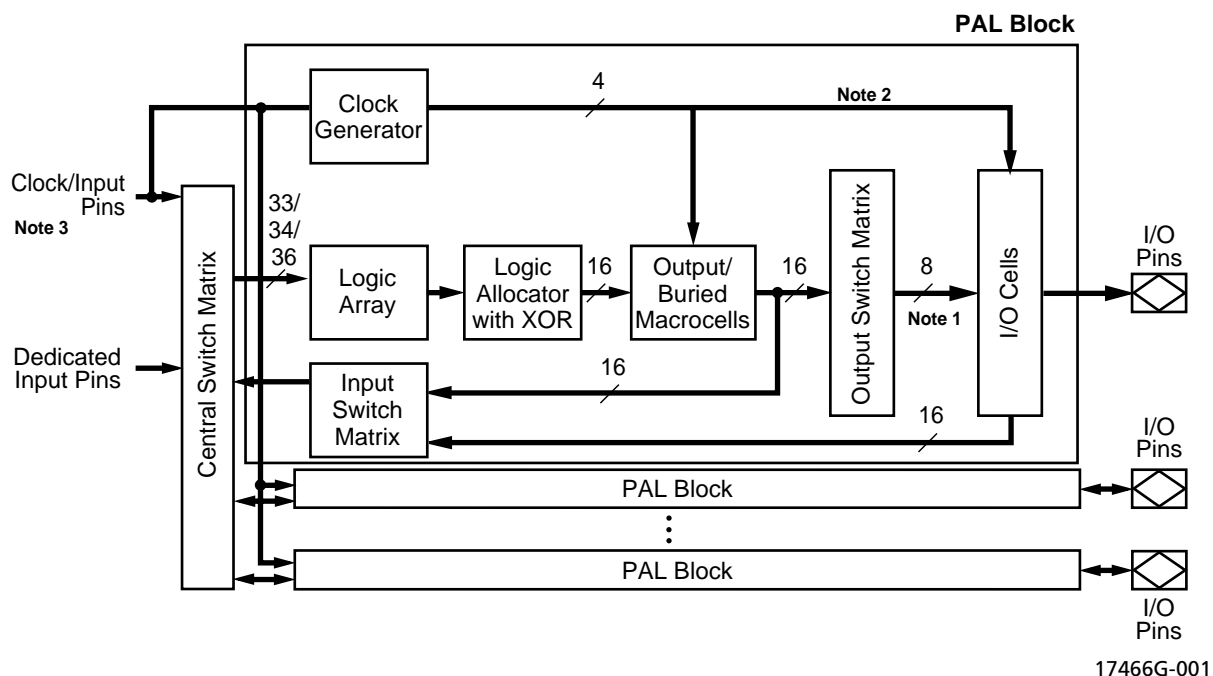


Figure 1. ispMACH 4A Block Diagram and PAL Block Structure

Notes:

1. 16 for ispMACH 4A devices with 1:1 macrocell-I/O cell ratio (see next page).
2. Block clocks do not go to I/O cells in M4A(3,5)-32/32.
3. M4A(3,5)-192, M4A(3,5)-256, M4A3-384, and M4A3-512 have dedicated clock pins which cannot be used as inputs and do not connect to the central switch matrix.

Table 4. Architectural Summary of ispMACH 4A devices

	ispMACH 4A Devices	
		M4A3-64/32, M4A5-64/32 M4A3-96/48, M4A5-96/48 M4A3-128/64, M4A5-128/64 M4A3-192/96, M4A5-192/96 M4A3-256/128, M4A5-256/128 M4A3-384 M4A3-512
Macrocell-I/O Cell Ratio	2:1	1:1
Input Switch Matrix	Yes	Yes ¹
Input Registers	Yes	No
Central Switch Matrix	Yes	Yes
Output Switch Matrix	Yes	Yes

The Macrocell-I/O cell ratio is defined as the number of macrocells versus the number of I/O cells internally in a PAL block (Table 4).

The central switch matrix takes all dedicated inputs and signals from the input switch matrices and routes them as needed to the PAL blocks. Feedback signals that return to the same PAL block still must go through the central switch matrix. This mechanism ensures that PAL blocks in ispMACH 4A devices communicate with each other with consistent, predictable delays.

The central switch matrix makes a ispMACH 4A device more advanced than simply several PAL devices on a single chip. It allows the designer to think of the device not as a collection of blocks, but as a single programmable device; the software partitions the design into PAL blocks through the central switch matrix so that the designer does not have to be concerned with the internal architecture of the device.

Each PAL block consists of:

- ◆ Product-term array
- ◆ Logic allocator
- ◆ Macrocells
- ◆ Output switch matrix
- ◆ I/O cells
- ◆ Input switch matrix
- ◆ Clock generator

Notes:

1. M4A3-64/64 internal switch matrix functionality embedded in central switch matrix.

Product-Term Array

The product-term array consists of a number of product terms that form the basis of the logic being implemented. The inputs to the AND gates come from the central switch matrix (Table 5), and are provided in both true and complement forms for efficient logic implementation.

Table 5. PAL Block Inputs

Device	Number of Inputs to PAL Block
M4A3-32/32 and M4A5-32/32	33
M4A3-64/32 and M4A5-64/32	33
M4A3-64/64	33
M4A3-96/48 and M4A5-96/48	33
M4A3-128/64 and M4A5-128/64	33
M4A3-192/96 and M4A5-192/96	34
M4A3-256/128 and M4A5-256/128	34
M4A3-256/160 and M4A3-256/192	36
M4A3-384	36
M4A3-512	36

Logic Allocator

Within the logic allocator, product terms are allocated to macrocells in “product term clusters.” The availability and distribution of product term clusters are automatically considered by the software as it fits functions within a PAL block. The size of a product term cluster has been optimized to provide high utilization of product terms, making complex functions using many product terms possible. Yet when few product terms are used, there will be a minimal number of unused—or wasted—product terms left over. The product term clusters available to each macrocell within a PAL block are shown in Tables 6 and 7.

Each product term cluster is associated with a macrocell. The size of a cluster depends on the configuration of the associated macrocell. When the macrocell is used in synchronous mode (Figure 2a), the basic cluster has 4 product terms. When the associated macrocell is used in asynchronous mode (Figure 2b), the cluster has 2 product terms. Note that if the product term cluster is routed to a different macrocell, the allocator configuration is not determined by the mode of the macrocell actually being driven. The configuration is always set by the mode of the macrocell that the cluster will drive if not routed away, regardless of the actual routing.

In addition, there is an extra product term that can either join the basic cluster to give an extended cluster, or drive the second input of an exclusive-OR gate in the signal path. If included with the basic cluster, this provides for up to 20 product terms on a synchronous function that uses four extended 5-product-term clusters. A similar asynchronous function can have up to 18 product terms.

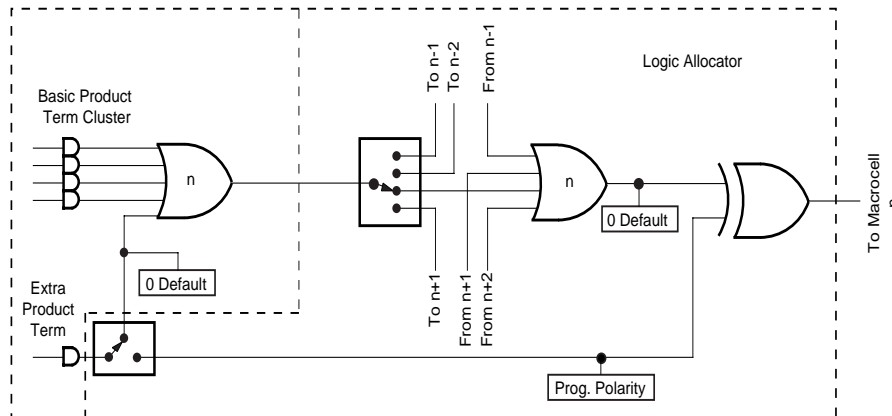
When the extra product term is used to extend the cluster, the value of the second XOR input can be programmed as a 0 or a 1, giving polarity control. The possible configurations of the logic allocator are shown in Figures 3 and 4.

Table 6. Logic Allocator for All ispMACH 4A Devices (except M4A(3,5)-32/32)

Output Macrocell	Available Clusters	Output Macrocell	Available Clusters
M ₀	C ₀ , C ₁ , C ₂	M ₈	C ₇ , C ₈ , C ₉ , C ₁₀
M ₁	C ₀ , C ₁ , C ₂ , C ₃	M ₉	C ₈ , C ₉ , C ₁₀ , C ₁₁
M ₂	C ₁ , C ₂ , C ₃ , C ₄	M ₁₀	C ₉ , C ₁₀ , C ₁₁ , C ₁₂
M ₃	C ₂ , C ₃ , C ₄ , C ₅	M ₁₁	C ₁₀ , C ₁₁ , C ₁₂ , C ₁₃
M ₄	C ₃ , C ₄ , C ₅ , C ₆	M ₁₂	C ₁₁ , C ₁₂ , C ₁₃ , C ₁₄
M ₅	C ₄ , C ₅ , C ₆ , C ₇	M ₁₃	C ₁₂ , C ₁₃ , C ₁₄ , C ₁₅
M ₆	C ₅ , C ₆ , C ₇ , C ₈	M ₁₄	C ₁₃ , C ₁₄ , C ₁₅
M ₇	C ₆ , C ₇ , C ₈ , C ₉	M ₁₅	C ₁₄ , C ₁₅

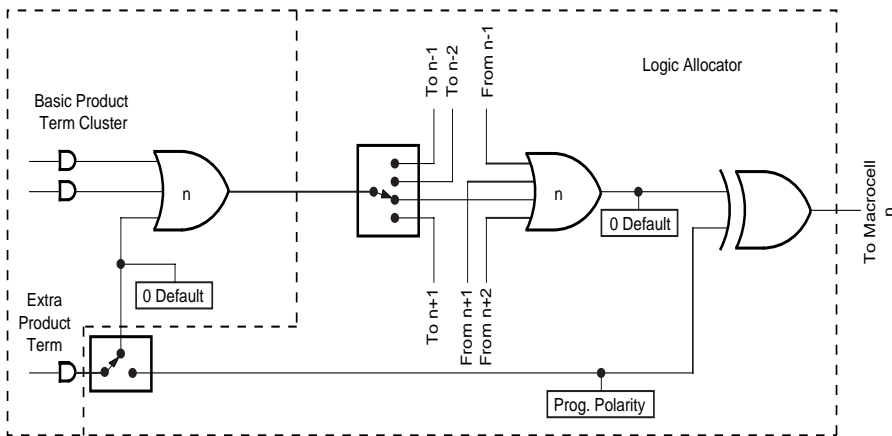
Table 7. Logic Allocator for M4A(3,5)-32/32

Output Macrocell	Available Clusters	Output Macrocell	Available Clusters
M ₀	C ₀ , C ₁ , C ₂	M ₈	C ₈ , C ₉ , C ₁₀
M ₁	C ₀ , C ₁ , C ₂ , C ₃	M ₉	C ₈ , C ₉ , C ₁₀ , C ₁₁
M ₂	C ₁ , C ₂ , C ₃ , C ₄	M ₁₀	C ₉ , C ₁₀ , C ₁₁ , C ₁₂
M ₃	C ₂ , C ₃ , C ₄ , C ₅	M ₁₁	C ₁₀ , C ₁₁ , C ₁₂ , C ₁₃
M ₄	C ₃ , C ₄ , C ₅ , C ₆	M ₁₂	C ₁₁ , C ₁₂ , C ₁₃ , C ₁₄
M ₅	C ₄ , C ₅ , C ₆ , C ₇	M ₁₃	C ₁₂ , C ₁₃ , C ₁₄ , C ₁₅
M ₆	C ₅ , C ₆ , C ₇	M ₁₄	C ₁₃ , C ₁₄ , C ₁₅
M ₇	C ₆ , C ₇	M ₁₅	C ₁₄ , C ₁₅



a. Synchronous Mode

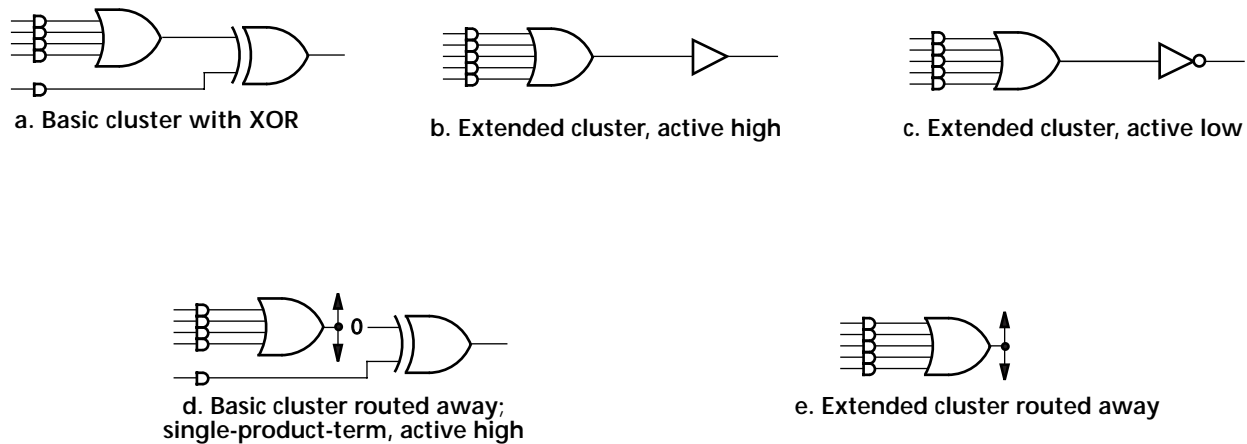
17466G-005



b. Asynchronous Mode

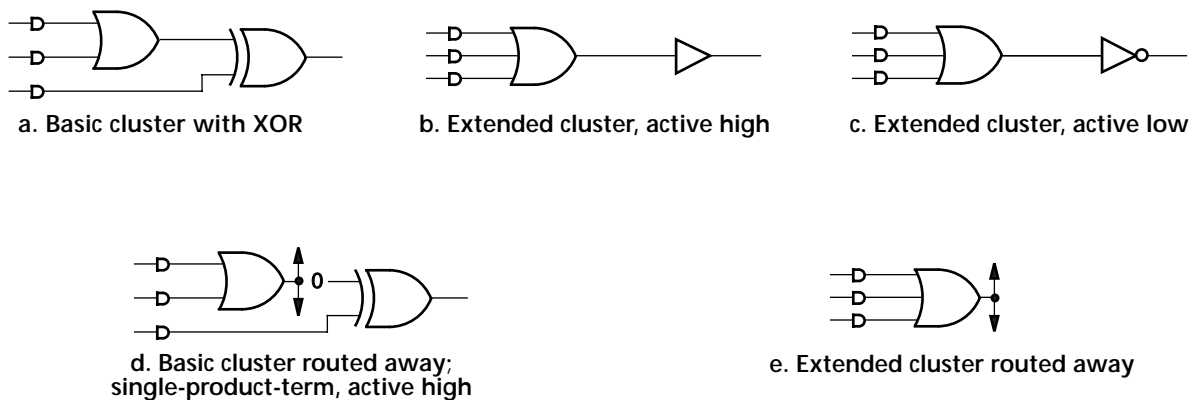
17466G-006

Figure 2. Logic Allocator: Configuration of Cluster "n" Set by Mode of Macrocell "n"



17466G-007

Figure 3. Logic Allocator Configurations: Synchronous Mode



17466G-008

Figure 4. Logic Allocator Configurations: Asynchronous Mode

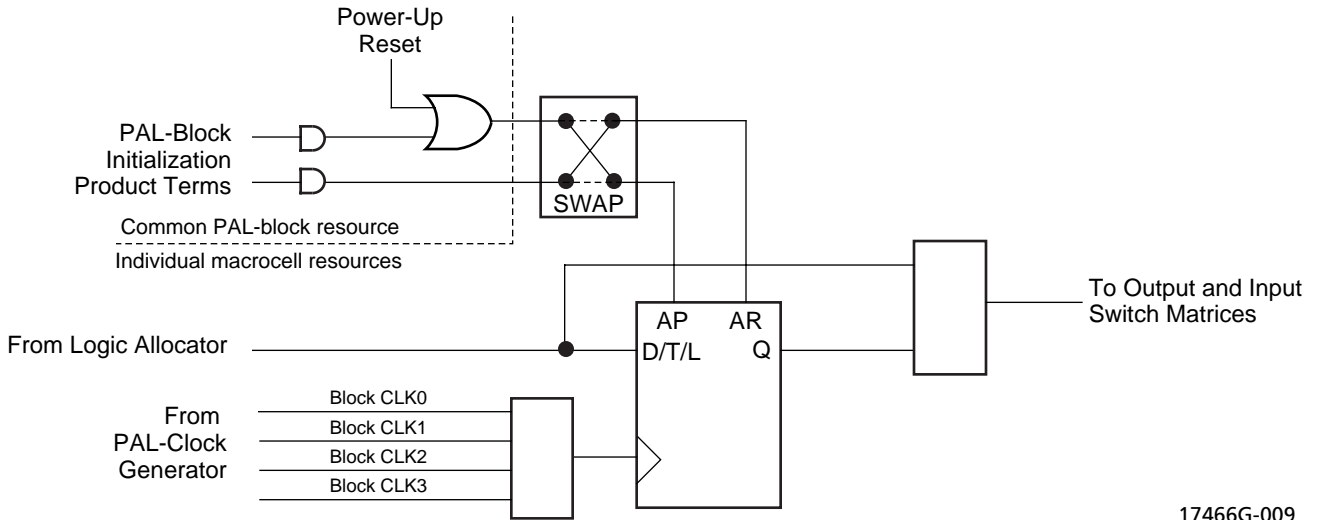
Note that the configuration of the logic allocator has absolutely no impact on the speed of the signal. All configurations have the same delay. This means that designers do not have to decide between optimizing resources or speed; both can be optimized.

If not used in the cluster, the extra product term can act in conjunction with the basic cluster to provide XOR logic for such functions as data comparison, or it can work with the D-,T-type flip-flop to provide for J-K, and S-R register operation. In addition, if the basic cluster is routed to another macrocell, the extra product term is still available for logic. In this case, the first XOR input will be a logic 0. This circuit has the flexibility to route product terms elsewhere without giving up the use of the macrocell.

Product term clusters do not “wrap” around a PAL block. This means that the macrocells at the ends of the block have fewer product terms available.

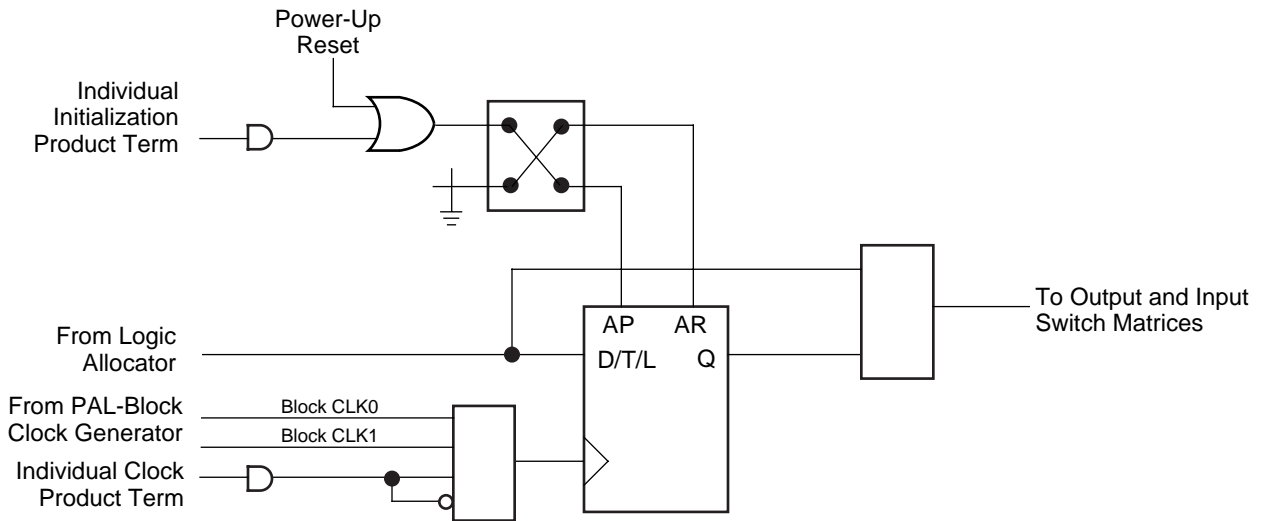
Macrocell

The macrocell consists of a storage element, routing resources, a clock multiplexer, and initialization control. The macrocell has two fundamental modes: synchronous and asynchronous (Figure 5). The mode chosen only affects clocking and initialization in the macrocell.



17466G-009

a. Synchronous mode



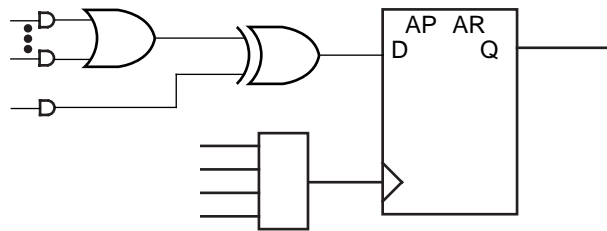
b. Asynchronous mode

17466G-010

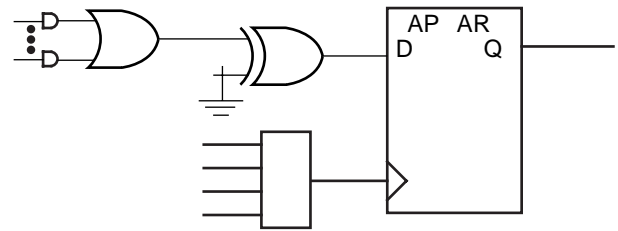
Figure 5. Macrocell

In either mode, a combinatorial path can be used. For combinatorial logic, the synchronous mode will generally be used, since it provides more product terms in the allocator.

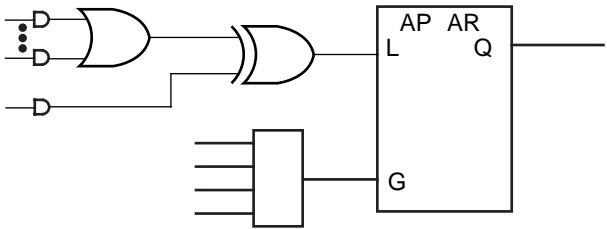
The flip-flop can be configured as a D-type or T-type latch. J-K or S-R registers can be synthesized. The primary flip-flop configurations are shown in Figure 6, although others are possible. Flip-flop functionality is defined in Table 8. Note that a J-K latch is inadvisable as it will cause oscillation if both J and K inputs are HIGH.



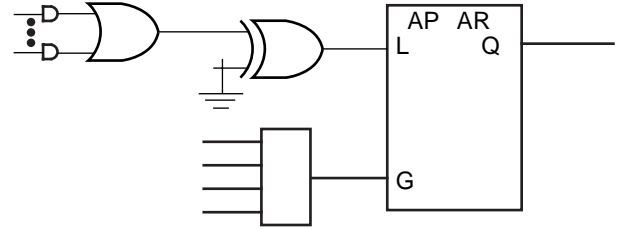
a. D-type with XOR



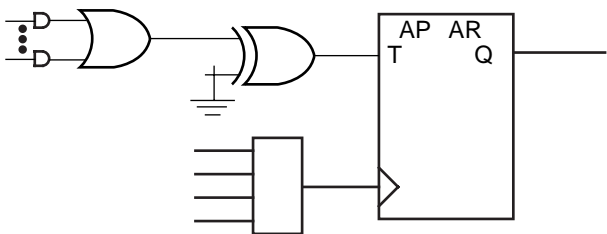
b. D-type with programmable D polarity



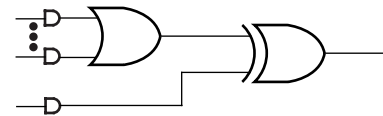
c. Latch with XOR



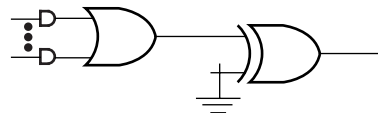
d. Latch with programmable D polarity



e. T-type with programmable T polarity



f. Combinatorial with XOR



g. Combinatorial with programmable polarity

17466G-011

Figure 6. Primary Macrocell Configurations

Table 8. Register/Latch Operation

Configuration	Input(s)	CLK/LE ¹	Q+
D-type Register	D=X	0, 1, ↓ (↑)	Q
	D=0	↑ (↓)	0
	D=1	↑ (↓)	1
T-type Register	T=X	0, 1, ↓ (↑)	Q
	T=0	↑ (↓)	Q
	T=1	↑ (↓)	\overline{Q}
D-type Latch	D=X	1 (0)	Q
	D=0	0 (1)	0
	D=1	0 (1)	1

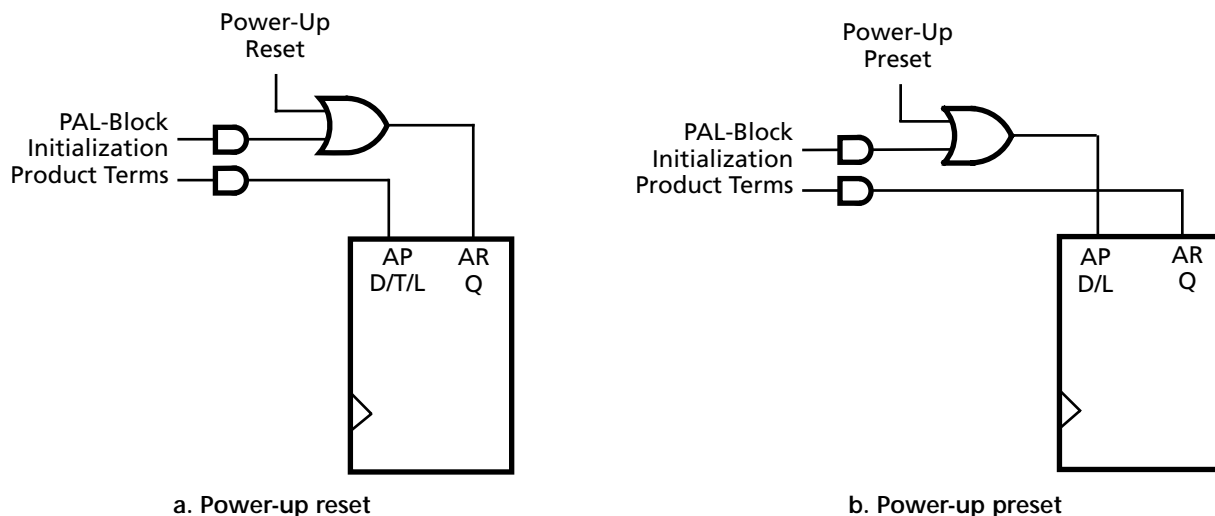
Note:

1. Polarity of CLK/LE can be programmed

Although the macrocell shows only one input to the register, the XOR gate in the logic allocator allows the D-, T-type register to emulate J-K, and S-R behavior. In this case, the available product terms are divided between J and K (or S and R). When configured as J-K, S-R, or T-type, the extra product term must be used on the XOR gate input for flip-flop emulation. In any register type, the polarity of the inputs can be programmed.

The clock input to the flip-flop can select any of the four PAL block clocks in synchronous mode, with the additional choice of either polarity of an individual product term clock in the asynchronous mode.

The initialization circuit depends on the mode. In synchronous mode (Figure 7), asynchronous reset and preset are provided, each driven by a product term common to the entire PAL block.

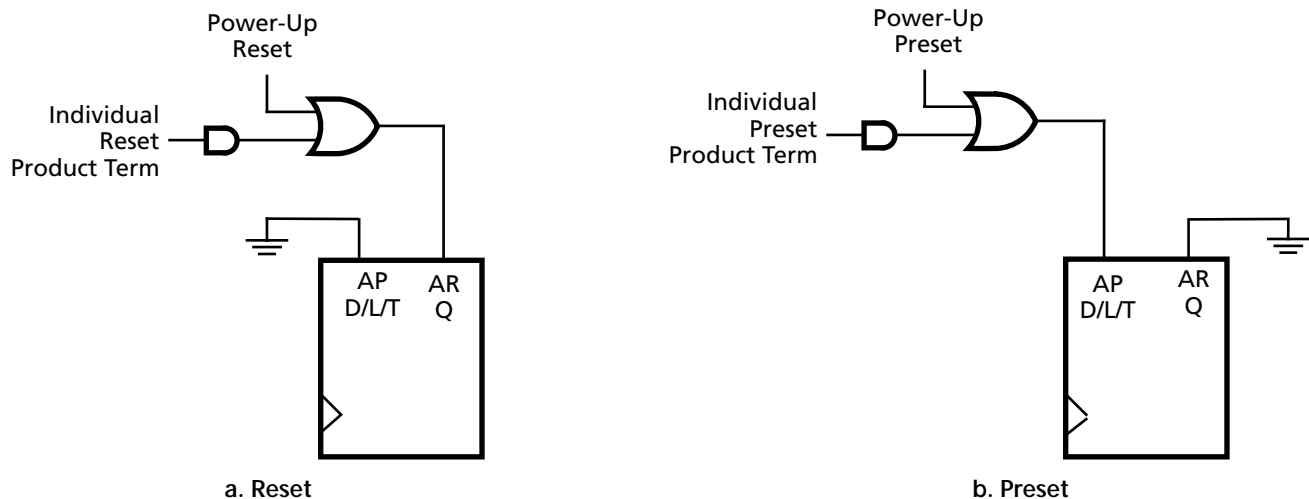


17466G-012

17466G-013

Figure 7. Synchronous Mode Initialization Configurations

A reset/preset swapping feature in each macrocell allows for reset and preset to be exchanged, providing flexibility. In asynchronous mode (Figure 8), a single individual product term is provided for initialization. It can be selected to control reset or preset.



17466G-014

17466G-015

Figure 8. Asynchronous Mode Initialization Configurations

Note that the reset/preset swapping selection feature effects power-up reset as well. The initialization functionality of the flip-flops is illustrated in Table 9. The macrocell sends its data to the output switch matrix and the input switch matrix. The output switch matrix can route this data to an output if so desired. The input switch matrix can send the signal back to the central switch matrix as feedback.

Table 9. Asynchronous Reset/Preset Operation

AR	AP	CLK/LE ¹	Q+
0	0	X	See Table 8
0	1	X	1
1	0	X	0
1	1	X	0

Note:

1. Transparent latch is unaffected by AR, AP

Output Switch Matrix

The output switch matrix allows macrocells to be connected to any of several I/O cells within a PAL block. This provides high flexibility in determining pinout and allows design changes to occur without effecting pinout.

In ispMACH 4A devices with 2:1 Macrocell-I/O cell ratio, each PAL block has twice as many macrocells as I/O cells. The ispMACH 4A output switch matrix allows for half of the macrocells to drive I/O cells within a PAL block, in combinations according to Figure 9. Each I/O cell can choose from eight macrocells; each macrocell has a choice of four I/O cells. The ispMACH 4A devices with 1:1 Macrocell-I/O cell ratio allow each macrocell to drive one of eight I/O cells (Figure 9).

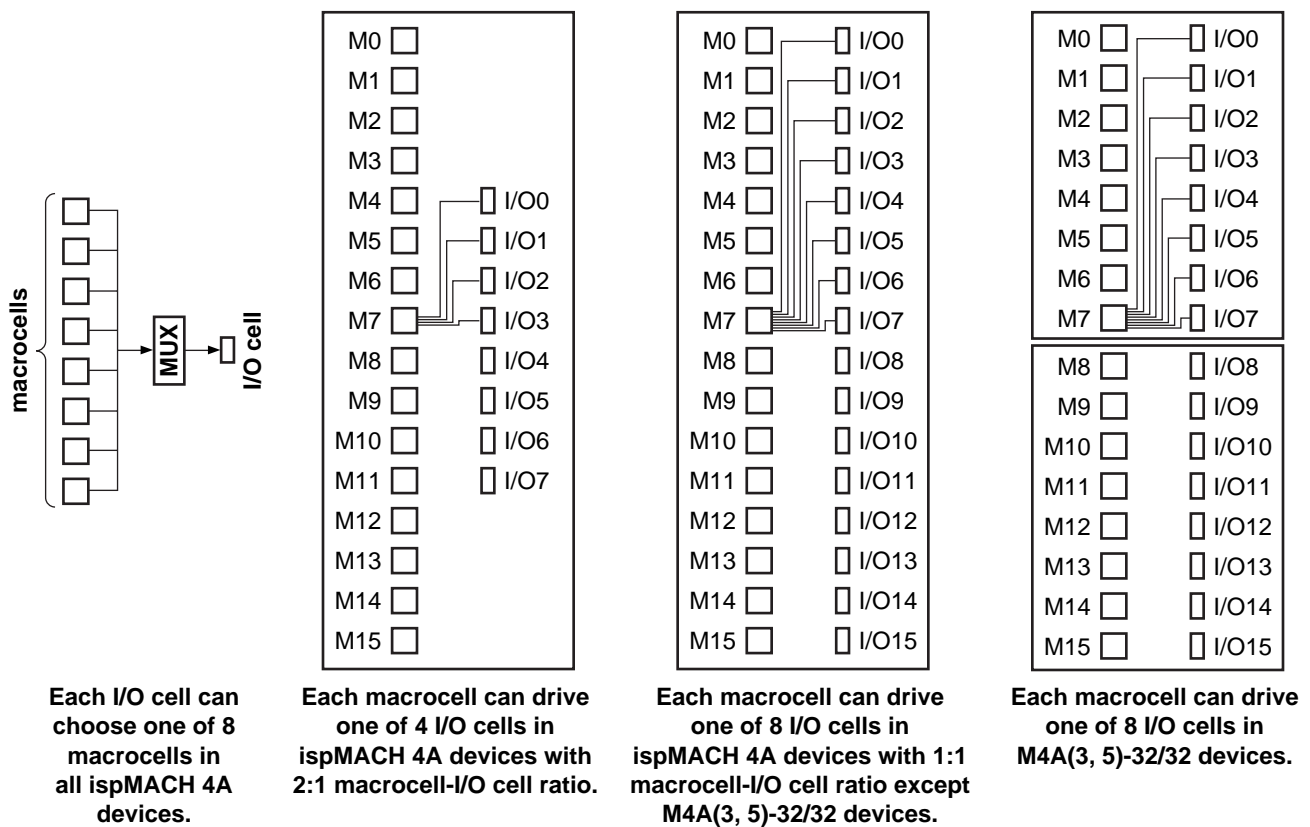


Figure 9. ispMACH 4A Output Switch Matrix

Table 10. Output Switch Matrix Combinations for ispMACH 4A Devices with 2:1 Macrocell-I/O Cell Ratio

Macrocell	Routable to I/O Cells
M0, M1	I/O0, I/O5, I/O6, I/O7
M2, M3	I/O0, I/O1, I/O6, I/O7
M4, M5	I/O0, I/O1, I/O2, I/O7
M6, M7	I/O0, I/O1, I/O2, I/O3
M8, M9	I/O1, I/O2, I/O3, I/O4

Table 10. Output Switch Matrix Combinations for ispMACH 4A Devices with 2:1 Macrocell-I/O Cell Ratio

Macrocell	Routable to I/O Cells
M10, M11	I/O2, I/O3, I/O4, I/O5
M12, M13	I/O3, I/O4, I/O5, I/O6
M14, M15	I/O4, I/O5, I/O6, I/O7

I/O Cell	Available Macrocells
I/O0	M0, M1, M2, M3, M4, M5, M6, M7
I/O1	M2, M3, M4, M5, M6, M7, M8, M9
I/O2	M4, M5, M6, M7, M8, M9, M10, M11
I/O3	M6, M7, M8, M9, M10, M11, M12, M13
I/O4	M8, M9, M10, M11, M12, M13, M14, M15
I/O5	M0, M1, M10, M11, M12, M13, M14, M15
I/O6	M0, M1, M2, M3, M12, M13, M14, M15
I/O7	M0, M1, M2, M3, M4, M5, M14, M15

Table 11. Output Switch Matrix Combinations for M4A3-256/160 and M4A3-256/192

Macrocell	Routable to I/O Cells							
M0	I/O0	I/O1	I/O2	I/O3	I/O4	I/O5	I/O6	I/O7
M1	I/O0	I/O1	I/O2	I/O3	I/O4	I/O5	I/O6	I/O7
M2	I/O0	I/O1	I/O2	I/O3	I/O4	I/O5	I/O6	I/O7
M3	I/O0	I/O1	I/O2	I/O3	I/O4	I/O5	I/O6	I/O7
M4	I/O0	I/O1	I/O2	I/O3	I/O4	I/O5	I/O6	I/O7
M5	I/O0	I/O1	I/O2	I/O3	I/O4	I/O5	I/O6	I/O7
M6	I/O0	I/O1	I/O2	I/O3	I/O4	I/O5	I/O6	I/O7
M7	I/O0	I/O1	I/O2	I/O3	I/O4	I/O5	I/O6	I/O7
M8	I/O8	I/O9	I/O10	I/O11	I/O12	I/O13	I/O14	I/O15
M9	I/O8	I/O9	I/O10	I/O11	I/O12	I/O13	I/O14	I/O15
M10	I/O8	I/O9	I/O10	I/O11	I/O12	I/O13	I/O14	I/O15
M11	I/O8	I/O9	I/O10	I/O11	I/O12	I/O13	I/O14	I/O15
M12	I/O8	I/O9	I/O10	I/O11	I/O12	I/O13	I/O14	I/O15
M13	I/O8	I/O9	I/O10	I/O11	I/O12	I/O13	I/O14	I/O15
M14	I/O8	I/O9	I/O10	I/O11	I/O12	I/O13	I/O14	I/O15
M15	I/O8	I/O9	I/O10	I/O11	I/O12	I/O13	I/O14	I/O15

I/O Cell	Available Macrocells							
I/O0	M0	M1	M2	M3	M4	M5	M6	M7
I/O1	M0	M1	M2	M3	M4	M5	M6	M7
I/O2	M0	M1	M2	M3	M4	M5	M6	M7
I/O3	M0	M1	M2	M3	M4	M5	M6	M7
I/O4	M0	M1	M2	M3	M4	M5	M6	M7
I/O5	M0	M1	M2	M3	M4	M5	M6	M7
I/O6	M0	M1	M2	M3	M4	M5	M6	M7

Table 11. Output Switch Matrix Combinations for M4A3-256/160 and M4A3-256/192

Macrocell	Routable to I/O Cells							
I/O7	M0	M1	M2	M3	M4	M5	M6	M7
I/O8	M8	M9	M10	M11	M12	M13	M14	M15
I/O9	M8	M9	M10	M11	M12	M13	M14	M15
I/O10	M8	M9	M10	M11	M12	M13	M14	M15
I/O11	M8	M9	M10	M11	M12	M13	M14	M15
I/O12	M8	M9	M10	M11	M12	M13	M14	M15
I/O13	M8	M9	M10	M11	M12	M13	M14	M15
I/O14	M8	M9	M10	M11	M12	M13	M14	M15
I/O15	M8	M9	M10	M11	M12	M13	M14	M15

Table 12. Output Switch Matrix Combinations for M4A(3,5)-32/32

Macrocell	Routable to I/O Cells
M0, M1, M2, M3, M4, M5, M6, M7	I/O0, I/O1, I/O2, I/O3, I/O4, I/O5, I/O6, I/O7
M8, M9, M10, M11, M12, M13, M14, M15	I/O8, I/O9, I/O10, I/O11, I/O12, I/O13, I/O14, I/O15

I/O Cell	Available Macrocells
I/O0, I/O1, I/O2, I/O3, I/O4, I/O5, I/O6, I/O7	M0, M1, M2, M3, M4, M5, M6, M7
I/O8, I/O9, I/O10, I/O11, I/O12, I/O13, I/O14, I/O15	M8, M9, M10, M11, M12, M13, M14, M15

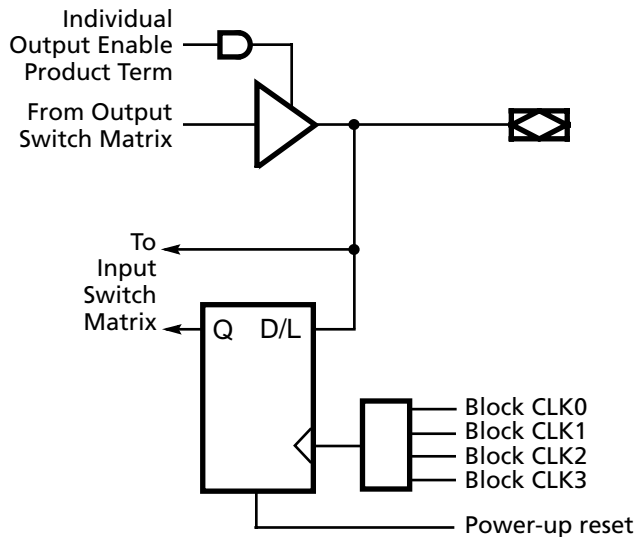
Table 13. Output Switch Matrix Combinations for M4A3-64/64

Macrocell	Routable to I/O Cells
M0, M1	I/O0, I/O1, I/O10, I/O11, I/O12, I/O13, I/O14, I/O15
M2, M3	I/O0, I/O1, I/O2, I/O3, I/O12, I/O13, I/O14, I/O15
M4, M5	I/O0, I/O1, I/O2, I/O3, I/O4, I/O5, I/O14, I/O15
M6, M7	I/O0, I/O1, I/O2, I/O3, I/O4, I/O5, I/O6, I/O7
M8, M9	I/O2, I/O3, I/O4, I/O5, I/O6, I/O7, I/O8, I/O9
M10, M11	I/O4, I/O5, I/O6, I/O7, I/O8, I/O9, I/O10, I/O11
M12, M13	I/O6, I/O7, I/O8, I/O9, I/O10, I/O11, I/O12, I/O13
M14, M15	I/O8, I/O9, I/O10, I/O11, I/O12, I/O13, I/O14, I/O15

I/O Cell	Available Macrocells
I/O0, I/O1	M0, M1, M2, M3, M4, M5, M6, M7
I/O2, I/O3	M2, M3, M4, M5, M6, M7, M8, M9
I/O4, I/O5	M4, M5, M6, M7, M8, M9, M10, M11
I/O6, I/O7	M6, M7, M8, M9, M10, M11, M12, M13
I/O8, I/O9	M8, M9, M10, M11, M12, M13, M14, M15
I/O10, I/O11	M0, M1, M10, M11, M12, M13, M14, M15
I/O12, I/O13	M0, M1, M2, M3, M12, M13, M14, M15
I/O14, I/O15	M0, M1, M2, M3, M4, M5, M14, M15

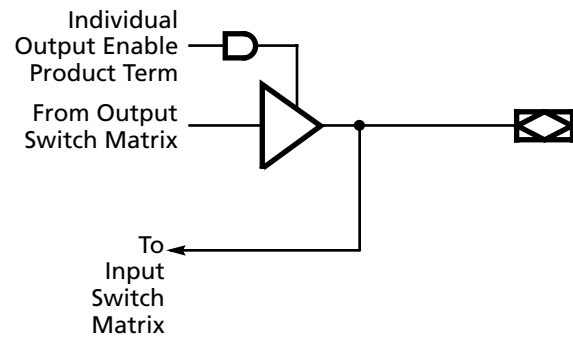
I/O Cell

The I/O cell (Figures 10 and 11) simply consists of a programmable output enable, a feedback path, and flip-flop (except ispMACH 4A devices with 1:1 macrocell-I/O cell ratio). An individual output enable product term is provided for each I/O cell. The feedback signal drives the input switch matrix.



17466G-017

Figure 10. I/O Cell for ispMACH 4A Devices with 2:1 Macrocell-I/O Cell Ratio



17466G-018

Figure 11. I/O Cell for ispMACH 4A Devices with 1:1 Macrocell-I/O Cell Ratio

The I/O cell (Figure 10) contains a flip-flop, which provides the capability for storing the input in a D-type register or latch. The clock can be any of the PAL block clocks. Both the direct and registered versions of the input are sent to the input switch matrix. This allows for such functions as “time-domain-multiplexed” data comparison, where the first data value is stored, and then the second data value is put on the I/O pin and compared with the previous stored value.

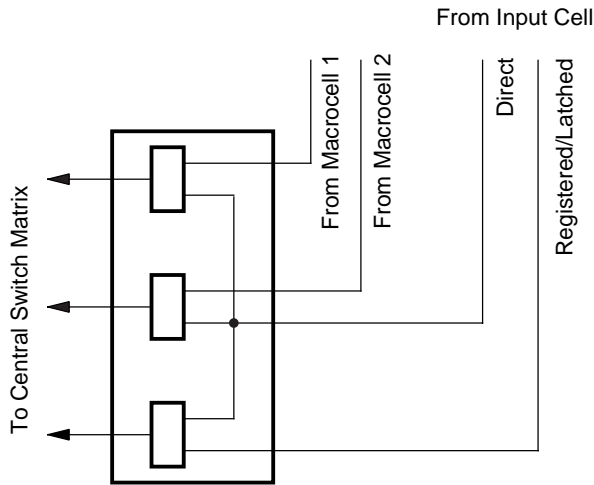
Note that the flip-flop used in the ispMACH 4A I/O cell is independent of the flip-flops in the macrocells. It powers up to a logic low.

Zero-Hold-Time Input Register

The ispMACH 4A devices have a zero-hold-time (ZHT) fuse which controls the time delay associated with loading data into all I/O cell registers and latches. When programmed, the ZHT fuse increases the data path setup delays to input storage elements, matching equivalent delays in the clock path. When the fuse is erased, the setup time to the input storage element is minimized. This feature facilitates doing worst-case designs for which data is loaded from sources which have low (or zero) minimum output propagation delays from clock edges.

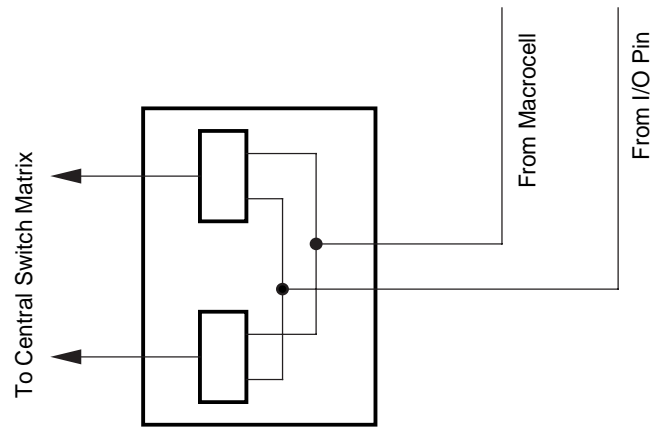
Input Switch Matrix

The input switch matrix (Figures 12 and 13) optimizes routing of inputs to the central switch matrix. Without the input switch matrix, each input and feedback signal has only one way to enter the central switch matrix. The input switch matrix provides additional ways for these signals to enter the central switch matrix.



17466G-002

Figure 12. ispMACH 4A with 2:1 Macrocell-I/O Cell Ratio - Input Switch Matrix

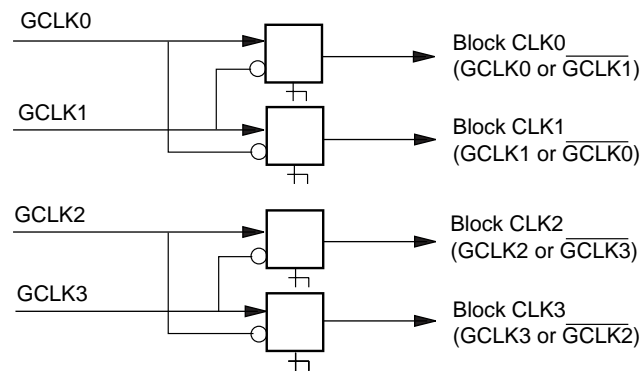


17466G-003

Figure 13. ispMACH 4A with 1:1 Macrocell-I/O Cell Ratio - Input Switch Matrix

PAL Block Clock Generation

Each ispMACH 4A device has four clock pins that can also be used as inputs. These pins drive a clock generator in each PAL block (Figure 14). The clock generator provides four clock signals that can be used anywhere in the PAL block. These four PAL block clock signals can consist of a large number of combinations of the true and complement edges of the global clock signals. Table 14 lists the possible combinations.



17466G-004

Figure 14. PAL Block Clock Generator ¹

1. M4A(3,5)-32/32 and M4A(3,5)-64/32 have only two clock pins, GCLK0 and GCLK1. GCLK2 is tied to GCLK0, and GCLK3 is tied to GCLK1.

Table 14. PAL Block Clock Combinations¹

Block CLK0	Block CLK1	Block CLK2	Block CLK3
$\overline{\text{GCLK0}}$	GCLK1	X	X
$\overline{\text{GCLK1}}$	GCLK1	X	X
GCLK0	$\overline{\text{GCLK0}}$	X	X
$\overline{\text{GCLK1}}$	$\overline{\text{GCLK0}}$	X	X
X	X	GCLK2 ($\overline{\text{GCLK0}}$)	GCLK3 ($\overline{\text{GCLK1}}$)
X	X	$\overline{\text{GCLK3}}$ ($\overline{\text{GCLK1}}$)	GCLK3 ($\overline{\text{GCLK1}}$)
X	X	GCLK2 ($\overline{\text{GCLK0}}$)	$\overline{\text{GCLK2}}$ ($\overline{\text{GCLK0}}$)
X	X	$\overline{\text{GCLK3}}$ ($\overline{\text{GCLK1}}$)	$\overline{\text{GCLK2}}$ ($\overline{\text{GCLK0}}$)

Note:

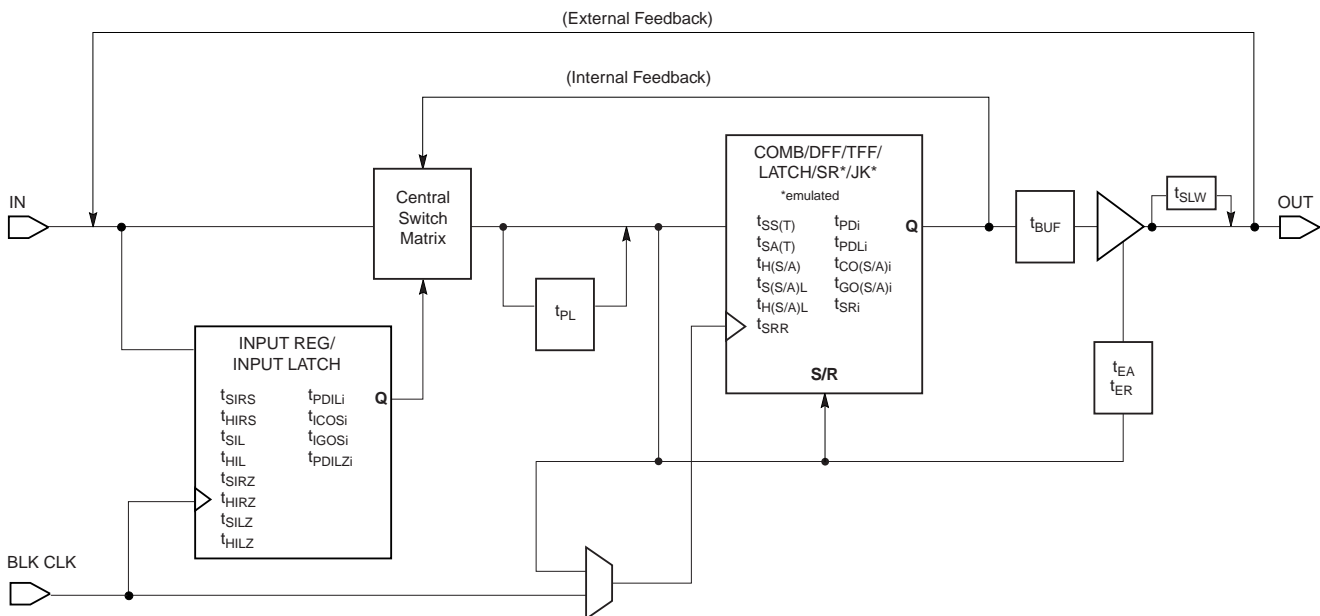
1. Values in parentheses are for the M4A(3,5)-32/32 and M4A(3,5)-64/32.

This feature provides high flexibility for partitioning state machines and dual-phase clocks. It also allows latches to be driven with either polarity of latch enable, and in a master-slave configuration.

ispMACH 4A TIMING MODEL

The primary focus of the ispMACH 4A timing model is to accurately represent the timing in a ispMACH 4A device, and at the same time, be easy to understand. This model accurately describes all combinatorial and registered paths through the device, making a distinction between internal feedback and external feedback. A signal uses internal feedback when it is fed back into the switch matrix or block without having to go through the output buffer. The input register specifications are also reported as internal feedback. When a signal is fed back into the switch matrix after having gone through the output buffer, it is using external feedback.

The parameter, t_{BUF} , is defined as the time it takes to go from feedback through the output buffer to the I/O pad. If a signal goes to the internal feedback rather than to the I/O pad, the parameter designator is followed by an "i". By adding t_{BUF} to this internal parameter, the external parameter is derived. For example, $t_{PD} = t_{PDi} + t_{BUF}$. A diagram representing the modularized ispMACH 4A timing model is shown in Figure 15. Refer to the application note entitled *MACH 4 Timing and High Speed Design* for a more detailed discussion about the timing parameters.



17466G-025

Figure 15. ispMACH 4A Timing Model

SPEEDLOCKING FOR GUARANTEED FIXED TIMING

The ispMACH 4A architecture allows allocation of up to 20 product terms to an individual macrocell with the assistance of an XOR gate without incurring additional timing delays.

The design of the switch matrix and PAL blocks guarantee a fixed pin-to-pin delay that is independent of the logic required by the design. Other competitive CPLDs incur serious timing delays as product terms expand beyond their typical 4 or 5 product term limits. Speed and SpeedLocking combine to give designs easy access to the performance required in today's designs.

IEEE 1149.1-COMPLIANT BOUNDARY SCAN TESTABILITY

All ispMACH 4A devices have boundary scan cells and are compliant to the IEEE 1149.1 standard. This allows functional testing of the circuit board on which the device is mounted through a serial scan path that can access all critical logic nodes. Internal registers are linked internally, allowing test data to be shifted in and loaded directly onto test nodes, or test node data to be captured and shifted out for verification. In addition, these devices can be linked into a board-level serial scan path for more complete board-level testing.

IEEE 1149.1-COMPLIANT IN-SYSTEM PROGRAMMING

Programming devices in-system provides a number of significant benefits including: rapid prototyping, lower inventory levels, higher quality, and the ability to make in-field modifications. All ispMACH 4A devices provide In-System Programming (ISP) capability through their Boundary ScanTest Access Ports. This capability has been implemented in a manner that ensures that the port remains compliant to the IEEE 1149.1 standard. By using IEEE 1149.1 as the communication interface through which ISP is achieved, customers get the benefit of a standard, well-defined interface.

ispMACH 4A devices can be programmed across the commercial temperature and voltage range. The PC-based LatticePRO software facilitates in-system programming of ispMACH 4A devices. LatticePRO takes the JEDEC file output produced by the design implementation software, along with information about the JTAG chain, and creates a set of vectors that are used to drive the JTAG chain. LatticePRO software can use these vectors to drive a JTAG chain via the parallel port of a PC. Alternatively, LatticePRO software can output files in formats understood by common automated test equipment. This equipment can then be used to program ispMACH 4A devices during the testing of a circuit board.

PCI COMPLIANT

ispMACH 4A devices in the -5/-55/-6/-65/-7/-10/-12 speed grades are compliant with the *PCI Local Bus Specification* version 2.1, published by the PCI Special Interest Group (SIG). The 5-V devices are fully PCI-compliant. The 3.3-V devices are mostly compliant but do not meet the PCI condition to clamp the inputs as they rise above V_{CC} because of their 5-V input tolerant feature.

SAFE FOR MIXED SUPPLY VOLTAGE SYSTEM DESIGNS

Both the 3.3-V and 5-V V_{CC} ispMACH 4A devices are safe for mixed supply voltage system designs. The 5-V devices will not overdrive 3.3-V devices above the output voltage of 3.3 V, while they accept inputs from other 3.3-V devices. The 3.3-V device will accept inputs up to 5.5 V. Both the 5-V and 3.3-V versions have the same high-speed performance and provide easy-to-use mixed-voltage design capability.

PULL UP OR BUS-FRIENDLY INPUTS AND I/Os

All ispMACH 4A devices have inputs and I/Os which feature the Bus-Friendly circuitry incorporating two inverters in series which loop back to the input. This double inversion weakly holds the input at its last driven logic state. While it is good design practice to tie unused pins to a known state, the Bus-Friendly input structure pulls pins away from the input threshold voltage where noise can cause high-frequency switching. At power-up, the Bus-Friendly latches are reset to a logic level "1." For the circuit diagram, please refer to the document entitled *MACH Endurance Characteristics* on the Lattice Data Book CD-ROM or Lattice web site.

All ispMACH 4A devices have a programmable bit that configures all inputs and I/Os with either pull-up or Bus-Friendly characteristics. If the device is configured in pull-up mode, all inputs and I/O pins are weakly pulled up. For the circuit diagram, please refer to the document entitled *MACH Endurance Characteristics* on the Lattice Data Book CD-ROM or Lattice web site.

POWER MANAGEMENT

Each individual PAL block in ispMACH 4A devices features a programmable low-power mode, which results in power savings of up to 50%. The signal speed paths in the low-power PAL block will be slower than those in the non-low-power PAL block. This feature allows speed critical paths to run at maximum frequency while the rest of the signal paths operate in the low-power mode.

PROGRAMMABLE SLEW RATE

Each ispMACH 4A device I/O has an individually programmable output slew rate control bit. Each output can be individually configured for the higher speed transition (3 V/ns) or for the lower noise transition (1 V/ns). For high-speed designs with long, unterminated traces, the slow-slew rate will introduce fewer reflections, less noise, and keep ground bounce to a minimum. For designs with short traces or well terminated lines, the fast slew rate can be used to achieve the highest speed. The slew rate is adjusted independent of power.

POWER-UP RESET/SET

All flip-flops power up to a known state for predictable system initialization. If a macrocell is configured to SET on a signal from the control generator, then that macrocell will be SET during device power-up. If a macrocell is configured to RESET on a signal from the control generator or is not configured for set/reset, then that macrocell will RESET on power-up. To guarantee initialization values, the V_{CC} rise must be monotonic, and the clock must be inactive until the reset delay time has elapsed.

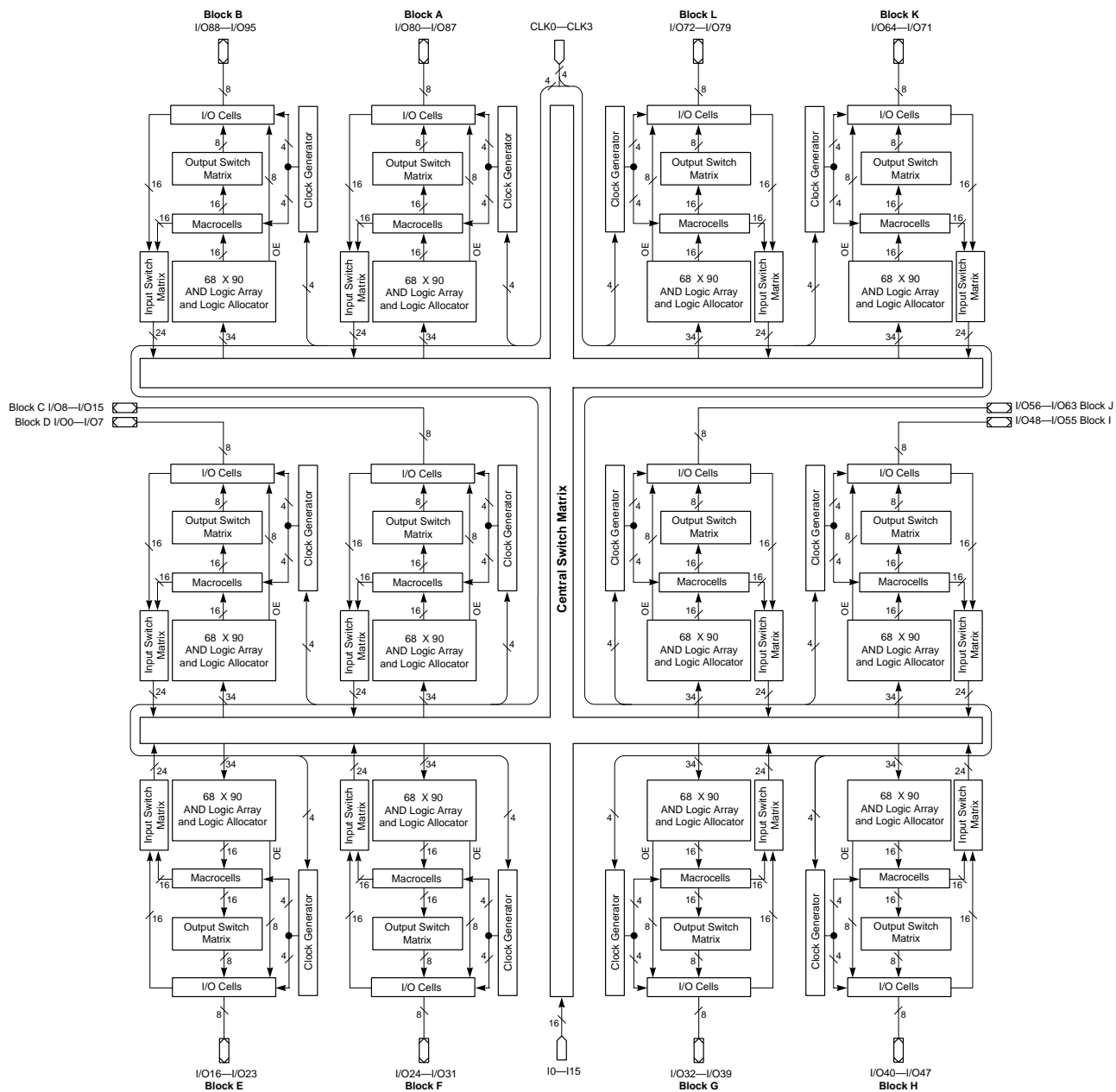
SECURITY BIT

A programmable security bit is provided on the ispMACH 4A devices as a deterrent to unauthorized copying of the array configuration patterns. Once programmed, this bit defeats readback of the programmed pattern by a device programmer, securing proprietary designs from competitors. Programming and verification are also defeated by the security bit. The bit can only be reset by erasing the entire device.

HOT SOCKETING

ispMACH 4A devices are well-suited for those applications that require hot socketing capability. Hot socketing a device requires that the device, when powered down, can tolerate active signals on the I/Os and inputs without being damaged. Additionally, it requires that the effects of the powered-down MACH devices be minimal on active signals.

BLOCK DIAGRAM – M4A(3,5)-192/96



17466G-067

ABSOLUTE MAXIMUM RATINGS

M4A5

Storage Temperature	-65°C to +150°C
Ambient Temperature with Power Applied	-55°C to +100°C
Device Junction Temperature	+130°C
Supply Voltage with Respect to Ground	-0.5 V to +7.0 V
DC Input Voltage	-0.5 V to $V_{CC} + 0.5$ V
Static Discharge Voltage	2000 V
Latchup Current ($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$)	200 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability.

OPERATING RANGES

Commercial (C) Devices

Ambient Temperature (T_A) Operating in Free Air	0°C to +70°C
Supply Voltage (V_{CC}) with Respect to Ground	+4.75 V to +5.25 V

Industrial (I) Devices

Ambient Temperature (T_A) Operating in Free Air	-40°C to +85°C
Supply Voltage (V_{CC}) with Respect to Ground	+4.50 V to +5.5 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

5-V DC CHARACTERISTICS OVER OPERATING RANGES

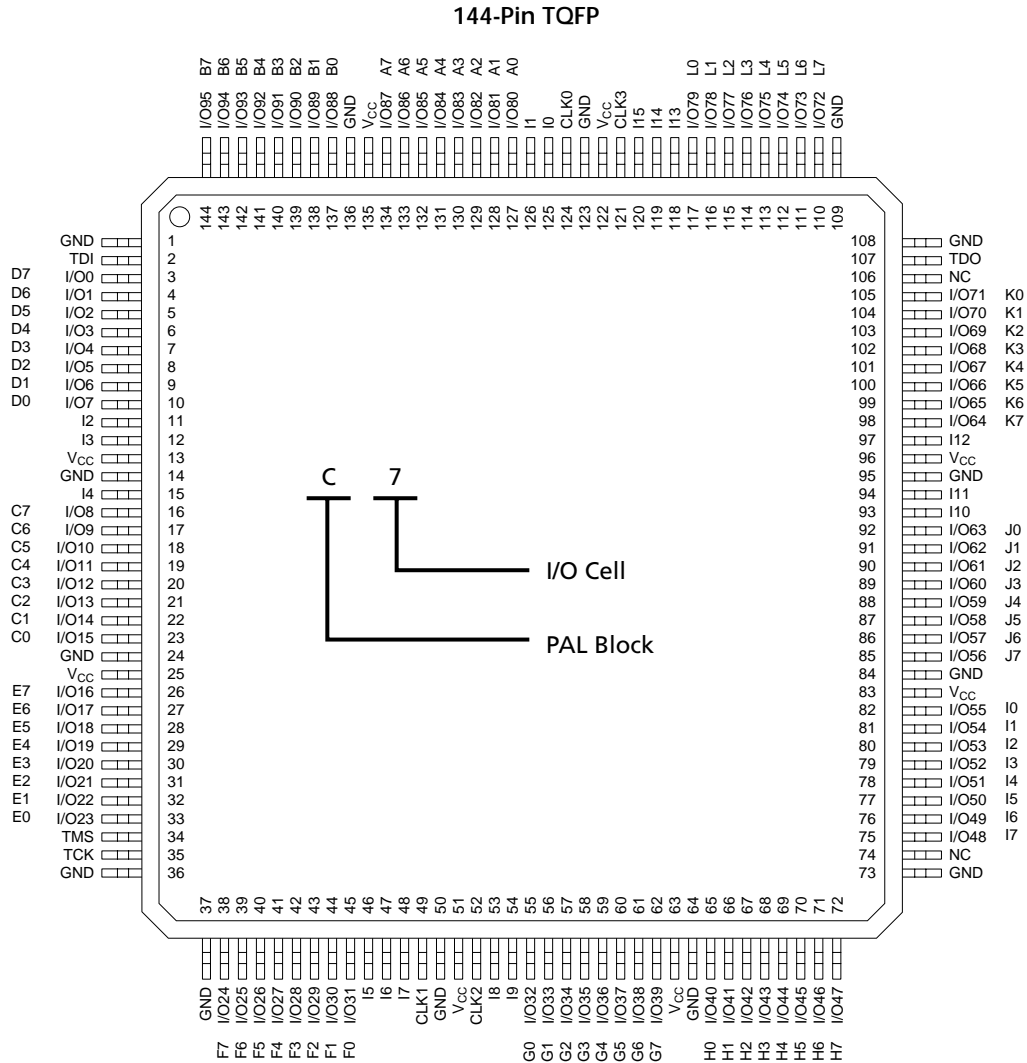
Parameter Symbol	Parameter Description	Test Conditions	Min	Typ	Max	Unit
V_{OH}	Output HIGH Voltage	$I_{OH} = -3.2$ mA, $V_{CC} = \text{Min}$, $V_{IN} = V_{IH}$ or V_{IL}	2.4			V
		$I_{OH} = 0$ mA, $V_{CC} = \text{Max}$, $V_{IN} = V_{IH}$ or V_{IL}			3.3	V
V_{OL}	Output LOW Voltage	$I_{OL} = 24$ mA, $V_{CC} = \text{Min}$, $V_{IN} = V_{IH}$ or V_{IL} (Note 1)			0.5	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Note 2)	2.0			V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Note 2)			0.8	V
I_{IH}	Input HIGH Leakage Current	$V_{IN} = 5.25$ V, $V_{CC} = \text{Max}$ (Note 3)			10	μA
I_{IL}	Input LOW Leakage Current	$V_{IN} = 0$ V, $V_{CC} = \text{Max}$ (Note 3)			-10	μA
I_{OZH}	Off-State Output Leakage Current HIGH	$V_{OUT} = 5.25$ V, $V_{CC} = \text{Max}$, $V_{IN} = V_{IH}$ or V_{IL} (Note 3)			10	μA
I_{OZL}	Off-State Output Leakage Current LOW	$V_{OUT} = 0$ V, $V_{CC} = \text{Max}$, $V_{IN} = V_{IH}$ or V_{IL} (Note 3)			-10	μA
I_{SC}	Output Short-Circuit Current	$V_{OUT} = 0.5$ V, $V_{CC} = \text{Max}$ (Note 4)	-30		-160	mA

Notes:

1. Total I_{OL} for one PAL block should not exceed 64 mA.
2. These are absolute values with respect to device ground, and all overshoots due to system or tester noise are included.
3. I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).
4. Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second. $V_{OUT} = 0.5$ V has been chosen to avoid test problems caused by tester ground degradation.

144-PIN TQFP CONNECTION DIAGRAM (M4A(3,5)-192/96)

Top View



17466G-033

PIN DESIGNATIONS

- CLK = Clock
- GND = Ground
- I = Input
- I/O = Input/Output
- V_{CC} = Supply Voltage
- TDI = Test Data In
- TCK = Test Clock
- TMS = Test Mode Select
- TDO = Test Data Out

32K x 8 HIGH-SPEED CMOS STATIC RAM

JULY 2002

FEATURES

- High-speed access time: 10, 12, 15, 20 ns
- Low active power: 400 mW (typical)
- Low standby power
 - 250 μ W (typical) CMOS standby
 - 55 mW (typical) TTL standby
- Fully static operation: no clock or refresh required
- TTL compatible inputs and outputs
- Single 5V power supply

DESCRIPTION

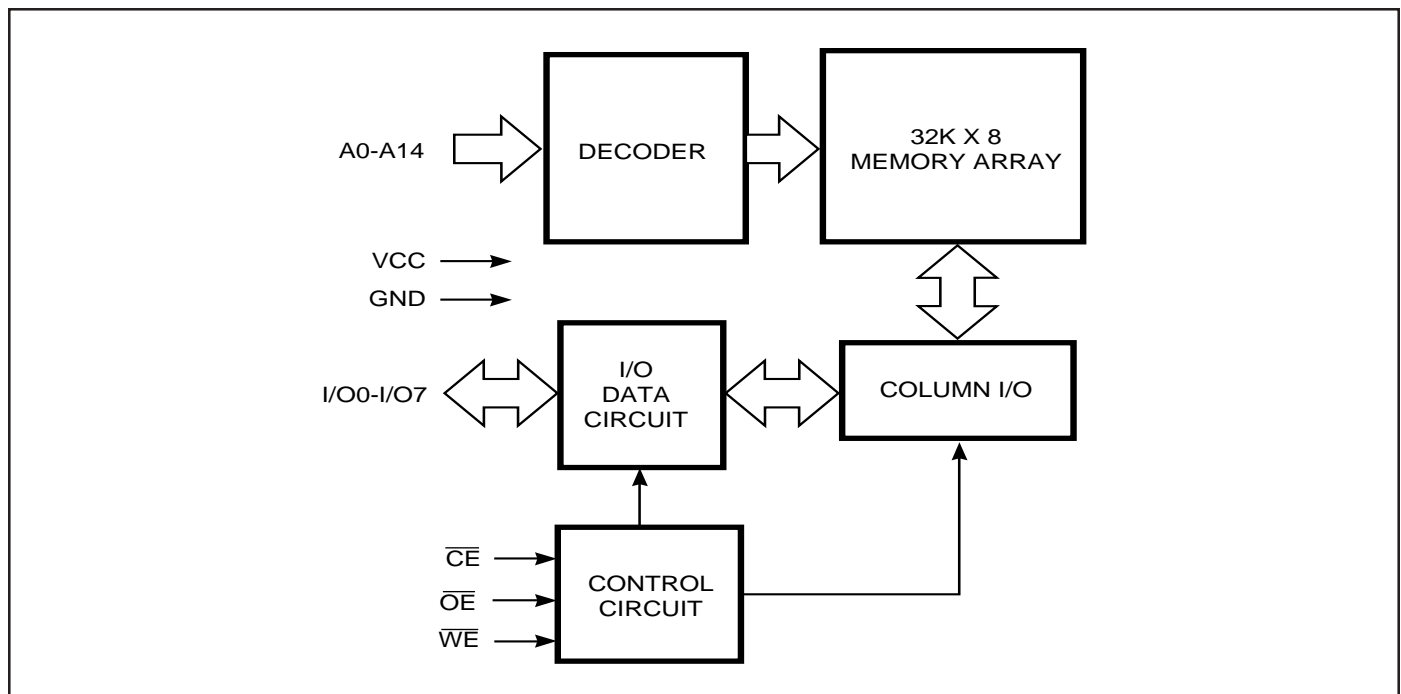
The *ISSI* IS61C256AH is a very high-speed, low power, 32,768 word by 8-bit static RAMs. They are fabricated using *ISSI's* high-performance CMOS technology. This highly reliable process coupled with innovative circuit design techniques, yields access times as fast as 10 ns maximum.

When \overline{CE} is HIGH (deselected), the device assumes a standby mode at which the power dissipation can be reduced down to 250 μ W (typical) with CMOS input levels.

Easy memory expansion is provided by using an active LOW Chip Enable (\overline{CE}) input and an active LOW Output Enable (\overline{OE}) input. The active LOW Write Enable (\overline{WE}) controls both writing and reading of the memory.

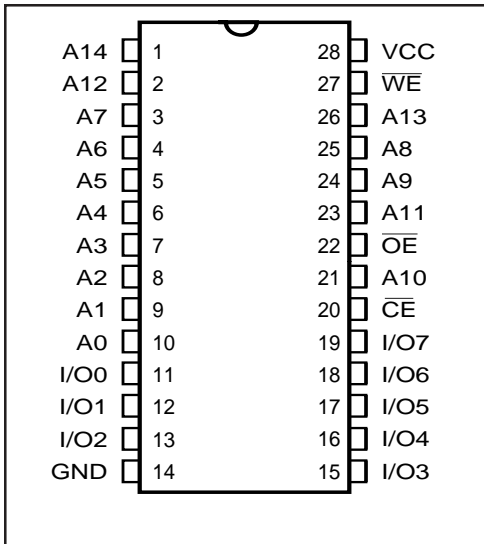
The IS61C256AH is pin compatible with other 32K x 8 SRAMs and are available in 28-pin SOJ and TSOP (Type I) packages.

FUNCTIONAL BLOCK DIAGRAM

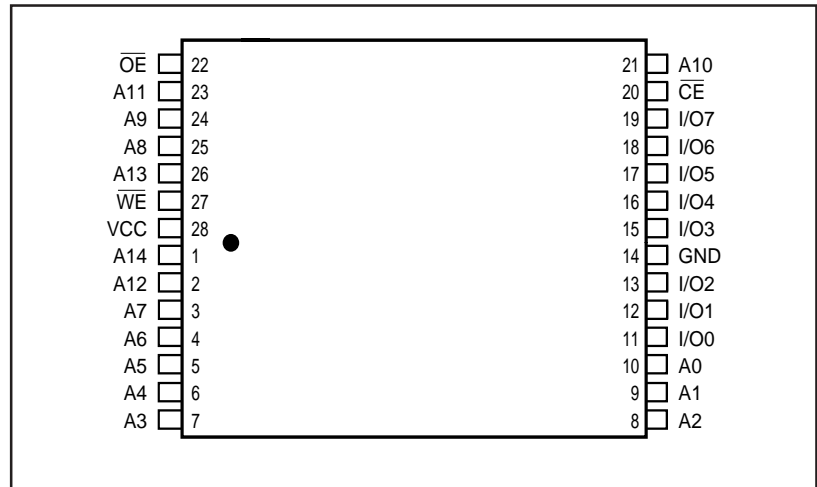


ISSI reserves the right to make changes this specification herein and its products at any time without notice. ISSI assumes no responsibility or liability arising out of the application or use of any information, product or services described herein. Customers are advised to obtain the latest version of this device specification before relying on any published information and before placing orders for products. © Copyright 2001, Integrated Silicon Solution, Inc.

PIN CONFIGURATION 28-Pin SOJ



PIN CONFIGURATION 28-Pin TSOP



PIN DESCRIPTIONS

A0-A14	Address Inputs
\overline{CE}	Chip Enable Input
\overline{OE}	Output Enable Input
\overline{WE}	Write Enable Input
I/O0-I/O7	Bidirectional Ports
Vcc	Power
GND	Ground

TRUTH TABLE

Mode	\overline{WE}	\overline{CE}	\overline{OE}	I/O Operation	Vcc Current
Not Selected (Power-down)	X	H	X	High-Z	Isb1, Isb2
Output Disabled	H	L	H	High-Z	Icc
Read	H	L	L	DOUT	Icc
Write	L	L	X	DIN	Icc

ABSOLUTE MAXIMUM RATINGS⁽¹⁾

Symbol	Parameter	Value	Unit
V _{TERM}	Terminal Voltage with Respect to GND	-0.5 to +7.0	V
T _{BIAS}	Temperature Under Bias	-55 to +125	°C
T _{STG}	Storage Temperature	-65 to +150	°C
P _T	Power Dissipation	1.5	W
I _{OUT}	DC Output Current (LOW)	20	mA

Note:

1. Stress greater than those listed under ABSOLUTE MAXIMUM RATINGS may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect reliability.

OPERATING RANGE

Range	Ambient Temperature	Speed	Vcc
Commercial	0°C to +70°C	-10, -12	5V ± 5%
		-15, -20	5V ± 10%
Industrial	-40°C to +85°C	-12	5V ± 5%
		-15, -20	5V ± 10%

DC ELECTRICAL CHARACTERISTICS (Over Operating Range)

Symbol	Parameter	Test Conditions	Min.	Max.	Unit
V _{OH}	Output HIGH Voltage	V _{CC} = Min., I _{OH} = -4.0 mA	2.4	—	V
V _{OL}	Output LOW Voltage	V _{CC} = Min., I _{OL} = 8.0 mA	—	0.4	V
V _{IH}	Input HIGH Voltage		2.2	V _{CC} + 0.5	V
V _{IL}	Input LOW Voltage ⁽¹⁾		-0.5	0.8	V
I _{LI}	Input Leakage	GND - V _{IN} - V _{CC}	Com. -5 Ind. -10	5 10	µA
I _{LO}	Output Leakage	GND - V _{OUT} - V _{CC} , Outputs Disabled	Com. -5 Ind. -10	5 10	µA

Note:

1. V_{IL} = -3.0V for pulse width less than 10 ns.

POWER SUPPLY CHARACTERISTICS⁽¹⁾ (Over Operating Range)

Symbol	Parameter	Test Conditions		-10		-12		-15		-20		Unit
				Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
I _{CC}	V _{CC} Dynamic Operating Supply Current	V _{CC} = Max., \overline{CE} = V _{IL} I _{OUT} = 0 mA, f = f _{MAX}	Com.	—	165	—	155	—	145	—	135	mA
			Ind.	—	—	—	165	—	155	—	145	
I _{SB1}	TTL Standby Current (TTL Inputs)	V _{CC} = Max., V _{IN} = V _{IH} or V _{IL} \overline{CE} • V _{IH} , f = 0	Com.	—	25	—	25	—	25	—	25	mA
			Ind.	—	—	—	30	—	30	—	30	
I _{SB2}	CMOS Standby Current (CMOS Inputs)	V _{CC} = Max., \overline{CE} • V _{CC} - 0.2V, V _{IN} • V _{CC} - 0.2V, or V _{IN} - 0.2V, f = 0	Com.	—	2	—	2	—	2	—	2	mA
			Ind.	—	—	—	10	—	10	—	10	

Note:

1. At f = f_{MAX}, address and data inputs are cycling at the maximum frequency, f = 0 means no input lines change.

CAPACITANCE^(1,2)

Symbol	Parameter	Conditions	Max.	Unit
C _{IN}	Input Capacitance	V _{IN} = 0V	8	pF
C _{OUT}	Output Capacitance	V _{OUT} = 0V	10	pF

Notes:

1. Tested initially and after any design or process changes that may affect these parameters.
2. Test conditions: T_A = 25°C, f = 1 MHz, V_{CC} = 5.0V.

READ CYCLE SWITCHING CHARACTERISTICS⁽¹⁾ (Over Operating Range)

Symbol	Parameter	-10 ns		-12 ns		-15 ns		-20 ns		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
t _{RC}	Read Cycle Time	10	—	12	—	15	—	20	—	ns
t _{AA}	Address Access Time	—	10	—	12	—	15	—	20	ns
t _{OH}	Output Hold Time	2	—	2	—	2	—	2	—	ns
t _{ACE}	$\overline{\text{CE}}$ Access Time	—	10	—	12	—	15	—	20	ns
t _{DOE}	$\overline{\text{OE}}$ Access Time	—	5	—	5	—	7	—	8	ns
t _{LZOE⁽²⁾}	$\overline{\text{OE}}$ to Low-Z Output	0	—	0	—	0	—	0	—	ns
t _{HZOE⁽²⁾}	$\overline{\text{OE}}$ to High-Z Output	—	5	—	6	—	7	—	9	ns
t _{LZCE⁽²⁾}	$\overline{\text{CE}}$ to Low-Z Output	2	—	3	—	3	—	3	—	ns
t _{HZCE⁽²⁾}	$\overline{\text{CE}}$ to High-Z Output	—	5	—	7	—	8	—	9	ns
t _{PU⁽³⁾}	$\overline{\text{CE}}$ to Power-Up	0	—	0	—	0	—	0	—	ns
t _{PD⁽³⁾}	$\overline{\text{CE}}$ to Power-Down	—	10	—	12	—	15	—	18	ns

Notes:

1. Test conditions assume signal transition times of 5 ns or less, timing reference levels of 1.5V, input pulse levels of 0 to 3.0V and output loading specified in Figure 1.
2. Tested with the load in Figure 2. Transition is measured ±500 mV from steady-state voltage. Not 100% tested.
3. Not 100% tested.

AC TEST CONDITIONS

Parameter	Unit
Input Pulse Level	0V to 3.0V
Input Rise and Fall Times	3 ns
Input and Output Timing and Reference Levels	1.5V
Output Load	See Figures 1 and 2

AC TEST LOADS

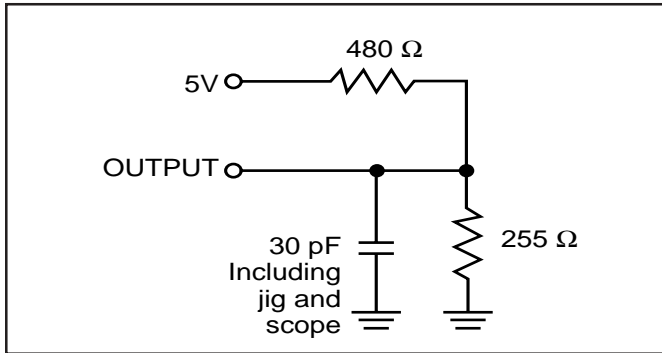


Figure 1

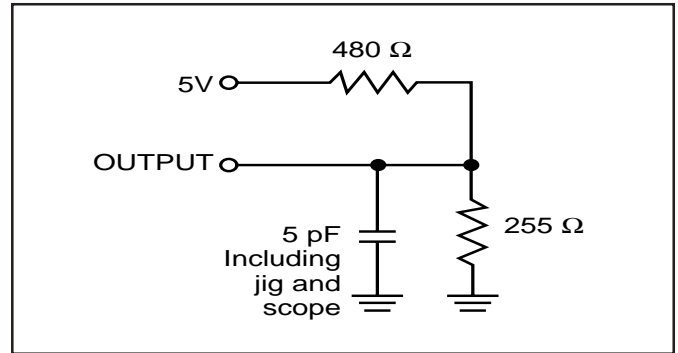
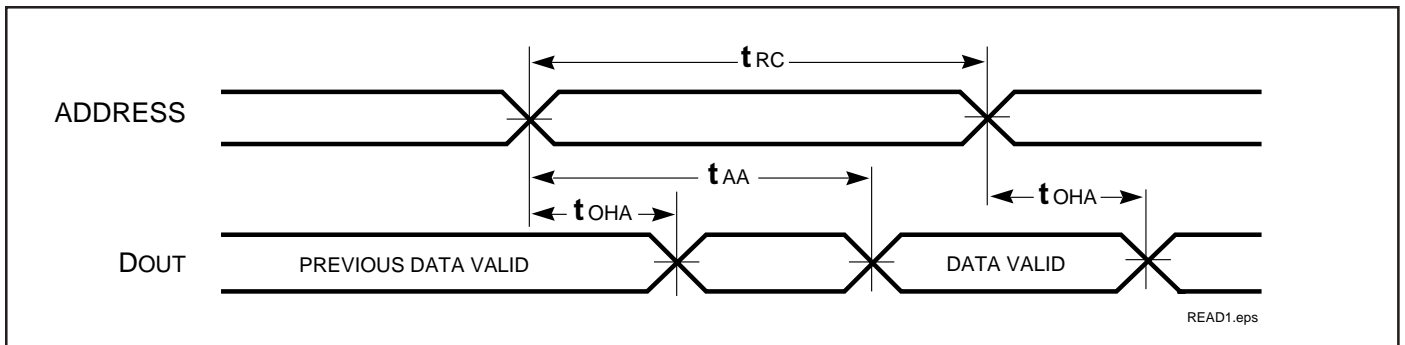


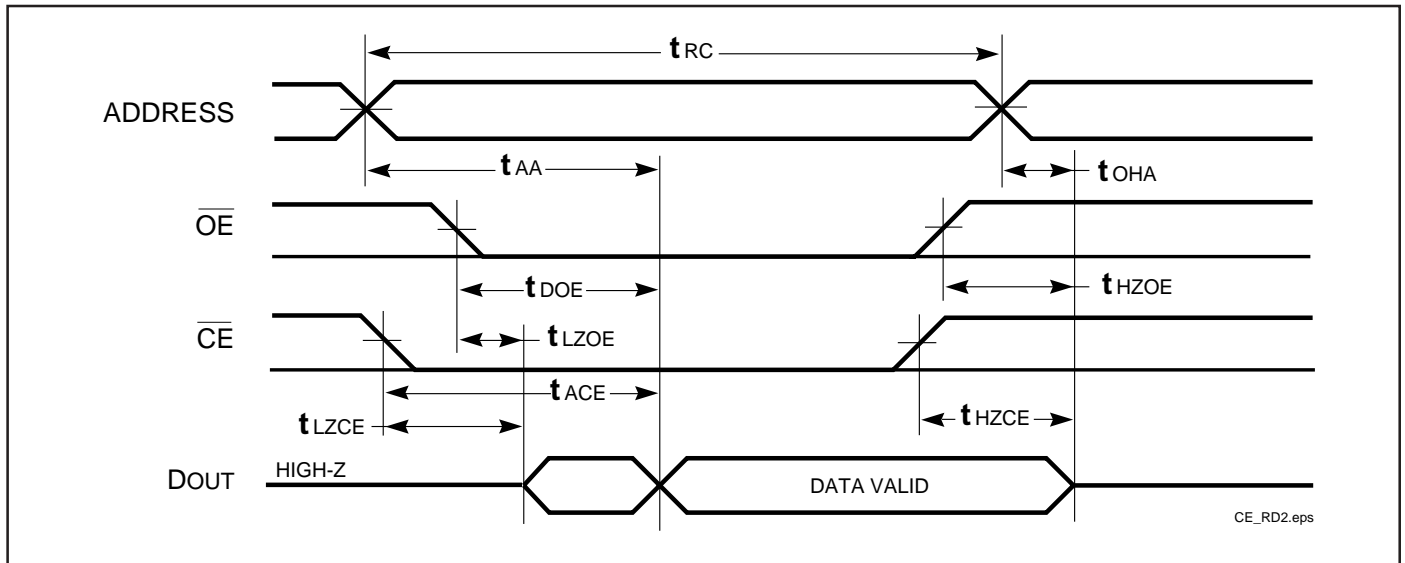
Figure 2

AC WAVEFORMS

READ CYCLE NO. 1^(1,2)



READ CYCLE NO. 2^(1,3)



Notes:

1. \overline{WE} is HIGH for a Read Cycle.
2. The device is continuously selected. \overline{OE} , $\overline{CE} = V_{IL}$.
3. Address is valid prior to or coincident with \overline{CE} LOW transitions.

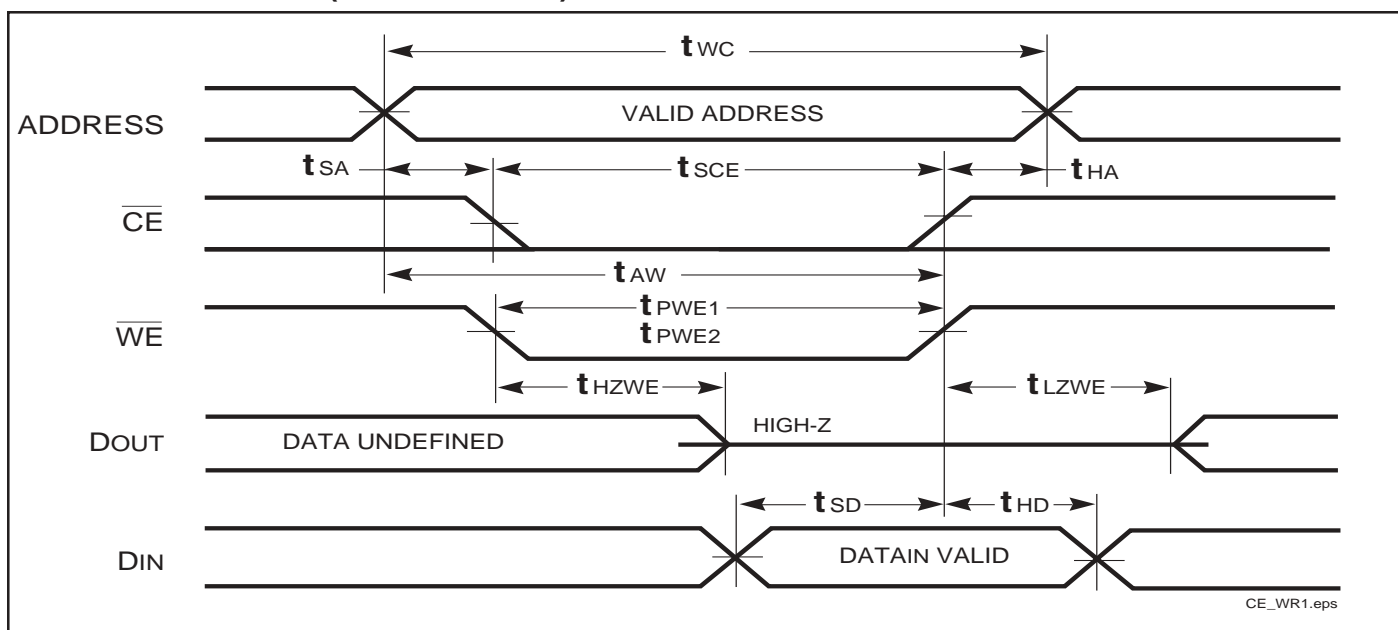
WRITE CYCLE SWITCHING CHARACTERISTICS^(1,3) (Over Operating Range)

Symbol	Parameter	-10 ns		-12 ns		-15 ns		-20 ns		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
t_{WC}	Write Cycle Time	10	—	12	—	15	—	20	—	ns
t_{SCE}	\overline{CE} to Write End	9	—	10	—	10	—	13	—	ns
t_{AW}	Address Setup Time to Write End	9	—	10	—	12	—	15	—	ns
t_{HA}	Address Hold from Write End	0	—	0	—	0	—	0	—	ns
t_{SA}	Address Setup Time	0	—	0	—	0	—	0	—	ns
t_{PWE1}	\overline{WE} Pulse Width (\overline{OE} LOW)	8	—	8	—	10	—	13	—	ns
t_{PWE2}	\overline{WE} Pulse Width (\overline{OE} HIGH)	6.5	—	7	—	8	—	10	—	ns
t_{SD}	Data Setup to Write End	7	—	7	—	9	—	10	—	ns
t_{HD}	Data Hold from Write End	0	—	0	—	0	—	0	—	ns
$t_{HZWE}^{(2)}$	\overline{WE} LOW to High-Z Output	—	6	—	6	—	7	—	8	ns
$t_{LZWE}^{(2)}$	\overline{WE} HIGH to Low-Z Output	0	—	0	—	0	—	0	—	ns

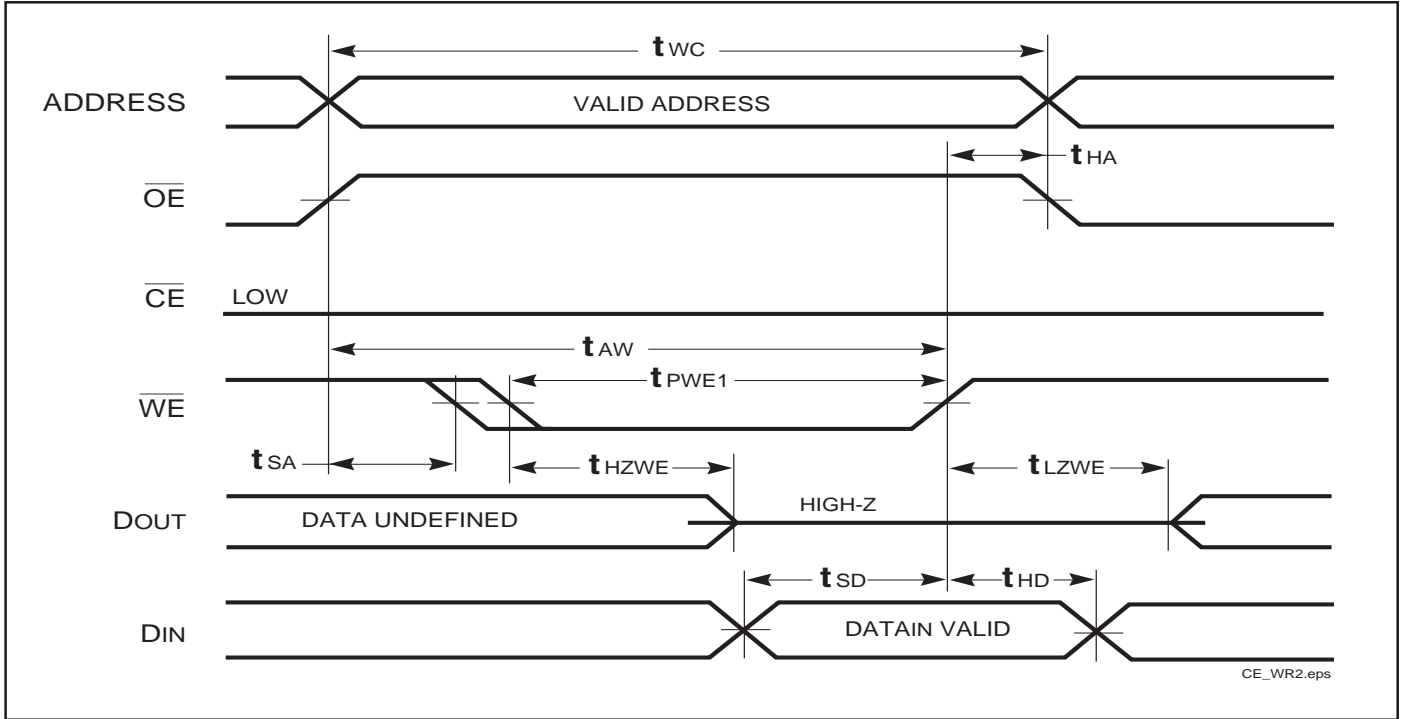
Notes:

1. Test conditions assume signal transition times of 3 ns or less, timing reference levels of 1.5V, input pulse levels of 0 to 3.0V and output loading specified in Figure 1.
2. Tested with the load in Figure 2. Transition is measured ± 500 mV from steady-state voltage. Not 100% tested.
3. The internal write time is defined by the overlap of \overline{CE} LOW and \overline{WE} LOW. All signals must be in valid states to initiate a Write, but any one can go inactive to terminate the Write. The Data Input Setup and Hold timing are referenced to the rising or falling edge of the signal that terminates the write.

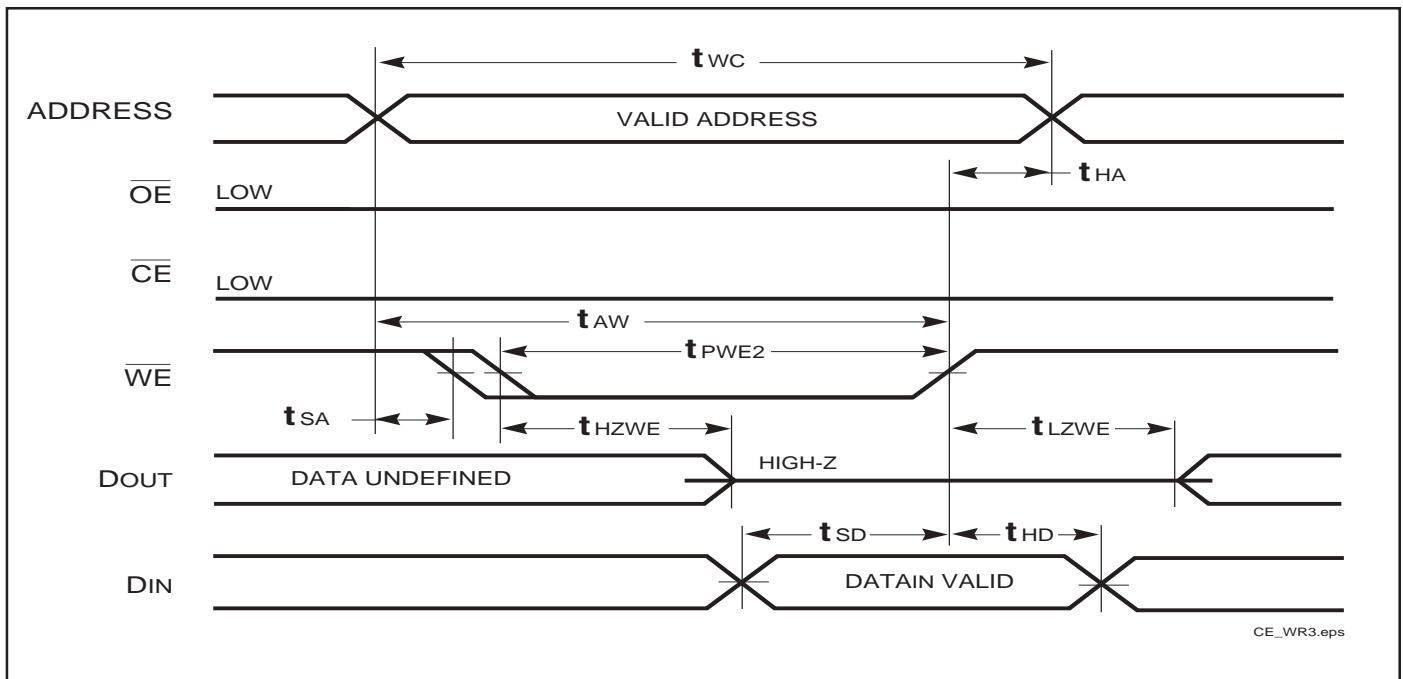
AC WAVEFORMS

WRITE CYCLE NO. 1 (\overline{WE} Controlled)^(1,2)

WRITE CYCLE NO. 2 (\overline{OE} is HIGH During Write Cycle) ^(1,2)



WRITE CYCLE NO. 3 (\overline{OE} is LOW During Write Cycle) ⁽¹⁾



Notes:

1. The internal write time is defined by the overlap of \overline{CE} LOW and \overline{WE} LOW. All signals must be in valid states to initiate a Write, but any one can go inactive to terminate the Write. The Data Input Setup and Hold timing are referenced to the rising or falling edge of the signal that terminates the Write.
2. I/O will assume the High-Z state if $\overline{OE} \cdot V_{IH}$.

ORDERING INFORMATION: IS61C256AH**Commercial Range: 0°C to +70°C**

Speed (ns)	Order Part Number	Package
10	IS61C256AH-10J	300-mil Plastic SOJ
	IS61C256AH-10T	TSOP (Type 1)
12	IS61C256AH-12J	300-mil Plastic SOJ
	IS61C256AH-12T	TSOP (Type 1)
15	IS61C256AH-15J	300-mil Plastic SOJ
	IS61C256AH-15T	TSOP (Type 1)
20	IS61C256AH-20J	300-mil Plastic SOJ
	IS61C256AH-20T	TSOP (Type 1)

ORDERING INFORMATION: IS61C256AH**Industrial Range: -40°C to +85°C**

Speed (ns)	Order Part Number	Package
12	IS61C256AH-12JI	300-mil Plastic SOJ
	IS61C256AH-12TI	TSOP (Type 1)
15	IS61C256AH-15JI	300-mil Plastic SOJ
	IS61C256AH-15TI	TSOP (Type 1)
20	IS61C256AH-20JI	300-mil Plastic SOJ
	IS61C256AH-20TI	TSOP (Type 1)



SpeedPlus™ 12-Bit, 165MSPS DIGITAL-TO-ANALOG CONVERTER

FEATURES

- SINGLE +5V OR +3V OPERATION
- HIGH SFDR: 5MHz Output at 100MSPS: 67dBc
- LOW GLITCH: 3pV-s
- LOW POWER: 170mW at +5V
- INTERNAL REFERENCE:
 - Optional Ext. Reference
 - Adjustable Full-Scale Range
 - Multiplying Option

DESCRIPTION

The DAC902 is a high-speed, Digital-to-Analog Converter (DAC) offering a 12-bit resolution option within the *SpeedPlus* Family of high-performance converters. Featuring pin compatibility among family members, the DAC908, DAC900, and DAC904 provide a component selection option to an 8-, 10-, and 14-bit resolution, respectively. All models within this family of DACs support update rates in excess of 165MSPS with excellent dynamic performance, and are especially suited to fulfill the demands of a variety of applications.

The advanced segmentation architecture of the DAC902 is optimized to provide a high Spurious-Free Dynamic Range (SFDR) for single-tone, as well as for multi-tone signals—essential when used for the transmit signal path of communication systems.

The DAC902 has a high impedance (200kΩ) current output with a nominal range of 20mA and an output compliance of up to 1.25V. The differential outputs allow for both a differential or single-ended analog signal interface. The close matching of the current outputs ensures superior dynamic performance in the differential configuration, which can be implemented with a transformer.

Utilizing a small geometry CMOS process, the monolithic DAC902 can be operated on a wide, single-supply range of +2.7V to +5.5V. Its low power consumption allows for use in portable and battery-operated systems. Further optimization can be realized by lowering the output current with the adjustable full-scale option.

APPLICATIONS

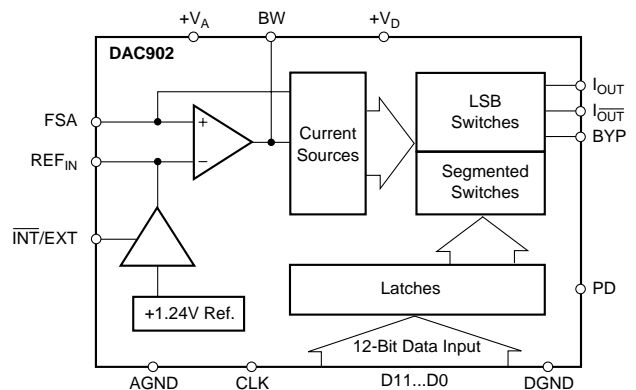
- COMMUNICATION TRANSMIT CHANNELS:
 - WLL, Cellular Base Station
 - Digital Microwave Links
 - Cable Modems
- WAVEFORM GENERATION:
 - Direct Digital Synthesis (DDS)
 - Arbitrary Waveform Generation (ARB)
- MEDICAL/ULTRASOUND
- HIGH-SPEED INSTRUMENTATION AND CONTROL
- VIDEO, DIGITAL TV

For noncontinuous operation of the DAC902, a power-down mode results in only 45mW of standby power.

The DAC902 comes with an integrated 1.24V bandgap reference and edge-triggered input latches, offering a complete converter solution. Both +3V and +5V CMOS logic families can be interfaced to the DAC902.

The reference structure of the DAC902 allows for additional flexibility by utilizing the on-chip reference, or applying an external reference. The full-scale output current can be adjusted over a span of 2mA to 20mA, with one external resistor, while maintaining the specified dynamic performance.

The DAC902 is available in the SO-28 and TSSOP-28 packages.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

ABSOLUTE MAXIMUM RATINGS

+V _A to AGND	-0.3V to +6V
+V _D to DGND	-0.3V to +6V
AGND to DGND	-0.3V to +0.3V
+V _A to +V _D	-6V to +6V
CLK, PD to DGND	-0.3V to V _D + 0.3V
D0-D11 to DGND	-0.3V to V _D + 0.3V
I _{OUT} , I _{OUT} to AGND	-1V to V _A + 0.3V
BW, BYP to AGND	-0.3V to V _A + 0.3V
REF _{IN} , FSA to AGND	-0.3V to V _A + 0.3V
INT/EXT to AGND	-0.3V to V _A + 0.3V
Junction Temperature	+150°C
Case Temperature	+100°C
Storage Temperature	+125°C



ELECTROSTATIC DISCHARGE SENSITIVITY

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

PACKAGE/ORDERING INFORMATION

PRODUCT	PACKAGE	PACKAGE DRAWING NUMBER	SPECIFIED TEMPERATURE RANGE	PACKAGE MARKING	ORDERING NUMBER ⁽¹⁾	TRANSPORT MEDIA
DAC902U	SO-28	217	-40°C to +85°C	DAC902U	DAC902U	Rails
"	"	"	"	"	DAC902U/1K	Tape and Reel
DAC902E	TSSOP-28	360	-40°C to +85°C	DAC902E	DAC902E	Rails
"	"	"	"	"	DAC902E/2K5	Tape and Reel

NOTE: (1) Models with a slash (/) are available only in Tape and Reel in the quantities indicated (e.g., /2K5 indicates 2500 devices per reel). Ordering 2500 pieces of "DAC902E/2K5" will get a single 2500-piece Tape and Reel.

DEMO BOARD ORDERING INFORMATION

PRODUCT	DEMO BOARD ORDERING NUMBER	COMMENT
DAC902U	DEM-DAC90xU	Populated evaluation board without the DAC. Order sample of desired DAC90x model separately.
DAC902E	DEM-DAC902E	Populated evaluation board including the DAC902E.

ELECTRICAL CHARACTERISTICS

At T_A = full specified temperature range, +V_A = +5V, +V_D = +5V, differential transformer coupled output, 50Ω doubly terminated, unless otherwise specified.

PARAMETER	CONDITIONS	DAC902U/E			UNITS
		MIN	TYP	MAX	
RESOLUTION			12		Bits
OUTPUT UPDATE RATE	2.7V to 3.3V	125	165		MSPS
Output Update Rate (f _{CLOCK})	4.5V to 5.5V	165	200		MSPS
Full Specified Temperature Range, Operating	Ambient, T _A	-40		+85	°C
STATIC ACCURACY⁽¹⁾	T _A = +25°C				
Differential Nonlinearity (DNL)	f _{CLOCK} = 25MSPS, f _{OUT} = 1.0MHz	-1.75	±0.5	+1.75	LSB
Integral Nonlinearity (INL)		-2.5	±1.0	+2.5	LSB
DYNAMIC PERFORMANCE	T _A = +25°C				
Spurious-Free Dynamic Range (SFDR)	To Nyquist				
f _{OUT} = 1MHz, f _{CLOCK} = 25MSPS		71	77		dBc
f _{OUT} = 2.1MHz, f _{CLOCK} = 50MSPS			75		dBc
f _{OUT} = 5.04MHz, f _{CLOCK} = 50MSPS			68		dBc
f _{OUT} = 5.04MHz, f _{CLOCK} = 100MSPS			67		dBc
f _{OUT} = 20.2MHz, f _{CLOCK} = 100MSPS			61		dBc
f _{OUT} = 25.3MHz, f _{CLOCK} = 125MSPS			61		dBc
f _{OUT} = 41.5MHz, f _{CLOCK} = 125MSPS			57		dBc
f _{OUT} = 27.4MHz, f _{CLOCK} = 165MSPS			60		dBc
f _{OUT} = 54.8MHz, f _{CLOCK} = 165MSPS			53		dBc
Spurious-Free Dynamic Range within a Window					
f _{OUT} = 5.04MHz, f _{CLOCK} = 50MSPS	2MHz Span		80		dBc
f _{OUT} = 5.04MHz, f _{CLOCK} = 100MSPS	4MHz Span		80		dBc
Total Harmonic Distortion (THD)					
f _{OUT} = 2.1MHz, f _{CLOCK} = 50MSPS			-74		dBc
f _{OUT} = 2.1MHz, f _{CLOCK} = 125MSPS			-75		dBc
Two Tone					
f _{OUT1} = 13.5MHz, f _{OUT2} = 14.5MHz, f _{CLOCK} = 100MSPS			64		dBc

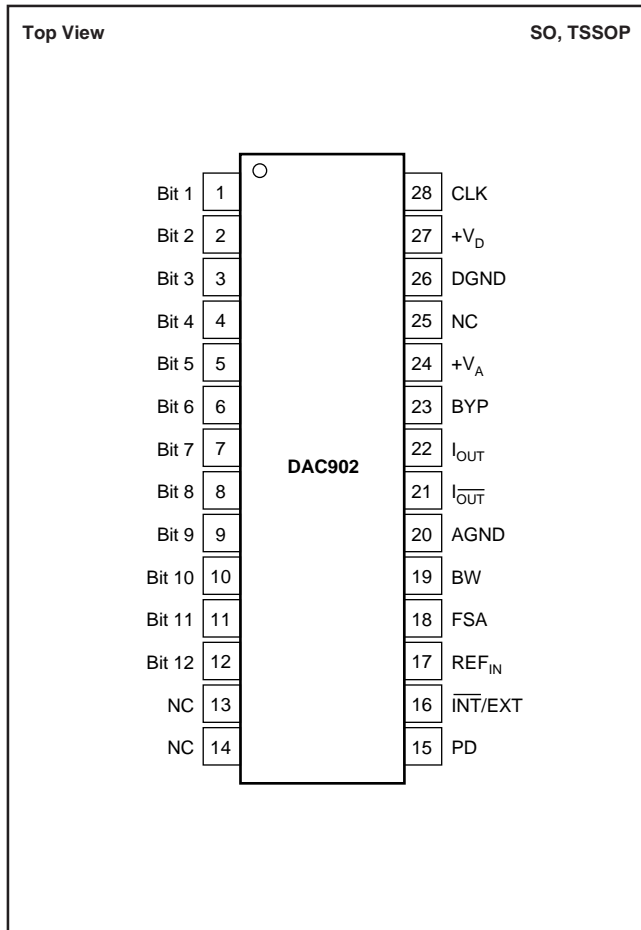
ELECTRICAL CHARACTERISTICS (Cont.)

At T_A = full specified temperature range, $+V_A = +5V$, $+V_D = +5V$, differential transformer coupled output, 50Ω doubly terminated, unless otherwise specified.

PARAMETER	CONDITIONS	DAC902U/E			UNITS
		MIN	TYP	MAX	
DYNAMIC PERFORMANCE (Cont.)					
Output Settling Time ⁽²⁾	to 0.1%		30		ns
Output Rise Time ⁽²⁾	10% to 90%		2		ns
Output Fall Time ⁽²⁾	10% to 90%		2		ns
Glitch Impulse			3		pV-s
DC-ACCURACY					
Full-Scale Output Range ⁽³⁾ (FSR)	All Bits High, I_{OUT}	2.0		20.0	mA
Output Compliance Range		-1.0		+1.25	V
Gain Error	With Internal Reference	-10	± 1	+10	%FSR
Gain Error	With External Reference	-10	± 2	+10	%FSR
Gain Drift	With Internal Reference		± 120		ppmFSR/ $^{\circ}C$
Offset Error	With Internal Reference	-0.025		+0.025	%FSR
Offset Drift	With Internal Reference		± 0.1		ppmFSR/ $^{\circ}C$
Power-Supply Rejection, $+V_A$		-0.2		+0.2	%FSR/V
Power-Supply Rejection, $+V_D$		-0.025		+0.025	%FSR/V
Output Noise	$I_{OUT} = 20mA$, $R_{LOAD} = 50\Omega$		50		$\mu A/\sqrt{Hz}$
Output Resistance			200		k Ω
Output Capacitance	I_{OUT} , $\overline{I_{OUT}}$ to Ground		12		pF
REFERENCE					
Reference Voltage			+1.24		V
Reference Tolerance			± 5		%
Reference Voltage Drift			± 50		ppmFSR/ $^{\circ}C$
Reference Output Current			10		μA
Reference Input Resistance			1		M Ω
Reference Input Compliance Range		0.1		1.25	V
Reference Small-Signal Bandwidth ⁽⁴⁾			1.3		MHz
DIGITAL INPUTS					
Logic Coding			Straight Binary		
Latch Command			Rising Edge of Clock		
Logic High Voltage, V_{IH}	$+V_D = +5V$	3.5	5		V
Logic Low Voltage, V_{IL}	$+V_D = +5V$		0	1.2	V
Logic High Voltage, V_{IH}	$+V_D = +3V$	2	3		V
Logic Low Voltage, V_{IL}	$+V_D = +3V$		0	0.8	V
Logic High Current: I_{IH} ⁽⁵⁾	$+V_D = +5V$		± 20		μA
Logic Low Current, I_{IL}	$+V_D = +5V$		± 20		μA
Input Capacitance			5		pF
POWER SUPPLY					
Supply Voltages					
$+V_A$		+2.7	+5	+5.5	V
$+V_D$		+2.7	+5	+5.5	V
Supply Current ⁽⁶⁾					
I_{VA}			24	30	mA
I_{VA} , Power-Down Mode			1.1	2	mA
I_{VD}			8	15	mA
Power Dissipation					
	+5V, $I_{OUT} = 20mA$		170	230	mW
	+3V, $I_{OUT} = 2mA$		50		mW
			45		mW
Power Dissipation, Power-Down Mode					
Thermal Resistance, θ_{JA}					
SO-28			75		$^{\circ}C/W$
TSSOP-28			50		$^{\circ}C/W$

NOTES: (1) At output I_{OUT} , while driving a virtual ground. (2) Measured single-ended into 50Ω Load. (3) Nominal full-scale output current is $32 \cdot I_{REF}$; see Application Section for details. (4) Reference bandwidth depends on size of external capacitor at the BW pin and signal level. (5) Typically $45\mu A$ for the PD pin, which has an internal pull-down resistor. (6) Measured at $f_{CLOCK} = 50MSPS$ and $f_{OUT} = 1.0MHz$.

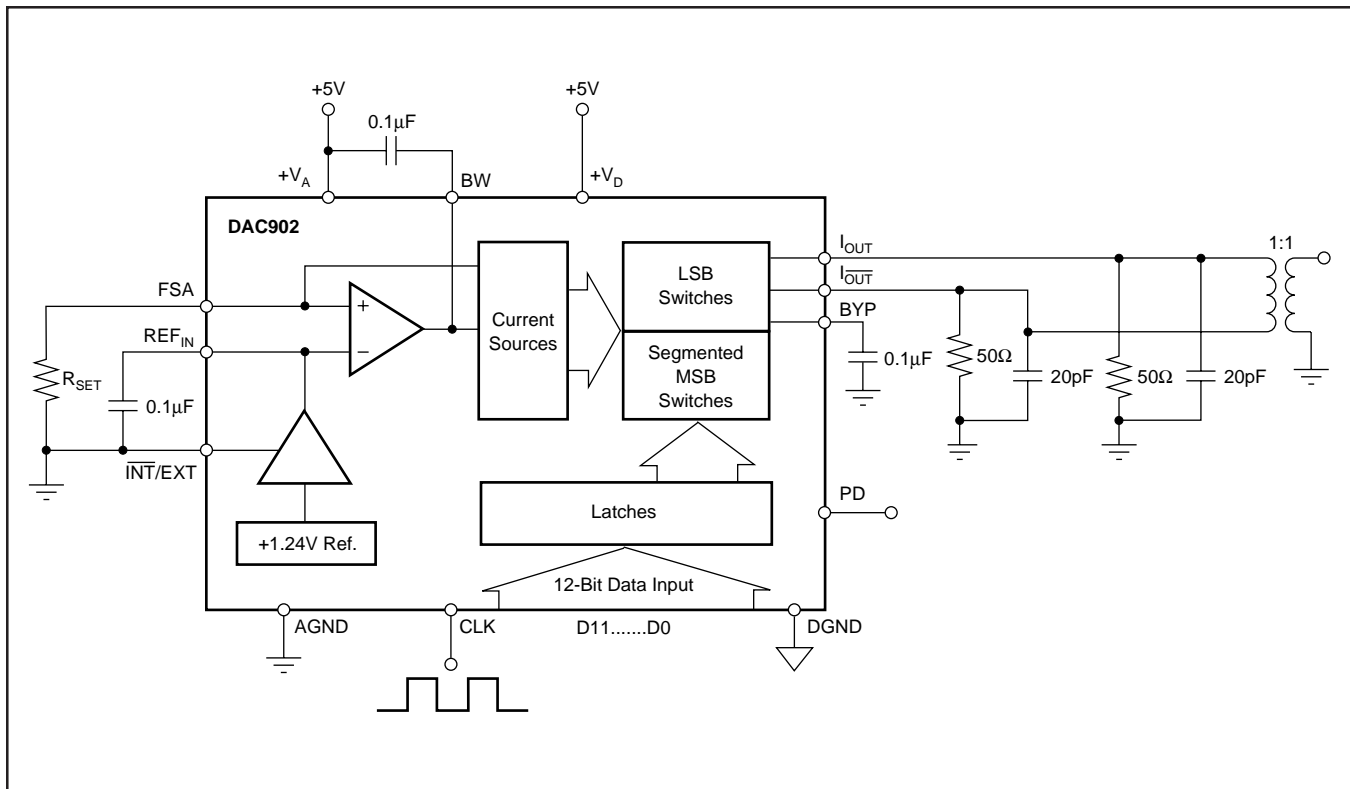
PIN CONFIGURATION



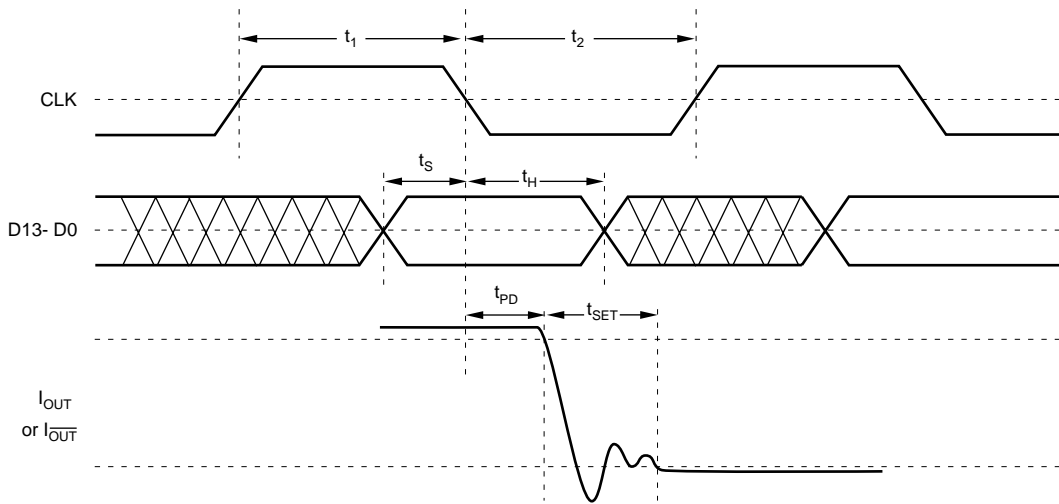
PIN DESCRIPTIONS

PIN	DESIGNATOR	DESCRIPTION
1	Bit 1	Data Bit 1 (D11), MSB
2	Bit 2	Data Bit 2 (D10)
3	Bit 3	Data Bit 3 (D9)
4	Bit 4	Data Bit 4 (D8)
5	Bit 5	Data Bit 5 (D7)
6	Bit 6	Data Bit 6 (D6)
7	Bit 7	Data Bit 7 (D5)
8	Bit 8	Data Bit 8 (D4)
9	Bit 9	Data Bit 9 (D3)
10	Bit 10	Data Bit 10 (D2)
11	Bit 11	Data Bit 11 (D1)
12	Bit 12	Data Bit 12 (D0), LSB
13	NC	No Connection
14	NC	No Connection
15	PD	Power Down, Control Input; Active HIGH. Contains internal pull-down circuit; may be left unconnected if not used.
16	INT/EXT	Reference Select Pin; Internal (= 0) or External (= 1) Reference Operation.
17	REF _{IN}	Reference Input/Output. See Applications section for further details.
18	FSA	Full-Scale Output Adjust
19	BW	Bandwidth/Noise Reduction Pin: Bypass with 0.1μF to +V _A for Optimum Performance.
20	AGND	Analog Ground
21	I _{OUT}	Complementary DAC Current Output
22	I _{OUT}	DAC Current Output
23	BYP	Bypass Node: Use 0.1μF to AGND
24	+V _A	Analog Supply Voltage, 2.7V to 5.5V
25	NC	No Connection
26	DGND	Digital Ground
27	+V _D	Digital Supply Voltage, 2.7V to 5.5V
28	CLK	Clock Input

TYPICAL CONNECTION CIRCUIT



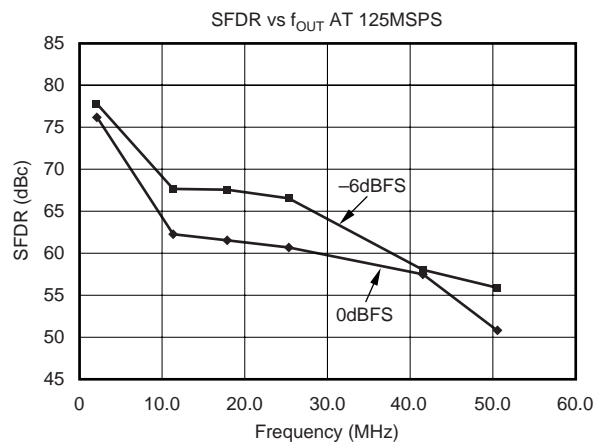
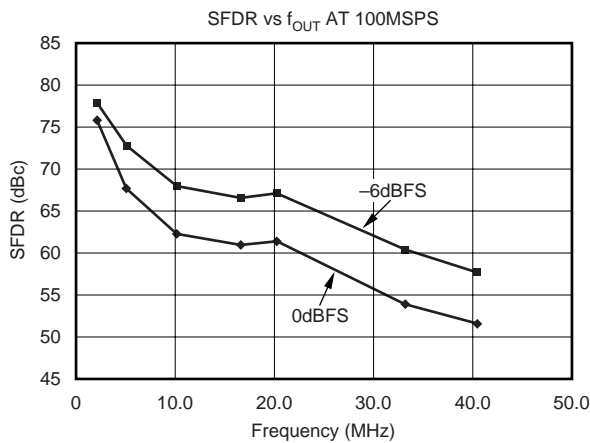
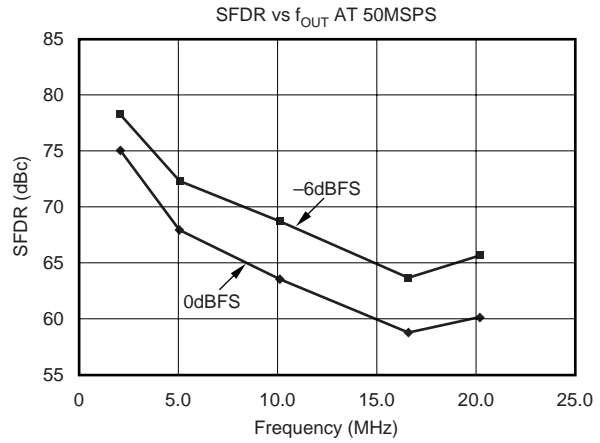
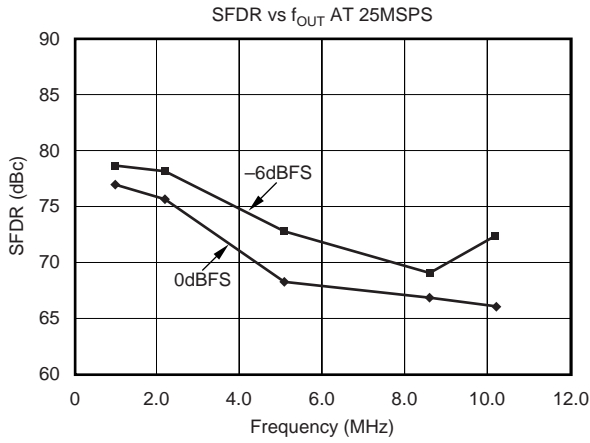
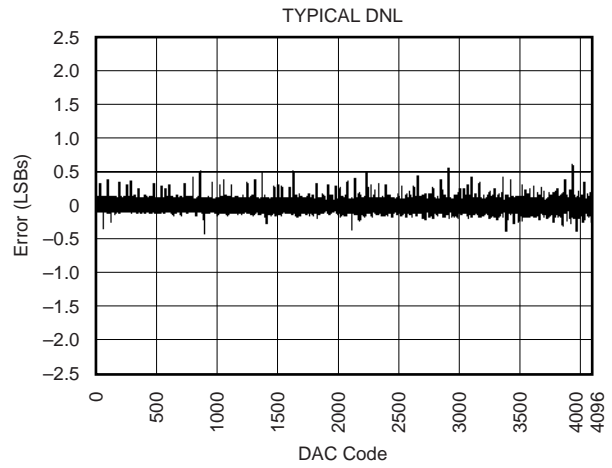
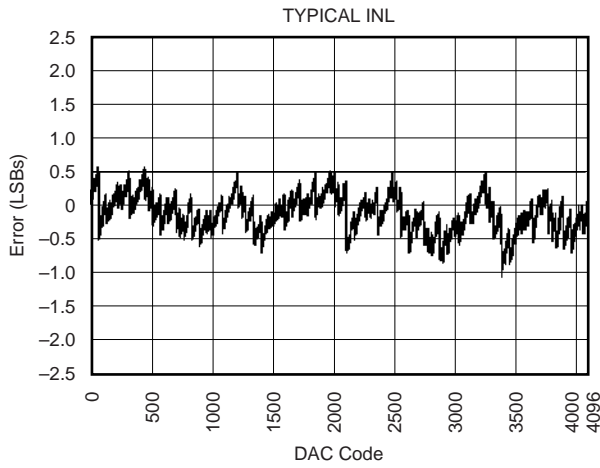
TIMING DIAGRAM



SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
t_1	Clock Pulse HIGH Time		3.0		ns
t_2	Clock Pulse LOW Time		3.0		ns
t_s	Data Setup Time		1.0		ns
t_h	Data Hold Time		1.5		ns
t_{PD}	Propagation Delay Time		1		ns
t_{SET}	Output Settling Time to 0.1%		30.0		ns

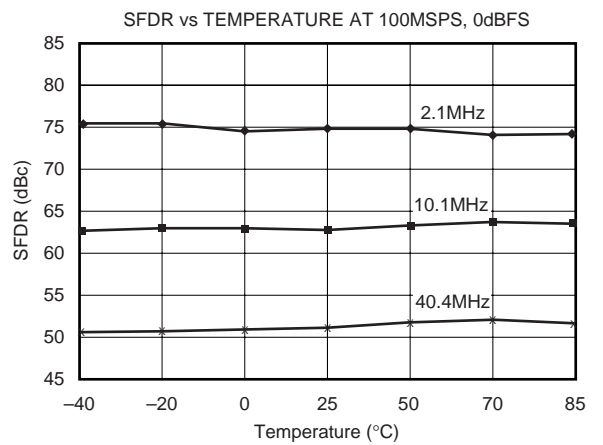
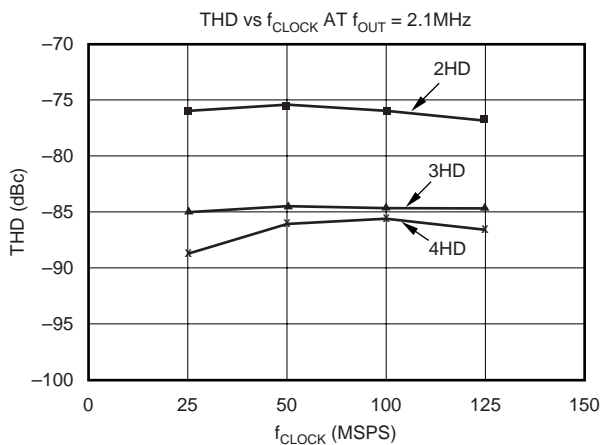
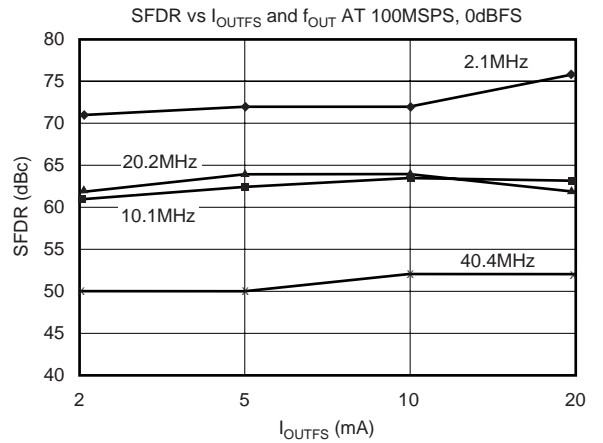
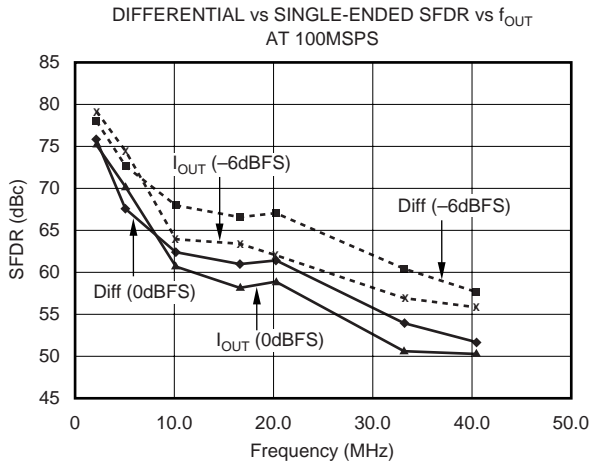
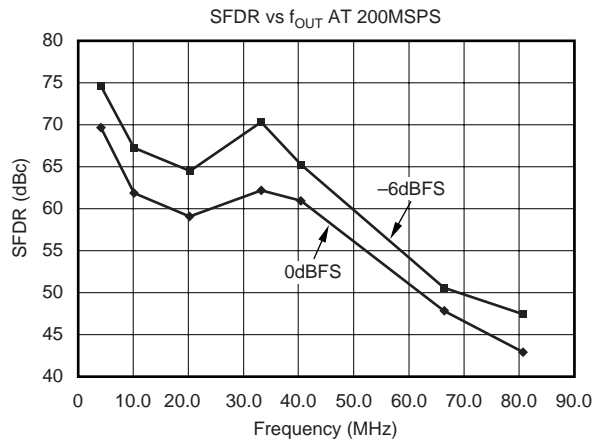
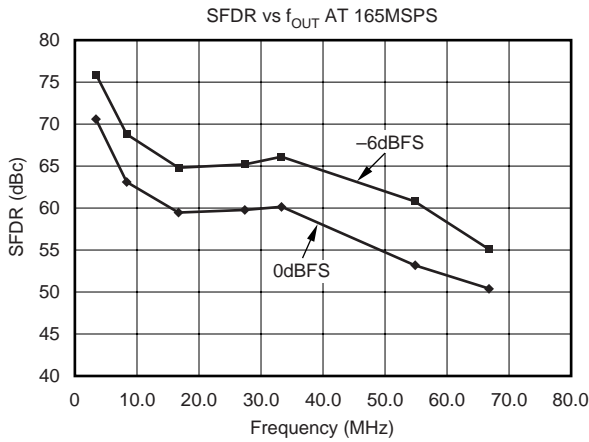
TYPICAL CHARACTERISTICS: $V_D = V_A = +5V$

At $T_A = +25^\circ C$, differential transformer coupled output, 50Ω doubly terminated, and SFDR up to Nyquist, unless otherwise noted.



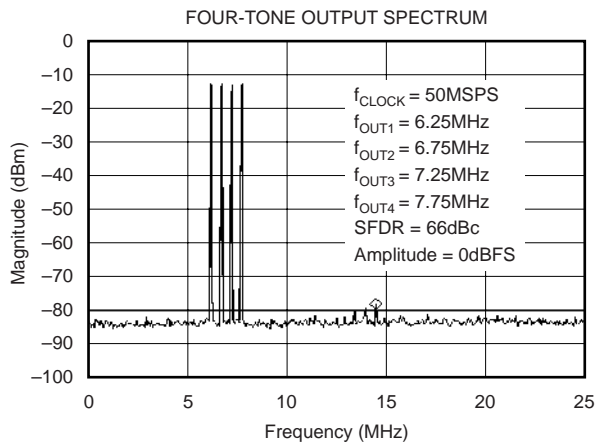
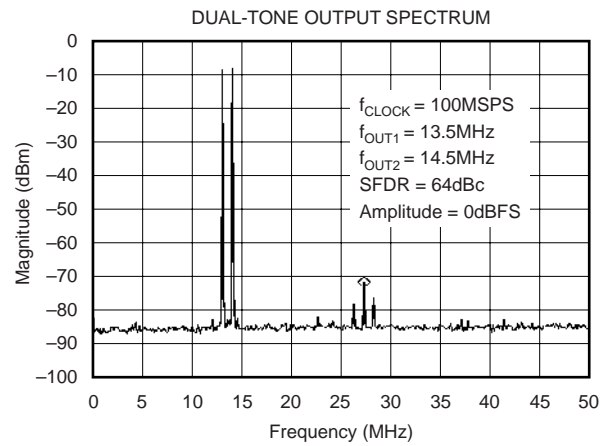
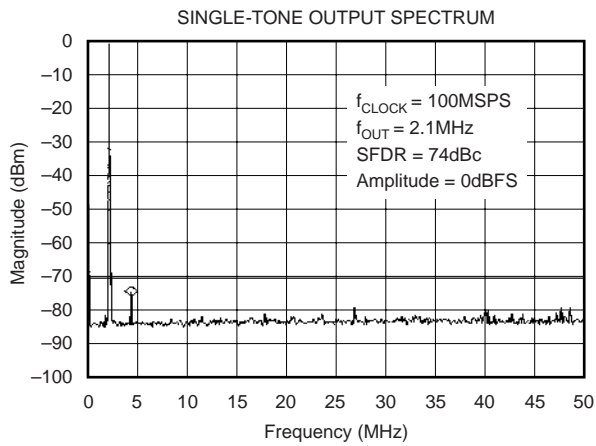
TYPICAL CHARACTERISTICS: $V_D = V_A = +5V$ (Cont.)

At $T_A = +25^\circ C$, differential transformer coupled output, 50Ω doubly terminated, and SFDR up to Nyquist, unless otherwise noted.



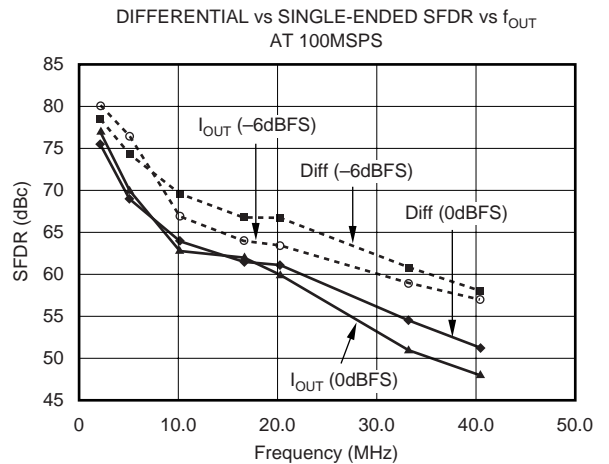
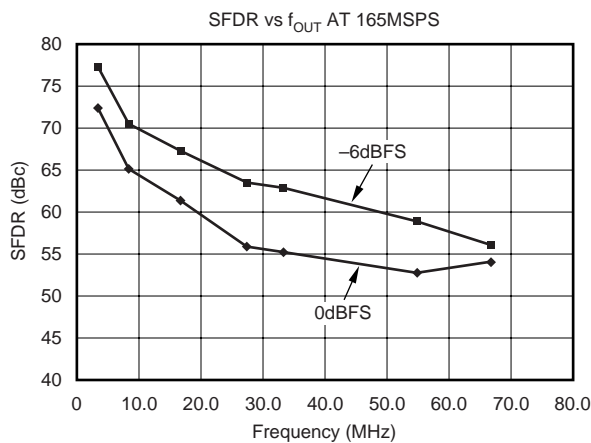
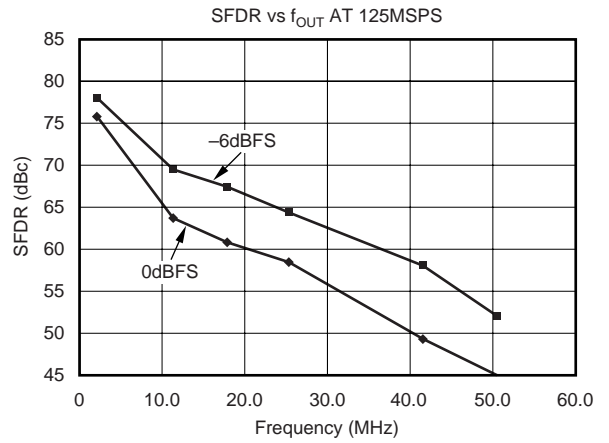
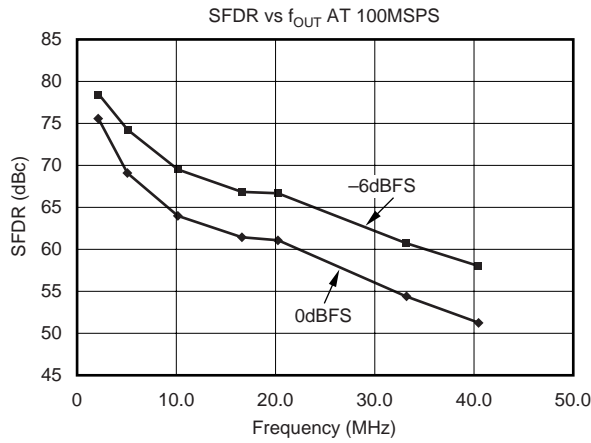
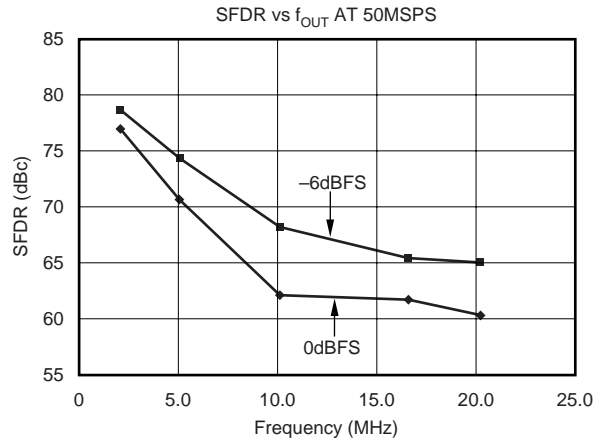
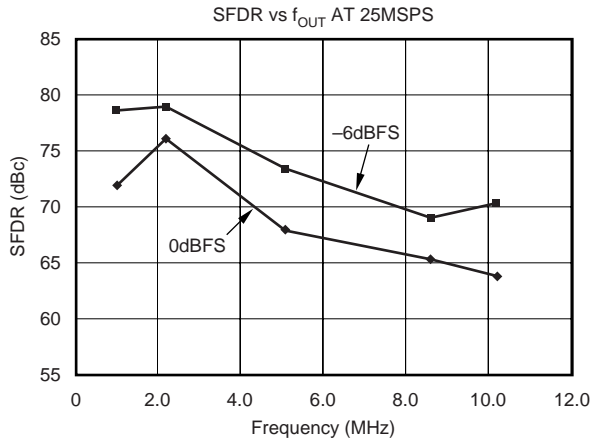
TYPICAL CHARACTERISTICS: $V_D = V_A = +5V$ (Cont.)

At $T_A = +25^\circ\text{C}$, differential transformer coupled output, 50Ω doubly terminated, and SFDR up to Nyquist, unless otherwise noted.



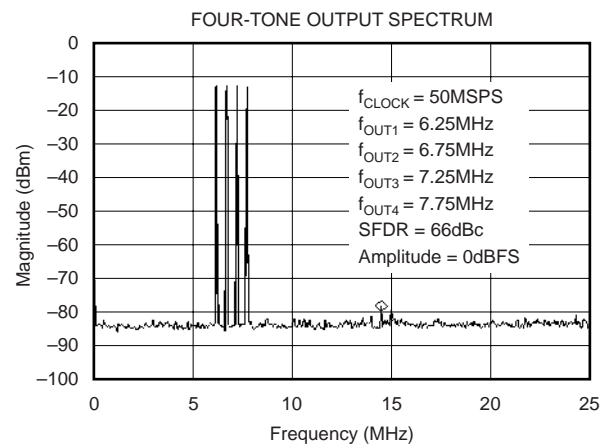
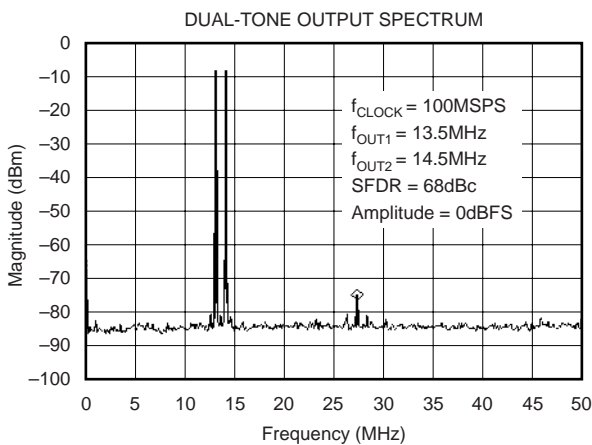
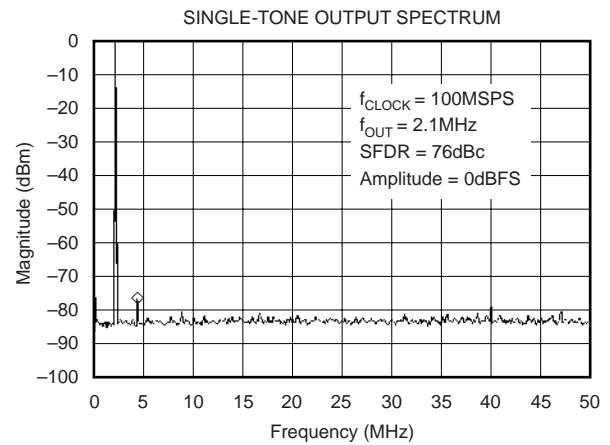
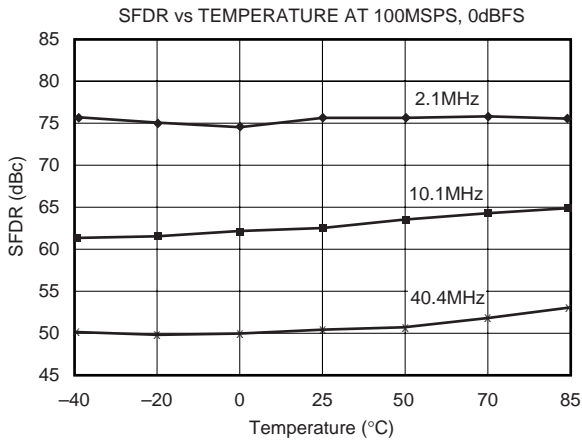
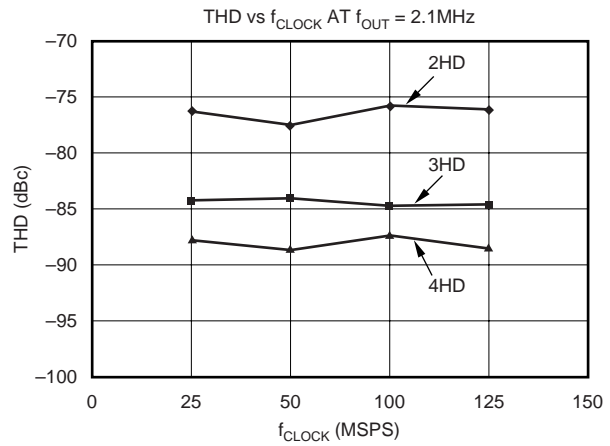
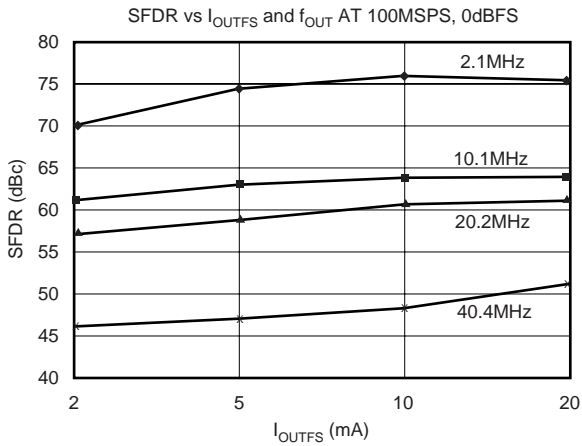
TYPICAL CHARACTERISTICS: $V_D = V_A = +3V$

At $T_A = +25^\circ\text{C}$, differential transformer coupled output, 50Ω doubly terminated, and SFDR up to Nyquist, unless otherwise noted.



TYPICAL CHARACTERISTICS: $V_D = V_A = +3V$ (Cont.)

At $T_A = +25^\circ C$, differential transformer coupled output, 50Ω doubly terminated, and SFDR up to Nyquist, unless otherwise noted.



APPLICATION INFORMATION

THEORY OF OPERATION

The architecture of the DAC902 uses the current steering technique to enable fast switching and a high update rate. The core element within the monolithic DAC is an array of segmented current sources that are designed to deliver a full-scale output current of up to 20mA, as shown in Figure 1. An internal decoder addresses the differential current switches each time the DAC is updated and a corresponding output current is formed by steering all currents to either output summing node, I_{OUT} or $I_{\overline{OUT}}$. The complementary outputs deliver a differential output signal that improves the dynamic performance through reduction of even-order harmonics, common-mode signals (noise), and double the peak-to-peak output signal swing by a factor of two, compared to single-ended operation.

The segmented architecture results in a significant reduction of the glitch energy, improves the dynamic performance (SFDR), and DNL. The current outputs maintain a very high output impedance of greater than 200kΩ.

The full-scale output current is determined by the ratio of the internal reference voltage (1.24V) and an external resistor, R_{SET} . The resulting I_{REF} is internally multiplied by a factor of 32 to produce an effective DAC output current that can range from 2mA to 20mA, depending on the value of R_{SET} .

The DAC902 is split into a digital and an analog portion, each of which is powered through its own supply pin. The digital section includes edge-triggered input latches and the decoder logic, while the analog section comprises the current source array with its associated switches, and the reference circuitry.

DAC TRANSFER FUNCTION

The total output current, I_{OUTFS} , of the DAC902 is the summation of the two complementary output currents:

$$I_{OUTFS} = I_{OUT} + I_{\overline{OUT}} \quad (1)$$

The individual output currents depend on the DAC code and can be expressed as:

$$I_{OUT} = I_{OUTFS} \cdot (\text{Code}/4096) \quad (2)$$

$$I_{\overline{OUT}} = I_{OUTFS} \cdot (4095 - \text{Code}/4096) \quad (3)$$

where 'Code' is the decimal representation of the DAC data input word. Additionally, I_{OUTFS} is a function of the reference current I_{REF} , which is determined by the reference voltage and the external setting resistor, R_{SET} .

$$I_{OUTFS} = 32 \cdot I_{REF} = 32 \cdot V_{REF}/R_{SET} \quad (4)$$

In most cases the complementary outputs will drive resistive loads or a terminated transformer. A signal voltage will develop at each output according to:

$$V_{OUT} = I_{OUT} \cdot R_{LOAD} \quad (5)$$

$$V_{\overline{OUT}} = I_{\overline{OUT}} \cdot R_{LOAD} \quad (6)$$

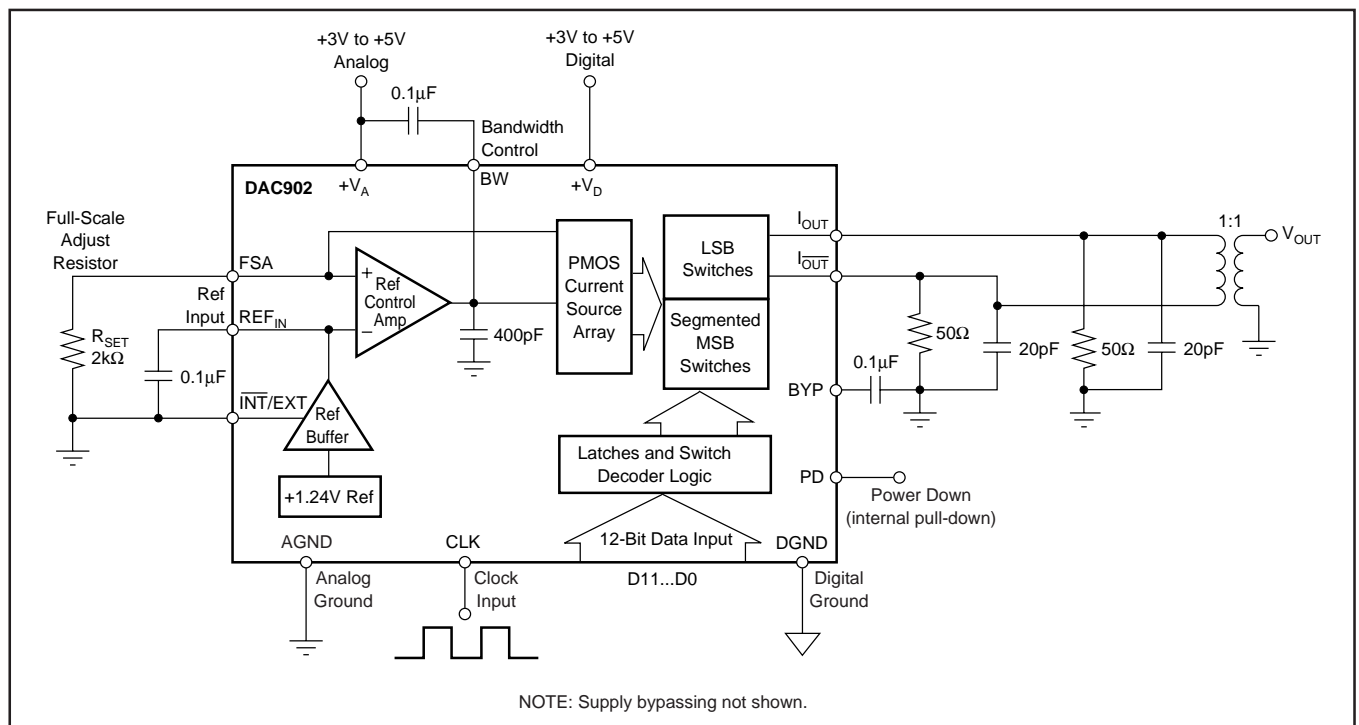


FIGURE 1. Functional Block Diagram of the DAC902.

The value of the load resistance is limited by the output compliance specification of the DAC902. To maintain specified linearity performance, the voltage for I_{OUT} and I_{OUT} should not exceed the maximum allowable compliance range.

The two single-ended output voltages can be combined to find the total differential output swing:

$$V_{OUTDIFF} = V_{OUT} - V_{OUT} = \frac{(2 \cdot \text{Code} - 4095)}{4096} \cdot I_{OUTFS} \cdot R_{LOAD} \quad (7)$$

ANALOG OUTPUTS

The DAC902 provides two complementary current outputs, I_{OUT} and I_{OUT} . The simplified circuit of the analog output stage representing the differential topology is shown in Figure 2. The output impedance of $200k\Omega \parallel 12pF$ for I_{OUT} and I_{OUT} results from the parallel combination of the differential switches, along with the current sources and associated parasitic capacitances.

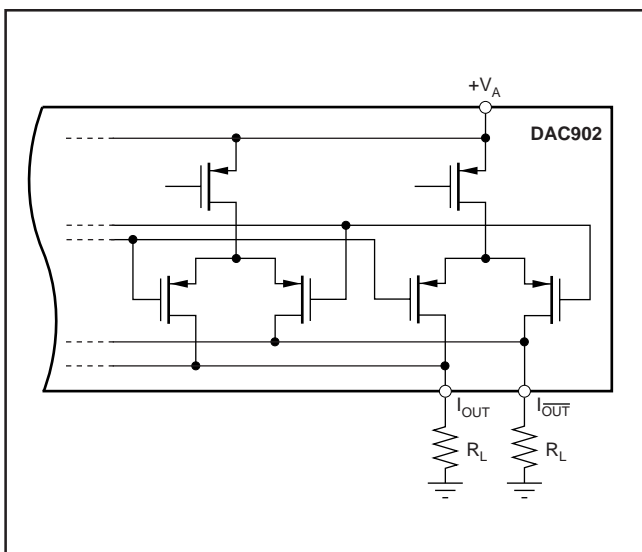


FIGURE 2. Equivalent Analog Output.

The signal voltage swing that may develop at the two outputs, I_{OUT} and I_{OUT} , is limited by a negative and positive compliance. The negative limit of $-1V$ is given by the breakdown voltage of the CMOS process, and exceeding it will compromise the reliability of the DAC902, or even cause permanent damage. With the full-scale output set to $20mA$, the positive compliance equals $1.25V$, operating with $+V_D = 5V$. Note that the compliance range decreases to about $1V$ for a selected output current of $I_{OUTFS} = 2mA$. Care should be taken that the configuration of DAC902 does not exceed the compliance range to avoid degradation of the distortion performance and integral linearity.

Best distortion performance is typically achieved with the maximum full-scale output signal limited to approximately $0.5V$. This is the case for a 50Ω doubly-terminated load and a $20mA$ full-scale output current. A variety of loads can be adapted to the output of the DAC902 by selecting a suitable transformer while maintaining optimum voltage levels at

I_{OUT} and I_{OUT} . Furthermore, using the differential output configuration in combination with a transformer will be instrumental for achieving excellent distortion performance. Common-mode errors, such as even-order harmonics or noise, can be substantially reduced. This is particularly the case with high output frequencies and/or output amplitudes below full-scale.

For those applications requiring the optimum distortion and noise performance, it is recommended to select a full-scale output of $20mA$. A lower full-scale range down to $2mA$ may be considered for applications that require a low power consumption, but can tolerate a reduced performance level.

INPUT CODE (D11 - D0)	I_{OUT}	I_{OUT}
1111 1111 1111	$20mA$	$0mA$
1000 0000 0000	$10mA$	$10mA$
0000 0000 0000	$0mA$	$20mA$

TABLE I. Input Coding vs Analog Output Current.

OUTPUT CONFIGURATIONS

The current output of the DAC902 allows for a variety of configurations, some of which are illustrated below. As mentioned previously, utilizing the converter's differential outputs will yield the best dynamic performance. Such a differential output circuit may consist of an RF transformer or a differential amplifier configuration. The transformer configuration is ideal for most applications with ac coupling, while op amps will be suitable for a DC-coupled configuration.

The single-ended configuration may be considered for applications requiring a unipolar output voltage. Connecting a resistor from either one of the outputs to ground will convert the output current into a ground-referenced voltage signal. To improve on the DC linearity, an I-to-V converter can be used instead. This will result in a negative signal excursion and, therefore, requires a dual supply amplifier.

DIFFERENTIAL WITH TRANSFORMER

Using an RF transformer provides a convenient way of converting the differential output signal into a single-ended signal while achieving excellent dynamic performance (see Figure 3). The appropriate transformer should be carefully selected based on the output frequency spectrum and impedance requirements. The differential transformer configuration has the benefit of significantly reducing common-mode signals, thus improving the dynamic performance over a wide range of frequencies. Furthermore, by selecting a suitable impedance ratio (winding ratio), the transformer can be used to provide optimum impedance matching while controlling the compliance voltage for the converter outputs. The model shown in Figure 3 has a $1:1$ ratio and may be used to interface the DAC902 to a 50Ω load. This results in a 25Ω load for each of the outputs, I_{OUT} and I_{OUT} . The output signals are ac coupled and inherently isolated because of its magnetic coupling.

As shown in Figure 3, the transformer's center tap is connected to ground. This forces the voltage swing on I_{OUT} and $I_{\overline{OUT}}$ to be centered at 0V. In this case the two resistors, R_S , may be replaced with one, R_{DIFF} , or omitted altogether. This approach should only be used if all components are close to each other, and if the VSWR is not important. A complete power transfer from the DAC output to the load can be realized, but the output compliance range should be observed. Alternatively, if the center tap is not connected, the signal swing will be centered at $R_S \cdot I_{OUTFS}/2$. However, in this case, the two resistors (R_S) must be used to enable the necessary DC-current flow for both outputs.

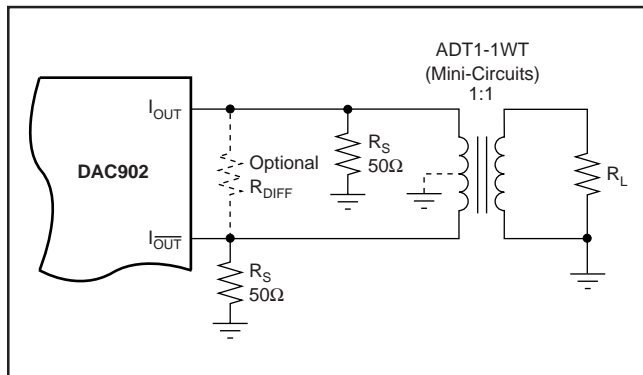


FIGURE 3. Differential Output Configuration Using an RF Transformer.

DIFFERENTIAL CONFIGURATION USING AN OP AMP

If the application requires a DC-coupled output, a difference amplifier may be considered, as shown in Figure 4. Four external resistors are needed to configure the voltage-feedback op amp OPA680 as a difference amplifier performing the differential to single-ended conversion. Under the shown configuration, the DAC902 generates a differential output signal of 0.5Vp-p at the load resistors, R_L . The resistor values shown were selected to result in a symmetric 25 Ω loading for each of the current outputs since the input impedance of the difference amplifier is in parallel to resistors R_L , and should be considered.

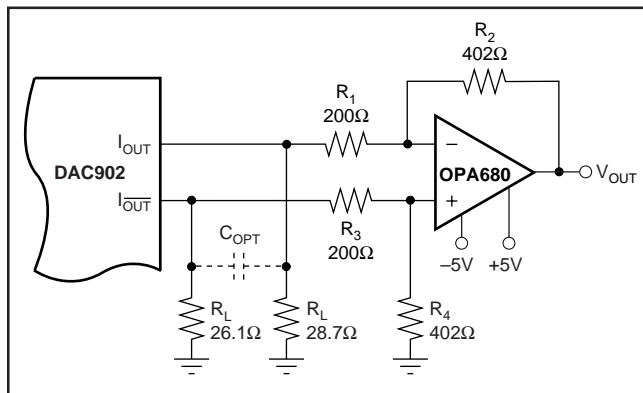


FIGURE 4. Difference Amplifier Provides Differential to Single-Ended Conversion and DC-Coupling.

The OPA680 is configured for a gain of two. Therefore, operating the DAC902 with a 20mA full-scale output will produce a voltage output of $\pm 1V$. This requires the amplifier to operate off of a dual power supply ($\pm 5V$). The tolerance of the resistors typically sets the limit for the achievable common-mode rejection. An improvement can be obtained by fine tuning resistor R_4 .

This configuration typically delivers a lower level of ac performance than the previously discussed transformer solution because the amplifier introduces another source of distortion. Suitable amplifiers should be selected based on their slew-rate, harmonic distortion, and output swing capabilities. High-speed amplifiers like the OPA680 or OPA687 may be considered. The ac performance of this circuit may be improved by adding a small capacitor, C_{DIFF} , between the outputs I_{OUT} and $I_{\overline{OUT}}$ (as shown in Figure 4). This will introduce a real pole to create a low-pass filter in order to slew-limiting the DACs fast output signal steps that otherwise could drive the amplifier into slew-limitations or into an overload condition; both would cause excessive distortion. The difference amplifier can easily be modified to add a level shift for applications requiring the single-ended output voltage to be unipolar, i.e., swing between 0V and +2V.

DUAL TRANSIMPEDANCE OUTPUT CONFIGURATION

The circuit example of Figure 5 shows the signal output currents connected into the summing junction of the OPA2680, which is set up as a transimpedance stage, or I-to-V converter. With this circuit, the DAC's output will be kept at a virtual ground, minimizing the effects of output impedance variations, which results in the best DC linearity (INL). However, as mentioned previously, the amplifier may be driven into slew-rate limitations, and produce unwanted distortion. This may occur especially at high DAC update rates.

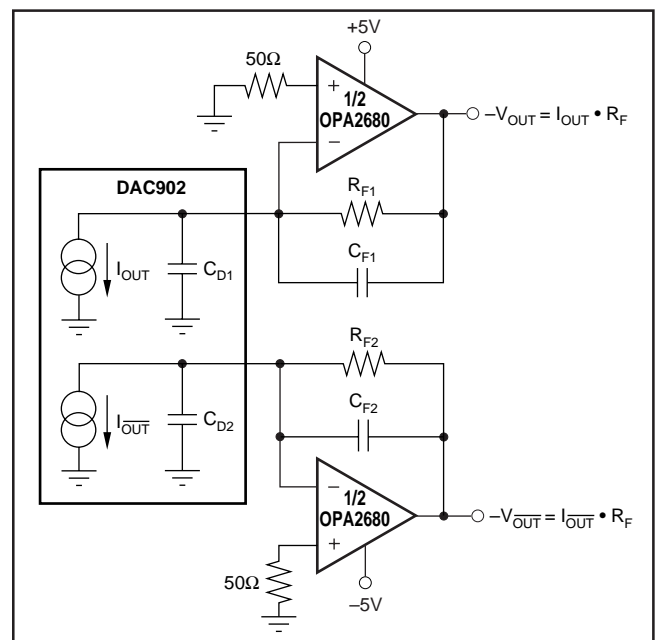


FIGURE 5. Dual, Voltage-Feedback Amplifier OPA2680 Forms Differential Transimpedance Amplifier.

The DC gain for this circuit is equal to feedback resistor R_F . At high frequencies, the DAC output impedance (C_{D1} , C_{D2}) will produce a zero in the noise gain for the OPA2680 that may cause peaking in the closed-loop frequency response. C_F is added across R_F to compensate for this noise-gain peaking. To achieve a flat transimpedance frequency response, the pole in each feedback network should be set to:

$$\frac{1}{2\pi R_F C_F} = \frac{\sqrt{\text{GBP}}}{4\pi R_F C_D} \quad (8)$$

with $\text{GBP} = \text{Gain Bandwidth Product of OPA}$

which will give a corner frequency $f_{-3\text{dB}}$ of approximately:

$$f_{-3\text{dB}} = \frac{\sqrt{\text{GBP}}}{2\pi R_F C_D} \quad (9)$$

The full-scale output voltage is simply defined by the product of $I_{\text{OUTFS}} \cdot R_F$, and has a negative unipolar excursion. To improve on the ac performance of this circuit, adjustment of R_F and/or I_{OUTFS} should be considered. Further extensions of this application example may include adding a differential filter at the OPA2680's output followed by a transformer, in order to convert to a single-ended signal.

SINGLE-ENDED CONFIGURATION

Using a single load resistor connected to the one of the DAC outputs, a simple current-to-voltage conversion can be accomplished. The circuit in Figure 6 shows a 50Ω resistor connected to I_{OUT} , providing the termination of the further connected 50Ω cable. Therefore, with a nominal output current of 20mA , the DAC produces a total signal swing of 0V to 0.5V into the 25Ω load.

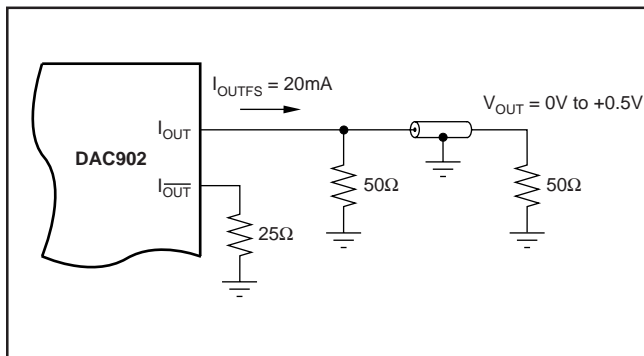


FIGURE 6. Driving a Doubly-Terminated 50Ω Cable Directly.

Different load resistor values may be selected as long as the output compliance range is not exceeded. Additionally, the output current, I_{OUTFS} , and the load resistor may be mutually adjusted to provide the desired output signal swing and performance.

INTERNAL REFERENCE OPERATION

The DAC902 has an on-chip reference circuit that comprises a 1.24V bandgap reference and a control amplifier. Grounding pin 16, $\overline{\text{INT/EXT}}$, enables the internal reference operation. The full-scale output current, I_{OUTFS} , of the DAC902 is determined by the reference voltage, V_{REF} , and the value of resistor R_{SET} . I_{OUTFS} can be calculated by:

$$I_{\text{OUTFS}} = 32 \cdot I_{\text{REF}} = 32 \cdot V_{\text{REF}} / R_{\text{SET}} \quad (10)$$

As shown in Figure 7, the external resistor R_{SET} connects to the FSA pin (Full-Scale Adjust). The reference control amplifier operates as a V-to-I converter producing a reference current, I_{REF} , which is determined by the ratio of V_{REF} and R_{SET} , as shown in Equation 10. The full-scale output current, I_{OUTFS} , results from multiplying I_{REF} by a fixed factor of 32.

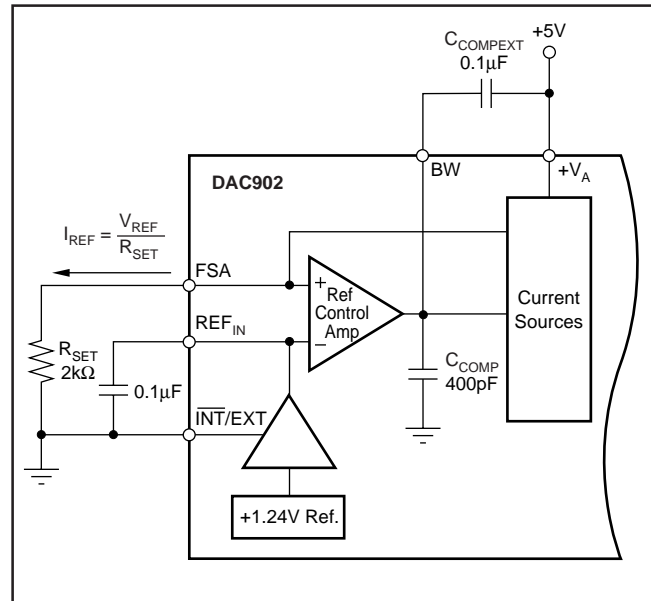


FIGURE 7. Internal Reference Configuration.

Using the internal reference, a $2\text{k}\Omega$ resistor value results in a 20mA full-scale output. Resistors with a tolerance of 1% or better should be considered. Selecting higher values, the converter output can be adjusted from 20mA down to 2mA . Operating the DAC902 at lower than 20mA output currents may be desirable for reasons of reducing the total power consumption, improving the distortion performance, or observing the output compliance voltage limitations for a given load condition.

It is recommended to bypass the REF_{IN} pin with a ceramic chip capacitor of $0.1\mu\text{F}$ or more. The control amplifier is internally compensated, and its small signal bandwidth is approximately 3MHz . To improve the ac performance, an additional capacitor (C_{COMPEXT}) should be applied between the BW pin and the analog supply, $+V_A$, as shown in Figure 7. Using a $0.1\mu\text{F}$ capacitor, the small-signal bandwidth and output impedance of the control amplifier is further diminished, reducing the noise that is fed into the current source array. This also helps shunting feedthrough signals more effectively, and improving the noise performance of the DAC902.

EXTERNAL REFERENCE OPERATION

The internal reference can be disabled by applying a logic HIGH (+V_A) to pin $\overline{\text{INT}}/\text{EXT}$. An external reference voltage can then be driven into the REF_{IN} pin, which in this case functions as an input, as shown in Figure 8. The use of an external reference may be considered for applications that require higher accuracy and drift performance, or to add the ability of dynamic gain control.

While a 0.1 μF capacitor is recommended to be used with the internal reference, it is optional for the external reference operation. The reference input, REF_{IN}, has a high input impedance (1M Ω) and can easily be driven by various sources. Note that the voltage range of the external reference should stay within the compliance range of the reference input (0.1V to 1.25V).

DIGITAL INPUTS

The digital inputs, D0 (LSB) through D11 (MSB) of the DAC902 accepts standard-positive binary coding. The digital input word is latched into a master-slave latch with the rising edge of the clock. The DAC output becomes updated with the following rising clock edge (refer to the specification table and timing diagram for details). The best performance will be achieved with a 50% clock duty cycle, however, the duty cycle may vary as long as the timing specifications are met. Additionally, the setup and hold times may be chosen within their specified limits.

All digital inputs are CMOS compatible. The logic thresholds depend on the applied digital supply voltage such that they are set to approximately half the supply voltage; $V^{\text{th}} = +V_{\text{D}}/2$ ($\pm 20\%$ tolerance). The DAC902 is designed to operate over a supply range of 2.7V to 5.5V.

POWER-DOWN MODE

The DAC902 features a power-down function that can be used to reduce the supply current to less than 9mA over the specified supply range of 2.7V to 5.5V. Applying a logic HIGH to the PD pin will initiate the power-down mode, while a logic LOW enables normal operation. When left unconnected, an internal active pull-down circuit will enable the normal operation of the converter.

GROUNDING, DECOUPLING AND LAYOUT INFORMATION

Proper grounding and bypassing, short lead length, and the use of ground planes are particularly important for high frequency designs. Multilayer pc-boards are recommended for best performance since they offer distinct advantages such as minimization of ground impedance, separation of signal layers by ground layers, etc.

The DAC902 uses separate pins for its analog and digital supply and ground connections. The placement of the decoupling capacitor should be such that the analog supply (+V_A) is bypassed to the analog ground (AGND), and the digital supply bypassed to the digital ground (DGND). In most cases 0.1 μF ceramic chip capacitors at each supply pin are adequate to provide a low impedance decoupling path. Keep in mind that their effectiveness largely depends on the proximity to the individual supply and ground pins. Therefore, they should be located as close as physically possible to those device leads. Whenever possible, the capacitors should be located immediately under each pair of supply/ground pins on the reverse side of the pc-board. This layout approach will minimize the parasitic inductance of component leads and pcb runs.

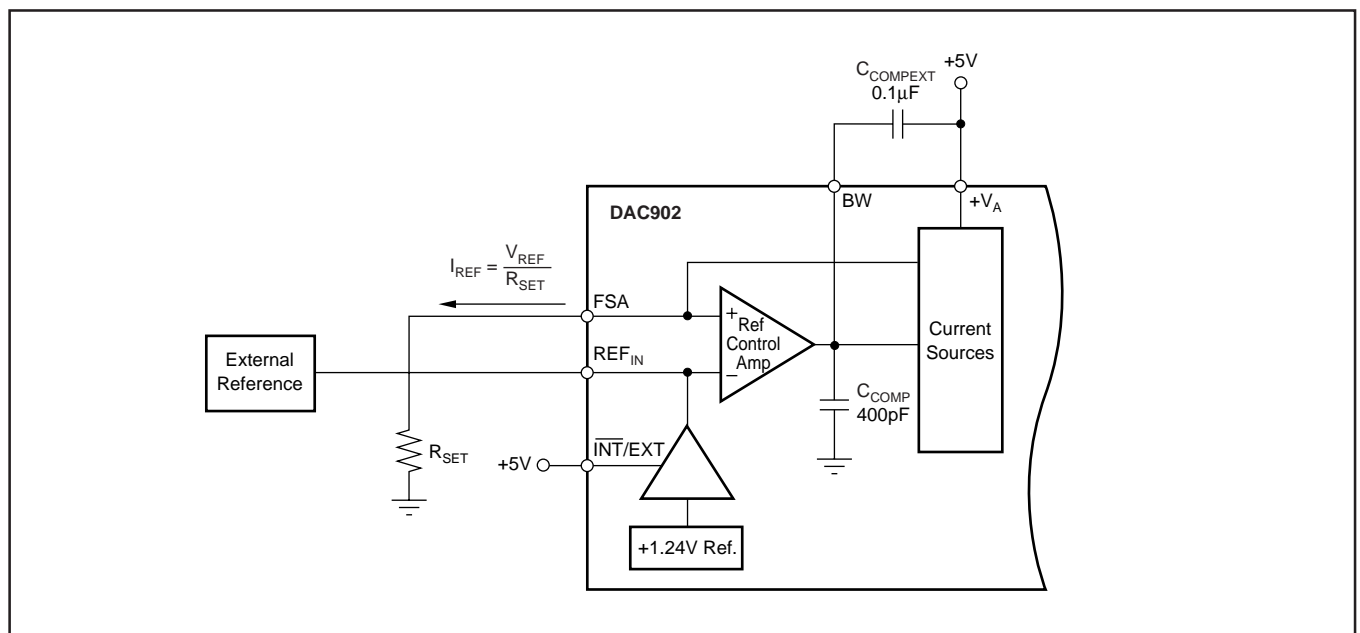


FIGURE 8. External Reference Configuration.

Further supply decoupling with surface mount tantalum capacitors (1uF to 4.7uF) may be added as needed in proximity of the converter.

Low noise is required for all supply and ground connections to the DAC902. It is recommended to use a multilayer pc-board utilizing separate power and ground planes. Mixed signal designs require particular attention to the routing of the different supply currents and signal traces. Generally, analog supply and ground planes should only extend into analog signal areas, such as the DAC output signal and the reference signal. Digital supply and ground planes must be confined to areas covering digital circuitry, including the digital input lines connecting to the converter, as well as the clock signal. The analog and digital ground planes should be joined together at one point underneath the DAC. This can be realized with a short track of approximately 1/8" (3mm).

The power to the DAC902 should be provided through the use of wide pcb runs or planes. Wide runs will present a lower trace impedance, further optimizing the supply decoupling. The analog and digital supplies for the converter should only be connected together at the supply connector of the pc-board. In the case of only one supply voltage being available to power the DAC, ferrite beads along with bypass capacitors may be used to create an LC filter. This will generate a low-noise analog supply voltage that can then be connected to the $+V_A$ supply pin of the DAC902.

While designing the layout, it is important to keep the analog signal traces separate from any digital line, in order to prevent noise coupling onto the analog signal path.

MC7805/LM7805/MC7805A

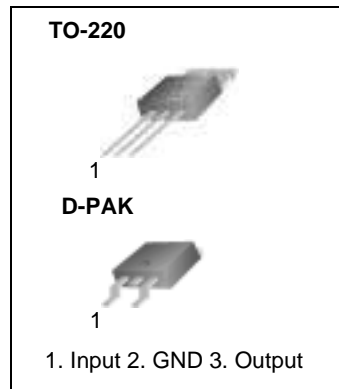
3-Terminal 1A Positive Voltage Regulator

Features

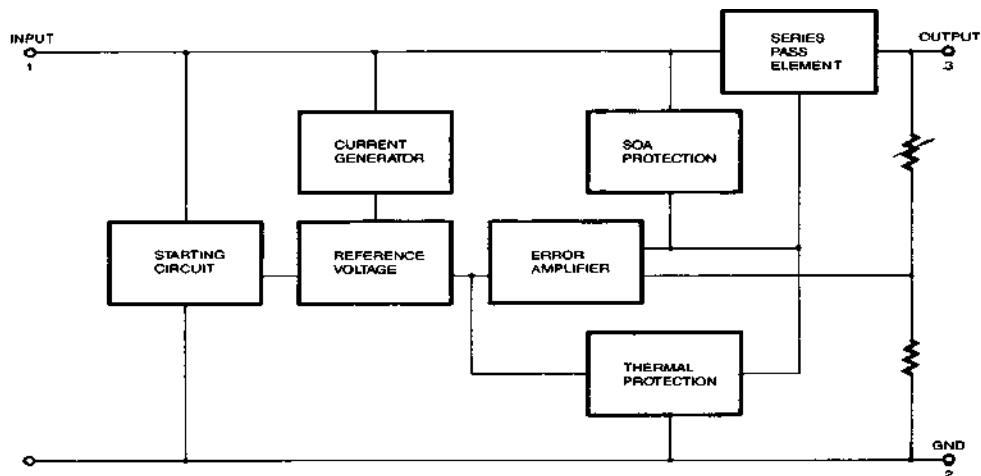
- Output Current up to 1A
- Output Voltages of 5V
- Thermal Overload Protection
- Short Circuit Protection
- Output Transistor Safe Operating Area Protection

Description

The MC7805/LM7805/MC7805A series of three terminal positive regulators are available in the TO-220/D-PAK package and with 5V fixed output voltages, making them useful in a wide range of applications. Each type employs internal current limiting, thermal shut down and safe operating area protection, making it essentially indestructible. If adequate heat sinking is provided, they can deliver over 1A output current. Although designed primarily as fixed voltage regulators, these devices can be used with external components to obtain adjustable voltages and currents.



Internal Block Diagram



Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Input Voltage (for $V_O = 5V$ to $18V$) (for $V_O = 24V$)	V_I	35	V
	V_I	40	V
Thermal Resistance Junction-Cases (TO-220)	$R_{\theta JC}$	5	$^{\circ}C/W$
Thermal Resistance Junction-Air (TO-220)	$R_{\theta JA}$	65	$^{\circ}C/W$
Operating Temperature Range	T_{OPR}	0 ~ +125	$^{\circ}C$
Storage Temperature Range	T_{STG}	-65 ~ +150	$^{\circ}C$

Electrical Characteristics (MC7805/LM7805)

(Refer to test circuit, $0^{\circ}C < T_J < 125^{\circ}C$, $I_O = 500mA$, $V_I = 10V$, $C_I = 0.33\mu F$, $C_O = 0.1\mu F$, unless otherwise specified)

Parameter	Symbol	Conditions	MC7805/LM7805			Unit	
			Min.	Typ.	Max.		
Output Voltage	V_O	$T_J = +25^{\circ}C$	4.8	5.0	5.2	V	
		$5.0mA \leq I_O \leq 1.0A$, $P_O \leq 15W$ $V_I = 7V$ to $20V$	4.75	5.0	5.25		
Line Regulation (Note1)	Regline	$T_J = +25^{\circ}C$	$V_O = 7V$ to $25V$	-	4.0	100	mV
			$V_I = 8V$ to $12V$	-	1.6	50	
Load Regulation (Note1)	Regload	$T_J = +25^{\circ}C$	$I_O = 5.0mA$ to $1.5A$	-	9	100	mV
			$I_O = 250mA$ to $750mA$	-	4	50	
Quiescent Current	I_Q	$T_J = +25^{\circ}C$	-	5.0	8.0	mA	
Quiescent Current Change	ΔI_Q	$I_O = 5mA$ to $1.0A$	-	0.03	0.5	mA	
		$V_I = 7V$ to $25V$	-	0.3	1.3		
Output Voltage Drift	$\Delta V_O / \Delta T$	$I_O = 5mA$	-	-0.8	-	mV/ $^{\circ}C$	
Output Noise Voltage	V_N	$f = 10Hz$ to $100KHz$, $T_A = +25^{\circ}C$	-	42	-	$\mu V/V_O$	
Ripple Rejection	RR	$f = 120Hz$ $V_O = 8V$ to $18V$	62	73	-	dB	
Dropout Voltage	V_{Drop}	$I_O = 1A$, $T_J = +25^{\circ}C$	-	2	-	V	
Output Resistance	r_O	$f = 1KHz$	-	15	-	m Ω	
Short Circuit Current	I_{SC}	$V_I = 35V$, $T_A = +25^{\circ}C$	-	230	-	mA	
Peak Current	I_{PK}	$T_J = +25^{\circ}C$	-	2.2	-	A	

Note:

1. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty is used.

Electrical Characteristics (MC7805A)

(Refer to the test circuits. $0^{\circ}\text{C} < T_J < 125^{\circ}\text{C}$, $I_O = 1\text{A}$, $V_I = 10\text{V}$, $C_I = 0.33\mu\text{F}$, $C_O = 0.1\mu\text{F}$, unless otherwise specified)

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit	
Output Voltage	V_O	$T_J = +25^{\circ}\text{C}$	4.9	5	5.1	V	
		$I_O = 5\text{mA to } 1\text{A}$, $P_O \leq 15\text{W}$ $V_I = 7.5\text{V to } 20\text{V}$	4.8	5	5.2		
Line Regulation (Note1)	Regline	$V_I = 7.5\text{V to } 25\text{V}$ $I_O = 500\text{mA}$	-	5	50	mV	
		$V_I = 8\text{V to } 12\text{V}$	-	3	50		
		$T_J = +25^{\circ}\text{C}$	$V_I = 7.3\text{V to } 20\text{V}$	-	5		50
			$V_I = 8\text{V to } 12\text{V}$	-	1.5		25
Load Regulation (Note1)	Regload	$T_J = +25^{\circ}\text{C}$ $I_O = 5\text{mA to } 1.5\text{A}$	-	9	100	mV	
		$I_O = 5\text{mA to } 1\text{A}$	-	9	100		
		$I_O = 250\text{mA to } 750\text{mA}$	-	4	50		
Quiescent Current	I_Q	$T_J = +25^{\circ}\text{C}$	-	5.0	6	mA	
Quiescent Current Change	ΔI_Q	$I_O = 5\text{mA to } 1\text{A}$	-	-	0.5	mA	
		$V_I = 8\text{V to } 25\text{V}$, $I_O = 500\text{mA}$	-	-	0.8		
		$V_I = 7.5\text{V to } 20\text{V}$, $T_J = +25^{\circ}\text{C}$	-	-	0.8		
Output Voltage Drift	$\Delta V/\Delta T$	$I_O = 5\text{mA}$	-	-0.8	-	mV/ $^{\circ}\text{C}$	
Output Noise Voltage	V_N	$f = 10\text{Hz to } 100\text{KHz}$ $T_A = +25^{\circ}\text{C}$	-	10	-	$\mu\text{V}/V_O$	
Ripple Rejection	RR	$f = 120\text{Hz}$, $I_O = 500\text{mA}$ $V_I = 8\text{V to } 18\text{V}$	-	68	-	dB	
Dropout Voltage	V_{Drop}	$I_O = 1\text{A}$, $T_J = +25^{\circ}\text{C}$	-	2	-	V	
Output Resistance	r_O	$f = 1\text{KHz}$	-	17	-	$\text{m}\Omega$	
Short Circuit Current	ISC	$V_I = 35\text{V}$, $T_A = +25^{\circ}\text{C}$	-	250	-	mA	
Peak Current	I_{PK}	$T_J = +25^{\circ}\text{C}$	-	2.2	-	A	

Note:

1. Load and line regulation are specified at constant junction temperature. Change in V_O due to heating effects must be taken into account separately. Pulse testing with low duty is used.

Typical Performance Characteristics

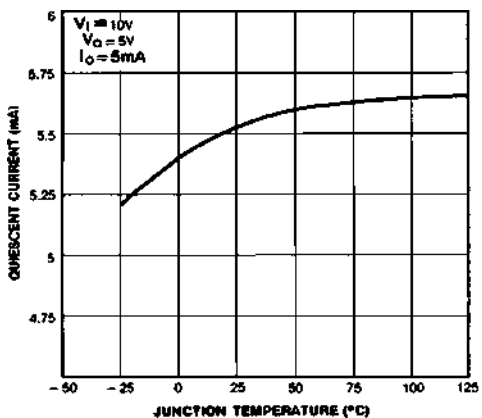


Figure 1. Quiescent Current

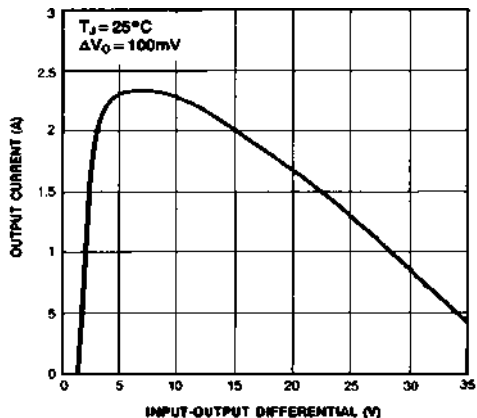


Figure 2. Peak Output Current

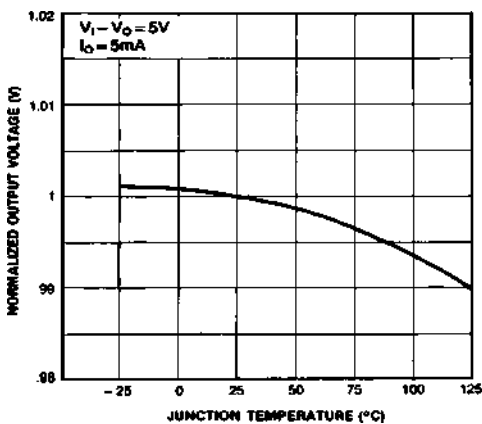


Figure 3. Output Voltage

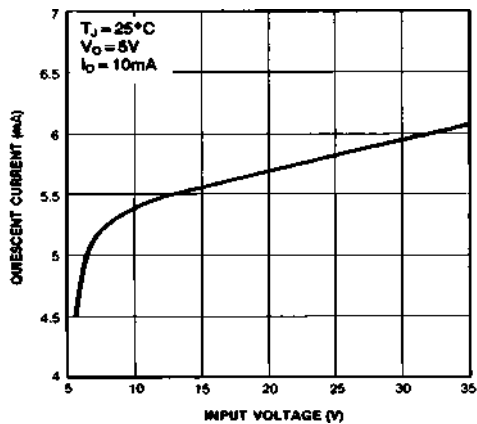


Figure 4. Quiescent Current

Typical Applications

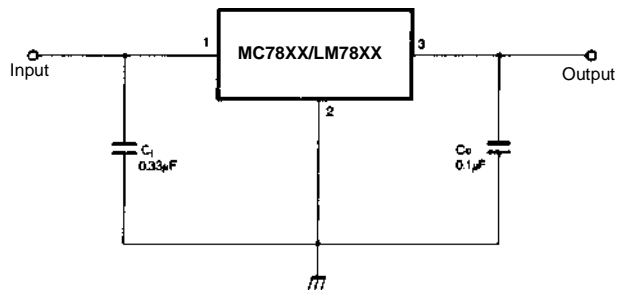


Figure 5. DC Parameters

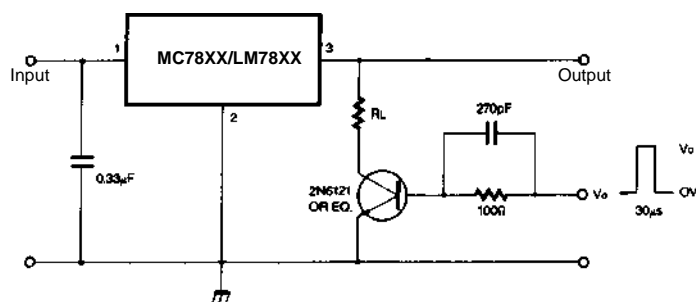


Figure 6. Load Regulation

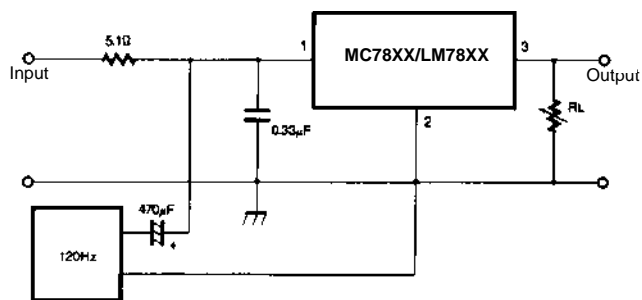


Figure 7. Ripple Rejection

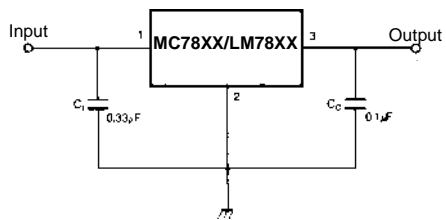


Figure 8. Fixed Output Regulator

Mechanical Dimensions

Package

TO-220

