

Diseño e Implementación de Generador de Señal BPSK con Parámetros Regulables



Trabajo final presentado como requisito para la obtención del título de grado de Ingeniero Electrónico

Autor:
Sr. Mariano Damián Morel

Dr. Ing. Luciana De Micco
Director

Ing. Lucas Rabioglio
Co-director

3 de octubre de 2022

Laboratorio de Sistemas Caóticos

Departamento de Ingeniería Electrónica y Computación
Facultad de Ingeniería
Universidad Nacional de Mar del Plata
Argentina



RINFI se desarrolla en forma conjunta entre el INTEMA y la Biblioteca de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata.

Tiene como objetivo recopilar, organizar, gestionar, difundir y preservar documentos digitales en Ingeniería, Ciencia y Tecnología de Materiales y Ciencias Afines.

A través del Acceso Abierto, se pretende aumentar la visibilidad y el impacto de los resultados de la investigación, asumiendo las políticas y cumpliendo con los protocolos y estándares internacionales para la interoperabilidad entre repositorios



Esta obra está bajo una [Licencia Creative Commons Atribución-
NoComercial-CompartirIgual 4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/).

Diseño e Implementación de Generador de Señal BPSK con Parámetros Regulables



Trabajo final presentado como requisito para la obtención del título de grado de Ingeniero Electrónico

Autor:
Sr. Mariano Damián Morel

Dr. Ing. Luciana De Micco
Director

Ing. Lucas Rabioglio
Co-director

3 de octubre de 2022

Laboratorio de Sistemas Caóticos

Departamento de Ingeniería Electrónica y Computación
Facultad de Ingeniería
Universidad Nacional de Mar del Plata
Argentina

Agradecimientos

No ha sido sencillo llegar a este punto, y estoy convencido de que no lo podría haber hecho solo. Sin dudas es un momento muy importante para mí, soñado, y que afortunadamente puedo compartir con las personas que quiero. Esta primera página da en parte sentido a las páginas siguientes y con el corazón es un gracias infinito.

A mis padres mentores de la vida, cuyos valores y ejemplos son incalculables, su acompañamiento amor y bondad me hacen ser un hombre justo y completo. Los amo, y agradezco a la vida por tenerlos conmigo.

A toda mi familia, mis hermanos y sus parejas, sobrinos, primos y a mi tía por tener un pedazo de ser de cada uno de ellos, en mi impronta y personalidad.

A los que ya no están físicamente, pero me acompañan a diario, mi tío Carlos y mi abuela Assunta, quienes fueron personas fuera de serie.

A mis amigos, mi otra familia, quienes están siempre, apoyando, alentando, quienes se alegran por cada logro.

A los que ya no están por cosas de la vida, que tuvieron un paso en algún momento determinado y que han acompañado y apoyado, los recordaré con cariño.

A todas esas personas que aparecieron recientemente por regalo de la vida y que brindan toda su paciencia y su tiempo acompañándome.

A la Dra. Luciana De Micco, directora de mi proyecto final, a quien debo mencionar especialmente, quien desde el inicio de este trabajo, se convirtió en una fuente inagotable de motivación, aliento, paciencia y conocimiento en momentos donde el camino se tornaba con escollos. A todo el laboratorio de Sistemas Caóticos, los ingenieros Maximiliano Antonelli, Juan Pablo Barrangú, Raúl Lopresti y al Co-director de mi proyecto, Lucas Rabioglio, quienes estuvieron desde el primer día aportando su granito de arena. Es un sincero gracias, aunque cualquier palabra de agradecimiento hacia ustedes quedará pequeña. Por fortuna, me tocó estar en el lugar, momento y con las personas correctas, imposible pedir más.

Por último a aquellos docentes (y educadores) de los diferentes años que con sus palabras y ayuda que atesoro, las recuerden o no, me han conducido a este hermoso momento: Rogelio García Retegui, Gustavo Meschino, Carolina Di Benedetto, Graciela Fernandez, Claudio González, Virginia Ballarín, Guillermo Abras y Jorge Petrillo. A todos los docentes, no docentes, compañeros de la carrera y a la Facultad de Ingeniería de la UNMdP en general, gracias!.

Resumen

En este trabajo se diseñó e implementó un generador de señal modulada en fase. El circuito se implementó mediante una FPGA (Field Programmable Gate Array) y un conversor digital analógico (DAC). El sistema desarrollado permite recibir los datos a través de una entrada externa o los genera en forma interna mediante un generador de números pseudo aleatorios (PRNG). El diseño permite variar en un gran rango la cantidad de ciclos de portadora por dato y la frecuencia de portadora, así como la potencia de salida. El circuito utiliza una mínima cantidad de recursos de la FPGA gracias a la implementación de la portadora mediante el almacenamiento de un cuarto de ciclo y su correspondiente lógica de lectura.

Palabras clave – Modulación de fase, FPGA, DAC, BPSK, PRNG.

Abstract

In this work, a phase modulated signal generator was designed and implemented. The circuit was implemented using a FPGA (Field Programmable Gate Array) and a digital analog converter (DAC). The developed system allows data to be received through an external input or generated internally through a pseudo random number generator (PRNG). The design allows the number of carrier cycles per data and the carrier frequency, as well as the output power, to be varied over a wide range. The circuit uses a minimum amount of FPGA resources thanks to the implementation of the carrier by storing a quarter cycle and its corresponding read logic.

Keywords – Phase modulation, FPGA, DAC, BPSK, PRNG.

Índice general

| | |
|--|------------|
| 1. Introducción | 9 |
| 2. Anteproyecto | 11 |
| 2.1. Requerimientos y aspectos constructivos | 11 |
| 2.2. Alternativas de implementación de modulación BPSK | 12 |
| 3. Proyecto | 15 |
| 3.1. Primera etapa: Circuito implementado en FPGA | 15 |
| 3.1.1. Bloques del proceso | 16 |
| 3.2. Segunda etapa: Circuito conversor digital/analógico | 21 |
| 3.2.1. Funcionamiento circuital | 21 |
| 3.2.2. Diseño de la placa | 28 |
| 3.3. Integración y testeos | 30 |
| 4. Conclusiones | 33 |
| 4.1. Resultados finales | 33 |
| 4.2. Experiencias de la gestión del proyecto | 34 |
| 5. Bibliografía | 35 |
| Apéndice | 37 |
| A. Plan de Proyecto | 39 |
| B. Especificación de Requerimientos | 49 |
| C. Especificación Funcional | 69 |
| D. Especificación Técnica | 83 |
| E. Plan de pruebas | 101 |

Capítulo 1

Introducción

Este trabajo es parte de un proyecto mayor en el que se pretende desarrollar sensores espectrales para Radio Cognitiva (RC) [1]. La técnica llamada Radio Cognitiva surge a partir de la saturación de los canales necesarios para realizar las comunicaciones. Como la utilización del espectro por parte de los licenciarios no es continua en cuanto a frecuencia, tiempo y espacio, RC permite que usuarios secundarios utilicen el espectro ocioso. Por esto, el sensado espectral para determinar si el canal se encuentra libre u ocupado es central. Estos sensores deben ser capaces de detectar la presencia de señal modulada en situaciones de relación de señal a ruido muy bajas. En este contexto, es necesario contar con un generador que entregue señales moduladas y permita realizar variaciones en cuanto a potencia, frecuencia de portadora y velocidad de datos, entre otras.

Existen trabajos en los que se proponen diseños en FPGA de moduladores BPSK (modulación binaria de fase). En estos trabajos no se encontraron implementaciones con flexibilidad en los parámetros de la transmisión, tales como variación de frecuencia de portadora, cantidad de ciclos de portadora por dato, frecuencia de dato y potencia de salida en tiempo de ejecución. En [2] los autores realizan la simulación de la parte digital de un transmisor BPSK. Allí se almacenan en LUTs (Look Up Tables) 13 muestras de un período de una señal sinusoidal, y obtienen una frecuencia de portadora de 50 MHz. Proponen enviar la señal modulada digital en forma serie mediante Serial Peripheral Interface (SPI) al DAC embebido en la placa de desarrollo Spartan 3. Esto limita la máxima frecuencia de portadora.

En [3] los autores utilizan el entorno System Generator de Matlab de la empresa Xilinx para hacer el diseño de un modulador BPSK. La señal de portadora es implementada mediante un bloque Direct Digital Synthesis Compiler, almacenan en dos memorias ROMs (Read-Only Memory) dos ciclos de señal sinusoidal en contra-fase. La implementación la realizan en dos placas Spartan 3E Starter Kit. Obtienen una frecuencia de portadora 31,250 KHz.

En [4] el diseño es también realizado mediante el entorno System Generator. Para la implementación utilizan una FPGA Virtex-4 de Xilinx. Generan la portadora almacenando 20 muestras de un ciclo de sinusoidal en una memoria ROM que actúa como LUT, cada dato se representa con 16 bits en aritmética de punto fijo con signo (14 bits fraccionarios). La cantidad de ciclos por dato es fija en uno, con una portadora de 5 MHz.

Para lograr la flexibilidad requerida, en este trabajo se realizó un diseño que almacena en memoria una gran cantidad de muestras de portadora. Luego, a través de entradas, se seleccionan las muestras a ser leídas y entregadas a un DAC que las recibe en forma paralela. Este convertidor se encarga de generar la señal analógica de salida. La implementación desarrollada utiliza una mínima cantidad de recursos gracias a la arquitectura mejorada que aprovecha el almacenamiento interno de un cuarto de señal sinusoidal para generar la señal de portadora.

Capítulo 2

Anteproyecto

A continuación, se presentarán sucesivamente secciones con el detalle correspondiente en materia de requerimientos y constructivas tanto para software y hardware. Para ahondar respecto a especificaciones de requerimientos, funcionales y técnicas, el presente informe presenta al final un apartado **Apéndice** de tales documentos elaborados en forma previa, así mismo el plan de proyecto elaborado.

2.1. Requerimientos y aspectos constructivos

Esta implementación posee requisitos fundamentales tales como:

- Capacidad de almacenar en la ROM N cantidad de puntos de sinusoidal (N muestras de w_l bits cada una).
- Distintas precisiones para los cálculos internos (cantidad de bits w_l).
- El número de bits del DAC debe determinar el ancho de palabra de la señal de salida.
- T_s debe ser el período de muestreo (período de señal de salida de la FPGA que ingresa al DAC).
- T_b debe ser el tiempo de dato.
- T_c debe ser el período de la portadora.
- Poder ajustar el Nivel de SNR.
- El dato a transmitir que se va a implementar con un generador pseudoaleatorio.

El dato a transmitir se va a implementar con un generador pseudoaleatorio, un ciclo de la señal de portadora debe almacenarse en una memoria ROM con N muestras de w_l bits cada una, de tal manera que la memoria debe tener un tamaño de $N \cdot w_l$. Los datos a transmitir son de frecuencia f_b , y la portadora f_c . N_c es la cantidad de periodos de portadora que entran en un dato. La señal modulada se encuentra muestreada a una frecuencia f_s . Los distintos parámetros mencionados se ven en la **figura 2.1**.

Como primera aproximación en lo que se requiere, se debe cumplir que

- $T_b = N_c \cdot T_c$
- $T_c = N \cdot T_s$
- $T_b = N_c \cdot N \cdot T_s$

Por otra parte la placa DAC debe tener la capacidad de poder convertir una cantidad de w_l bits de modo de poder representar cada muestra de la señal senoidal que se almacene en la ROM. Tal conversor debe tener la función de variar su tensión de referencia, de manera de poder controlar la potencia de salida del DAC, para las mediciones correspondientes. Si bien a priori su conexión con la FPGA se haría mediante cable plano, en el transcurso del proyecto se optó por una conexión con un conector montado sobre la placa. Esto queda debidamente justificado para evitar cualquier tipo de ruido adicional sobre la señal de salida y ante cualquier daño que pueda sufrir el cable plano producido por uso o movimiento del mismo, de igual manera para evitar cualquier golpe en la placa DAC. Más detalles son descriptos en el **Apéndice** donde se detallan las especificaciones funcionales y técnicas del proyecto.

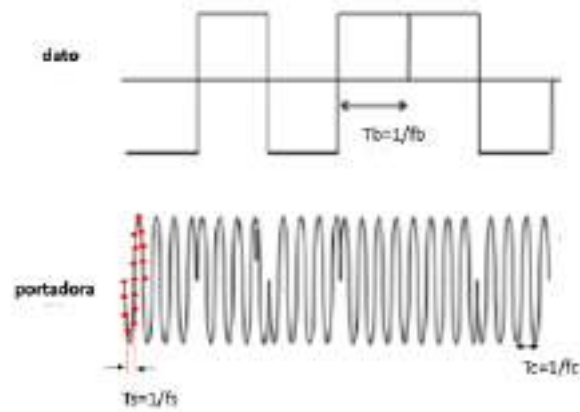


Figura 2.1: Señal modulante y muestreo de señal modulada

2.2. Alternativas de implementación de modulación BPSK

Con el objetivo de generar una implementación en la que se utilicen la menor cantidad de recursos respecto al uso de la placa FPGA, se analizaron dos alternativas posibles:

- La primera solución de diseño sería multiplexar una cantidad de palabras que representen un período de señal senoidal con fase 0 grados y otra de fase 180 grados. El orden de aparición se encuentra controlado por una generador pseudoaleatorio de datos binarios, tal como se puede ver en la **figura 2.2**.
- Una optimización de este método se muestra en la **figura 2.3**, donde se va a almacenar solo un cuarto de un periodo de señal senoidal, bajo una lógica de control para el barrido de la misma, de manera de poder controlar la fase de la señal con la ventaja de utilizar menos cantidad de memoria.

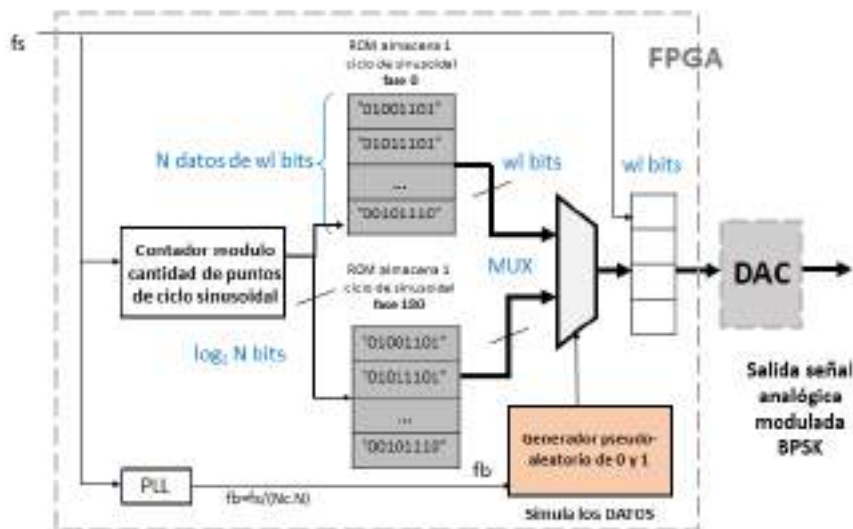


Figura 2.2: Alternativa 1 - Cambio de fase con MUX

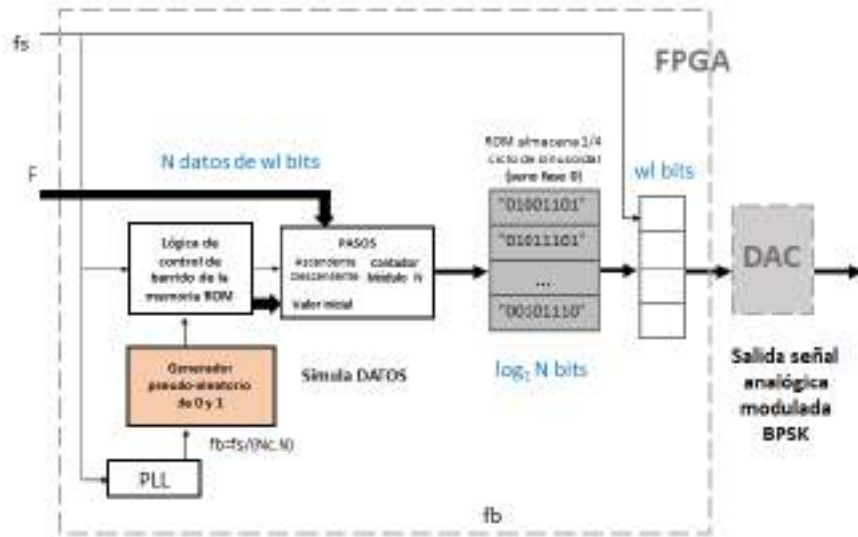


Figura 2.3: Alternativa 2 - Cambio de fase con lógica de control

De este modo, se decidió usar la segunda alternativa ya que permite un uso menor de recursos en la placa FPGA. Por otro lado sobre el avance del proyecto se incorporó una entrada de datos externos que, mediante un pulsador desde la FPGA, permite conmutar entre esta y el generador de datos pseudoaleatorios que funciona internamente como se puede observar en la **figura 2.4**. Por su parte también se agregó desde la FPGA una selección de frecuencias y cantidad de períodos de señal por cada dato que aparece.

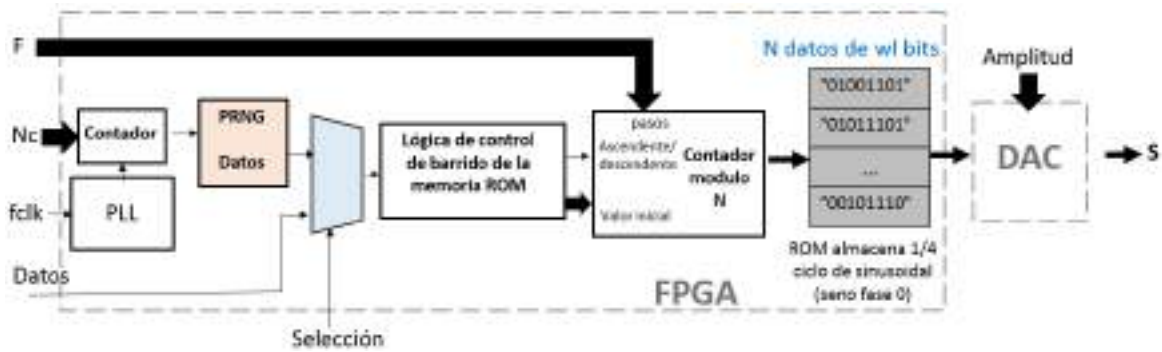


Figura 2.4: Cambio de fase con selección de datos

Capítulo 3

Proyecto

3.1. Primera etapa: Circuito implementado en FPGA

El circuito desarrollado en la FPGA mediante el lenguaje de descripción de hardware VHDL (Very High-Speed Integrated Circuit Hardware Description Language), se observa nuevamente en la **figura 2.4**. En la misma se muestran las entradas de selección que permiten variar los parámetros de la modulación. A diferencia de lo que se mencionó en la **sección 2.1** al almacenar solo un cuarto de la señal sinusoidal, la FPGA entrega al DAC las muestras de la señal modulada a una frecuencia f_s y $4.N$ serán la cantidad de muestras de un ciclo de portadora. Por lo tanto el período de portadora resulta $T_c=4.N.T_s$ y el tiempo de dato a transmitir $T_b=N_c.4.N.T_s$, siendo $T_s=1/f_s$.

El circuito posee una lógica de control que se encarga de establecer si el contador que recorre la memoria realiza una cuenta ascendente o descendente, el valor inicial de esta cuenta y los pasos de incremento/decremento. También determina si el valor extraído de la memoria debe ser negado o no, esto es para determinar el semiciclo positivo o negativo de la señal portadora. Por ejemplo, cuando se desee entregar un período senoidal a la mínima frecuencia de salida, se leerá la memoria de la siguiente forma:

1. Cuenta ascendente de 0 a $N-1$, en pasos de 1.
2. Cuenta descendente de $N-1$ a 0, en pasos de 1.
3. Cuenta ascendente de 0 a $N-1$, en pasos de 1 y salida negada.
4. Cuenta descendente de $N-1$ a 0, en pasos de 1 y salida negada.

Esto genera $4.N$ muestras de un ciclo de portadora, a la mínima frecuencia posible, que es $f_c = f_s/(4.N)$. En esta implementación se tomaron $N=256$ datos por cuarto de ciclo, es decir 1024 muestras por ciclo. Esta gran cantidad de muestras permite una amplia variación de la frecuencia de portadora a la salida. Es por eso que la máxima frecuencia de portadora estará dada cuando se lean solo 2 muestras por período (variación de la frecuencia de salida mediante saltos entre muestras) teniendo en cuenta una frecuencia f_c como se muestra en la **ecuación 3.1**, según el teorema de Nyquist.

$$f_c = \frac{f_s}{2} \quad (3.1)$$

En la **figura 3.1** se muestra cómo sería la lectura de la memoria de tamaño N para la generación de un ciclo de portadora completo. La entrada de selección determina si los datos modulantes son generados internamente mediante un PRNG, que en este caso se trata de un LFSR (Linear Feedback Shift Register) o se reciben de forma externa.

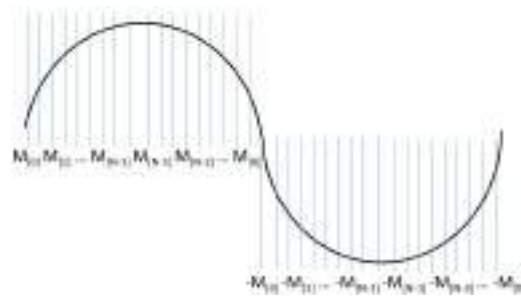


Figura 3.1: Lectura de memoria de tamaño N para la generación de un ciclo de portadora

3.1.1. Bloques del proceso

En la **figura 3.2** se puede observar el diagrama de los distintos bloques que componen la implementación desarrollada en lenguaje VHDL, que representa el circuito diseñado en la FPGA, y que en este caso se utilizó una placa Cyclone III (Altera) [5] como se observa en la **figura 3.3**.

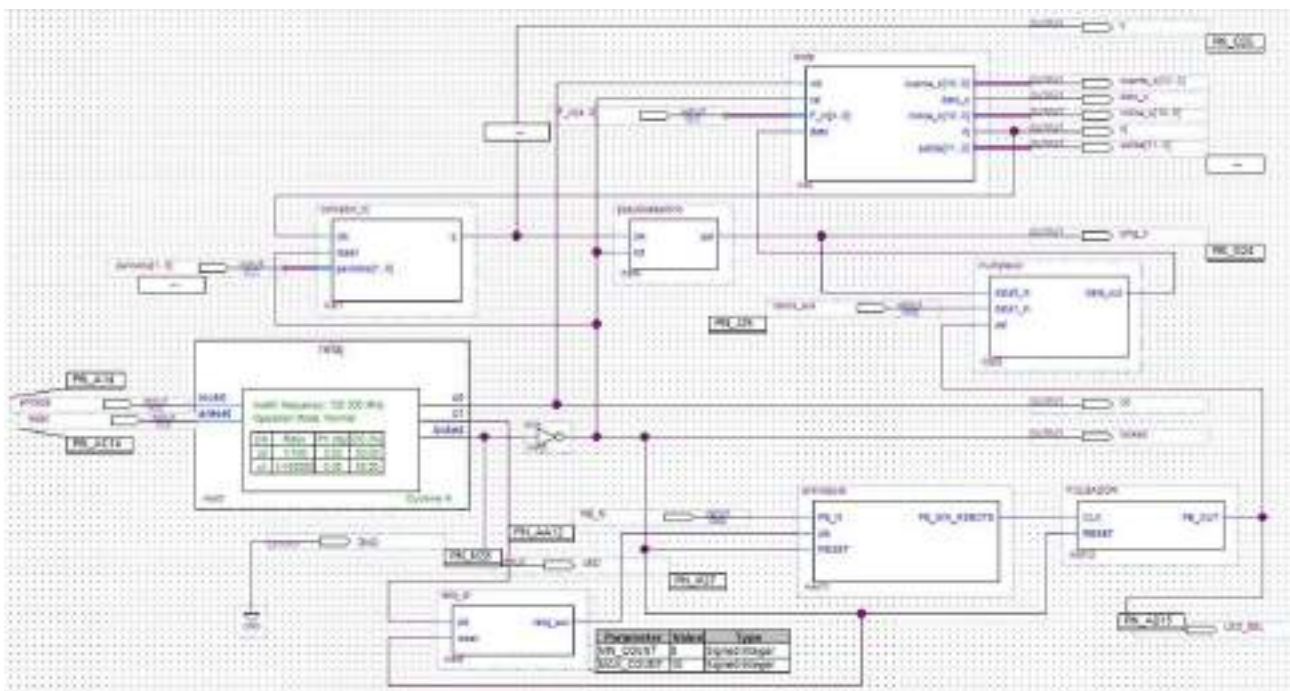


Figura 3.2: Diagrama en bloques de la implementación en FPGA

A continuación se irán describiendo cada uno de los bloques de modo sintético y como se relacionan con el resto de bloques funcionales. El circuito completo con cada bloque constitutivo se encuentra en un repositorio GIT [6].

El bloque denominado *onda* posee cuatro entradas y cinco salidas. Una de sus entradas *clk* está conectada a la salida *c0* del bloque *reloj* quien provee la señal de reloj necesaria, en este caso la frecuencia máxima será de 1,25MHz, es decir 100 veces menor que la entregada por la FPGA. Este valor de frecuencia máxima está determinado por el propio diseño de la FPGA y la placa DAC. Así experimentalmente se obtuvo de efectuar diferentes mediciones con el prototipo de la placa DAC, de manera que la señal de salida se comporte como una señal sinusoidal no distorsionada. Por su parte el código prevé una entrada de reset (*rst*) que proviene también del *reloj*.

Posee una entrada denominada *dato* por donde ingresan los datos binarios provenientes del bloque *pseudorandom* o bien en forma externa. Esta entrada está conectada directamente a la salida *dato_o*. Por su parte este bloque tiene una entrada denominada *F_in* donde ingresan palabras de 5 bits, que permiten variar la frecuencia de la señal modulada. En la **figura 3.4a** los switches SW3 al SW7, son los encargados de generar tal variabilidad en sus combinaciones del (00000 al 11111). En la **tabla 3.1** se muestran algunas combinaciones de switches para la variación de frecuencia



Figura 3.3: FPGA Cyclone III - Altera

| Switches (F_{in}) | Frecuencia |
|-----------------------|------------|
| S7 S6 S5 S4 S3 | F |
| 00000 | 1 |
| 00001 | 2 |
| | .. |
| 11110 | 31 |
| 11111 | 32 |

Cuadro 3.1: Variación de frecuencia mediante la combinación de switches en la placa FPGA

Como se mencionó anteriormente, se guardará en la memoria ROM 256 puntos correspondiente a un cuarto de sinusoidal (1023 para la sinusoidal completa a la frecuencia mas baja), cuyos puntos se obtuvieron mediante la discretización de una señal senoidal generada en el programa Matlab, para valores que van de 0 a 2047, que corresponden a 11 bits en potencias de 2. Se trabajará en complemento a 2 (con un bit de signo), se tendrá una *salida* en el rango de -2048 a 2047, es decir 12 bits que será la resolución del DAC BA9221 elegido para la conversión. El proceso de generación de la señal sinusoidal se describe en la **sección 3.1**. Tanto *indice_o* como *cuenta_o* son salidas que se generan mediante el incremento con la señal interna F que es la conversión a número entero de la entrada F_{in} mas 1, es decir la combinación $F_{in}=00000$ será $F=1$ y $F_{in}=11111$ será $F=32$. Cuando la *cuenta_o* es mayor a 1023, *indice_o* toma el valor de la actualización del dato de entrada, de manera de poder mantener su fase actual o bien rotarla 180 grados, objeto fundamental del presente proyecto. Por último *rlj* es una señal de salida binaria de sincronismo que funciona como señal de reloj del bloque *contador_rlj*. Esta señal cambia antes de que *cuenta_o* llegue a su valor máximo prefijado, de manera que el dato de entrada esté disponible antes de que se genere un nuevo período de la señal modulada, y se genere un sincronismo entre el dato y inicio de la señal sinusoidal con la fase correspondiente.

El siguiente bloque es el *pseudoaleatorio* el cual posee una entrada de reloj (*clk*) conectada a la salida del bloque *contador_rlj*, una entrada de reset (*rst*) proveniente del bloque *reloj* y una salida binaria (*PRNG*). Este bloque tiene la función de generar una señal binaria que funcione como señal de modulante de la señal portadora almacenada en la memoria ROM tal como se describió en el bloque *onda*. El comportamiento de este código responde al de un registro de desplazamiento de retroalimentación lineal (LFSR) el cual tiene cargada una palabra de 8 bits como condición inicial y luego va haciendo un desplazamiento hacia la derecha con operaciones intermedias entre bits mediante el uso del operador XNOR. Con esta aleatoridad, por cada pulso de reloj, se obtiene la señal binaria de salida, tomando el ultimo bit de la palabra formada.

El bloque *multiplexor* posee tres entradas, una de ellas proveniente de la salida del bloque *pseudoaleatorio* (*PRNG*), la otra es una entrada de datos externos (*datos_ext*) proveniente de un pin de conexión desde la placa DAC, los cuales ingresan hacia la FPGA, debidamente asignado el pin correspondiente. Este multiplexor tiene como función, mediante una entrada de *selección*, conmutar entre la señal pseudoaleatoria interna y una señal externa tal como se mencionó. La entrada de selección proviene de la salida del bloque *PULSADOR*.

La FPGA posee bloques embebidos con distintas funcionalidades los cuales pueden ser instanciados mediante el Quartus II, tal como lo es ALTPLL (Phase-Locked Loop de Altera) quien permite utilizar uno o más señales de reloj estables con las que funciona esta implementación.

El bloque *reloj* el cual es un PLL que genera salidas de clock a partir de la proveída por la placa FPGA, posee dos entradas, una de ellas (*entrada*) representa la máxima frecuencia de la placa, correspondiente a los 125MHz. La otra entrada es un reset sincrónico (*reset*) debidamente mapeado a uno de los pines de la placa FPGA y su respectivo switch con la que se podrá resetear al resto de los bloques de manera manual.

El bloque *onda* funciona con la señal de reloj de salida *c0*. Se agregó un segundo reloj, *c1*, conectado a la entrada de reloj del bloque *reloj_ar*.

Este bloque tiene una salida *locked*. Esta, una vez que el PLL se estabilice, quedará en estado alto. Se conectó un LED en la placa DAC, como testigo del correcto funcionamiento de este bloque, con su correspondiente asignación de pin. Por otra parte, mediante la conexión con una compuerta NOT se uso la condición mencionada como la señal de reset hacia los distintos bloques.

Uno de los parámetros variables de esta implementación es la cantidad de períodos de la señal portadora por cada dato de señal modulante. Esta función se consiguió agregando el bloque *contador_rlj* el cual posee tres entradas, dos de las cuales son la señal de reloj (*clk*) que proviene de la salida *rlj* del bloque *onda* y la entrada *reset* proveniente de la salida negada del bloque *reloj*.

Por la tercer entrada ingresan palabras de 2 bits, que permiten variar la cantidad de períodos de señal portadora por dato (1, 2, 4 y 8 períodos por dato). Su funcionamiento interno responde al de un proceso contador que llega hasta un valor máximo. Esta entrada esta debidamente mapeada en el *pin planner* de Quartus, pudiéndose seleccionar desde la placa FPGA con los switches correspondientes.

En la **figura 3.4a** el SW1 y SW2 en sus combinaciones (00, 01, 10, 11) son los encargados de dar variabilidad a la cantidad de períodos de señal.

La salida *q* de este bloque será la señal de reloj del bloque *pseudoaleatorio*.

El bloque *reloj_ar* tiene dos entradas, una de ellas la de reloj (*clk*) y la otra de *reset*. La primera se encuentra conectada a la señal de reloj *c1* del bloque PLL (*bloque reloj*) cuya frecuencia es de 1250Hz.

Este bloque funciona como un contador con el objetivo de generar una división en frecuencia, 20 veces menor que la frecuencia *c1* mencionada. La salida de este bloque (*reloj_out*) será la entrada de reloj del bloque **ANTIRREBOTE**.

Seguido al bloque anterior nos encontramos el bloque **ANTIRREBOTE**, quien tiene la función de filtrar los pulsos indeseados que se producen al accionar el pulsador *USER_PB0* (**figura 3.4a**) mapeado en la FPGA correspondiente a una de sus entradas de datos, *PB_N*. Sus otras dos entradas son *clk* y *RESET*.

El hecho de que la frecuencia de la señal de salida del bloque anterior sea de 1250Hz, se justifica en el hecho que este bloque necesita una frecuencia de reloj mucho menor (período mas lento) para filtrar el ruido que se producen por el rebote del pulsador *USER_PB0*.

Internamente funciona desplazando 3 bits de una palabra de 4 bits hacia la derecha, sustituyendo el bit más significativo por la negación lógica del dato leído en el pulsador, de manera de tomar una decisión por comparación, del valor binario que colocará en la salida *PB_SIN_REBOTE*.

El último bloque **PULSADOR** posee dos entradas, una de ellas *clk* que es la señal que recibe del bloque anterior y una entrada *RESET*. Su funcionamiento principal es la de mantener constante la señal de que recibió desde **ANTIRREBOTE**. Su salida irá conectada a un LED (*LED0*) la placa FPGA como se puede observar en la (figura 3.4b). Al encenderse indicará que la placa está recibiendo datos externamente, y apagado, mediante los datos aleatorios de forma interna. Esta señal de salida (*PB_OUT*) será la señal de entrada al **multiplexor**.



(a) Switches y pulsadores

(b) LEDS

Figura 3.4: Switches, pulsadores y leds de la FPGA

3.2. Segunda etapa: Circuito conversor digital/analógico

Un esquemático del circuito implementado se muestra en la **figura 3.5**. Este circuito se encarga de recibir la señal digital de la FPGA y entregar la señal analógica modulada en fase.

El diseño incluye un circuito integrado DAC BA9221 [7], el mismo es un conversor digital-analógico que recibe 12 bits en formato de complemento a dos y entrega una corriente de salida proporcional a una corriente de referencia y a la entrada digital. Este circuito permite variar la corriente de referencia mediante un potenciómetro (POTE en la figura 3.5 mencionada) para obtener distintas amplitudes de la señal de salida, con un máximo de 4 mA como se indica en la hoja de datos.

Luego, esta corriente se convierte a una tensión de 10Volts pico a pico. Esta conversión corriente-tensión, como la capacidad de variar la señal de salida, es posible mediante el uso del circuito integrado NE5532, el cual es un amplificador operacional doble.

El circuito posee una alimentación externa de $\pm 15Volts$ que darán alimentación a ambos circuitos integrados, y una reducción de tensión a 5Volts, mediante un circuito integrado 7805.

Finalmente, un filtro pasabajos se encarga de atenuar las altas frecuencias debidas al ruido de cuantificación.

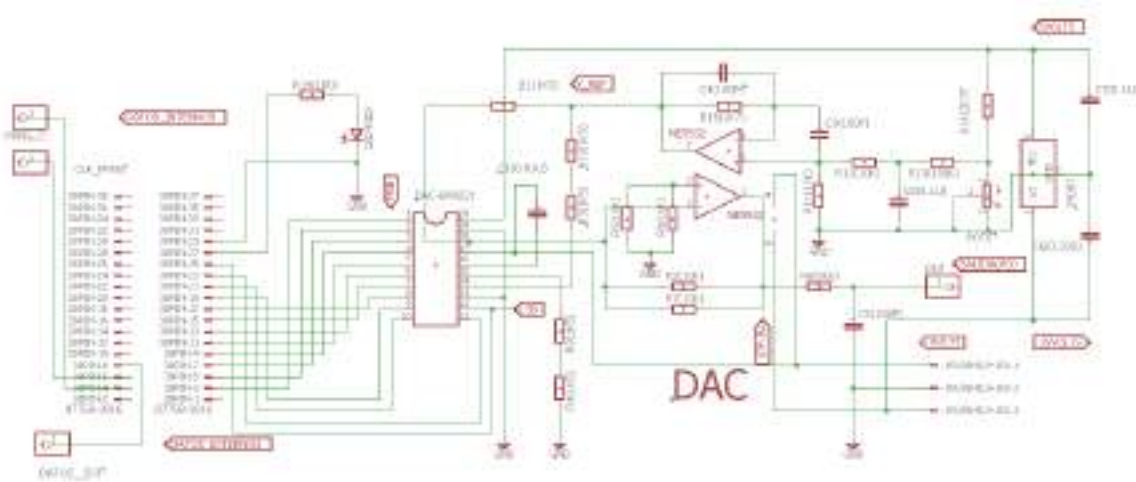


Figura 3.5: Circuito eléctrico de la placa conversora DAC

El circuito tiene conexión a GND provista por la placa FPGA, debidamente mapeada a uno de sus pines. De los 38 pines que tiene el conector del conversor, solo fueron usados 17, de los cuales 12 corresponden a los bits que ingresan al circuito integrado conversor, 1 corresponde a GND (masa), 1 pin de entrada de datos externos (*datos_ext*), 1 pin de salida correspondiente a los datos aleatorios (*PRNG.O*), 1 pin de salida llamado *PRNG.CLK* que corresponde a la salida *q* de la **figura 3.2**, y 1 pin de salida para un conexión de un LED que indica que la señal de salida *locked* pasó a estado alto. En la FPGA hay una dos pines reservados que se conectan al zócalo conector en la placa DAC que son de reset y la señal de clock, pero que no tiene conexión eléctrica entre placas. El reset se encuentra además mapeado al switch SW1.

3.2.1. Funcionamiento circuital

La etapa de conversión D/A se basa en el diseño que provee la hoja de datos del BA9221. Para no variar los valores que recomienda el fabricante, se usaron los pares de resistencias en paralelo R2/R7 y R5/R8 ($5K\Omega$ en ambos casos), lo mismo que los pares en serie R4/R9 y R10/R3 ($3K\Omega$ en ambos casos).

Por otra parte el proceso de variación de la tensión de referencia se realiza mediante un divisor resistivo formado por R14 y el potenciómetro (POTE) y una tensión de 5Volts, conjuntamente con el OPAMP en configuración de amplificador no inversor con R15 y R11. Con la **ecuación 3.2** se puede calcular dicha tensión, cuyo cálculo teórico varía entre los valores mínimo y máximo de 0 y 3Volts respectivamente. La corriente de referencia, a *full-scale* será de 1mA sobre las resistencias en R10 y R3 (ambas de 1k5) en serie.

$$V_{ref} = V_{in} \left(\frac{POTE}{POTE + R_{14}} \right) \left(1 + \frac{R_{15}}{R_{11}} \right) \quad (3.2)$$

Respecto al LED que posee esta placa DAC, se utilizó uno color rojo, los cuales poseen una caída de tensión V_f que oscila entre los 1.8 y 2Volts, que pueden funcionar con corrientes mayores o iguales a los 5mA (I_f), y que la placa FPGA entrega en sus salidas 2.5Volts (V_s), se optó por utilizar una resistencia en serie 100Ω, justificando el cálculo con la **ecuación 3.3**, donde se asume el peor caso, cuando V_f es 2Volts.

$$I_f = \left(\frac{V_s - V_f}{R_{led}} \right) = 5mA \quad (3.3)$$

Por otra parte se diseñó un filtro a la salida de la placa DAC del tipo RC pasabajos de primer orden, al que se lo incluyó para atenuar el ruido de cuantificación de alta frecuencia, la cual quedará limitada por el circuito integrado conversor digital analógico (aunque la salida de la FPGA funcione a una frecuencia más alta), que como valor máximo teórico funcionará a 4MHz. Sin embargo experimentalmente para este valor de f_s mencionado y previo al filtro, se comprobó deformación de la señal modulada para el valor de F máximo ($F = 32$), por lo que se estableció una $f_s = 1.25MHz$. Se debe tener en cuenta que este valor surge propio de las limitaciones de los circuitos integrados usados en su conjunto, no alcanzando los valores teóricos que se mencionan en las hojas de datos.

Como el objetivo principal es dejar pasar la $f_{c_{min}}$ y $f_{c_{max}}$ y atenuar el ruido de cuantificación relacionado a la f_s , a priori, se estableció la frecuencia de corte del filtro pasabajos, en una década por encima de la máxima frecuencia de la señal modulada ($f_{c_{max}}$). Tanto $f_{c_{min}}$ como $f_{c_{max}}$, ambos valores son calculados mediante la **ecuación 3.4** y la **ecuación 3.5** tomando $N = 1023$, $f_s = 1.25MHz$, $F = 1$ y $F = 32$ respectivamente.

$$f_{c_{min}} = \frac{F \cdot f_s}{N} = 1.22kHz \quad (3.4)$$

$$f_{c_{max}} = \frac{F \cdot f_s}{N} = 39.1kHz \quad (3.5)$$

Para justificar el cálculo de la elección de la frecuencia de corte del LPF y el efecto del mismo al aplicarlo, se decide hacer una simulación en el programa LTspice, con un circuito que genera una señal modulada en fase como se observa en la **figura 3.7**.

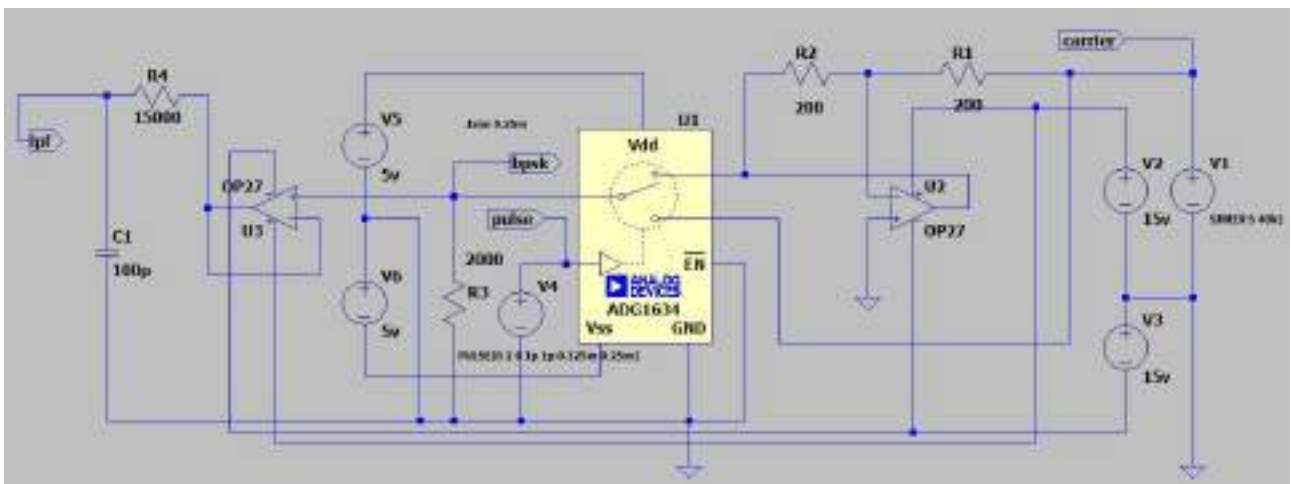
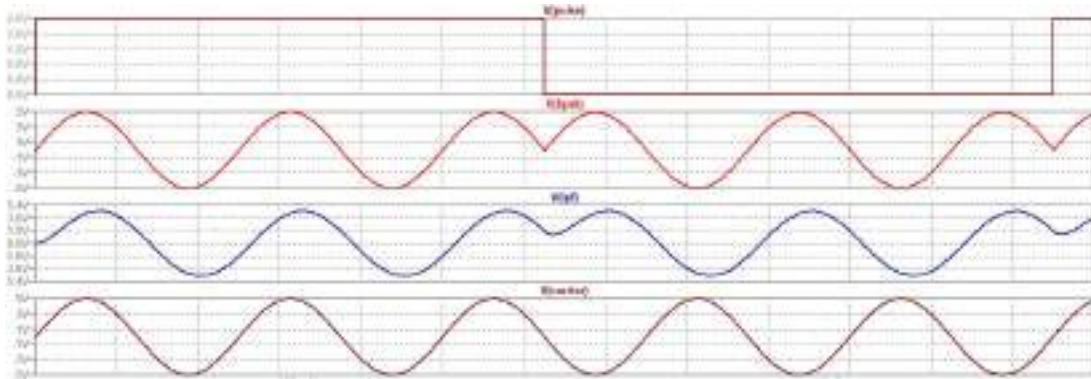


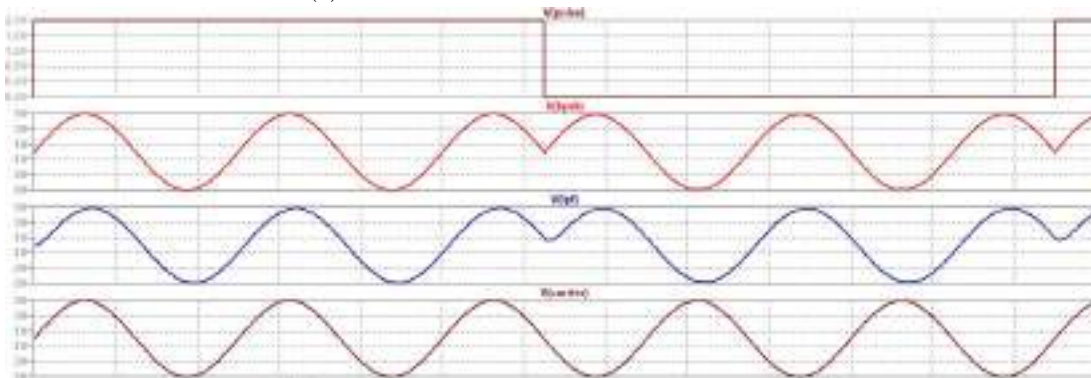
Figura 3.7: Modulador de fase con ADC1634

En esta figura se observa un circuito modulador de fase con un generador de pulsos conectado al circuito integrado conmutador ADC1634 [8] el cual conmuta, a la frecuencia del generador de pulsos, una señal senoidal con fase 0 ó fase 180 grados, con el OPAMP OP27 [9] en configuración inversora. Antes del filtro RC, se coloca un circuito operacional seguidor de tensión. En la **figura 3.8** se observa la simulación de este circuito tomando como resistencia R4, los valores de 4k, 8k y 16k y un capacitor C1 de 100pF para ver el efecto del filtro sobre la

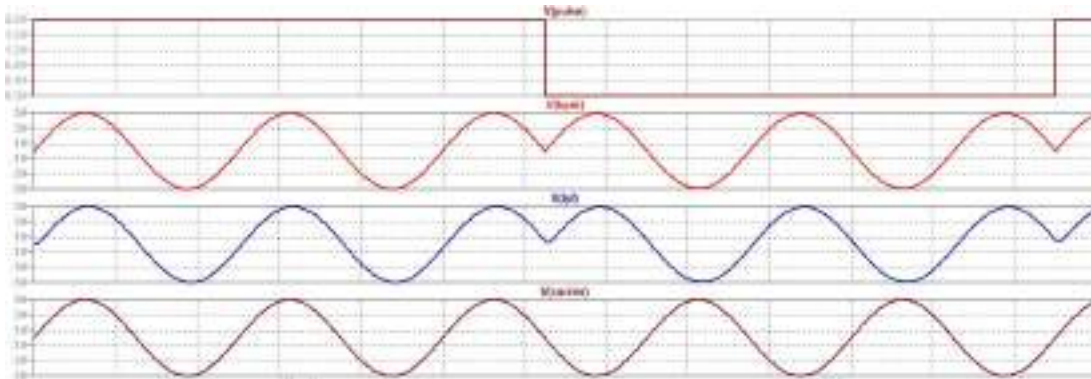
señal senoidal a las diferentes frecuencias de corte del mismo, en este caso $400kHz$, $200kHz$ y $100kHz$ respectivamente. En la misma figura, también se pueden ver la señal cuadrada (modulante) y la senoidal (portadora) mencionadas. La amplitud de la señal senoidal es de $5V_{olts}$ a una frecuencia de $40kHz$, como una aproximación de la $f_{C_{max}}$.



(a) Frecuencia de corte del LPF en $100kHz$



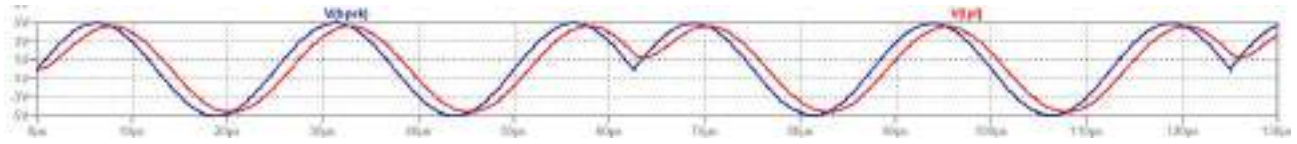
(b) Frecuencia de corte del LPF en $200kHz$



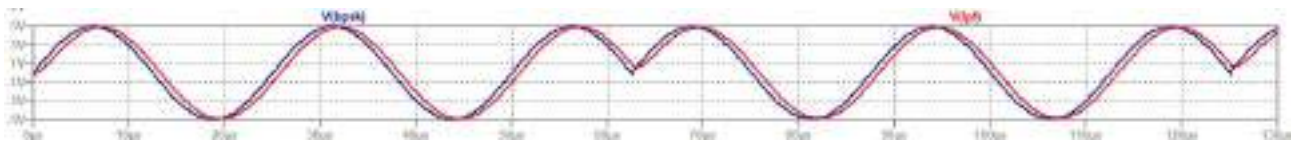
(c) Frecuencia de corte del LPF en $400kHz$

Figura 3.8: Señales para la modulación en fase de a diferentes frecuencias de corte del LPF

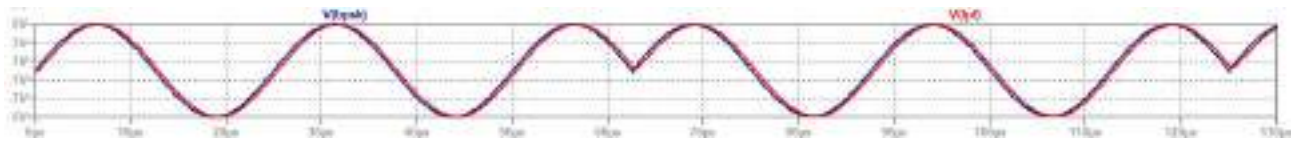
En la **figura 3.9** se observan las simulaciones de la señal antes y después del filtro de manera superpuestas para obtener un mayor detalle de comparación. Del análisis de las señales se interpreta que, dentro de la banda de paso, cuanto mas cerca esté la frecuencia de la señal de salida de la frecuencia de corte del filtro, mayor será la atenuación, suavización y atraso en fase de la misma señal antes del filtro. Por el contrario cuanto más lejos, habrá menos atenuación, menos corrimiento en fase y menor será la suavización de la señal, pero se logrará que la señal filtrada este próxima al valor cero de amplitud. Esto sirve de referencia ó proyección para el cálculo definitivo de la frecuencia de corte del filtro, pero se debe tener en cuenta que en esta implementación la modulación se genera de un modo diferente que el realizado en la simulación.



(a) Frecuencia de corte del LPF en 100KHz



(b) Frecuencia de corte del LPF en 200KHz



(c) Frecuencia de corte del LPF en 400KHz

Figura 3.9: Señales para la modulación en fase de a diferentes frecuencias de corte del LPF

Lo que sucede en la práctica, en lo implementado en la FPGA, es que si la frecuencia de corte se encuentra una década por encima de la máxima frecuencia de la señal modulada ($f_{c_{max}}$), no se atenúa considerablemente el ruido de cuantificación, y por el contrario si está muy próxima, se atenúa en sus valores pico y donde hay cambio de fase.

Se debe tener en cuenta que la señal portadora no modulada, vista en el espectro, es una señal delta y la portadora modulada, tiene ciertas componentes espectrales que son propias de la modulación. Por su parte el filtro al atenuar ó eliminar las componentes espectrales de la señal modulada, produce el efecto de redondeo o suavización de los saltos de fase.

Cuanto más cerca se encuentre la frecuencia de corte del filtro de la máxima frecuencia de la señal modulada, más se redondean los saltos de fase, más se atenúa en su amplitud pico y mayor atraso en fase. En este caso, mayor es la atenuación del ruido de cuantificación. Así mismo cuanto más lejos, menor atraso en fase, menor atenuación de los saltos en fase y menor atenuación de la amplitud pico. En este caso se produce una menor atenuación del ruido de cuantificación.

Por lo tanto existe una relación de compromiso, donde se busca que la frecuencia de corte se ubique de tal forma que permita pasar a la señal modulada, a la frecuencia más alta $f_{c_{max}}$, con suficientes componentes espectrales, y que a su vez no sea tan alta para lograr atenuar el ruido de cuantificación. En otras palabras, tener una frecuencia de corte alta, respecto de la $f_{c_{max}}$, que a su vez elimine o atenúe el ruido de cuantificación, con el factor adicional de que no se produzca una excesiva atenuación en los saltos en fase ni en su valor pico de la modulación.

Se decidió experimentalmente tomar valores de componentes tales de estar ligeramente por debajo de la década por encima mencionada, de modo cumplir con lo descripto.

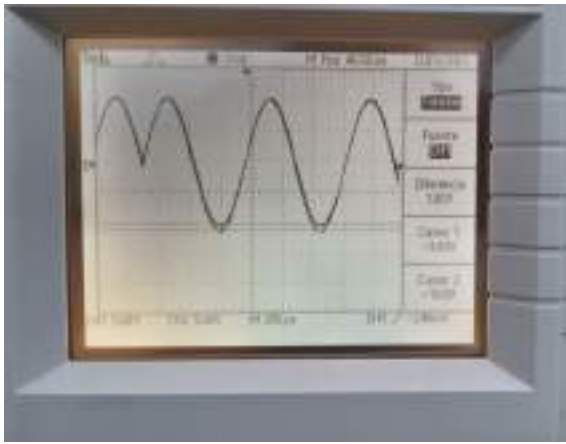
El valor de la resistencia R6 adoptada, es de $5k6$ y el capacitor C2 de $100pF$, y cuyo cálculo se muestra en la **ecuación 3.6**.

$$f_{corte} = \frac{1}{2\pi R_6 C_2} = 284,2kHz \quad (3.6)$$

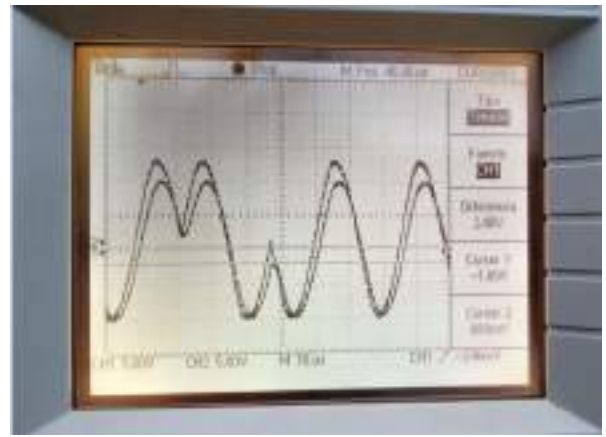
Para esta frecuencia, la señal se mantiene en los valores pico a pico de amplitud requeridos y se encuentran suavizados los puntos donde se producen los cambios de fase en la señal modulada, es decir se produce atenuación del ruido de cuantificación. Sin embargo en estos puntos no se llega al valor cero en amplitud de la salida después del filtro.

En la **figura 3.10** se muestra la señal modulada antes y después del filtro. En la **figura 3.10b** se aprecia el atraso de fase de la señal tomada en la salida del filtro y la suavización de la misma en los puntos donde hay cambio de fase, que a su vez genera que la señal no llegue a amplitud cero, propio del efecto del mismo filtro en su frecuencia de operación. La diferencia de amplitudes para el caso de frecuencia mínima es de $1Volts$ y de $2.4Volts$ para el caso de frecuencia de salida máxima.

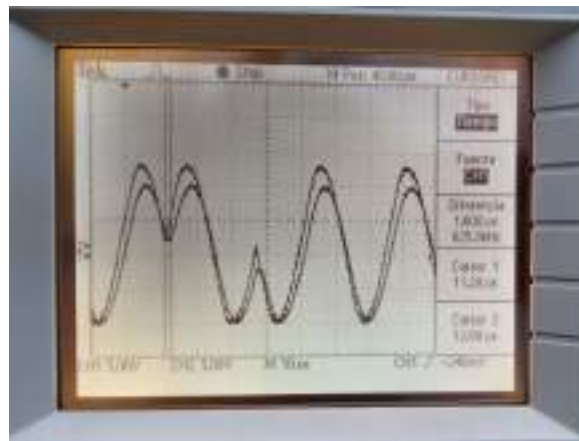
Por otra parte en la **figura 3.10c** se observa la diferencia de fase entre la señal antes y después del filtro, de $1.6\mu s$ aproximadamente a frecuencia máxima ($f_{c_{max}} = 39.1kHz$). Para la frecuencia de salida mínima ($f_{c_{min}} = 1.22kHz$) la señal se encuentra prácticamente en fase antes y después del filtro como se observa en la **figura 3.10a**.



(a) Amplitudes antes y después del filtro a frecuencia mínima 1.22kHz



(b) Amplitudes antes y después del filtro a frecuencia máxima 39.1kHz



(c) Diferencia de fase antes y después del filtro a frecuencia máxima 39.1Khz

Figura 3.10: Señal modulada antes y después del filtro

3.2.2. Diseño de la placa

Se tomaron en cuenta dos opciones al momento de elegir el amplificador operacional, en este caso el propuesto por la hoja de datos del convertor BA9221, el cual sugiere el uso del BA4558 [10] y el circuito integrado NE5532 [11]. Este último posee un mayor ancho de banda ($BW = 10MHz$), se encuentra disponible comercialmente y mayor valor de *slew rate*. Este último parámetro es fundamental para la elección del OPAMP y debe ser mayor que el módulo de la derivada respecto del tiempo de la señal de salida en la componente de mayor frecuencia y para la máxima amplitud. Para este OPAMP según su hoja de datos, el *slew rate* es de $9V/\mu s$

Lo expresado queda justificado en las siguientes ecuaciones:

$$V_0(t) = V_0 \cdot \sin(\omega_{max}t) \quad (3.7)$$

$$V_0 = 10V \text{olts} \quad (3.8)$$

$$\omega_{max} = 39.1KHz \quad (3.9)$$

$$\frac{dV_0(t)}{dt} = \omega_{max} \cdot V_0 \cdot \cos(\omega_{max}t), \quad (3.10)$$

$$t = 0s \quad (3.11)$$

$$\left| \frac{dV_0(t)}{dt} \right| = \omega_{max} \cdot V_0 = \frac{2.46V}{\mu s} < \frac{9V}{\mu s}, \quad (3.12)$$

Si bien el valor de la frecuencia de portadora máxima con la que estamos trabajando ($1,25MHz$) es suficiente para cumplir los requerimientos, es importante aclarar que el uso de otro amplificador operacional de mayor ancho de banda, podría dar la posibilidad de aumentar esta frecuencia.

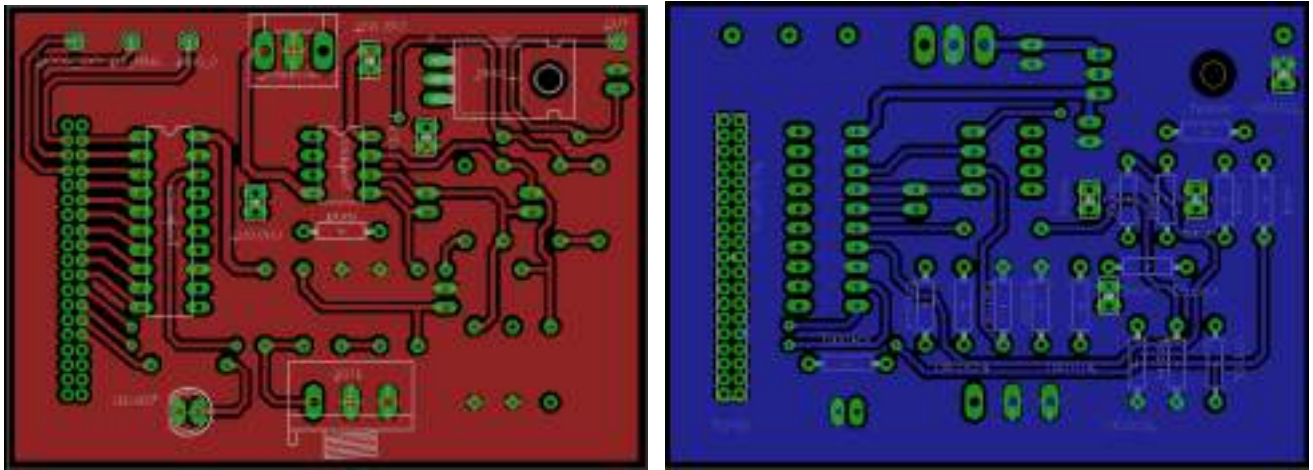
Sin embargo también se debe tener en cuenta la velocidad de datos máxima del BA9221, que es de $4MHz$ ($t=250ns$), lo que puede limitar etapas posteriores. Así mismo se realizaron pruebas en protoboard que arrojaron que al modular para el caso de mayor frecuencia ($F=32$), con estos valores teóricos, no es posible reproducir una señal que mantenga la forma sinusoidal requerida. Por esta razón se optó por bajar la frecuencia de portadora a $1,25MHz$.

Los encapsulados del convertor y OPAMP son DIP20 y DIP8 respectivamente. El resto de los componentes usados, fueron resistencias de $1/4$ de watts, capacitores cerámicos, potenciómetro lineal, led rojo de $5mm$, regulador con encapsulado TO220, conector molex de 38 pines y conectores molex de 1 y 3 pines para datos y alimentación respectivamente.

El software elegido para el diseño del convertor, fue el Eagle en su versión 7.6. Se tuvieron en cuenta criterios para la eliminación de capacidades parásitas y se implementó el uso de plano de masa. En la **figura 3.11** se muestran las capas top y bottom cada una con su máscara de componentes y antisoldante.

La placa DAC fue realizada por una empresa privada dedicada a tal fin. Fue hecha en material epoxi FR4 de $1.6mm$ de espesor, con máscara antisoldante verde y serigrafía blanca para la máscara de componentes. El espesor de las pistas de cobre es de $38\mu m$, con terminación superficial de estaño sin plomo. El tamaño de la placa es de $61.9 \times 85.07mm$ con diseño *true hole*.

En la **figura 3.12** se puede observar la placa con sus componentes ensamblados.



(a) Capa top

(b) Capa bottom

Figura 3.11: Capas de la placa conversora DAC



(a) Capa top

(b) Capa bottom

Figura 3.12: Placa conversora DAC - Montaje de componentes

Por último se analiza la posibilidad de incorporar un disipador para el CI7805. Al medir el consumo máximo del mismo, se obtiene que entrega una corriente próxima a los 10mA . La diferencia entre la tensión de entrada y salida es de 10Volts ya que se ingresa con 15Volts y tiene como salida 5Volts . Por lo tanto la potencia a disipar será de $0,1\text{Watts}$.

Utilizando, la **ecuación 3.13** asumiendo que la temperatura de juntura del dispositivo (T_j) es de $50\text{ }^\circ\text{C}$, la temperatura de ambiente (T_a) de $25\text{ }^\circ\text{C}$, y la resistencia térmica juntura-ambiente $R_{\theta ja}$, es de $65\text{ }^\circ\text{C/w}$ según la hoja de datos, se obtiene la potencia teórica que se disiparía bajo estas condiciones.

$$P = \frac{T_j - T_A}{R_{\theta ja}} = 0.385\text{Watts} \quad (3.13)$$

Como el valor de potencia disipada medida es inferior a la potencia calculada, se decide no incorporar un disipador a la placa para este dispositivo el cual será asegurado a la misma mediante una sujeción metálica.

*Para el consumo de potencia total del circuito se recomienda consultar el **Apéndice E**.*

3.3. Integración y testeos

El diseño generado en Quartus II, en lenguaje *VHDL* [6] se carga a la placa FPGA mediante la opción *programmer*. La placa DAC debe estar conectada en el zócalo del PFGA, alimentada con la fuente *dual* correspondiente.

La salida de la placa DAC debe estar conectada a uno de los canales del osciloscopio. Con el otro canal se podrán observar el reloj del PRNG y el mismo PRNG interno.

El potenciómetro (*POTE*) permite modificar la señal de referencia del BA9221, variando así la amplitud pico a pico de la señal de salida.

En las **figura 3.13** y **3.14** se observa en el canal 1 la señal modulada tomada desde la salida OUT y en el canal 2 los datos obtenidos de la salida PRNG_O tomando diferente base de tiempo en el instrumento.

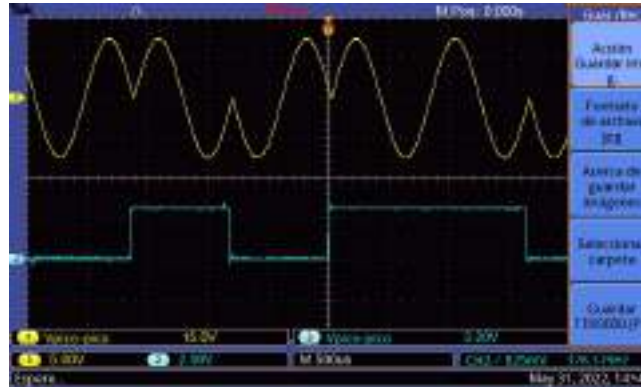


Figura 3.13: Señal modulada de salida y señal de datos PRNG - Base de tiempo $500\mu s$

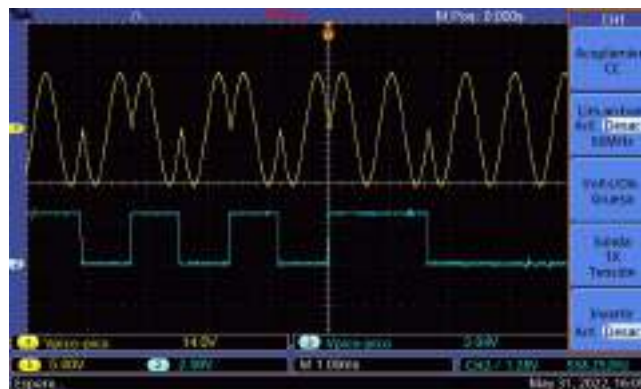


Figura 3.14: Señal modulada de salida y señal de datos PRNG - Base de tiempo 1ms

Las dos mediciones se tomaron con una tensión de referencia menor, por lo que se ve en ambas figuras que la tensión de pico a pico es de 15Volts . Esto se hizo con el fin de mostrar tal variación y de poder visualizar sin superposición ambas señales. En las figuras también es de destacar el sincronismo que existe entre ambas señales, donde los datos están disponibles al inicio de un nuevo ciclo de señal.

Lo obtenido condice con la **ecuación 3.5** tomando $F = 1$, es decir la frecuencia de la señal modulada es de $1,221\text{kHz}$ que corresponde a la frecuencia más baja que se puede obtener.

En la **figura 3.15** se pueden observar cuatro mediciones para diferentes valores de F y cantidad de ciclos de la señal de entrada (*periodos*) por cada dato que aparece de la señal modulante. Estas mediciones se tomaron a modo de ejemplo ya que existen más combinaciones para tales parámetros.

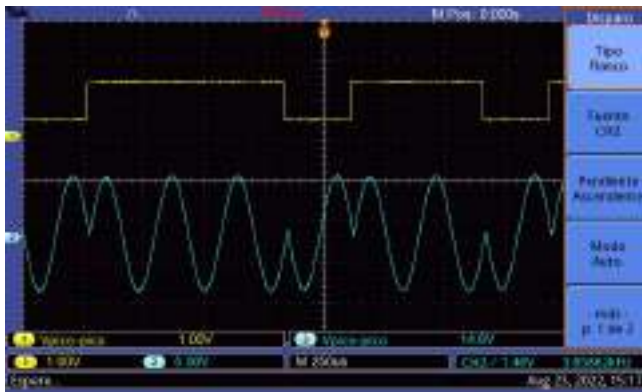
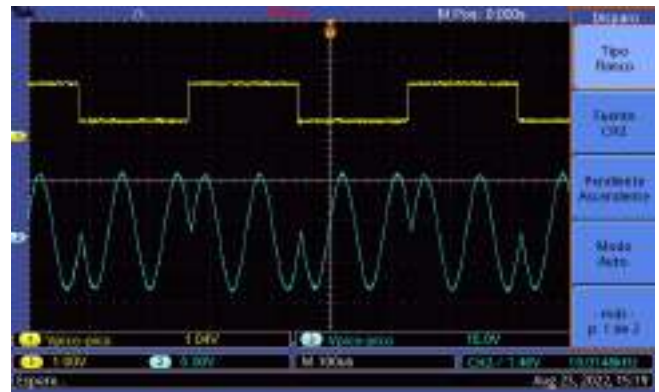
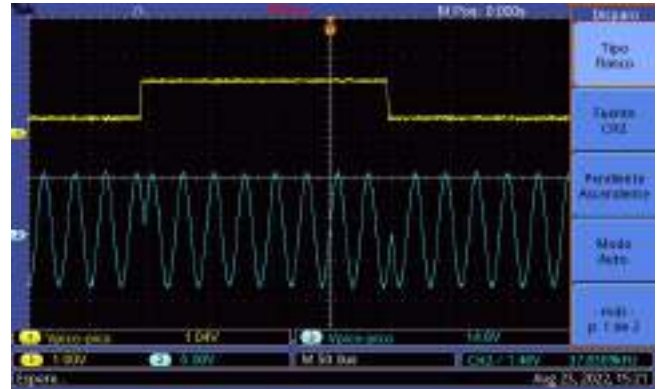
(a) Modulación con $F = 3$ y periodos=00(b) Modulación con $F = 9$ y periodos=01(c) Modulación con $F = 17$ y periodos=10(d) Modulación con $F = 32$ y periodos=11

Figura 3.15: Mediciones para diferentes parámetros de entrada

En la **figura 3.16** realizada en ModelSim se puede observar todas las señales que intervienen en el diseño, para diferentes parámetros de entrada. Se puede ver como al variar la entrada F_{in} cambia la frecuencia de portadora. También se varió la cantidad de ciclos por dato.

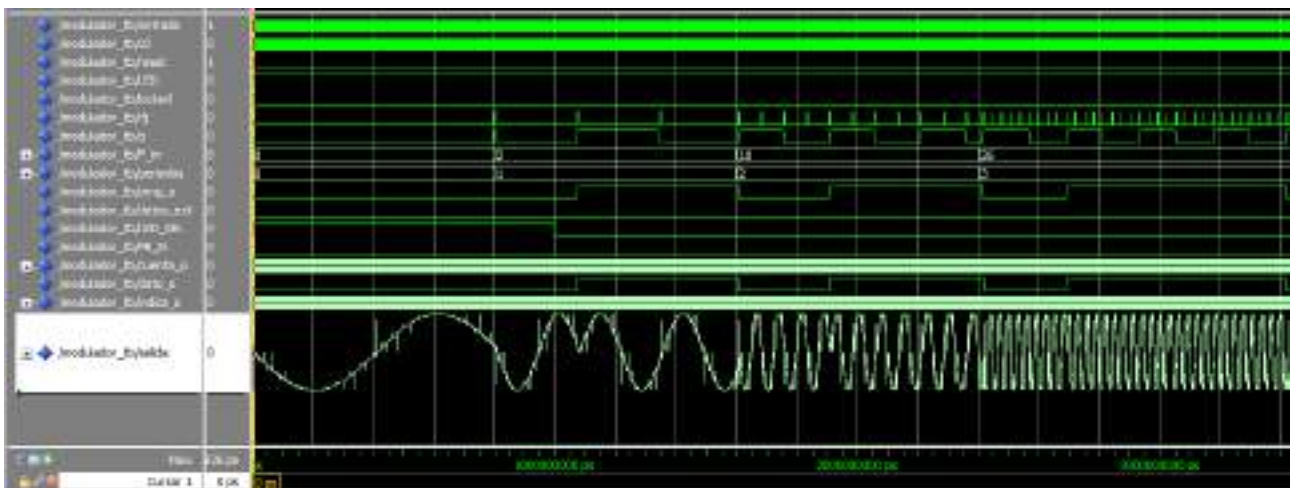


Figura 3.16: Simulación realizada en ModelSim para diferentes parámetros de entrada

Capítulo 4

Conclusiones

4.1. Resultados finales

En este trabajo se diseñó e implementó un generador de señal modulada en fase. El diseño implementado permite variar los parámetros de la señal modulada de salida como la frecuencia de portadora, potencia de salida, cantidad de ciclos por dato y seleccionar la utilización de datos en forma interna o externa.

La cantidad de recursos empleados en la FPGA es mínimo gracias a la utilización de una memoria que almacena un cuarto de ciclo sinusoidal la cual es leída mediante una lógica de control para generar la señal de portadora. También se diseñó e implementó la placa que recibe la señal digital y entrega la señal analógica, la cual permite variar la potencia de salida de la misma, leer los datos pseudoalatorios generados internamente y su señal de reloj, e ingresar una señal externa en uno de sus periféricos.

En la **Tabla 4.1** se muestran los recursos empleados en una FPGA Cyclone III de Altera para el circuito implementado. Se puede ver que, a pesar de almacenar un gran número de muestras de portadora, consume muy pocos recursos gracias al diseño desarrollado.

| | |
|--|--------|
| Elementos lógicos (EL) totales (119.088) | 655 |
| Combinacional de EL | 518 |
| Registros de EL | 44 |
| Registros dedicados(121.673) | 137 |
| PLL | 1 |
| f_{Max} [MHz] | 181,62 |

Cuadro 4.1: Recursos empleados en la implementación utilizando una FPGA Cyclone III de Altera.

El diseño propuesto admite una frecuencia máxima de operación (f_s) de 181,62 MHz lo que permitiría una máxima frecuencia de portadora de 90,81 MHz, y una mínima de 177 kHz.

Las simulaciones hechas tanto con ModelSim y SignalTap de Quartus II como así también las de Matlab, fueron corroboradas mediante las mediciones correspondientes en el osciloscopio, hechas sobre las salidas de la placa DAC tanto en su prototipo montado en protoboard como la placa definitiva. Así mismo las pruebas en protoboard o la placa definitiva, no tuvieron diferencias en cuanto a las mediciones de ruido.

Los cálculos teóricos tuvieron un margen de error tolerable. Para el caso de la tensión de referencia del DAC que debía estar en entre los 0 y 3Volts, con las resistencias comerciales disponibles, se logró combinarlas de tal manera que se llega a una variación de entre 0 y 2,94Volts. Sin embargo el CI7805 por cuestiones tecnológicas, entrega tensión levemente superior los 5Volts, compensándose tal diferencia, situación aceptada ya que se consigue el mismo resultado

El fabricante del CI BA9221 en su hoja de datos, informa que la salida del mismo, a condiciones máximas de V_{ref} , entrega 10 Volts pico a pico. Sin embargo experimentalmente se obtiene 11Volts pico a pico. De todos modos esto no genera una desventaja para esta implementación.

Por último, el potenciómetro lineal utilizado, en su punto de giro mas bajo, no llegó a los 0Ω , lo que generó que a la salida de la placa DAC haya un mínimo valor de tensión no deseada, pero que sin embargo no genera una condición desventajosa al proceso en general.

4.2. Experiencias de la gestión del proyecto

Una de las mayores dificultades asumidas, fue el aprendizaje del lenguaje VHDL y el manejo del Quartus II. Con lo primero que se comenzó a trabajar fue en la segunda alternativa de diseño donde finalmente se decidió guardar en memoria un cuarto de la señal sinusoidal, para la reconstrucción completa y para su modulación que, a priori, aún no se contaba con el código correspondiente para generar datos internamente.

Otra singularidad en esta implementación, fue el sincronismo entre cada uno de los bloques que la componen. Fue hasta la última instancia en la elaboración de cada uno de los bloques y la escritura de sus códigos, donde los datos se estaban tomando fuera de tiempo, y que fue solucionado gracias a la señal *rlj* del bloque **onda** y el bloque **contador_rlj**.

Sobre el avance del proyecto se agregaron funciones como variación de cantidad de periodos de señal por aparición de dato, bloque antirrebote y multiplexación entre una señal de datos interna o externa.

Por otra parte, se tuvo que reforzar las técnicas de uso del programa Eagle con el que se desarrolló la placa DAC. En principio se pensó en hacerla *simple faz*, sin embargo el área de la misma era grande y se optó por una *doble faz*, lo que demoró el diseño definitivo. Previo a esto hubieron dos demoras en el diseño, la primera fue que se pensó en hacer la conexión entre placas mediante cable plano, pero cuestiones de potenciales apariciones de fuentes de ruido, se terminó desestimando. La segunda, una mala orientación de los componentes que generarían ya construida, no poder conectarla a la placa FPGA ya que los componentes de ambas placas se tocarían entre sí.

Otro inconveniente surgido fue la excesiva cantidad de calor disipado por parte del CI7805. En un primer momento se utilizaron capacitores electrolíticos para su polarización correspondiente, sin embargo esto fue un error ya que a la frecuencia a la que trabajamos los mismos se encontraban oscilando generando un sobrecalentamiento del dispositivo. La mala implementación no fue detectada rápidamente, y como alternativa se adquirió un modulo tipo *flyback* el cual funcionaba correctamente. Finalmente se encontró la solución, con el agregado de capacitores cerámicos para el correcto uso del CI7805.

Por último en el transcurso del armado del prototipo de la placa, hubieron dos inconvenientes: el primero fue la incorrecta conexión de pines de salida, que en vez de conectar del MSB al LSB, se lo hizo en sentido contrario no dando la señal de salida esperada. El segundo inconveniente fue que el BA9221, necesita que el MSB se encuentre negado para poder efectuar correctamente el complemento a dos, por lo que se procedió a hacerlo desde el bloque **onda**. Es de destacar, que inicialmente, no estuvo claro como funcionaba la conversión del BA9221. A partir de este punto, se generó una sinergia entre lo que se pretendía tanto en lo referido a código, como lo referido a hardware, y el proyecto avanzó con mayor celeridad.

Como trabajos a futuro, la placa DAC podría ser utilizada como placa convertora de un sistema que funcione con otro tipo de modulación como por ejemplo ASK, FSK ó cualquier otra modulación digital. Algunos bloques pueden ser reutilizados como son los bloques PLL, Antirrebote y el MUX.

Se adquirieron muchos conceptos y técnicas nuevas, y se reforzaron otros. Los tiempos de cada etapa se pueden observar en el plan de proyecto del **Apéndice A**. La experiencia es sumamente gratificante y enriquecedora, desde lo académico como lo humano. Este proyecto fue presentado en el Congreso Argentino de Sistemas Embebidos (CASE 2022) y fue catalogado como trabajo destacado.

Capítulo 5

Bibliografía

- [1] Y. Arjouné y N. Kaabouch, «A comprehensive survey on spectrum sensing in cognitive radio networks: Recent advances, new challenges, and future research directions,» *Sensors (Switzerland)*, vol. 19, n.º 1, 2019, ISSN: 14248220. DOI: 10.3390/s19010126.
- [2] A. K. Chaudhary, P. Pratik, S. Gupta y V. Kakkar, «Improved digital design of BPSK modulator using look-up table technique,» en *2013 International Conference on Advances in Computing, Communications and Informatics (ICACCI)*, IEEE, 2013, págs. 47-52.
- [3] S. Popescu, A. Gontean y G. Budura, «BPSK system on Spartan 3E FPGA,» en *2012 IEEE 10th International Symposium on Applied Machine Intelligence and Informatics (SAMII)*, IEEE, 2012, págs. 301-306.
- [4] Y. Chye, M. Ain y N. M. Zawawi, «Design of BPSK transmitter using FPGA with DAC,» en *2009 IEEE 9th Malaysia International Conference on Communications (MICC)*, IEEE, 2009, págs. 451-456.
- [5] ALTERA, «ip-basesuite.html,» <http://www.altera.com/products/ip/design/basesuite/ip-basesuite.html>, 2008.
- [6] M. Morel, *GitHub*, GitHub repository, 2022. dirección: [https://acortar.link/2RpRLF%20\(accedido%20e1%201%20de%20julio%20de%202022\)](https://acortar.link/2RpRLF%20(accedido%20e1%201%20de%20julio%20de%202022)) ..
- [7] *BA9221*. dirección: <http://www.synfo.nl/datasheets/BA9221.pdf>.
- [8] *ADC1634*. dirección: <https://www.analog.com/media/en/technical-documentation/data-sheets/adg16341.pdf>.
- [9] *OP27*. dirección: <https://pdf1.alldatasheet.com/datasheet-pdf/view/48504/AD/OP27.html>.
- [10] *BA4558*. dirección: <https://pdf1.alldatasheet.com/datasheet-pdf/view/36012/ROHM/BA4558.html>.
- [11] *NE5532*. dirección: <https://pdf1.alldatasheet.com/datasheet-pdf/view/17968/PHILIPS/NE5532.html>.

Apéndices

Apéndice A

Plan de Proyecto

DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES

29-ago-2022

<http://>

| | |
|-------------------------------------|---------------------------|
| Encargado del proyecto | MARIANO MOREL |
| Fechas de inicio y fin del proyecto | 03-may-2021 - 16-sep-2022 |
| Progreso | 99% |
| Tarea | 29 |
| Recursos | 3 |

1. VISIÓN GENERAL

El laboratorio de Procesos Caóticos de la Facultad de Ingeniería de la UNMdP (directores del proyecto) propone la realización de una implementación en FPGA de señales moduladas, que será llevado a cabo para uso de experimental con sensores espectrales de radio cognitiva y servirá además como proyecto final para el desarrollador del mismo. Para eso se propone dos etapas: la programación del código que generará la señal modulada y como hardware, el diseño y fabricación de la placa que servirá como conversor de dicha señal.

2. ALCANCE

El proyecto, en cuanto al software comenzará con el desarrollo de una etapa que genere una señal modulada internamente o externamente, sincronizada y que pueda variar su frecuencia y sus ciclos de repetición sobre un mismo dato. En cuanto al hardware, sobre una placa doble faz se pide poder variar amplitud de referencia, que permita obtener señales de salida y/o ingresar señales de entrada, y hacer la conversión digital-analógica correctamente filtrada. Aprobadas todas las etapas por los directores del proyecto y presentado el proyecto al responsable de la asignatura, se pide la elaboración del informe para su aprobación y presentación final. Se estima la realización del mismo en el transcurso de un año calendario, pero podrán ocurrir retrasos propios de la complejidad de las etapas, o bien para la optimización de actividades ya realizadas.

3. OBJETIVOS

- Como se mencionada, uno de los objetivos es el desarrollo de la implementación para uso del laboratorio para uso experimental para una aplicación específica.
- El otro objetivo es que tal desarrollo permita obtener el título de grado de ingeniero electrónico por parte del interesado quien llevará a cabo el mismo.

4. ROLES Y RESPONSABILIDADES

- Mariano Morel: desarrollará cada una de las partes del proyecto y sus modificaciones, como así también la redacción del informe final y su presentación
- Directores del Proyecto: explicarán los lineamientos del proyecto al desarrollador, aclararán dudas específicas sobre cuestiones técnicas, facilitarán material, darán retroalimentación de las etapas avanzadas e indicarán cuando una etapa quedó concluida. Se encargarán del presupuesto del proyecto.
- Responsable de la asignatura: recibirá y evaluará el proyecto. Podrá sugerir modificaciones. Se encontrará en contacto con los directores del proyecto y con el desarrollador del mismo.

5. ENTREGABLES

A modo general se harán tres entregas específicas a los directores del proyecto

- Finalización del código que ejecutará la FPGA
 - Finalización del diseño y armado de la placa conversora
 - Entrega de resultados e informe final (a directores y responsable de la asignatura)
-

6. CALENDARIO

Se elaborará un cronograma y recursos con el que visualizarán los avances (Diagrama de Gantt)

7. PRESUPUESTO

El costo de materiales e insumos para realizar el proyecto será costeado con fondos asignados al laboratorio mencionado, no teniendo injerencia en el mismo el desarrollador.

PROYECTO DE IMPLEMENTACIÓN DEL GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES

29-ago-2022

Tarea

4

| Nombre | Fecha de inicio | Fecha de fin |
|--|-----------------|--------------|
| LECTURA DE MATERIAL BIBLIOGRAFICO Y PRECISIÓN DE ACTIVIDADES REALIZADAS | 3/05/21 | 15/09/22 |
| <i>Esta actividad comprende el aprendizaje continuo de conceptos y técnicas para el desarrollo de este proyecto, y la potencial modificación y optimización que se deban realizar por pedido o por el simple avance aspectos no tenidos en cuenta inicialmente o sobre el mismo desarrollo por el avance propio de todas las actividades. El porcentaje de avance puede tener fluctuaciones y podría ser modificado.</i> | | |
| DEFINICIÓN DE OBJETIVOS Y ELABORACIÓN DE PLAN DE TRABAJO | 3/05/21 | 2/07/21 |
| <i>Para esta actividad, mediante una comunicación fluida con los directores del laboratorio de procesos caóticos, se definieron los aspectos más relevantes que debe contener el proyecto. Las modificaciones y retroalimentación se harán en cada una de las actividades</i> | | |
| DISEÑO GENERAL DEL SOFTWARE Y ESQUEMATICOS | 5/07/21 | 22/09/21 |
| <i>Esta actividad es fundamental ya que en este momento se comienza a trabajar en lenguaje VHDL sobre el programa Quartus II, y se elaboran los códigos, que luego serán simulados y representados en forma esquemática: el código pseudoaleatorio y la señal portadora, que juntas serán las modulaciones generarán la modulación esperada.</i> | | |
| DISEÑO, SINTESIS Y EVALUACION DE CODIGO PSEUDOALEATORIO | 5/07/21 | 30/07/21 |
| DISEÑO, SINTESIS Y EVALUACION DE SEÑAL PORTADORA | 30/07/21 | 26/08/21 |
| CONEXION DE CODIGOS - CONVERSION A LENGUAJE SIMBOLICO (bloques) | 26/08/21 | 22/09/21 |
| ELECCIÓN Y PRIMER DISEÑO DEL CONVERTOR. ANÁLISIS DE REQUERIMIENTOS FUNCIONALES | 22/09/21 | 19/10/21 |
| <i>En esta actividad se elige el modelo circuital y componentes que harán la conversión digital - analógica, en concordancia con los requerimientos del software y de la placa FPGA.</i> | | |
| PRUEBA #1 EN PROTOBOARD DEL CONVERTOR CON LA FPGA DE LA SEÑAL MODULADA | 19/10/21 | 15/11/21 |
| <i>En esta actividad se arma un prototipo del circuito y se prueba el correcto funcionamiento de la señal de salida (conversión), la variación de la tensión de referencia respecto de la salida, la correcta conexión de de los pines de datos, alimentaciones y ruido.</i> | | |
| CORRECCIÓN DEL CIRCUITO CONVERTOR Y COMPRA DE MATERIAL | 15/11/21 | 2/03/22 |
| <i>En esta actividad se define:</i> | | |
| <i>-Componentes y modelo de fuente de alimentación a usar</i> | | |
| <i>-Se incorpora un nuevo modelo de circuito para variar la tensión de referencia</i> | | |
| <i>-Se agrega un filtro RC pasabajos</i> | | |
| CAMBIOS EN LA FUENTE DE ALIMENTACIÓN | 15/11/21 | 3/12/21 |
| MODIFICACION CIRCUITO RESPECTO A LA TENSION DE REFERENCIA | 3/12/21 | 23/12/21 |
| RECESO DE VERANO | 24/12/21 | 10/02/22 |

PROYECTO DE IMPLEMENTACIÓN DEL GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES

29-ago-2022

Tarea

5

| Nombre | Fecha de inicio | Fecha de fin |
|---|-----------------|--------------|
| AGREGADO DE FILTRO PASABAJOS | 10/02/22 | 2/03/22 |
| PRUEBA #2 EN PROTOBOARD DEL CONVERTOR Y CON LA PLACA FPGA <i>Se realiza una nueva prueba teniendo en cuenta la primera prueba y las modificaciones planteadas en la actividad anterior. Se analizan los resultados</i> | 2/03/22 | 22/03/22 |
| OPTIMIZACIÓN DE SOFTWARE Y ESQUEMÁTICOS <i>Esta actividad comprende la optimización de lo ya realizado con respecto al software. Algunas de ellas son propias de una necesidad que surgió en forma posterior a la idea original o bien porque no fue posible desarrollar una actividad con las técnicas usadas o por alguna limitación tecnológica</i> <i>-se sincronizaron todas bloques funcionales</i> <i>-se agregó la función que posibilita variar la frecuencia de la señal desde switches ubicados en la placa FPGA</i> <i>-se agregó un bloque que permite modificar la cantidad de periodos por dato</i> <i>-se incorporó un multiplexor para poder ingresar datos en forma externa mediante un pulsador que además cuenta con una mejora antirrebote</i> <i>-se definió la frecuencia máxima de portadora</i> <i>-se asignaron pines a la FPGA desde el programa Quartus para su correcto funcionamiento al conectarlo a la placa convertora</i> <i>-se analizaron la cantidad de recursos consumidos por el software en la placa FPGA</i> | 22/03/22 | 17/06/22 |
| SINCRONISMO ENTRE PORTADORA/MODULADA | 22/03/22 | 4/04/22 |
| DEFINICIÓN DE FRECUENCIA PORTADORA | 4/04/22 | 15/04/22 |
| SELECCIÓN DE PERIODOS DE SEÑAL | 15/04/22 | 28/04/22 |
| MULTIPLEXOR PARA ELECCION DE DATOS DE ENTRADA EXTERNA/INTERNOS | 28/04/22 | 11/05/22 |
| SELECCIÓN DE FRECUENCIA | 11/05/22 | 24/05/22 |
| AGREGADO DE BLOQUE ANTIREBOTE | 24/05/22 | 6/06/22 |
| ASIGNACIÓN DE PINES Y RECURSOS USADOS | 6/06/22 | 17/06/22 |
| PRUEBA DE EFICACIA DEL SOFTWARE Y APROBACIÓN <i>Los directores del laboratorio dan aprobada lo que respecta al software, mediante una prueba definitiva.</i> <i>(Al día de la fecha, esta actividad ya fue aprobada)</i> | 17/06/22 | 17/06/22 |
| PRUEBA #3 EN PROTOBOARD DEL CONVERTOR Y CON LA PLACA FPGA <i>Se realizan pruebas sobre las ultimas modificaciones del hardware y se corrobora el correcto funcionamiento respecto de lo aprobado del software.</i> | 17/06/22 | 30/06/22 |

PROYECTO DE IMPLEMENTACIÓN DEL GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES

29-ago-2022

Tarea

6

| Nombre | Fecha de inicio | Fecha de fin |
|---|-----------------|--------------|
| PRUEBA DE EFICACIA DEL HARDWARE (PROTOBOARD) Y APROBACIÓN <i>Los directores dan por aprobadas las modificaciones del hardware. Se procede a la proxima etapa de diseño de la placa definitiva y su correspondiente fabricación.</i> <i>(Al día de la fecha esta actividad ya fue concluida)</i> | 30/06/22 | 30/06/22 |
| FABRICACIÓN DE PLACA DAC Y DEPURACIÓN DEL CODIGO VHDL <i>Al día de la fecha se diseñó la placa. Se continúa revisando para proceder a su fabricación. El programa ya fue depurado</i> | 30/06/22 | 20/07/22 |
| PRE-PRESENTACIÓN DEL PROYECTO Y RESULTADOS <i>Los directores dan por aprobada esta etapa. Se procede a la redacción del informe.</i> <i>(Al día de la fecha esta actividad ya fue concluida)</i> | 20/07/22 | 20/07/22 |
| ESCRITURA DE INFORME <i>Esta actividad ya fue realizada, se procede a enviar al encargado de la asignatura para su visado</i> | 20/07/22 | 30/08/22 |
| PRESENTACIÓN PROYECTO FINAL <i>Esta actividad aún no fue realizada, se espera devolución sobre el informe final y/o fecha de presentación del proyecto.</i> <i>Esta actividad puede sufrir modificación de fecha estimada.</i> | 15/09/22 | 15/09/22 |

PROYECTO DE IMPLEMENTACION DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES

29-ago-2022

Recursos

7

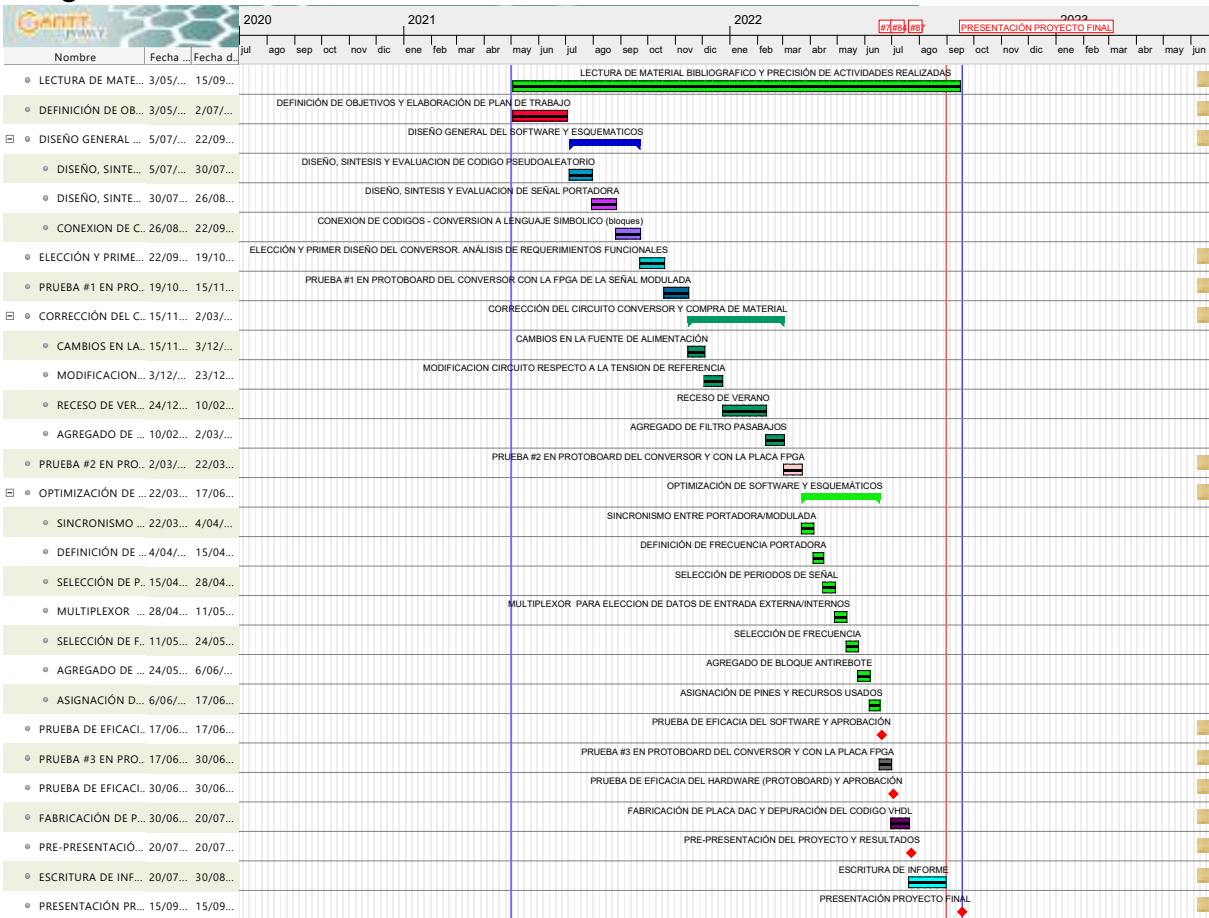
| Nombre | Función |
|---------------------------|------------------------|
| MARIANO MOREL | Encargado del proyecto |
| DIRECTORES LABORATORIO | Encargado de pruebas |
| RESPONSABLE DE ASIGNATURA | Encargado de pruebas |

GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES

29-ago-2022

Diagrama de Gantt

8

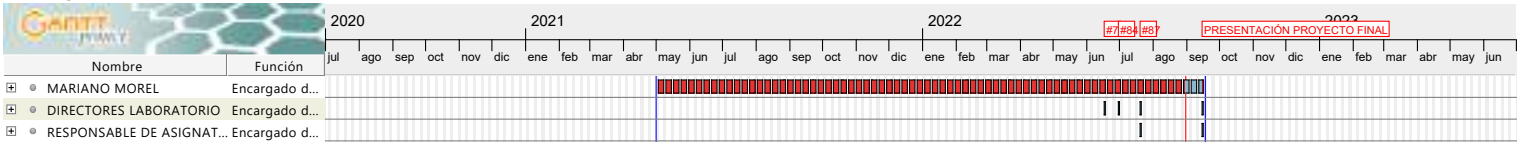


GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES

29-ago-2022

Diagrama de recursos

9



Apéndice B

Especificación de Requerimientos

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

Documento SRS

DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON
PARÁMETROS REGULABLES

AUTOR: MARIANO MOREL

Especificación de Requerimientos

Versión 3.0

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

Historial de Revisiones

| Fecha | Versión | Descripción | Autor |
|----------|---------|--|---------------|
| 08/3/22 | 1.0 | Primera versión. Se sugiere cambios en la presentación | MARIANO MOREL |
| 30/5/22 | 2.0 | Cambios en los tiempos verbales y mayor detalle en las especificaciones de requerimientos funcionales y no funcionales como así también en la atributos del sistema en general | MARIANO MOREL |
| 29/08/22 | 3.0 | Cambio en el la denominación del proyecto. | MARIANO MOREL |

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

Tabla de Contenido

1. Introducción

1.1 Propósito

1.2 Alcance

1.3 Definiciones, siglas y abreviaturas

1.4 Referencias

2. Descripción general

2.1 Perspectiva del Sistema

2.1.1 Interfaces de usuario

2.1.2 Interfaces de hardware

2.1.3 Interfaces de comunicación

2.2 Funciones del sistema

2.3 Restricciones

2.4 Documentación de usuario

3. Requerimientos Específicos

3.1 Requerimientos de interfaces externas

3.1.1 Interfaces de usuario

3.1.2 Interfaces de hardware

3.2 Requerimientos Funcionales

3.2.1 Adquisición de Señal

3.2.2 Filtrado de señal

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

3.2.3 Funcionalidad

3.3 Requerimientos No Funcionales

3.3.1 Requerimientos de desempeño y funcionamiento

3.3.2 Atributos del Sistema de Software y hardware

3.3.2.1 Fiabilidad

3.3.2.2 Seguridad

3.3.2.3 Mantenibilidad

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

1. Introducción

Este documento contiene los requerimientos para el diseño e implementación en FPGA de señal/es modulada/s digitalmente.

1.1 Propósito

La motivación del diseño e implementación del presente sistema es la de permitir realizar distintas pruebas para el testeado de algoritmos de detección de señal en un sistema de Radio Cognitiva. En este caso se requiere un generador de señal/es modulada/s digitalmente el cual permita variar la frecuencia de portadora y la potencia de la señal transmitida. Este documento define y describe los requerimientos de operaciones y desempeño de una implementación en FPGA de señal/es digitales modulada/s. Está dirigido a todo aquel que se encuentre involucrado en el uso y aplicación de este sistema en cuestión, sirviendo el presente documento como guía para el entendimiento básicos de los requerimientos funcionales, no funcionales y las diferentes condiciones que regirán el proyecto en todas las etapas de su desarrollo. Esta especificación además permite definir un marco de trabajo para la realización del sistema propuesto.

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

1.2 Alcance

En este documento se definen los requerimientos no funcionales del sistema, como usabilidad, confiabilidad, desempeño, entre otros, al igual que los requerimientos funcionales del mismo, necesarios para los usuarios a los que se encuentra dirigido.

1.3 Definiciones, siglas y abreviaturas

- **Requerimientos funcionales:** describen las capacidades o funciones que el sistema será capaz de realizar.
- **Requerimientos no funcionales:** restricciones o características que de una u otra forma puedan limitar el sistema, como por ejemplo, rendimiento, interfaces de usuario, fiabilidad, mantenimiento, seguridad, portabilidad, estándares, etc.
- **Documento:** Es todo relato escrito que describe un proceso, un procedimiento, un manual, un formato sin diligenciar entre otros.
- **Registro:** Evidencia objetiva de que algo se está haciendo, lo cual no puede ser cambiado o actualizado una vez se realice.

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

- **FPGA:** es el acrónimo de Field Programmable Gate Arrays y se refiere a dispositivos basados en semiconductores los cuales están compuestos por matrices de bloques lógicos configurables (CLB), estos se conectan a través de interconexiones programables para implementar distintos circuitos digitales.
- **LPF:** Low Pass Filter. Describe a un circuito el cual permite un filtrado en frecuencia pasa-bajos, es decir que permite el paso de señales de baja frecuencia, y atenuando las altas frecuencias.
- **VHDL:** Very High Speed Integrated Circuit Hardware Description Language. Lenguaje de Descripción de Hardware para Circuitos Integrados de Muy Alta Velocidad. Lenguaje de descripción de hardware utilizado para el diseño e implementación de dispositivos ASICs (circuito Integrado para aplicaciones específicas) y FPGAs.
- **IC:** Integrated Circuit. Circuito integrado. Es una estructura de pequeñas dimensiones de material semiconductor, normalmente silicio dentro del cual se implementa un circuito electrónico (resistencias, transistores. etc). Son identificados por siglas alfanuméricas según las compuertas a la que haga referencia.
- **ADC ó DAC:** Se trata de dispositivos que realizan la conversión analógico/digital o digital/analógicas de señales.

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

- **OSCILOSCOPIO** es un instrumento de visualización electrónico para la representación gráfica de señales eléctricas que pueden variar en el tiempo

1.4 Referencias:

- Y. Arjouné and N. Kaabouch, “A comprehensive survey on spectrum sensing in cognitive radio networks: Recent advances, new challenges, and future research directions,” *Sensors (Switzerland)*, vol. 19, no. 1, 2019.
- A. K. Chaudhary, P. Pratik, S. Gupta, and V. Kakkar, “Improved digital design of bpsk modulator using look-up table technique,” in *2013 International Conference on Advances in Computing, Communications and Informatics (ICACCI)*. IEEE, 2013, pp. 47–52.
- S. Popescu, A. Gontean, and G. Budura, “Bpsk system on spartan 3e fpga,” in *2012 IEEE 10th International Symposium on Applied Machine Intelligence and Informatics (SAMI)*. IEEE, 2012, pp. 301–306.
- Y. Chye, M. Ain, and N. M. Zawawi, “Design of bpsk transmitter using fpga with dac,” in *2009 IEEE 9th Malaysia International Conference on Communications (MICC)*.

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

IEEE, 2009, pp. 451–456.

- CI M. Morel, “GitHub,” GitHub repository, 2022. [Online]. Available: <https://acortar.link/2RpRLF> .
- CI Ba9221. [Online]. Available: <http://www.synfo.nl/datasheets/BA9221.pdf>
- CI ADC1634. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/adg1634l.pdf>
- CI OP27. [Online]. Available: <https://pdf1.alldatasheet.com/datasheet-pdf/view/48504/AD/OP27.html>
- CI NE5532. [Online]. Available: <https://pdf1.alldatasheet.com/datasheet-pdf/view/17968/PHILIPS/NE5532.html>
- CI BA4558. [Online]. Available: <https://pdf1.alldatasheet.com/datasheet-pdf/view/36012/ROHM/BA4558.html>

2. Descripción general

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

2.1 Perspectiva del Sistema

Se requiere un sistema que genere señal/es modulada/s para ser empleada como prueba de sensores espectrales para Radio Cognitiva desarrollados en el Laboratorio de Sistemas Caóticos. Los datos serán aleatorios y modularán una portadora cuya frecuencia deba poder variarse para sensar de distintos canales.

2.1.1 Interfaces de usuario

En cuanto al aspecto visual y físico, ya que será un dispositivo de prueba, se busca que sea liviano en su traslado pero que no tenga movimientos indeseados durante prueba y conexión. Asimismo los conectores periféricos deberán ser de fácil acceso, compacto y sin riesgos eléctricos para el usuario. El esquema general se basa en una PC + placa de FPGA+ placa de DAC + filtro + Osciloscopio. El sistema deberá ser de fácil conexión tanto para usuarios con experiencia o para quienes tengan conocimientos básicos, siempre ayudados de una guía práctica de funcionamiento y conexiones.

2.1.2 Interfaces de hardware

El dispositivo deberá ser conectado a una PC para el análisis de datos, de donde parte el archivo/programa hecho en código VHDL, cuya carga se sintetizará y se ejecutará dentro de la placa de FPGA, quien a su vez se conectará a un DAC que a su vez será la ventana de conexión al osciloscopio, el cual mostrará en pantalla lo que se ha programado y guardado

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

en el mencionado código. Asimismo el osciloscopio deberá estar configurado o seteado a las necesidades de tal aplicación, tanto para sus divisiones en amplitud y en lo temporal.

2.1.3 Interfaces de comunicación

Se utilizará conector GPIO para los pares de conexión PC/FPGA, FPGA/DAC para la transmisión de datos. Asimismo las conexiones de alimentación se harán mediante cables bipolares con fuente partida externa, y se usarán puntas de prueba para el osciloscopio para ver la señal analógica entregada por el DAC.

2.2 Funciones del Sistema

Todas las características descritas y por describir de este sistema, pretenden establecer una guía de uso, conexión, potencia y limitaciones para su utilización como señal/es de prueba para fines laboratoristas, cuya aplicación se encontrará en manos del experto, cuyo fin o la aplicación específica dependerá de la investigación o trabajo específico que desee realizar.

2.3 Restricciones

| Restricción | Aplica | Explicación |
|-------------|--------|--|
| Regulación | NO | Como será un sistema de pruebas de laboratorio, no hay limitaciones legales, más que las que impone el |

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

| | | |
|-----------------------------------|----|---|
| | | fabricante de la FPGA o de los ICs. |
| Interfaces con otras aplicaciones | SI | El sistema podría ser utilizado en diversas aplicaciones, lo que no se descarta la conexión con diversos dispositivos |
| Operación en paralelo | NO | El sistema no requerirá actuar en paralelo |
| Lenguaje alto nivel | SI | Como se mencionó, se trabajará con un lenguaje de alto nivel, que se cargará en la FPGA. |
| Protocolos | SI | Se requiere manejo en protocolos de comunicación. |

2.4 Documentación de usuario

En el desarrollo de este proyecto, un requerimiento básico es que se detallen las hojas de datos de los diferentes ICs, el manual de la placa de FPGA y los datos referidos a las funciones predeterminadas de Quartus II. Así también es necesario conocer las limitaciones del sistema, respecto a su respuesta en amplitud y frecuencia. Las pruebas sobre el circuito permitirán corroborar el correcto funcionamiento de los parámetros que se enuncian en las hojas de datos y manuales.

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

3. Requerimientos Específicos

3.1 Requerimientos de interfaces externas

3.1.1 Interfaces de usuario

Se describen a continuación las interfaces más representativas que requiere cada usuario:

- a. Interfaz documental: En esta interfaz cada usuario puede acceder a los diferentes documentos relacionados con el modo de uso del sistema, y los que se pueda extraer de las mediciones con el osciloscopio.

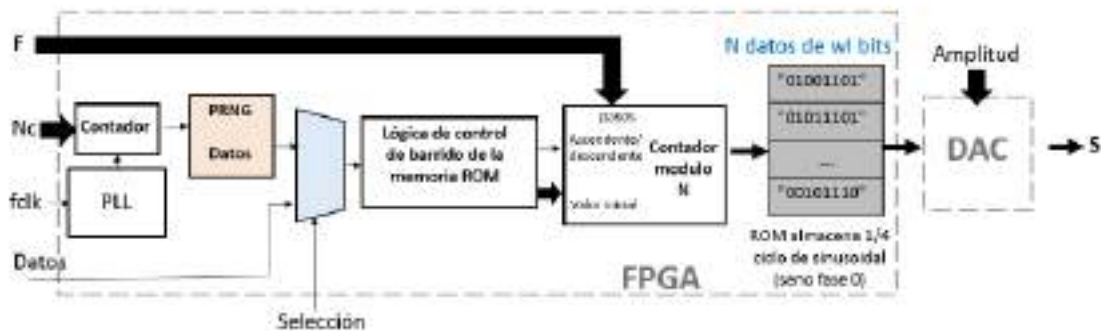
- b. Interfaz de aprendizaje: El programa podría ser modificado o adaptado para otras aplicaciones, modificando convenientemente el archivo VHDL, el tipo de modulación y la capacidad de adaptación del DAC según los requerimientos.

- c. Interfaz de propuestas: Permite que en las diferentes etapas del proyecto se registren las posibles sugerencias de mejora, los planes para lograrlo, sus costos y sus beneficios. El encargado de tal comunicación quedará a cargo del experto laboratorio quien podría requerir de una mejora o anexo de alguna función específica sobre el sistema original.

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

d. Interfaz de instrumentos: Permite que se registren los instrumentos de medición que son necesarios para cada proceso, su identificación, los resultados de su calibración, la planificación de cronogramas de mantenimiento y los efectos de que tengan alguna de sus características erróneas.

3.1.2 Interfaces de hardware



En este esquema se muestra la generación de datos cargados en la FPGA mediante una modulación BPSK, los cuales ingresan a un DAC para obtener la señal analógica. La amplitud de la señal de salida se ajusta según el nivel de relación señal a ruido (SNR) deseado.

El proyecto constará de dos partes principales: el diseño e implementación en FPGA del modulador parametrizable y datos y la placa del DAC.

La placa a usar es una Cyclone 3 de la empresa Altera. El módulo DAC consistirá en una placa que contenga todo lo necesario para la operación del circuito integrado conversor.

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

El dato a transmitir que se va a implementar con un generador pseudoaleatorio generado en el programa Quartus II y una entrada de datos externa, y por otro lado, un ciclo de la señal de portadora se almacenará en una memoria ROM creada en código en VHDL e implementada en la FPGA.

3.2 Requerimientos Funcionales

3.2.1 Adquisición de señal

Se conectará la PC con la placa de FPGA, se cargará el código en la misma, y se lo ejecutará, transmitiendo los datos por el DAC hacia el osciloscopio donde se podrá observar la señal analógica resultante.

3.2.2 Filtrado de la señal

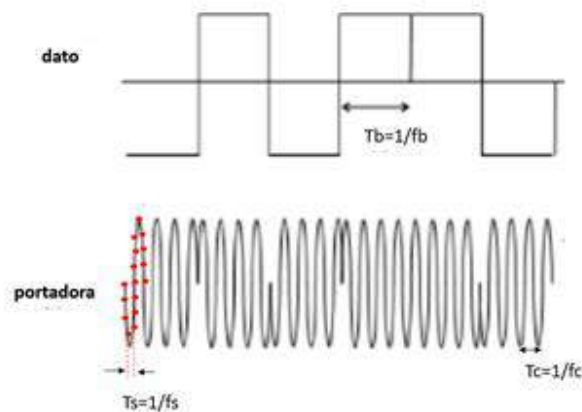
Luego de la conversión de digital a analógico, es necesario poder hacer una limitación en frecuencia, para evitar ruido sobre la señal que se quiere observar en el osciloscopio.

3.2.3 Funcionalidad

El osciloscopio deberá poder representar la señal modulada, en forma continua y con baja potencia de ruido. Además desde el DAC se deberá poder variar la amplitud de la señal, y desde la FPGA, la frecuencia. En la figura se ve un ejemplo de la evolución de las señales

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

modulante y portadora y las relaciones de tiempo con lo que se deberá almacenar en memoria.



$$T_c = N \cdot T_s \rightarrow T_b = N_c \cdot N \cdot T_s$$

- N cantidad de puntos del periodo de sinusoidal que se almacena en la ROM.
- T_c período de portadora
- N_c numero de periodos de portadora que entran en un dato.
- T_s período de señal de salida de la FPGA que ingresa al DAC.
- T_b tiempo de dato a transmitir. $T_b = N_c \cdot T_c$
- N muestras de w_l bits cada una. Memoria de $N \cdot w_l$
- Amplitud variable de la señal analógica de salida entre -10v y 10v
- Correcto seteo del osciloscopio
- Márgenes tolerables de la SNR

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

3.3 Requerimientos No Funcionales

Se especifican aquellos requerimientos que no tengan relación con la funcionalidad del sistema pero que son necesarios.

3.3.1 Requerimientos de desempeño y funcionamiento

Se requiere que el programa cargado en la FPGA, se desempeñe correctamente en cuanto a tiempos de ejecución esperados, según la frecuencia del reloj interna empleada y los retardos de cada bloque funcional. Como la frecuencia de trabajo es lo suficientemente alta, solo se buscará que responda correctamente según lo esperado, esto con un instrumento de medición, como lo es el osciloscopio. Las limitaciones temporales se encontrarán más bien relacionadas con el tiempo de conexión del circuito físico con la fuente de alimentación y el osciloscopio y el correcto funcionamiento, conexión, manipulación y orden de los cables que se deban usar. Por otro lado podrá existir una posible demora en la carga manual de los datos debido a algún error en la compilación/programación de la FPGA y/o cambios en el ingreso de los datos de entrada internos o externos.

3.3.2 Atributos del Sistema de Software y hardware

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

3.3.2.1 Fiabilidad

El sistema deberá presentar en la medición de su salida ruido superpuesto despreciable sobre la señal modulada (frecuencias superiores a la de la señal modulada). Esto será posible mediante al agregado circuital de un LPF. Por otro lado el correcto diseño de la placa circuital es fundamental para un buen desempeño del software, respecto a interferencias externas. Al momento de la fabricación, será necesaria una correcta y adecuada disposición de los dispositivos, buena calidad de los dispositivos a emplear, correcta soldaduras y disipación necesaria de los elementos que pueden generar calor. Lo nombrado se hace en pos de eliminar los errores de las fuentes de interferencias que pudieran manifestarse y el posible mal funcionamiento del sistema en general.

El software deberá estar libre de errores, con un correcto y minucioso depuramiento, a lograr mediante pruebas y simulaciones.

El instrumental de medición deberá ser de excelente calidad y que pueda responder a los parámetros requeridos por el sistema y que no agregue interferencias que puedan dar una mala lectura de la señal modulada esperada.

3.3.2.2 Seguridad

Está dirigida a la seguridad de los usuarios de tal sistema, los cuales no podrán correr riesgos eléctricos, lo que se puede lograr con aislaciones eléctricas con materiales no conductivos y mensajes de atención ante una zona de riesgo, como puede ser en cercanías

| | |
|--|-----------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES – AUTOR: MARIANO MOREL | Versión: 3.0 |
| Documento SRS | Fecha: 29/08/22 |

de las fuentes de alimentación. Sin embargo cabe aclarar que el circuito físico trabajará a tensiones menores a los 15 voltios y corrientes pequeñas que no pondrán en peligro al usuario.

Así también este ítem se enfoca a aquellas conexiones que deban ser tal que ninguna etapa sufra ningún daño eléctrico que pueda a llegar a afectar de manera permanente a ciertos componentes sensibles a parámetros eléctricos inadecuados.

3.3.2.3 Mantenibilidad

Se deberá periódicamente hacer una observación para que los valores de salida y de alimentación sean los correctos, que los datos llegan correctamente y que los conectores al osciloscopio estén en buen estado.

Apéndice C

Especificación Funcional

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 3.0 |
| Documento EF | Fecha: 29/08/2022 |

Documento EF

DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON
PARÁMETROS REGULABLES

AUTOR: MARIANO MOREL

Especificación Funcional

Versión 3.0

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 3.0 |
| Documento EF | Fecha: 29/08/2022 |

Historial de Revisiones

| Fecha | Versión | Descripción | Autor |
|----------|---------|--|---------------|
| 4/4/22 | 1.0 | Contiene una primera aproximación a los requerimientos funcionales del proyecto. Se sugiere evitar ambigüedades y corregir detalles de formato de portada y pie de página. | MARIANO MOREL |
| 20/6/22 | 2.0 | Se completa con mayor detalle en cuanto a definiciones y valores de las especificaciones funcionales de la versión anterior. Se modificó las referencias bibliográficas. Se debe modificar errores en los tiempos verbales | MARIANO MOREL |
| 29/08/22 | 3.0 | Se corrigen los tiempos verbales. Se incorporó un mayor detalle de los aspectos funcionales | MARIANO MOREL |

| | |
|---|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 3.0 |
| Documento EF | Fecha: 29/08/2022 |

Tabla de Contenido

- 1 Introducción
 - 1.1 Propósito del documento
 - 1.2 Alcance
 - 1.3 Definiciones, siglas y abreviaturas
 - 1.4 Referencias
- 2. Sistema
- 3. Especificaciones Funcionales
 - 3.1 Generación y Procesamiento de la Señal Modulada
 - 3.2 Filtrado de la señal
 - 3.3 Visualización para el usuario

| | |
|---|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 3.0 |
| Documento EF | Fecha: 29/08/2022 |

1. Introducción

Este documento contiene los requerimientos para la implementación en FPGA de señales digitales moduladas

1.1 Propósito

La motivación del diseño e implementación del presente sistema es la de permitir realizar distintas pruebas para el testeado de algoritmos de detección de señal en un sistema de Radio Cognitiva. En este caso se requiere un generador de señales moduladas digitalmente que permita variar la frecuencia de portadora y la potencia de la señal transmitida. Este documento define y describe los requerimientos de operaciones y desempeño de una implementación en FPGA de señales digitales moduladas. Está dirigido a todo aquel que se encuentre involucrado en el uso y aplicación de este sistema en cuestión, sirviendo el presente documento como guía para el entendimiento básicos de los requerimientos funcionales y las diferentes condiciones que regirán el proyecto en todas las etapas de su desarrollo. Esta especificación además permite definir un marco de trabajo para la realización del sistema propuesto.

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 3.0 |
| Documento EF | Fecha: 29/08/2022 |

1.2 Alcance

En este documento se definen los requerimientos funcionales, necesarios para los usuarios a los que se encuentra dirigido tal proyecto. Será desarrollado íntegramente por el autor del proyecto y supervisado y aprobado en cada etapa por los directores del laboratorio de procesos caóticos, y presentado finalmente para su aprobación final al responsable de la cátedra.

1.3 Definiciones, siglas y abreviaturas

- **Requerimientos funcionales:** describen las capacidades o funciones que el sistema será capaz de realizar.
- **Documento:** Es todo relato escrito que describe un proceso, un procedimiento, un manual, un formato sin diligenciar entre otros.
- **Registro:** Evidencia objetiva de que algo se está haciendo, lo cual no puede ser cambiado o actualizado una vez se realice.

| | |
|---|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 3.0 |
| Documento EF | Fecha: 29/08/2022 |

- **FPGA:** es el acrónimo de Field Programmable Gate Arrays y se refiere a dispositivos basados en semiconductores los cuales están compuestos por matrices de bloques lógicos configurables (CLB), estos se conectan a través de interconexiones programables para implementar distintos circuitos digitales.
- **LPF:** Low Pass Filter. Describe a un circuito el cual permite un filtrado en frecuencia pasa-bajos, es decir que permite el paso de señales de baja frecuencia, y atenuando las altas frecuencias.
- **VHDL:** Very High Speed Integrated Circuit Hardware Description Language. Lenguaje de Descripción de Hardware para Circuitos Integrados de Muy Alta Velocidad. Lenguaje de descripción de hardware utilizado para el diseño e implementación de dispositivos ASICs (circuito Integrado para aplicaciones específicas) y FPGAs.
- **IC:** Integrated Circuit. Circuito integrado. Es una estructura de pequeñas dimensiones de material semiconductor, normalmente silicio dentro del cual se implementa un circuito electrónico (resistencias, transistores. etc). Son identificados por siglas alfanuméricas según las compuertas a la que haga referencia.
- **ADC ó DAC:** Se trata de dispositivos que realizan la conversión analógico/digital o digital/analógicas de señales.

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 3.0 |
| Documento EF | Fecha: 29/08/2022 |

- **OSCILOSCOPIO** es un instrumento de visualización electrónico para la representación gráfica de señales eléctricas que pueden variar en el tiempo

1.4 Referencias:

- Y. Arjoune and N. Kaabouch, “A comprehensive survey on spectrum sensing in cognitive radio networks: Recent advances, new challenges, and future research directions,” *Sensors (Switzerland)*, vol. 19, no. 1, 2019.
- A. K. Chaudhary, P. Pratik, S. Gupta, and V. Kakkar, “Improved digital design of bpsk modulator using look-up table technique,” in *2013 International Conference on Advances in Computing, Communications and Informatics (ICACCI)*. IEEE, 2013, pp. 47–52.
- S. Popescu, A. Gontean, and G. Budura, “Bpsk system on spartan 3e fpga,” in *2012 IEEE 10th International Symposium on Applied Machine Intelligence and Informatics (SAMI)*. IEEE, 2012, pp. 301–306.
- Y. Chye, M. Ain, and N. M. Zawawi, “Design of bpsk transmitter using fpga with dac,” in *2009 IEEE 9th Malaysia International Conference on Communications (MICC)*.

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 3.0 |
| Documento EF | Fecha: 29/08/2022 |

IEEE, 2009, pp. 451–456.

- CI M. Morel, “GitHub,” GitHub repository, 2022. [Online]. Available: <https://acortar.link/2RpRLF> .
- CI Ba9221. [Online]. Available: <http://www.synfo.nl/datasheets/BA9221.pdf>
- CI ADC1634. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/adg1634l.pdf>
- CI OP27. [Online]. Available: <https://pdf1.alldatasheet.com/datasheet-pdf/view/48504/AD/OP27.html>
- CI NE5532. [Online]. Available: <https://pdf1.alldatasheet.com/datasheet-pdf/view/17968/PHILIPS/NE5532.html>
- CI BA4558. [Online]. Available: <https://pdf1.alldatasheet.com/datasheet-pdf/view/36012/ROHM/BA4558.html>

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 3.0 |
| Documento EF | Fecha: 29/08/2022 |

2. Sistema

El sistema estará implementado en una FPGA Cyclone III de la empresa Altera, el cual generará por un lado los datos a transmitir y la señal portadora, obteniéndose a la salida una señal modulada digitalmente. Dicha modulación también podrá hacerse con datos tomados en forma externa. Luego en una placa se incluirá el conversor DAC y la circuitería que permita variar la potencia de salida. El código desarrollado en VHDL se carga posteriormente en la FPGA. Como se mencionó, la motivación de este proyecto es la de permitir realizar distintas pruebas para la detección de señal bajo la técnica de Radio Cognitiva. Para ellos se requiere que el sistema implementado genere señales moduladas a una determinada potencia para conseguir una relación señal a ruido detectable. Para realizar las pruebas se requiere de una PC, una FPGA y a placa DAC.

- PC, FPGA, DAC y osciloscopio deben poseer sus alimentaciones de forma individual.
- Las conexiones entre la PC y la FPGA serán mediante conexión USB. Entre FPGA y DAC, a priori, mediante un conector GPIO de 20x2 pines. Las pruebas sobre el DAC se harán con punta de prueba para osciloscopio.
- Todo el sistema tendrá indicadores LED de encendido
- La placa de FPGA posee LED que indicará carga de datos y diversos swiches para habilitar la salida y seleccionar los distintos parámetros del sistema (frecuencia, ciclos de

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 3.0 |
| Documento EF | Fecha: 29/08/2022 |

señal y selección de datos internos o externos). Es fundamental el agregado de un bloque antirrebote cuando se utilice pulsadores, por ejemplo para el caso de usar una multiplexación para la alternancia entre los datos que se tomen en forma interna/externa.

3. Especificaciones Funcionales

En esta sección se busca describir los diferentes requerimientos funcionales de una manera simple de entender para el usuario.

3.1 Generación y Procesamiento de la Señal Modulada

En primera instancia se requiere generar datos binarios que simulen la información a transmitir que permiten generar la modulación mencionada. Estos datos son implementados con un generador de número pseudoaleatorios que desplace sus datos y coloque su último dato del siguiente modo en forma simplificada:

$$\text{REG}(0) \leftarrow \text{REG}(7);$$

$$\text{REG}(1) \leftarrow \text{REG}(0);$$

$$\text{REG}(2) \leftarrow \text{REG}(1) \text{ xnor } \text{REG}(7);$$

$$\text{REG}(3) \leftarrow \text{REG}(2) \text{ xnor } \text{REG}(7);$$

$$\text{REG}(4) \leftarrow \text{REG}(3) \text{ xnor } \text{REG}(7);$$

$$\text{REG}(5) \leftarrow \text{REG}(4);$$

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 3.0 |
| Documento EF | Fecha: 29/08/2022 |

REG(6)<=REG(5);

REG(7)<=REG(6);

SALIDA<=REG(7);

Por otro lado se debe generar la señal portadora. Esta se implementó almacenando en una memoria ROM un cuarto de ciclo de sinusoidal (seno con fase cero) con N muestras. El sistema irá generando los datos, bajo un sincronismo para todo el sistema y en conjunto con estos datos mencionados, se leerá la ROM y se enviará hacia la salida la señal portadora con la fase correspondiente. Esto es, para generar un seno se debe leer la memoria ROM de la siguiente forma:

1er cuarto: Cuenta ascendente de 0 a N-1

2do cuarto: Cuenta descendente de N-1 a 0

3er cuarto: Cuenta ascendente de 0 a N-1, salida negada

4to cuarto: Cuenta descendente de N-1 a 0, salida negada

3.2 Filtrado de la señal

Se usará el filtrado en frecuencia para limitar el ruido de cuantificación del DAC y suavizar la señal de salida. Así se deberá colocar un LPF tipo RC a la salida del DAC. La frecuencia de corte del filtro estará establecida por la máxima frecuencia de señal portadora que se

| | |
|---|--------------------------|
| <p style="text-align: center;">DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES</p> | <p>Versión: 3.0</p> |
| <p>Documento EF</p> | <p>Fecha: 29/08/2022</p> |

desea implementar. En este caso se debe considerar que el circuito permita variar la frecuencia de portadora mediante una entrada, esto equivale a no leer todas las muestras de la memoria ROM para reproducir la portadora. La mayor frecuencia de portadora estará establecida por enviar al menos dos muestras por ciclo (de acuerdo con Nyquist). Por otro lado la velocidad de lectura de la memoria ROM se controla mediante el clock recibido internamente por la memoria. Esta frecuencia se establece mediante un bloque de PLL dentro de la FPGA, el cual recibirá una señal de clock externa de 125MHz y es capaz de incrementarla o disminuirla (se usará a priori aproximadamente 100 veces menor).

| | |
|---|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 3.0 |
| Documento EF | Fecha: 29/08/2022 |

3.3 Visualización para el usuario

Se deberá mostrar en pantalla del osciloscopio toda la información pertinente para la retroalimentación del usuario, esto será poder observar la señal modulada, en forma continua y la señal modulante de manera de ver los datos junto con el cambio de fase. Necesariamente la base de tiempo deberá estar acorde a la frecuencia que se esté ingresando y del mismo modo la amplitud, de manera que la información sea clara. Además desde la placa DAC se deberá poder variar la amplitud de la señal de salida en el valor de 5-10Volts pico a pico, y desde la FPGA, la frecuencia de señal modulada junto con la cantidad de ciclos de señal por dato transmitido, que a priori serán de 1 a 8 ciclos por dato y con saltos en frecuencia cada 1 a 32 muestras para la modificación de la frecuencia de salida.

Apéndice D

Especificación Técnica

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

Documento ET

DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON
PARÁMETROS REGULABLES

AUTOR: MARIANO MOREL

Especificaciones Técnicas

Versión 2.0

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

Historial de Revisiones

| Fecha | Versión | Descripción | Autor |
|----------|---------|---|---------------|
| 29/6/22 | 1.0 | Primera entrega, se sugiere cambios en los detalles técnicos | MARIANO MOREL |
| 29/08/22 | 2.0 | Modificación de la denominación del proyecto. Cambios en la presentación del documento. Corrección de ambigüedades técnicas | MARIANO MOREL |

| | |
|---|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

Tabla de Contenido

1. Introducción
 - 1.1 Propósito del documento
 - 1.2 Alcance
 - 1.3 Definiciones, siglas y abreviaturas
2. Sistema
3. Especificaciones Técnicas
 - 3.1 Generación y Procesamiento de la Señal Modulada
 - 3.2 Filtrado de la señal
 - 3.3 DAC. Conversión digital analógica
 - 3.4 FPGA. Control de frecuencia y periodos
 - 3.5 Multiplexado
 - 3.6 Visualización para el usuario
 - 3.7 Conectividad
 - 3.8 Documentos de usuario

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

1. *Introducción*

Este documento contiene los requerimientos técnicos para la implementación en FPGA de señal/es digital/es modulada/s

1.1 *Propósito*

Se requiere un generador de señal/es modulada/s digitalmente el cual permita variar la frecuencia de portadora y la potencia de la señal transmitida para el uso de la técnica de Radio Cognitiva para el sensado espectral de canales licenciados que se encuentren ociosos. Este documento define y describe los requerimientos de operaciones y desempeño de una implementación en FPGA de señal/es digital/es modulada/s, pero sobre todo intenta señalar los aspectos técnicos y constructivos para la reproducción de la misma.

1.2 *Alcance*

Será desarrollado íntegramente por el autor del proyecto y supervisado y aprobado en cada etapa por los directores del laboratorio de procesos caóticos, y presentado finalmente para su aprobación final al responsable de la cátedra. Sin embargo se dejará registro de cómo se desarrollará cada etapa constructiva.

1.3 *Definiciones, siglas y abreviaturas*

- **Requerimientos funcionales:** describen las capacidades o funciones que el sistema será capaz de realizar.

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

- **Documento:** Es todo relato escrito que describe un proceso, un procedimiento, un manual, un formato sin diligenciar entre otros.
- **Registro:** Evidencia objetiva de que algo se está haciendo, lo cual no puede ser cambiado o actualizado una vez se realice.
- **FPGA:** es el acrónimo de Field Programmable Gate Arrays y se refiere a dispositivos basados en semiconductores los cuales están compuestos por matrices de bloques lógicos configurables (CLB), estos se conectan a través de interconexiones programables para implementar distintos circuitos digitales.
- **LPF:** Low Pass Filter. Describe a un circuito el cual permite un filtrado en frecuencia pasa-bajos, es decir que permite el paso de señales de baja frecuencia, y atenuando las altas frecuencias.
- **VHDL:** Very High Speed Integrated Circuit Hardware Description Language. Lenguaje de Descripción de Hardware para Circuitos Integrados de Muy Alta Velocidad. Lenguaje de descripción de hardware utilizado para el diseño e implementación de dispositivos ASICs (circuito Integrado para aplicaciones específicas) y FPGAs.

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

- **IC:** Integrated Circuit. Circuito integrado. Es una estructura de pequeñas dimensiones de material semiconductor, normalmente silicio dentro del cual se implementa un circuito electrónico (resistencias, transistores. etc). Son identificados por siglas alfanuméricas según las compuertas a la que haga referencia.
- **ADC ó DAC:** Se trata de dispositivos que realizan la conversión analógico/digital o digital/analógicas de señales.
- **OSCILOSCOPIO** es un instrumento de visualización electrónico para la representación gráfica de señales eléctricas que pueden variar en el tiempo

1.4 Referencias:

- Y. Arjouné and N. Kaabouch, "A comprehensive survey on spectrum sensing in cognitive radio networks: Recent advances, new challenges, and future research directions," *Sensors (Switzerland)*, vol. 19, no. 1, 2019.
- A. K. Chaudhary, P. Pratik, S. Gupta, and V. Kakkar, "Improved digital design of bpsk modulator using look-up table technique," in 2013 International Conference on Advances in Computing, Communications and Informatics (ICACCI). IEEE, 2013, pp. 47–52.

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

- S. Popescu, A. Gontean, and G. Budura, “Bpsk system on spartan 3e fpga,” in 2012 IEEE 10th International Symposium on Applied Machine Intelligence and Informatics (SAMI). IEEE, 2012, pp. 301–306.
- Y. Chye, M. Ain, and N. M. Zawawi, “Design of bpsk transmitter using fpga with dac,” in 2009 IEEE 9th Malaysia International Conference on Communications (MICC). IEEE, 2009, pp. 451–456.
- CI M. Morel, “GitHub,” GitHub repository, 2022. [Online]. Available: <https://acortar.link/2RpRLF>.
- CI Ba9221. [Online]. Available: <http://www.synfo.nl/datasheets/BA9221.pdf>
- CI ADC1634. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/adg1634l.pdf>
- CI OP27. [Online]. Available: <https://pdf1.alldatasheet.com/datasheet-pdf/view/48504/AD/OP27.html>
- CI NE5532. [Online]. Available:

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

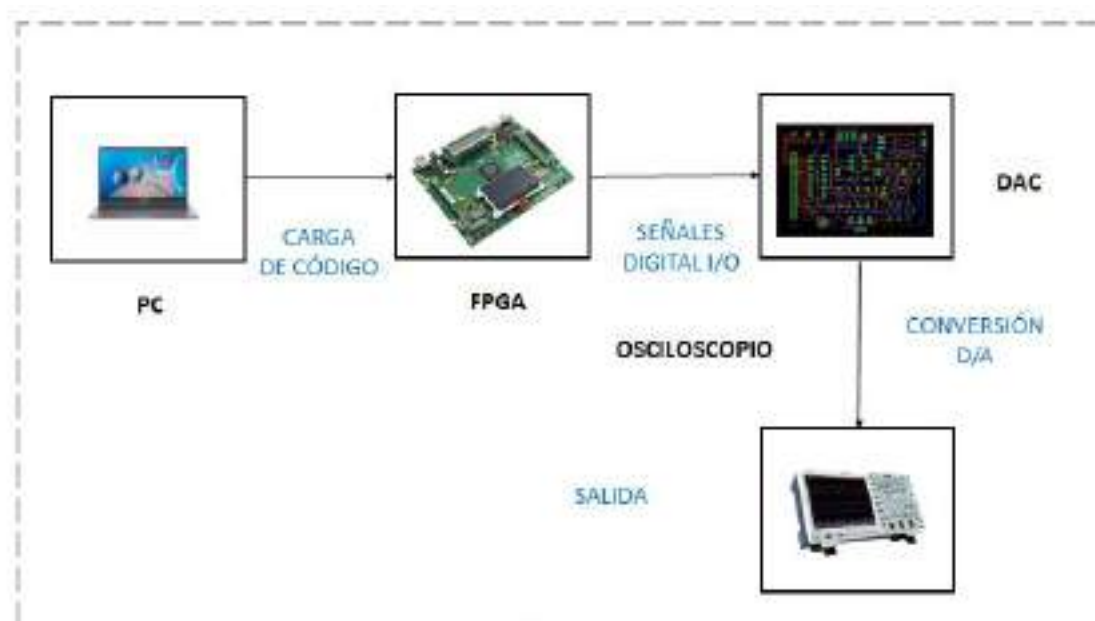
<https://pdf1.alldatasheet.com/datasheet-pdf/view/17968/PHILIPS/NE5532.html>

- CI BA4558. [Online]. Available:

<https://pdf1.alldatasheet.com/datasheet-pdf/view/36012/ROHM/BA4558.html>

2. Sistema

El sistema deberá presentar una estructura similar al siguiente diagrama



El sistema será implementado en una FPGA Cyclone III de la empresa Altera, el cual generará por un lado los datos a transmitir y la señal de portadora, obteniéndose a la salida la portadora modulada digitalmente por los datos. Dicha modulación también podrá hacerse con datos tomados en forma externa desde un pin en la misma placa DAC. Se pretende que el programa, use la mínima cantidad de recursos posibles, es por ellos que se almacenaran

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

solo N=256 muestras y se las reproducirá por cuartos hasta tener la senoidal completa. Luego en una placa se incluirá el conversor DAC BA9221 y la circuitería que permita variar la potencia de salida, mediante un CI amplificador operacional NE5532.

El código desarrollado en VHDL en el software Quartus II se carga posteriormente en la FPGA. Se requiere que el sistema a implementar genere señales moduladas a una determinada potencia (por ejemplo 0-10Volts pico a pico) para conseguir una relación señal a ruido detectable.

- PC, FPGA, DAC y osciloscopio tendrán sus alimentaciones de forma individual. Las alimentaciones de los CI's elegidos son ± 15 Volts y 5 Volts. La PC y FPGA con sus fuentes de alimentación de fábrica.
- La PC deberá poder almacenar y ejecutar correctamente al programa Quartus II (64-bit). Para la versión estándar se requiere un espacio mínimo en disco de 15GB
- Las conexiones entre la PC y la FPGA serán mediante el puerto USB tipo A/B (tipo impresora). Entre FPGA y DAC, mediante un conector GPIO de 20x2 pines, a priori. Las pruebas sobre el DAC se harán con puntas de prueba para osciloscopio, sin atenuación (con la base de tiempo dependiente a la frecuencia ingresada, al igual que la amplitud).

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

- Todo el sistema tendrá indicadores LED de encendido, tanto en la placa DAC, como también en la FPGA, donde se indicarán encendido y datos internos/externos respectivamente.
- Como se mencionó, la placa de FPGA posee LED de indicación de carga de datos y diversos swiches para habilitar la salida y seleccionar los distintos parámetros del sistema (frecuencia, ciclos de señal y selección de datos internos o externos). Se deben reservar de la placa FPGA, 5 swiches para generar los saltos entre muestras (variación de frecuencia), 2 swiches para selección de cantidad de períodos y 1 switch para el reset. Además se reserva un pulsador para intercambiar los datos externos/internos con un bloque hecho en código VHDL, que hace las veces de sistema antirrebote.
- La placa FPGA deberá proveer masa (GND) en uno de sus pines hacia la placa DAC, programado desde PIN PLANNER del Quartus II.
- La placa DAC deberá tener un pin para el ingreso de datos externos, salida de reloj de la señal modulante, salida de la señal modulante generada internamente con el código pseudoaleatorio, y la salida modulada propiamente dicha (con su correspondiente programación de pines desde PIN PLANNER)

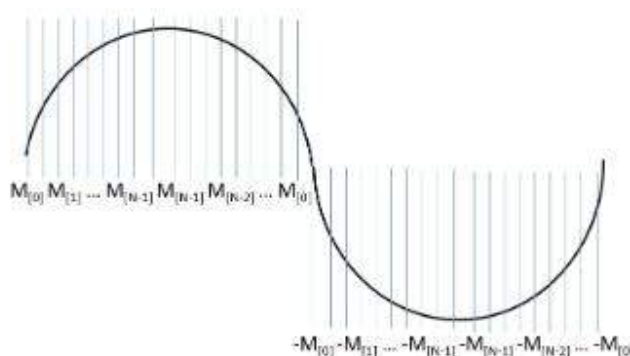
| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

3. Especificaciones Técnicas

3.1 Generación y Procesamiento de la Señal Modulada

En primera instancia se requiere generar en el programa Quartus II datos binarios que simulen la información a transmitir que generen la modulación mencionada. Estos datos serán implementados con cualquier un generador de número pseudoaleatorios (LFSR) que desplaza sus datos y colocará su último dato en la salida del bloque. Podrá usarse este método o cualquier otro modelo de código pseudoaleatorio.

Por otro lado se deberá generar el código de la señal portadora. Esta se implementará almacenando en una memoria ROM un cuarto de ciclo de sinusoidal (seno con fase cero) con N muestras, como se mencionó serán 256. El sistema irá generando los datos y en base a ellos se leerá de la ROM y se enviará hacia la salida a la señal portadora con la fase correspondiente. Esto es, para generar un seno se deberá leer la memoria ROM de la siguiente forma:



| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

1er cuarto: Cuenta ascendente de 0 a N-1

2do cuarto: Cuenta descendente de N-1 a 0

3er cuarto: Cuenta ascendente de 0 a N-1, salida negada

4to cuarto: Cuenta descendente de N-1 a 0, salida negada

3.2 Filtrado de la señal

Se usará el filtrado físico en frecuencia para limitar el ruido de cuantificación del DAC y suavizar la señal de salida. Así se deberá colocar un LPF tipo RC a la salida del DAC aproximadamente a una década por encima de la máxima frecuencia de señal modulada que se desee implementar, que a priori estará en el orden de los 40kHz. En este caso se deberá considerar que el circuito permita variar la frecuencia de portadora mediante una entrada, esto equivale a no leer todas las muestras de la memoria ROM para reproducir la portadora. Se tomarán saltos entre muestras de 1 a 32 lo que permitirá variar la frecuencia.

La mayor frecuencia de portadora estará establecida por enviar al menos dos muestras por ciclo (de acuerdo con Nyquist). Por otro lado la velocidad de lectura de la memoria ROM se controla mediante el clock recibido internamente por la memoria. Esta frecuencia se establece mediante un bloque de PLL dentro de la FPGA, el cual recibe una señal de clock externa de 125MHz muy estable y precisa y es capaz de incrementarla o disminuirla (se usará 100 veces menor en primera instancia). Esta señal de reloj se usará en todas las etapas de programa de forma sincronizada.

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

3.3 DAC. Conversión digital analógica

Se usará el DAC BA9221 como CI para la conversión, junto con el NE5532 (quien hará las veces de conversión corriente-tensión según lo indicado en la hoja de datos y para generar una tensión de referencia gracias su comportamiento dual como amplificadores operacionales, además de poseer gran ancho de banda y valor de slew rate adecuado).

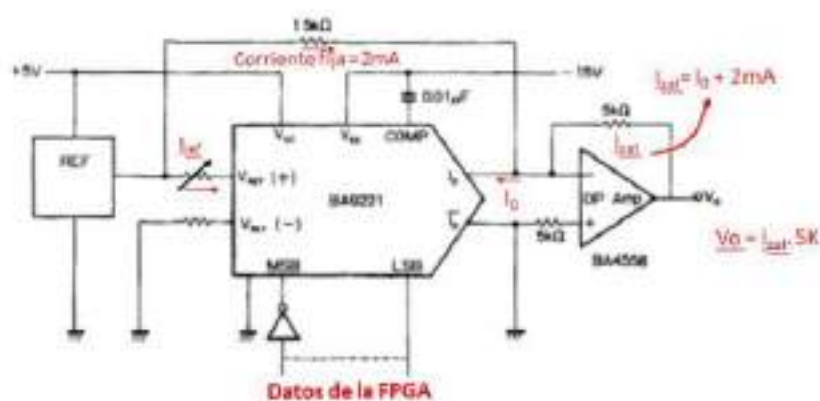
La placa a diseñar, se hará mediante algún programa afín (por ejemplo EAGLE) y se deberá enviar a fabricar a alguna empresa dedicada a tales trabajos para una mayor precisión en el diseño. Se hará en doble faz con máscaras antisoldantes y de componentes. El montaje de componentes se hará manualmente con los componentes y el instrumental correspondiente, previamente teasteado todo el modelo circuital (en protoboard y simulación), que se puede obtener de la hoja de datos del DAC.

Entre los cálculos a tener en cuenta y que deberán realizarse, son el filtro LPF, la corriente de LED que indica el encendido de la placa (entre 10 y 20mA) y las resistencias correspondientes para definir la tensión de referencia (surge de la corriente de referencia) que se indica en la hoja de datos del conversor (0 y 3Volts mediante una configuración con operacional no inversor y un divisor resistivo con entrada de 5Volts de manera de aprovechar la tensión de alimentación del BA9221).

El conector GPIO deberá ir sobre la placa DAC. La misma deberá ser de tamaño reducido y con los componentes periféricos dispuestos de manera cómoda para su utilización.

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

Se tomará como referencia para el diseño de la placa DAC completa al siguiente esquema simplificado el cual realiza la conversión digital a analógico que se obtuvo de la hoja de datos del BA9221. Las hojas de datos de la FPGA, y CI's se encuentran en las referencias de este documento.



3.4 FPGA. Control de frecuencia y periodos

Se deberá poder implementar un código que permita variar la frecuencia a partir de una combinación binaria con swiches (5 swiches como se mencionó) desde la placa FPGA. Lo mismo será para el caso de la cantidad de periodos de la señal modulada por dato (2 swiches).

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

3.5 Multiplexado

Se deberá poder seleccionar mediante un pulsador en la placa FPGA y el código correspondiente, la carga de datos en forma externa o interna (código pseudoaleatorio).

A su vez este switch deberá poseer un comportamiento antirrebote, para no generar falsas lecturas en el osciloscopio. Nuevamente irá acompañado de su código correspondiente.

3.6 Visualización para el usuario

Se deberá mostrar en pantalla del osciloscopio toda la información pertinente para la retroalimentación del usuario, esto es poder observar la señal modulada, en forma continua y cualquier otra señal de salida que se incorpore como salida en la placa DAC, por ejemplo la señal de datos (modulante).

Además desde la placa DAC se deberá poder variar la amplitud de la señal con un potenciómetro de escala lineal (tensión de referencia), y desde la FPGA, la frecuencia de señal modulada junto con la cantidad de ciclos de señal por dato transmitido y un reseteo. Se recomienda que el instrumento posea capacidad de guardar imágenes mediante puerto USB, para su análisis posterior.

Desde la pantalla de la PC, sobre el Quartus II, se podrá tener acceso a cada uno de los bloques que contiene su código correspondiente, incluso para hacer modificaciones y cambiar parámetros. Tal entorno permite hacer las asignaciones de pines de la FPGA y simulaciones en caso de requerirlas.

| | |
|--|-------------------|
| DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES | Versión: 2.0 |
| Documento ET | Fecha: 29/08/2022 |

3.7 Conectividad

Como se mencionó, las alimentaciones de todos los instrumentos serán individuales. La FPGA, la PC y el osciloscopio poseen fuentes de alimentación internas con sus parámetros correspondientes. La placa DAC, deberá ser construida con una única fuente de alimentación doble (+15v y -15v), que luego internamente convierta a tensiones inferiores (5v) con un regulador 7805. Esto se hará para alimentar los circuitos integrados (BA9221 usará -15v y +5v y el NE5532 usará las tensiones de -15v y +15v)

Respecto a los datos, la placa FPGA se conectará con la placa DAC con un conector soldado a la misma GPIO 20x2 pines. La FPGA, mediante conexión USB A/B, se conectará a la PC para programarla con el código generado en VHDL, mediante Quartus II. Se deberá hacer previamente la asignación de pines mediante este software, para tener una correcta conexión entre la FPGA y la placa DAC.

Las mediciones con el osciloscopio se harán con las puntas de prueba del mismo instrumento, alternando entre los canales disponibles las señales que se desee medir sin atenuación es decir en X1.

3.8 Documentos de usuario

Se deberá contar con toda la información referida a cada uno de los dispositivos que intervienen, como es el manual de la placa de la FPGA, las hojas de datos de cada uno de los circuitos integrados y componentes en general, el circuito eléctrico de la placa DAC y el manual del osciloscopio

Apéndice E

Plan de pruebas

Universidad Nacional de Mar del Plata
Facultad de Ingeniería

Carrera: Ingeniería Electrónica

Proyecto: DISEÑO E IMPLEMENTACIÓN DE GENERADOR DE SEÑAL BPSK CON PARÁMETROS REGULABLES

Autor: Mariano Morel

PLAN DE PRUEBAS (PP)

Versión: 2.0 - 31/08/22

Modificación de la denominación del proyecto. Aclaración de especificaciones técnicas

Alcance: éste documento se encuentra basado en los requerimientos funcionales y técnicos necesarios para la utilización de tal implementación.

Las pruebas fueron realizadas íntegramente por el autor del proyecto y fue supervisado y aprobado en cada etapa por los directores del laboratorio de procesos caóticos de la FI UNMDP.

Tiene como objetivo principal de elaborar una tabla de mediciones de los parámetros mas relevantes sobre el proyecto ya terminado.

Ambientes de prueba: las pruebas técnicas tanto como el montaje de los componentes de la placa DAC fueron realizados en el laboratorio de procesos caóticos.

Recursos, herramientas e instrumentos: se utilizó herramientas provistas por el laboratorio de procesos caóticos como así también la PC y la placa FPGA.

La fuente de alimentación y el osciloscopio fue provisto por el pañol del departamento de Ingeniería Electrónica

Políticas de trabajo: se llevarón a cabo jornadas de 4/5horas, donde se evaluó y testeó cada etapa finalizada.

Finalizados los testeos, se procedió a presentar el proyecto al encargado de aprobación del proyecto/asignatura

| Módulo | Pruebas | Descripción | | Fuente | Esperados | Observación | Comentarios | Ficha | |
|-------------------------|---------|-------------|-------------|---|--|--|--|--|----------|
| Número | Tipo | Nombre | | | | | | | |
| Adaptador de señal | 1 | Unidad | Adaptación | FUENTE DE ALIMENTACIÓN FC PLACA DAC PLACA FPGA OCTOCORPIO | Se alimenta el DAC. Se conecta la placa DAC a la FPGA. Se programan el código desde la PC en la FPGA. Se toma la señal del DAC en el osciloscopio. | Señal modulada en Frec y señal modulada | Se obtiene la señal modulada generada como se describe en la especificación técnica 3.1, al igual que la señal modulada. Por otra parte en pantalla del osciloscopio se muestran los valores como se muestran en la especificación técnica 3.6. Indirectamente quedan los descritos las especificaciones 2.4 y 2.5 ya que las pruebas se hacen variando los los parámetros de frecuencia, señal de datos introducidos desde la placa FPGA. | R/N/2021 | |
| Filtrado de señal | 2 | Unidad | LFP | FUENTE DE ALIMENTACIÓN FC PLACA DAC PLACA FPGA OCTOCORPIO | Se mide con el osciloscopio antes y después del filtro | Señal de los pines de salida de la señal sin pérdida de potencia | Señal de los pines de salida de la señal sin pérdida de potencia señalidad, con descargas y armónicos propios de la aplicación del Bina y de la frecuencia de señal. | R/N/2021 | |
| Tensión de referencia | 3 | Unidad | VREF | FUENTE DE ALIMENTACIÓN PLACA DAC | Se mide la tensión de referencia en la entrada de VREF del BAV211 de la placa DAC | Vref=3 Volt | Vref=3.02 Volt | No genera inconvenientes en la implementación más valor. Por otra parte se trabajó bajo los parámetros de la especificación 2.2 donde se establecen los valores correctos que debe tener para lograr una tensión de referencia. | R/N/2021 |
| Tensión de salida "REF" | 4 | Unidad | VCC | FUENTE DE ALIMENTACIÓN PLACA DAC | Se mide la tensión de salida a la salida del regulador "REF" de la placa DAC | VCC=3 Volt | Vref=3.09 Volt | No genera inconvenientes en la implementación. Por otra parte se trabajó bajo los parámetros de la especificación técnica 3.7 donde se establece que se registrará una tensión de 3V y a que (1) alimentará. | R/N/2021 |
| Corriente I.EE BOLD | 5 | Unidad | I.EE | FUENTE DE ALIMENTACIÓN PLACA DAC | Se mide en forma indirecta la corriente que circula por el led, midiendo la tensión sobre la resistencia de 10KΩ en serie al led rojo | V(R10K)=0.5 Volt, I=5mA | V(R10K)=0.5 Volt, I=5mA | No se trabajó bajo los parámetros de la especificación técnica 3.3 donde se establece que corriente circulará por el I.EE | R/N/2021 |
| Potencia consumida DAC | 6 | Unidad | Consumo | FUENTE DE ALIMENTACIÓN PLACA DAC | Se miden las corrientes de la fuente dual y se calcula la potencia consumida por la placa DAC mediante el producto de las tensiones por las corrientes medidas | Consumo menor a P=0.72W (máximo) | Consumo de P=0.857W (a 1.5 Volt con corrientes de 0.5A y 0.5A respectivamente) | El consumo esperado se midió a máxima potencia de los consumos de los componentes activos del circuito. No está incluida en forma directa alguna de las especificaciones. No sobrepasa la especificación técnica 3.8 se mencionan los límites de flujo de calor de cada IC, donde se especifica la potencia de alimentación y de corriente de manera de poder determinar la potencia disipada. | R/N/2021 |
| Sistema Completo | 7 | Integral | Dispositivo | FUENTE DE ALIMENTACIÓN FC PLACA DAC PLACA FPGA OCTOCORPIO | Se debe comprobar el correcto comportamiento del código según especificaciones en forma individual y con la placa DAC conectada | Medir comportamiento por simulación que mediante placa física | Medir comportamiento por simulación que mediante placa física | Para este caso se deben tener en cuenta todas las especificaciones técnicas para un análisis integral del sistema en general. | R/N/2021 |