

SISTEMA PLC DE BANDA ANGOSTA PARA LA CARACTERIZACIÓN DE LA IMPEDANCIA DE LA RED ELÉCTRICA

Adrián de la Fuente

El presente Trabajo de Tesis ha sido desarrollado en el Laboratorio de Instrumentación y Control de la Universidad Nacional de Mar del Plata, y presentado al Departamento de Electrónica de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata el 12 de Noviembre de 2018, como requisito parcial para la obtención del título de Ingeniero Electrónico.

Director: Dr. Ing. Matías Hadad

Codirector: Dr. Ing. Marcos Funes



UNIVERSIDAD NACIONAL
de MAR DEL PLATA
.....



RINFI se desarrolla en forma conjunta entre el INTEMA y la Biblioteca de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata.

Tiene como objetivo recopilar, organizar, gestionar, difundir y preservar documentos digitales en Ingeniería, Ciencia y Tecnología de Materiales y Ciencias Afines.

A través del Acceso Abierto, se pretende aumentar la visibilidad y el impacto de los resultados de la investigación, asumiendo las políticas y cumpliendo con los protocolos y estándares internacionales para la interoperabilidad entre repositorios



Esta obra está bajo una [Licencia Creative Commons Atribución-
NoComercial-CompartirIgual 4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/).

Índice general

Agradecimientos	8
Resumen	9
Nomenclatura	10
1. Introducción	12
1.1. Comunicaciones por la red eléctrica (PLC).....	12
1.1.1. Tipos de PLC	13
1.2. Problemáticas asociadas a PLC	13
1.2.1. Modelado del canal.....	14
1.2.2. Fuentes de ruido	14
1.3. Esquema básico de PLC.....	15
1.4. Sistema PLC de banda angosta	16
1.4.1. Regulaciones regionales.....	16
1.4.2. Transmisión en banda angosta.....	17
1.5. Objetivos.....	22
2. Diseño del sistema	23
2.1. Método de medición	23
2.2. Generación de la señal de medición	24
2.2.1. Señal de barrido (chirp).....	24
2.2.2. Conversor digital-analógico (DAC).....	30
2.2.3. Amplificador de potencia	32
2.3. Acoplador de red	34
2.3.1. Filtro de salida.....	35
2.3.2. Transformador de acoplamiento	35
2.3.3. Dispositivos de protección	36
2.4. Medición y procesamiento de señales.....	37
2.4.1. Cálculo de la impedancia de línea (Z_L).....	38
2.4.2. Método de calibración	39
2.4.3. Amplificación y adquisición de señales (V_T e I_T).....	42
3. Implementación del sistema	47
3.1. Generación de chirp analógica	48
3.1.1. Amplificador de potencia (OPA564).....	48
3.1.1.1. Ajuste del límite de corriente (I_{LIM}).....	48
3.1.1.2. Monitoreo de señales de control (I_{FLAG} y T_{FLAG}).....	49

3.1.1.3. Fuentes de alimentación, ganancia y amplitud de salida	51
3.1.1.4. Fuente de alimentación digital.....	52
3.1.1.5. Compensación y protección de la etapa de salida	53
3.1.1.6. Disipación térmica.....	54
3.1.2. Conversor digital-analógico (DAC) y pre-amplificador	56
3.2. Acoplador de red	57
3.2.1. Filtro de salida.....	58
3.2.2. Transformador de acoplamiento (T_A).....	58
3.2.3. Dispositivos de protección (TVS y MOV)	60
3.3. Amplificación y adquisición de señales (V_T e I_T)	61
3.3.1. Resistencia de medición de corriente (R_S).....	62
3.3.2. Fuentes de alimentación y amplitud de señales	62
3.3.3. Ganancias de los amplificadores de instrumentación (G_A y G_B)	64
3.4. Control en lógica programable (FPGA)	66
3.4.1. Recursos de hardware disponibles.....	66
3.4.2. Generación y adquisición digital de señales.....	67
3.4.2.1. Frecuencias de muestreo y cantidad de muestras	68
3.4.2.2. Generación de chirp digital	69
3.4.2.3. Proceso de medición y adquisición de muestras.....	72
3.4.3. Requerimientos de hardware.....	72
3.4.3.1. Asignación de señales en conectores de expansión (A1 y A2)	73
3.4.4. Circuito lógico de control	76
3.4.4.1. Interfaz de comunicación serie UART	76
3.4.4.2. Interfaz de configuración y control del ADC.....	79
3.4.4.3. Memoria RAM.....	85
3.4.4.4. Memoria ROM e Interfaz del DAC.....	87
3.4.4.5. Lógica de Control	87
3.5. Control en la PC (Python).....	89
3.5.1. Procesamiento digital de señales.....	89
3.5.2. Monitoreo del amplificador de potencia (OPA)	90
3.5.3. Control automático de ganancia (AGC)	90
3.5.4. Integración de puertos por USB	92
3.5.4.1. Configuración del FT2232H Mini Module.....	92
3.5.4.2. Programación de la FPGA (XC3SPROG)	95
3.5.5. Programa de control e Interfaz de usuario.....	95
3.5.5.1. Módulos de extensión y módulos de programa.....	95

3.5.5.2. Inicialización de la interfaz de usuario	97
3.5.5.3. Funciones de chequeo, recuperación y cierre.....	99
3.5.5.4. Función de programación de ganancia	99
3.5.5.5. Función de medición y ploteo de señales	99
3.5.5.6. Función de calibración del sistema	100
3.5.5.7. Función de medición simple de impedancia	100
3.5.5.8. Función de ploteo simple de impedancia.....	101
3.5.5.9. Función de medición múltiple de impedancia	101
3.5.5.10. Función de ploteo múltiple de impedancia	102
3.6. Evaluación en entorno de simulación	103
3.6.1. Simulación del método de calibración	103
3.6.2. Simulación del método de medición	105
4. Resultados experimentales	108
5. Conclusiones	114
A. Modelado y simulación del sistema	115
A.1. Modelos de simulación.....	116
A.1.1. Amplificadores operacionales (OPA564, THS4032, THS4130).....	116
A.1.2. Amplificador de ganancia variable (VGA).....	117
A.1.3. Conversor analógico-digital (ADC)	117
A.1.4. Conversor digital-analógico (DAC)	118
A.1.5. Transformador de acoplamiento (T_A).....	119
A.2. Respuesta en frecuencia (Bode)	119
B. Esquemáticos del circuito y PCB	123
Bibliografía	133

Índice de figuras y tablas

Figura 1.1: Diagrama en bloques básico de un sistema de comunicación PLC.	15
Figura 1.2: Bandas de frecuencia reguladas para PLC de banda angosta.	16
Figura 1.3: Máximo nivel de salida para bandas reguladas por CENELEC EN 50065-1 [13].	17
Figura 1.4: Esquema básico de transmisión de un sistema PLC de banda angosta.	18
Figura 1.5: Tensión de salida en función de la impedancia de línea para un modem PLC TDA5051A [16].	19
Figura 1.6: Forma de onda del ruido presente en el punto de recepción [23].	20
Figura 1.7: Forma de onda de la señal recibida para una transmisión en el mismo punto de recepción [23].	20
Figura 1.8: Forma de onda de la señal recibida para una transmisión a una distancia aproximada de 20 metros [23].	21
Figura 2.1: Diagrama en bloques del sistema.	23
Figura 2.2: Forma de onda de una chirp lineal; onda senoidal que aumenta en frecuencia linealmente con el tiempo [33].	25
Figura 2.3: Espectros de potencia de una chirp lineal [34].	28
Figura 2.4: Fase residual de una chirp lineal [34].	28
Figura 2.5: Fracción de potencia de una chirp por fuera del rango de barrido [34].	29
Figura 2.6: Esquema de conversión de señal digital a señal analógica.	31
Figura 2.7: Amplificador OPA564 - (a) configuración de pines, (b) diagrama funcional.	33
Figura 2.8: Circuito simplificado de acoplador PLC capacitivo.	34
Figura 2.9: Circuito de acoplamiento PLC.	36
Figura 2.10: Circuito de acoplador PLC con dispositivos de protección.	37
Figura 2.11: Medición de señales en el circuito.	38
Figura 2.12: Modelo no ideal del transformador de acoplamiento.	39
Figura 2.13: Circuito simplificado del transformador de acoplamiento.	40
Figura 2.14: Amplificador de instrumentación.	43
Figura 2.15: Diagrama en bloques general del amplificador de ganancia variable.	44
Figura 2.16: Circuito de amplificación y adquisición de las señales V_T e I_T	45
Figura 3.1: Diagrama en bloques funcional del sistema.	47
Figura 3.2: Circuito equivalente del amplificador OPA564 con la salida apagada [30].	50
Figura 3.3: Circuito de monitoreo opto-acoplado de las señales digitales del OPA564.	51
Figura 3.4: Tensión de salida vs. Corriente de salida (OPA564) [30].	51
Figura 3.5: Tensión de salida vs. Frecuencia de operación (OPA564) [30].	52
Figura 3.6: Circuito para generar la tensión V_{DIG} del OPA564.	53

Figura 3.7: Circuito de compensación y protección de la etapa de salida (OPA564) [30].	54
Figura 3.8: Circuito simplificado del amplificador de potencia.	55
Figura 3.9: Curva característica (corriente-tensión) de un TVS bidireccional [74].	61
Figura 3.10: Tensión de salida vs. Resistencia de carga diferencial (THS4130) [41].	63
Figura 3.11: Digilent Spartan-3 Starter Kit Board.	66
Figura 3.12: Diagrama en bloques del kit de desarrollo en FPGA.	67
Figura 3.13: Forma de onda de la señal chirp de tiempo discreto.	70
Figura 3.14: Espectro de frecuencias discreto de la señal chirp.	70
Figura 3.15: Forma de onda de la señal chirp filtrada.	71
Figura 3.16: Espectro de frecuencias discreto de la señal chirp filtrada.	71
Figura 3.17: Diagrama de asignación de pines – (a) DAC THS5661A, (b) ADC THS1206.	73
Tabla 3.1: Asignación de señales en el conector de expansión A1.	74
Tabla 3.2: Asignación de señales en el conector de expansión A2.	75
Figura 3.18: Diagrama en bloques del circuito lógico implementado en la FPGA.	76
Figura 3.19: Formato de paquete de datos utilizado para los comandos de control.	77
Tabla 3.3: Comandos de control del sistema.	78
Figura 3.20: Diagrama de flujo del protocolo de comunicación.	78
Figura 3.21: Diagrama de bloques funcional del ADC THS1206 [43].	79
Tabla 3.4: Valores de bits programados en el registro CR0 del ADC THS1206.	80
Tabla 3.5: Valores de bits programados en el registro CR1 del ADC THS1206.	80
Figura 3.22: Diagrama de flujo de la rutina de inicialización y configuración del ADC.	82
Figura 3.23: Diagrama de flujo del proceso de conversión y lectura de muestras del ADC.	84
Figura 3.24: Diagrama de flujo del proceso de lectura de la memoria RAM.	86
Figura 3.25: Diagrama del modelo de implementación en VHDL de la FSM.	88
Figura 3.26: Programación del código de ganancia con interfaz paralela [42].	91
Figura 3.27: FTDI USB Hi-Speed FT2232H Mini Module [54].	93
Tabla 3.6: Asignación de señales en el conector CN2 (FT2232H Mini Module).	94
Tabla 3.7: Asignación de señales en el conector CN3 (FT2232H Mini Module).	94
Figura 3.28: Diagrama de jerarquía multinivel de la estructura del programa.	97
Figura 3.29: Diagrama de flujo de la rutina de inicialización de la interfaz de usuario.	98
Figura 3.30: Módulo y fase del vector K_c obtenido para el sistema simulado.	104
Figura 3.31: Módulo y fase del vector Z_s obtenido para el sistema simulado.	105
Figura 3.32: Magnitud y fase de la impedancia para diferentes cargas resistivas.	106
Figura 3.33: Magnitud y fase de la impedancia para cargas complejas.	107
Figura 4.1: Sistema PLC de banda angosta para la caracterización de la impedancia de la red eléctrica.	108

Figura 4.2: Magnitud y fase del vector K_C	109
Figura 4.3: Magnitud y fase del vector Z_S	110
Figura 4.4: Magnitud y fase de la impedancia Z_L para diferentes cargas resistivas.	111
Figura 4.5: Magnitud y fase de la impedancia Z_L para cargas complejas.	112
Figura 4.6: Magnitud de la impedancia de línea para un total de diez mediciones.....	113
Figura A.1: Esquemático del circuito simulado en el programa NL5.	115
Figura A.2: Ganancia / Fase vs. Frecuencia (OPA564) [30].	116
Figura A.3: Impedancia de salida a lazo cerrado sin carga (OPA564) [30].	117
Figura A.4: Esquema de entrada analógica equivalente del ADC (THS1206) [61].	118
Figura A.5: Respuesta en frecuencia del circuito simulado ($R_L=10\Omega$).	119
Figura A.6: Respuesta en frecuencia del circuito simulado ($R_L=1\Omega$).	120
Figura A.7: Respuesta en frecuencia del circuito para señal inyectada en la salida.	122
Tabla B.1: Listado de los componentes del circuito.	124
Figura B.1: Esquemático de la etapa de potencia (OPA) y el acoplador de red.	127
Figura B.2: Esquemático de la etapa de conversión digital-analógica y pre-amplificación.....	128
Figura B.3: Esquemático de la etapa de adquisición de señales y conversión analógica-digital.	129
Figura B.4: Esquemático de los conectores de expansión y las fuentes de alimentación.....	130
Figura B.5: Diseño de la capa superior del PCB.	131
Figura B.6: Diseño de la capa inferior del PCB.....	132

Agradecimientos

A mis directores Matías Hadad y Marcos Funes por la orientación y ayuda que me brindaron durante el desarrollo del trabajo que concluyó en esta tesis.

A mis colegas del Laboratorio de Instrumentación y Control por su compañerismo y solidaridad.

Resumen

Este trabajo discute el diseño e implementación de un sistema para la caracterización de la impedancia de la red de baja tensión para las comunicaciones por la red eléctrica (PLC) en banda angosta. El diseño del sistema involucra el desarrollo de una etapa de potencia y acoplamiento a la red eléctrica junto con el circuito de adquisición de las señales requeridas para su procesamiento digital y el posterior cálculo de la impedancia.

El hardware de control digital del sistema se implementa en lógica programable sobre una placa de desarrollo en FPGA, utilizando lenguaje VHDL para su diseño. Además, la interfaz de control del sistema para la configuración, calibración, medición y presentación de resultados, se implementa por medio de un programa de PC desarrollado en lenguaje Python.

Nomenclatura

ADC	Conversor analógico-digital (<i>Analog-to-Digital Converter</i>)
AGC	Control automático de ganancia (<i>Automatic Gain Control</i>)
AC	Corriente alterna (<i>Alternating Current</i>)
BPL	Banda ancha sobre líneas eléctricas (<i>Broadband over Power Lines</i>)
CMOS	Semiconductor complementario de óxido metálico (<i>Complementary Metal Oxide Semiconductor</i>)
CSV	Valores separados por comas (<i>Comma-separated Values</i>)
DAC	Conversor digital-analógico (<i>Digital-to-Analog Converter</i>)
FIFO	Primero en entrar, primero en salir (<i>First In, First Out</i>)
FFT	Transformada rápida de Fourier (<i>Fast Fourier Transform</i>)
FPGA	Matriz de compuertas lógicas programables (<i>Field-programmable Gate Array</i>)
FSM	Máquina de estados finitos (<i>Finite State Machine</i>)
FSK	Modulación por desplazamiento de frecuencia (<i>Frequency Shift Keying</i>)
GPIO	Entrada/salida de propósito general (<i>General Purpose Input/Output</i>)
GUI	Interfaz gráfica de usuario (<i>Graphics User Interface</i>)
IDLE	Entorno de desarrollo integrado (<i>Integrated DeveLopment Enviroment</i>)
LSB	Bit menos significativo (<i>Least Significant Bit</i>)
MOV	Varistor de óxido metálico (<i>Metal Oxide Varistor</i>)

MSB	Bit más significativo <i>(Most Significant Bit)</i>
MSPS	Millones de muestras por segundo <i>(Million Samples Per Second)</i>
NB-PLC	PLC de banda angosta <i>(Narrow-band PLC)</i>
OOK	Modulación por encendido-apagado <i>(On-Off Keying)</i>
PCB	Placa de circuito impreso <i>(Printed Circuit Board)</i>
PLC	Comunicaciones por la red eléctrica <i>(Power Line Communicactions)</i>
PSK	Modulación por desplazamiento de fase <i>(Phase Shift Keying)</i>
RAM	Memoria de acceso aleatorio <i>(Random-access Memory)</i>
ROM	Memoria de sólo lectura <i>(Read-only Memory)</i>
TL	Nivel de disparo o activación <i>(Trigger Level)</i>
TVS	Diodo de supresión de transitorios de tensión <i>(Transient Voltage Supression)</i>
UART	Transmisor-receptor asíncrono universal <i>(Universal Asynchronous Receiver-Transmitter)</i>
VGA	Amplificador de ganancia variable <i>(Variable Gain Amplifier)</i>
VHDL	Lenguaje de descripción de hardware VHSIC <i>(VHSIC Hardware Description Language)</i>
V _{PP}	Tensión pico a pico <i>(Peak-to-peak Voltage)</i>

1. Introducción

Existe un interés creciente por las aplicaciones de los sistemas de comunicaciones por la red eléctrica, especialmente impulsado por nuevos conceptos tecnológicos, tales como las redes eléctricas inteligentes (*Smart grids*). En el marco de este nuevo concepto de redes eléctricas, existe la necesidad de mejorar los sistemas de comunicación para las aplicaciones de medición o de control entre subestaciones y usuarios.

La comunicación de datos sobre la red eléctrica presenta algunas problemáticas, entre las que se encuentran, una presencia de ruido que dista de ser el comúnmente conocido ruido blanco aditivo gaussiano (AWGN), y una impedancia que varía con el tiempo y la posición. Esta última es especialmente perjudicial debido a que en ocasiones es inferior a la contemplada por normas y equipos comerciales por lo que produce una gran atenuación de las señales inyectadas a la red. Como consecuencia, la señal inyectada se ve deteriorada aún más por el ruido presente ocasionando errores en la comunicación o directamente una pérdida de alcance de la misma.

1.1. Comunicaciones por la red eléctrica (PLC)

El tendido de energía eléctrica conforma la red física más extensa del mundo. Está formada por miles de kilómetros de cable y llega a más de 3000 millones de personas, ofreciendo servicios incluso en aquellos lugares donde no hay acceso a otras redes cableadas. De esta manera, la alta capilaridad de la red de distribución de energía eléctrica, entendiendo capilaridad como la capacidad que tiene una red para ramificarse progresivamente hasta alcanzar el usuario final, asegura el acceso al servicio en zonas donde otras redes, como la de telefonía, no llegan. Utilizar esta extensa red para la transmisión de datos es una realidad tangible por medio de la tecnología de comunicaciones por la red eléctrica, también conocida por la sigla PLC (Power Line Communications).

La transmisión de datos por la red eléctrica es un concepto que surgió en las primeras décadas del siglo XX, cuando se propuso su utilización para telefonía [1][2]. Esta tecnología ha sido estudiada desde los años 50, con fines de control remoto de recursos. En 1950 se desarrolló el primer sistema PLC, conocido como Ripple Control, para aplicaciones en redes eléctricas de baja y media tensión. Este sistema trabajaba en forma unidireccional y empleaba una frecuencia de portadora entre 100 Hz y 1 kHz. En 1960 la empresa de electricidad de Francia, EDF, puso en marcha el primer sistema industrial, denominado Pulsadis [3], mediante el cual se enviaban ráfagas codificadas de una señal de 175 Hz. Dicha señal era empleada para comandar equipos a distancia, como por ejemplo el alumbrado público, o para encender equipos en horarios determinados (por ejemplo, horarios de bajo consumo, donde la tarifa es más económica). En años posteriores, las empresas de energía eléctrica comenzaron a utilizar sus tendidos eléctricos internamente para la transmisión

de información a baja velocidad entre subestaciones, implementando sistemas PLC en líneas de media y alta tensión.

Hoy en día existen diversos servicios disponibles que utilizan esta tecnología en diferentes partes del mundo, principalmente en EEUU, Europa y Japón, y continúan los esfuerzos de investigación y desarrollo para la aplicación de estos sistemas en líneas de baja tensión.

1.1.1. Tipos de PLC

Las comunicaciones por la red eléctrica pueden clasificarse generalmente como PLC de banda angosta (*narrowband PLC o NB-PLC*) para frecuencias menores a 500 kHz y PLC de banda ancha (*broadband PLC o BPL*) para frecuencias mayores (típicamente entre 2 MHz y 30 MHz), cada una con requerimientos y aplicaciones diferentes [7]. Además, la reglamentación para la transmisión en estas bandas es distinta y están reguladas por diferentes normas. Para PLC de banda angosta corresponde la normativa IEEE 1901.2 [10], mientras que PLC de banda ancha está regulado por el estándar IEEE 1901-2010 [11], que a su vez está basado en el sistema comercial orientado a Ethernet sobre el cableado eléctrico Homeplug AV [12].

A nivel general, se pueden distinguir funcionalmente cuatro aplicaciones básicas de PLC:

- *Aplicaciones de banda angosta de uso interno*, donde el cableado doméstico se utiliza para servicios de baja velocidad como automatización del hogar e intercomunicadores.
- *Aplicaciones de banda angosta de uso externo*, utilizadas por las empresas de servicios públicos para lectura automática de medidores, vigilancia y control remoto de sistemas varios.
- *Aplicaciones de banda ancha de uso interno*, donde el cableado de la red eléctrica se puede utilizar para la transmisión de datos a alta velocidad para redes domésticas.
- *Aplicaciones de banda ancha de uso externo*, donde el cableado de la red de alimentación eléctrica puede utilizarse para ofrecer acceso a Internet u otro servicio de banda ancha de datos.

1.2. Problemáticas asociadas a PLC

Es evidente que las redes eléctricas han sido diseñadas para distribuir energía y no para transmitir señales de comunicación. En particular, el uso de las líneas eléctricas internas de los edificios como medio de transmisión ha sido tradicionalmente desestimado por considerarse ruidoso y de características imprevisibles.

Sin embargo, el desarrollo de nuevas tecnologías y métodos de procesamiento de la información ha favorecido la utilización de este medio para la transmisión de datos. Aun así, el diseño e implementación de este tipo de sistemas no resulta una tarea sencilla

debido a las dificultades para caracterizar el canal como medio de transmisión y las perturbaciones asociadas.

1.2.1. Modelado del canal

En general, el modelo de comportamiento de un canal suele estar descrito por una relación entrada-salida que representa su efecto sobre las señales, y un conjunto de perturbaciones caracterizadas estadísticamente que se añaden a la salida. Lograr este modelo de referencia para emplear en PLC no es una tarea sencilla puesto que las redes eléctricas presentan una gran diversidad entre distintos países, e incluso entre diferentes regiones y áreas de población. La intrincada topología de la red, muy ramificada, con líneas no terminadas y con cargas desadaptadas puede ser incluso desconocida, pues no suele haber planos del trazado y éste suele sufrir múltiples manipulaciones tras su instalación.

Por otro lado, la presencia de dispositivos presenta una carga heterogénea y variable en el tiempo que agrava las condiciones del canal, según se genera la conexión y desconexión de los aparatos eléctricos. Esto dificulta la caracterización de la red, aunque se pueden resumir algunas de sus consecuencias:

- La impedancia de la línea no es constante.
- La respuesta en frecuencia del sistema varía con el tiempo y la posición.
- La presencia de interferencia multi-camino variante en el tiempo.
- La generación de ondas reflejadas por desadaptación de impedancias.

Si bien aún no prevalece un modelo aceptado como estándar, existen trabajos de investigación dedicados implícitamente a su caracterización que han presentado algunas alternativas dentro de determinadas regiones [4][5], y que permiten modelar al canal como uno lineal y variante en el tiempo en forma periódica (LPTV, Linear periodic time variant). Además, existen algunas otras iniciativas, como el consorcio OPERA (Open PLC European Research Alliance) [6] que han aunado esfuerzos en investigación de sistemas PLC en Europa, produciendo algunos modelos de caracterización de la red.

1.2.2. Fuentes de ruido

Una de las características más particulares del canal PLC es la fuerte presencia de ruido variante en el tiempo, no blanco, y muchas veces no Gaussiano. Esto es producto de la suma de formas de onda de diferentes dispositivos conectados a la red eléctrica.

El ruido del canal PLC se puede dividir en [7][8][9]:

- **Ruido continuo invariante en el tiempo**, que posee una envolvente constante por largos períodos de tiempo (al menos algunos ciclos de la frecuencia de red). Este ruido también es conocido como *Ruido de fondo* y puede incluir el ruido térmico causado por los amplificadores del receptor.
- **Ruido continuo variante en el tiempo**, que posee una envolvente que cambia sincrónicamente con la tensión de red, por lo que su período es de la mitad del

período de línea. Una fuente típica de este tipo de ruido son los aparatos eléctricos cuya fuente de alimentación es una tensión rectificadora pero no filtrada. Otra causa de este tipo de ruido es la modificación de las características del canal a lo largo del ciclo de red.

- **Ruido impulsivo cíclico sincrónico con la red**, que es una clase de ruido compuesto por un tren de impulsos con una frecuencia igual o múltiplo de la frecuencia de red. Una causa típica de este tipo de ruido son los rectificadores controlados o los *dimmers* basados en tiristores. Estos dispositivos controlan la intensidad lumínica conmutando la corriente de línea en forma sincrónica, por lo que el ruido de conmutación también es sincrónico a la red. Un aparato con un motor con escobillas es otra fuente de este tipo de ruido. En este caso, la conmutación en las escobillas del motor es más frecuente, y debido a que la amplitud del ruido depende de la tensión de red, los impulsos tienen el mismo período que la red.
- **Ruido impulsivo cíclico asincrónico con la red**, que es un tipo de ruido compuesto por un tren de impulsos con una frecuencia mucho mayor a la de red. Una causa típica de esta clase de ruido son los reguladores conmutados.
- **Ruido impulsivo esporádico**, que está compuesto por impulsos que ocurren en momentos aleatorios, muy a menudo en períodos del orden de los segundos. Este ruido es causado por termostatos o cuando se acciona un interruptor.
- **Ruido de banda angosta**, que es causado por el acoplamiento de ondas de radio en los cables de la red eléctrica. La envolvente de este tipo de ruido copia de una manera casi exacta a las señales transmitidas por el aire.

1.3. Esquema básico de PLC

Como en todo sistema de comunicaciones, existe un esquema básico para la transmisión y recepción de un conjunto de datos a través de un canal determinado, como se muestra en la Figura 1.1.

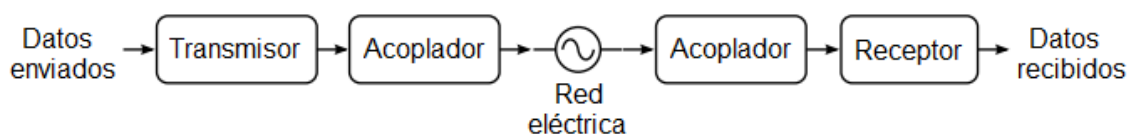


Figura 1.1: Diagrama en bloques básico de un sistema de comunicación PLC.

Para que la comunicación sea posible, debe existir un sistema de transmisión que sea capaz de inyectar una señal determinada a la red, y otro que pueda extraerla y procesarla para recuperar los datos enviados. La interfaz con la red eléctrica se hace por medio de un circuito de acoplamiento capacitivo o inductivo, que también proporciona aislamiento galvánico y protección contra las perturbaciones de la tensión de línea. Además, como esta señal debe coexistir tanto con la tensión de línea de 50 o 60 Hz como con los distintos tipos de distorsión, la transmisión en banda base resulta imposible. Por lo tanto, es

necesario implementar algún tipo de modulación que permita utilizar la red eléctrica como canal.

Existe gran variedad de esquemas de modulación, cada uno con sus ventajas y desventajas. En particular, en el canal PLC, la aplicación de estos esquemas está ligada a la banda de frecuencia utilizada. En aplicaciones de PLC de banda angosta se suelen utilizar esquemas de modulación simples debido a su costo de implementación y simplicidad, mientras que en aplicaciones de PLC de banda ancha se utilizan técnicas de modulación más complejas, combinadas con esquemas de ecualización, como *Orthogonal Frequency Domain Multiplexing* (OFDM).

1.4. Sistema PLC de banda angosta

En aplicaciones de redes eléctricas inteligentes, la comunicación en banda angosta es de especial interés. Algunas de las aplicaciones más interesantes para este tipo de comunicación son la automatización en edificios y el hogar, gestión de recursos de energía renovable, control del alumbrado público y monitoreo de la red eléctrica por medio de medidores inteligentes. La implementación en cada uno de los casos tiene sus propios desafíos que dependen principalmente de las características variables del canal y los requerimientos asociados a las regulaciones existentes.

1.4.1. Regulaciones regionales

Como se mencionó anteriormente, la banda angosta de PLC ha sido enmarcada en el estándar IEEE 1901.2 [10], establecida para frecuencias menores a 500 kHz. Este estándar unifica las normas previamente establecidas y reguladas en diferentes países para esta banda PLC, como son: CENELEC EN 50065-1 [13], ARIB STD-T84 [14] y FCC Part 15 [15]. El diagrama de la Figura 1.2 resume la asignación de bandas de frecuencia según las regulaciones establecidas actualmente en diferentes regiones.

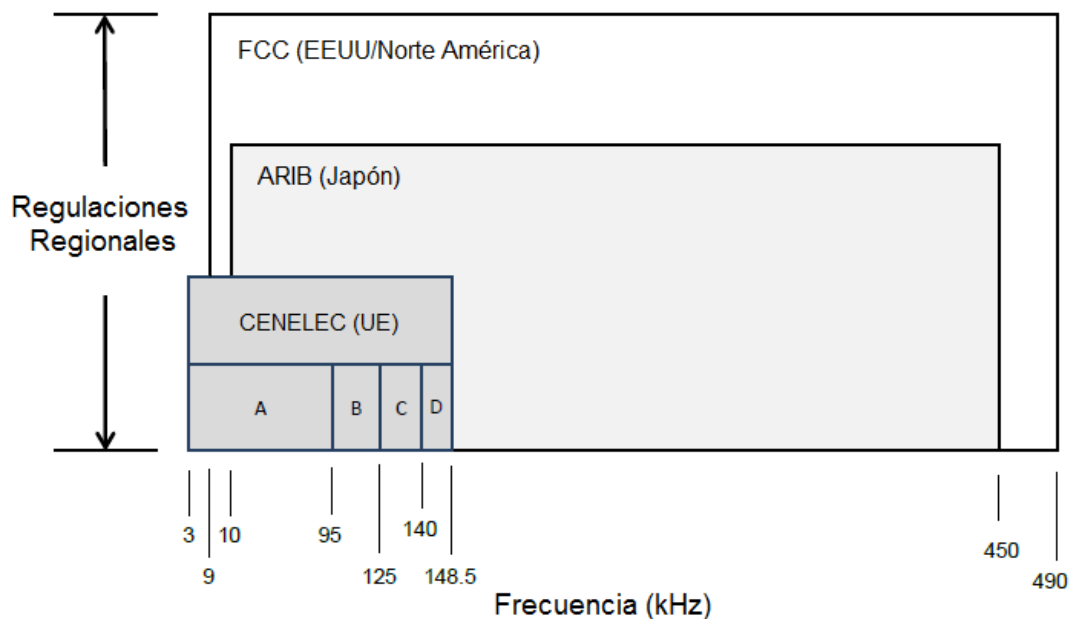


Figura 1.2: Bandas de frecuencia reguladas para PLC de banda angosta.

En este diagrama se puede observar que mientras que las normativas FCC de EEUU y ARIB de Japón proporcionan un mayor rango de frecuencias, el estándar Europeo CENELEC es más restrictivo, con la banda A de 3 kHz a 95 kHz reservada para aplicaciones de empresas de servicios públicos y sólo de 95 kHz a 148,5 kHz (bandas B, C y D) para aplicaciones de consumidores. Además, a diferencia de la normativa FCC que no impone límites en el nivel de señal inyectada, los niveles de señal máximos y emisiones electromagnéticas aceptadas por CENELEC son más estrictos (ver Figura 1.3).

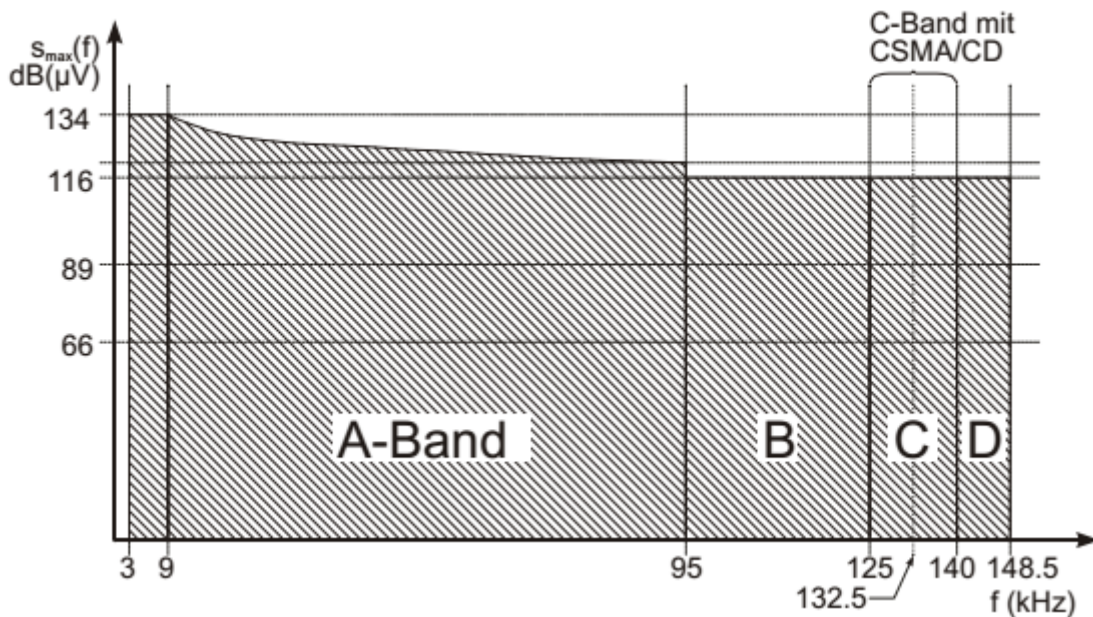


Figura 1.3: Máximo nivel de salida para bandas reguladas por CENELEC EN 50065-1 [13].

Para la transmisión a través de la red eléctrica, la normativa EN 50065-1 especifica que el máximo nivel de salida, dado en $\text{dB}\mu\text{V}$, debe medirse con un *detector de nivel pico* y un circuito receptor determinado durante un período de un minuto. A su vez, define niveles de ruido para todas las bandas de frecuencia, obligatorios para cualquier artefacto eléctrico conectado a la red en Europa. De esta forma, la posible influencia parasitaria por las perturbaciones se reduce al mínimo.

1.4.2. Transmisión en banda angosta

Cualquier sistema PLC debe implementar, para la transmisión de datos, una etapa analógica de salida junto a un circuito de acoplamiento, como se muestra en el esquema de la Figura 1.4. La etapa analógica (*AFE* o *analog front-end*, por sus siglas en inglés) de salida es la responsable de inyectar, a través del circuito de acoplamiento o acoplador, la señal modulada digitalmente a la red eléctrica y permitir así la transmisión de datos sobre la misma. Esta etapa está compuesta principalmente por un amplificador de potencia, que debe poseer una adecuada capacidad de corriente debido a la baja impedancia de línea que suele encontrarse en la red de baja de tensión para esta banda de frecuencias. Además de las funciones de acoplamiento, aislación galvánica y protección, el acoplador permite

hacer una adaptación de la impedancia de línea para que la impedancia vista por la etapa de salida sea la adecuada para su normal operación.

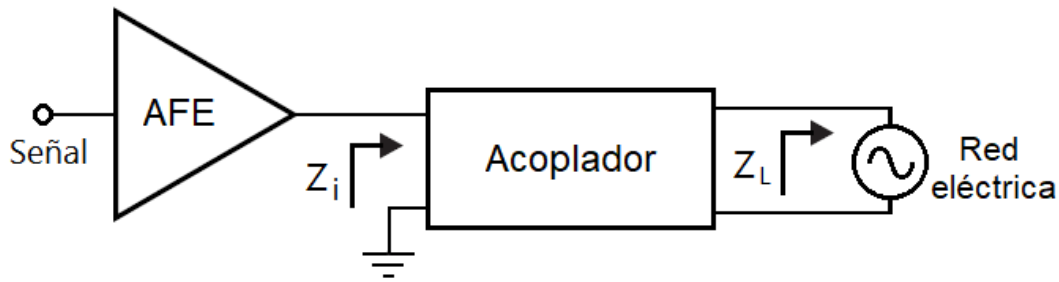


Figura 1.4: Esquema básico de transmisión de un sistema PLC de banda angosta.

Entre las alternativas presentes para PLC de banda angosta hay una diversa gama de circuitos integrados que permiten la implementación de sistemas de comunicación para aplicaciones particulares, como son: el TDA5051A de NXP [16], que utiliza una modulación OOK; el ST7580 de ST Microelectronics [17], que utiliza modulaciones FSK y PSK; el SM2200 de Semitech Semiconductors [18], que utiliza modulación OFDM; el AFE031 de Texas Instruments [19], que implementa solamente un front-end analógico, entre otros. La utilización de estos circuitos integrados ha demostrado un buen comportamiento para la comunicación por redes eléctricas en Europa y Estados Unidos [20][21][22], para las cuales se encuentran diseñados. Sin embargo, debido a las características de la red eléctrica local, la cual no se encuentra regulada por las normas de estas regiones, estos circuitos integrados no producen los resultados esperados, permitiendo sólo comunicaciones de baja velocidad con un alcance muy reducido. Las principales características que dificultan las comunicaciones en la red eléctrica local son los elevados niveles de ruido presente y la baja impedancia de línea, dos condiciones para las cuales los esquemas empleados en las soluciones comerciales no se encuentran preparados.

Un ejemplo del nivel de atenuación que puede sufrir la señal acoplada a la red cuando la impedancia de línea es baja se muestra en el gráfico de la Figura 1.5, que corresponde a la implementación típica de un modem PLC diseñado entorno al circuito integrado TDA5051A [16]. Se observa que el nivel de señal a la salida del amplificador de potencia se reduce considerablemente a medida que la impedancia de línea se hace menor a la considerada como típica para el diseño de ese circuito. Es importante aclarar que, en este caso, el nivel máximo de señal a la salida está limitado para cumplir con la normativa CENELEC EN50065-1.

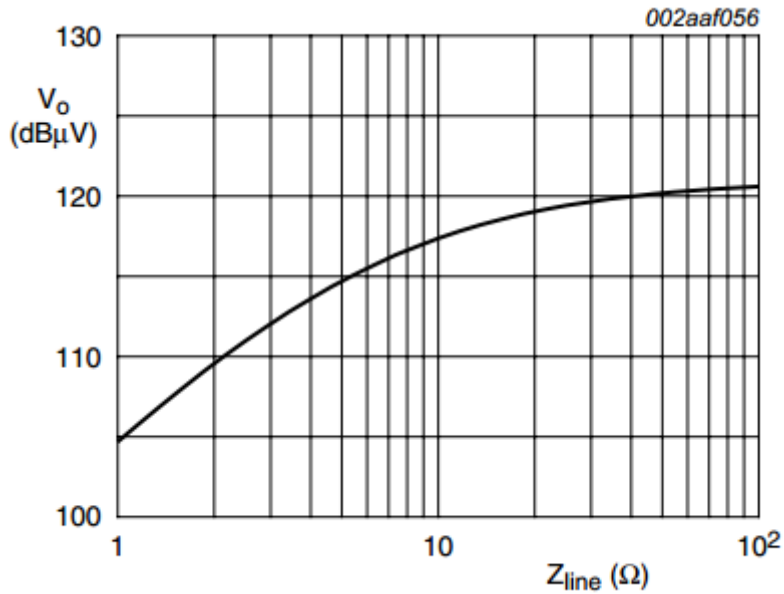


Figura 1.5: Tensión de salida en función de la impedancia de línea para un modem PLC TDA5051A [16].

Otro ejemplo de la problemática que representa tener una baja impedancia de línea y altos niveles de ruido, se observó en ensayos de PLC en banda angosta que fueron realizados sobre la red eléctrica del Laboratorio de Instrumentación y Control de la Universidad Nacional de Mar del Plata, como parte del desarrollo de una tesis [23]. En estos ensayos se utilizaron dos prototipos de modem PLC que incorporan un front-end analógico basado en un AFE031 [19]. Las comunicaciones fueron realizadas en la banda CENELEC B con una frecuencia de portadora de 110 kHz y una amplitud igual a 1,25 V (~122 dB μ V), utilizando un esquema de modulación PSK. En la Figura 1.6 se muestra el ruido presente en la red eléctrica en el punto de recepción de la comunicación, relevado a través del acoplador del modem PLC correspondiente. Se puede observar que el ruido es del tipo impulsivo cíclico sincrónico con la red y que posee una amplitud pico a pico relativamente grande, donde los impulsos se producen en los cruces por cero de la tensión de red.

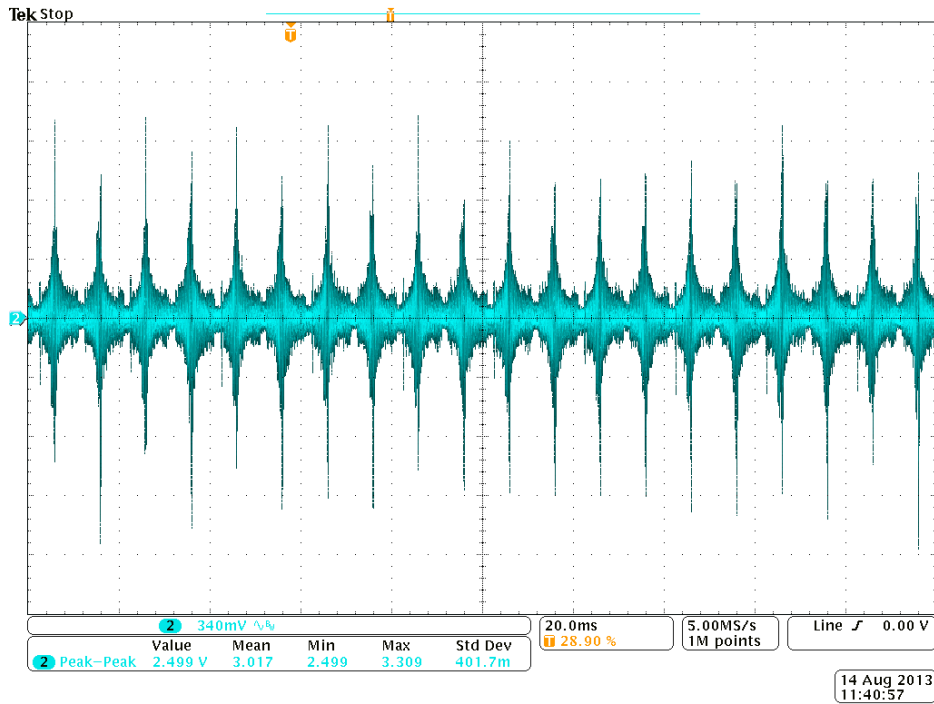


Figura 1.6: Forma de onda del ruido presente en el punto de recepción [23].

En la Figura 1.7 se muestra la señal recibida por el acoplador del correspondiente modem PLC cuando se realiza una transmisión sobre el mismo punto de recepción de la comunicación. Aquí se puede observar que la señal se ve afectada por los picos de ruido impulsivo y que tiene una amplitud estimada de 0,85 V por lo que se ha producido una atenuación ligeramente superior a los 3 dB en la señal inyectada como consecuencia de tener una baja impedancia de línea en el punto de transmisión.

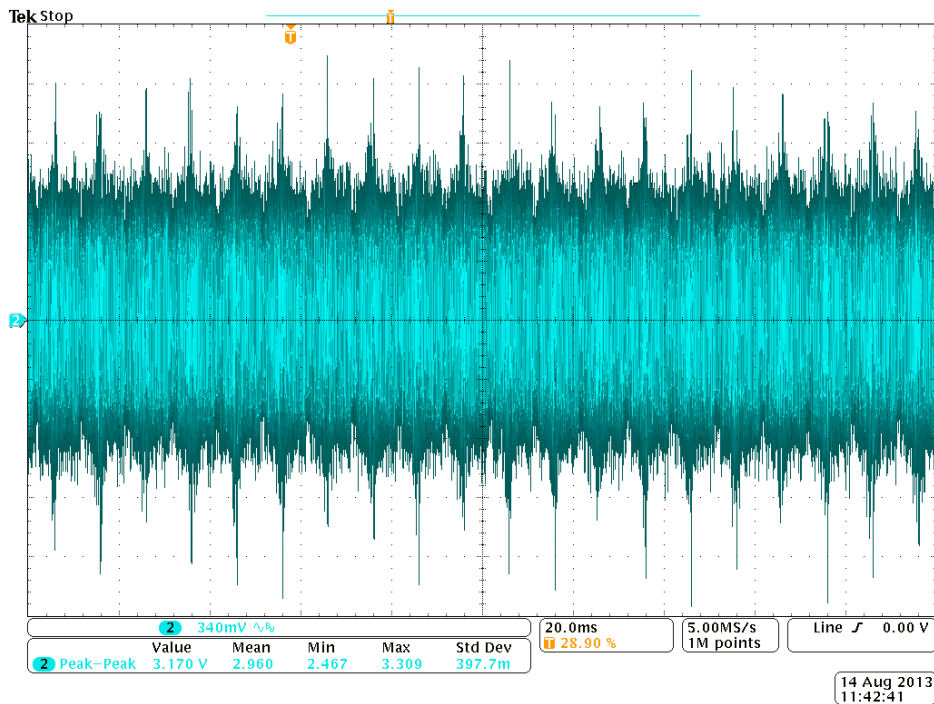


Figura 1.7: Forma de onda de la señal recibida para una transmisión en el mismo punto de recepción [23].

Por último, en la Figura 1.8 se muestra la señal recibida por el acoplador del modem PLC en el punto de recepción cuando se realiza una transmisión desde otro punto, con una longitud de cableado de la red de aproximadamente 20 metros. Se observa que la señal ha sufrido una importante atenuación al propagarse hasta el punto de recepción y además se advierte una mayor atenuación de esta señal en los puntos donde la tensión de red tiene los máximos. Como consecuencia, la demodulación directa de esta señal no permitió recuperar la información transmitida y fue necesario utilizar un esquema de codificación para lograr incrementar la relación señal a ruido. Este último caso evidencia la complejidad y variabilidad de las características de la red como canal de comunicaciones.

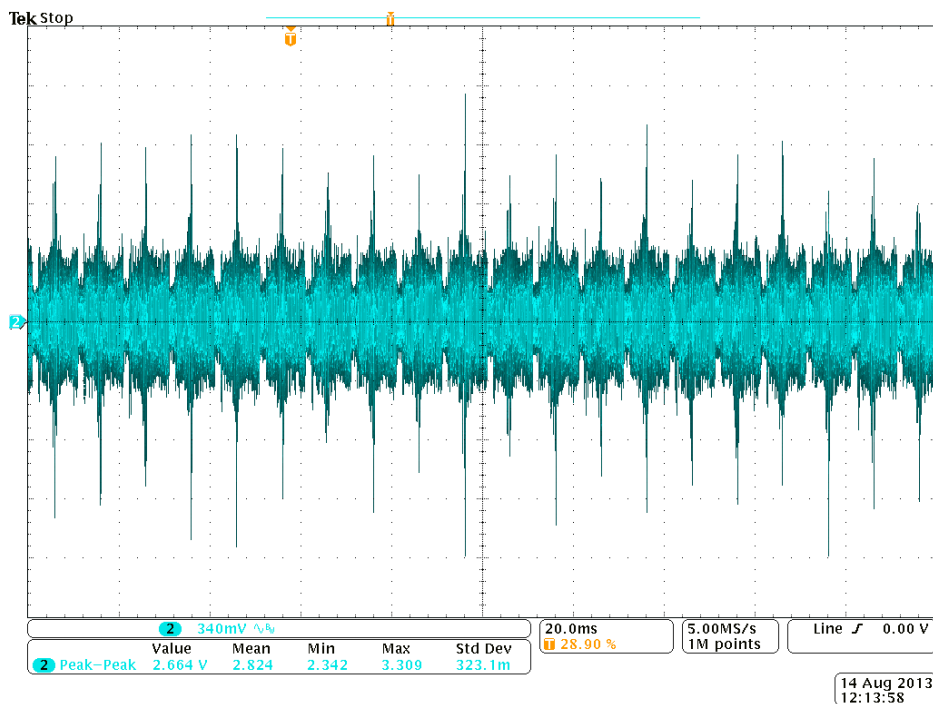


Figura 1.8: Forma de onda de la señal recibida para una transmisión a una distancia aproximada de 20 metros [23].

Como se puede notar, diseñar e implementar un sistema PLC de banda angosta no es una tarea sencilla pues implica conocer, aunque sea de forma aproximada, ciertas características de la red donde deberá operar ese sistema de comunicación. Una característica que es importante conocer es el valor de la impedancia de línea presente en los puntos donde se va a inyectar la señal de comunicación. Hasta la fecha, se han llevado a cabo importantes investigaciones sobre la impedancia de la red eléctrica para aplicaciones PLC. Los experimentos anteriores pueden resumirse de la siguiente manera: Malack y Engstrom midieron 86 sistemas comerciales de distribución de energía AC de 50 Hz en seis países europeos y EE.UU. Estas mediciones muestran que la impedancia de las líneas eléctricas residenciales aumenta con la frecuencia y están en el rango de aproximadamente 1,5 a 80 Ω a una frecuencia de 100 kHz [24]. Vines *et al.* realizaron mediciones de impedancia de los circuitos residenciales de distribución de energía a frecuencias de 5 kHz a 20 kHz, e informaron que la impedancia de la línea de alimentación residencial es de 1 a 12 Ω [25]. Cavdar y Karadeniz realizaron mediciones

de impedancia de redes rurales, urbanas e industriales a frecuencias en el rango de 10 kHz a 170 kHz (Bandas CENELEC A, B, C, D) y obtuvieron valores en el rango de 1 a 21 Ω [26]. En conclusión se evidencia que, al menos para el rango de frecuencias bajas y medias de la banda angosta, la impedancia de la red eléctrica de baja tensión presenta valores tan bajos como 1 Ω y un rango de variación de un orden de magnitud.

1.5. Objetivos

Teniendo en cuenta los aspectos descritos, se propone diseñar, implementar y evaluar un sistema de caracterización de la impedancia de la red eléctrica de baja tensión para PLC de banda angosta en el rango comprendido entre 10 kHz y 500 kHz. Considerando que las aplicaciones de PLC en banda angosta sobre la red eléctrica local no se encuentran reguladas por una norma en particular, el rango de caracterización elegido abarcará a todas las bandas que si se encuentran reguladas en otras regiones. El objetivo principal de caracterizar la impedancia de la red eléctrica local es obtener valores de referencia, dentro de la banda de interés, para poder dimensionar correctamente las etapas de salida y acoplamiento de los sistemas de comunicación que operen en este entorno.

En cuanto a los objetivos particulares para el desarrollo del sistema propuesto, se pueden resumir en los siguientes:

- Desarrollo de la etapa de potencia y el circuito de acoplamiento a la red eléctrica.
- Aplicación de técnicas de medición y procesamiento de señales para la caracterización de la impedancia de la red eléctrica en la banda de interés.
- Desarrollo de la etapa de adquisición de las señales requeridas para su posterior procesamiento.
- Desarrollo de un programa de control del sistema basado en lógica programable.
- Desarrollo de una interfaz con la PC que permita la configuración, calibración, medición y presentación de resultados.

2. Diseño del sistema

En este capítulo se describe el método empleado para caracterizar la impedancia de la red, el diseño de cada uno de los bloques funcionales que componen el sistema, el tipo de señal de medición que debe inyectarse a la red, las señales que deben medirse y adquirirse en el circuito, y el procesamiento y los cálculos necesarios para la obtención de resultados.

En el diagrama presentado en la Figura 2.1 se muestran los principales bloques funcionales que componen al sistema de caracterización de impedancia: un bloque de *generación de señal de medición*, responsable de generar una señal de referencia de banda angosta para su inyección a la red eléctrica; un bloque de *acoplamiento de señal*, compuesto por un acoplador de red adaptado para señales PLC de banda angosta; y un bloque de *medición y procesamiento de señales*, encargado de la adquisición y procesamiento digital de las señales requeridas para el cálculo de la impedancia de línea.

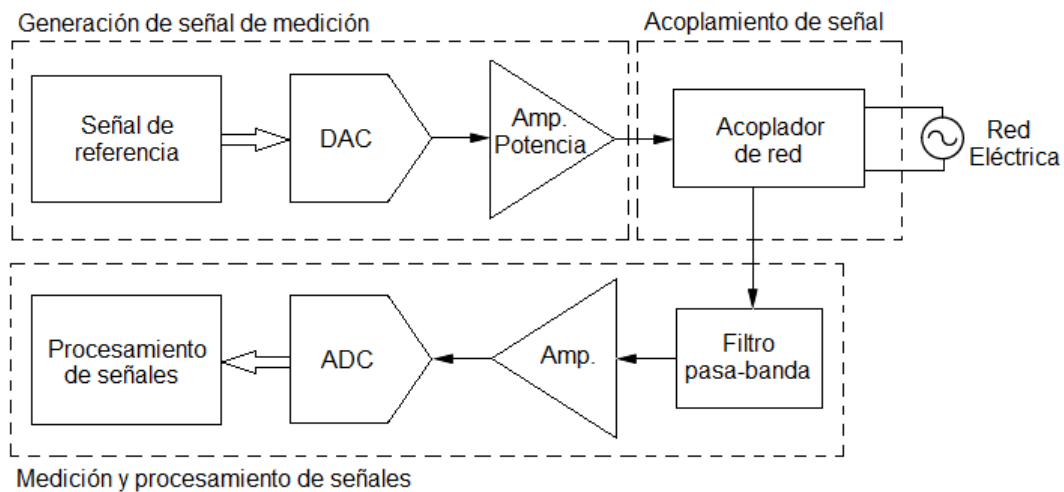


Figura 2.1: Diagrama en bloques del sistema.

2.1. Método de medición

El valor de una impedancia cualquiera a una determinada frecuencia puede obtenerse como la relación entre una señal de tensión, aplicada sobre la impedancia a la frecuencia correspondiente, y la señal de corriente que se produce, en consecuencia, sobre la misma:

$$Z(f) = \frac{V(f)}{I(f)} \quad (2.1)$$

En el caso particular del canal de comunicaciones sobre la red eléctrica, la impedancia que se desea caracterizar es aquella que ve el transmisor para una banda de frecuencia específica. Por lo tanto, para caracterizar la impedancia de la red se propone inyectar una señal que haga un barrido de frecuencia dentro de la banda de interés y al mismo tiempo realizar la medición y adquisición de muestras de las señales de tensión y corriente

producidas en el acoplador. De esta manera, mediante un posterior procesamiento digital de las mismas se podrá calcular la impedancia reflejada por el acoplador para luego, a partir de ésta, obtener la impedancia de carga presente en el punto de conexión a la red eléctrica. Este método de medición requiere conocer, entre otros parámetros, las características del circuito de acoplamiento usado ya que, como se verá más adelante, los elementos que lo componen determinan el valor de la impedancia reflejada y, en consecuencia, la forma en que debe calibrarse el sistema y los cálculos que se hacen para obtener el valor de la impedancia de línea en el punto de medición.

2.2. Generación de la señal de medición

Por cuestiones de simplicidad en la implementación del sistema, la generación de la señal de barrido en frecuencia se hará digitalmente y sus muestras se almacenarán en una memoria dentro del sistema de control. Por lo tanto, será necesario utilizar un DAC que convierta la señal generada digitalmente en una señal analógica que pueda ser alimentada a la entrada del amplificador de potencia, para que finalmente sea inyectada a la red eléctrica a través del acoplador.

2.2.1. Señal de barrido (chirp)

La medición de la impedancia de línea requiere inyectar una señal cuyo espectro de frecuencias abarque el ancho de banda sobre el que se desea caracterizar la misma. La forma más simple y práctica de hacerlo es inyectar una señal senoidal de amplitud fija y hacer un barrido de la frecuencia de la misma, comenzando por la frecuencia inferior y finalizando en la frecuencia superior de la banda. Una señal con estas características es conocida como *señal de barrido* o *chirp* [33], y se clasifica según la forma en que varía la frecuencia de la señal en relación con el tiempo. Para comprender mejor el comportamiento de una chirp, se hará un primero un análisis de la forma de onda de la señal en el dominio del tiempo y luego de su espectro en el dominio de la frecuencia.

Si la forma de onda de la señal se define como:

$$x(t) = \sin(\phi(t)) \quad (2.2)$$

entonces la frecuencia instantánea se define como la tasa de cambio de fase:

$$f(t) = \frac{1}{2\pi} \frac{d\phi(t)}{dt} \quad (2.3)$$

y la tasa de cambio de frecuencia instantánea (o *chirpyness*) se define como:

$$c(t) = \frac{1}{2\pi} \frac{d^2\phi(t)}{dt^2} = \frac{df(t)}{dt} \quad (2.4)$$

En una *chirp lineal*, la frecuencia instantánea $f(t)$ varía exactamente de forma lineal con el tiempo:

$$f(t) = f_0 + kt \quad (2.5)$$

donde f_0 es la frecuencia inicial (para $t = 0$), y k la tasa de cambio de frecuencia o *chirpyness*, que se puede expresar como:

$$k = \frac{f_1 - f_0}{T} \quad (2.6)$$

donde f_1 es la frecuencia final, f_0 es la frecuencia inicial, y T es el tiempo que toma barrer desde la frecuencia inicial a la frecuencia final.

La función en el dominio de tiempo correspondiente para la fase de cualquier señal oscilante es la integral de la función de frecuencia, ya que se espera que la fase crezca como $\phi(t + \Delta t) \cong \phi(t) + 2\pi f(t)\Delta t$, es decir, que la derivada de la fase sea la frecuencia angular $\phi'(t) = 2\pi f(t)$. Luego, para la chirp lineal, esto resulta en:

$$\begin{aligned} \phi(t) &= \phi_0 + 2\pi \int_0^t f(\tau) d\tau = \\ &= \phi_0 + 2\pi \int_0^t (f_0 + k\tau) d\tau = \\ &= \phi_0 + 2\pi \left(f_0 t + \frac{k}{2} t^2 \right) \end{aligned} \quad (2.7)$$

donde ϕ_0 es la fase inicial (para $t = 0$). Por lo tanto, también se la conoce como *señal de fase cuadrática*. En consecuencia, la correspondiente función en el dominio de tiempo para una chirp lineal senoidal es el seno de la fase $\phi(t)$ en radianes:

$$x(t) = \sin \left[\phi_0 + 2\pi \left(f_0 t + \frac{k}{2} t^2 \right) \right] \quad (2.8)$$

A modo de ejemplo, en la Figura 2.2 se muestra la forma de onda de una chirp lineal con $\phi_0 = 0$, $f_0 = 0.1$ y $k = 2$, para $t = [0, 5]$.

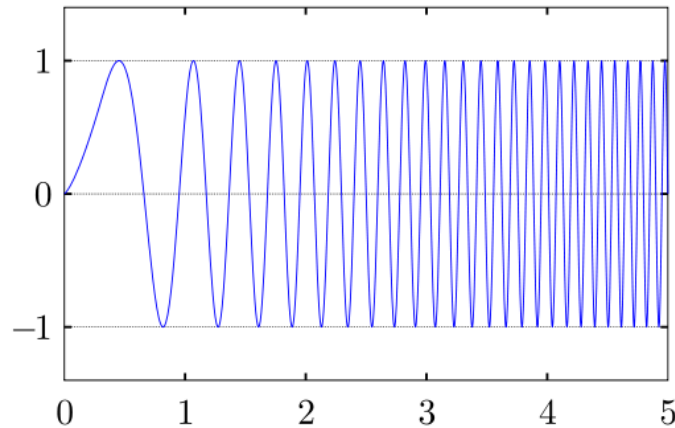


Figura 2.2: Forma de onda de una chirp lineal; onda senoidal que aumenta en frecuencia linealmente con el tiempo [33].

El espectro de la chirp permite describir sus características en términos de sus componentes de frecuencia [34]. Esta representación en el dominio de frecuencia es una alternativa a la representación de la forma de onda en el dominio de tiempo, y las dos versiones están matemáticamente relacionadas por la transformada de Fourier. El espectro es de particular interés si la chirp está sometida a un posterior procesamiento de señal, ya que es posible determinar ciertos efectos no deseados atribuibles directamente a las características espectrales de la misma.

La forma más sencilla de derivar el espectro de una chirp es muestrear la forma de onda en el dominio del tiempo a una frecuencia superior al límite de Nyquist [35] y ejecutar un algoritmo de FFT [36] para obtener el resultado deseado. Sin embargo, un análisis analítico, cuando es posible, sigue siendo útil ya que proporciona una visión adicional al comportamiento y propiedades de las chirps.

Una expresión general para una forma de onda oscilatoria, centrada en la frecuencia ω_0 , es:

$$s(t) = a(t) \cdot e^{j[\omega_0 t + \theta(t)]} \quad (2.9)$$

donde $a(t)$ y $\theta(t)$ dan las variaciones de amplitud y fase de la forma de onda $s(t)$ con el tiempo. El espectro de frecuencia de esta forma de onda se obtiene calculando la transformada de Fourier de $s(t)$, es decir:

$$S(\omega) = \int_{-\infty}^{\infty} s(t) \cdot e^{-j\omega t} dt = \int_{-\infty}^{\infty} a(t) \cdot e^{j[(\omega_0 - \omega)t + \theta(t)]} dt \quad (2.10)$$

En algunos casos especiales, la integral se puede resolver para dar una expresión analítica, pero a menudo las características de $a(t)$ y $\theta(t)$ son tales que la integral solo puede evaluarse mediante un algoritmo de aproximación o por integración numérica. En el caso especial en que $a(t)$ se restringe a ser un pulso plano y donde la frecuencia instantánea varía como una función lineal de tiempo, entonces es posible una solución analítica. Por conveniencia, se considera que el pulso tiene amplitud unitaria y de duración T , con la amplitud y fase definidas durante el intervalo de tiempo $-T/2$ a $+T/2$. El barrido de frecuencia total es ΔF , variando de forma lineal desde $-\Delta F/2$ a $+\Delta F/2$ en el intervalo de tiempo definido. Como se vio anteriormente, cuando la frecuencia es una función lineal en el tiempo, la fase es una función cuadrática y entonces $s(t)$ se puede expresar como:

$$s(t) = 1 \cdot e^{j[\omega_0 t + \frac{\Delta\Omega}{2T}t^2]} \quad \text{donde } \Delta\Omega = 2\pi\Delta F \text{ y } -\frac{T}{2} < t < \frac{T}{2} \quad (2.11)$$

Entonces, el espectro de esta *chirp lineal* es:

$$S(\omega) = \int_{-T/2}^{T/2} e^{j[(\omega_0 - \omega)t + \frac{\Delta\Omega}{2T}t^2]} dt \quad (2.12)$$

Luego, al aplicar el método de *completar el cuadrado* [37] y recurrir a las *integrales de Fresnel* [38], $C(X)$ y $S(X)$, definidas por:

$$C(X) = \int_0^X \cos\left(\frac{\pi \cdot y^2}{2}\right) dy \quad y \quad S(X) = \int_0^X \sin\left(\frac{\pi \cdot y^2}{2}\right) dy$$

permite evaluar la expresión (2.12) para obtener el siguiente resultado:

$$S(\omega) = \sqrt{\frac{\pi \cdot T}{\Delta\Omega}} \cdot e^{-j\left[(\omega - \omega_0)^2 \cdot \frac{T}{2 \cdot \Delta\Omega}\right]} \cdot [C(X_1) + jS(X_1) + C(X_2) + jS(X_2)] \quad (2.13)$$

$$\text{donde } X_1 = \frac{\frac{\Delta\Omega}{2} + (\omega - \omega_0)}{\sqrt{\frac{\pi\Delta\Omega}{T}}} \quad y \quad X_2 = \frac{\frac{\Delta\Omega}{2} + (\omega_0 - \omega)}{\sqrt{\frac{\pi\Delta\Omega}{T}}}$$

En este caso, se puede considerar que el espectro de la chirp lineal tiene tres componentes principales, a saber:

Un término de Amplitud,

$$|S(\omega)| = \sqrt{\frac{\pi \cdot T}{\Delta\Omega}} \cdot \left[(C(X_1) + C(X_2))^2 + (S(X_1) + S(X_2))^2 \right]^{\frac{1}{2}} \quad (2.14)$$

Un término de Fase Cuadrática,

$$\Phi_1(\omega) = -\frac{T}{2 \cdot \Delta\Omega} \cdot (\omega - \omega_0)^2 \quad (2.15)$$

Un término de Fase Residual,

$$\Phi_2(\omega) = \arctan \left[\frac{S(X_1) + S(X_2)}{C(X_1) + C(X_2)} \right] \quad (2.16)$$

La relación del argumento de $\Phi_2(\omega)$ se aproxima a la unidad en una gran parte del rango de frecuencias de interés, por lo que Φ_2 se aproxima a una fase constante de $\pi/4$ allí. Luego, si se introduce un factor de escala $n = \frac{2(\omega - \omega_0)}{\Delta\Omega}$, entonces las expresiones para los argumentos de Fresnel se pueden reescribir como:

$$X_1 = \frac{\sqrt{T \cdot \Delta F}}{\sqrt{2}} \cdot (1 + n) \quad y \quad X_2 = \frac{\sqrt{T \cdot \Delta F}}{\sqrt{2}} \cdot (1 - n) \quad (2.17)$$

Ahora, los espectros son funciones del producto $T \cdot \Delta F$, independiente de cualquier valor particular de frecuencia central y ancho de banda. A este producto a menudo se lo conoce como el *producto tiempo-ancho de banda* de la chirp.

Se han publicado tablas de las integrales de Fresnel, junto con rutinas matemáticas para calcular las integrales manualmente o mediante un programa informático. Además, algunos programas de software matemáticos, como *Mathcad*, *MATLAB* y *Mathematica*,

tienen rutinas incorporadas para evaluar las integrales, ya sea como funciones estándar o en paquetes de extensión. De esta forma, para visualizar y comprender mejor las características espectrales de una chirp lineal, en la Figura 2.3 se muestran algunos gráficos del espectro de potencia $|S(\omega)|^2$ para productos $T \cdot \Delta F$ de 25, 100, 250 y 1000. Se observa que, cuando el producto es chico, las ondas de Fresnel son muy evidentes pero el espectro tiende a un perfil más rectangular para valores más grandes.

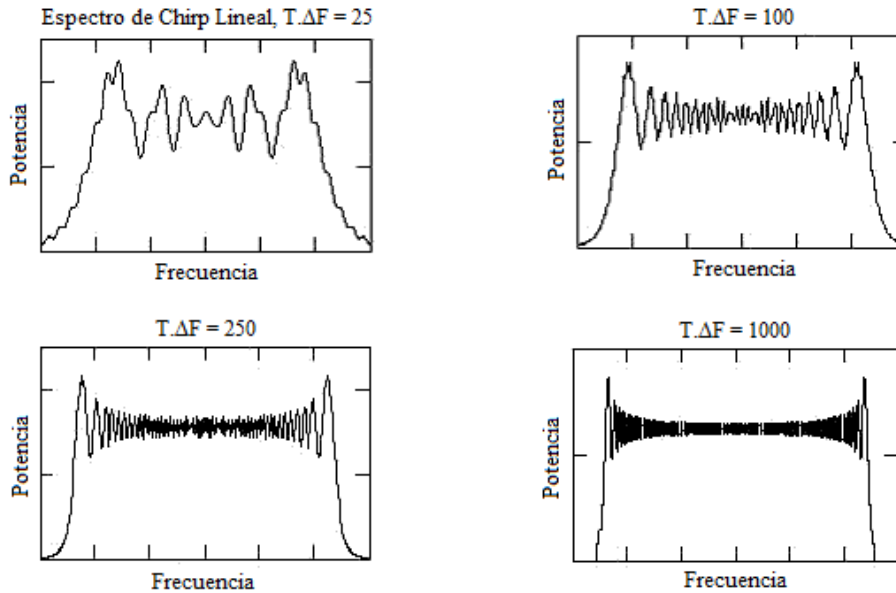


Figura 2.3: Espectros de potencia de una chirp lineal [34].

En el caso de los gráficos de fase residual $\Phi_2(\omega)$, los perfiles tienden a ser muy similares en un amplio rango de productos tiempo-ancho de banda. Dos ejemplos, para $T \cdot \Delta F = 100$ y 250, se muestran en la Figura 2.4. Como se mencionó anteriormente, se observa que tienen una fase cercana a un valor de $\pi/4$ dentro del rango $\omega_0 \pm \Delta\Omega/2$.

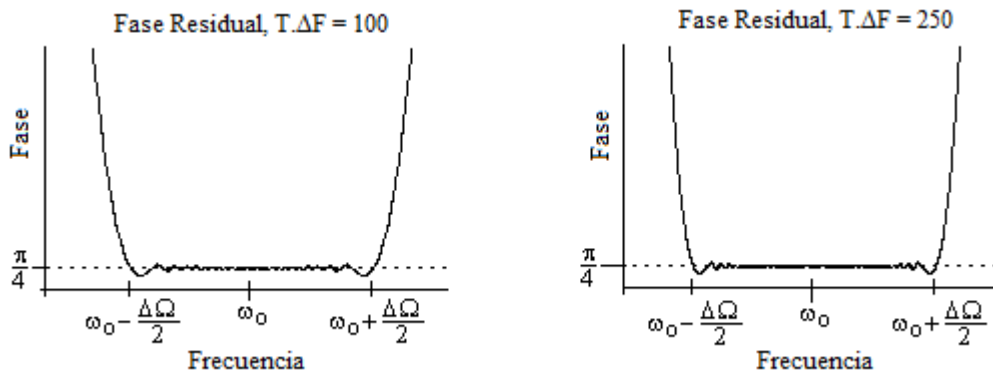


Figura 2.4: Fase residual de una chirp lineal [34].

En consecuencia, para frecuencias en el rango de barrido, es el término de fase cuadrática $\Phi_1(\omega)$, independiente del valor del producto tiempo-ancho de banda, el que es de mayor interés. Si bien el término de fase residual agrega perturbaciones menores a la fase total de la chirp dentro del rango de barrido, a frecuencias por fuera de ese rango,

$\Phi_2(\omega)$ se desvía rápidamente de $\pi/4$, por lo que la fase total se desvía seriamente de una característica cuadrática allí.

Afortunadamente, como se observa en el gráfico de la Figura 2.5, hay muy poco contenido espectral más allá del rango de frecuencia de barrido de una chirp y esto es especialmente cierto para las formas de onda donde el producto tiempo-ancho de banda es grande. Para chirps lineales, los resultados muestran que sólo un 2% de la potencia total reside por fuera de ΔF cuando $T \cdot \Delta F$ es 100, y es menor al 1% cuando $T \cdot \Delta F$ es mayor a 500. En el caso de una chirp no-lineal, o una chirp lineal modulada en amplitud, la fracción de potencia por fuera de ΔF es incluso menor, como se muestra en el gráfico para espectros con un perfil de Hamming. Esta reducida dispersión espectral es particularmente significativa cuando estas señales deben digitalizarse, ya que permite elegir una frecuencia de muestreo que sea solo ligeramente mayor que el doble de la máxima frecuencia de excursión de la chirp.

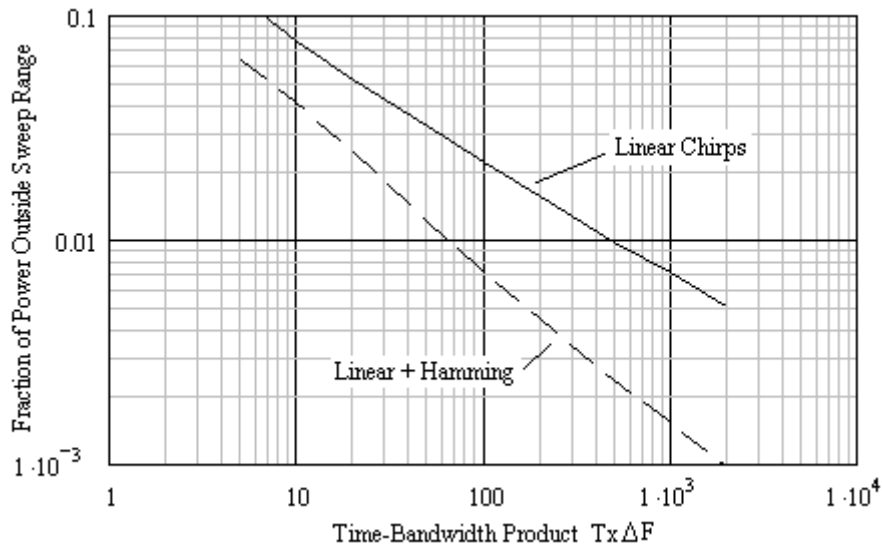


Figura 2.5: Fracción de potencia de una chirp por fuera del rango de barrido [34].

El procedimiento para generar una versión digital de la chirp lineal requiere que la función de la expresión (2.11), correspondiente a la forma de onda de la señal en el tiempo, sea muestreada a intervalos igualmente espaciados. Una consecuencia del muestreo es que el espectro resultante es periódico en el dominio de la frecuencia. Además del espectro de banda de base (deseado), se producen versiones adicionales del espectro, centradas en múltiplos de la frecuencia de muestreo. Para asegurar que no haya superposición de frecuencias, es decir que no se produzca “aliasing”, debe cumplirse el teorema de muestreo de Nyquist [39]. En la práctica, es aconsejable una frecuencia de muestreo sustancialmente más alta que la dictada por el teorema.

El espectro de una señal muestreada se puede obtener aproximando, por un método de integración numérica, la integral de la transformada de Fourier. Generalmente, el método supone que el valor de la señal para una muestra tomada en un instante de tiempo permanece constante durante un intervalo de muestreo, hasta que se toma la siguiente muestra. Este procedimiento es denominado como *muestreo y retención de orden cero*. Si el intervalo de tiempo entre muestras es T_s , entonces $s_n = s(nT_s)$, y la integral deseada

se obtiene, aproximadamente, al sumar las áreas rectangulares. El resultado así obtenido es la convolución de un pulso rectangular, con un tamaño de escalón T_s , con los impulsos ubicados en los instantes de muestreo, con pesos iguales a los valores de muestra s_n . En consecuencia, el espectro de interés tendrá superpuesta la respuesta de frecuencia de la función de muestreo y retención de orden cero, de modo que el espectro de la señal muestreada viene dado por:

$$S_s(\omega) = T_s \frac{\sin(\omega T_s/2)}{\omega T_s/2} \cdot \left[\sum_{n=-\infty}^{\infty} s_n e^{-j(n\omega T_s)} \right] \quad (2.18)$$

El primer término de la expresión es la respuesta en frecuencia del muestreo y retención de orden cero, cuya amplitud disminuye con la frecuencia y cae al 63% de su valor pico a la mitad de la frecuencia de muestreo y es cero en los múltiplos de esa frecuencia, ya que $f_s = 1/T_s$. El segundo término de la expresión corresponde a la transformada de Fourier de la señal discreta s_n . Es una función continua sobre todo ω e implica un número infinito de sumas. En la práctica, el proceso de suma puede truncarse a un número finito de muestras N , cuando la forma de onda es periódica o cero fuera del rango de muestras. Además, dado que el mismo espectro se repite infinitamente, es posible limitar el interés a las componentes espectrales dentro del rango $-f_s/2$ a $f_s/2$.

Si limitamos el interés en el espectro calculado a un número finito de puntos de datos discretos N , en las frecuencias dadas por:

$$\omega_k = \frac{2\pi k}{NT_s} \quad \text{para } k = 0, 1, 2, \dots, (N-1) \quad (2.19)$$

entonces la fórmula para calcular la transformada discreta de Fourier [40] de la señal muestreada es:

$$S_k = S(\omega_k) = \sum_{n=0}^{N-1} s_n e^{-j\left(\frac{2\pi kn}{N}\right)} \quad (2.20)$$

Los cálculos para la expresión anterior se pueden llevar a cabo por medio de un algoritmo de cálculo directo, pero esto no es muy eficiente en el uso de recursos. En consecuencia, se han desarrollado algoritmos más eficientes, especialmente las transformadas rápidas de Fourier (FFT) [36]. Programas informáticos de código abierto que implementan la FFT están ampliamente disponibles, y también se incorporan en funciones estándar de programas de software matemáticos como, por ejemplo, MATLAB.

2.2.2. Conversor digital-analógico (DAC)

La elección del DAC se hace básicamente teniendo en cuenta la frecuencia de muestreo que se usará para generar la señal chirp digital y la resolución en amplitud que se quiere obtener en la señal chirp analógica a la salida del conversor. Se elige usar un

DAC THS5661A de Texas Instruments [31], que posee una resolución de 12 bits y salidas complementarias de corriente, pudiendo configurar mediante una resistencia externa la corriente de salida a fondo de escala. Para una tensión de alimentación digital de 3,3V el DAC puede operar a una frecuencia de muestreo máxima de 70 MSPS. En la Figura 2.6 se muestra el esquema utilizado para la conversión, que incluye el diagrama en bloques funcional del DAC, el circuito necesario para generar la señal de tensión a partir de las salidas de corriente complementarias del DAC, y un pre-amplificador para obtener la amplitud de señal requerida a la entrada del amplificador de potencia.

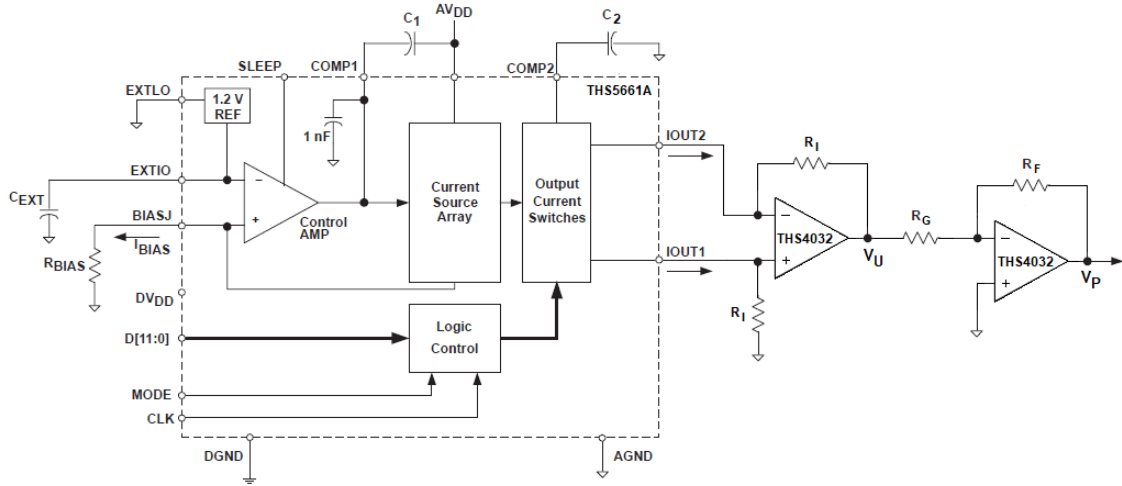


Figura 2.6: Esquema de conversión de señal digital a señal analógica.

El THS5661A genera corrientes de salida complementarias en IOUT1 e IOUT2. La corriente de salida IOUT1 es igual a la corriente de salida a fondo de escala, $IOUT_{FS}$, cuando todos los bits de entrada están en alto en el modo 0 (formato binario), es decir, la palabra de entrada binaria tiene la representación decimal 4095. De forma complementaria, $IOUT_{FS}$ circulará a través del terminal IOUT2 cuando todos los bits de entrada estén bajos en el modo 0 (formato binario), es decir, la palabra de entrada binaria tiene la representación decimal 0. De este modo, las corrientes de salida pueden expresarse como:

$$IOUT1 = IOUT_{FS} \cdot \frac{CODE}{4096} \quad (2.21)$$

$$IOUT2 = IOUT_{FS} \cdot \frac{(4095 - CODE)}{4096} \quad (2.22)$$

donde CODE es la representación decimal de la palabra de entrada binaria de datos del DAC. La corriente de salida a fondo de escala se ajusta usando una resistencia externa R_{BIAS} . La corriente base, I_{BIAS} , a través de la resistencia R_{BIAS} está definida por el amplificador de control y la tensión de referencia usada. La corriente de salida a fondo de escala es igual a 32 veces esta corriente base. La corriente de salida $IOUT_{FS}$ puede, entonces, expresarse como:

$$I_{OUT_{FS}} = 32 \cdot I_{BIAS} = \frac{32 \cdot V_{EXTIO}}{R_{BIAS}} \quad (2.23)$$

donde V_{EXTIO} es la tensión en el terminal EXTIO. La tensión de referencia interna proporciona una tensión precisa de 1,2V. Esta referencia está presente en el terminal EXTIO cuando el terminal EXTLO está conectado a AGND. Un capacitor de desacoplamiento externo C_{EXT} de 0,1 μ F debe ser conectado externamente al terminal EXTIO para compensación. Usando la referencia interna, la corriente $I_{OUT_{FS}}$ puede ajustarse entre 20 mA y 2 mA, simplemente variando el valor de la resistencia R_{BIAS} entre 1,92 k Ω y 19,2 k Ω .

Los nodos de salida IOUT1 e IOUT2 tienen una máxima tensión negativa de operación de -1V, determinada por el proceso CMOS, que no debe superarse para evitar daños al dispositivo. La máxima tensión positiva de operación de las salidas depende de la corriente de salida a fondo de escala $I_{OUT_{FS}}$ y de la tensión de alimentación positiva V_{DD} . Esta tensión es igual a 1,25 V para $V_{DD} = 5$ V e $I_{OUT_{FS}} = 20$ mA. Exceder la tensión positiva afecta adversamente el rendimiento de distorsión y la no linealidad integral. El rendimiento de distorsión óptimo para una salida unipolar o diferencial se logra cuando la máxima señal a fondo de escala en IOUT1 e IOUT2 no excede de 0,5 V.

Luego, para realizar la conversión de la señal de salida de corriente diferencial a tensión unipolar, que permita alimentar la entrada del pre-amplificador, se utiliza un amplificador operacional de tensión THS4032 de Texas Instruments [32] dispuesto en una configuración I-V (corriente-tensión). La transferencia de esta etapa es la siguiente:

$$G_{I-V} = \frac{V_U}{(I_{OUT1} - I_{OUT2})} = R_I \quad (2.24)$$

En consecuencia, la tensión máxima en los nodos de salida, IOUT1 e IOUT2, será igual a:

$$V_{OUT1(max)} = V_{OUT2(max)} = I_{OUT_{FS}} \cdot R_I \quad (2.25)$$

que como se mencionó anteriormente se debe asegurar que sea menor o igual a 0,5 V para obtener un rendimiento de distorsión óptimo en las salidas del DAC.

Para la última etapa del circuito se emplea también un amplificador operacional de tensión THS4032 en configuración inversora, por lo que su ganancia será:

$$G_P = \frac{V_P}{V_U} = -\frac{R_F}{R_G} \quad (2.26)$$

y cuyo valor dependerá de la amplitud de señal requerida a la entrada del amplificador de potencia.

2.2.3. Amplificador de potencia

La elección del amplificador de potencia se hace en base al rango de tensión de salida, la capacidad de corriente de salida y el ancho de banda de frecuencias, requeridos para

una adecuada inyección de señal en la red. Para determinar la capacidad de corriente de salida necesaria, primero se debe tener una idea aproximada de la impedancia de carga conectada a la salida del acoplador. Como se mencionó en la [Sección 1.4.2](#), estudios previos hechos sobre la red eléctrica de baja tensión muestran que la impedancia puede ser tan baja como 1Ω . Teniendo en cuenta esto y las características del acoplador, se utilizará un amplificador de potencia OPA564 de Texas Instruments [30] que está diseñado para ser usado en aplicaciones PLC de banda angosta. Posee una capacidad máxima de corriente de salida de 1,5 A (dc o rms) sobre cargas reactivas, un amplio rango de tensión de alimentación de $\pm 3,5 \text{ V}$ hasta $\pm 12 \text{ V}$, y un ancho de banda de potencia total (Full-power Bandwidth) de 1,3 MHz. Además, este amplificador está internamente protegido contra condiciones de sobre-temperatura y sobrecargas de corriente, lo que implica una mayor confiabilidad en la etapa de potencia.

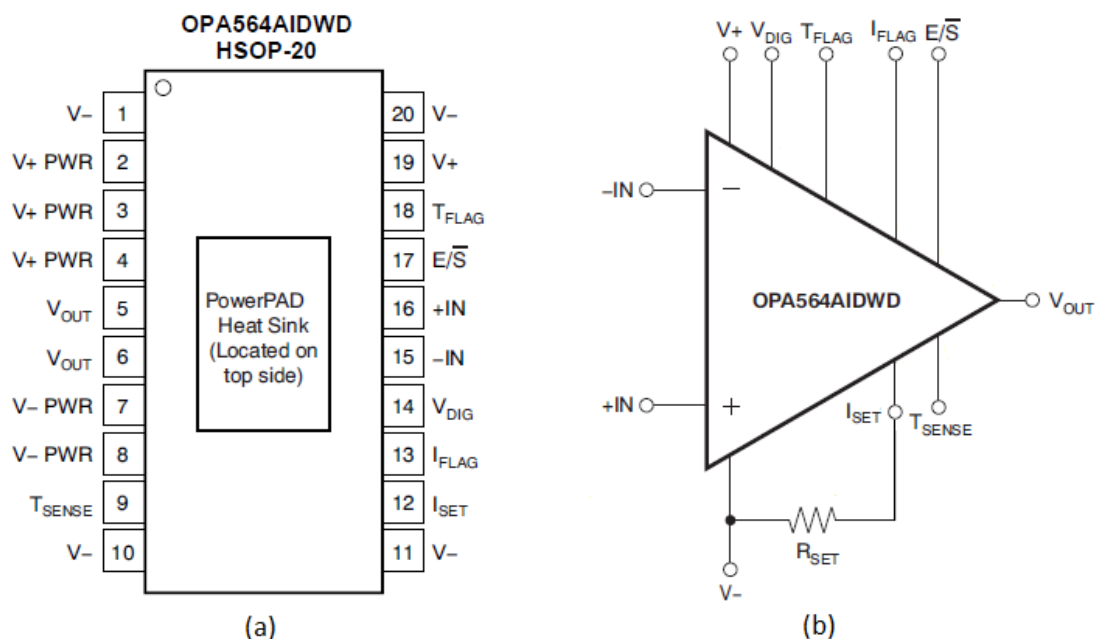


Figura 2.7: Amplificador OPA564 - (a) configuración de pines, (b) diagrama funcional.

El amplificador utiliza un encapsulado HSOP que posee un pad térmico (PowerPAD) que mejora significativamente la capacidad de disipación térmica del dispositivo (ver Figura 2.7-a). El pad puede estar ubicado en la parte inferior para ser soldado directamente a un plano de cobre en el PCB o en la parte superior para que pueda colocarse sobre el mismo un disipador de calor. El modelo elegido posee este pad térmico en la parte superior, simplificando el diseño del PCB y permitiendo la colocación de un disipador adecuado en base a la potencia máxima que se debe disipar.

Otras características importantes del amplificador elegido son (ver Figura 2.7-b):

- posee alimentación digital (V_{DIG}) de $+3,3 \text{ V}$ a $+5,5 \text{ V}$ referenciada al pin V_- .
- su salida puede ser encendida o apagada por medio de una señal de control (E/\bar{S}).
- el límite de corriente de salida (I_{LIM}) se puede establecer por medio del valor de una resistencia (R_{SET}) conectada entre el pin I_{SET} y V_- .

- dispone de dos señales de monitoreo, una indica si se alcanzó el límite de temperatura de operación (T_{FLAG}) y la otra indica si se alcanzó el límite de corriente establecido (I_{FLAG}).

2.3. Acoplador de red

Uno de los componentes más críticos de un sistema PLC es el circuito de acoplamiento con la red eléctrica. Considerando la presencia de alta tensión, impedancias variables, y perturbaciones de gran amplitud que también son variantes en el tiempo, el circuito de acoplamiento se debe diseñar cuidadosamente de manera de proveer el ancho de banda y los niveles de protección adecuados.

El circuito de acoplamiento tiene dos funciones principales, la primera es eliminar la componente fundamental (50 o 60 Hz) y los armónicos de la señal de alta tensión de línea de manera de proteger el circuito de baja tensión, y la segunda es permitir el acoplamiento de señales de alta frecuencia en la red [27]. Un circuito simplificado de un acoplador de red capacitivo usado típicamente en las aplicaciones de este tipo se muestra en la Figura 2.8. El capacitor de baja tensión (C_{LV}) permite acoplar la señal de salida de alta frecuencia del amplificador de potencia al transformador de acoplamiento. El capacitor de alta tensión (C_{HV}) bloquea la componente de baja frecuencia de la red eléctrica formando un divisor de tensión con la inductancia del transformador de acoplamiento. El inductor (L_S) conectado en serie con el capacitor tiene la función de bajar la impedancia de salida del filtro, lo que permite la inyección de señales aún con baja impedancia de red. El transformador de acoplamiento (T_A) tiene como función acoplar ambos extremos del circuito, y proveer aislación galvánica entre la zona de baja tensión y la zona de alta tensión del acoplador.

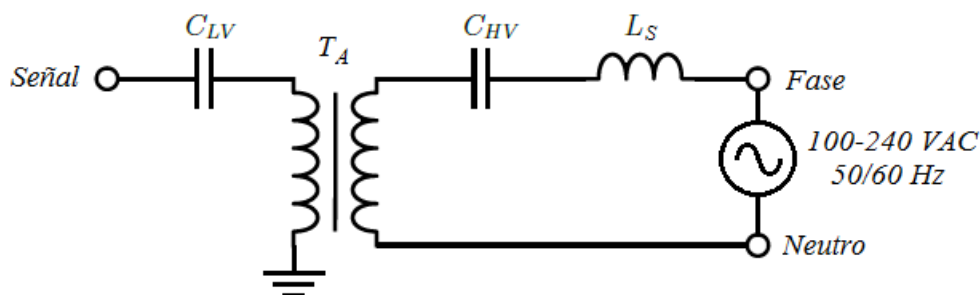


Figura 2.8: Circuito simplificado de acoplador PLC capacitivo.

El capacitor C_{LV} debe tener una capacidad lo suficientemente grande de modo de tener una baja impedancia en toda la banda de frecuencias de interés. Además, la tensión de operación del capacitor debe ser tal que soporte la máxima tensión presente a la salida del amplificador de potencia; por lo que típicamente el valor usado será igual o ligeramente superior a la tensión de alimentación del amplificador. Para el caso del capacitor C_{HV} se recomienda utilizar un capacitor de supresión de interferencia electromagnética y de interferencia de radiofrecuencia (EMI/RFI) de polipropileno metalizado debido al bajo factor de pérdida asociado con el dieléctrico, lo que resulta en un auto-calentamiento interno mínimo. Operar el capacitor en aproximadamente el 80%

de su tensión nominal garantiza una larga vida útil del componente, por lo que para una red eléctrica de 220 VAC es recomendable usar un capacitor con una tensión nominal de operación de 275 VAC. El valor de capacidad requerido dependerá del valor elegido para los demás componentes que se encuentran conectados en serie.

2.3.1. Filtro de salida

Para tener una óptima inyección de señal a la red, la frecuencia central o de resonancia del filtro pasa-banda formado por C_{HV} en serie con L_S debe ser tal que se logre una adecuada simetría en la transferencia del filtro dentro de la banda de interés. El valor de la frecuencia central del filtro se calcula como:

$$f_c = \frac{1}{2\pi\sqrt{C_{HV} \cdot L_S}} \quad (2.27)$$

Luego, para lograr la simetría de banda mencionada, la frecuencia central elegida debe ser igual a la media logarítmica de la banda de frecuencias usada, que se puede calcular como:

$$f_c = 10^{\frac{\log f_i + \log f_s}{2}} \quad (2.28)$$

donde f_i es la frecuencia inferior de la banda y f_s es la frecuencia superior de la banda. Una vez calculado el valor de f_c con la ecuación anterior es posible elegir los valores de C_{HV} y L_S que cumplan con este requisito. Se debe considerar además que el inductor L_S usado esté dimensionado para soportar la corriente de carga máxima sin saturación.

2.3.2. Transformador de acoplamiento

La mayoría de los transformadores de acoplamiento para PLC son compactos, con relaciones de vueltas entre 1:1 y 4:1, baja inductancia de pérdidas y una inductancia de bobinado de unos pocos milihenries. El divisor de tensión formado por el capacitor C_{HV} y esta inductancia de bobinado es el encargado de reducir la tensión de red a niveles despreciables en la salida del amplificador de potencia. En un circuito de acoplamiento típico, la tensión de red inyectada en la salida del amplificador de potencia es de aproximadamente 20 mV_{pp}, aunque puede tolerarse un mayor valor mientras no afecte el normal funcionamiento del circuito.

Determinar la relación de vueltas (N_1/N_2) óptima para el transformador de acoplamiento es simple, se basa en el principio de usar la máxima capacidad de tensión de salida junto con la máxima capacidad de corriente de salida del amplificador de potencia para lograr la máxima eficiencia de transferencia de potencia a la carga. Suponiendo que el rango de tensión de salida, la máxima corriente de salida y la impedancia de carga son conocidas, la relación de vueltas para el circuito de la Figura 2.9 se calcula a partir de las siguientes ecuaciones:

$$\frac{V_{OP}}{I_{OP}} = R_L \cdot \left(\frac{N_1}{N_2}\right)^2 \quad (2.29)$$

$$\frac{N_1}{N_2} = \sqrt{\frac{V_{OP}}{I_{OP} \cdot R_L}} \quad (2.30)$$

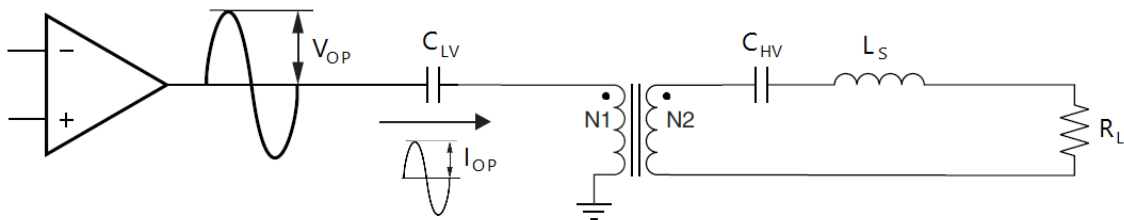


Figura 2.9: Circuito de acoplamiento PLC.

Si la relación de vueltas se selecciona para ser mayor que el valor ideal, la salida total del circuito es entonces limitada por la capacidad de tensión de salida del amplificador de potencia. Si la relación de vueltas es seleccionada para ser menor que el valor ideal, la salida queda limitada por la máxima corriente de salida del amplificador de potencia. Si se utiliza la relación de vueltas ideal, la salida máxima se produce cuando el amplificador se acerca tanto a su máxima tensión de salida como a su máxima corriente de salida. Esta condición da como resultado la máxima eficiencia de transferencia de potencia a la carga.

2.3.3. Dispositivos de protección

La red eléctrica es un ambiente severo para los componentes electrónicos. Ruido o perturbaciones de gran amplitud, causadas por relámpagos, descargas de bancos de capacitores, conmutaciones inductivas u otras fallas pueden dañar los componentes electrónicos del sistema si no están debidamente protegidos. Por lo tanto, para su implementación práctica, al circuito de la Figura 2.8 se le deben añadir dispositivos de protección como:

- Varistores de óxido metálico (MOV), para proteger contra sobretensiones transitorias de la red.
- Diodos de supresión de transitorios de voltaje (TVS), como protección contra los transitorios de conexión a la red.
- Diodos de enclavamiento, para proteger contra sobretensiones en la señal de entrada.

La Figura 2.10 muestra el circuito del acoplador con los elementos de protección. Los MOVs responden rápidamente a un impulso transitorio rápido, soportan altas potencias instantáneas y son adecuados para protección en la línea de corriente alterna. Para seleccionar el MOV adecuado se deben considerar factores como la tensión de operación, la cantidad de energía transitoria a ser absorbida, el pico máximo de corriente transitoria y la disipación de potencia.

Un TVS es un dispositivo de enclavamiento de acción rápida que se enciende en caso de una condición de sobretensión, derivando la corriente a tierra. Los TVS se clasifican principalmente por la capacidad de manejo de potencia y la tensión de enclavamiento. La tensión de encendido del TVS debe ser igual a aproximadamente la mitad de la tensión de alimentación del amplificador de potencia ya que la señal de salida es simétrica con respecto a tierra en el TVS. Es importante que el TVS permanezca apagado durante el funcionamiento normal para evitar el recorte e introducir distorsiones en la señal de salida. También es importante que el TVS encienda y enclave a la tensión más baja posible más allá de la operación normal para proporcionar la protección máxima.

En el caso improbable de que una sobretensión transitoria aumente a la salida del amplificador de potencia más allá de su tensión de alimentación, los diodos Schottky (D_1 y D_2) de baja caída de tensión pueden dirigir la corriente de manera segura a tierra. Se recomienda que los diodos Schottky tengan una máxima caída de tensión inferior a 0,5 V y que sean conectados lo más cerca posible de la salida del amplificador para lograr una máxima protección del dispositivo. A su vez, si el amplificador de potencia utilizado es alimentado con fuente de tensión doble ($\pm VCC$), los diodos Schottky deben conectarse como se indica en la Figura 2.10 pero entre el punto de alimentación negativa ($-VCC$) y el de alimentación positiva ($+VCC$).

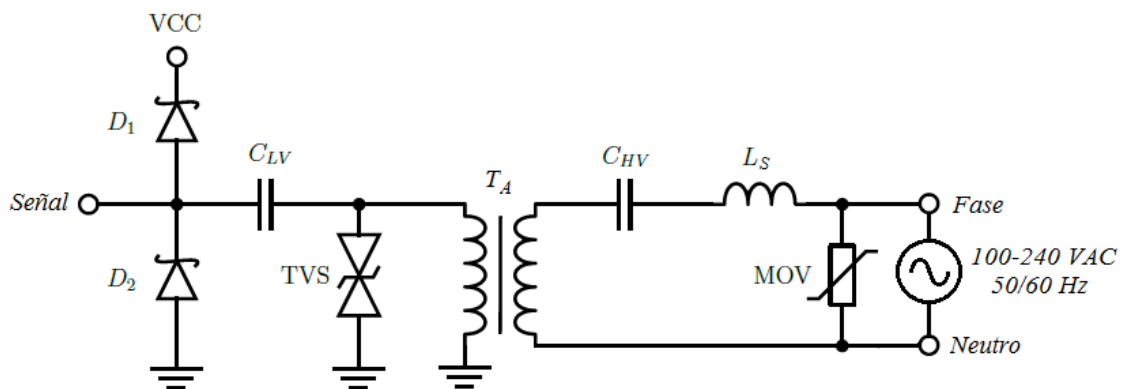


Figura 2.10: Circuito de acoplador PLC con dispositivos de protección.

2.4. Medición y procesamiento de señales

Como se mencionó anteriormente, además de la inyección de una señal con barrido en frecuencia, la caracterización de la impedancia de la red requiere la medición de dos señales: la señal de tensión (V_T) que se medirá en el primario del transformador de acoplamiento, y la señal de corriente (I_T) que se medirá a través de una resistencia de medición de corriente (R_S) conectada en serie con el bobinado primario del transformador de acoplamiento. Luego, ambas señales pasarán cada una por una etapa de amplificación y filtrado pasa-banda para adecuarlas al rango de adquisición de un conversor analógico-digital de dos canales, permitiendo obtener las correspondientes muestras digitales para su posterior procesamiento. La Figura 2.11 muestra en detalle la medición de estas señales en el circuito, donde Z_S es la impedancia del filtro de salida y Z_L es la impedancia de línea en el punto de conexión a la red eléctrica.

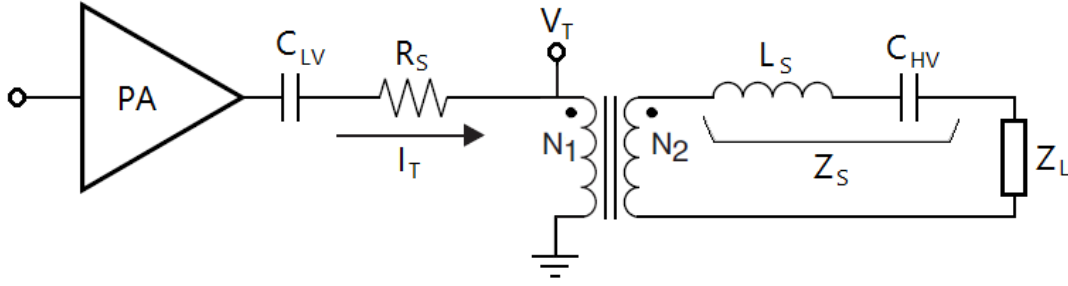


Figura 2.11: Medición de señales en el circuito.

2.4.1. Cálculo de la impedancia de línea (Z_L)

A partir del circuito de la Figura 2.11 se pueden deducir fácilmente las siguientes expresiones para las impedancias del primario y secundario del transformador:

$$Z_{PRI} = \frac{V_T}{I_T} = \frac{V_T}{V_{R_S}/R_S} \quad (2.31)$$

$$Z_{SEC} = Z_S + Z_L \quad (2.32)$$

Por otro lado, la impedancia conectada en el secundario del transformador (Z_{SEC}) al reflejarla al primario se multiplica por la relación de vueltas al cuadrado y queda en paralelo con la impedancia del bobinado primario (Z_{LM}):

$$Z_{PRI} = Z_{LM} \parallel \left[Z_{SEC} \cdot \left(\frac{N_1}{N_2} \right)^2 \right] \quad (2.33)$$

Además, como las ganancias de los amplificadores de señal son conocidas, si llamamos G_A a la ganancia total aplicada a la señal de corriente (I_T) medida sobre R_S y llamamos G_B a la ganancia total aplicada sobre la señal de tensión (V_T), se puede entonces expresar la relación entre las señales que se quieren medir y las señales de tensión adquiridas por el ADC como:

$$I_T = \frac{V_{R_S}}{R_S} = \frac{V_A}{G_A \cdot R_S} \quad (2.34)$$

$$V_T = \frac{V_B}{G_B} \quad (2.35)$$

donde V_A y V_B son los *espectros de frecuencia discretos* de los vectores de muestras de tensión adquiridos por el ADC. Finalmente, combinando las expresiones (2.31), (2.32) y (2.33) se puede calcular la impedancia de línea (Z_L) como:

$$Z_L = \frac{\left[\left(\frac{V_T}{I_T} \right)^{-1} - Z_{LM}^{-1} \right]^{-1}}{\left(\frac{N_1}{N_2} \right)^2} - Z_S \quad (2.36)$$

La expresión (2.36) permite hacer un cálculo teórico de la impedancia de línea, por lo que en la implementación práctica del sistema se deberá llevar a cabo un proceso de calibración previo. En este proceso, mediante mediciones realizadas sobre impedancias de carga conocidas (típicamente cargas resistivas de precisión) se podrán obtener los valores reales de Z_{LM} y Z_S , así como también un factor de corrección K_C , que al ser aplicados en la correspondiente expresión permitirán obtener el valor real de Z_L con un mínimo error de cálculo.

2.4.2. Método de calibración

Para determinar un método adecuado de calibración del sistema y el proceso asociado, primero se debe analizar el comportamiento del circuito usando el modelo no ideal del transformador de acoplamiento [27], que se muestra en la Figura 2.12.

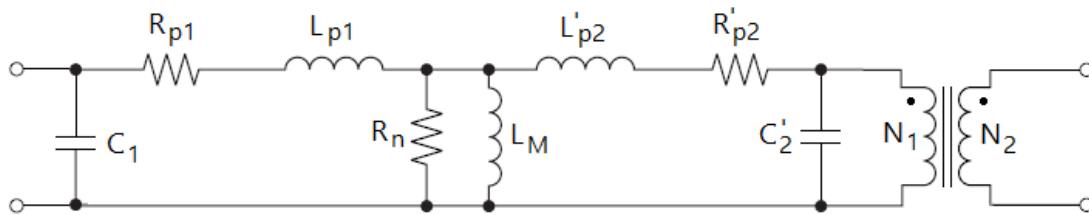


Figura 2.12: Modelo no ideal del transformador de acoplamiento.

En este modelo se pueden identificar los siguientes elementos:

- C_1 es la capacidad equivalente del bobinado primario.
- R_{p1} es la resistencia serie del bobinado primario.
- L_{p1} es la inductancia de pérdida del bobinado primario.
- R_n es la resistencia que representa las pérdidas en el núcleo.
- L_M es la inductancia de circuito abierto del bobinado primario (inductancia magnetizante).
- L'_{p2} es la inductancia de pérdida del bobinado secundario reflejada al lado primario.
- R'_{p2} es la resistencia del bobinado secundario reflejada al lado primario.
- C'_2 es la capacidad equivalente del bobinado secundario reflejada al lado primario.

Para simplificar el análisis de este circuito se debe tener en cuenta que si el transformador utilizado está bien diseñado y construido, las resistencias serie de ambos bobinados serán de un valor pequeño (mucho menor que las reactancias de las inductancias de pérdida), las capacidades equivalentes de los bobinados también serán pequeñas (sus reactancias serán mucho mayores que las del resto del circuito) y que las pérdidas del núcleo serán bajas (la resistencia que las representa será de un valor muy grande). Considerando lo mencionado, la Figura 2.13 muestra el circuito simplificado del transformador junto con el filtro y la impedancia de carga.

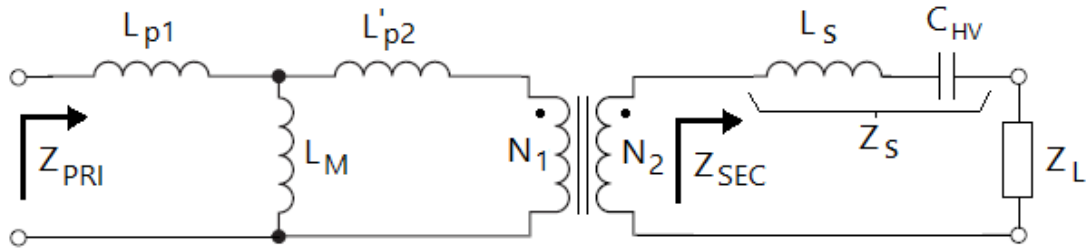


Figura 2.13: Circuito simplificado del transformador de acoplamiento.

A partir de este circuito simplificado, el proceso de calibración involucra realizar mediciones con cargas de valor conocido para determinar las impedancias de cada uno de los elementos que lo componen, dentro de la banda de frecuencias de interés, a partir de la siguiente expresión:

$$Z_{PRI} = Z_{L_{p1}} + Z_{L_M} \parallel \left[Z_{L'_{p2}} + Z_{SEC} \cdot \left(\frac{N_1}{N_2} \right)^2 \right] \quad (2.37)$$

Nuevamente se debe considerar que si el transformador se diseña y construye adecuadamente para su función de acoplamiento, la inductancia magnetizante será de un valor relativamente grande y las inductancias de pérdidas de apenas una fracción del valor de ésta última, lo que significa que la reactancia de las inductancias de pérdidas es prácticamente despreciable respecto de la reactancia de la inductancia magnetizante. Luego, si se realiza una medición sin carga a la salida (bobinado secundario abierto) se obtiene la siguiente expresión para el valor de Z_{LM} :

$$Z_{PRI} = Z_{L_{p1}} + Z_{L_M} \cong Z_{L_M} \quad (2.38)$$

Por otra parte, el valor de las inductancias de pérdidas y la inductancia magnetizante dependen del factor de acoplamiento (k) del transformador y se pueden vincular con la siguiente expresión [28][29]:

$$L_{p1} = L'_{p2} = (L_M/k) * (1 - k), \quad 0 < k < 1 \quad (2.39)$$

Sin embargo, en este caso, no es necesario conocer el valor del factor de acoplamiento ya que si se conecta una carga resistiva (R_C) en los terminales del bobinado secundario del transformador, tal que su valor reflejado al primario sea mucho menor que Z_{LM} , y se realiza una medición se obtiene la siguiente aproximación para la impedancia en el bobinado primario:

$$Z_{PRI} \cong Z_{L_{p1}} + Z_{L'_{p2}} + R_C \cdot \left(\frac{N_1}{N_2} \right)^2 \cong 2Z_{L_{p1}} + R_C \cdot \left(\frac{N_1}{N_2} \right)^2 \quad (2.40)$$

$$\text{con } Z_{L_{p1}} = j\omega L_{p1} \text{ y } R_C \cdot \left(\frac{N_1}{N_2} \right)^2 \ll Z_{L_M}$$

Luego, si se calcula la parte imaginaria de la impedancia medida de la expresión (2.40) se obtiene la siguiente expresión para el cálculo de la impedancia de la inductancia de pérdida del primario:

$$Z_{L_{p1}} = \frac{j}{2} \cdot \text{Imag}(Z_{PRI}) \quad (2.41)$$

Como la inductancia de pérdidas del secundario (L_{p2}) se encuentra en serie con el filtro de salida (compuesto por L_S y C_{HV}), el valor de la impedancia de la misma se determina en conjunto con la impedancia del filtro, es decir, que se busca determinar la siguiente impedancia serie:

$$Z_S = Z_{L_{p2}} + Z_{L_S} + Z_{C_{HV}} \quad (2.42)$$

La ventaja práctica de hacer esto es que la impedancia Z_S obtenida también incluirá cualquier componente de impedancia serie no considerada en el modelo simplificado.

Los pasos anteriores de calibración sirvieron para estimar adecuadamente los valores reales de ciertos elementos del modelo del transformador de acoplamiento, sin embargo, es necesario que la calibración permita determinar el resto de los elementos en referencia a cargas de valor conocido, de modo tal que las mediciones realizadas sobre cargas desconocidas sean confiables. Para hacer esto, de forma simple y práctica, se deben realizar mediciones sobre dos cargas resistivas de precisión de distinto valor, R_{C1} y R_{C2} , conectadas a la salida de modo que se tendrán las siguientes expresiones:

$$\begin{cases} Z_{PRI_1} = Z_{L_{p1}} + Z_{L_M} \parallel [(R_{C1} + Z_S) \cdot K_c \cdot N_t^2] \\ Z_{PRI_2} = Z_{L_{p1}} + Z_{L_M} \parallel [(R_{C2} + Z_S) \cdot K_c \cdot N_t^2] \end{cases} \quad (2.43)$$

$$\text{con } N_t = N_1/N_2 \text{ y } R_{C2} < R_{C1}$$

En este sistema de ecuaciones se deben despejar dos incógnitas: por un lado la impedancia serie (Z_S) correspondiente a la expresión (2.42) y por otro un factor de corrección (K_c), que se introduce para corregir cualquier variación que exista debido a los valores reales de los componentes del circuito de medición, que no se encuentran representados en el circuito simplificado que se está analizando; por ejemplo, variaciones en la relación de vueltas, en las ganancias de los amplificadores, en la resistencia de medición de corriente, etc. De modo que, acomodando el sistema de ecuaciones previo para obtener las expresiones de impedancia presente en el bobinado secundario, se obtiene:

$$Z_{SEC_1} = K_c \cdot R_{C1} + K_c \cdot Z_S \quad (2.44)$$

$$Z_{SEC_2} = K_c \cdot R_{C2} + K_c \cdot Z_S \quad (2.45)$$

donde se tiene que

$$Z_{SEC_i} = \frac{\left[\left(Z_{PRI_i} - Z_{L_{p1}} \right)^{-1} - Z_{LM}^{-1} \right]^{-1}}{N_t^2}, \quad (i = 1, 2) \quad (2.46)$$

es la impedancia en el bobinado secundario obtenida a partir de la impedancia medida en el bobinado primario para cada carga de calibración y los parámetros ya conocidos del circuito de acoplamiento.

Luego, si a la expresión (2.44) se le resta la expresión (2.45) y se despeja K_c , se obtiene:

$$K_c = \frac{Z_{SEC_1} - Z_{SEC_2}}{R_{C_1} - R_{C_2}} \quad (2.47)$$

Y reemplazando el factor de corrección en la expresión (2.44) o la expresión (2.45), se puede calcular la impedancia serie como:

$$Z_S = \frac{Z_{SEC_1}}{K_c} - R_{C_1} = \frac{Z_{SEC_2}}{K_c} - R_{C_2} \quad (2.48)$$

Finalmente es posible calcular la impedancia de línea (Z_L), a partir de una única medición y con los datos de calibración, mediante la siguiente expresión:

$$Z_L = \frac{\left[\left(Z_{PRI} - Z_{L_{p1}} \right)^{-1} - Z_{LM}^{-1} \right]^{-1}}{K_c N_t^2} - Z_S \quad (2.49)$$

con

$$Z_{PRI} = \frac{V_T}{I_T} = \frac{G_A \cdot R_S}{G_B} \cdot \left(\frac{V_B}{V_A} \right) \quad (2.50)$$

y

$$N_t = N_1 / N_2 \quad (2.51)$$

2.4.3. Amplificación y adquisición de señales (V_T e I_T)

Como se explicó en la [Sección 2.4](#), al mismo tiempo que se inyecta la señal chirp, se deberán medir y adquirir muestras digitales de las señales de tensión y corriente producidas en el primario del transformador de acoplamiento, para que posteriormente se pueda aplicar un procesamiento digital de las mismas que permita calcular el valor de la impedancia de línea. Estas señales deben ser amplificadas y filtradas para adecuarlas al rango de adquisición de un ADC de dos canales. Para ello, será necesario utilizar dos amplificadores de instrumentación que posean entrada diferencial de alta impedancia y salida diferencial de tensión. El circuito diseñado para implementarlos consta de dos etapas como se observa en la Figura 2.14.

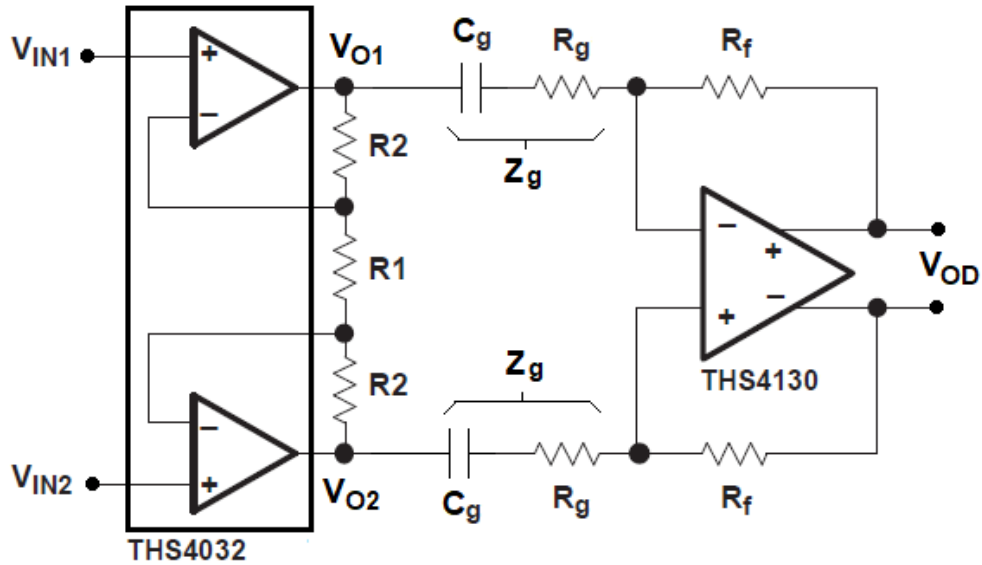


Figura 2.14: Amplificador de instrumentación.

La primera etapa está compuesta por dos amplificadores operacionales de muy bajo ruido y distorsión armónica, THS4032 de Texas Instruments [32], dispuestos en una configuración que provee una entrada diferencial de alta impedancia, ganancia fija y salida diferencial de tensión. La impedancia diferencial de entrada obtenida, entre los terminales V_{IN1} y V_{IN2} , será de aproximadamente $4\text{ M}\Omega$. Su transferencia se calcula con la siguiente expresión:

$$G_1 = \frac{V_{O1} - V_{O2}}{V_{IN1} - V_{IN2}} = 1 + \frac{2R_2}{R_1} \quad (2.52)$$

La segunda etapa está compuesta por un amplificador totalmente diferencial (entrada y salida diferencial), THS4130 de Texas Instruments [41], de muy bajo ruido y distorsión armónica. El uso de un amplificador totalmente diferencial permite tener un elevado rechazo de ruido de modo común (CMRR) y un elevado rechazo de ruido de fuente de alimentación (PSRR), debido a sus entradas y salidas diferenciales simétricas. Se configura para proveer una ganancia fija y un filtrado pasa-altos, y su transferencia se expresa como:

$$G_2 = \frac{V_{OD}}{V_{O1} - V_{O2}} = \frac{R_f}{Z_g} = \frac{sC_g R_f}{sC_g R_g + 1} \quad (2.53)$$

$$\text{con } f_{PA} = \frac{1}{2\pi C_g R_g} \quad (2.54)$$

La frecuencia de corte del filtro pasa-alto f_{PA} se debe establecer, aproximadamente, una década por debajo de la frecuencia inferior de la banda de interés ($\sim 1\text{ kHz}$).

Además, como la amplitud de la señal de corriente varía según la carga de línea, al amplificador de esta señal se le agrega una tercera etapa compuesta por un amplificador

de ganancia variable (VGA), AD8369 de Analog Devices [42], para que el control del sistema pueda ajustar automáticamente la ganancia si es necesario. El control automático de ganancia (AGC) debe asegurar que la amplitud de la señal sea la adecuada y que se ubique siempre dentro el rango de entrada del ADC. El diagrama en bloques general del amplificador se muestra en la Figura 2.15.

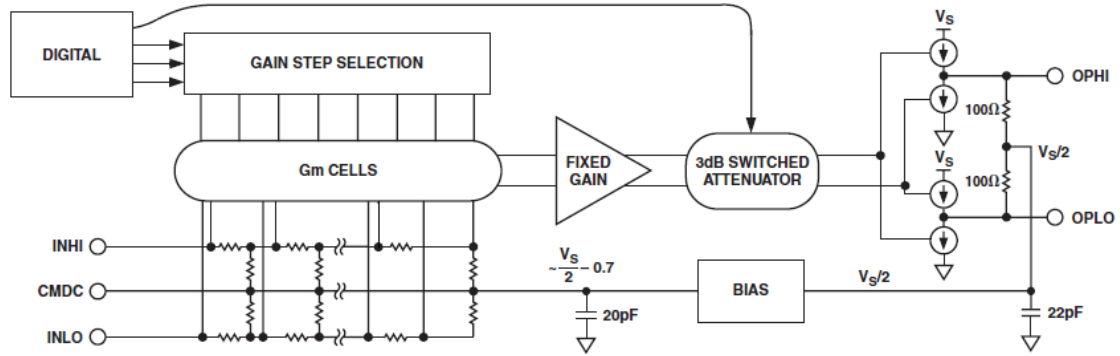


Figura 2.15: Diagrama en bloques general del amplificador de ganancia variable.

La señal diferencial de entrada se aplica entre los pines INHI e INLO; y la ganancia variable, seleccionada digitalmente, se consigue mediante dos métodos. Los pasos de 6 dB se implementan usando una estructura discreta, en el que la señal de entrada es atenuada progresivamente por una red escalera R-2R de 200 Ω que también establece la impedancia de entrada; los pasos de 3 dB son implementados a la salida del amplificador usando un atenuador conmutado. Esta combinación proporciona pasos de ganancia de 3 dB muy precisos en un rango de 45 dB. La impedancia de salida de 200 Ω está fijada por resistencias internas a través de los pines de salida diferencial, OPHI y OPLO. La ganancia total depende de las impedancias de fuente (de señal de entrada) y de carga, debido a la naturaleza resistiva de los puertos de entrada y salida. El control digital del AD8369 se logra utilizando una interfaz serie o paralela, donde el modo se selecciona por medio de la conexión del pin SENB a la tensión positiva de alimentación o a masa, respectivamente.

La ganancia de este amplificador se calcula con la siguiente expresión:

$$G_{VGA} = \frac{V_{OPHI} - V_{OPLO}}{V_{INHI} - V_{INLO}} = 0,6 \left(\frac{200 \Omega \cdot R_{LOAD}}{200 \Omega + R_{LOAD}} \right) \left(\frac{1}{\sqrt{2^{(15-n)}}} \right) \quad (2.55)$$

donde R_{LOAD} es la resistencia de carga externa y n es el código de ganancia. El código de valor 0 corresponde al mínimo de ganancia y el código de valor 15 corresponde al máximo de ganancia. La carga externa, que se encuentra en paralelo con la resistencia interna de salida de 200 Ω, afecta la ganancia total y el rango máximo de tensión de salida. Se debe notar que la carga externa no tiene efecto sobre el tamaño del paso de ganancia que, como mínimo, es de 3 dB.

Por último, para la adquisición digital de las señales se emplea un convertor analógico-digital, THS1206 de Texas Instruments [43], que se puede configurar para adquirir simultáneamente dos canales diferenciales con una resolución de 12 bits a una frecuencia de muestreo máxima de 3 MSPS. En el canal A del ADC se adquiere la señal

diferencial de tensión proporcional a la corriente I_T , mientras que en el canal B se adquiere la señal diferencial de tensión proporcional a la tensión V_T . En la Figura 2.16 se muestra el circuito completo de amplificación y adquisición de ambas señales.

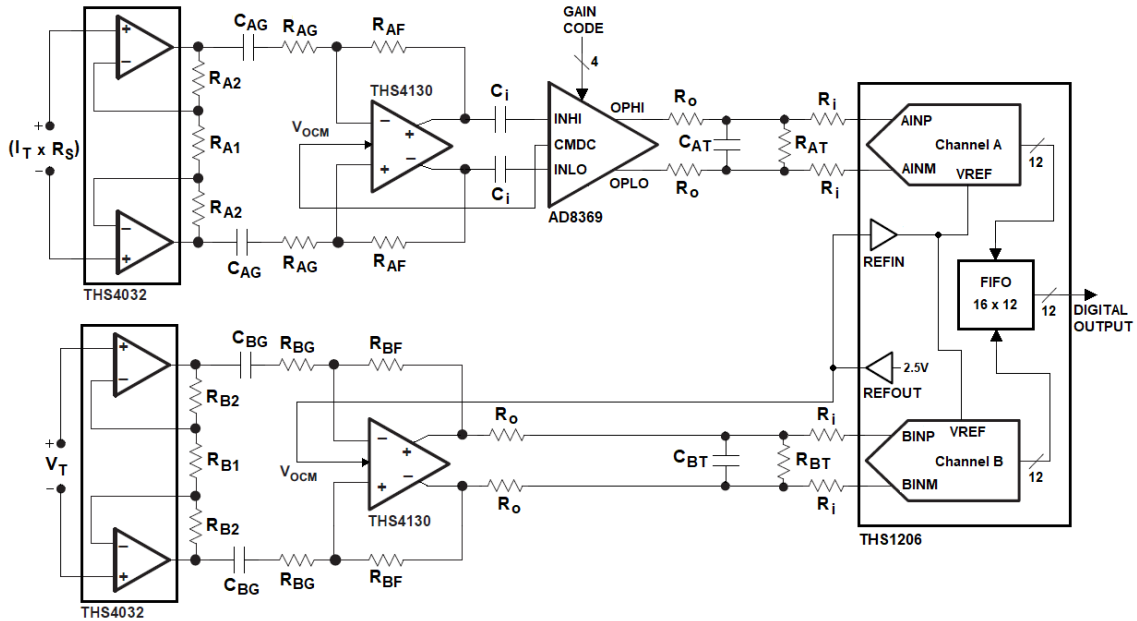


Figura 2.16: Circuito de amplificación y adquisición de las señales V_T e I_T .

Como se observa en el circuito, ambos amplificadores de instrumentación poseen en su salida un filtro pasa-bajos de interfaz con el correspondiente canal diferencial del ADC [44]. Este filtro pasa-bajos, en conjunto con el filtro pasa-altos de la segunda etapa, permite lograr el filtrado pasa-banda requerido para la medición de las señales de banda angosta. Además, incluye resistores de entrada y salida de supresión de efectos parásitos, R_i y R_o , que ayudan a prevenir efectos de resonancia que se producen como resultado de la inductancia del cable de conexión interno de los terminales de los componentes, de la capacidad del pad de los terminales con el sustrato del PCB y de la capacitancia e inductancia de la pistas de la placa de circuito impreso. Normalmente, sólo 10Ω a 25Ω de resistencia en serie es todo lo que se necesita para ayudar a amortiguar los efectos de resonancia. En este caso, se elige usar un valor de 10Ω para todas las resistencias. Teniendo en cuenta que la mayoría de los ADC, al igual que el utilizado, presentan una impedancia de entrada relativamente alta, se pierde muy poca señal a través de las resistencias R_i y R_o . Por otra parte, como esa impedancia de entrada suele presentar cierta variabilidad en su valor, se coloca una resistencia de terminación R_T , para reducir la impedancia de entrada del ADC a un valor definido (típicamente un resistor con 1% de tolerancia es aceptable).

La transferencia del filtro pasa-bajos, desde la salida diferencial del amplificador hasta la entrada diferencial del ADC, se puede expresar de forma general como:

$$G_3 = \frac{R_T}{(R_T + 2R_o)[sC_T(R_T || (2R_o + Z_{OD})) + 1]} \quad (2.56)$$

$$\text{con } f_{PB} = \frac{1}{2\pi C_T (R_T || (2R_o + Z_{OD}))} \quad (2.57)$$

donde Z_{OD} es la impedancia de salida diferencial de la última etapa del amplificador de instrumentación correspondiente a cada señal. Debido a la alta impedancia de entrada del ADC utilizado, las resistencias R_i no tienen efecto sobre la transferencia de la red. La frecuencia de corte del filtro pasa-bajos f_{PB} se debe establecer, aproximadamente, una década por encima de la frecuencia superior de la banda de interés (~5 MHz).

A su vez, es importante que la tensión de salida de modo común (V_{OCM}) de los amplificadores THS4130 sea compatible con la tensión de entrada de modo común de la etapa siguiente. Para el amplificador del canal A, el terminal V_{OCM} se conecta al terminal CMDC de tensión de entrada de modo común del VGA; mientras que para el amplificador del canal B, el terminal V_{OCM} se conecta al terminal REFOUT de tensión entrada de modo común del ADC. La tensión de salida de modo común del VGA es siempre igual a la mitad de la de alimentación ($V_{POS}/2$), por lo tanto, para tener compatibilidad con el ADC ($REFIN = REFOUT = 2,5V$) se debe asegurar que $V_{POS} = 5V$. Además, como la señal de entrada diferencial del VGA debe estar acoplada en AC, se colocan un par de capacitores C_i en serie con la entrada. El valor de los mismos se elige de modo de tener una baja impedancia en toda la banda de frecuencias de la señal.

3. Implementación del sistema

En este capítulo se detalla todo lo referido al proceso de selección de los parámetros y componentes del circuito, en base al diseño planteado en el capítulo anterior, y cómo se implementan prácticamente para lograr un correcto funcionamiento del sistema propuesto. Además, se describe la implementación del control del sistema, el cual se lleva a cabo mediante lógica programable en conjunto con un programa de PC que, a su vez, sirve como interfaz de usuario para la configuración, monitoreo y calibración del sistema, para realizar las mediciones de impedancia y para la presentación de resultados en pantalla. También se detalla cómo se integran los diferentes puertos requeridos para el funcionamiento del sistema en un único puerto USB de comunicación con la PC. Por último, se presentan simulaciones del sistema que permiten validar los métodos propuestos en el diseño para la calibración y la medición de impedancias.

El diagrama de la Figura 3.1 muestra los diferentes bloques funcionales que implementan al sistema de caracterización de impedancia. El control en la FPGA es el encargado de generar digitalmente la señal chirp, a partir de muestras almacenadas en una ROM, para que luego sea convertida por el DAC a su versión analógica e inyectada la red por el amplificador de potencia a través del acoplador de red. Al mismo tiempo, se encarga de almacenar las muestras de las señales adquiridas por el ADC en una memoria RAM, para que luego puedan ser procesadas digitalmente por el programa de control en la PC. A su vez, el control en la PC es el encargado de monitorear el funcionamiento del amplificador de potencia, de ajustar automáticamente la ganancia del VGA, de realizar los cálculos de impedancia y de graficar los resultados obtenidos. La interfaz de usuario permite el ingreso de comandos que ejecutan diferentes tareas relacionadas con el sistema como, por ejemplo, la programación de ganancia, el ploteo de señales adquiridas, la calibración, la medición y/o ploteo de impedancias.

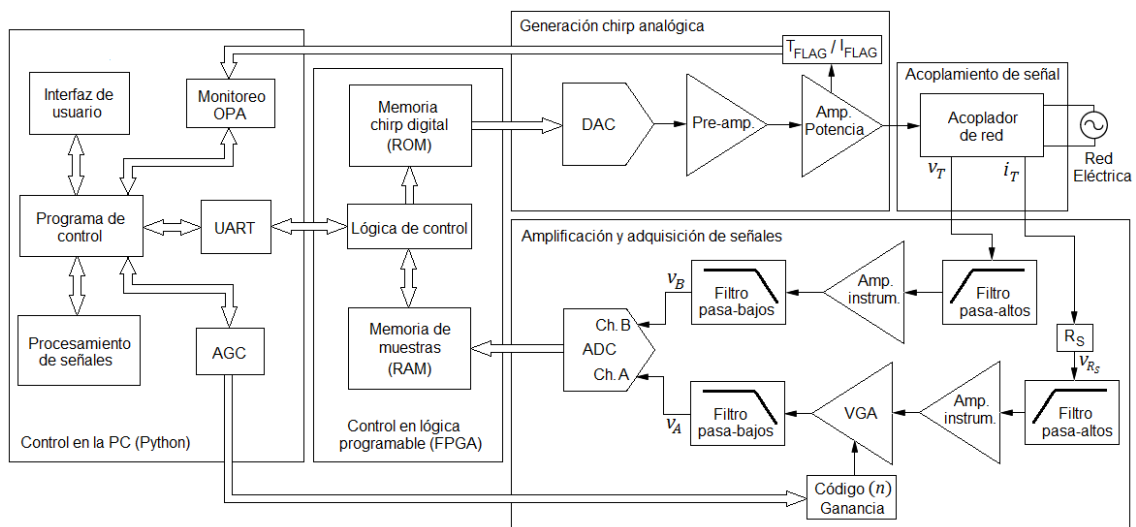


Figura 3.1: Diagrama en bloques funcional del sistema.

3.1. Generación de chirp analógica

La generación de la señal chirp analógica requiere definir primero los parámetros óptimos de operación del amplificador de potencia como ser: el límite de corriente de salida, la ganancia a lazo cerrado, la amplitud de señal de salida y las tensiones de alimentación. A partir de allí, es posible definir los parámetros relacionados con el circuito de conversión digital-analógica tales como: la corriente a fondo de escala del DAC, la ganancia adecuada para el conversor corriente-tensión y la ganancia requerida para el pre-amplificador; así como también, las tensiones de alimentación de este circuito.

3.1.1. Amplificador de potencia (OPA564)

La implementación del amplificador de potencia OPA564 requiere definir algunos parámetros de operación como: las tensiones de alimentación, el límite de corriente de salida, la ganancia a lazo cerrado, la amplitud de la señal de salida y la tensión de alimentación digital. A su vez, se deben elegir ciertos componentes adicionales que son necesarios para generar la tensión de alimentación digital, para el monitoreo de las señales de control, para la protección y compensación de la etapa de salida, y para la disipación térmica del dispositivo.

3.1.1.1. Ajuste del límite de corriente (I_{LIM})

Como se mencionó en la [Sección 2.2.3](#), el OPA564 dispone de una protección contra sobre-corriente a la carga a través de un límite de corriente ajustable. El valor del límite de corriente (I_{LIM}) se puede establecer desde 0,4 A hasta 1,5 A (dc o rms) controlando la corriente a través del pin I_{SET} . La ventaja es que para ajustar el límite de corriente no se requiere una resistencia de potencia pues la corriente de salida no circula por el pin I_{SET} , por lo que una simple resistencia conectada entre ese pin y la alimentación negativa es suficiente para tener un control general de la corriente en la salida.

Según la información provista en la hoja de datos del dispositivo [30], el límite de corriente queda establecido en aproximadamente veinte mil veces la corriente que circula por el pin I_{SET} , la cual dependerá de una tensión de referencia interna de 1,2 V y de la resistencia compuesta por R_{SET} en serie con una resistencia interna de 5 k Ω . Su valor se determina con la siguiente expresión:

$$I_{LIM} \cong 20000 \cdot \left(\frac{1,2 \text{ V}}{5 \text{ k}\Omega + R_{SET}} \right) \quad (3.1)$$

Es importante aclarar que dejar el pin I_{SET} sin conectar daña el dispositivo y que conectarlo directamente a V- no es recomendable porque programaría el límite de corriente mucho más allá de la capacidad de 1,5 A (rms) del dispositivo y eso causaría exceso de disipación de potencia. Por lo tanto, si el valor de I_{LIM} está definido, R_{SET} se puede determinar reacomodando la expresión (3.1) en la siguiente ecuación:

$$R_{SET} = \left(\frac{20000 \cdot 1,2 \text{ V}}{I_{LIM}} \right) - 5 \text{ k}\Omega \quad (3.2)$$

En este caso, se busca aprovechar la capacidad máxima de manejo de corriente del dispositivo para una señal de salida tipo senoidal. Por lo tanto, el valor de corriente límite se establece igual al valor pico máximo de corriente permitido, dando como resultado el siguiente valor de R_{SET} :

$$R_{SET} = \left(\frac{20000 \cdot 1,2 \text{ V}}{\sqrt{2} \cdot 1,5 \text{ A}} \right) - 5 \text{ k}\Omega \cong 6,3 \text{ k}\Omega \quad (3.3)$$

3.1.1.2. Monitoreo de señales de control (I_{FLAG} y T_{FLAG})

Como se detalló en la [Sección 2.2.3](#), el amplificador OPA564 dispone de tres señales de control digital: la señal E/\bar{S} que permite el encendido o apagado de la salida, la señal I_{FLAG} que indica si se alcanzó el límite de corriente establecido, y la señal T_{FLAG} que indica si se alcanzó el límite de temperatura de operación.

La salida del amplificador se apaga cuando el pin E/\bar{S} es forzado a bajo (conectado a V^-) y para una operación normal el pin E/\bar{S} debe forzarse a alto (al menos 2V por encima de V^-). Para activarlo permanentemente, el pin E/\bar{S} se puede dejar desconectado ya que posee una resistencia de “pull-up” de 100 k Ω conectada a V_{DIG} . Cuando la salida es apagada, pasa a ser de alta impedancia (6 G Ω || 120 pF). Aún así, existe todavía un camino a tierra a través de la red de realimentación en la etapa de entrada (ver Figura 3.2), por lo que para evitar que se dañe el dispositivo se debe asegurar que la tensión entre los terminales de entrada $+IN$ y $-IN$ no exceda 0,5 V y que la corriente que circula a través de los mismos no supere los 10 mA cuando se operan más allá de las tensiones de alimentación $V+$ y $V-$. Una forma de proteger la entrada es usando diodos Schottky en anti-paralelo entre los pines $+IN$ y $-IN$, sin embargo si su capacidad de juntura es relativamente grande pueden afectar el normal funcionamiento del dispositivo al generar efectos indeseados, como oscilaciones de alta frecuencia en la señal de salida. Por esta razón, se decide no colocarlos y dejar el dispositivo activado de forma permanente (dejando el pin E/\bar{S} desconectado), haciendo que la salida provea siempre un camino de baja impedancia a tierra para cualquier señal espuria que se pueda acoplar.

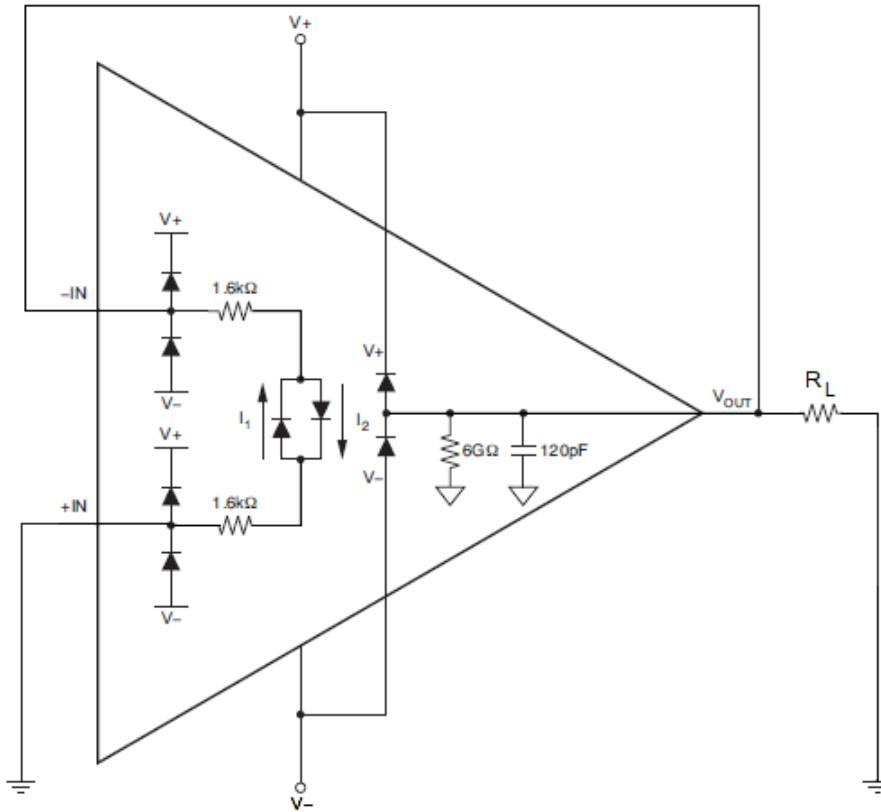


Figura 3.2: Circuito equivalente del amplificador OPA564 con la salida apagada [30].

Es importante que las señales I_{FLAG} y T_{FLAG} sean monitoreadas durante la inyección de señal a la red ya que un circuito de apagado interno desactiva automáticamente la salida del amplificador cuando se alcanza alguno de estos límites, lo cual anularía cualquier medición que se esté llevando a cabo. Sin embargo, como los niveles lógicos de estas señales están referenciados a una tensión negativa V_- , se debe hacer un cambio de nivel de tensión para que sean compatibles con los niveles lógicos típicos de las entradas digitales (TTL/CMOS) del control del sistema. Una forma simple de hacerlo, que además provee aislación eléctrica, es utilizar un opto-acoplador como se muestra en el circuito de la Figura 3.3. Cada señal de monitoreo del OPA564 se conecta al ánodo del diodo emisor de un opto-acoplador 4N38 [53] por medio de una resistencia serie R_D , que debe asegurar un nivel de corriente de encendido adecuada, y el cátodo se conecta a la tensión de alimentación negativa. El colector del fototransistor se conecta a la fuente de alimentación digital del control del sistema, y el emisor se conecta, usando una resistencia R_E de “pull-down”, a la correspondiente entrada digital de control. De esta forma se produce el correspondiente cambio de niveles de tensión lógicos mientras se mantiene la lógica activo alto de las señales.

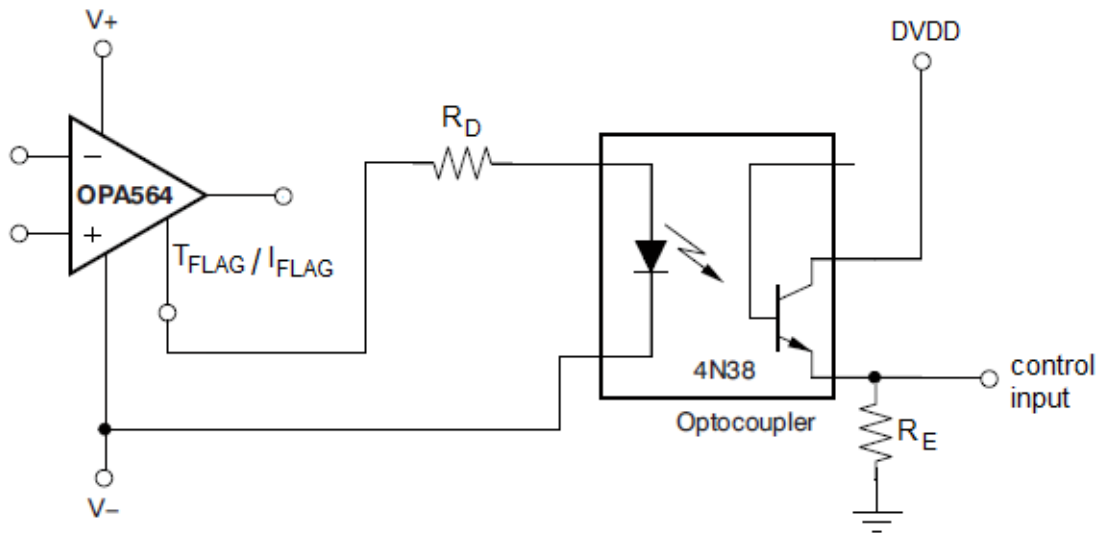


Figura 3.3: Circuito de monitoreo opto-acoplado de las señales digitales del OPA564.

3.1.1.3. Fuentes de alimentación, ganancia y amplitud de salida

El amplificador OPA564 puede operar con alimentación analógica simple (+7V a +24V) o doble ($\pm 3,5V$ a $\pm 12V$), y alimentación digital de +3,3V a +5,5V (referenciada al pin V-). El rendimiento del amplificador es prácticamente constante para todo el rango de tensión de alimentación, sin embargo, ciertas características pueden verse notoriamente afectadas cuando se opera al mismo cerca de la capacidad máxima de corriente y con señales de frecuencias altas. En la Figura 3.4 se observa como la máxima tensión de salida posible se reduce a medida que la corriente de salida aumenta. Dentro del rango de alimentación y para una temperatura de operación normal (+25°C), la salida sufre una caída en la tensión máxima de entre $\pm 1,5V$ y $\pm 2V$, por lo que es conveniente alimentar el amplificador con una tensión de fuente considerablemente mayor a la máxima amplitud de señal a la salida.

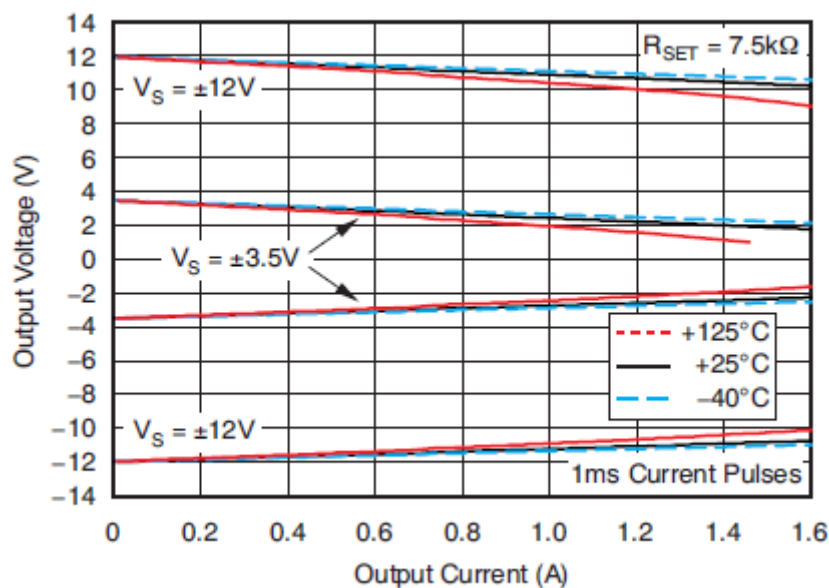


Figura 3.4: Tensión de salida vs. Corriente de salida (OPA564) [30].

A su vez, como puede observarse en la Figura 3.5, la tensión de salida también se ve limitada a partir de cierta frecuencia de operación. Esta frecuencia determina el ancho de banda de potencia máxima (Full-power Bandwidth) para esas condiciones de operación. En este caso el ancho de banda de potencia máxima, para ganancia unitaria y con una señal de salida de $10 V_{PP}$, es de aproximadamente 1,3 MHz.

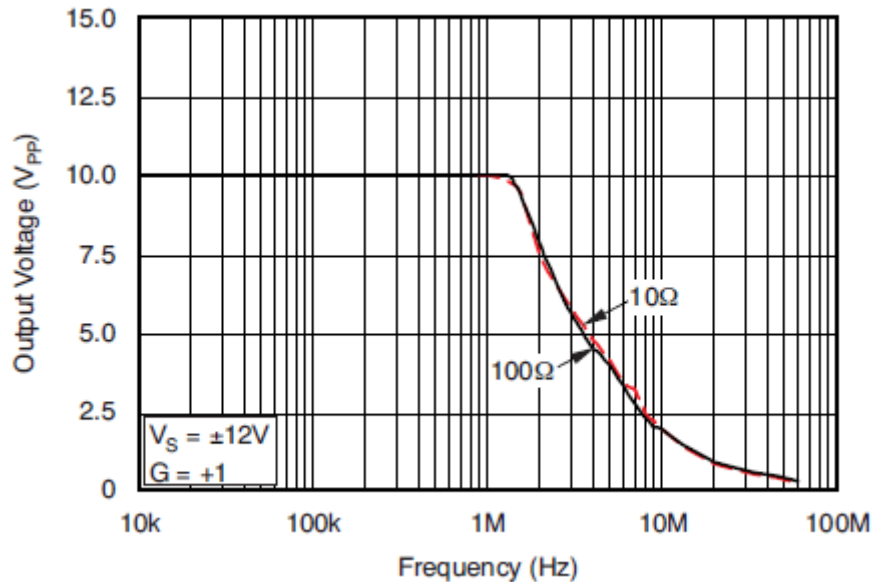


Figura 3.5: Tensión de salida vs. Frecuencia de operación (OPA564) [30].

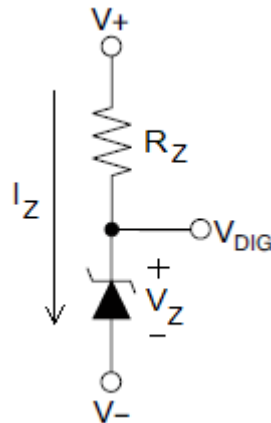
Considerando que el ancho de banda de potencia máxima para estas condiciones supera por más del doble el mínimo requerido de 500 kHz, se elige operar al amplificador con ganancia unitaria ($G = +1$), usando la configuración de seguidor para ello. Además, se determina que la amplitud de la señal de salida sea $V_{OP} = 5 V$, lo que implica una tensión máxima de salida de $V_{O(max)} = 10 V_{PP}$. Teniendo en cuenta esto, se elige usar fuentes de alimentación de $\pm 10V$ ($V^+ = 10 V$, $V^- = -10 V$), lo que permite un adecuado funcionamiento del amplificador pues su valor es el doble de la amplitud de la señal de salida ($|V_{supply}| = 2 \cdot V_{OP}$).

3.1.1.4. Fuente de alimentación digital

La tensión de alimentación digital (V_{DIG}), necesaria para el control digital del dispositivo, se debe generar usando una fuente externa que garantice el nivel adecuado de tensión referenciada al pin V-. Una forma simple de hacerlo es mediante el circuito de la Figura 3.6, que utiliza un diodo Zener para establecer de forma precisa la tensión en V_{DIG} , al hacer que V_Z sea de un valor tal que se encuentre dentro del rango especificado. La resistencia R_Z establece la corriente de regulación de tensión del diodo Zener, por lo que debe ser capaz de disipar la potencia resultante. En este caso, se arma el circuito con un diodo Zener ZM4732A [64] cuya tensión nominal V_Z es de 4,7 V; y se limita la corriente I_Z a 15 mA por medio de una resistencia R_Z de $\frac{1}{2} W$ y valor 1 k Ω . La corriente de regulación elegida asegura un correcto funcionamiento de los opto-acopladores usados

para monitorear las señales de control del OPA564 (ver [Sección 3.1.1.2](#)), en cuyo circuito se usa una resistencia R_D de 680Ω y una resistencia R_E de $10 \text{ k}\Omega$.

Es importante aclarar que, como especifica la hoja de datos [30], la secuenciación de las fuentes de alimentación debe asegurar que la tensión de alimentación digital (V_{DIG}) sea aplicada antes o al mismo tiempo que las tensiones de alimentación para evitar daños en el OPA564. El circuito propuesto cumple adecuadamente este requisito pues deriva la tensión V_{DIG} de éstas últimas.



$$3,3 \text{ V} \leq V_Z \leq 5,5 \text{ V}$$

$$V_{DIG} = V^- + V_Z$$

$$I_Z = \frac{V^+ - V_{DIG}}{R_Z}$$

Figura 3.6: Circuito para generar la tensión V_{DIG} del OPA564.

3.1.1.5. Compensación y protección de la etapa de salida

Las impedancias de carga complejas comunes en las aplicaciones de un amplificador operacional de potencia pueden causar inestabilidad en la etapa de salida. Para un funcionamiento típico, normalmente no se requiere un circuito de compensación a la salida. Sin embargo, si el amplificador OPA564 está pensado para funcionar hasta el límite de corriente, una red de amortiguamiento R-C (también conocida como “snubber”) puede ser necesaria. Un circuito “snubber”, como el que se muestra en la Figura 3.7, también puede mejorar la estabilidad cuando se deben manejar cargas capacitivas mayores a 1000 pF o cargas inductivas (por ejemplo, motores o cargas separadas del amplificador por cables largos). Típicamente, una resistencia (no inductiva) de 3Ω a 10Ω en serie con un capacitor de $0.01 \mu\text{F}$ a $0.1 \mu\text{F}$ son valores adecuados.

En este caso, como el amplificador deberá manejar cargas complejas que tendrán tanto una componente capacitiva considerable (debido a la capacidad de juntura del diodo TVS [74]) y también una componente inductiva importante (debido al transformador de acoplamiento y las características de la red eléctrica), junto a operar cerca del límite de corriente, hacen que sea necesario incluir un circuito de amortiguamiento para garantizar la estabilidad de la salida y minimizar así cualquier distorsión en la señal que se desea inyectar. Por lo tanto, se elige utilizar $R_{\text{snubber}} = 10 \Omega$ y $C_{\text{snubber}} = 0.01 \mu\text{F}$.

En cuanto a los elementos de protección, si bien la estructura de la etapa de salida incluye diodos ESD que protegen contra descargas electroestáticas (ver Figura 3.2), no debe permitirse que la tensión a la salida exceda 0,4 V más allá de las tensiones de alimentación para evitar dañar el dispositivo. Las cargas reactivas y de generación de campos electro-magnéticos (EMF) pueden retornar la corriente de carga al amplificador, haciendo que la tensión de salida supere la tensión de alimentación. Esta condición de posible daño al dispositivo se puede evitar colocando diodos de enclavamiento desde el terminal de salida a las fuentes de alimentación, como se muestra en la Figura 3.7. El fabricante recomienda utilizar diodos rectificadores Schottky de baja caída de tensión y con capacidad continua de corriente de 3 A o más, modelo B350 o equivalente [65].

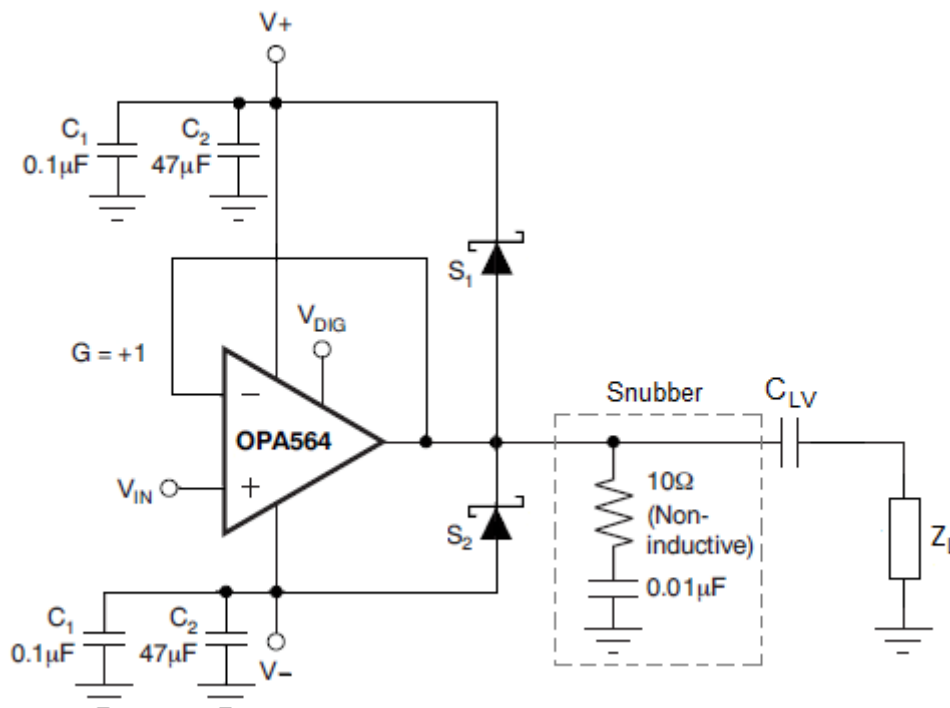


Figura 3.7: Circuito de compensación y protección de la etapa de salida (OPA564) [30].

Además, para lograr tensiones estables de operación, se deben colocar cerca de los correspondientes terminales de alimentación, capacitores de bypass de alta frecuencia (típicamente de 0,1 μF) junto con capacitores de bypass de baja frecuencia (con un mínimo de 10 μF por cada 1 A pico de corriente de alimentación).

3.1.1.6. Disipación térmica

Para determinar las características del disipador de calor que se debe colocar sobre el pad térmico del OPA564, primero se debe estimar la potencia máxima que debe disipar el dispositivo. Considerando el circuito simplificado del amplificador de potencia que se muestra en la Figura 3.8, la potencia total disipada (P_D) es igual a la suma de las potencias disipadas por los transistores Q_1 y Q_2 de la etapa de salida [66]. La potencia disipada por cada uno de los transistores es el producto de la caída de tensión V_{CE} del transistor correspondiente y la corriente de salida I_O . Si la corriente I_O es positiva el transistor Q_1

está encendido y el transistor Q_2 apagado, y en el caso contrario, Q_1 está apagado y Q_2 encendido.

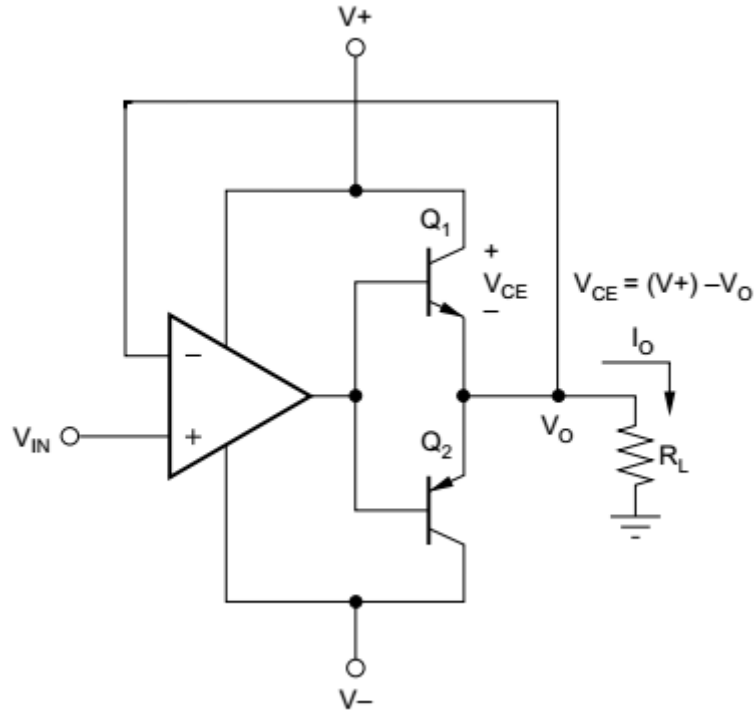


Figura 3.8: Circuito simplificado del amplificador de potencia.

En este caso, como las fuentes de alimentación son simétricas ($|V^+| = |V^-|$) y la tensión de salida V_O es tipo senoidal centrada en el origen (valor medio nulo), la potencia disipada por los transistores es igual, ya que cada transistor conduce durante medio ciclo de la corriente senoidal de salida. Por lo tanto, se puede calcular la potencia total disipada (promedio) como:

$$P_D = P_{Q1} + P_{Q2} = 2 \cdot P_{Q1} = 2 \cdot \frac{1}{T} \int_0^{\frac{T}{2}} V_{CE}(t) \cdot I_O(t) dt \quad (3.4)$$

Si la carga es resistiva entonces la corriente de salida $I_O(t)$ está en fase con la tensión de salida $V_O(t)$, y la potencia total disipada resulta ser igual a:

$$P_D = \frac{2}{T} \int_0^{\frac{T}{2}} [V^+ - V_{OP} \sin(\omega t)] \cdot I_{OP} \sin(\omega t) dt = \frac{2}{\pi} V^+ I_{OP} - \frac{1}{2} V_{OP} I_{OP} \quad (3.5)$$

donde $I_{OP} = V_{OP}/R_L$. Luego, la potencia máxima disipada se da para el caso de tener la corriente máxima posible de salida, que al estar limitada por el amplificador, será igual a $I_{OP} = I_{LIM} = \sqrt{2} \cdot 1,5A \cong 2,12A$; dando como resultado:

$$P_{D(max)} = \left(\frac{2}{\pi} \cdot 10 V - \frac{1}{2} \cdot 5 V \right) \cdot 2,12 A \cong 8,2 W \quad (3.6)$$

La potencia máxima disipada, calculada anteriormente, corresponde a un caso extremo de operación continua sobre una carga resistiva que produce la máxima corriente

posible de salida. Sin embargo, la impedancia de carga vista por el amplificador de potencia será mayor a la considerada y sólo tendrá un valor mínimo en una fracción reducida de toda de la banda de frecuencias de operación, debido a que la carga de salida (Z_L) se encuentra en serie con la impedancia del filtro pasa-banda (Z_S). Teniendo en cuenta esto último y que la operación del amplificador de potencia no será de forma continua, pues el periodo de medición con la chirp es relativamente corto, se decide calcular el disipador de calor para una potencia disipada por el amplificador igual o mayor que la mitad de $P_{D(max)}$. De esta manera, se busca evitar sobredimensionar el disipador de calor requerido pero sin que se produzca un posible sobrecalentamiento del dispositivo durante los periodos cortos de operación.

La relación entre la temperatura de junta del dispositivo (T_J) y la potencia disipada por el mismo (P_D) puede expresarse como:

$$T_J = T_A + P_D \cdot \theta_{JA} \quad (3.7)$$

donde T_A es la temperatura ambiente y θ_{JA} es la resistencia térmica junta-ambiente, compuesta por la suma de las resistencias térmicas de la junta-carcasa (θ_{JC}), de la carcasa-disipador (θ_{CD}) y del disipador-ambiente (θ_{DA}). Normalmente la resistencia térmica θ_{CD} es mucho menor que las otras dos, por lo que $\theta_{JA} \cong \theta_{JC} + \theta_{DA}$. Luego, se calcula la resistencia térmica θ_{DA} requerida para que la temperatura de la junta del dispositivo no exceda el valor máximo de operación permitido para la disipación de potencia estimada y una temperatura ambiente normal ($\sim 25^\circ\text{C}$), es decir:

$$\theta_{DA} \leq \frac{T_{J(max)} - T_A}{\frac{1}{2} \cdot P_{D(max)}} - \theta_{JC} = \frac{125^\circ\text{C} - 25^\circ\text{C}}{4,1\text{ W}} - 6,3^\circ\text{C/W} \cong 18^\circ\text{C/W} \quad (3.8)$$

En base al valor calculado se elige usar un disipador de calor modelo ATS-52150G-C1-R0 [67], que incluye una cinta adhesiva térmica para un montaje directo sobre el pad térmico del OPA564. La resistencia térmica del disipador es $11,7^\circ\text{C/W}$; lo que permitirá que el amplificador disipe aproximadamente un 68% de $P_{D(max)}$.

3.1.2. Conversor digital-analógico (DAC) y pre-amplificador

En el circuito que implementa el conversor digital-analógico se deben definir ciertos parámetros y valores de componentes como son: la corriente de fondo de escala del DAC ($I_{OUT_{FS}}$) y la correspondiente resistencia que la establece (R_{BIAS}), las resistencias (R_I) del amplificador de corriente a tensión, la ganancia del preamplificador (G_P) y sus respectivas resistencias (R_F y R_G).

Partiendo de que se decide utilizar resistencias $R_I = 50\ \Omega$, y teniendo en cuenta que la máxima tensión en los nodos de salida del DAC debe ser menor a $0,5\text{ V}$; se deduce a partir de la expresión (2.25) que se debe establecer $I_{OUT_{FS}} = 10\text{ mA}$. Luego, a partir de la ecuación (2.23), se calcula el valor de R_{BIAS} que debe usarse:

$$R_{BIAS} = \frac{32 \cdot V_{EXTIO}}{I_{OUT_{FS}}} = \frac{32 \cdot 1,2 \text{ V}}{10 \text{ mA}} = 3,84 \text{ k}\Omega \quad (3.9)$$

Considerando los parámetros establecidos, la señal a la salida V_U del conversor corriente-tensión tendrá una amplitud pico de 0,5 V (1 V_{PP} máximo). Por lo tanto, a partir de la ecuación (2.26) y teniendo en cuenta que se requiere una señal de 5 V pico a la entrada del amplificador de potencia, se deduce que la ganancia del preamplificador inversor debe ser igual:

$$|G_P| = \left| \frac{V_P}{V_U} \right| = \frac{5 \text{ V}}{0,5 \text{ V}} = 10 \quad (3.10)$$

la cual se establece utilizando resistencias de valor $R_F = 3,3 \text{ k}\Omega$ y $R_G = 330 \Omega$. Por último, en cuanto a las fuentes de alimentación de los circuitos integrados, el DAC THS5661A se alimentará con una tensión AVDD = +5V y una tensión DVDD = +3,3V; mientras que el amplificador THS4032 utilizará la mismas fuentes de tensión de valor $\pm VCC = \pm 10V$ que alimentan al amplificador de potencia OPA564.

3.2. Acoplador de red

La implementación del acoplador de red requiere definir algunos parámetros y componentes que se usarán en el circuito como: la relación de vueltas del transformador de acoplamiento (N_1/N_2), el capacitor de acoplamiento de baja tensión (C_{LV}), el capacitor de alta tensión (C_{HV}) y el inductor serie (L_S) del filtro de salida, las características físicas del transformador de acoplamiento (material y tipo de núcleo usado, cantidad de vueltas de primario y secundario, diámetro de conductores, inductancia magnetizante, etc.), y los dispositivos de protección (diodo TVS y MOV).

Haciendo referencia al circuito de la Figura 2.9, en la sección anterior se determinó que la amplitud de la señal chirp será $V_{OP} = 5 \text{ V}$ y que la amplitud de la corriente de salida estará limitada a $I_{OP} = I_{LIM} \cong 2,12 \text{ A}$. Si bien la impedancia de carga mínima esperada es de aproximadamente 1Ω (ver conclusiones [Sección 1.4.2](#)), se utiliza como parámetro de diseño una impedancia mínima de un valor cuatro veces menor al esperado. Esto otorga una mayor confiabilidad a las mediciones pues asegura que la corriente de salida resultante, para la mínima carga que se desea medir, sea considerablemente menor al límite de corriente establecido. A partir de estos parámetros es posible determinar, mediante la expresión (2.30), la relación de vueltas del transformador requerida:

$$N_t = \frac{N_1}{N_2} = \sqrt{\frac{V_{OP}}{I_{OP} \cdot R_L}} = \sqrt{\frac{5 \text{ V}}{2,12 \text{ A} \cdot 0,25 \Omega}} \cong 3 \quad (3.11)$$

En cuanto al capacitor de baja tensión C_{LV} , lo que se busca es que la impedancia del mismo, para el rango de frecuencias de la chirp, sea lo suficientemente baja de modo de permitir la inyección de señal sin atenuación. El valor elegido que cumple de forma práctica con este requisito es $C_{LV} = 10 \mu\text{F}$.

3.2.1. Filtro de salida

Los valores adecuados para el capacitor de alta tensión C_{HV} y el inductor L_S se determinan en base a la frecuencia central óptima del filtro pasa-banda de salida, que se obtiene combinando las ecuaciones (2.27) y (2.28), es decir:

$$f_{co} = \frac{1}{2\pi\sqrt{C_{HV} \cdot L_S}} = 10^{\frac{\log(10 \text{ kHz}) + \log(500 \text{ kHz})}{2}} \cong 70,7 \text{ kHz} \quad (3.12)$$

La frecuencia central f_{co} calculada anteriormente permite obtener una transferencia del filtro con una simetría de banda óptima, es decir, que las componentes de frecuencia dentro de la banda de interés por debajo y por encima de f_{co} tengan prácticamente la misma amplitud a la salida del filtro. Por lo tanto, la elección de los valores de C_{HV} y L_S se hace buscando obtener una frecuencia de resonancia que esté en torno al valor de la frecuencia central óptima. Si la frecuencia de resonancia obtenida prácticamente es menor a f_{co} , se favorecen las frecuencias inferiores de la banda, y si es mayor se favorecen las frecuencias superiores de la banda. Además, el inductor usado para el filtro debe soportar la corriente máxima de carga sin saturación ($I_{sat} \geq I_{LIM} \cdot N_t$), y el capacitor de alta tensión debe poseer una tensión nominal de operación mayor o igual que la tensión de línea ($V_{AC} \geq 220 V_{RMS}$).

Se elige usar un capacitor $C_{HV} = 3,3 \mu\text{F}$ ($\pm 10\%$) de polipropileno metalizado con tensión nominal de operación de 275 V_{RMS} [68]; y un inductor $L_S = 3,3 \mu\text{H}$ ($\pm 10\%$) con núcleo de ferrite tipo radial [69].

3.2.2. Transformador de acoplamiento (T_A)

Para implementar el transformador de acoplamiento se decide utilizar un núcleo EPCOS P22X13 [70] de material de ferrite N30 [71], junto con los accesorios necesarios para el bobinado de los conductores, la sujeción del conjunto y el montaje en el PCB. La geometría “Pot-core” es tal que los bobinados primario y secundario quedan prácticamente cubiertos por el núcleo al ser ensamblado, lo que aísla el devanado de campos magnéticos remanentes u otros efectos de los elementos del circuito circundante. A su vez, con este tipo de núcleo es posible obtener una inductancia con buena estabilidad térmica. El material de ferrite N30 está optimizado para aplicaciones de transformadores de banda ancha, con un rango de frecuencias similar al requerido.

Usando el enfoque de diseño clásico de transformadores [72], se determinó que el área-producto (A_p) del núcleo elegido es bastante mayor a la estimada como necesaria para el transformador del circuito de acoplamiento, lo que implicará una menor densidad de potencia y por lo tanto una menor temperatura de operación para el transformador. Aunque el transformador resultante esté sobredimensionado, un mayor tamaño de núcleo resulta beneficioso pues se tendrá disponible una mayor área de ventana (W_a) para acomodar los devanados primario y secundario, que será necesario en caso de que éstos requieran ser bobinados con un número de vueltas relativamente grande.

La cantidad de vueltas N_1 requerida para el bobinado primario se elige de modo de asegurar que no se supere un determinado valor máximo de densidad de flujo magnético en el núcleo ($B_m < B_{sat}$), y que la inductancia magnetizante (L_M) obtenida, que es función de N_1 y del factor de inductancia (A_L) del núcleo usado, sea de un valor adecuado para el circuito de acoplamiento. El valor pico o máximo, en tesla, de densidad de flujo magnético presente en el núcleo, para las condiciones de operación del transformador, se obtiene con la siguiente expresión:

$$B_m = \frac{V_p \cdot 10^4}{N_p \cdot K_f \cdot A_e \cdot f} \quad (3.13)$$

donde:

V_p es la tensión RMS presente en el bobinado primario ($V_p = 5/\sqrt{2} V_{RMS}$).

N_p es el número de vueltas del bobinado primario ($N_p = N_1$).

K_f es el coeficiente de forma de onda ($K_f = 4,44$ para onda senoidal).

A_e es el área eficaz de sección transversal del núcleo seleccionado (en cm^2).

f es la frecuencia de operación en Hz (en este caso $f = f_{min} = 10$ kHz)

Por lo tanto, se debe calcular el número mínimo de vueltas que aseguren que el valor obtenido para B_m sea menor al valor de saturación de densidad de flujo magnético, que para el material de ferrite del núcleo elegido es $B_{sat} = 240$ mT (a 100°C). Además, de la hoja de datos se obtiene que $A_e = 63$ mm^2 . Entonces, asumiendo que N_1 debe ser múltiplo de N_t , y tomando como parámetro de diseño $B_m = 200$ mT, se obtiene la siguiente condición:

$$N_{1(min)} = \frac{3,535 \text{ V} \cdot 10^4}{0,2 \text{ T} \cdot 4,44 \cdot 0,63 \text{ cm}^2 \cdot 10 \text{ kHz}} \cong 6,32 \Rightarrow N_1 \geq 9 \quad (3.14)$$

Como se describió anteriormente, la inductancia magnetizante del transformador es función del número de vueltas del bobinado primario y del factor de inductancia del núcleo, y se calcula con la siguiente expresión:

$$L_M = A_L \cdot N_1^2 \quad (3.15)$$

En este caso, se tiene que $A_L = 8300$ nH/ N^2 . Luego, en base al análisis en frecuencia presentado en el [Apéndice A](#) y a partir de la expresión (A.7), se determinó que el valor de inductancia magnetizante debe ser lo suficientemente grande para lograr que se cumpla la siguiente condición de diseño:

$$\frac{1}{2\pi\sqrt{L_M \cdot C'_{HV}}} \ll 10 \text{ kHz} \Rightarrow L_M \gg \frac{1}{(2\pi \cdot 10 \text{ kHz})^2 \cdot (C'_{HV}/N_t^2)} \cong 0,7 \text{ mH} \quad (3.16)$$

Se debe buscar, entonces, obtener un valor de L_M que sea al menos diez veces el indicado por la condición anterior ($L_M \geq 7$ mH). Obviamente, un valor grande de L_M implica un mayor número de vueltas, lo que requiere un mayor espacio para el bobinado

de los conductores en el carrete del núcleo. El área de ventana (W_a) requerida para ubicar los bobinados del transformador se puede estimar con la siguiente expresión:

$$W_a = \frac{N_1 \cdot A_{wp} + N_2 \cdot A_{ws}}{k} < A_N \quad (3.17)$$

donde:

N_1 es el número de vueltas del conductor primario.

A_{wp} es el área de sección transversal del conductor primario.

N_2 es el número de vueltas del conductor secundario ($N_2 = N_1/N_t$).

A_{ws} es el área de sección transversal del conductor secundario.

k es un factor que depende del tipo de núcleo ($k = 0,6$ para Pot-core [72][73]).

A_N es el área de sección transversal disponible en el carrete para el devanado [70].

Teniendo en cuenta esto, se decide utilizar un conductor primario con $\Phi_{wp} = 0,5$ mm y un conductor secundario con $\Phi_{ws} = 0,6$ mm. Finalmente, verificando que se cumpla la condición de la ecuación (3.17), se determina que el número óptimo de vueltas del bobinado primario es $N_1 = 36$; lo que implica que el número de vueltas del bobinado secundario debe ser $N_2 = 12$, y que el valor estimado que se tendrá de inductancia magnetizante resulta ser igual a $L_M \cong 10,8$ mH.

3.2.3. Dispositivos de protección (TVS y MOV)

En esta sección se detalla la elección de los restantes dispositivos de protección general del circuito, como son el TVS y el MOV. Para la elección del diodo TVS se deben determinar ciertos parámetros de operación, analizando para ello la curva característica del mismo. En la Figura 3.9 se muestra la curva corriente-tensión de un diodo TVS bidireccional, donde se destacan los siguientes parámetros:

- V_R (Tensión de reposo inversa), tensión máxima que se puede aplicar al TVS sin que se produzca su activación.
- V_{BR} (Tensión de ruptura), tensión máxima que cae a través del TVS cuando circula una corriente de prueba específica (I_T).
- V_C (Tensión de enclavamiento), tensión pico máxima que cae a través del TVS para una corriente pico impulsiva específica (I_{pp}).
- I_R (Corriente de fuga inversa), corriente medida a la tensión V_R .
- I_T (Corriente de prueba), corriente de prueba a la tensión V_{BR} .
- I_{pp} (Corriente impulsiva pico), pulso pico de corriente máxima a la tensión V_C .

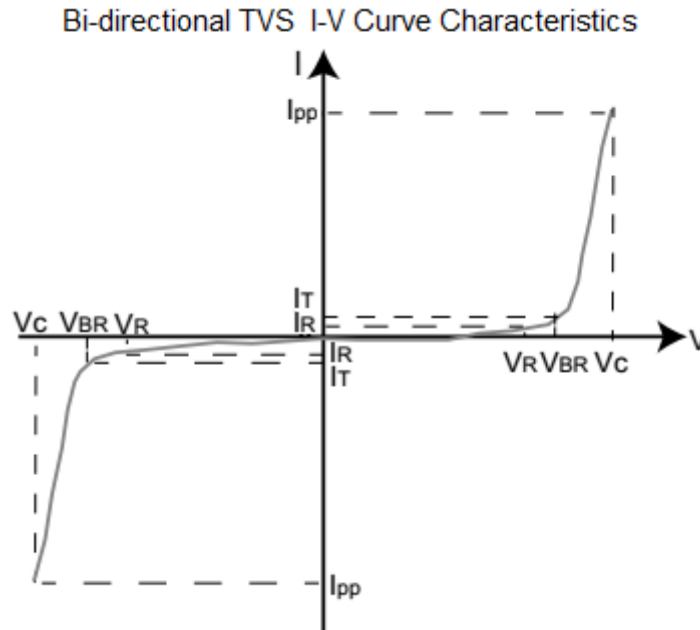


Figura 3.9: Curva característica (corriente-tensión) de un TVS bidireccional [74].

En la [Sección 2.3.3](#) se aclaró que es importante que el TVS permanezca apagado durante el funcionamiento normal del circuito para evitar el recorte e introducir distorsiones en la señal de salida, y que además es recomendable que el TVS encienda y enclave a la tensión más baja posible más allá de la operación normal para proporcionar la protección máxima. Esto significa que se debe utilizar un TVS bidireccional que cumpla con los siguientes requisitos:

$$\begin{aligned} V_{R(TVS)} &\geq V_{OP} = 5 \text{ V} \\ V_{C(TVS)} &\leq V^+ = 10 \text{ V} \end{aligned} \tag{3.18}$$

Por lo tanto, se elige usar un TVS bidireccional SMBJ5.0CA [74] con una tensión de reposo inversa $V_R = 5 \text{ V}$, y cuya tensión de enclavamiento máxima es $V_C \cong 9,2 \text{ V}$.

Para la elección del MOV se debe considerar básicamente que la máxima tensión continua de operación sea mayor que la tensión de línea ($V_{AC} > 220 \text{ V}_{RMS}$), y que posea un tiempo de respuesta rápido con una tensión de enclavamiento lo más baja posible. Se elige usar un MOV-10D391K [75], cuya tensión de operación nominal es de 250 V_{RMS} .

3.3. Amplificación y adquisición de señales (V_T e I_T)

En base al circuito de adquisición planteado en la [Sección 2.4.3](#), se determina el tipo y valor de la resistencia de medición de corriente (R_S), así como también, las tensiones de las fuentes de alimentación y las amplitudes de señal requeridas para el correcto funcionamiento del circuito de adquisición. Por último, se determinan las ganancias y los correspondientes valores de los componentes que integran cada una de las etapas de los amplificadores de instrumentación de las señales de corriente (I_T) y tensión (V_T).

3.3.1. Resistencia de medición de corriente (R_S)

Como se detalló en la Figura 2.11, la medición de la corriente I_T en el primario del transformador de acoplamiento se hace por medio de la resistencia R_S colocada en serie con el bobinado primario. Una condición razonable para la elección del valor de esta resistencia implica que la máxima caída de tensión que se produzca, para el pico máximo de corriente conducida, sea menor al 5% de la amplitud de la señal que se desea inyectar, es decir:

$$V_{R_S(max)} = R_S \cdot I_{T(max)} < 0,05 \cdot V_{OP} \quad (3.19)$$

$$\Rightarrow R_S < \frac{0,05 \cdot 5 \text{ V}}{2,12 \text{ A}} \cong 0,12 \Omega$$

A su vez, la resistencia elegida debe ser de precisión (tolerancia menor a 1%) y con una capacidad de disipación de potencia adecuada. De este modo, se elige utilizar específicamente una resistencia de precisión para medición de corriente, SR10-0.10-1% de Caddock Electronics [76]. Posee un valor de $0,1 \Omega$ (tol. 1%, 1W de potencia) y dispone de cuatro terminales de conexión, dos para conducir la corriente de carga y dos para la medición precisa de la caída de tensión (V_{R_S}).

3.3.2. Fuentes de alimentación y amplitud de señales

Para tener un adecuado funcionamiento del circuito se alimentará al ADC THS1206 con una tensión $AVDD = +5V$ y una tensión $DVDD = +3,3V$; mientras que el VGA AD8369 requiere ser alimentado con una fuente simple $VPOS = +5V$. A su vez, los amplificadores operacionales THS4032 y THS4130 también utilizarán las mismas fuentes de valor $\pm VCC = \pm 10V$ que alimentan al amplificador de potencia OPA564.

Antes de poder definir las ganancias de cada etapa de los amplificadores de instrumentación, hay que tener en cuenta el rango de tensión de salida que es posible alcanzar con cada uno de amplificadores utilizados, así como también el efecto de las impedancias de entrada y de salida en el funcionamiento del circuito. Para los amplificadores THS4032 el rango típico de tensión de salida, tomado como el promedio de los valores indicados en su hoja de datos [32], es:

$$V_{o(THS4032)} \cong \pm 8,5 \text{ V} \quad (V_{CC} = \pm 10 \text{ V}, R_L = 1 \text{ k}\Omega) \quad (3.20)$$

mientras que su impedancia de salida es $Z_{o(THS4032)} < 0,1 \Omega$ ($f < 1 \text{ MHz}$). Para los amplificadores THS4130 el rango de tensión de salida varía según la resistencia de carga diferencial, como se observa en el gráfico de la Figura 3.10, por lo que es importante que sea tenida en cuenta. La impedancia de carga vista por el amplificador THS4130 de la señal I_T es de 200Ω , que corresponde a la impedancia de entrada del VGA; mientras que el amplificador THS4130 de la señal V_T tiene como impedancia de carga a la resistencia de terminación R_{BT} , por lo que es conveniente que ésta sea de un valor relativamente grande. Dicho esto, del correspondiente gráfico se deduce que:

$$\begin{cases} V_{o(THS4130)} \cong \pm 5 \text{ V} & (V_{CC} = \pm 10 \text{ V}, R_L = 200 \Omega) \\ V_{o(THS4130)} \cong \pm 9 \text{ V} & (V_{CC} = \pm 10 \text{ V}, R_L \geq 5 \text{ k}\Omega) \end{cases} \quad (3.21)$$

Considerando el segundo caso, se elige utilizar una resistencia $R_{BT} = 10 \text{ k}\Omega$. Su impedancia de salida diferencial es $Z_{o(THS4130)} \cong 0,3 \Omega$ ($f < 600 \text{ kHz}$), por lo que su efecto en el circuito es despreciable.

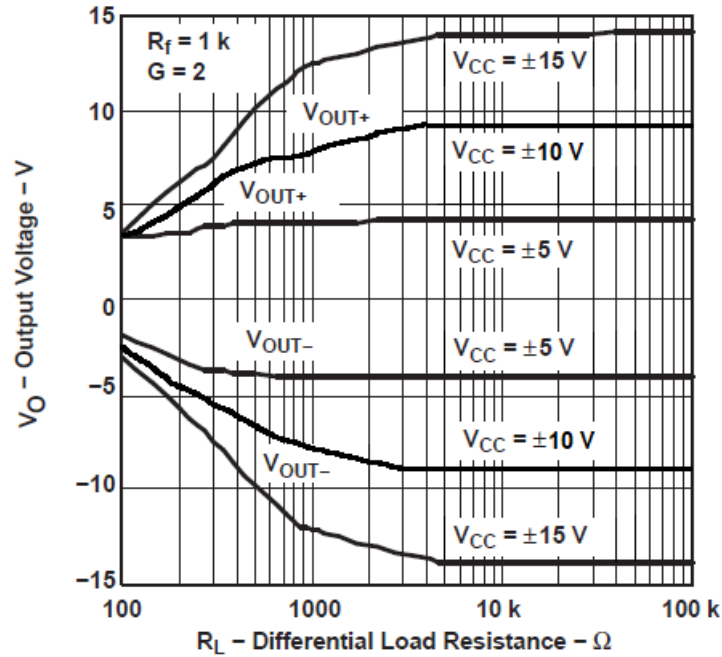


Figura 3.10: Tensión de salida vs. Resistencia de carga diferencial (THS4130) [41].

Para el amplificador de ganancia variable AD8369 hay que tener en cuenta tanto el rango de tensión de entrada diferencial como el rango de tensión de salida diferencial al que puede operar. En su hoja de datos [42] se especifica que la máxima tensión de entrada diferencial lineal, para la ganancia mínima, es:

$$V_{IN(VGA)} = |V_{INHI} - V_{INLO}| = 2,2 \text{ V} \quad (3.22)$$

lo que significa que la amplitud de señal a la entrada debe ser menor que $4,4 \text{ V}_{PP}$. Como se mencionó anteriormente, la máxima tensión de salida diferencial del VGA depende de la resistencia de carga conectada a la salida, que en este caso es aproximadamente igual a la resistencia de terminación R_{AT} , y su valor tuvo que ser determinado experimentalmente ya que la hoja de datos no ofrece información al respecto. Se elige usar una resistencia $R_{AT} = 1 \text{ k}\Omega$, lo que permite obtener un rango de ganancia de -5 dB a $+40 \text{ dB}$. Para esta carga se determinó que la máxima tensión de salida diferencial lineal es igual a:

$$V_{OUT(VGA)} = V_{OPHI} - V_{OPLO} \cong 2,8 \text{ V}_{PP} \quad (3.23)$$

Conocidas las transferencias de cada una de las etapas del circuito de amplificación, resta definir la ganancia total aplicada a cada una de las señales de modo de ajustar la

amplitud de las mismas al rango útil de adquisición de los canales diferenciales del ADC. El rango de adquisición, cuando se utilizan las tensiones de referencia internas [43], queda establecido en:

$$V_{IN(ADC)} = |V_{INP} - V_{INM}| = V_{REFP} - V_{REFM} = 3,5 \text{ V} - 1,5 \text{ V} = 2 \text{ V} \quad (3.24)$$

lo que significa que la máxima amplitud de señal que se puede adquirir en los canales de entrada diferenciales del ADC es 4 V_{PP}.

3.3.3. Ganancias de los amplificadores de instrumentación (G_A y G_B)

Considerando el esquema de circuito de la Figura 2.16 y los valores de resistencias definidos previamente, se tiene que para la señal de corriente I_T la ganancia total se puede expresar como:

$$G_A = G_{A1} \cdot G_{A2} \cdot G_{VGA} \cdot G_{A3} \quad (3.25)$$

$$\left\{ \begin{array}{l} G_{A1} = 1 + \frac{2R_{A2}}{R_{A1}} \\ G_{A2} = \frac{sC_{AG}R_{AF}}{sC_{AG}R_{AG} + 1} \\ G_{VGA} = 100,33 \cdot \left(\frac{1}{\sqrt{2^{(15-n)}}} \right) \\ G_{A3} = \frac{0,98}{[sC_{AT} \cdot 180,33\Omega + 1]} \end{array} \right.$$

Mientras que para la señal de tensión V_T la ganancia total se expresa como:

$$G_B = G_{B1} \cdot G_{B2} \cdot G_{B3} \quad (3.26)$$

$$\left\{ \begin{array}{l} G_{B1} = 1 + \frac{2R_{B2}}{R_{B1}} \\ G_{B2} = \frac{sC_{BG}R_{BF}}{sC_{BG}R_{BG} + 1} \\ G_{B3} = \frac{0,998}{[sC_{BT} \cdot 19,96\Omega + 1]} \end{array} \right.$$

Lo siguiente es plantear las condiciones que se deben cumplir en el peor caso para cada uno de los amplificadores de señal. Para el amplificador de la señal I_T se debe considerar que la corriente pico máxima es I_{T(max)} = ± 2,12 A (V_{RS(max)} = 0,424 V_{PP}), que la tensión pico máxima es V_{T(max)} = ± 5 V y que la ganancia mínima del VGA es igual a G_{VGA(min)} = 0,554. Luego, teniendo en cuenta los rangos de tensión planteados, se obtienen las siguientes condiciones:

$$\begin{aligned}
V_{T(max)} + \frac{R_{A2}}{R_{A1}} \cdot I_{T(max)} \cdot R_S &\leq V_{o(THS4032)} \Rightarrow \frac{R_{A2}}{R_{A1}} \leq 16,5 \\
V_{RS(max)} \cdot G_{A1} \cdot G_{A2} &\leq V_{IN(VGA)} \Rightarrow \left(1 + \frac{2R_{A2}}{R_{A1}}\right) \cdot \frac{R_{AF}}{R_{AG}} \leq 10,4 \quad (3.27) \\
V_{RS(max)} \cdot G_{A1} \cdot G_{A2} \cdot G_{VGA(min)} &\leq V_{OUT(VGA)} \Rightarrow \left(1 + \frac{2R_{A2}}{R_{A1}}\right) \cdot \frac{R_{AF}}{R_{AG}} \leq 11,9
\end{aligned}$$

Para cumplir con las anteriores condiciones se eligen los siguientes valores de resistencias para el amplificador de instrumentación de la señal de corriente I_T :

$$\begin{aligned}
R_{A1} = 1000 \, \Omega, \quad R_{A2} = 4530 \, \Omega &\Rightarrow G_{A1} = 10,06 \\
R_{AF} = 374 \, \Omega, \quad R_{AG} = 374 \, \Omega &\Rightarrow G_{A2(f \rightarrow \infty)} = 1
\end{aligned} \quad (3.28)$$

Por otra parte, para el amplificador de la señal V_T el peor caso se da para las condiciones de tensión máxima ($V_{T(max)} = \pm 5 \, \text{V}$) y corriente nula ($V_{RS} = 0 \, \text{V}$), de donde se obtiene que:

$$\begin{aligned}
V_{T(max)} \cdot \left(1 + \frac{R_{B2}}{R_{B1}}\right) &\leq V_{o(THS4032)} \Rightarrow \frac{R_{B2}}{R_{B1}} \leq 0,7 \\
V_{T(max)} \cdot G_{B1} \cdot G_{B2} \cdot G_{B3} &\leq V_{IN(ADC)} \Rightarrow \left(1 + \frac{2R_{B2}}{R_{B1}}\right) \cdot \frac{R_{BF}}{R_{BG}} \leq 0,4
\end{aligned} \quad (3.29)$$

Luego, para cumplir con las anteriores condiciones se eligen los siguientes valores de resistencias para el amplificador de instrumentación de la señal de tensión V_T :

$$\begin{aligned}
R_{B1} = 2000 \, \Omega, \quad R_{B2} = 1000 \, \Omega &\Rightarrow G_{B1} = 2 \\
R_{BF} = 750 \, \Omega, \quad R_{BG} = 4020 \, \Omega &\Rightarrow G_{B2(f \rightarrow \infty)} = 0,1865
\end{aligned} \quad (3.30)$$

Finalmente, se calculan los valores de capacitores que deben usarse para obtener las frecuencias inferior y superior del filtro pasa-banda de cada amplificador de señal:

$$\begin{aligned}
C_{AG} &= (2\pi \cdot 1 \, \text{kHz} \cdot 374 \, \Omega)^{-1} \cong 390 \, \text{nF} \\
C_{AT} &= (2\pi \cdot 5 \, \text{MHz} \cdot 180,33 \, \Omega)^{-1} \cong 180 \, \text{pF} \\
C_{BG} &= (2\pi \cdot 1 \, \text{kHz} \cdot 4020 \, \Omega)^{-1} \cong 39 \, \text{nF} \\
C_{BT} &= (2\pi \cdot 5 \, \text{MHz} \cdot 19,96 \, \Omega)^{-1} \cong 1,5 \, \text{nF}
\end{aligned} \quad (3.31)$$

3.4. Control en lógica programable (FPGA)

El programa de control digital del sistema se desarrolla mediante lógica programable, utilizando lenguaje VHDL para su diseño. Para su implementación se utiliza una placa de desarrollo de circuitos lógicos programables *Digilent Spartan-3 Starter Kit Board* [45], que contiene una FPGA *Spartan-3 XC3S1000* de Xilinx [46]. Para la programación y verificación del diseño en lenguaje VHDL se utiliza el software de desarrollo *ISE Design Suite WebPACK Edition* provisto por Xilinx [47]. Por otra parte, este control lógico debe comunicarse con el programa de la interfaz de usuario en la PC para poder recibir comandos y ejecutarlos, para lo cual se utilizará un puerto de comunicación serie UART.

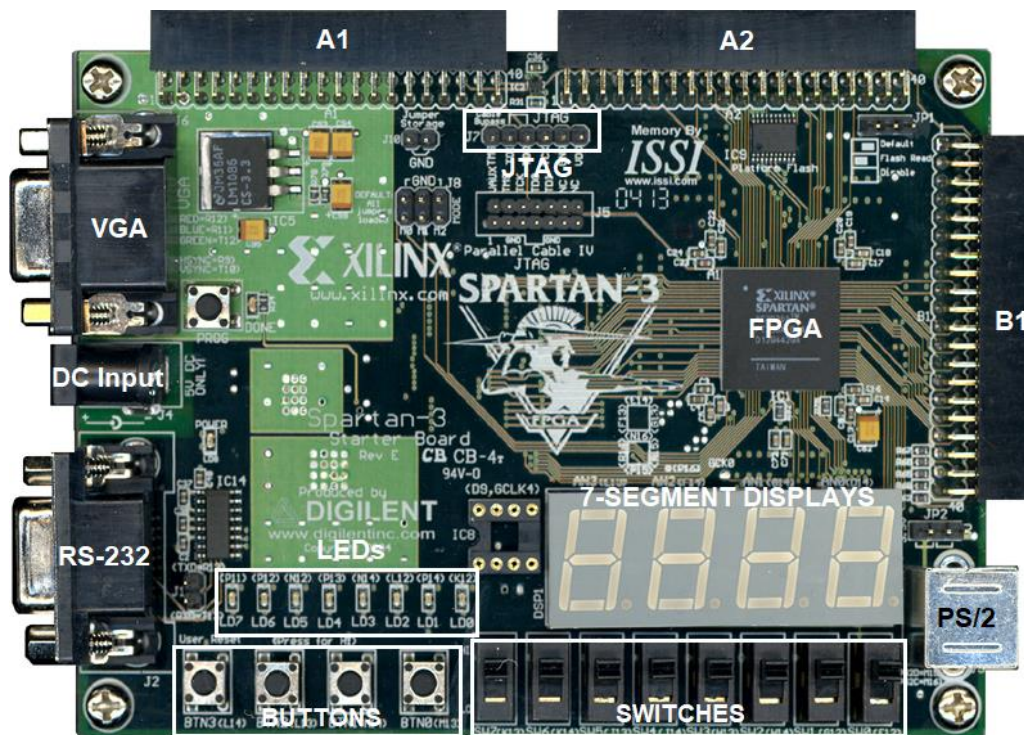


Figura 3.11: Digilent Spartan-3 Starter Kit Board.

3.4.1. Recursos de hardware disponibles

Determinar los parámetros de diseño de cada uno de los componentes lógicos del sistema de control y la forma en que serán conectados al resto del circuito requiere, primero, conocer que recursos de hardware ofrece la placa de desarrollo utilizada, de modo de poder hacer un uso óptimo de los mismos. En la Figura 3.12 se muestra el diagrama en bloques del kit de desarrollo en FPGA Spartan-3 Starter Board, donde se pueden destacar las principales características que posee:

- Una FPGA Spartan-3 XC3S1000 con un millón de compuertas lógicas, veinticuatro multiplicadores dedicados de 18-bit, veinticuatro bloques dedicados de memoria RAM de 18 Kbit, cuatro DCM (*Digital Clock Managers*) para manejo de señales de reloj, e interfaces de programación JTAG [49], serie o paralelo.

- Una memoria no-volátil Platform Flash de 4 Mbit (Xilinx XCF04S) para guardar datos de configuración y de usuario.
- Un oscilador de cristal principal de 50 MHz y un zócalo para colocar un segundo oscilador de cristal.
- Dos circuitos integrados de memoria SRAM de 256Kx16-bit, para un total de un megabyte de memoria externa.
- Ocho interruptores, cuatro pulsadores, ocho LEDs y cuatro displays 7-Segmentos.
- Un puerto serie RS-232, un puerto VGA de 8 colores, un puerto PS/2 para teclado o mouse, y un puerto JTAG para programación de la FPGA y/o la Platform Flash.
- Tres conectores de expansión de 40 pines con hasta 32 entradas/salidas de propósito general cada uno, e interfaces de programación JTAG, serie o paralelo.
- Entrada de alimentación de 5V DC, con reguladores de voltaje individuales de 3.3V, 2.5V y 1.2V para la alimentación de la FPGA y los dispositivos asociados.

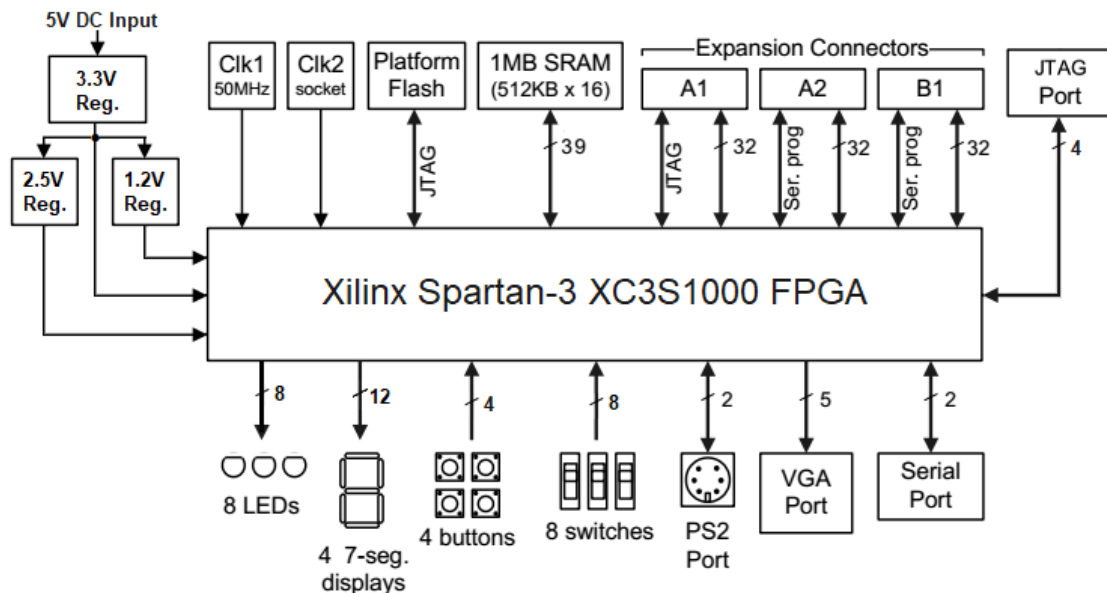


Figura 3.12: Diagrama en bloques del kit de desarrollo en FPGA.

3.4.2. Generación y adquisición digital de señales

Como se mencionó en la [Sección 2.2](#), la señal de medición que utilizará el sistema para caracterizar la impedancia es una *chirp lineal*, cuyas muestras deben ser generadas digitalmente para que puedan ser almacenadas en una memoria. Por lo tanto, la generación del vector de muestras digitales de esta señal, para su utilización en las simulaciones del circuito y para su almacenamiento en una ROM dentro del sistema de control, se hace empleando la función *chirp* del programa MATLAB [50]. Esta función permite generar muestras de una señal senoidal, con barrido de frecuencia lineal, en los instantes de tiempo definidos en un vector de tiempo discreto y para un rango de frecuencias específico. En este caso, el rango de frecuencias del barrido estará definido por el ancho de banda de interés, es decir:

$$10 \text{ kHz} \leq f_{chirp} \leq 500 \text{ kHz} \quad (3.32)$$

El vector de tiempo discreto se calcula a partir de otros parámetros tales como: la frecuencia de actualización del DAC, la cantidad de muestras digitales de la chirp, la frecuencia de muestreo del ADC, y la cantidad de muestras digitales que se deben adquirir de las señales de tensión y corriente para su posterior procesamiento. El procesamiento digital de las señales adquiridas implica determinar su espectro de frecuencias dentro de la banda de interés, y para ello se deberá calcular la transformada discreta de Fourier de un vector de muestras de longitud N , calculada mediante una función que emplea un algoritmo de FFT [51].

3.4.2.1. Frecuencias de muestreo y cantidad de muestras

La frecuencia de muestreo f_s , a la que opera el ADC, determina la máxima componente del espectro de frecuencias que se puede obtener mediante la FFT; por lo tanto, según el teorema de muestreo de Nyquist [35], esta frecuencia deberá ser al menos igual al doble que la máxima componente de frecuencia de la señal inyectada:

$$f_s \geq 2f_{chirp(max)} \quad (3.33)$$

A su vez, la resolución en frecuencia obtenida para el espectro discreto, es decir, la separación entre las componentes de frecuencia calculadas por la FFT será igual a:

$$\Delta f = \frac{f_s}{N} \quad (3.34)$$

Por otra parte, el intervalo de tiempo de muestreo, requerido para obtener las N muestras de las señales, resulta ser igual a:

$$T_{muestreo} = N \cdot T_s = \frac{N}{f_s} \quad (3.35)$$

Luego, si se considera hacer un uso adecuado de los recursos de memoria disponible, será necesario que el tiempo requerido para hacer un barrido completo de la señal chirp sea el mínimo posible y que, en este caso, corresponde al intervalo de tiempo de muestreo:

$$T_{chirp} = N_{chirp} \cdot T_{DAC} = \frac{N_{chirp}}{f_{DAC}} = T_{muestreo} \quad (3.36)$$

donde N_{chirp} es la cantidad de muestras digitales usadas para generar la señal chirp, y f_{DAC} es la frecuencia de actualización a la que opera el DAC.

Considerando estos aspectos y haciendo un uso óptimo de los recursos de hardware disponibles para la generación, adquisición y almacenamiento de muestras en memoria, se decide utilizar los siguientes parámetros para el sistema:

$$\left\{ \begin{array}{l} f_s = 2,083 \text{ MSPS} \\ f_{DAC} = 8,333 \text{ MSPS} \\ N = 4096 \\ N_{chirp} = 16384 \end{array} \right. \quad (3.37)$$

Las frecuencias de muestreo del ADC y actualización del DAC se generarán a partir de la frecuencia base de 50 MHz del oscilador de cristal de la placa de desarrollo en FPGA, por medio de divisores enteros de frecuencia. Lo importante es que las frecuencias de operación obtenidas y la cantidad de muestras utilizadas cumplen con las condiciones expresadas anteriormente.

3.4.2.2. Generación de chirp digital

A partir de los parámetros definidos en la sección anterior es posible generar el vector de muestras digitales de la señal chirp a partir de la mencionada función de MATLAB. El vector de tiempo discreto $t(k)$, utilizado para generar la señal discreta $chirp(k)$, será entonces:

$$t(k) = k \cdot T_{DAC} = \frac{k}{f_{DAC}} \quad \text{con } k = 0, 1, \dots, (N_{chirp} - 1) \quad (3.38)$$

En la Figura 3.13 y la Figura 3.14 se muestra la señal $chirp(k)$ generada en MATLAB y su espectro de frecuencias respectivamente. Puede notarse que si bien la señal senoidal generada hace un barrido de frecuencia lineal con amplitud fija en el tiempo, en su espectro se observa que la amplitud de las componentes presenta cierta variabilidad en los extremos de la banda y además existe algo de dispersión por fuera de la misma. Considerando que el producto tiempo-ancho de banda de esta chirp es $T \cdot \Delta F \cong 963$, los resultados obtenidos se condicen con lo observado en la Figura 2.3. Si bien la fracción de potencia por fuera de la banda es menor al 1% (ver Figura 2.5), se decide eliminar aplicando un filtrado digital pasa-banda a la señal generada, de modo que su espectro contenga sólo aquellas componentes que se encuentren dentro de la banda que se desea caracterizar. En la Figura 3.15 y la Figura 3.16 se muestra la señal $chirp(k)$ filtrada y su espectro de frecuencias respectivamente.

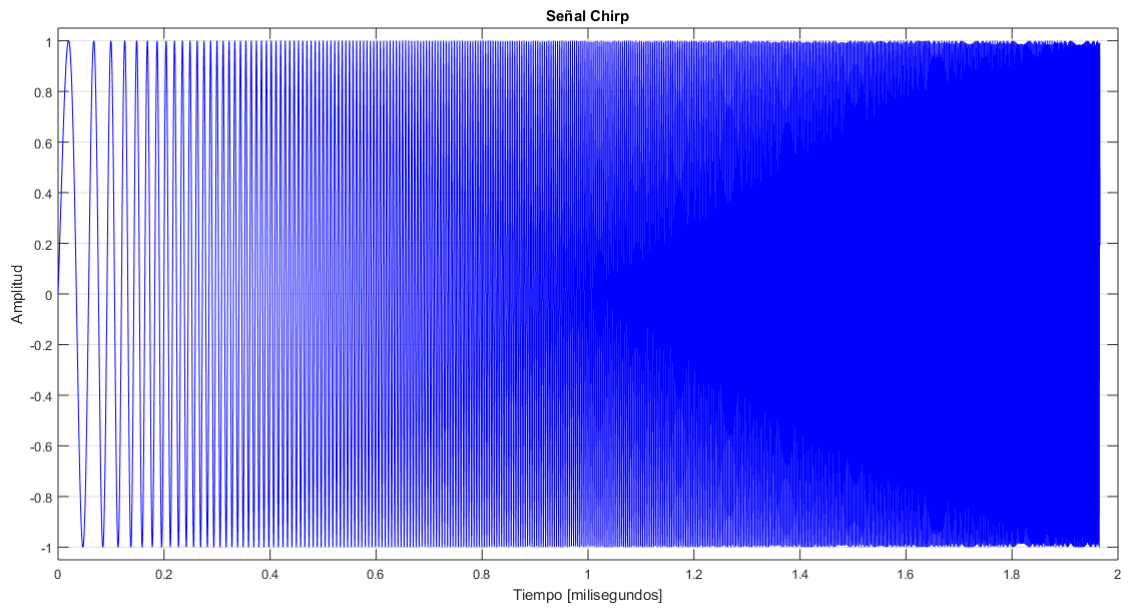


Figura 3.13: Forma de onda de la señal chirp de tiempo discreto.

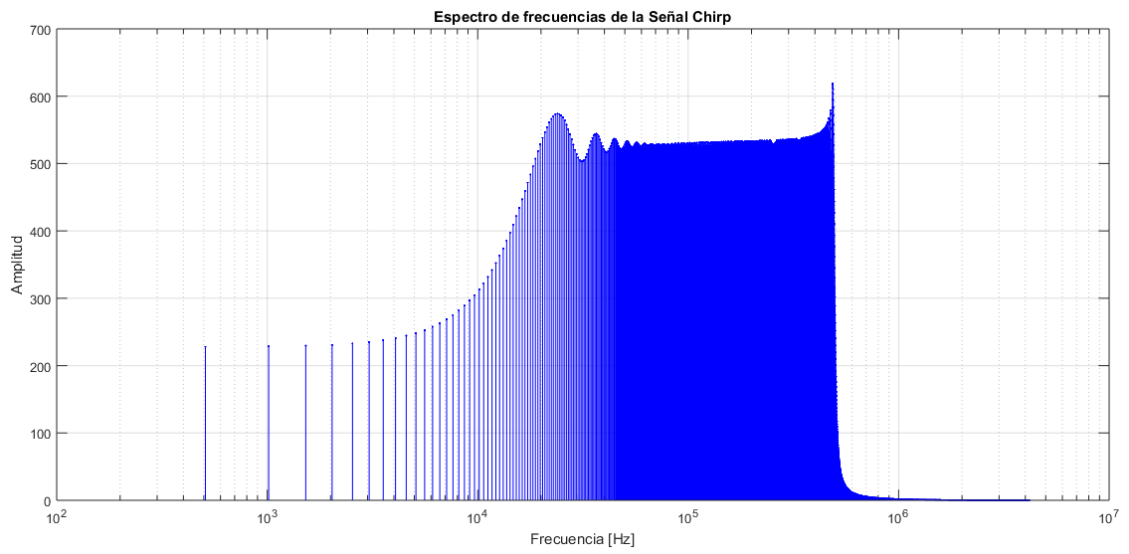


Figura 3.14: Espectro de frecuencias discreto de la señal chirp.

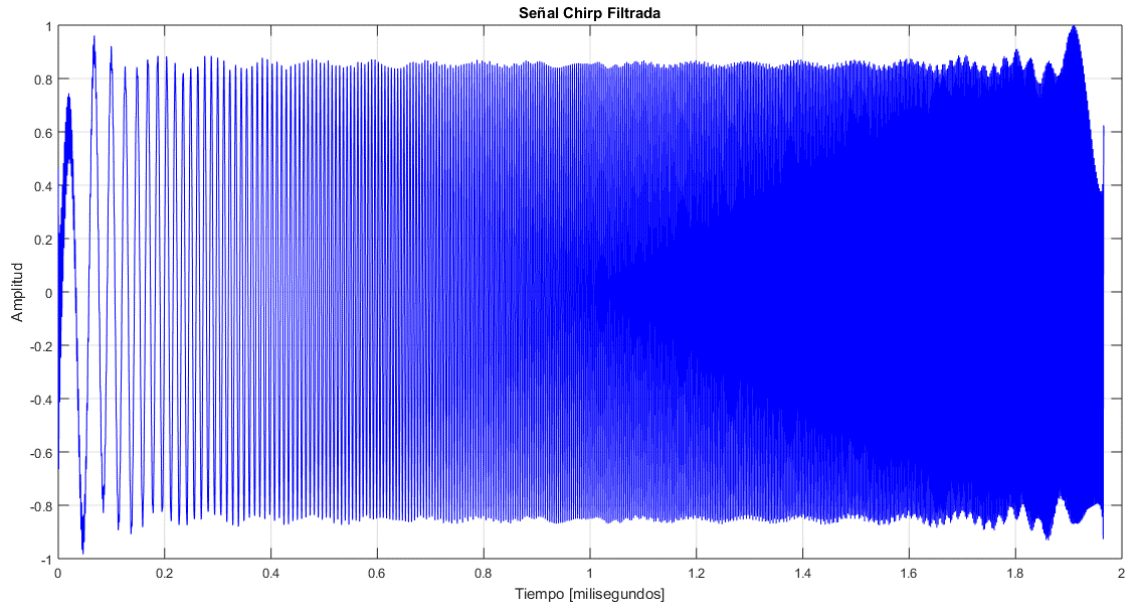


Figura 3.15: Forma de onda de la señal chirp filtrada.

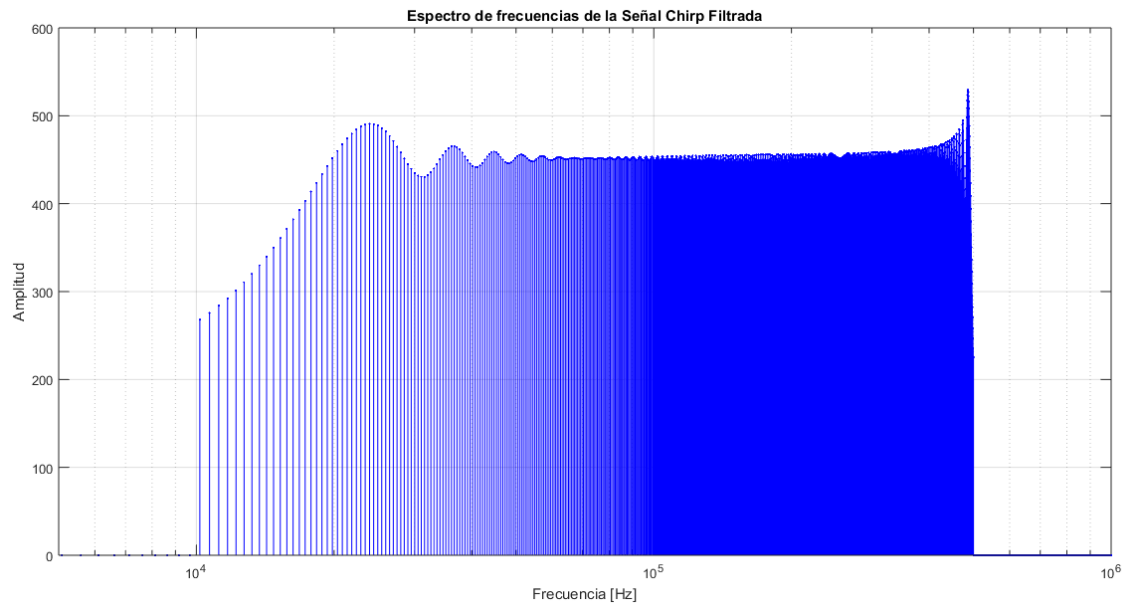


Figura 3.16: Espectro de frecuencias discreto de la señal chirp filtrada.

Si bien la señal $chirp(k)$, generada en MATLAB, puede exportarse directamente a un archivo CSV para ser usada como referencia en un programa de simulación de circuitos, para cargarla en la memoria ROM del sistema se deben convertir los valores obtenidos a formato binario sin signo. Como la resolución del DAC es de 12 bits, se calculan las muestras *digitales* de la señal $D_{chirp}(k)$ con la siguiente expresión:

$$D_{chirp}(k) = \left\lfloor \frac{(chirp(k) + 1)}{2} \cdot 4095 \right\rfloor \quad \text{con } k = 0, 1, \dots, (N_{chirp} - 1) \quad (3.39)$$

que implica normalizar la señal para que tenga valores positivos mayores o iguales a cero únicamente y luego cuantificar su amplitud al rango de valores digitales del DAC. Nota: los semi-corchetes indican la función *floor* (piso o parte entera) del valor obtenido [52].

3.4.2.3. Proceso de medición y adquisición de muestras

Cuando desde la interfaz de usuario se envíe un comando para realizar una medición, el sistema de control iniciará un proceso que involucra la ejecución de las siguientes tareas:

- 1) Leer secuencialmente los valores de la señal digital D_{chirp} , almacenada en la memoria ROM, de forma repetida a la frecuencia de actualización correspondiente (inyección repetitiva de ciclos de señal) para obtener, luego de la conversión digital-analógica, una señal continua y periódica a la salida del amplificador de potencia.
- 2) Sincronizar la interfaz de control del ADC con el inicio de un ciclo de la señal chirp y habilitar la adquisición de muestras de las señales de tensión, v_A y v_B , presentes en las respectivas entradas diferenciales del ADC.
- 3) Guardar los pares de valores digitales adquiridos de ambas señales, D_A y D_B , en la memoria RAM hasta completar las N muestras de cada una.
- 4) Detener la inyección de señal chirp y enviar una respuesta al programa de control en la PC indicando la finalización del proceso de adquisición de muestras.

3.4.3. Requerimientos de hardware

En base a los conceptos planteados en las secciones anteriores, se determina que dentro del circuito lógico de control se deben implementar los siguientes componentes:

- Un módulo de interfaz digital con el DAC.
- Una memoria ROM de 16384 valores de 12-bits, que contenga las muestras digitales de la señal chirp generada en MATLAB.
- Un módulo de interfaz digital con el ADC, para su configuración y para la lectura de muestras convertidas.
- Una memoria RAM de 8192 valores de 12-bits, para guardar las muestras digitales de las señales adquiridas por el ADC.
- Un módulo de interfaz serie UART para comunicarse con el programa de la interfaz de usuario en la PC.
- Un módulo de control lógico que pueda procesar los comandos enviados desde la interfaz de usuario y ejecutar las operaciones que debe realizar el sistema.
- Un módulo de generación de las señales de reloj necesarias para cada uno de los componentes digitales del sistema.

Además, el enlace del circuito lógico de control con los dispositivos digitales externos requiere la implementación de puertos, líneas de control y buses de datos, cuyas

características dependen, a su vez, del tipo de dispositivo que se desea controlar o establecer comunicación. Se debe, entonces, determinar la cantidad de entradas y salidas necesarias para cada dispositivo externo y distribuirlas adecuadamente en los conectores de expansión disponibles en la placa de desarrollo en FPGA. Para el caso de la interfaz digital con el DAC (ver Figura 3.17-a), es necesario implementar un bus de datos de salida de 12-bits (D0 a D11) y tres líneas de control (CLK, MODE y SLEEP); mientras que para el caso de la interfaz digital con el ADC (ver Figura 3.17-b), es necesario implementar un bus de datos bidireccional de 12-bits (D0 a D11) y cinco líneas de control (CONV_CLK, DATA_AV, $\overline{CS0}$, \overline{WR} , \overline{RD}). Por otro lado, para la comunicación por medio de la interfaz UART hay que implementar un puerto que requiere sólo dos señales, una línea de transmisión de datos en serie (TXD) y una línea de recepción de datos en serie (RXD), y se agregan dos señales adicionales (TXLED y RXLED) para señalar la actividad del puerto UART de la PC por medio de LEDs.

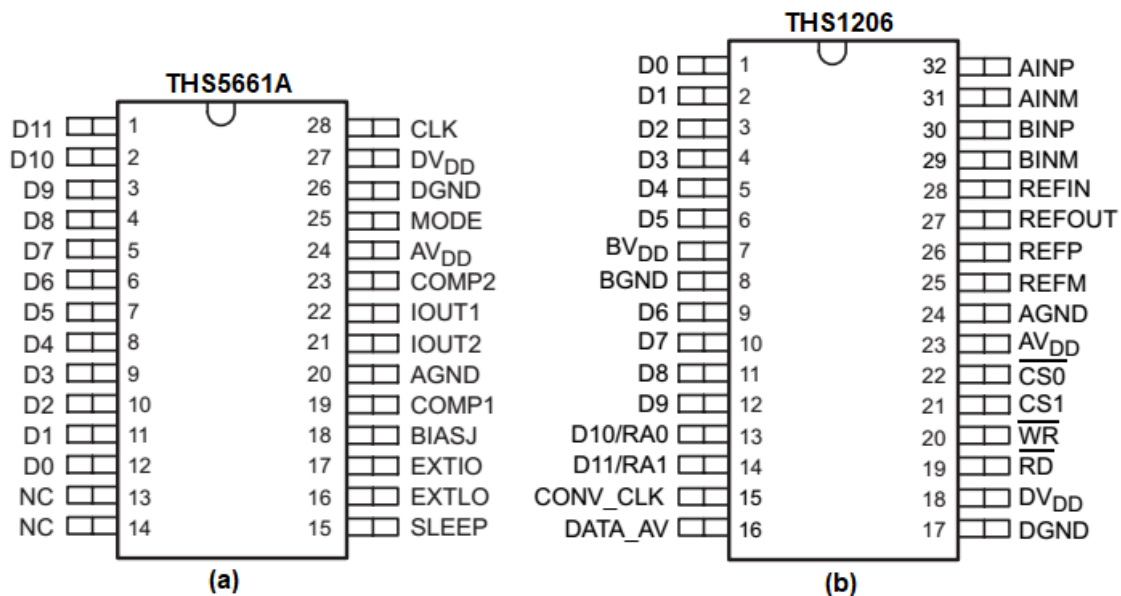


Figura 3.17: Diagrama de asignación de pines – (a) DAC THS5661A, (b) ADC THS1206.

3.4.3.1. Asignación de señales en conectores de expansión (A1 y A2)

Teniendo en cuenta la disposición física de los conectores de expansión de 40 pines (ver Figura 3.11), se decide utilizar el conector A1 para acomodar las 4 señales del puerto UART y el conector A2 para acomodar las 32 señales requeridas en conjunto por el DAC y el ADC. Además, el conector A1 permite programar la FPGA usando un puerto JTAG externo que requiere cuatro señales (TMS, TCK, TDI y TDO). En la Tabla 3.1 y la Tabla 3.2 se detalla la asignación de las señales en los pines de los conectores de expansión A1 y A2, respectivamente.

Número de pin (A1)	Señal asignada
1	GND
2	FPGA VU (+5V DC Input)
3	FPGA V _{CC0} (+3.3V)
4	Ninguna
5	RXD (UART)
6	TXD (UART)
7	Reservada
8	Reservada
9	Reservada
10	Reservada
11	Reservada
12	Reservada
13	Reservada
14	Reservada
15	Reservada
16	RXLED (UART-PC)
17	TXLED (UART-PC)
18	Reservada
19	Reservada
20	Reservada
21	Ninguna
22	Ninguna
23	Ninguna
24	Ninguna
25	Ninguna
26	Ninguna
27	Ninguna
28	Ninguna
29	Ninguna
30	Ninguna
31	Ninguna
32	Ninguna
33	Ninguna
34	Ninguna
35	Ninguna
36	JTAG Isolation
37	TMS (JTAG)
38	TCK (JTAG)
39	TDI (JTAG)
40	TDO (JTAG)

Tabla 3.1: Asignación de señales en el conector de expansión A1.

Número de pin (A2)	Señal asignada
1	GND
2	FPGA VU (+5V DC Input)
3	FPGA V _{CC0} (+3.3V)
4	D11 (DAC)
5	D10 (DAC)
6	D9 (DAC)
7	D8 (DAC)
8	D7 (DAC)
9	D6 (DAC)
10	D5 (DAC)
11	D4 (DAC)
12	D3 (DAC)
13	D2 (DAC)
14	D1 (DAC)
15	D0 (DAC)
16	CLK (DAC)
17	MODE (DAC)
18	SLEEP (DAC)
19	D0 (ADC)
20	D1 (ADC)
21	D2 (ADC)
22	D3 (ADC)
23	D4 (ADC)
24	D5 (ADC)
25	D6 (ADC)
26	D7 (ADC)
27	D8 (ADC)
28	D9 (ADC)
29	D10 (ADC)
30	D11 (ADC)
31	CONV_CLK (ADC)
32	DATA_AV (ADC)
33	$\overline{CS0}$ (ADC)
34	\overline{WR} (ADC)
35	\overline{RD} (ADC)
36	FPGA PROG_B
37	FPGA DONE
38	FPGA INIT_B
39	FPGA CCLK
40	FPGA DIN

Tabla 3.2: Asignación de señales en el conector de expansión A2.

3.4.4. Circuito lógico de control

En las secciones anteriores, teniendo en cuenta los recursos de hardware que ofrece la placa de desarrollo en FPGA elegida, se determinaron los parámetros óptimos para la generación, adquisición y almacenamiento de muestras de las señales requeridas por el sistema, y en consecuencia cuales son los componentes básicos que deben implementarse dentro de la FPGA Xilinx Spartan-3 XC3S1000 para lograr el objetivo de control.

En la Figura 3.18 se muestra el diagrama general del circuito lógico implementado en la FPGA para el control digital del sistema de medición propuesto, cuyos bloques funcionales se detallan en las siguientes secciones.

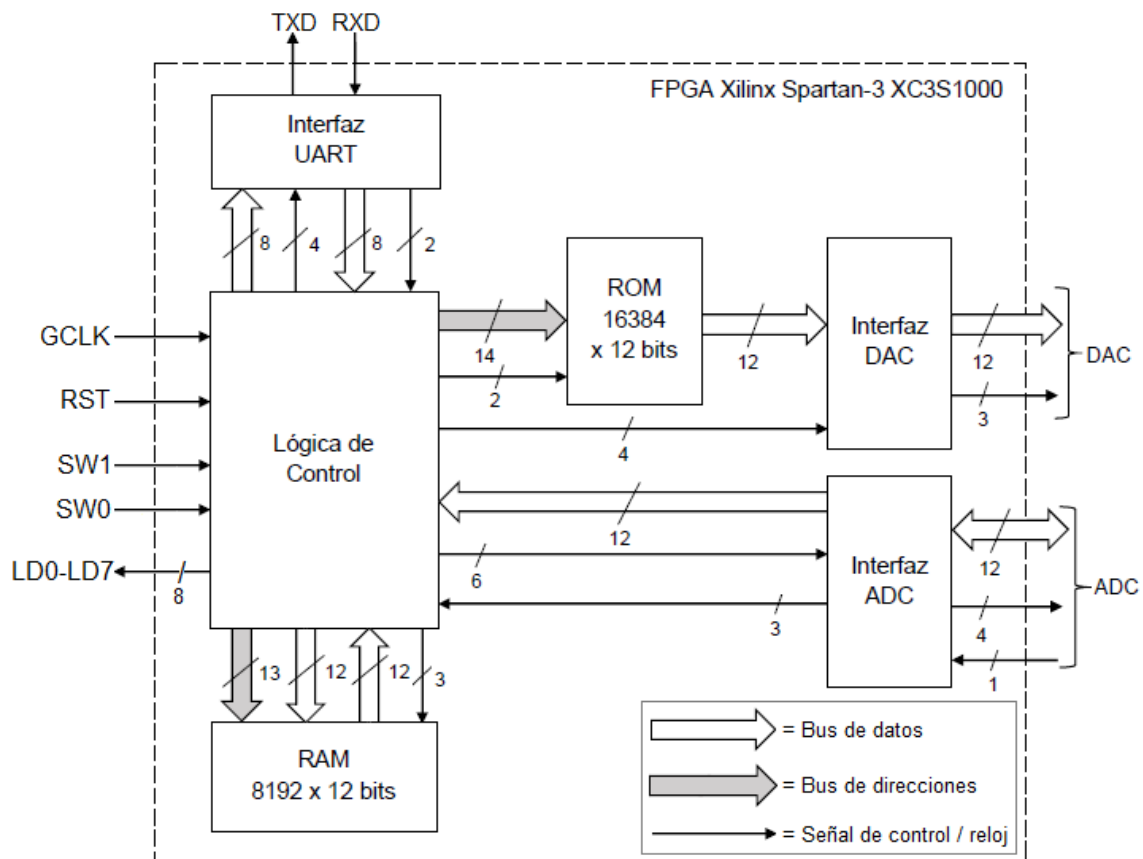


Figura 3.18: Diagrama en bloques del circuito lógico implementado en la FPGA.

3.4.4.1. Interfaz de comunicación serie UART

La interfaz de comunicación serie UART implementada en la FPGA consta de módulos independientes de transmisión y recepción de datos [77], cada uno con las siguientes características fijas: un bit de inicio, ocho bits de datos (transmite LSB primero) y un bit de parada. Además, cada módulo incorpora un buffer FIFO de 16 bytes, el cual dispone de entradas de lectura/escritura y limpieza de datos, y una salida que indica cuando está lleno. La velocidad de comunicación de la interfaz, que se establece mediante una señal de reloj interna (BAUD_16X_CLK) con una frecuencia igual a dieciséis veces la velocidad de datos requerida, se configuró para ser igual a 115200 bits por segundo (BAUD_16X_CLK = 1,8432 MHz).

En base a esta interfaz se diseñó un protocolo de comunicación simple que permite una comunicación segura entre la interfaz de usuario y el sistema de control. Los comandos de control que se envían desde la interfaz de usuario utilizan un formato de paquete de datos con una longitud fija de 16 bytes coincidente con el tamaño de los buffer FIFO, cuya estructura se muestra en la Figura 3.19. El primer byte corresponde al *encabezado* del paquete y su valor es siempre el mismo (*HEADER* = 0xAA). El segundo byte identifica al *comando* enviado y su valor depende de la operación que se quiere ejecutar (ver Tabla 3.3). El resto son bytes de *datos* que, si el comando enviado no requiere parámetros adicionales, se completan con ceros (0x00). Este formato de paquete permite, entonces, identificar unívocamente una orden enviada desde la interfaz de usuario en la PC pues posee una longitud fija y un encabezado único para todos los comandos de control.

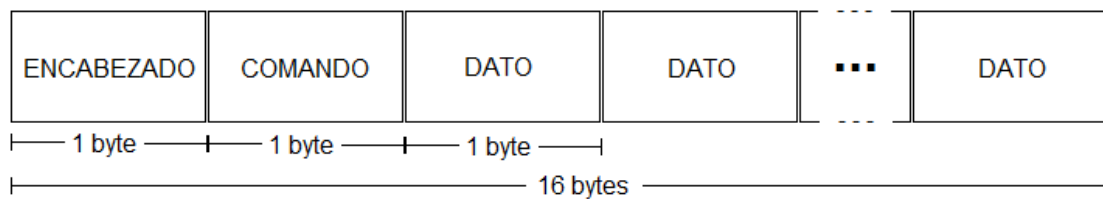


Figura 3.19: Formato de paquete de datos utilizado para los comandos de control.

En la Figura 3.20 se muestra el diagrama de flujo del protocolo de comunicación. Cuando el buffer FIFO de recepción está lleno, el sistema verifica primero el encabezado del paquete y luego identifica cuál es el comando que se quiere ejecutar. Si el valor del encabezado no es correcto, se envía como respuesta un byte de “*paquete inválido*” (*BADPKT* = 0xBD). Ahora si el encabezado es correcto y el comando recibido es válido, se envía como respuesta un byte de “*comando admitido*” (*CMDACK* = 0xCA) y se procede a ejecutar la operación correspondiente; mientras que si se recibe un comando desconocido, se envía como respuesta un byte de “*comando inválido*” (*BADCMD* = 0xBC). Cuando se completa la ejecución de un comando, se envía como respuesta un byte de “*fin de operación*” cuyo valor depende de la tarea que se haya llevado a cabo (ver Tabla 3.3). Luego de completar correctamente una operación o si se produjo un error en la comunicación, el sistema resetea el búfer FIFO de recepción para que quede listo para recibir el próximo paquete de datos.

COMANDO	VALOR (HEXA)	OPERACIÓN A EJECUTAR	BYTE DE RESPUESTA (al finalizar la operación)
CFG_CMD	0xAC	Inicializar el ADC (configurar registros CR0 y CR1)	ADC_EOC (0xEC)
ADC_CMD	0xAE	Iniciar proceso de medición (generar señal chirp y habilitar la adquisición de señales)	ADC_EOC (0xEC)
CHR_CMD	0xC0	Leer datos de la RAM (leer y enviar las muestras adquiridas de las señales)	EOD (0xED)
INVÁLIDO	Otros	Ninguna	BADCMD (0xBC)

Tabla 3.3: Comandos de control del sistema.

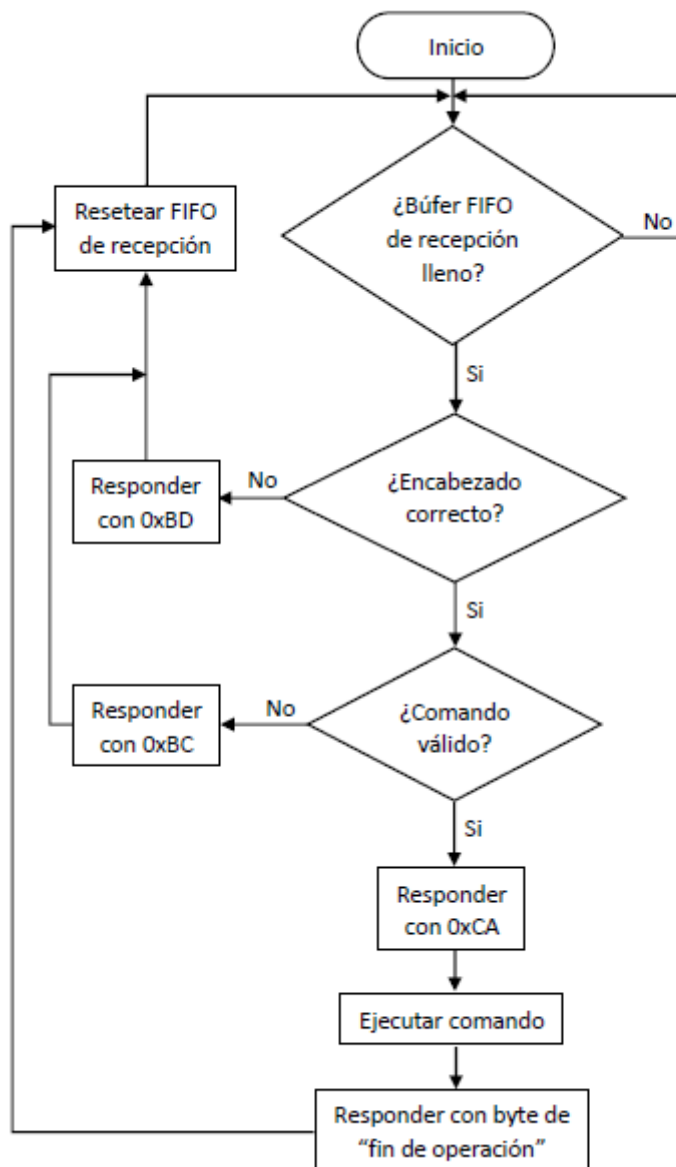


Figura 3.20: Diagrama de flujo del protocolo de comunicación.

3.4.4.2. Interfaz de configuración y control del ADC

En esta sección se detalla cómo se lleva a cabo el proceso de configuración del ADC para que opere en el modo adecuado, y luego como se controla la lectura de muestras del ADC durante un proceso de conversión.

El ADC utilizado contiene dos registros de control de 10 bits, CR0 y CR1, para configurar el dispositivo en el modo deseado (ver Figura 3.21). Los registros de control pueden ser programados, por medio del bus de datos bidireccional del ADC, direccionando el registro de control deseado y escribiendo el correspondiente valor de configuración. Este direccionamiento se realiza con los bits de datos superiores D10 y D11, que funcionan como líneas de dirección RA0 y RA1. El proceso de escritura se ejecuta usando la entrada de selección de chip $\overline{CS0}$ y la entrada de escritura \overline{WR} . Durante este proceso de escritura, los bits de datos D0 a D9 contienen el valor deseado del registro de control. El registro CR0 se direcciona con RA0 = 0 y RA1 = 0, y el registro CR1 se direcciona con RA0 = 1 y RA1 = 0.

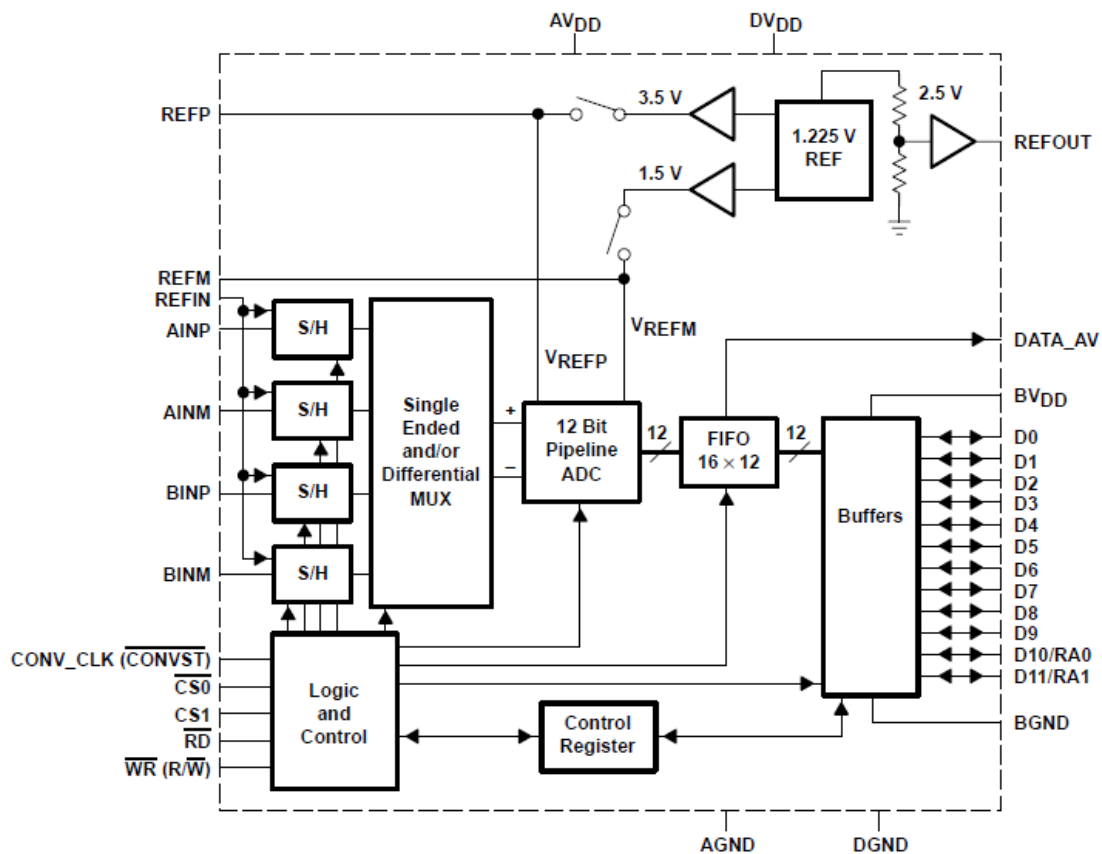


Figura 3.21: Diagrama de bloques funcional del ADC THS1206 [43].

Mediante el registro CR0 se configura: el modo de conversión, la cantidad y tipo de canales, las referencias de tensión (internas o externas), el encendido o apagado del dispositivo y el modo de prueba. En la Tabla 3.4 se muestra el nombre de cada uno de los bits del registro CR0, el valor usado y la opción que se programa. Para programar de ese modo el registro CR0, el valor que debe escribirse en el bus de datos es 0x0C8.

Por otro lado, mediante el registro CR1 se configura: el reseteo del dispositivo, el reseteo y nivel de activación del FIFO, el tipo y polaridad de la señal *DATA_AV* (datos disponibles), el modo de lectura y escritura (señales individuales o combinadas), el formato de los datos, la calibración de las entradas y el modo de depuración. En la Tabla 3.5 se muestra el nombre de cada uno de los bits del registro CR1, el valor usado y la opción que se programa. Para programar de ese modo el registro CR1, el valor que debe escribirse en el bus de datos es 0x480.

BIT	NOMBRE	VALOR	OPCIÓN PROGRAMADA
0	VREF	0	Usar referencias de tensión internas. $V_{REFP} = 3.5 \text{ V}$, $V_{REFM} = 1.5 \text{ V}$
1	MODE	0	Usar modo de conversión continua. Una señal de reloj externa se aplica a la entrada CONV_CLK en este modo. Con cada flanco ascendente de CONV_CLK, un nuevo valor convertido es escrito en el FIFO.
2	PD	0	ADC activado.
3	CHSEL0	1	Usar dos canales diferenciales de entrada. Secuencia de auto-escaneo de canales de entrada*: (AINP – AINM), (BINP – BINM), (AINP – AINM), ... *orden en que se escriben los valores en el FIFO circular.
4	CHSEL1	0	
5	DIFF0	0	
6	DIFF1	1	
7	SCAN	1	
8	TEST0	0	Modo normal. Prueba de entradas desactivada.
9	TEST1	0	

Tabla 3.4: Valores de bits programados en el registro CR0 del ADC THS1206.

BIT	NOMBRE	VALOR	OPCIÓN PROGRAMADA
0	RESET	0	No resetear dispositivo.
1	FRST	0	No resetear FIFO.
2	TRIG0	0	Nivel de activación del FIFO, TL = 2 valores. Cuando se alcanza el nivel de activación, la señal <i>DATA_AV</i> se vuelve activa, indicando que hay datos disponibles para leer del FIFO.
3	TRIG1	0	
4	DATA_T	0	Señal <i>DATA_AV</i> estática (activación por cambio de nivel).
5	DATA_P	0	Señal <i>DATA_AV</i> activo baja.
6	R/ \overline{W}	0	Usar señales de lectura y escritura individuales. Entrada \overline{RD} para lectura de datos y entrada \overline{WR} para escritura de datos.
7	BIN/2s	1	Usar formato binario de datos.
8	OFFSET	0	Calibración de entradas desactivada.
9	RBACK	0	Modo de depuración desactivado.

Tabla 3.5: Valores de bits programados en el registro CR1 del ADC THS1206.

Cada vez que el ADC es encendido es necesario ejecutar una rutina de inicialización mediante la cual se realiza un reseteo del dispositivo (que aplica la configuración por defecto) y luego se programan los registros de control con los valores anteriormente especificados. Para resetear el dispositivo debe establecerse el valor del bit *RESET* en 1 y luego volver a establecerlo en 0. Además, esta rutina permite que el sistema de control pueda ejecutar otras funciones como, por ejemplo, el reseteo del FIFO del ADC que debe hacerse previo a realizar una nueva conversión continua de muestras. Para resetear el FIFO es suficiente con establecer el valor del bit *FRST* en 1, pues retorna automáticamente a 0 luego de resetearlo.

La rutina de inicialización del ADC se implementa por medio de una máquina de estados finitos (FSM), integrada dentro del bloque *Interfaz ADC*. Cuando desde la interfaz de usuario se envía el comando para “inicializar el ADC” (*CFG_CMD* = 0xAC), el sistema de control le indica a la interfaz del ADC que debe ejecutar la rutina de inicialización y luego espera a que se active la señal interna de “*ADC LISTO*”. Cuando detecta la activación de esta señal, el sistema de control responde con el byte de “*fin de configuración*” (*ADC_EOC* = 0xEC), indicándole a la interfaz de usuario que el ADC está configurado en el modo correcto y listo para operar. En la Figura 3.22 se muestra el diagrama de flujo correspondiente a la rutina de inicialización y configuración del ADC.

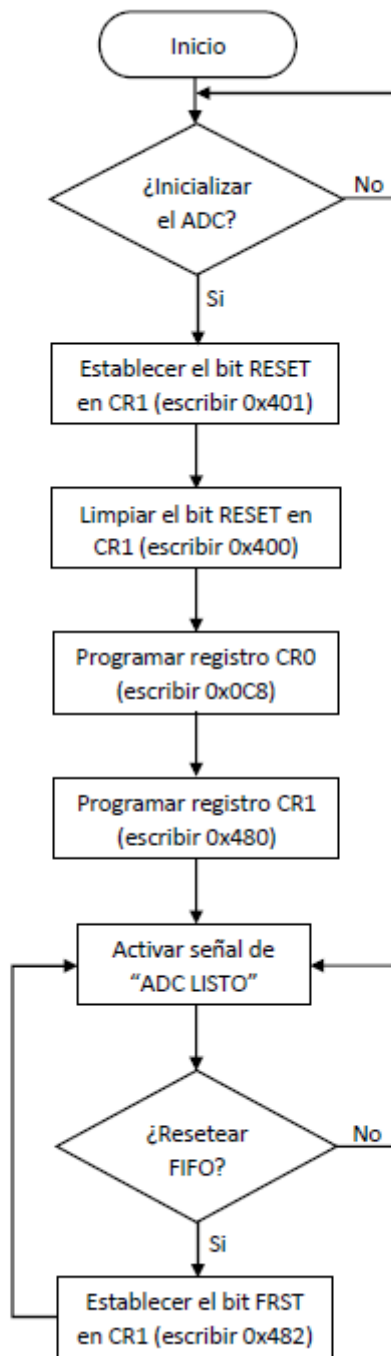


Figura 3.22: Diagrama de flujo de la rutina de inicialización y configuración del ADC.

Luego, para iniciar la conversión de datos en el ADC, una señal de reloj externa debe ser aplicada en la entrada $CONV_CLK$. La frecuencia de muestreo f_s , a la que se adquiere cada canal del ADC, depende de la cantidad de canales de entrada seleccionados y de la frecuencia de la señal de reloj usada [43]:

$$f_s = \frac{f_{CONV_CLK}}{\# \text{ canales}} \quad (3.40)$$

donde la máxima frecuencia posible para la señal de reloj es 6 MHz, dando como resultado una frecuencia de muestreo máxima de 3 MSPS para el caso de adquirir

simultáneamente dos canales de entrada. En este caso, la frecuencia que debe usarse para la señal de reloj del ADC es $f_{CONV_CLK} = 2 \cdot f_s = 4,167$ MHz.

Por la forma en que funciona el ADC, la tensión de las señales diferenciales de entrada es muestreada simultáneamente con cada flanco descendente de la señal de reloj (un muestreo cada dos flancos descendentes, ya que la frecuencia de muestreo efectiva es la mitad de la frecuencia de $CONV_CLK$), y con cada flanco ascendente de la señal de reloj un nuevo valor convertido es escrito en el FIFO. Es importante aclarar que, en el modo de conversión continua, la primera activación de la señal $DATA_AV$ se retrasa por $(7 + TL)$ ciclos de $CONV_CLK$ después de un comando de reseteo del FIFO. Esto se debe a la latencia de la arquitectura de conversión del THS1206. Normalmente, con cada activación de la señal $DATA_AV$ el sistema de control debería leer un total de dos valores del FIFO ($TL = 2$) pero las pruebas realizadas con el sistema mostraron un comportamiento errático de los punteros del FIFO circular del ADC, lo que provocaba que se perdiera el orden predefinido por la secuencia de auto-escaneo de los canales de entrada. Esto implicaba la pérdida de muestras o el cruce de información de los canales que se están adquiriendo, por lo que se decidió ejecutar una forma alternativa de leer los datos convertidos por el ADC. Como no es posible seleccionar un valor de $TL = 1$, cuando se usan dos canales de entrada, la solución al problema mencionado consiste en utilizar la primera activación de la señal $DATA_AV$ como evento de sincronismo, luego leer y descartar únicamente las dos primeras muestras y, a partir de allí, proceder en la lectura del FIFO de a una muestra por vez hasta completar la operación.

En la Figura 3.23 se muestra el diagrama de flujo del proceso de conversión y lectura de muestras del ADC. Para iniciar un proceso de conversión, la interfaz de usuario envía el comando de “*iniciar proceso de medición*” ($ADC_CMD = 0xAE$) al sistema de control y espera. Al ejecutar el comando, primero se resetea el bus de direcciones de la RAM y luego se resetea el FIFO del ADC, y una vez completado el reseteo se habilita la señal de reloj $CONV_CLK$ para que comience la conversión de muestras. Cuando se produce la primera activación de la señal $DATA_AV$ significa que hay dos valores de muestras escritas en el FIFO (una de cada canal), por lo tanto la interfaz del ADC lee inmediatamente esas dos primeras muestras y las descarta. A partir de este punto de sincronismo, se sabe que luego de cada flanco ascendente de $CONV_CLK$ un nuevo y único valor fue escrito en el FIFO, por lo que la interfaz lo lee y registra inmediatamente. De esta forma, se logra mantener el orden en la secuencia de escritura y lectura de las muestras de cada canal, permitiendo así un almacenamiento confiable de las muestras de cada señal en la memoria RAM del sistema. Al finalizar la adquisición y almacenamiento en la RAM de todas las muestras requeridas, se deshabilita la señal de reloj $CONV_CLK$ y se responde con el byte de “*fin del proceso de medición*” ($ADC_EOC = 0xEC$), indicándole a la interfaz de usuario que se completó la operación correspondiente.

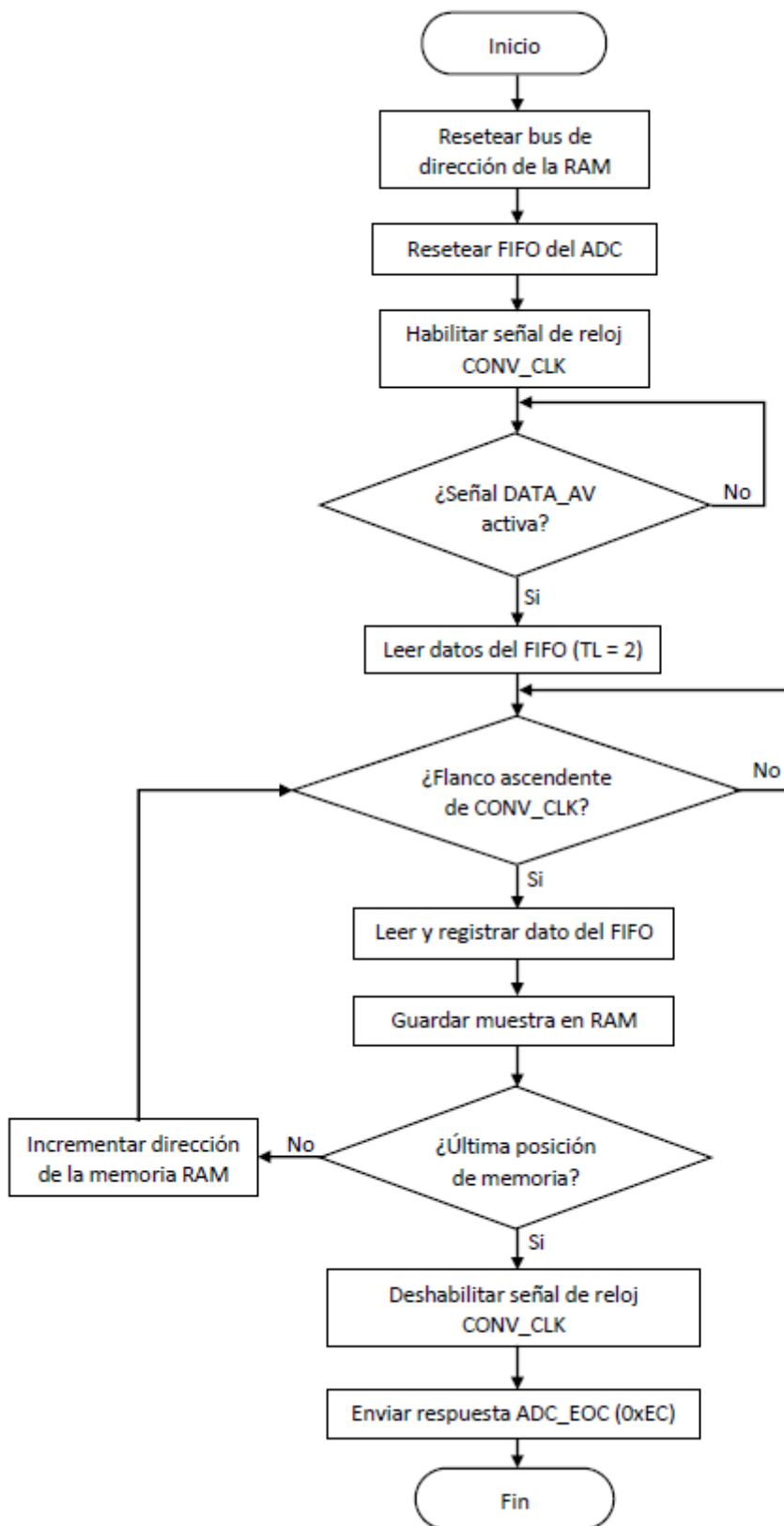


Figura 3.23: Diagrama de flujo del proceso de conversión y lectura de muestras del ADC.

3.4.4.3. Memoria RAM

La memoria RAM de 8192 muestras de 12-bit (96-Kbit en total), requerida para almacenar las muestras digitales de las señales adquiridas por el ADC, se implementa utilizando un conjunto de seis bloques de memoria de 18-Kbit [78], del total de veinticuatro disponibles en la FPGA. Esta RAM se controla por medio de una señal de activación, una señal de lectura/escritura, una señal de reloj, y un bus de direcciones de 13 bits de ancho.

Para obtener las muestras de cada señal, almacenadas en la memoria RAM, la interfaz de usuario envía el comando de *“leer datos de la RAM”* ($CHR_CMD = 0xC0$) al sistema de control para que se inicie el proceso de lectura que se detalla en el diagrama de flujo de la Figura 3.24. Al recibir el comando, primero se resetea el bus de dirección de la RAM y luego comienza el proceso de lectura y transmisión de cada una de las posiciones de memoria. En las posiciones pares de memoria (0, 2, 4,...) están almacenadas las muestras adquiridas en el canal A del ADC y en las posiciones impares de memoria (1, 3, 5,...) están almacenadas las muestras adquiridas en el canal B del ADC. Como cada muestra digital tiene una longitud de datos de 12 bits ($D_{11}:D_0$) y el buffer de transmisión de la UART tiene una longitud de datos de 8 bits (1 byte), cada muestra leída es extendida a una longitud de 16 bits (2 bytes) antes de ser transmitida. Esto se hace completando con ceros después del MSB (bit más significativo) ya que se utiliza el formato binario sin signo. Luego, para cada muestra de 16 bits, se envía primero el byte superior ($“0000”+D_{11}:D_8$) y luego el byte inferior ($D_7:D_0$). Para evitar sobrescribir cualquier dato previo, cada byte es enviado sólo si el buffer de transmisión de la UART no está lleno. Por último, una vez que todas las muestras de la RAM fueron leídas y enviadas, se transmite un byte de *“fin de datos”* ($EOD = 0xED$) para indicarle a la interfaz de usuario que se completó el proceso de lectura de la RAM.

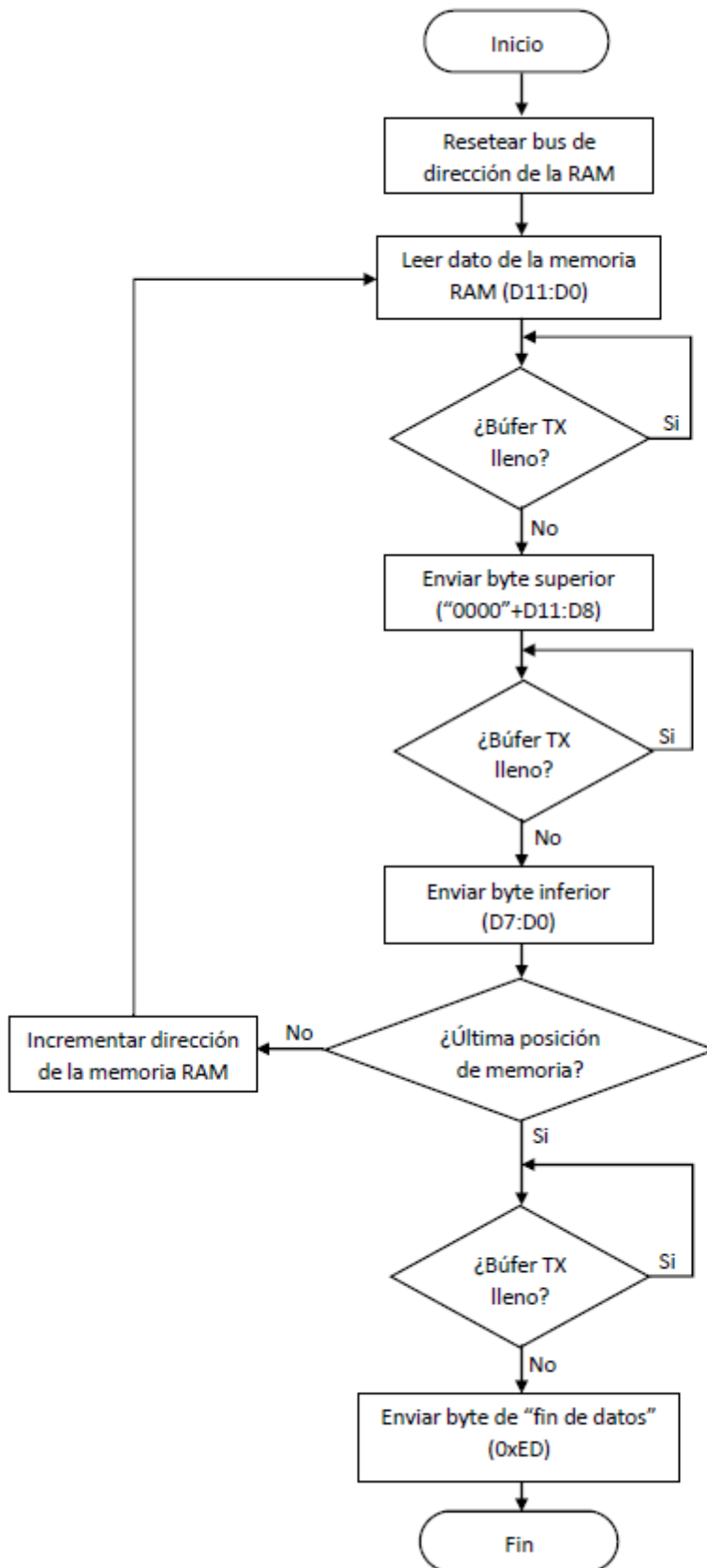


Figura 3.24: Diagrama de flujo del proceso de lectura de la memoria RAM.

3.4.4.4. Memoria ROM e Interfaz del DAC

La memoria ROM de 16384 muestras de 12-bit (192-Kbit en total), requerida para almacenar las muestras digitales de la *señal chirp*, se implementa utilizando un conjunto de once bloques de memoria de 18-Kbit [78], del total de veinticuatro disponibles en la FPGA. Esta ROM se controla por medio de una señal de activación, una señal de reloj y un bus de direcciones de 14 bits de ancho.

El bus datos de salida de la ROM se conecta al DAC a través de una interfaz, que se implementa simplemente mediante un registro de 12 bits, el cual también posee sus respectivas señales de activación y de reloj. Esto se hace para sincronizar correctamente los datos de las muestras entre ambos dispositivos, es decir, entre la salida de datos de la ROM y la entrada de datos del DAC. Por eso mismo, la señal de reloj usada para la ROM, el registro de 12-bit y el DAC es de una frecuencia igual a $f_{DAC} = 8,333$ MHz. Luego, cuando se requiere al sistema hacer una medición (ejecución de la operación correspondiente al comando "ADC_CMD" de la Tabla 3.3), éste habilita la inyección continua de ciclos de la señal chirp activando un contador de 14 bits que barre incrementalmente las direcciones de la ROM de forma repetida a la frecuencia f_{DAC} hasta que finalice la operación.

3.4.4.5. Lógica de Control

El bloque "Lógica de Control" se implementa utilizando una máquina de estados finitos (FSM) [79], y es la que se encarga de la ejecución y control de las operaciones que debe realizar el sistema, descritas en los correspondientes diagramas de flujo presentados anteriormente. La estructura de la FSM se modela en VHDL mediante dos procesos lógicos separados (ver Figura 3.25), un *proceso sincrónico* que maneja la secuenciación de los estados a la frecuencia de sistema (CLK), y un *proceso combinatorio* donde se definen y agrupan los diferentes estados según el tipo de operaciones que deban ejecutarse. Dentro del proceso sincrónico se implementa el *registro de estado*, conformado por elementos de memoria (flip-flops) que guardan el estado actual de la FSM; además de aquellos elementos que operan en sincronismo con el reloj del sistema, como registros de datos y contadores internos. Por otra parte, dentro del proceso combinatorio se implementa el *decodificador de estado siguiente*, que utiliza entradas de control externas y el estado actual para generar una salida que representa el próximo estado de la FSM; y además incluye un *decodificador de salida*, que se encarga de generar las variables de salida deseadas en base al estado actual de la FSM.

Las *entradas paralelas* del proceso sincrónico son aquellas que actúan en paralelo con los elementos de memoria que allí se implementan, e incluyen a las señales de reset, preset, habilitación, etc. Las *entradas de transición de estado* del proceso combinatorio son aquellas entradas externas a la FSM que controlan la transición del estado actual al siguiente estado; mientras que las variables del *estado actual* (salidas de registros de datos y contadores) son usadas por este proceso para la decodificación del *estado siguiente* y la decodificación de las *salidas externas* de la FSM. El diagrama muestra, también, que las variables del *estado actual* pueden proporcionarse como salidas en caso de ser necesario.

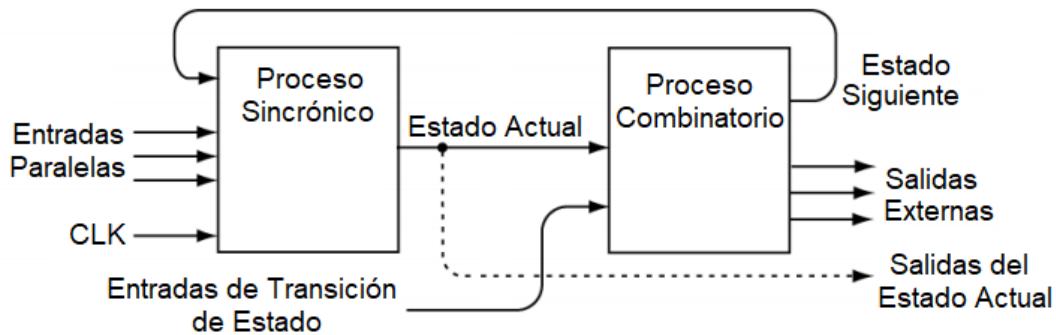


Figura 3.25: Diagrama del modelo de implementación en VHDL de la FSM.

A su vez, dentro del bloque “Lógica de Control” se generan las señales de reloj que son necesarias para el funcionamiento del sistema. La señal de reloj principal (CLK) utilizada por la máquina de estados, por la interfaz UART, por la RAM y por la interfaz del ADC, se genera a partir de la frecuencia del oscilador de cristal de 50 MHz (GCLK) que posee la placa de desarrollo. Usando un DCM (*Digital Clock Manager*) [80] se divide por tres a la frecuencia GCLK del oscilador de cristal, para obtener una frecuencia de reloj principal $CLK = GCLK/3 = 16,667$ MHz. Luego, implementando simples divisores enteros de frecuencia se generan las otras señales de reloj. La señal de reloj para la ROM, la interfaz del DAC y el DAC es $ROM_CLK = CLK/2 = 8,333$ MHz. La señal de reloj para el ADC, que también es requerida por su interfaz durante una operación de adquisición de muestras, es $CONV_CLK = ROM_CLK/2 = 4,167$ MHz. Por último, la señal de reloj que establece la velocidad de comunicación de datos de la interfaz UART se obtiene haciendo $BAUD_16X_CLK = CLK/9 = 1,8519$ MHz (equivalente a una velocidad de 115740 bps, que no excede el 1% de tolerancia permitida [77]).

La señal de reseteo principal (RST) está conectada al pulsador identificado como “BTN0” en la placa FPGA, lo que permite hacer un reseteo manual del sistema en caso de que se produzca un bloqueo inesperado. A su vez, activando el interruptor identificado como “SW1” se puede forzar la inyección de señal chirp al habilitarse el contador de la ROM de forma manual (con “SW1” desactivado, el sistema inyecta automáticamente la señal chirp cuando corresponda). El interruptor “SW0” permite habilitar un modo de prueba del DAC, que se ejecuta por medio de una función en la interfaz de usuario; por lo que es importante que “SW0” se encuentre desactivado durante un uso normal del sistema. Por otra parte, los ocho leds que posee la placa FPGA (LD0 - LD7) se utilizan para indicar el estado de distintas señales internas del sistema de control:

- LD7 (adc_ready), indica que el ADC está configurado y listo para operar.
- LD6 (adc_config), indica que la interfaz del ADC está ejecutando la rutina de inicialización y configuración del ADC.
- LD5 (adc_en), indica que la señal CONV_CLK está activa y que por lo tanto el ADC está realizando la conversión de muestras.
- LD4 (chram_en), indica que la memoria RAM está activa y que se está realizando alguna operación de lectura o escritura de datos.

- LD3 (rom_en), indica que la memoria ROM y el DAC están activos, y que por lo tanto se está generando la señal chirp para su inyección en la red.
- LD2 (adc_ffo), indica si hubo desborde (*overflow*) en los punteros del FIFO circular del ADC (chequeo que se hace luego de una conversión).
- LD1 (TXLED), indica que la UART de la PC está enviando bytes de datos.
- LD0 (RXLED), indica que la UART de la PC está recibiendo bytes de datos.

3.5. Control en la PC (Python)

El software de aplicación que implementa el programa de control y la interfaz de usuario en la PC se diseña en lenguaje de programación *Python* [48], utilizando su entorno de desarrollo integrado (IDLE). Esta aplicación de PC incorpora funciones que permiten: configurar, calibrar y monitorear el funcionamiento del sistema, realizar mediciones manuales o en forma automática, procesar digitalmente las señales adquiridas y calcular el vector de impedancia correspondiente, graficar los resultados obtenidos y/o guardarlos en un archivo en la PC para un posterior análisis.

3.5.1. Procesamiento digital de señales

Al finalizar el proceso de medición y adquisición descrito en la [Sección 3.4.2.3](#), el programa de control en la PC leerá las muestras almacenadas en la memoria RAM para su posterior procesamiento digital. En primer lugar, los vectores de muestras deben ser convertidos del formato binario de 12 bits sin signo, en el que son almacenados, a los respectivos vectores de muestras de tensión que representan:

$$v_A(k) = (D_A(k) - 2048) \cdot \Delta V \quad \text{con } k = 0, 1, \dots, (N - 1) \quad (3.41)$$

$$v_B(k) = (D_B(k) - 2048) \cdot \Delta V \quad \text{con } k = 0, 1, \dots, (N - 1) \quad (3.42)$$

donde D_A y D_B son los vectores de muestras digitales de cada señal expresados en formato decimal y ΔV es la resolución en tensión de las entradas diferenciales del ADC, para el caso de usar las referencias de tensión internas [43]:

$$\Delta V = \frac{2(V_{REFP} - V_{REFM})}{2^{12}} = \frac{2(3,5V - 1,5V)}{4096} = 976,56 \mu V \quad (3.43)$$

Luego, mediante una función que ejecuta un algoritmo de FFT, se calculará el espectro de frecuencias discreto de cada uno de los vectores de tensión, $V_A(k)$ y $V_B(k)$, que son requeridos para el cálculo de la impedancia Z_{PRI} de la expresión (2.50):

$$V_A(k) = \sum_{n=0}^{N-1} v_A(n) e^{-j2\pi k \frac{n}{N}} \quad \text{con } k = 0, 1, \dots, (N - 1) \quad (3.44)$$

$$V_B(k) = \sum_{n=0}^{N-1} v_B(n) e^{-j2\pi k \frac{n}{N}} \quad \text{con } k = 0, 1, \dots, (N-1) \quad (3.45)$$

Por lo tanto, el vector de impedancia Z_{PRI} resulta ser igual a:

$$Z_{PRI}(k) = \frac{V_T(k)}{I_T(k)} = \frac{G_A \cdot R_S}{G_B} \cdot \frac{V_B(k)}{V_A(k)} \quad \text{con } k = N_{inf}, \dots, N_{sup} \quad (3.46)$$

siendo N_{inf} la componente del espectro discreto que corresponde a la frecuencia inferior de la banda ($f_{inf} = 10$ kHz) y N_{sup} la componente del espectro discreto que corresponde a la frecuencia superior de la banda ($f_{sup} = 500$ kHz), que se obtienen de la siguiente forma:

$$N_{inf} = \left\lfloor \frac{f_{inf}}{(f_s/N)} \right\rfloor = 20 \quad (3.47)$$

$$N_{sup} = \left\lfloor \frac{f_{sup}}{(f_s/N)} \right\rfloor = 983$$

Finalmente, se calcula el vector de la impedancia de línea Z_L , a partir de la expresión (2.49), dando como resultado:

$$Z_L(k) = \frac{\left[\left(Z_{PRI}(k) - Z_{L_{p1}}(k) \right)^{-1} - Z_{LM}(k)^{-1} \right]^{-1}}{K_c(k) \cdot N_t^2} - Z_S(k) \quad (3.48)$$

con $k = 0, 1, \dots, (N_{sup} - N_{inf})$

3.5.2. Monitoreo del amplificador de potencia (OPA)

Como se aclaró en la [Sección 3.1.1.2](#), es importante que las señales digitales I_{FLAG} y T_{FLAG} sean monitoreadas durante la inyección de señal a la red, ya que un circuito de apagado interno desactiva automáticamente la salida del amplificador OPA564 cuando se alcanza alguno de estos límites. El monitoreo se hace mediante una función del programa de control que se ejecuta automáticamente luego de iniciar un proceso de medición, de manera que si durante la medición se activa alguna de estas señales, el control del sistema detiene la inyección de señal a la red, muestra un mensaje de alerta indicando el evento producido, descarta los datos obtenidos y repite el proceso si es necesario.

3.5.3. Control automático de ganancia (AGC)

El control automático de ganancia (AGC) es el encargado de ajustar la ganancia del VGA (última etapa del amplificador de instrumentación de la señal de corriente I_T), de modo que, la amplitud de la señal de tensión que se obtiene en la entrada diferencial del canal A del ADC sea la adecuada y no supere el rango de adquisición permitido. Para

programar la ganancia del AD8369 se decide utilizar la opción de interfaz digital paralela (pin SENB conectado a masa). La programación de ganancia se lleva a cabo, como se muestra en la Figura 3.26, estableciendo primero el valor de los cuatro bits (BIT3, BIT2, BIT1, BIT0) del código de ganancia n en las líneas del bus paralelo, y luego activando la señal de registro de datos (DENB), conforme a los tiempos de señalización requeridos.

Parameter ($V_S = 5\text{ V}$, $T = 25^\circ\text{C}$)	Typ	Unit
Minimum Setup Time Data Enable vs. Data (T_{ES})	2	ns
Minimum Hold Time Data Enable vs. Data (T_{EH})	2	ns
Minimum Data Enable Width (T_{PW})	4	ns

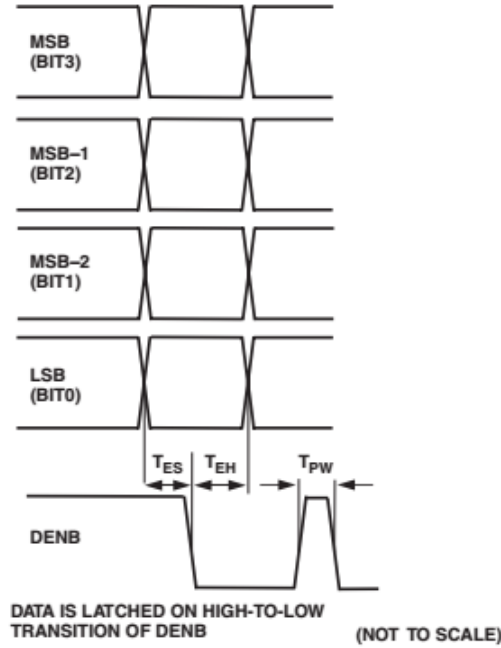


Figura 3.26: Programación del código de ganancia con interfaz paralela [42].

Luego, para lograr un correcto funcionamiento del AGC se deben tener en cuenta los siguientes parámetros: la amplitud pico a pico $v_{A_{pp}}$ de la señal de tensión $v_A(k)$ adquirida por el ADC, la amplitud pico a pico máxima posible $v_{A_{pp}(max)}$ a la entrada del ADC o a la salida del VGA (el que corresponda), la amplitud pico a pico mínima requerida $v_{A_{pp}(min)}$ para una adecuada adquisición de señal, y el código de ganancia programado n_p al adquirir la señal. De esta forma, se tiene que:

$$v_{A_{pp}(min)} < v_{A_{pp}} < v_{A_{pp}(max)} \quad (3.49)$$

$$\text{con } \begin{cases} v_{A_{pp}(min)} = v_{IN_{ADC}(min)} \\ v_{A_{pp}(max)} = v_{IN_{ADC}(max)} \text{ ó } v_{OUT_{VGA}(max)} \end{cases}$$

lo que indica la condición normal de operación, y donde $v_{A_{pp}}$ se puede calcular como:

$$v_{A_{pp}} = \max[v_A(k)] - \min[v_A(k)] \quad (3.50)$$

Teniendo en cuenta que el paso mínimo de ganancia del VGA es 3 dB, si la amplitud calculada de la señal es mayor al máximo permitido, será suficiente con que el AGC reduzca en uno o dos el código de ganancia (30% o 50% de atenuación) para que la amplitud se ubique nuevamente dentro del rango permitido. En cambio, si la amplitud calculada de la señal es menor al mínimo requerido, el AGC debe determinar cuál es el salto en el código de ganancia necesario para maximizar la amplitud de la señal dentro del rango de operación permitido, y que se calcula a partir de la siguiente expresión:

$$v_{App} \cdot (\sqrt{2})^{n_s} < v_{App(max)}$$

$$\Rightarrow n_s = \left\lfloor \frac{\log_{10} \left(\frac{v_{App(max)}}{v_{App}} \right)}{\log_{10} \sqrt{2}} \right\rfloor \quad (3.51)$$

donde los semi-corchetes indican las función *floor* (piso o parte entera) del valor obtenido y n_s es el salto que se debe aplicar al código de ganancia. Finalmente, el funcionamiento del AGC se puede resumir de la siguiente manera:

- Si $v_{App} \leq v_{App(min)}$ $\Rightarrow n = n_p + n_s$
- Si $v_{App(min)} < v_{App} < v_{App(max)}$ $\Rightarrow n = n_p$
- Si $v_{App} \geq v_{App(max)}$ $\Rightarrow n = n_p - 1$

donde el rango de validez para el código de ganancia es $0 \leq n \leq 15$.

3.5.4. Integración de puertos por USB

Con el objetivo de integrar los puertos de comunicación, programación y monitoreo requeridos por el sistema en un único puerto de comunicación USB con la PC, se decide utilizar un dispositivo de comunicación USB FT2232H Mini Module de FTDI [54]. Además, se describe cómo utilizar el FT2232H Mini Module para programar, por medio del correspondiente puerto JTAG, la FPGA con el archivo binario de configuración que se obtiene de la compilación del diseño en lenguaje VHDL.

3.5.4.1. Configuración del FT2232H Mini Module

Este dispositivo FTDI es un módulo de desarrollo USB a serie/FIFO basado en el chip FT2232H [55], que se encarga de manejar todos los protocolos y señalización del USB. Dispone de dos puertos independientes que se pueden configurar como interfaces serie asincrónicas (UART) o sincrónicas, o como interfaces FIFO paralelas. Los dos canales de comunicación también se pueden configurar de forma independiente para usar un motor MPSSE (*Multi-Protocol Synchronous Serial Engine*), lo que permite emular interfaces JTAG, SPI, I²C o Bit-bang, y al mismo tiempo disponer de varios GPIOs.



Figura 3.27: FTDI USB Hi-Speed FT2232H Mini Module [54].

El FT2232H Mini Module conecta las señales del circuito integrado FT2232H a dos conectores de expansión de 26 pines (ver Figura 3.27), lo que permite una fácil conexión del dispositivo con conectores estándar en el PCB. El enlace de datos con la PC se hace por medio de un cable Mini-USB a USB, teniendo la opción de alimentar el dispositivo con la alimentación de +5V que ofrecen los puertos USB. Por otra parte, el FT2232H Mini Module requiere controladores de dispositivo USB que se utilizan para hacer que el chip FT2232H aparezca como dos puertos COM virtuales (VCP) en la PC. Esto permite que el usuario se comunique con la interfaz USB a través de un puerto de emulación serie estándar de PC. Otro controlador USB de FTDI, el controlador D2XX, habilita el uso de cualquier software de aplicación para acceder directamente al FT2232H a través de una DLL [56].

Se decide, entonces, configurar la interfaz de comunicación serie UART en el puerto/canal A del dispositivo, cuyas señales están disponibles en el conector de expansión CN2. Mientras que el puerto/canal B del dispositivo se configura para usar un motor MPSSE, permitiendo la implementación de la interfaz de programación JTAG y un total de doce GPIOs, cuyas señales están disponibles en el conector de expansión CN3. Se usan cinco GPIOs para la interfaz de programación paralela del VGA, y otros dos GPIOs para monitorear las señales I_{FLAG} y T_{FLAG} del amplificador de potencia. En la Tabla 3.6 y la Tabla 3.7 se detalla la asignación de las señales del FT2232H Mini Module en los pines de los conectores de expansión CN2 y CN3, respectivamente.

Señal	CN2		Señal
VCC3V3	1	2	GND
VCC3V3	3	4	GND
VCC3V3	5	6	GND
TXD (UART-PC)	7	8	$\overline{\text{RESET}}$
$\overline{\text{RTS}}$	9	10	RXD (UART-PC)
VIO	11	12	$\overline{\text{CTS}}$
$\overline{\text{DSR}}$	13	14	$\overline{\text{DTR}}$
$\overline{\text{RI}}$	15	16	$\overline{\text{DCD}}$
–	17	18	TXDEN
$\overline{\text{RXLED}}$	19	20	–
VIO	21	22	$\overline{\text{TXLED}}$
–	23	24	–
$\overline{\text{SUSPEND}}$	25	26	–

Tabla 3.6: Asignación de señales en el conector CN2 (FT2232H Mini Module).

Señal	CN3		Señal
VBUS (+5V USB)	1	2	GND
VCC	3	4	GND
EECS	5	6	EECLK
EEDATA	7	8	$\overline{\text{PWREN}}$
GPIOH7	9	10	GPIOH6
TFLAG	11	12	VIO
GPIOH4	13	14	GPIOH3
IFLAG	15	16	GPIOH1
BIT0 (VGA)	17	18	BIT1 (VGA)
BIT2 (VGA)	19	20	BIT3 (VGA)
DENB (VGA)	21	22	VIO
TMS (JTAG)	23	24	TDO (JTAG)
TDI (JTAG)	25	26	TCK (JTAG)

Tabla 3.7: Asignación de señales en el conector CN3 (FT2232H Mini Module).

3.5.4.2. Programación de la FPGA (XC3SPROG)

Para programar la FPGA con el archivo binario de configuración, que se obtiene de la compilación del diseño en VHDL, se debe utilizar un programador que opere por medio de un puerto JTAG. Como se quiere utilizar para ello el puerto JTAG disponible en el conector de expansión A1 de la placa, empleando al dispositivo FTDI FT2232H como puente USB con la PC, se decide utilizar el programador XC3SPROG [81]. Este programa de PC es compatible con la FPGA Spartan-3 y permite emplear al FT2232H Mini Module como cable programador. Para que esto sea posible se debe agregar la siguiente entrada de registro en el archivo *cablelist.txt* del directorio del programa XC3SPROG, tal como se muestra a continuación:

```
#Alias      Type  Frequency  OptString
minimodule ftdi  1500000   0x0403:0x6010::2
```

Finalmente, para programar la FPGA con el correspondiente archivo binario de configuración se debe ejecutar, en una consola de Windows, el programa XC3SPROG con los siguientes parámetros:

```
xc3sprog.exe -c minimodule -v -p 0 config_file.bit
```

donde *config_file.bit* es, en este caso, el archivo *system_test_CHIRPFILT_NEW.bit*.

3.5.5. Programa de control e Interfaz de usuario

El *programa de control* y la *interfaz de usuario* se implementaron mediante un programa de PC que fue desarrollado en lenguaje *Python* (versión 2.7), empleando para ello el Entorno de Desarrollo Integrado (IDLE) [82], que es una herramienta que incorpora el intérprete del lenguaje de programación usado. Como *Python* es un lenguaje interpretado, la ejecución y manejo de la interfaz se lleva a cabo por medio del “*Shell*” interactivo (ventana de comandos) del entorno mencionado.

3.5.5.1. Módulos de extensión y módulos de programa

El programa principal está alojado en el archivo *NB-PLC_IM.py*, y requiere la instalación de una serie de *módulos de extensión* de *Python* para su operación. Los módulos requeridos y su función son:

- **FTD2XX** [83], es un módulo que permite la conexión a dispositivos FTDI con controladores D2XX. Esta extensión sigue pautas similares a las del controlador D2XX [56], sin embargo el funcionamiento se ha modificado donde es necesario para adaptarse al estilo de programación de *Python*.
- **IdleX** [84], es una colección de más de veinte extensiones y complementos que proporcionan funcionalidad adicional al IDLE, transformándolo en una herramienta más útil para la investigación académica y el desarrollo. En particular, el complemento *EventLoop* permite que los kits de herramientas GUI funcionen mientras se usa el subproceso IDLE, y es necesario para la operación con el

módulo Matplotlib. Otros complementos útiles son: *ClearWindow*, *Horizontal* y *RunSelection*.

- **NumPy** [85], es una extensión constituida por una biblioteca de funciones matemáticas de alto nivel para operar con vectores y matrices. Es necesaria para el uso de los módulos SciPy y Matplotlib.
- **SciPy** [86], es una biblioteca de herramientas y algoritmos matemáticos. Contiene módulos para optimización, álgebra lineal, integración, interpolación, funciones especiales, FFT, procesamiento de señales y otras tareas para la ciencia e ingeniería.
- **Matplotlib** [87], es una biblioteca para la generación de gráficos a partir de datos contenidos en listas o vectores en el lenguaje de programación Python y su extensión matemática NumPy. En particular, se usa el módulo *pyplot* que proporciona una interfaz de gráficos similar a la de MATLAB.
- **Mpldatacursor** [88], es una extensión que proporciona “cursores de datos” interactivos (casillas de anotación seleccionables) para los gráficos generados con el módulo Matplotlib.

Luego, en base a las herramientas y funciones que incorporan los distintos módulos mencionados y las que incluye por defecto el intérprete de Python, se desarrollaron las funciones específicas necesarias para el manejo del sistema a través de la interfaz de PC. Las distintas funciones, que se pueden ejecutar en la ventana de comandos de la interfaz, se encuentran agrupadas en diferentes *módulos de programa* según el tipo de operación que realizan. Los principales módulos de la interfaz de PC son los siguientes:

- **Módulo de Configuración y Comandos UART** (*UART_config.py*), donde se implementa la configuración e inicialización del puerto de comunicación serie UART y todas las funciones que están relacionadas con la ejecución de comandos por parte del sistema de control.
- **Módulo de Configuración y Comandos GPIO** (*MPSSE_config.py*), donde se implementa la configuración e inicialización de los puertos GPIO y todas las funciones relacionadas, como son la programación de la ganancia del VGA y el monitoreo de las señales del amplificador de potencia OPA564.
- **Módulo de Procesamiento y Ploteo de Datos** (*DataProcPlot.py*), donde se implementan las funciones de procesamiento de las señales adquiridas por el ADC, de cálculo de impedancias y de generación de gráficos con los datos obtenidos a partir de las mismas.
- **Módulo de Operaciones sobre Bits** (*BitManipulation.py*), donde se implementan funciones que permiten leer, modificar o copiar cualquiera de los bits de una variable expresada en formato binario. En particular, es necesario para operar sobre las señales de los puertos GPIO.
- **Módulo de Conversión Binario-Decimal** (*comp2hex16.py*), donde se implementan funciones que permiten la conversión de una variable o vector de números enteros en formato binario de 16 bits (expresado en 2 bytes) al formato

decimal. En particular, se utiliza para convertir al formato decimal las muestras digitales que son almacenadas en la memoria RAM del sistema.

- **Módulo de Archivos CSV** (*csv_file.py*), donde se implementan funciones de lectura y escritura de datos en archivos CSV (valores separados por comas). Es de utilidad si se desea exportar o importar datos hacia o desde otros programas como, por ejemplo, Excel o MATLAB.

Además de los módulos de programa descritos anteriormente y de los módulos de extensión instalados, la interfaz utiliza también algunos de los módulos ya integrados al intérprete de Python. Como puede observarse en el diagrama de jerarquía multinivel de la Figura 3.28, la estructura del programa está determinada por la dependencia que existe entre los diferentes módulos y las funciones que incorporan.

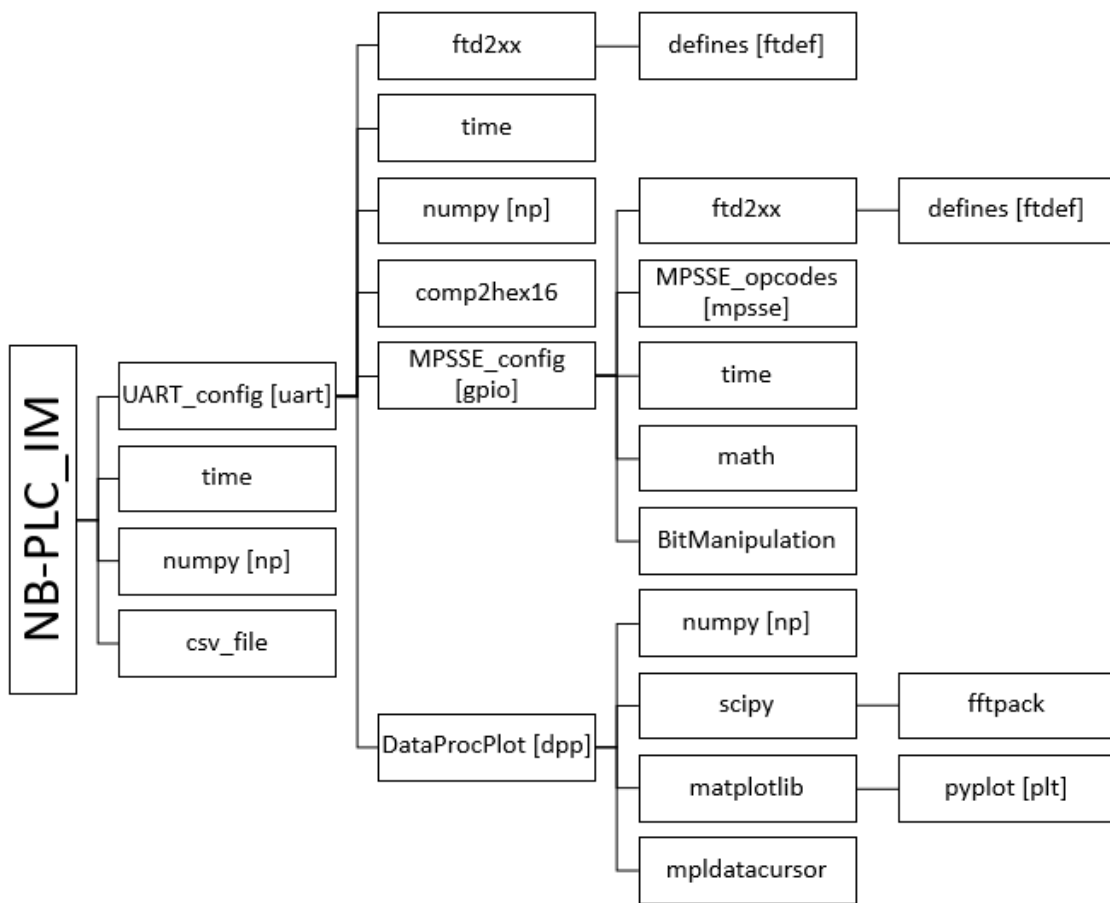


Figura 3.28: Diagrama de jerarquía multinivel de la estructura del programa.

3.5.5.2. Inicialización de la interfaz de usuario

Cuando desde el IDLE se ejecuta por primera vez el programa principal, alojado en el archivo *NB-PLC_IM.py*, éste se encarga de cargar todos los módulos necesarios y realiza una serie de tareas para asegurar que la interfaz de usuario quede inicializada correctamente y se puedan ejecutar comandos en ella. En la Figura 3.29 se muestra el diagrama de flujo de la rutina de inicialización de la interfaz de usuario.

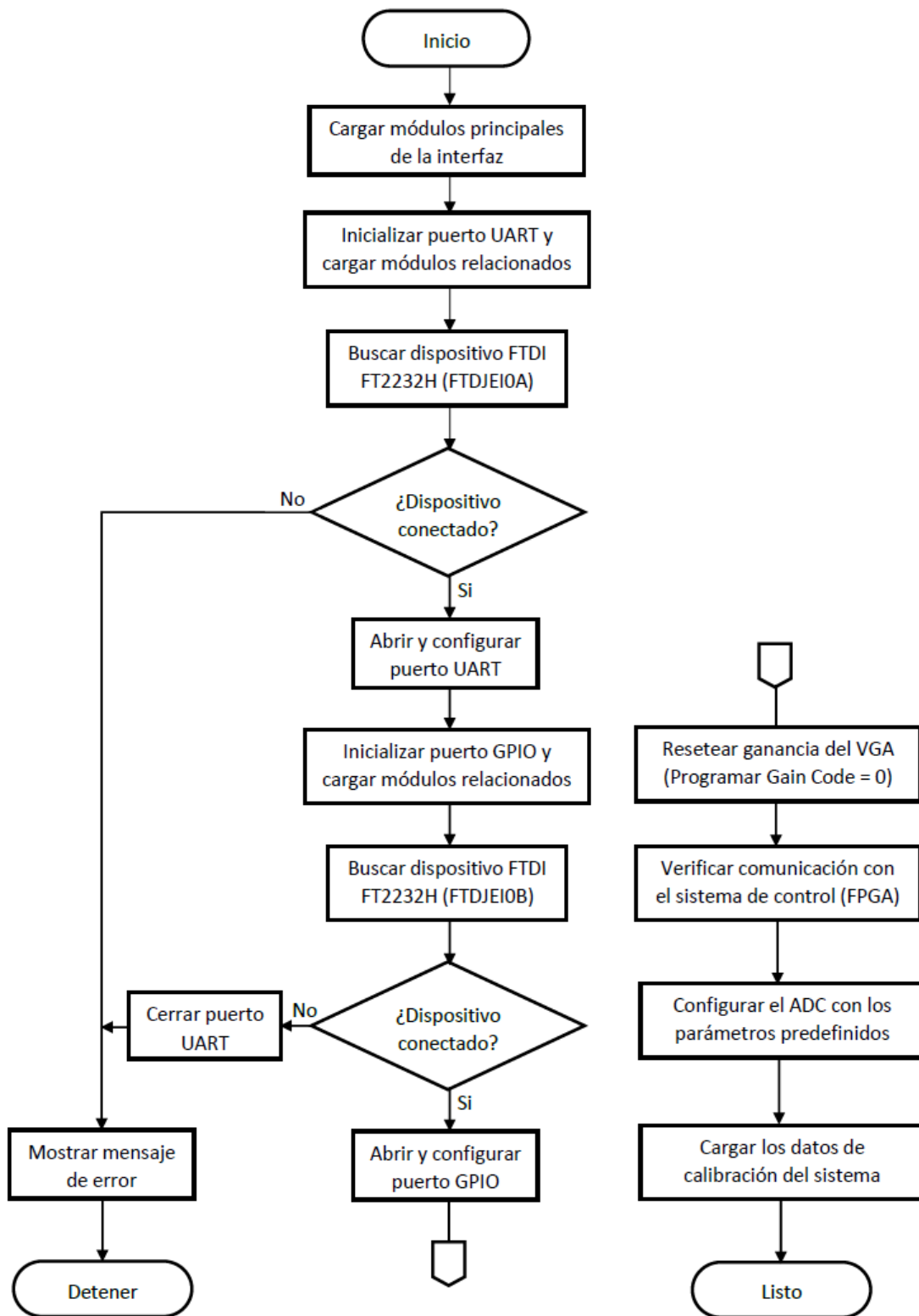


Figura 3.29: Diagrama de flujo de la rutina de inicialización de la interfaz de usuario.

3.5.5.3. Funciones de chequeo, recuperación y cierre

Para verificar la comunicación con el sistema de control en la FPGA puede usarse la función `uart.comm_check()`, que envía un comando inválido y espera la respuesta del sistema, para luego informar el resultado del chequeo. Si el sistema no responde, se puede intentar reestablecer la comunicación usando la función `uart.comm_recovery()`. Ahora, si el sistema permanece bloqueado debe resetearse el control presionando el botón de reseteo (BTN0) de la placa FPGA y luego reinicializar la interfaz usando la siguiente función:

$$Kc, Zs, gain_code, init_ok = reinit_interface(retry = 1)$$

que retorna los vectores con los datos de calibración, el código de ganancia programado y la variable booleana que indica si la interfaz se inicializó correctamente. Mediante el parámetro de entrada `retry` se puede indicar el número de reintentos posibles.

Por otra parte, para cerrar correctamente la interfaz debe ejecutarse la función `close_interface()`, que se encarga primero de cerrar todas las ventanas abiertas y por último cierra los puertos de comunicación UART y GPIO. Luego, puede procederse a cerrar la ventana del IDLE si se desea.

3.5.5.4. Función de programación de ganancia

Para seleccionar manualmente la ganancia del VGA primero se debe establecer el código de ganancia que se desea programar, modificando el valor de la variable `gain_code`, y luego ejecutar la siguiente función:

$$gain_set = uart.gpio.prog_vga(gain_code)$$

donde el rango válido para la variable `gain_code` es de 0 (mínima ganancia) a 15 (máxima ganancia). La función retorna la variable booleana `gain_set` (Verdadero/Falso), que indica si se programó correctamente la ganancia.

3.5.5.5. Función de medición y ploteo de señales

Esta función permite verificar el funcionamiento del sistema realizando una medición y ploteando en gráficos separados las señales diferenciales de tensión adquiridas en los canales de entrada del ADC (*Channel A* y *Channel B*) y sus respectivos espectros de frecuencia (*Channel A FFT* y *Channel B FFT*). Previo a ejecutar esta función por primera vez, se deben generar las figuras donde se plotean los datos medidos llamando a la siguiente función:

$$chadiff, chafft, chbdiff, chbfft = uart.fig_open()$$

que retorna los objetos correspondientes a cada una de las figuras. Luego de generar las figuras, para realizar una medición y graficarla se deberá ejecutar la siguiente función:

$$chadiff, chafft, chbdiff, chbfft = uart.meter_plot(chadiff, chafft, chbdiff, chbfft)$$

que tiene como parámetros de entrada los objetos de las figuras generadas y retorna en el mismo orden los objetos de las figuras con sus datos actualizados. Además, en cada medición se muestra la tensión pico a pico de las señales medidas y se verifica que no se supere ninguno de los límites de tensión establecidos.

3.5.5.6. Función de calibración del sistema

Para realizar la calibración del sistema, llevada a cabo mediante el método descrito en la [Sección 2.4.2](#), se debe ingresar y ejecutar la siguiente función en la ventana de comandos de la interfaz:

$$Kc, Zs, gain_code = \text{uart.meter_calibration}(Zcal1, Zcal2, Gcal1, Gcal2, repeat)$$

Los parámetros de entrada de la función son los valores en ohm de las cargas resistivas de calibración ($Zcal1$ y $Zcal2$), los códigos de ganancia ($Gcal1$ y $Gcal2$) que deben programarse en el VGA en cada caso y la cantidad de repeticiones ($repeat$) que deben realizarse para cada carga. Las variables de salida de la función son los vectores K_C y Z_S , calculados en el proceso de calibración, y el último código de ganancia programado. Además, los datos de calibración quedan guardados en los archivos $Kc.npy$ y $Zs.npy$ dentro de la carpeta $calib_data$, para poder ser cargados automáticamente cuando se inicializa la interfaz.

Para determinar qué valor óptimo de ganancia debe aplicarse en cada caso será necesario utilizar la *función de programación de ganancia* junto con la *función de medición y ploteo de señales*, buscando que la tensión diferencial pico a pico en la entrada del Canal A del ADC no supere el máximo posible pero que al mismo tiempo tenga una amplitud adecuada. Un rango razonable de amplitud es $1,6 V_{pp} < v_{A_{pp}} < 2,6 V_{pp}$.

Además, es importante tener en cuenta que los datos obtenidos de las mediciones realizadas para cada carga de calibración son luego promediados, de modo que utilizar un valor de $repeat$ mayor a uno permite obtener mejores resultados en el proceso. Al ejecutarse la función, primero se hace una copia de seguridad de los datos de calibración previos para poder ser restaurados si hay una falla en el proceso; aun así, si se desea restaurar manualmente esos datos se puede hacer ejecutando la siguiente función:

$$Kc, Zs = \text{uart.restore_cdata}()$$

3.5.5.7. Función de medición simple de impedancia

Esta función realiza una única medición y calcula la impedancia de carga (Z_L) conectada en el puerto de salida (OUT) del sistema. Para ejecutar la función se debe ingresar el siguiente comando:

$$ZL, Zm, gain_code = \text{uart.meter_impedance}(Kc, Zs, gain_code, show_vpp = True, agc_en = True, zplot = True)$$

donde los parámetros de entrada son los vectores con los datos de calibración (K_C y Z_S) y el código de ganancia actual programado en el VGA ($gain_code$). La función incluye

además algunas opciones que se pueden activar o desactivar. Cuando se activa la opción *show_vpp*, se muestra la tensión pico a pico de los canales de entrada diferenciales del ADC. Cuando se activa la opción *agc_en*, se habilita el control automático de ganancia (AGC) del VGA. Cuando se activa la opción *zplot*, se realiza el ploteo de la magnitud y la fase de la impedancia de carga calculada.

La función retorna los vectores complejos con la impedancia de carga calculada (*ZL*) y la impedancia medida en el primario del transformador de acoplamiento (*Zm*), y también retorna el último código de ganancia (*gain_code*) programado por el AGC. Además, el vector de la impedancia de carga medida se guarda automáticamente en el archivo *ZL.npy* dentro de la carpeta *meter_data*.

3.5.5.8. Función de ploteo simple de impedancia

Esta función permite plotear la magnitud y fase, en figuras separadas, de un vector complejo de impedancia. Para ejecutar la función se debe ingresar el siguiente comando:

$$zmag, zphase = \text{uart.figz_plot}(Z, \text{name} = 'Z')$$

donde los parámetros de entrada son la variable con el vector complejo de impedancia que se quiere plotear (*Z*) y el nombre (*name*) de la impedancia que se desea usar para las figuras correspondientes. La función retorna los objetos correspondientes a cada una de las figuras que se plotean (*zmag* y *zphase*). Si desea, por ejemplo, modificar los límites del “eje-y” de cada una de las figuras para una mejor visualización de los datos se pueden usar los siguientes comandos:

$$\begin{cases} zmag.axes.set_ylim(mg_min, mg_max) \\ zphase.axes.set_ylim(ph_min, ph_max) \end{cases}$$

donde *mg_min* y *mg_max* son los límites inferior y superior (en ohms) del gráfico de magnitud correspondiente, mientras que *ph_min* y *ph_max* son los límites inferior y superior (en grados) del gráfico de fase correspondiente.

Si no se cierran las figuras generadas originalmente y se llama a la función con el mismo nombre de figura pero con otro vector de impedancia de entrada, los datos se plotearán en los mismos gráficos que el vector anterior pero con un color de línea distinto para poder distinguirlos.

3.5.5.9. Función de medición múltiple de impedancia

Esta función permite realizar múltiples mediciones de impedancia en forma automática y guardar la impedancia de carga (*ZL*), calculada para medición, en un único vector de impedancias (*Zv*). En este “vector pila” o matriz de impedancias, cada una de las filas corresponde a la impedancia calculada para cada medición individual. Para ejecutar la función se debe ingresar el siguiente comando:

$$Kc, Zs, gain_code, init_ok, Zv = \text{meter_zeta}(Kc, Zs, gain_code, init_ok, \\ en_plot = False)$$

donde los parámetros de entrada son los vectores con los datos de calibración (K_C y Z_S), el código de ganancia actual programado en el VGA (*gain_code*) y la variable booleana (*init_ok*) que indica si la interfaz se encuentra inicializada correctamente. Si se activa la opción *en_plot*, se ploteará la magnitud y la fase de cada una de las impedancias medidas en un único gráfico.

Al ejecutar la función, se le pedirá al usuario que ingrese la cantidad de mediciones que desea realizar, el intervalo en segundos entre mediciones y el nombre del archivo donde se guardarán los datos con las impedancias medidas en el proceso (dentro de la carpeta *meter_data*). Si durante el proceso se produce un error en la comunicación con el dispositivo FTDI (UART/GPIO), el programa intentará automáticamente reinicializar la interfaz (en tres intentos) para poder continuar con el proceso; pero si no es posible hacerlo se detendrá y retornará únicamente las variables de salida sin guardar el archivo de datos. Las variables de salida de la función son los vectores de calibración, el último código de ganancia programado por el AGC, la variable booleana que indica si la interfaz se encuentra inicializada correctamente y el vector pila con las impedancias medidas.

3.5.5.10. Función de ploteo múltiple de impedancia

Esta función permite plotear, en figuras separadas, la magnitud y fase de un “vector pila” o matriz de impedancias. Para ejecutar la función se debe ingresar el siguiente comando:

```
zvmag, zvphase = plot_zeta(Zv, name = 'Zv', allz = True, zmean = False, zmin = False, zmax = False)
```

donde los parámetros de entrada son el vector pila de impedancias que se desea plotear, el nombre del vector para mostrar en las figuras y una serie de opciones de ploteo. Si la opción *allz* está activada, se plotearán todas las impedancias del vector pila en el mismo gráfico con distinto color para distinguirlas; en cambio, si esta opción está desactivada será posible elegir plotear el promedio (*zmean*), el mínimo (*zmin*) y/o el máximo (*zmax*) de las impedancias del vector pila. La función retorna los objetos *zvmag* y *zvphase* de las figuras de magnitud y fase respectivamente.

3.6. Evaluación en entorno de simulación

A partir del modelado del circuito analógico-digital que forma parte del sistema y las herramientas de simulación y procesamiento de datos que se describen en el [Apéndice A](#), se llevaron a cabo simulaciones en el dominio del tiempo con el objetivo de evaluar su comportamiento y poder así determinar la validez de los métodos propuestos para la calibración y la medición de impedancias.

3.6.1. Simulación del método de calibración

La validación del método de calibración se realiza haciendo la simulación, en el dominio del tiempo, de la medición de cada una de dos cargas de referencia de distinto valor, conforme a lo que se describió en la [Sección 2.4.2](#). Los valores para estas cargas son iguales a los de las cargas resistivas de precisión que se usarán posteriormente en el proceso de calibración del sistema real, siendo $R_{L1}=R_{C1}=10\Omega$ y $R_{L2}=R_{C2}=1\Omega$. De esta forma, los datos obtenidos en cada una de las mediciones simuladas son usados para obtener los vectores K_C y Z_S , que sirven para determinar la validez del método de calibración y que son necesarios para las posteriores simulaciones de medición de cargas de distinto tipo.

En la Figura 3.30 se muestran los gráficos de módulo y fase del vector K_C obtenido en la simulación del método de calibración. Se puede observar, como es de esperar para este caso, que la magnitud del vector está en torno a la unidad para las frecuencias centrales de la banda de medición y que tiende a alejarse de este valor hacia los extremos de la misma. Este efecto se produce como compensación de una ligera variación de magnitud en la transferencia de los amplificadores de instrumentación debido al filtrado pasa-banda que se aplica a las señales al amplificarlas. Para el caso de la fase se observa un efecto similar, donde la misma es de unos pocos grados en el centro de la banda de medición pero hacia los extremos se incrementa para compensar la variación fase que se introduce por el filtro pasa-banda. Por otro lado, en la Figura 3.31 se muestran los gráficos de módulo y fase del vector Z_S obtenido en la simulación del método de calibración. Aquí se puede ver que las curvas de magnitud y fase de este vector se condicen, prácticamente, con las esperadas para la impedancia de un circuito serie LC ideal. Se puede concluir, entonces, que el método de calibración empleado es el adecuado ya que permite caracterizar correctamente aquellos parámetros del circuito que no fueron modelados analíticamente.

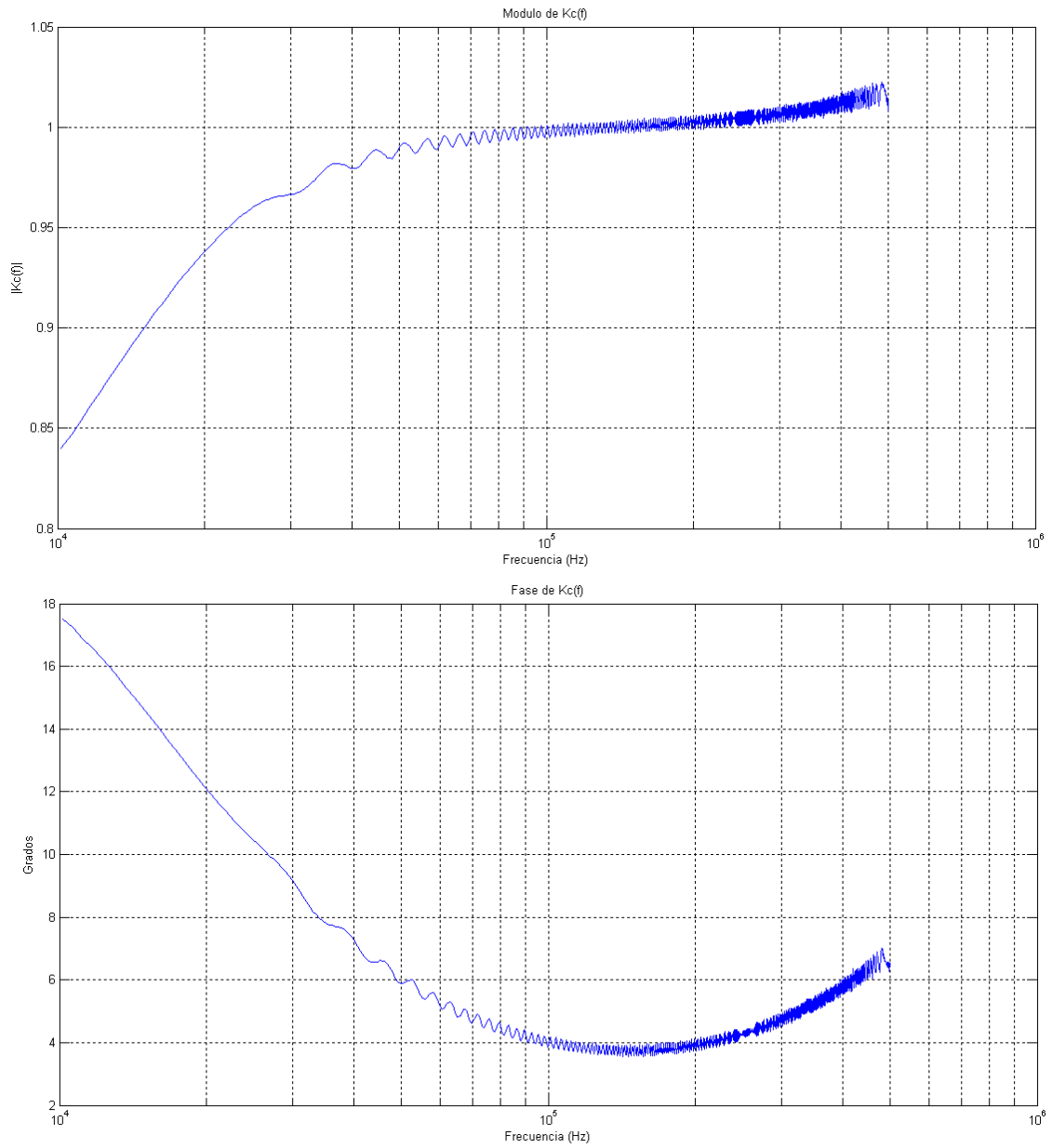


Figura 3.30: Módulo y fase del vector K_C obtenido para el sistema simulado.

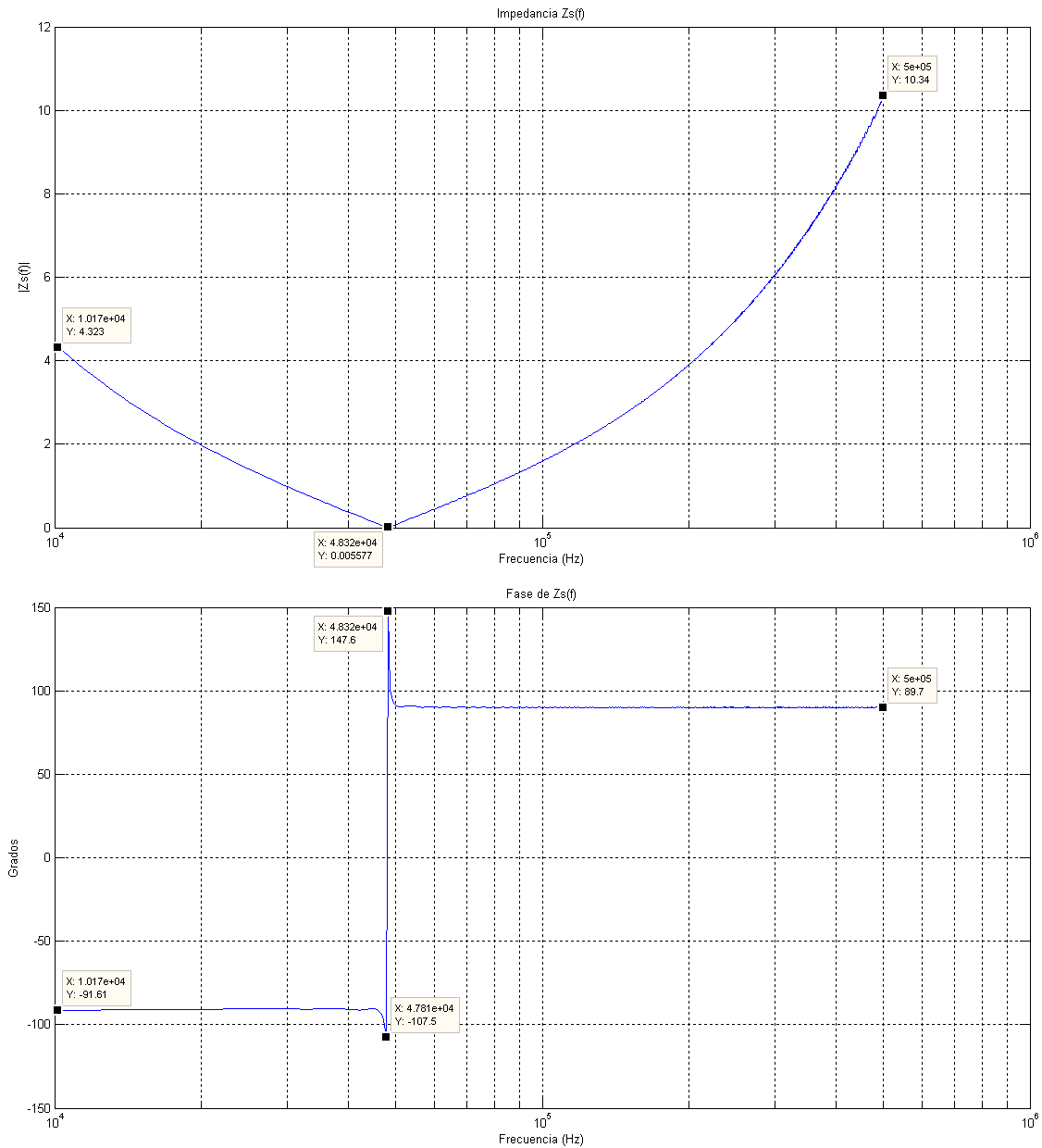


Figura 3.31: Módulo y fase del vector Z_s obtenido para el sistema simulado.

3.6.2. Simulación del método de medición

Una vez obtenidos los parámetros de calibración y con el objetivo de verificar el método de medición, procesamiento y cálculo de impedancia empleado por el sistema, se llevan a cabo simulaciones de mediciones de cargas de distintos tipos y valores. En un primer paso, se determinan los vectores de impedancia para el caso de usar cargas resistivas con un rango de valores entre 1Ω y 20Ω , cuyos resultados de magnitud y fase se muestran en el gráfico de la Figura 3.32. Considerando que, en un caso ideal, la impedancia de una carga resistiva tiene una magnitud constante y una fase nula, los resultados muestran claramente que el error en la medición de estas cargas es prácticamente despreciable.

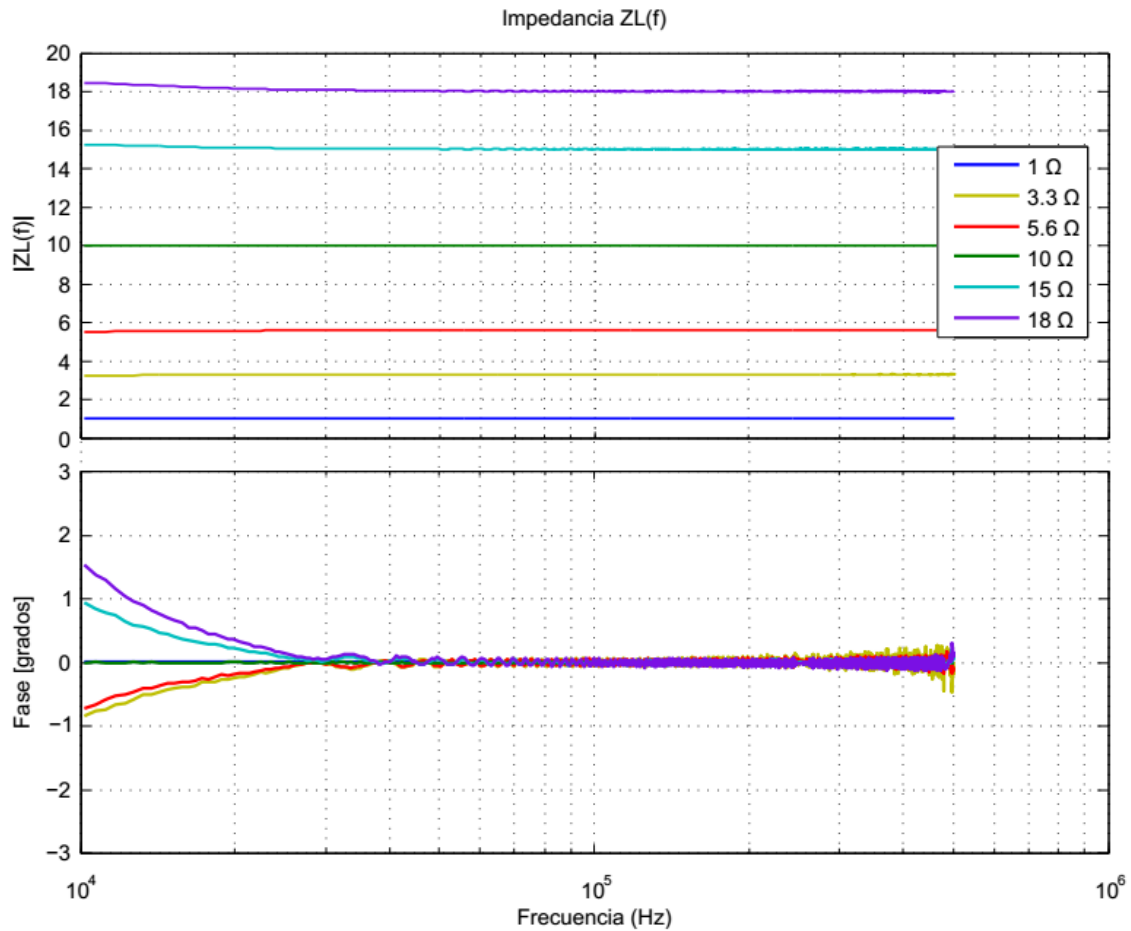


Figura 3.32: Magnitud y fase de la impedancia para diferentes cargas resistivas.

En un segundo paso, teniendo en cuenta que la impedancia de línea tiene características complejas, se realizaron simulaciones de mediciones sobre cargas complejas de diferentes tipos, cuyos resultados de magnitud y fase se muestran en el gráfico de la Figura 3.33. Nuevamente se puede observar que los resultados obtenidos son similares a las impedancias teóricas correspondientes a cada una de esas diferentes cargas complejas, con un error mínimo de magnitud y un error de fase acotado hacia los extremos de la banda de medición.

En conclusión, las simulaciones de medición de cargas conocidas fueron satisfactorias ya que permitieron validar el diseño planteado para el sistema de caracterización de impedancia propuesto.

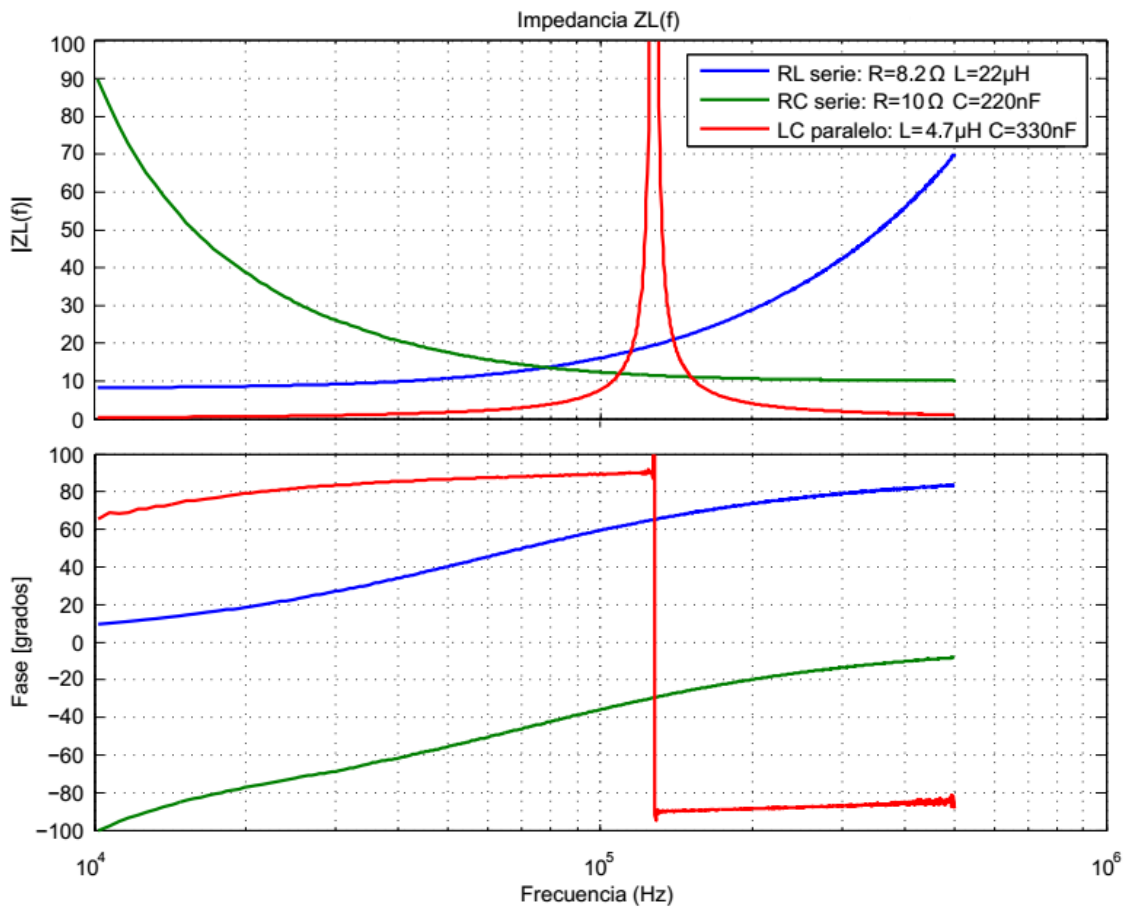


Figura 3.33: Magnitud y fase de la impedancia para cargas complejas.

4. Resultados experimentales

El circuito PLC del sistema propuesto fue implementado sobre un PCB de doble capa, el cual se conecta a la placa de desarrollo en FPGA *Digilent Spartan-3 Starter Kit Board* y al dispositivo de comunicación *FTDI FT2232H Mini Module*, para luego vincularlo con la interfaz de usuario en la PC por medio de un puerto USB. La Figura 4.1 muestra el sistema completo armado.

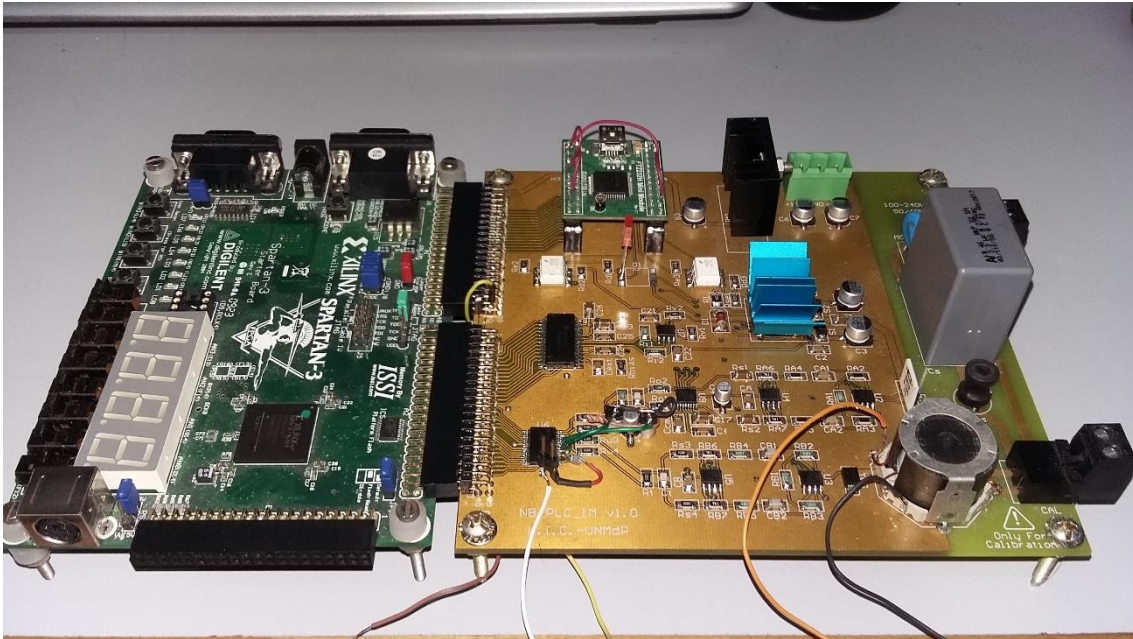


Figura 4.1: Sistema PLC de banda angosta para la caracterización de la impedancia de la red eléctrica.

Con el objetivo de evaluar el desempeño del sistema de caracterización de impedancia y comprobar el correcto funcionamiento del circuito que lo implementa, se realizaron una serie de mediciones sobre cargas de prueba y sobre la red eléctrica de baja tensión del Laboratorio de Instrumentación y Control. Esto se hizo, como corresponde, luego de llevar a cabo el proceso de calibración previo que requiere el sistema de medición. La calibración del mismo se hizo ejecutando la correspondiente *función de calibración del sistema* y usando para el proceso dos cargas resistivas de precisión, $Z_{CAL1} = 10 \Omega$ y $Z_{CAL2} = 1 \Omega$, con un total de cinco repeticiones sobre cada carga.

En la Figura 4.2 se muestran los gráficos de magnitud y fase del vector K_C obtenido en el proceso de calibración. Las características que se observan para K_C son similares a las obtenidas en los resultados de simulación (ver Figura 3.30), es decir, la magnitud del vector es cercana a la unidad para las frecuencias centrales de la banda de medición pero tiende a reducir su valor hacia los extremos de la misma; lo que corrige la variación de magnitud producida por la transferencia del filtro pasa-banda aplicado a las señales medidas. Se observa el mismo efecto sobre la fase, la cual se incrementa hacia los extremos de la banda para compensar la variación de fase que introduce el filtro pasa-banda.

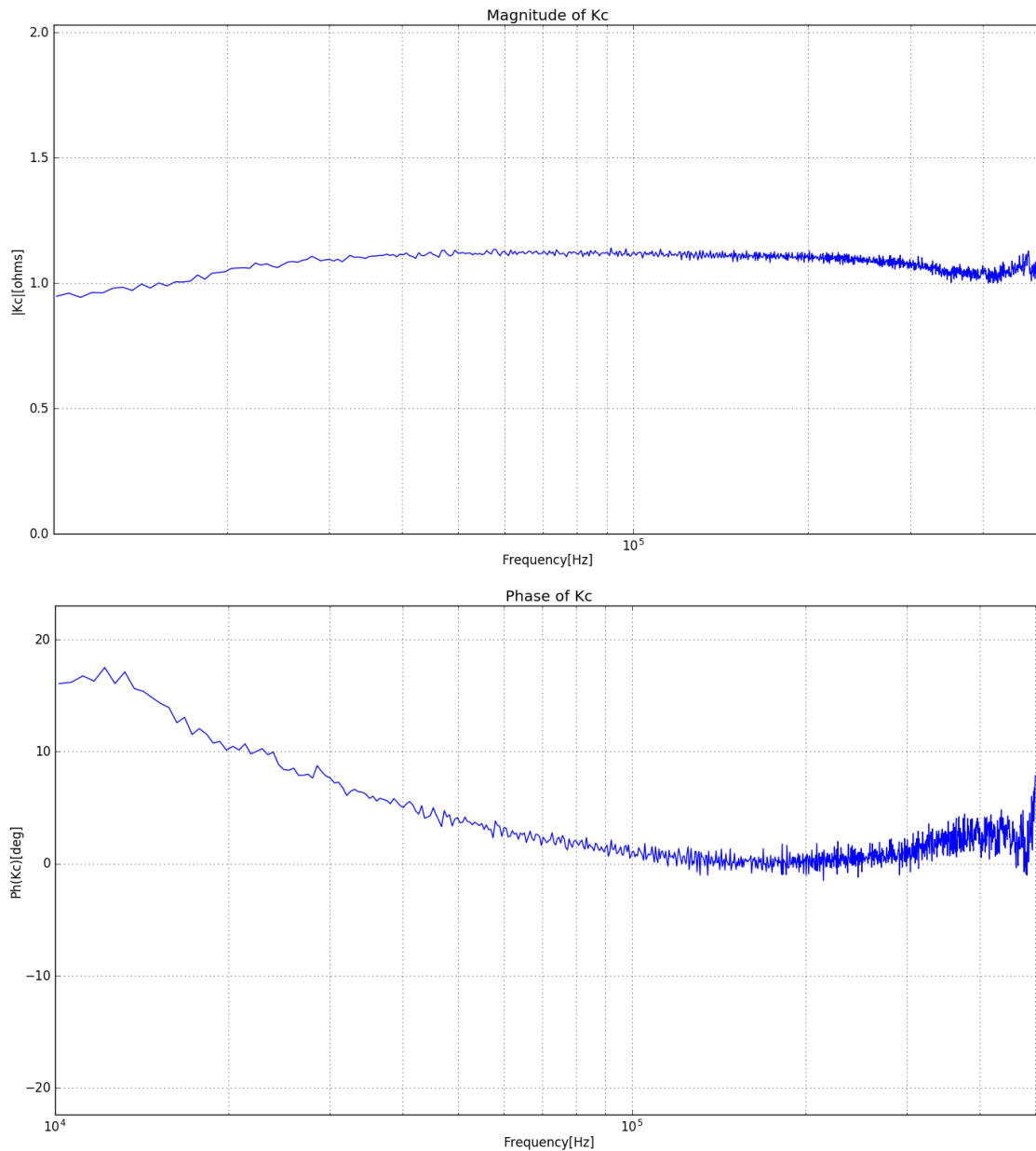


Figura 4.2: Magnitud y fase del vector K_C .

Por otro lado, en la Figura 4.3 se muestran los gráficos de magnitud y fase del vector Z_S obtenido en el proceso de calibración. Nuevamente, las características que se observan para Z_S son similares a las obtenidas en los resultados de simulación (ver Figura 3.31), es decir, las curvas de magnitud y fase se condicen aproximadamente con las esperadas para la impedancia de un circuito serie LC ideal, aunque se puede apreciar una ligera variación en la frecuencia central obtenida. Esto es, claramente, debido a la dispersión en los valores reales de los componentes del filtro de salida del acoplador.

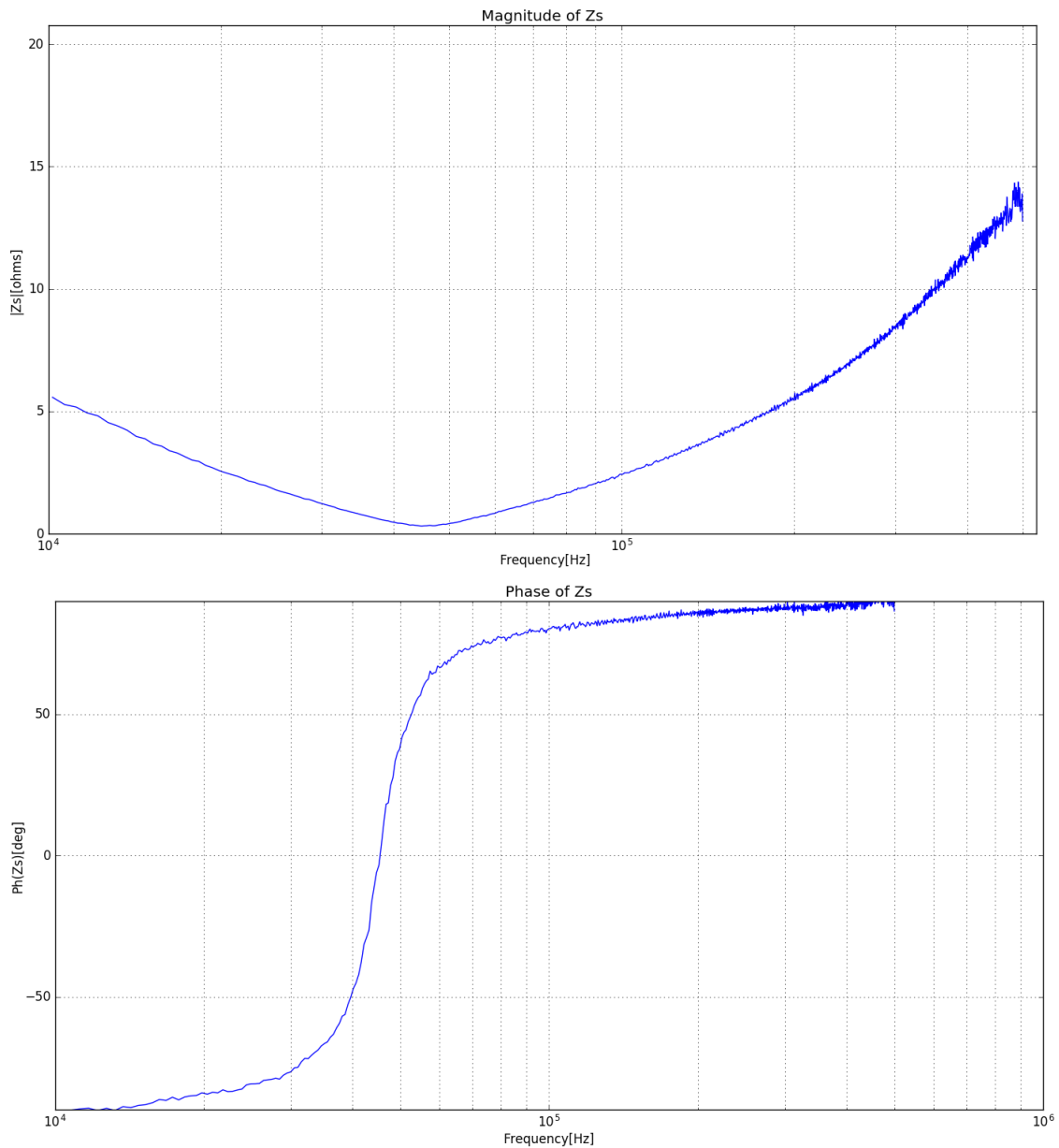


Figura 4.3: Magnitud y fase del vector Z_s .

El siguiente paso consistió en realizar las mismas mediciones de cargas resistivas y complejas que se hicieron durante las simulaciones del sistema para poder comparar los resultados obtenidos. En la Figura 4.4 se muestran los resultados obtenidos para mediciones de impedancia sobre cargas resistivas de diferentes valores. Tal como se pudo observar en los resultados de las simulaciones (ver Figura 3.32), el error de magnitud en la medición de cargas resistivas es prácticamente despreciable aunque, en este caso, si bien el error de fase está acotado, su valor tiende a ser más ruidoso hacia las frecuencias superiores de la banda.

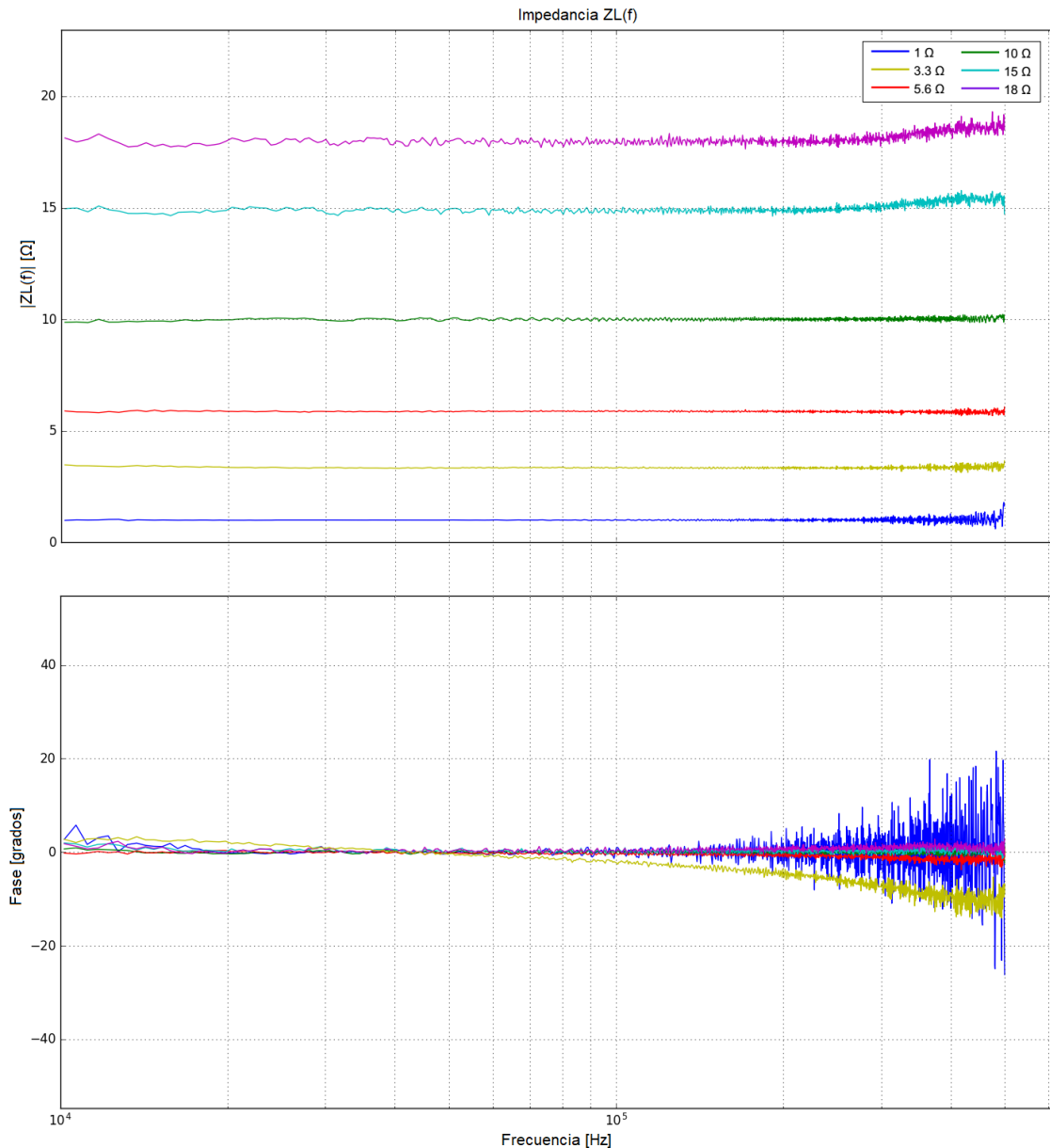


Figura 4.4: Magnitud y fase de la impedancia Z_L para diferentes cargas resistivas.

El siguiente ensayo consistió en realizar las mediciones de impedancia sobre cargas complejas de distinto tipo, cuyos resultados se muestran en la Figura 4.5. De forma similar a lo observado en las simulaciones (ver Figura 3.33), se puede concluir que los resultados obtenidos se condicen, de forma aproximada, con las impedancias teóricas correspondientes a cada una de esas diferentes cargas complejas. Se nota, nuevamente, que existe un mayor ruido en la medición de fase hacia las frecuencias superiores.

En conclusión, las mediciones de prueba sobre cargas conocidas fueron satisfactorias pues permitieron validar que el rendimiento del sistema es el adecuado y acorde a lo observado en las simulaciones.

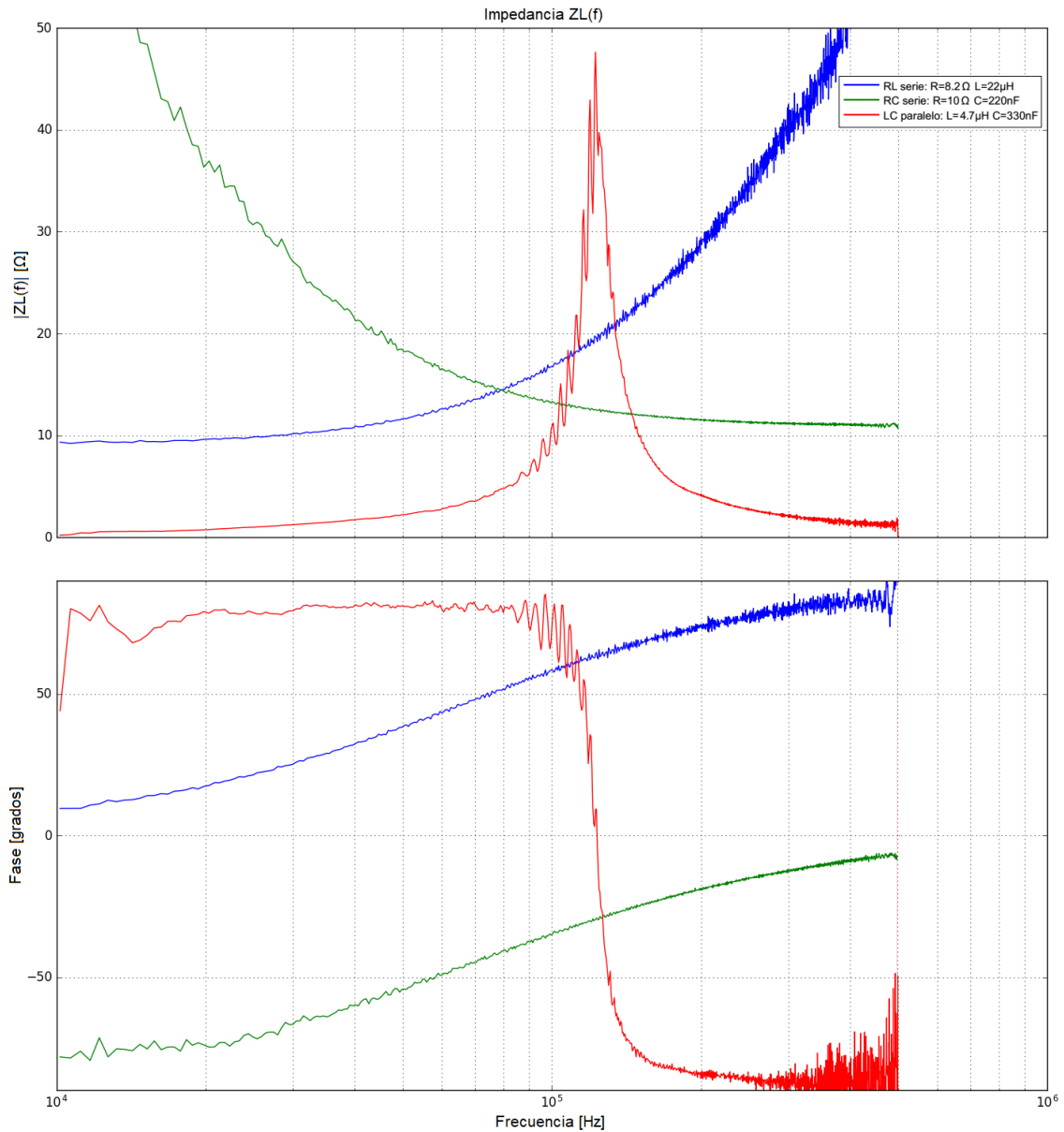


Figura 4.5: Magnitud y fase de la impedancia Z_L para cargas complejas.

Por último, se conectó el sistema a la red eléctrica de baja tensión del laboratorio y se comprobó, en primera medida, que las protecciones contra sobretensiones y transitorios de línea funcionaran correctamente. Luego, se procedió a realizar un total de diez mediciones de impedancia sobre la red eléctrica, espaciadas un minuto entre ellas, para verificar la estabilidad del sistema durante un proceso de caracterización automático. En la Figura 4.6 se muestran los resultados obtenidos, en magnitud, del conjunto de mediciones sobre la impedancia de línea. Se puede ver que la magnitud de las impedancias es menor a 10Ω en la mayor parte de la banda angosta de PLC y particularmente en las bandas CENELEC [13] se observa una magnitud menor a 5Ω , llegando a ser tan baja como 1Ω .

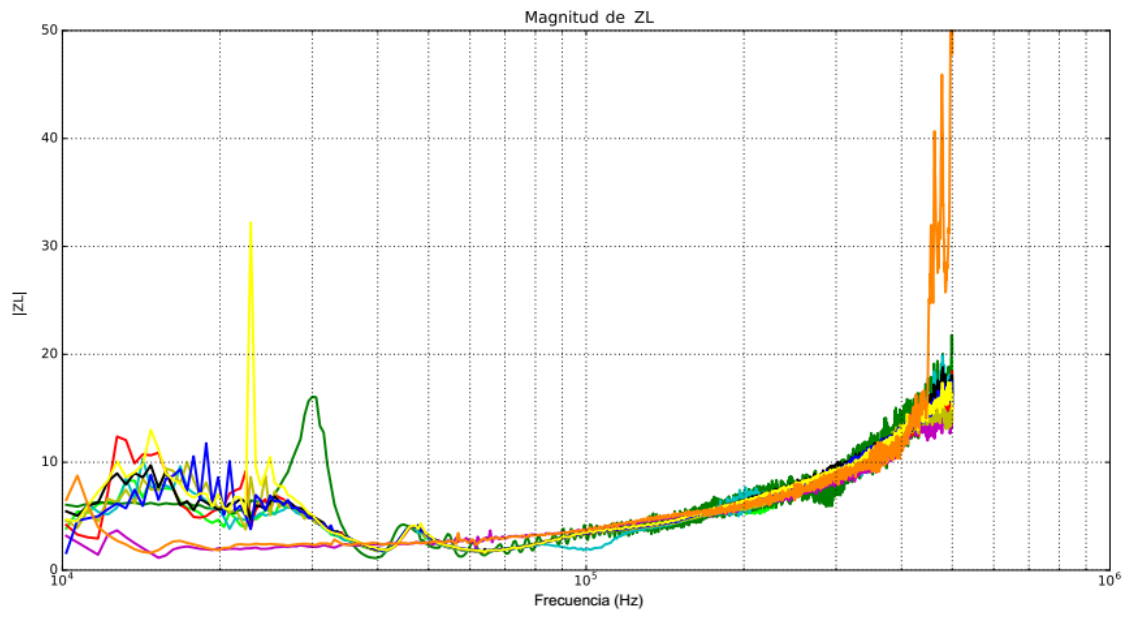


Figura 4.6: Magnitud de la impedancia de línea para un total de diez mediciones.

5. Conclusiones

En este trabajo de tesis se describió la problemática asociada a las características particulares que presenta la impedancia de la red eléctrica para las aplicaciones y dispositivos PLC que deban operar en la banda angosta de las comunicaciones de este entorno. En consecuencia, se propuso desarrollar un sistema de caracterización de impedancia para la banda de frecuencias comprendida entre 10 kHz y 500 kHz.

En primer lugar, se presentó el método de medición, procesamiento y cálculo empleado, y los criterios de diseño que son necesarios para la implementación de las distintas partes que componen al sistema. Luego, se realizaron simulaciones para corroborar la validez del diseño propuesto. Con el sistema armado, se realizaron mediciones sobre cargas de prueba que permitieron comprobar, al ser contrastadas con los resultados de las simulaciones, que el desempeño del sistema implementado es el adecuado. Por último, se presentaron mediciones sobre una red eléctrica real que permitieron ver que la magnitud de la impedancia es inferior a 10Ω en la mayor parte de la banda de frecuencias, llegando incluso a ser del orden de 1Ω . Esto demuestra la necesidad de generar módems PLC de banda angosta con una mayor capacidad de inyección de corriente, de modo de mejorar el alcance de las comunicaciones sobre la red eléctrica de baja tensión.

Apéndice A

A. Modelado y simulación del sistema

Para simular el comportamiento del circuito que implementa al sistema y obtener su respuesta tanto en el dominio del tiempo como en el de la frecuencia, se decide utilizar el programa de simulación de circuitos *NL5 Circuit Simulator* [57]. En el caso de las simulaciones en el dominio del tiempo, el control del proceso, el procesamiento de las señales adquiridas del circuito simulado y la presentación de gráficos con los resultados obtenidos, se hace utilizando el programa de software matemático *MATLAB* [58]. Para ello se utiliza una función que permite vincular ambos programas [59], de modo que desde *MATLAB* es posible iniciar una simulación del circuito en el *NL5*, indicando que señales se desean adquirir y a qué intervalos de tiempo, y al finalizar importar los datos obtenidos de las señales para su procesamiento. En la Figura A.1 se muestra el esquemático del circuito modelado en el programa *NL5* para realizar las simulaciones.

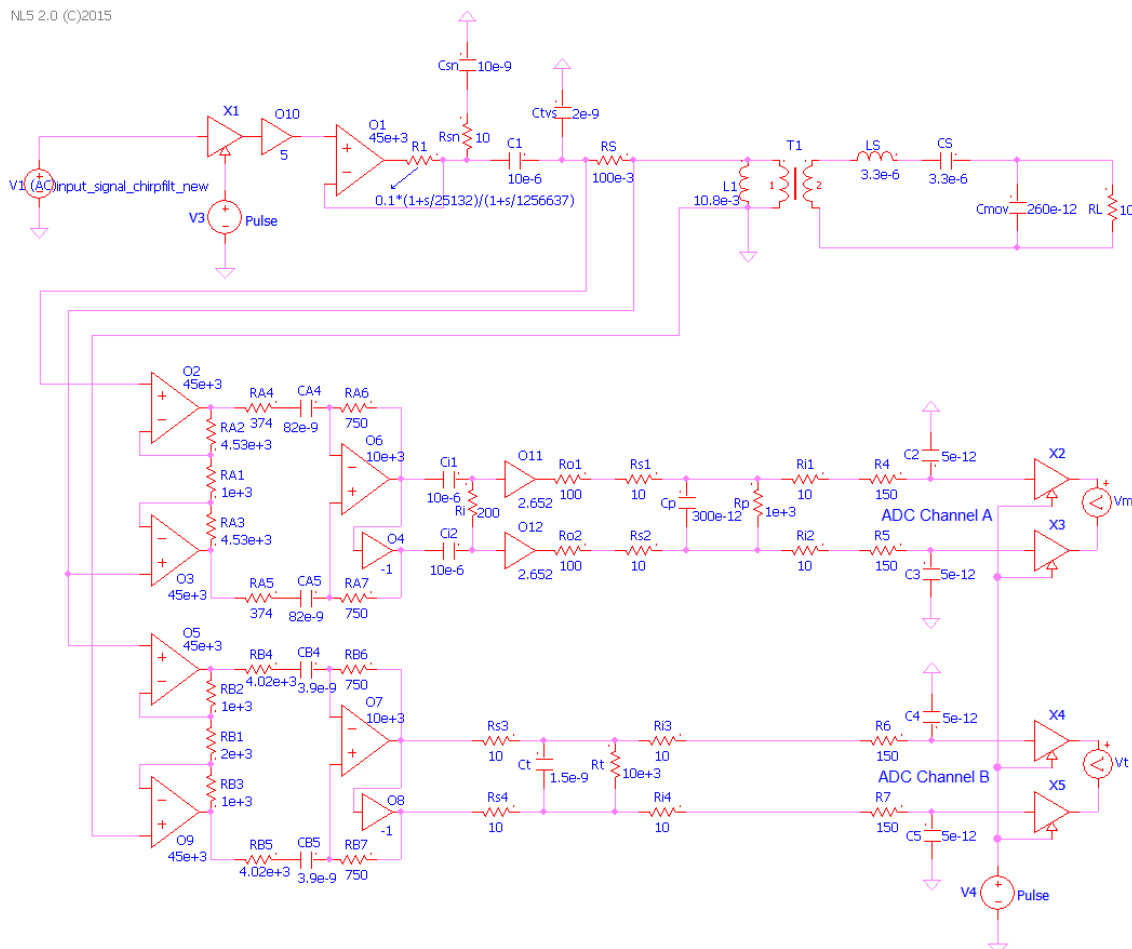


Figura A.1: Esquemático del circuito simulado en el programa *NL5*.

A.1. Modelos de simulación

En esta sección se describen los modelos y parámetros de simulación empleados en el programa NL5 para simular el comportamiento de los distintos componentes del circuito analógico-digital que forma parte del sistema.

A.1.1. Amplificadores operacionales (OPA564, THS4032, THS4130)

Para simular el comportamiento de los amplificadores operacionales de los circuitos integrados OPA564, THS4032 y THS4130, se utilizará el modelo de amplificador operacional diferencial disponible en la librería de componentes del programa NL5 [60]. Este modelo de amplificador diferencial basa su respuesta en frecuencia en un polo simple y requiere definir algunos parámetros importantes como la ganancia a lazo abierto (A_{OL}), la frecuencia de ganancia unitaria (f_{0dB}) y los límites de tensión de salida (V_{HI} y V_{LO}).

Para el caso del amplificador OPA564, la ganancia típica a lazo abierto para las condiciones de operación, $V_{OUT} = 20V_{PP}$ y $R_{LOAD} = 10\Omega$, es de 93dB según la información provista en la tabla “Electrical Characteristics” de su hoja de datos [30]. La frecuencia de ganancia unitaria se puede extrapolar del gráfico de la Figura A.2 (extraído de la hoja de datos), que para la ganancia A_{OL} utilizada es de aproximadamente 3 MHz.

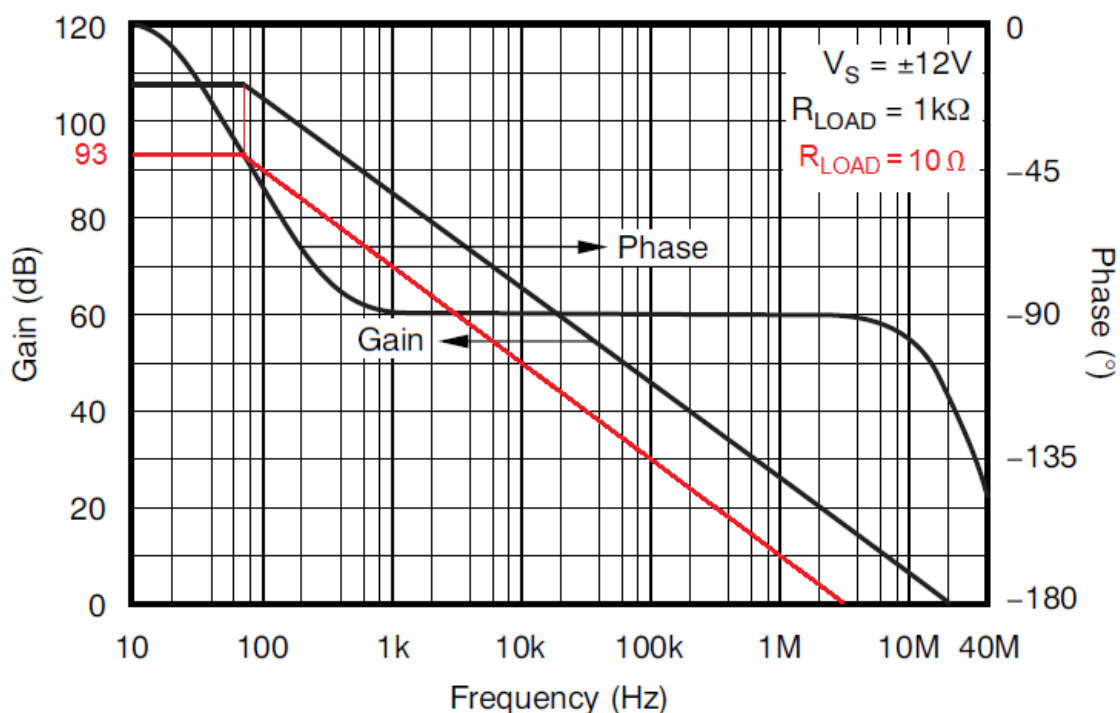


Figura A.2: Ganancia / Fase vs. Frecuencia (OPA564) [30].

Además, ya que los valores de impedancia de carga esperados son relativamente bajos, es importante que la impedancia de salida del OPA564 también sea caracterizada adecuadamente para incluirla en su modelo de simulación. Partiendo del gráfico de la Figura A.3, que muestra la impedancia de salida a lazo cerrado para ganancia unitaria y

sin carga, se puede deducir la expresión de la impedancia de salida en función de la frecuencia (para la banda de frecuencias de interés):

$$Z_o(s) \cong 0,1 \frac{\left(1 + \frac{s}{2\pi \cdot 4000}\right)}{\left(1 + \frac{s}{2\pi \cdot 200000}\right)} \quad (\text{A.1})$$

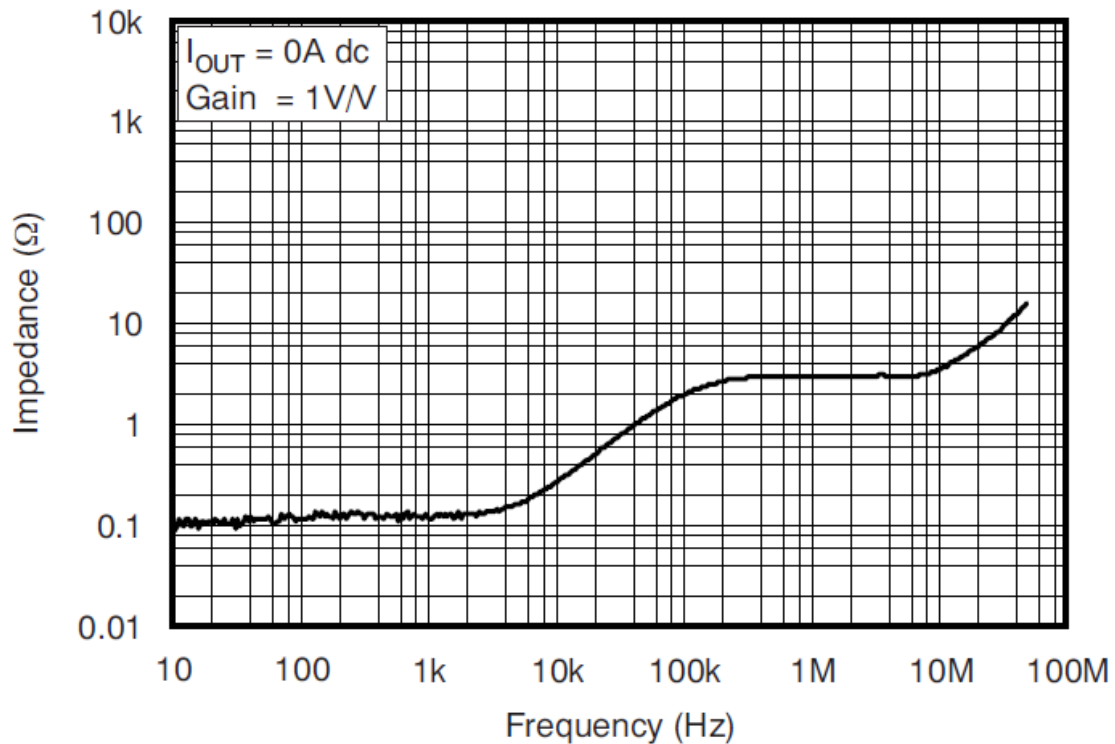


Figura A.3: Impedancia de salida a lazo cerrado sin carga (OPA564) [30].

En el caso del amplificador THS4032, según la información disponible en su hoja de datos para condiciones similares a las de operación, se tiene que la mínima ganancia a lazo abierto es de 93dB y la correspondiente frecuencia de ganancia unitaria es 100 MHz [32]. Mientras que para el caso del amplificador THS4130, de su hoja de datos se obtiene que la ganancia típica de lazo abierto es de 80dB y la frecuencia de ganancia unitaria es aproximadamente 100 MHz [41].

A.1.2. Amplificador de ganancia variable (VGA)

Para la simulación del amplificador de ganancia variable AD8369 se utilizará el modelo de amplificador lineal con su ganancia K definida igual a G_{VGA} (cuyo valor depende del código de ganancia usado), y con su impedancia diferencial de entrada y de salida configurada para ser igual a 200Ω .

A.1.3. Conversor analógico-digital (ADC)

Para simular el funcionamiento de los canales de entrada diferenciales del ADC se utiliza como referencia el esquemático de la Figura A.4, que representa el circuito de

entrada analógica equivalente del THS1206 en el modo diferencial [61]. La arquitectura consiste en un amplificador diferencial de muestreo y retención, cuya impedancia de entrada (en cada terminal) es vista como una resistencia serie de 150Ω y un capacitor de 5 pF conectado a tierra. La señal de entrada analógica se muestrea con los capacitores C_S , mientras que los interruptores S_S están cerrados y los interruptores S_H están abiertos. Durante la retención, los interruptores S_H están cerrados, los interruptores S_S están abiertos y la carga de los capacitores de muestreo se transfiere a los capacitores C_H y queda disponible en la salida del amplificador. Este comportamiento puede simularse de forma simple en el NL5 usando el modelo de muestreo/retención para cada canal de entrada (AINP y AINM) y configurando su señal de reloj a la frecuencia de muestreo a la que opera el ADC, y luego registrando las muestras obtenidas de cada señal mediante un voltímetro virtual. Finalmente, estas muestras de tensión son cuantificadas, en el programa MATLAB, al rango de valores de 12 bits del ADC antes de ser usadas en los cálculos.

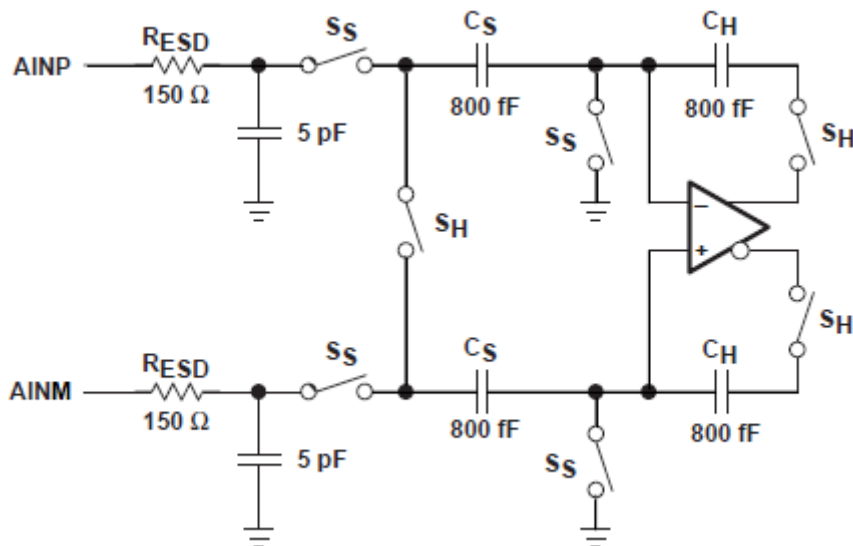


Figura A.4: Esquema de entrada analógica equivalente del ADC (THS1206) [61].

A.1.4. Conversor digital-analógico (DAC)

Para simular el funcionamiento del DAC se utiliza el modelo de fuente de tensión configurado para generar su señal de salida a partir de un archivo CSV que fue generado previamente en MATLAB [62], el cual contiene las muestras de amplitud de la señal $chirp(k)$, cuantificadas al rango de valores de 12 bits, y las muestras de tiempo del vector $t(k)$. Luego, la señal generada ingresa a un amplificador de muestreo/retención, configurado para operar a la frecuencia de actualización del DAC, cuya salida es posteriormente pre-amplificada al nivel adecuado antes de alimentar la entrada del modelo del amplificador de potencia.

A.1.5. Transformador de acoplamiento (T_A)

El transformador de acoplamiento se simula usando el modelo de transformador ideal, indicando la cantidad de vueltas del primario ($N_1=36$) y la cantidad de vueltas del secundario ($N_2=12$), lo que determina la relación de vueltas usada. Además, se coloca en paralelo con el primario un inductor cuyo valor es igual al valor teórico de la inductancia magnetizante ($L_M=10.8\text{mH}$), que se obtiene en base al factor de inductancia del núcleo de ferrite que se utiliza en el transformador [70] y la cantidad de vueltas del primario. En el modelo no se incluyen las inductancias de pérdidas.

A.2. Respuesta en frecuencia (Bode)

Mediante la herramienta de análisis en frecuencia incluida en el programa NL5 se llevó a cabo una simulación de la respuesta en frecuencia de todo el circuito, obteniéndose como resultado el Bode de la Figura A.5. Este gráfico muestra las amplitudes de las señales de tensión y corriente en distintos puntos del circuito para el caso de usar una carga resistiva (R_L) de $10\ \Omega$.

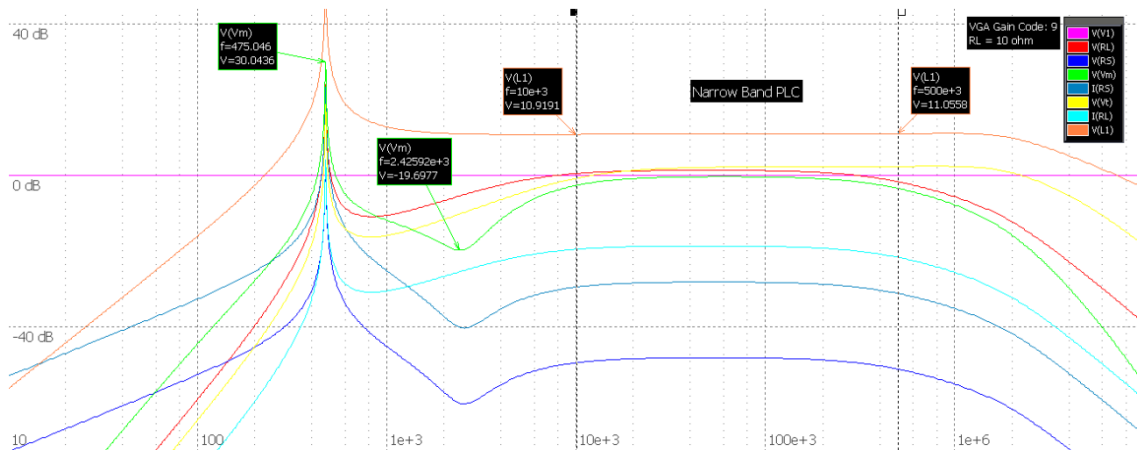


Figura A.5: Respuesta en frecuencia del circuito simulado ($R_L=10\Omega$).

En la zona entre 10 kHz y 500 kHz, marcada como “Narrow Band PLC”, se puede observar el efecto del filtro pasa-banda del acoplador. La transferencia de este filtro, analizándolo como un circuito RLC serie, se puede expresar como [63]:

$$\frac{V_{R_L}}{V_{SEC}} = \frac{s \left(\frac{R_L}{L_S} \right)}{s^2 + s \left(\frac{R_L}{L_S} \right) + \frac{1}{L_S C_S}} = \frac{2\alpha \cdot s}{s^2 + 2\alpha \cdot s + \omega_0^2} \quad (\text{A.2})$$

donde V_{SEC} es la tensión en el bobinado secundario del transformador de acoplamiento y $\omega_0 = 1/\sqrt{L_S C_S}$ es la frecuencia de resonancia del filtro. El término α corresponde al amortiguamiento, que es causado por la componente resistiva del circuito. Las frecuencias de corte inferior y superior del filtro son:

$$\begin{cases} \omega_{inf} = -\alpha + \sqrt{\alpha^2 + \omega_0^2} \\ \omega_{sup} = \alpha + \sqrt{\alpha^2 + \omega_0^2} \end{cases} \quad (\text{A.3})$$

El factor de amortiguamiento del filtro determina que tan uniforme es la transferencia del filtro, y se expresa como:

$$\xi = \frac{\alpha}{\omega_0} = \frac{R_L}{2} \sqrt{\frac{C_S}{L_S}} \quad (\text{A.4})$$

siendo $\xi > 1$ la condición en la que el circuito está sobre-amortiguado (transferencia más plana), y $\xi < 1$ la condición en la que está sub-amortiguado (transferencia con sobrepico). El ancho de banda, medido como la diferencia entre las frecuencias de corte superior e inferior del filtro, se relaciona con el factor de amortiguamiento con la siguiente expresión:

$$\Delta\omega = \omega_{sup} - \omega_{inf} = 2\alpha = 2\xi\omega_0 \quad (\text{A.5})$$

Por lo tanto, se puede concluir que cuando la componente resistiva de la carga es de un valor relativamente grande, se tiene un circuito RLC sobre-amortiguado, lo que resulta en un filtro con mayor ancho de banda y una transferencia más uniforme. Mientras que si la componente resistiva de la carga es de un valor relativamente bajo, se tiene un circuito RLC sub-amortiguado, lo que resulta en un filtro con menor ancho de banda y una transferencia menos uniforme, ya que el pico de amplitud a la frecuencia de resonancia se hace más evidente. Esto último se puede observar en el Bode de la Figura A.6, que corresponde al caso de tener una carga resistiva (R_L) de 1Ω .

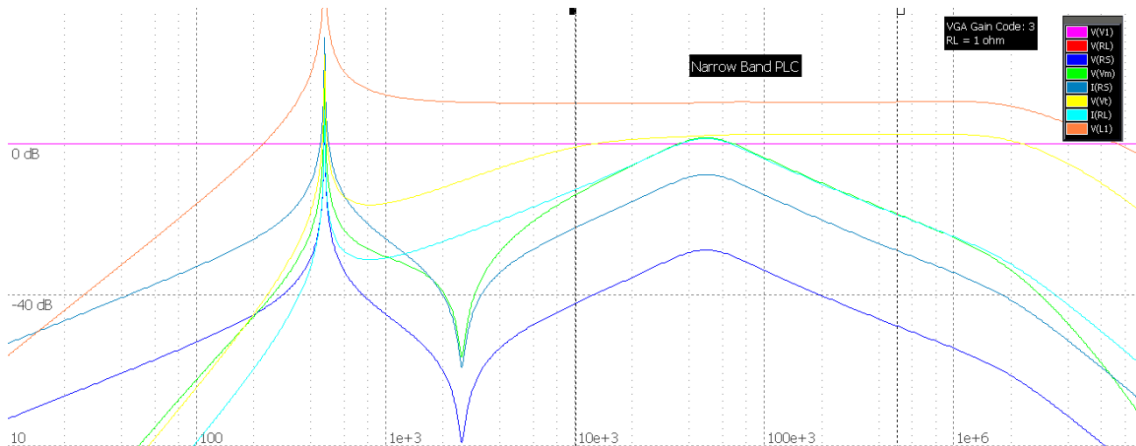


Figura A.6: Respuesta en frecuencia del circuito simulado ($R_L=1\Omega$).

Este efecto en el ancho de banda del filtro, como consecuencia de una carga que será inevitablemente variable, evidencia la importancia de elegir una frecuencia de resonancia que garantice una adecuada simetría en la transferencia del filtro pasa-banda del acoplador con respecto a la banda de interés.

Otro efecto notable en la respuesta es el sobre-pico en la amplitud de tensión inyectada por el amplificador de potencia a baja frecuencia, y que corresponde a la transferencia del filtro pasa-alto formado entre el capacitor de acoplamiento a la salida del amplificador de potencia ($C_{LV} = C_1$) y la inductancia magnetizante ($L_M = L_1$) del transformador de acoplamiento:

$$\frac{V_{PRI}}{V_{o(OPA)}} \cong \frac{s^2 L_1 C_1}{s^2 L_1 C_1 + 1} \quad (A.6)$$

donde V_{PRI} es la tensión en el bobinado primario del transformador de acoplamiento y $V_{o(OPA)}$ es la tensión a la salida del amplificador de potencia. En este caso la frecuencia donde se produce el sobre-pico en la tensión inyectada es $\omega_c = 1/\sqrt{L_1 C_1}$, que corresponde a la frecuencia de corte del filtro pasa-alto. Este efecto evidencia la necesidad de filtrar adecuadamente las componentes de baja frecuencia de la señal inyectada por el amplificador de potencia para que no afecten la medición de señales que se realiza posteriormente.

Por último, se observa que sobre la señal de corriente primaria, que circula por R_s , existe una mayor atenuación en la zona entre 1 kHz y 10 kHz, y que corresponde al efecto de filtrado que provoca el circuito resonante paralelo formado entre la inductancia magnetizante ($L_M = L_1$) y la carga del secundario reflejada al primario. Considerando que $L_S \ll L_M$, se obtiene la siguiente aproximación para la corriente que circula por R_s en la zona de frecuencias mencionada:

$$I_{PRI} = I_{R_S} \cong V_{PRI} \frac{s^2 L_1 C'_S + s R'_L C'_S + 1}{s L_1 (s R'_L C'_S + 1)} \quad (A.7)$$

$$\text{para } L'_S \ll L_1 \text{ y } 1 \text{ kHz} < f < 10 \text{ kHz}$$

donde $L'_S = L_S N_t^2$, $C'_S = C_S / N_t^2$ y $R'_L = R_L N_t^2$. La impedancia del circuito resonante paralelo tiene un pico de magnitud a la frecuencia $\omega_r = 1/\sqrt{L_1 C'_S}$, lo que se traduce en un pico de atenuación para la corriente en R_s . La amplitud del pico es menor cuanto mayor es la componente resistiva de la carga reflejada al primario. Este pico de atenuación en la señal de corriente evidencia la necesidad de usar un transformador de acoplamiento con una inductancia magnetizante de valor suficientemente grande para lograr que este efecto, que también es variable con la carga, esté por debajo de la frecuencia inferior de la banda y no afecte la medición de ésta señal.

Además, es importante analizar la respuesta en frecuencia del circuito para las señales que se acoplan desde la red eléctrica. En la Figura A.7 se muestra el Bode con la magnitud de varias señales de importancia para el caso de conectar, a la salida del acoplador, una fuente de tensión de referencia con amplitud de 1 Vrms.

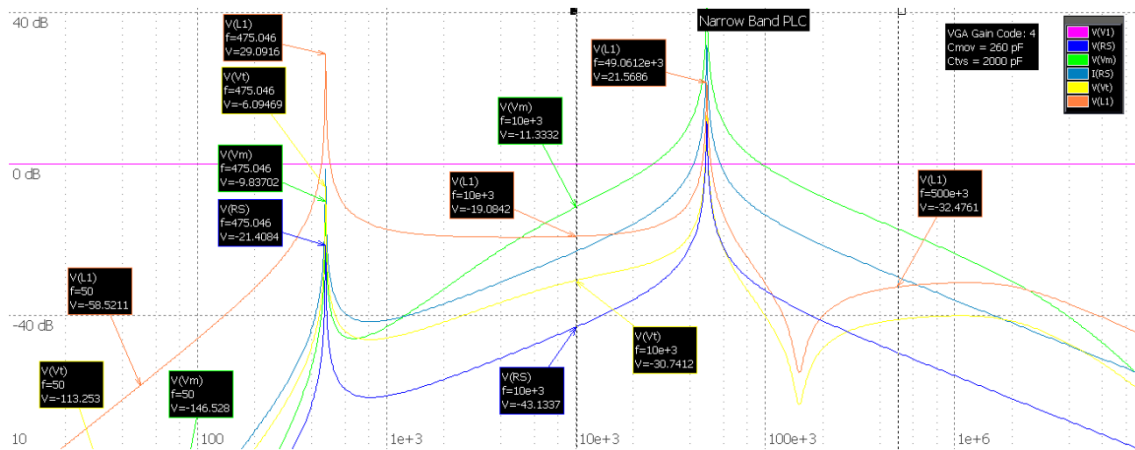


Figura A.7: Respuesta en frecuencia del circuito para señal inyectada en la salida.

Aquí se puede ver el nivel de atenuación que habrá para las componentes de baja frecuencia que se puedan acoplar desde la red eléctrica, además de la componente fundamental de la tensión de red. La tensión de red de 50 Hz será atenuada unas mil veces (~60dB) luego al pasar por el acoplador, teniendo una amplitud menor a 1 V_{PP} en el primario del transformador. Sin embargo, para las componentes de baja frecuencia ubicadas una década por encima (~500 Hz) y hasta la frecuencia inferior de la banda de interés, la atenuación es mucho menor y su amplitud se verá reducida tan sólo unas diez veces en ese punto del circuito. Esto último muestra la importancia de tener un buen filtrado de baja frecuencia en los amplificadores de instrumentación de las señales que se van a medir.

Apéndice B

B. Esquemáticos del circuito y PCB

A continuación se muestran los esquemáticos del circuito y el correspondiente diseño del PCB, generados mediante el programa *Altium Designer* [89]. En los esquemáticos se presentan algunas anotaciones con indicaciones sobre algunos cambios y agregados que se hicieron posteriormente en la placa de circuito para mejorar el funcionamiento del mismo.

En la Tabla B.1 se muestra un listado de los componentes del circuito.

En la Figura B.1 se muestra el esquemático del circuito correspondiente a la etapa de potencia (OPA) y el acoplador de red.

En la Figura B.2 se muestra el esquemático del circuito correspondiente a la etapa de conversión digital-analógica (DAC) y pre-amplificación.

En la Figura B.3 se muestra el esquemático del circuito correspondiente a la etapa de adquisición de señales y conversión analógica-digital (ADC).

En la Figura B.4 se muestra el esquemático del circuito correspondiente a los conectores de expansión (H1, H2, H3, H4) y las fuentes de alimentación (PWR, VR1).

En la Figura B.5 se muestra el diseño de la capa superior del PCB y en la Figura B.6 se muestra el diseño de la capa inferior del PCB.

Tabla B.1: Listado de los componentes del circuito.

Designator	Comment	Description	Value
C1	C1210C106K5RACTU	MLCC X7R 50V Decoupling Capacitor	10uF
C2	C1206C104K5RACTU	DC Decoupling Capacitor	0.1uF
C3	EXV476M016A9GAA	SMD Aluminum Electrolytic Capacitor	47uF
C4	C1206C104K5RACTU	DC Decoupling Capacitor	0.1uF
C5	EXV476M016A9GAA	SMD Aluminum Electrolytic Capacitor	47uF
C6	EEV107M016A9GAA	SMD Aluminum Electrolytic Capacitor	100uF
C7	EEV107M016A9GAA	SMD Aluminum Electrolytic Capacitor	100uF
C8	EXV476M016A9GAA	SMD Aluminum Electrolytic Capacitor	47uF
C9	Cap	DC Decoupling Capacitor	0.1uF
C10	Cap	DC Decoupling Capacitor	0.1uF
C11	Cap	DC Decoupling Capacitor	0.1uF
C12	Cap	DC Decoupling Capacitor	0.1uF
C13	Cap	DC Decoupling Capacitor	0.1uF
C14	Cap	DC Decoupling Capacitor	0.1uF
C15	Cap	DC Decoupling Capacitor	0.1uF
C16	Cap	DC Decoupling Capacitor	0.1uF
C17	Cap	MLCC X7R 50V	0.1uF
C18	Cap	DC Decoupling Capacitor	0.1uF
C19	Cap	DC Decoupling Capacitor	0.1uF
C20	Cap	DC Decoupling Capacitor	0.1uF
C21	Cap	Capacitor	0.1uF
C22	Cap	Capacitor	0.1uF
C23	Cap	Capacitor	0.1uF
C24	Cap	Capacitor	0.1uF
C25	Cap	Capacitor	0.1uF
C26	Cap	Capacitor	0.1uF
CA	Cap	DC Decoupling Capacitor	0.1uF
CA1	Cap	Capacitor	820nF
CA2	Cap	Capacitor	820nF
CAL	Header 2	Header, 2-Pin	
CB	Cap	DC Decoupling Capacitor	0.1uF
CB1	Cap	Capacitor	82nF
CB2	Cap	Capacitor	82nF
Ccm1	EDK106M016A9BAA	SMD Aluminum Electrolytic Capacitor	10uF
Ccm2	Cap	MLCC X7R 50V	0.1uF
Cext	Cap	Capacitor	0.1uF
Cf	Cap	MLCC X7R 50V	39nF
Cp	Cap	MLCC X7R 50V	300pF
Cref	EDK106M016A9BAA	SMD Aluminum Electrolytic Capacitor	10uF
Cs	R46KR433050M2K	Metallized Polypropylene Film Capacitor X2	3.3uF
Ct	Cap	MLCC X7R 50V	1.5nF
D1	ZM4732A-GS08	Zener Diode 4.7V	

H1	Header 20X2H	Header, 20-Pin, Dual row, Right Angle	
H2	Header 20X2H	Header, 20-Pin, Dual row, Right Angle	
H3	Header 13X2	Header, 13-Pin, Dual row	
H4	Header 13X2	Header, 13-Pin, Dual row	
Ls	RL622-3R3K-RC	Radial Lead Inductor Ferrite Core	3.3uH
MOV	MOV-10D391K	Metal Oxide Varistor	
O1	4N38	6 Pin Optocoupler	
O2	4N38	6 Pin Optocoupler	
O3	4N38	6 Pin Optocoupler	
OUT	Bornera	Header, 2-Pin	
PWR	Bornera	Header, 3-Pin	
R1	Res1	Resistor 1/2W 5%	1K
RA1	Res1	Resistor 1/4W 0.1%	1K
RA2	Res1	Resistor 1/4W 0.1%	4.53K
RA3	Res1	Resistor 1/4W 0.1%	4.53K
RA4	Res1	Resistor 1/4W 0.1%	374
RA5	Res1	Resistor 1/4W 0.1%	374
RA6	Res1	Resistor 1/4W 0.1%	2K
RA7	Res1	Resistor 1/4W 0.1%	2K
RB1	Res1	Resistor 1/4W 0.1%	2K
RB2	Res1	Resistor 1/4W 0.1%	1K
RB3	Res1	Resistor 1/4W 0.1%	1K
RB4	Res1	Resistor 1/4W 0.1%	4.02K
RB5	Res1	Resistor 1/4W 0.1%	4.02K
RB6	Res1	Resistor 1/4W 0.1%	750
RB7	Res1	Resistor 1/4W 0.1%	750
Rbias	Res1	Resistor 1/4W 1%	3.83K
Rd1	Res1	Resistor 1/4W 5%	220
Rd2	Res1	Resistor 1/4W 5%	680
Rd3	Res1	Resistor 1/4W 5%	680
Re2	Res1	Resistor 1/4W 1%	10K
Re3	Res1	Resistor 1/4W 1%	10K
Ri1	Res1	Resistor 1/4W 0.1%	49.9
Ri2	Res1	Resistor 1/4W 0.1%	49.9
Ro1	Res1	Chip Resistor 1/4W 1%	10
Ro2	Res1	Chip Resistor 1/4W 1%	10
Rp	Res1	Chip Resistor 1/4W 1%	180
Rs	SR10-0.10-1%	Current Sense Resistor; 0.1 Ohm 1% 1W	100mOhm
Rs1	Res1	Chip Resistor 1/4W 1%	100
Rs2	Res1	Chip Resistor 1/4W 1%	100
Rs3	Res1	Chip Resistor 1/4W 1%	10
Rs4	Res1	Chip Resistor 1/4W 1%	10
Rset	Res1	Resistor 1/4W 1%	6K2
Rt	Res1	Chip Resistor 1/4W 1%	10K
Ru1	Res1	Chip Resistor 1/4W 1%	10

Ru2	Res1	Chip Resistor 1/4W 1%	10
Ru3	Res1	Chip Resistor 1/4W 1%	10
Ru4	Res1	Chip Resistor 1/4W 1%	10
Rv1	Res1	Resistor 1/4W 1%	330
Rv2	Res1	Resistor 1/4W 1%	3K3
S1	B350B	Schottky Diode	
S2	B350B	Schottky Diode	
T1	3:1	Signal Coupler Transformer	
TVS	SMBJ10CA	Transient Voltage Suppressor Diode	
U1	OPA564AIDWDR	1.5A, 24V, 17MHz, Power Operational Amplifier	
U2	THS4032CD	Dual 100-MHz Low-Noise High-Speed Operational Amplifiers	
U3	THS4032CD	Dual 100-MHz Low-Noise High-Speed Operational Amplifiers	
U4	THS4130ID	High-Speed, Low-Noise, Fully-Differential Amplifier	
U5	THS4130ID	High-Speed, Low-Noise, Fully-Differential Amplifier	
U6	THS1206IDA	12-Bit, 4 Analog Input, 6 MSPS, Simultaneous Sampling ADC	
U7	THS4032CD	Dual 100-MHz Low-Noise High-Speed Operational Amplifiers	
U8	THS5661AIDW	12-Bit, 125 MSPS, CommsDAC, Digital-to-Analog Converter	
U9	AD8369ARUZ	Digitally Controlled Variable Gain Amplifier	
VR1	L7805ACV	5V 1.5A Linear Voltage Regulator	

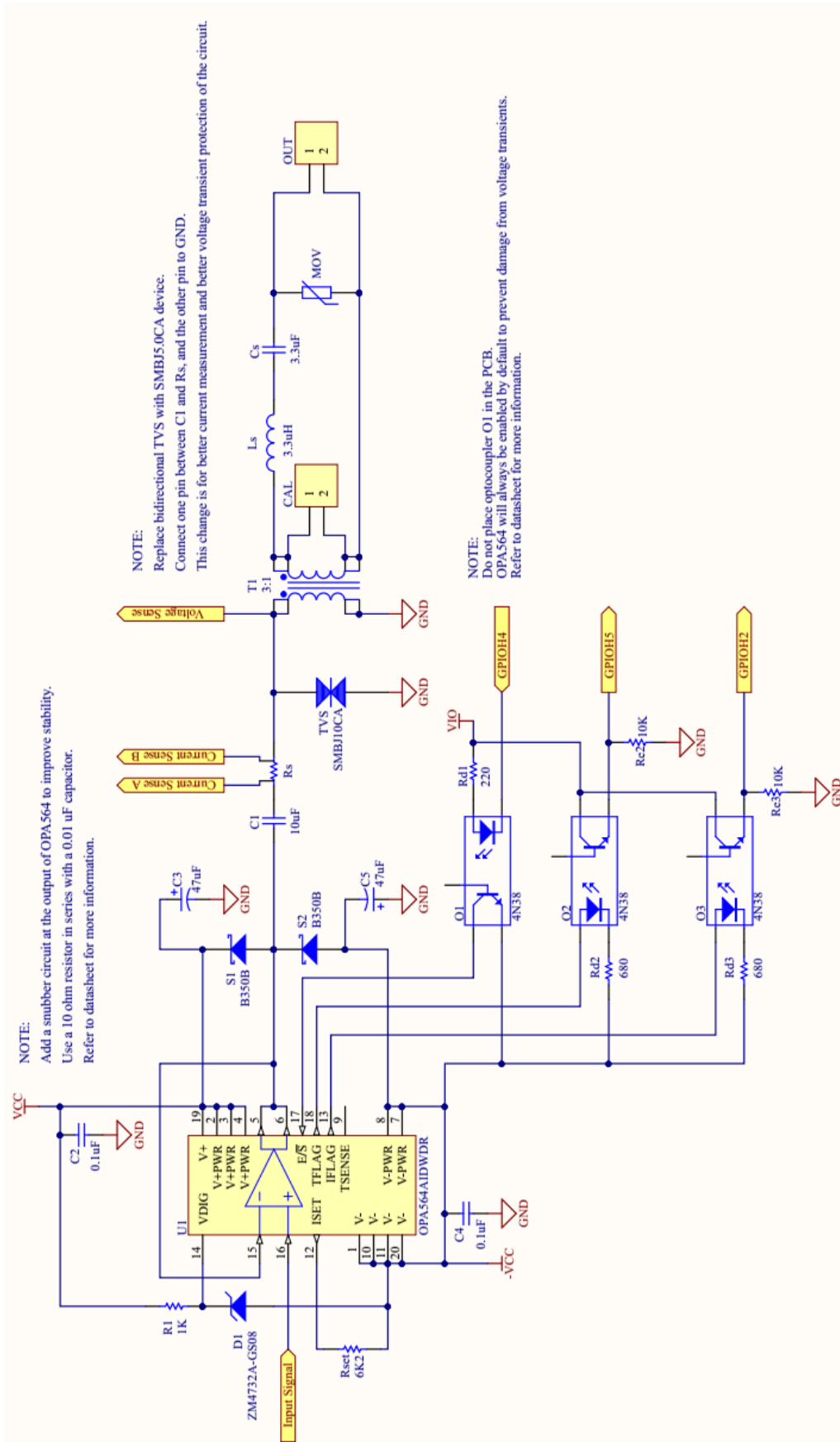


Figura B.1: Esquemático de la etapa de potencia (OPA) y el acoplador de red.

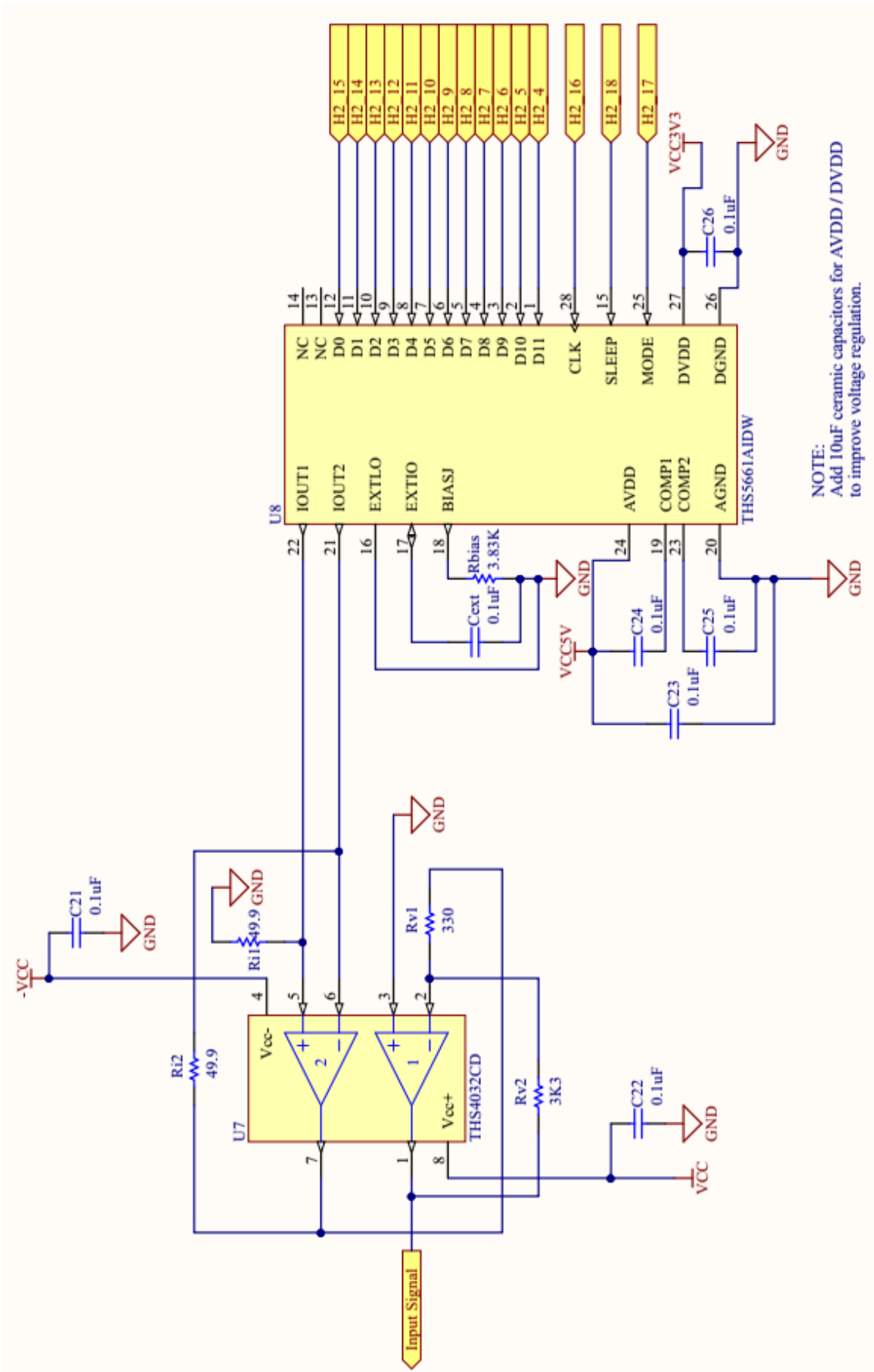


Figura B.2: Esquemático de la etapa de conversión digital-analógica y pre-amplificación.

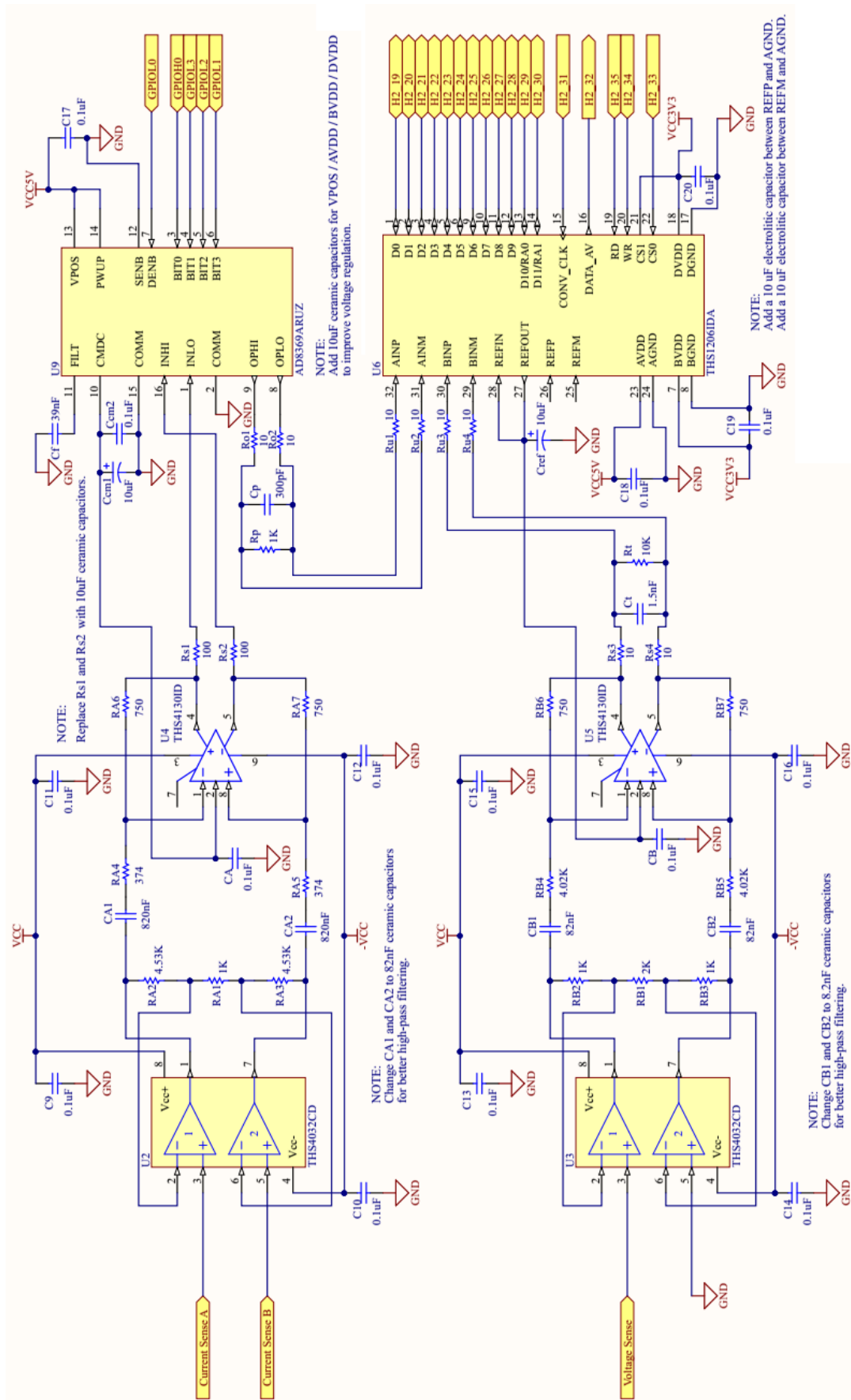


Figura B.3: Esquemático de la etapa de adquisición de señales y conversión analógica-digital.

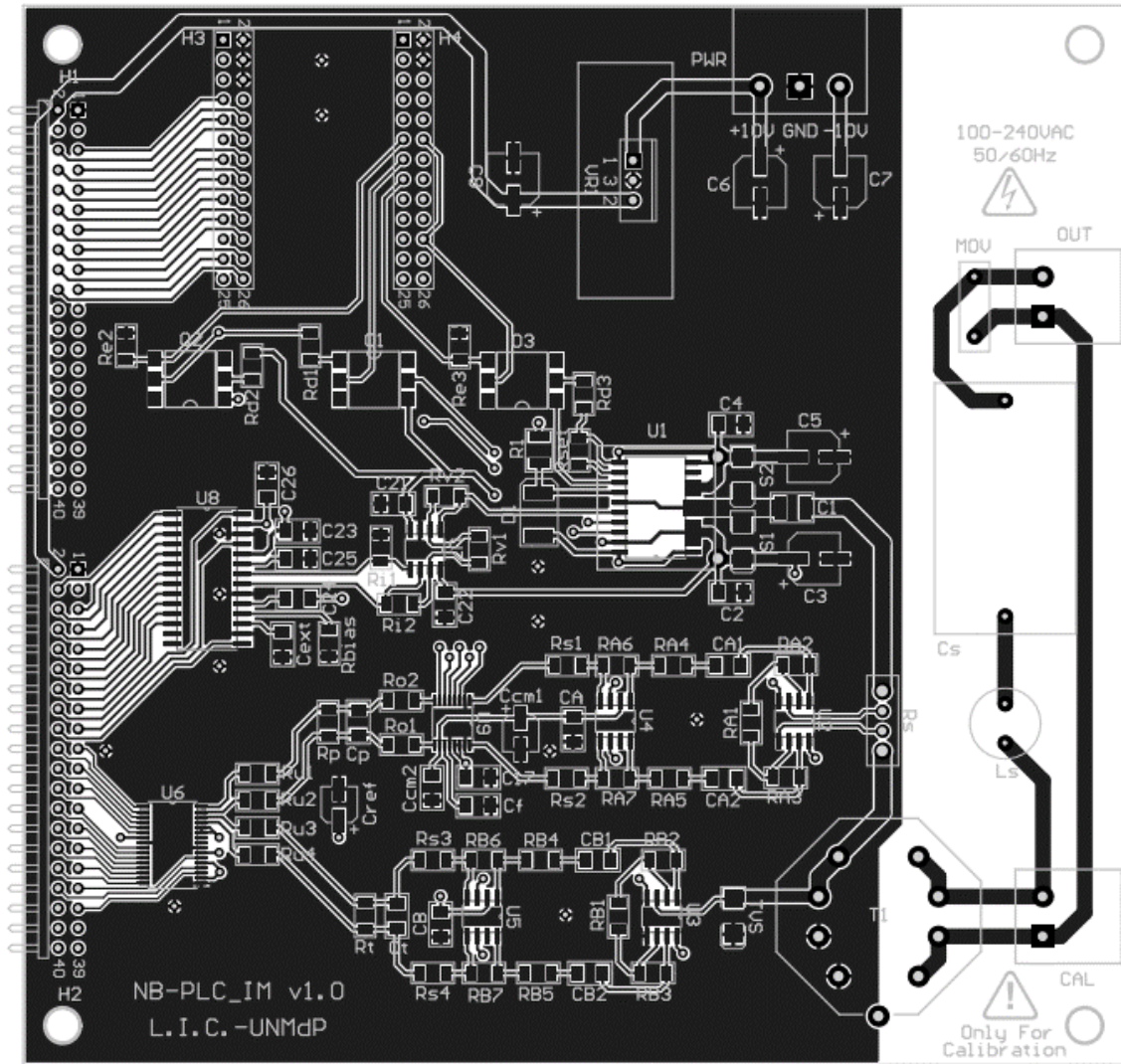


Figura B.5: Diseño de la capa superior del PCB.

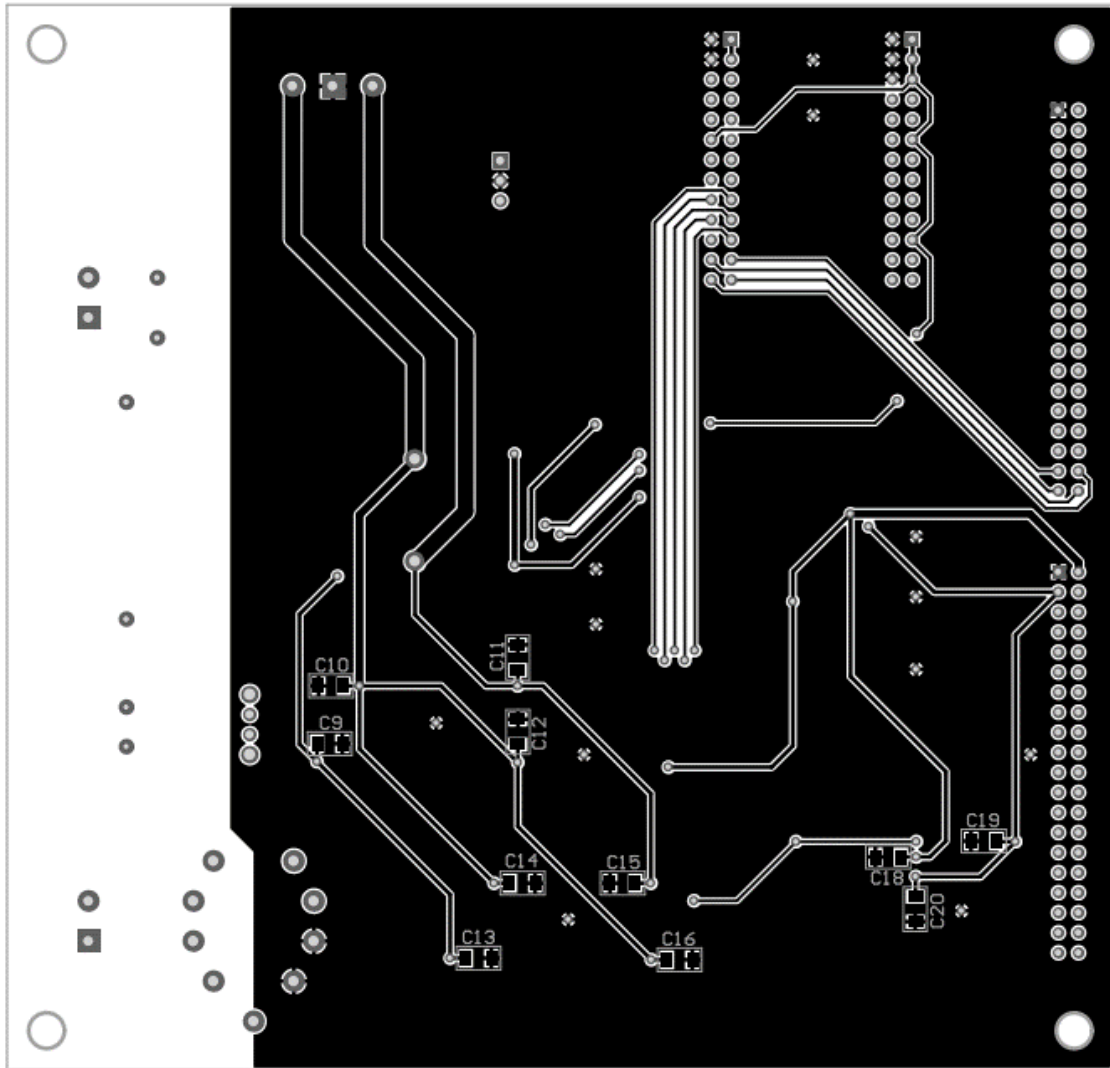


Figura B.6: Diseño de la capa inferior del PCB.

Bibliografía

- [1] M. Schwartz. *The origins of carrier multiplexing: Major george owen squier and at&t*. IEEE Communications Magazine, 46(5):20-24, 2008.
- [2] M. Schwartz. *Carrier-wave telephony over power lines: Early history [history of communications]*. IEEE Communications Magazine, 47(1):14-18, 2009.
- [3] Xavier Carcelle. *Power Line Communications in Practice*. Artech House, 2009.
- [4] M. Zimmermann and K. Dostert. *A multipath model for the powerline channel*. IEEE Transactions on Communications, 50(4):553-559, 2002.
- [5] Francisco Javier Cañete Corripio. *Caracterización y Modelado de Redes Eléctricas Interiores como Medio de Transmisión de Banda Ancha*. PhD tesis, Escuela Técnica Superior de Ingeniería de Telecomunicaciones, Universidad de Málaga, 2005.
- [6] *Open PLC Research Alliance*, <http://www.ist-opera.prg>.
- [7] Hendrik C. Ferreira, Lutz Lampe, John Newbury, and Theo G. Swart, editors. *Power Line Communications*. Wiley, 2010.
- [8] M. Gotz, M. Rapp, and K. Dostert. *Power line channel characteristics and their effect on communication system design*. IEEE Communications Magazine, 42(4):78-86, 2004.
- [9] M. Zimmermann and K. Dostert. *Analysis and modeling of impulsive noise in broad-band powerline communications*. IEEE Transactions on Electromagnetic Compatibility, 44(1):249-258, 2002.
- [10] IEEE Std 1901.2, *IEEE Standard for Low-Frequency (less than 500 kHz) Narrowband Power Line Communications for Smart Grid Applications*, 2013.
- [11] IEEE Std 1901-2010, *IEEE Standard for Broadband over Power Line Networks: Medium Access Control and Physical Layer Specifications*, pp. 1-1586, 2010.
- [12] Homeplug, <http://www.homeplug.org>.
- [13] CENELEC EN 50065-1, *Signalling on low-voltage electrical installations in the frequency range 3 kHz to 148.5 kHz*, 2011.
- [14] ARIB STD-T84, *Power Line Communication Equipment (10kHz-450kHz)*, 2002.
- [15] FCC Standard Title 47 Part 15, *Radio frequency devices: 15.113 - Power line carrier systems*, 2003.
- [16] TDA5051A, *Home Automation Modem*, NXP, http://www.nxp.com/documents/data_sheet/TDA5051A.pdf .
- [17] ST7580, *Multimode Power Line Networking System on Chip*, ST Microelectronics, <http://www.st.com/stwebui/static/active/en/resource/technical/document/datasheet/DM00045903.pdf> .

- [18] SM2200, *Power Line Transceiver*, Semitech Semiconductor, http://www.semitechsemi.com/downloads/Product_Brief/PB04051_06_SM2200_Product_Brief.pdf .
- [19] AFE031, *Powerline Communications Analog Front End*, Texas Instruments, <http://www.ti.com/lit/ds/symlink/afe031.pdf> .
- [20] I. Lita and D.A. Visan. *Power line communication module for distributed control systems*. In 2012 35th International Spring Seminar on Electronics Technology (ISSE), pages 420-423, 2012.
- [21] A. Cataliotti, D. Di Cara, G. Marsala, A. Ragusa, and G. Tine. *Electromagnetic immunity analysis of a new interface device with power line communication for smart grid and energy storage applications*. In 2013 17th IEEE International Symposium on Power Line Communications and Its Applications (ISPLC), pages 214-219, 2013.
- [22] G. Artale, A. Cataliotti, V. Cosentino, D.D. Cara, R. Fiorelli, P. Russotto, and G. Tine. *Medium voltage smart grid: Experimental analysis of secondary substation narrow band power line communication*. IEEE Transactions on Instrumentation and Measurement, PP (99):1-1, 2013.
- [23] M. N. Hadad, *Secuencias complementarias y códigos derivados aplicados a las comunicaciones por la red eléctrica en banda angosta*, Departamento de Electrónica, Facultad de Ingeniería, Universidad Nacional de Mar del Plata, 2013.
- [24] J.A. Malack, J.R. Engstrom. *RF Impedance of United States and European Power Lines*, IEEE Transactions on Electromagnetic Compatibility, pp. 36-38, 1976.
- [25] R.M. Vines, H.J. Trussell, K.C. Shuey, J.B. O'neal. *Impedance of the Residential Power-Distribution Circuit*, IEEE Transactions on Electromagnetic Compatibility, pp. 6-12, 1985.
- [26] I. H. Cavdar, E. Karadeniz. *Measurements of Impedance and Attenuation at CENELEC Bands for Power Line Communications Systems*, 2008.
- [27] SBOA130A, *Analog Front-End Design for a Narrowband Power-Line Communications Modem Using the AFE031*, Texas Instruments, pp. 14-20, 2011.
- [28] Wikipedia, *Leakage inductance*, https://en.wikipedia.org/wiki/Leakage_inductance, Eq. 2.12 & 2.13.
- [29] Brenner & Javid, *Equivalent Circuit for the nonideal transformer*, 1959, 18-7, pages 600-602, fig. 18-18.
- [30] OPA564, *1.5 A, 24V, 17Mhz Power Operational Amplifier*, Texas Instruments, <http://www.ti.com/lit/ds/symlink/opa564.pdf> .
- [31] THS5661A, *12-BIT, 125 MSPS, CommsDAC™, DIGITAL-TO-ANALOG CONVERTER*, Texas Instruments, <http://www.ti.com/lit/ds/symlink/th5661a.pdf> .
- [32] THS4032, *100-MHz LOW-NOISE HIGH-SPEED AMPLIFIERS*, Texas Instruments, <http://www.ti.com/lit/ds/symlink/th4032.pdf> .
- [33] Wikipedia, *Chirp*, <https://en.wikipedia.org/wiki/Chirp> .

- [34] Wikipedia, *Chirp spectrum*, https://en.wikipedia.org/wiki/Chirp_spectrum .
- [35] Wikipedia, *Nyquist rate*, https://en.wikipedia.org/wiki/Nyquist_rate .
- [36] Wikipedia, *Fast Fourier transform*,
https://en.wikipedia.org/wiki/Fast_Fourier_transform .
- [37] Wikipedia, *Completing the square*,
https://en.wikipedia.org/wiki/Completing_the_square .
- [38] Wikipedia, *Fresnel integrals*, https://en.wikipedia.org/wiki/Fresnel_integral .
- [39] Wikipedia, *Nyquist–Shannon sampling theorem*,
https://en.wikipedia.org/wiki/Nyquist–Shannon_sampling_theorem .
- [40] Wikipedia, *Discrete Fourier transform*,
https://en.wikipedia.org/wiki/Discrete_Fourier_transform .
- [41] THS4130, *HIGH-SPEED, LOW-NOISE, FULLY-DIFFERENTIAL I/O AMPLIFIERS*, Texas Instruments, <http://www.ti.com/lit/ds/symlink/ths4130.pdf> .
- [42] AD8369, *45 dB Digitally Controlled VGA, LF to 600 MHz*, Analog Devices,
<http://www.analog.com/media/en/technical-documentation/data-sheets/AD8369.pdf>
- [43] THS1206, *12-BIT, 4 ANALOG INPUT, 6 MSPS, SIMULTANEOUS SAMPLING ANALOG-TO-DIGITAL CONVERTERS*, Texas Instruments,
<http://www.ti.com/lit/ds/symlink/ths1206.pdf> .
- [44] AD8370, *LF to 750 MHz, Digitally Controlled VGA*, pp. 19-20, Analog Devices.
- [45] UG130 (v1.2), *Spartan-3 FPGA Starter Kit Board User Guide*, Xilinx, 2008.
https://www.xilinx.com/support/documentation/boards_and_kits/ug130.pdf
- [46] DS099 (v3.1), *Spartan-3 FPGA Family Data Sheet*, Xilinx, 2013.
https://www.xilinx.com/support/documentation/data_sheets/ds099.pdf
- [47] Xilinx ISE Design Suite WebPACK Edition,
<https://www.xilinx.com/products/design-tools/ise-design-suite.html> .
- [48] Python v2.7, *Python Software Foundation*, <https://www.python.org/about/> .
- [49] JTAG Technologies, <https://www.jtag.com/en/content/about-jtag-technologies> .
- [50] MathWorks Documentation, *Swept-frequency cosine*,
<https://www.mathworks.com/help/signal/ref/chirp.html> .
- [51] MathWorks Documentation, *Fast Fourier transform*,
<https://www.mathworks.com/help/matlab/ref/fft.html> .
- [52] MathWorks Documentation, *Round toward negative infinity*,
<https://www.mathworks.com/help/matlab/ref/floor.html> .
- [53] 4N38M, *6-Pin DIP High Voltage Phototransistor Optocouplers*, Fairchild,
<http://www.onsemi.com/pub/Collateral/MOC8204M-D.pdf> .
- [54] FT2232H Mini Module, *USB Hi-Speed FT2232H Evaluation Module Datasheet*, FTDI,

- http://www.ftdichip.com/Support/Documents/DataSheets/Modules/DS_FT2232H_Mini_Module.pdf .
- [55] FT2232H, *Dual High Speed USB to Multipurpose UART/FIFO IC Datasheet*, FTDI, http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT2232H.pdf .
- [56] FT_000071, *Software Application Development D2XX Programmer's Guide*, FTDI, [http://www.ftdichip.com/Support/Documents/ProgramGuides/D2XX_Programmer's_Guide\(FT_000071\).pdf](http://www.ftdichip.com/Support/Documents/ProgramGuides/D2XX_Programmer's_Guide(FT_000071).pdf) .
- [57] NL5 Circuit Simulator, <http://nl5.sidelinesoft.com> .
- [58] MATLAB, <https://www.mathworks.com/products/matlab.html> .
- [59] HTTP link, *NL5 Circuit Simulator User's Manual Rev. 2.51*, pages 339-343, <http://nl5.sidelinesoft.com/downloads/manual.pdf> .
- [60] Component Types, Models and Parameters, *NL5 Circuit Simulator User's Manual Rev. 2.51*, pages 365-552, <http://nl5.sidelinesoft.com/downloads/manual.pdf> .
- [61] SLAA094, *Designing With the THS1206 High-Speed Data Converter*, page 16, figure 15, Texas Instruments, <http://www.ti.com/lit/an/slaa094/slaa094.pdf> .
- [62] MathWorks Documentation, *Write matrix to ASCII-delimited file*, <https://www.mathworks.com/help/matlab/ref/dlmwrite.html> .
- [63] Wikipedia, *RLC circuit*, https://en.wikipedia.org/wiki/RLC_circuit .
- [64] ZM4732A, *Power Zener Diodes ZM4728A to ZM4764A*, Vishay Semiconductors, <https://www.vishay.com/docs/85786/zm4728a.pdf> .
- [65] B350B, *3.0A Surface Mount Schottky Barrier Rectifier*, Diodes Incorporated, <https://www.diodes.com/assets/Datasheets/ds30924.pdf> .
- [66] SBOA022, *Power Amplifier Stress and Power Handling Limitations*, Texas Instruments, <http://www.ti.com/lit/an/sboa022/sboa022.pdf> .
- [67] ATS-52150G-C1-R0, *BGA Heat Sink High Performance maxiFLOW w/Thermal Tape*, Advanced Thermal Solutions, <https://www.mouser.com/datasheet/2/596/TS-52150G-C1-R0-237962.pdf> .
- [68] R46KR433050M2K, *R46 Series Class X2 275 VAC Metallized Polypropylene Film EMI Supression Capacitors*, KEMET, https://www.mouser.com/datasheet/2/212/KEM_F3093_R46_X2_275_110C-1104424.pdf .
- [69] RL622-3R3K-RC, *RL622 Series - Radial Lead RF Choke*, Bourns, https://www.mouser.com/datasheet/2/54/L622_series-778365.pdf .
- [70] B65661W0000R030, *P22X13 Core and accessories*, EPCOS/TDK, 2017, https://en.tdk.eu/inf/80/db/fer/p_22_13.pdf .
- [71] SIFERRIT material N30, *Ferrites and accessories*, EPCOS/TDK, 2017, <https://en.tdk.eu/download/528848/05a0bcaec69256cbbdbec9fecb243311/pdf-n30.pdf> .

- [72] Valentin Bolborici, *Design of Low Profile Transformers for High Frequency Operation*, Department of Electrical and Computer Engineering, University of Toronto, pages 19-26, 1999.
- [73] Magnetics Design Guides, *Transformer Design with Magnetics Ferrite Cores*, <https://www.mag-inc.com/getattachment/Design/Design-Guides/Transformer-Design-with-Magnetics-Ferrite-Cores/TransformerDesignWithFerrites2013.pdf> .
- [74] SMBJ5.0CA, *Transient Voltage Suppression Diodes SMBJ Series*, Littelfuse, http://www.littelfuse.com/~/media/Electronics/Datasheets/TVS_Diodes/Littelfuse_TV_S_Diode_SMBJ_Datasheet.pdf .
- [75] MOV-10D391K, *MOV-10DxxxK Series - Metal Oxide Varistor*, Bourns, <https://www.bourns.com/docs/Product-Datasheets/MOV10D.pdf> .
- [76] SR10-0.10-1%, *Type SR Precision Current Sense Resistors*, Caddock Electronics, http://www.caddock.com/Online_catalog/Mrktg_Lit/TypeSR.pdf .
- [77] XAPP223 (v1.2), *200 MHz UART with Internal 16-Byte Buffer*, Xilinx, https://www.xilinx.com/support/documentation/application_notes/xapp223.pdf .
- [78] PG058, *LogiCORE IP Block Memory Generator v7.3 Product Guide*, Xilinx, https://www.xilinx.com/support/documentation/ip_documentation/blk_mem_gen/v7_3/pg058-blk-mem-gen.pdf .
- [79] Bryan Mealy, Fabrizio Tappero, *Free Range VHDL*, pages 89-106, http://freerangefactory.org/pdf/df344hdh4h8kjfh3500ft2/free_range_vhdl.pdf .
- [80] XAPP462 (v1.1), *Using Digital Clock Managers (DCMs) in Spartan-3 FPGAs*, Xilinx, https://www.xilinx.com/support/documentation/application_notes/xapp462.pdf .
- [81] XC3SPROG, *Suite of utilities for programming Xilinx FPGAs, CPLDs, and EEPROMs with the Xilinx Parallel Cable and other JTAG adapters under Linux and Windows*, <http://xc3sprog.sourceforge.net> .
- [82] Python 2.7 IDLE, *Python Integrated DeveLopment Environment*, <https://www.python.org> .
- [83] FTD2XX, *Python wrapper around the D2XX DLL from FTDI using ctypes*, <https://github.com/snmishra/ftd2xx> .
- [84] IdleX, *IDLE Extensions for Python*, <http://idlex.sourceforge.net> .
- [85] NumPy, *Fundamental package for scientific computing with Python*, <http://www.numpy.org> .
- [86] SciPy, *Scientific Computing Tools for Python*, <https://www.scipy.org> .
- [87] Matplotlib, *Python 2D plotting library and interactive enviroment*, <https://matplotlib.org> .
- [88] Mpldatacursor, *Interactive data cursors for Matplotlib*, <https://github.com/joferkington/mpldatacursor> .
- [89] Altium Designer, <https://www.altium.com/altium-designer/> .