

UNIVERSIDAD NACIONAL DE MAR DEL PLATA

Facultad de Ingeniería

Trabajo Final

Proyecto

Diseño de electrónica de lectura basado en FPGA para detectores de radiación semiconductores

Carrera

Ingeniería Electrónica

Autor

Spagnolo Roberto M. Sebastián

mi más profundo y sincero agradecimiento a toda mi familia, quienes han sido un sostén fundamental a lo largo de todo este proceso.

Agradecimientos

Deseo expresar mi más profundo y sincero agradecimiento a mi familia, quienes han sido un sostén fundamental a lo largo de todo este proceso. A mi padre Roberto V. Spagnolo, a mi madre María Cristina Correa, a mi hermana Sabrina A. Spagnolo, a mi tía Stella M. Correa y a mis abuelos Blanca Medina, José Spagnolo y Pascualina Lisotti, por su apoyo incondicional, su confianza permanente y por haber creído en mí incluso en los momentos más difíciles. Su acompañamiento y afecto fueron esenciales para poder alcanzar este objetivo.

Dedico unas palabras especialmente sentidas a mi tío Francisco J. Carramiñan, quien ocupó un lugar muy importante en mi vida. Su confianza en mis capacidades y su estímulo constante fueron una fuente invaluable de motivación. Su reciente partida ha sido profundamente dolorosa, pero su ejemplo, su recuerdo y todo lo que me brindó permanecen presentes en cada logro alcanzado. Este trabajo también le pertenece.

Asimismo, quiero agradecer a mis directores, Maximiliano Antonelli y Martín Pérez, por su compromiso, dedicación y paciencia durante el desarrollo de este proyecto.

A Maximiliano Antonelli, por su guía en el área digital, por el enriquecedor intercambio de ideas, por su acompañamiento en este trabajo y por sus valiosos consejos para desarrollar el proyecto con criterio técnico y claridad conceptual.

A Martín Pérez, por su constante apoyo, por compartir generosamente su conocimiento y por enriquecer este trabajo mediante un intercambio claro y riguroso de ideas en el área de los dispositivos semiconductores. Asimismo, le agradezco por facilitar los componentes que hicieron posible la implementación del prototipo y por sus recomendaciones técnicas, que contribuyeron significativamente a mejorar el desempeño y la solidez del sistema desarrollado.

A ambos directores les agradezco especialmente el tiempo compartido y el compromiso demostrado, así como sus observaciones y sugerencias, que enriquecieron y fortalecieron este proyecto.

A Juan Bertelegni, por su acompañamiento, por sus aportes y por el intercambio sincero de ideas que enriquecieron este trabajo. Su tiempo, sus consejos y su apoyo constante hicieron que el recorrido fuera más llevadero y motivador. Siempre creyeron en mí y me alentaron a continuar incluso en los momentos de mayor dificultad.

A todos ellos, gracias por su confianza, su tiempo y su acompañamiento. Este logro no es individual, sino el resultado del apoyo, la guía y el afecto recibidos a lo largo del camino.

Índice

Acerca del Equipo.....	8
Descripción de la necesidad o idea.....	8
Producto/s o entregable/s resultante/s.....	10
Esquema preliminar de la solución.....	11
Grado de avance del Trabajo Final.....	11
1. Introducción.....	12
2. Fundamentos del sistema.....	12
2.1. Detección de radiación mediante semiconductores.....	12
2.2. Amplificadores sensibles a la carga.....	13
2.3. Conformación de pulsos (Pulse Shaping).....	13
2.4. Conversión amplitud–tiempo mediante Time Over Threshold.....	13
2.5 Histogramas de energía.....	14
3. Arquitectura general del sistema.....	14
4. Diseño del acondicionamiento analógico.....	15
4.1. Amplificador Sensible a la Carga.....	15
4.1.1.Simulación del amplificador de carga.....	17
4.2. Amplificador HFA1112.....	18
4.2.1. Simulación HFA1112.....	19
4.3. Conformador de Pulsos Gaussiano.....	19
4.3.1. Diseño de filtro Sallen Key pasa bajos.....	20
4.3.2 Simulaciones Conformador de pulsos gaussiano.....	21
4.4. Restaurador de Línea de Base.....	21
4.4.1 Simulación (BLR).....	22
4.5 Método Time Over Threshold.....	22
4.5.1 Simulación y Diseño Comparador de Histéresis.....	23
4.6 Generador de Rampa y comparador.....	24
4.6.1 Diseño del Integrador.....	25
5. Diseño del Sistema Digital.....	28
5.1. Contador.....	30
5.2. Captura Pulsos.....	31
5.3. Bloques RAM.....	31
5.4. Lógica y Control.....	33
5.4.1 Máquina de inicio de captura.....	33
5.4.2 Máquina de Temporización de la adquisición.....	34
5.4.3. Máquina de habilitación de solicitud de datos.....	34
5.4.4. Máquina de estados de escritura y lectura de eventos.....	35
5.4.5. Máquina de barrido de memoria y transmisión.....	35
5.5. Relay On-OFF.....	37
5.5.1 Máquina de estado <i>Reley</i> On Off.....	37
5.6. UART.....	38
5.6.1. Máquina de estados para la transmisión UART.....	39
5.7. Diagrama de flujo del script MATLAB.....	39
5.8. Sistema de lectura de pulsos (Front End ICE 40).....	40
6. Resultados.....	42
6.1. Implementación del prototipo.....	42
6.2. Medición de señales.....	45

7. Diseño e Implementación de Hardware Front End ICE 40	50
7.1. Diseño e Implementación.....	50
7.2. Arquitectura del Sistema Unificado.....	50
7.3. Diseño de alimentación.....	50
7.3.1. Cálculo de consumo de corriente y potencia del sistema analógico.....	51
7.3.2. Consumo de corriente de los dispositivos CREMAT.....	51
7.3.3. Consumo de corriente de los amplificadores operacionales.....	52
7.3.4. Potencias máximas por los reguladores de tensión.....	52
7.3.5. Consumo de potencia en los reguladores.....	53
7.3.5. Consumo total de potencia del sistema completo.....	53
7.4. Esquemático acondicionamiento de señal.....	54
7.5. Esquemático Generador de Rampa y Comparador.....	55
7.6. Diseño PCB.....	55
8. Conclusiones	57
Apéndice A	58
A. Especificación de Requerimientos.....	58
A.1. Introducción.....	60
A.1.1. Propósito.....	60
A.1.2. Ámbito.....	60
A.1.3. Objetivo.....	60
A.1.4. Alcance.....	60
A.2. Proyecto.....	63
A.2.1. Partes Interesadas.....	63
A.2.2. Definiciones, acrónimos y abreviaturas.....	64
A.2.3. Referencias.....	65
A.2.4. Perspectiva del Producto.....	66
A.2.5. Requerimientos Funcionales (RF).....	67
A.2.6. Requerimientos No Funcionales (RNF).....	69
A.2.7. Características de los usuarios.....	69
A.2.8. Restricciones.....	70
A.2.9. Prueba de Homologación Requeridas.....	71
A.2.10. Requisitos.....	71
Apéndice B	73
B. Plan de Proyecto.....	73
B.1. Introducción.....	74
B.2. Cronograma.....	74
B.3. Riesgos.....	76
Apéndice C	77
C.1. Especificación Funcional.....	77
C.1.1. Introducción.....	78
C.1.2. Propósito del documento.....	78
C1.3. Definiciones, acrónimos y abreviaturas.....	78
C1.4. Alcance del Proyecto.....	80
C.2. Descripción del dispositivo.....	80
C.2.1. Etapa de Detección y Preamplificación.....	80
C.2.2. Acondicionamiento Analógico y Conformado.....	80
C.2.3. Digitalización y Lógica de Registro (FPGA).....	81
C.2.4. Transmisión y Visualización.....	81

Apéndice D.....	82
D.1 Especificación Técnica.....	82
D1.1. Introducción.....	83
D1.2. Propósito del documento.....	83
D1.3. Alcance del Proyecto.....	83
D1.4. Definiciones, acrónimos y abreviaturas.....	83
D1.5. Descripción del dispositivo.....	85
Apéndice E.....	86
E.1. Plan de Pruebas.....	86
E1.1. Introducción.....	87
E1.2. Alcance.....	87
E1.3. Ambiente de Prueba.....	87
E1.4. Instrumental, herramientas y software.....	87
E1.5. Política de trabajo.....	87
E.1.6. Comunicación.....	88
E.2. Plan.....	89

Acerca del Equipo

Integrantes

Roberto M. Sebastián Spagnolo alumno de Ingeniería Electrónica de la Facultad de Ingeniería de Mar del Plata – UNMDP.

Director/a

Dr. Ing. Antonelli Maximiliano, Profesor Adjunto con dedicación exclusiva de UNMDP e Investigador Asistente de CONICET.

Co-Director/a

Dr. Ing. Martín Pérez, investigador de la Comisión Nacional de Energía Atómica (CNEA) e Investigador Asistente de CONICET.

Acerca del Trabajo Final

Descripción de la necesidad o idea

Los detectores de radiación son ampliamente utilizados en una gran variedad de aplicaciones científicas, médicas e industriales, debido a su capacidad para medir y caracterizar distintos tipos de radiación ionizante. En el ámbito de la **Radioterapia**, estos dispositivos son fundamentales para la dosimetría, el control de calidad y la verificación de la dosis administrada al paciente, garantizando tratamientos seguros y eficaces. En la **industria aeroespacial**, los detectores de radiación se emplean para monitorear los niveles de radiación presentes en el espacio, con el objetivo de proteger tanto a los equipos electrónicos como a los astronautas de los efectos nocivos de la radiación cósmica.

Asimismo, en el campo de la **seguridad nacional**, estos sistemas son utilizados para la detección e identificación de materiales radiactivos en zonas fronterizas, puertos y aeropuertos, contribuyendo a la prevención de amenazas radiológicas. En **geología y medio ambiente**, los detectores de radiación permiten, entre otras aplicaciones, la detección y cuantificación de gas radón en zonas mineras y residenciales, lo cual resulta esencial para la evaluación de riesgos ambientales y para la protección de la salud pública.

Dentro de las distintas tecnologías disponibles, los **detectores de radiación semiconductores** ocupan un lugar destacado debido a su alta resolución energética, su tamaño compacto y su rápida respuesta. En general, estos detectores están basados en **diodos semiconductores**, en los cuales la radiación incidente genera pares electrón-hueco que, bajo la acción de un campo eléctrico, producen una señal eléctrica proporcional a la energía depositada por la radiación.

La necesidad que dio lugar a este Trabajo Final fue desarrollar una electrónica de lectura basada en FPGA especialmente diseñada para ser empleada con sensores o detectores de radiación semiconductores, y en especial utilizar el sistema desarrollado para medir radiación ionizante en satélites de órbita baja. En el contexto aeroespacial, resulta necesario contar con un sistema de adquisición y procesamiento de señales que no solo sea capaz de medir con precisión los pulsos generados por detectores de radiación semiconductores, sino que además ofrezca flexibilidad, confiabilidad y robustez frente a entornos de operación exigentes. Estas características son particularmente relevantes en aplicaciones aeroespaciales, donde los sistemas electrónicos se encuentran expuestos a altos niveles de radiación ionizante.

La realización de este proyecto fue una colaboración entre el Grupo de Sistemas Caóticos de la UNMDP, el grupo de detectores de radiación del Centro Atómico Bariloche, dependiente de la Comisión Nacional de Energía Atómica (CNEA) y el Centro Nacional de Microelectrónica de Barcelona (CNM).

Partes interesadas (*stakeholders*)

Los usuarios que pueden utilizar este dispositivo son:

- Instituciones de Medicina Nuclear, Comisión Nacional de Energía Atómica, Universidades
- Ingenieros Nucleares, Físicos, Técnicos en Seguridad Industrial y profesionales que trabajan en la Industria Nuclear.
- Geólogos, Ingenieros Ambientales, Higienistas Industriales, Inspectores de Seguridad edilicia y profesionales que trabajan en el sector Monitoreo Ambiental y Geología.
- Agentes de Aduanas especializados, Ingenieros en Defensa, Personal de Seguridad Aeroportuaria y profesionales que trabajan en la Seguridad Nacional y Control Fronterizo.
- Ingenieros Aeroespaciales, Astrofísicos y profesionales que trabajan en la Industria Aero- espacial y Física Espacial.

Producto/s o entregable/s resultante/s

El producto entregable consiste en un sistema electrónico completo para la lectura y procesamiento de señales provenientes de detectores de radiación semiconductores. El sistema permite acondicionar la señal generada por el detector, extraer la información asociada a la energía de cada evento y presentar los resultados de forma estadística para su análisis.

En primer lugar, la señal del detector es acondicionada mediante la integración de la carga generada, transformando los pulsos de corriente en pulsos gaussianos de amplitud variable. Posteriormente, utilizando la técnica de *Time Over Threshold* (TOT)[1], la información de amplitud es convertida en un intervalo de tiempo, obteniéndose pulsos digitales de duración proporcional a la energía del evento detectado.

La lectura y el procesamiento de estos pulsos digitales se realizan mediante una FPGA, que mide la duración de cada pulso, almacena los valores obtenidos y transmite la información a una computadora personal. Finalmente, un software de adquisición y análisis permite construir histogramas a partir de los eventos registrados y visualizar los resultados en pantalla.

Para llevar a cabo estas funciones, el sistema está compuesto por las siguientes etapas:

- **Etapla Acondicionamiento de la señal:** es un circuito analógico que toma los pulsos de corriente generados por el detector y los adapta para que el sistema digital los pueda interpretar correctamente. Esta etapa toma los pulsos de corriente del detector, los amplifica, los filtra mejorando la relación señal ruido generando pulsos gaussianos de amplitud variable para luego digitalizarlos. El bloque del sistema está formado por las siguientes etapas:
 - **Amplificador Sensible a la Carga:** captura e integra los pulsos de corriente del detector, de esta manera el amplificador sensible a la carga transforma los pulsos de corriente en escalones de tensión.
 - **Conformador de Pulsos Gaussianos:** Es un filtro pasa banda que transforma el escalón de tensión en un pulso gaussiano amplitud variable (evento a registrar).
 - **Restaurador de línea de base:** mantiene estable los pulsos gaussianos cuando la tasa de conteo es alta, evitando un desplazamiento negativo en la línea de base.
- **Etapla Comparadora (*Time Over Threshold*):** es una técnica de digitalización que compara los pulsos gaussianos con una rampa de tensión (señal de referencia) generando pulsos cuadrados de ancho variable. Esta técnica transforma la amplitud de los pulsos gaussianos recibidos en tiempo.
- **Etapla de adquisición digital:** esta etapa es un circuito digital implementado en una FPGA, se encarga de medir el tiempo de cada pulso, clasificar los eventos y registrar la frecuencia con la que se repite la duración de cada pulso, donde la FPGA almacena los valores de tiempo registrados en forma de histograma. Luego se transmitirá los datos hacia una PC para generar y visualizar el histograma. El circuito digital está compuesto por los siguientes bloques internos:
 - **Contador digital:** es el encargado de medir la duración de cada pulso, es decir la cantidad de pares electrón-huecos que genera una partícula en el detector se traduce en un ancho de pulso, este será el dato a medir por el contador.
 - **Registro:** guarda el registro temporal del ancho de los pulsos adquiridos.
 - **Lógica y Control:** gestiona la captura de eventos, la escritura y lectura de las memorias, activación de la rampa para la técnica de *Time Over Threshold*, transmisión de los datos hacia la PC.
 - **Bloques de memoria RAM:** Se utiliza para almacenar la altura de los bins del histograma. Donde el Bus de Datos representa la altura de los bins (eje de ordenadas del histograma) y el Bus de Direcciones representa el ancho de los pulsos adquiridos (eje de abscisas del histograma).
 - **Multiplexor:** Bloque que permite seleccionar los distintos bloques de memoria.
 - **UART:** Bloque que se utiliza para transmitir asincrónicamente los datos hacia la PC.

Esquema preliminar de la solución

En la Figura 1 muestra el diagrama en bloques del sistema desarrollado.

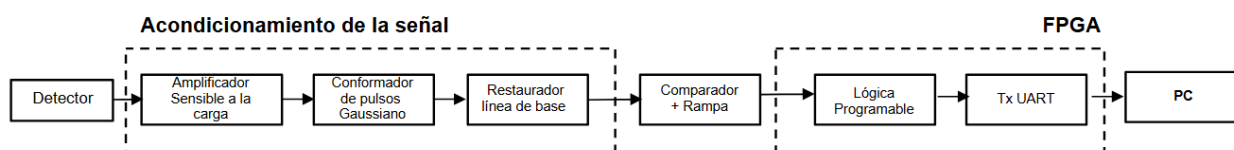


Figura 1. Diagrama general del sistema completo

Grado de avance del Trabajo Final

A la fecha del presente informe, el proyecto presenta un grado de avance completo: diseño, implementación y validación funcional de la arquitectura electrónica y del procesamiento digital. El sistema desarrollado se encuentra plenamente operativo a nivel de prototipo y diseño final. El diseño final consiste en **integrar un único PCB**, orientado a optimizar la robustez mecánica y el desempeño frente al ruido.

Hitos Alcanzados (100% completados):

Los hitos alcanzados corresponden al cumplimiento total de los **objetivos técnicos y funcionales planteados para el Trabajo Final**, habiéndose verificado experimentalmente el correcto funcionamiento del sistema completo, desde la adquisición de la señal del detector hasta la obtención del histograma de energía. En este sentido, el prototipo cumple con todas las funcionalidades previstas, independientemente de la etapa de integración física final.

- **Simulaciones:** Validación del modelo analógico (etapas de acondicionamiento y generación de rampa) y del diseño lógico implementado en VHDL para la FPGA.
- **Prototipado modular:** Implementación física e interconexión de las tres etapas del sistema (acondicionamiento analógico, conversión temporal y procesamiento digital), obteniendo un sistema completamente operativo.
- **Pruebas de banco:** Validación funcional mediante ensayos con una fuente de partículas alfa de ^{241}Am y un detector 3D de silicio ultra delgado (U3DThin) desarrollado en el CNM [2], verificando la detección de eventos y la correcta formación de pulsos gaussianos.
- **Aislamiento y blindaje:** Diseño y construcción de un chasis metálico estanco a la luz, necesario debido a la sensibilidad de los detectores de silicio a la radiación visible. El chasis actúa además como jaula de Faraday, reduciendo interferencias electromagnéticas (EMI) y el ruido inducido en el detector.
- **Firmware y software:** Desarrollo completo de la etapa de adquisición y control digital en la EDU-CIAA FPGA [3], incluyendo UART, memoria RAM, contador, registros y máquina de estados. Implementación del software de adquisición y análisis en MATLAB para la generación del histograma de energía.
- **Integración en PCB (Shield):** El diseño del circuito impreso integrado se encuentra finalizado.

1. Introducción

Los detectores de radiación basados en semiconductores constituyen una de las tecnologías más utilizadas en sistemas de medición de radiación ionizante, debido a su alta resolución energética, tamaño compacto y rápida respuesta. En estos dispositivos, la radiación incidente genera pares electrón–hueco en el material semiconductor, produciendo pulsos eléctricos cuya amplitud está relacionada con la energía depositada por la partícula incidente.

El procesamiento de estas señales requiere de sistemas electrónicos capaces de acondicionar, adquirir y analizar los pulsos generados por el detector. En particular, en aplicaciones aeroespaciales, estos sistemas deben operar en entornos con presencia de radiación ionizante, lo que puede provocar eventos transitorios en los circuitos digitales y afectar su funcionamiento.

En este contexto, el uso de dispositivos programables del tipo FPGA resulta especialmente adecuado, ya que su arquitectura reconfigurable permite recuperar el funcionamiento del sistema mediante la recarga del bitstream, mejorando la robustez frente a efectos de radiación.

A partir de estas consideraciones, en este trabajo se desarrolla un sistema electrónico para la lectura y procesamiento de señales provenientes de detectores de radiación semiconductores. El sistema integra una etapa de acondicionamiento analógico junto con una etapa de adquisición digital basada en FPGA, permitiendo medir eventos individuales y extraer información asociada a la energía de las partículas detectadas.

Para validar el sistema, se realizaron ensayos experimentales utilizando una fuente ^{241}Am , emisora de partículas alfa, y el detector semiconductor U3DTHIN. A partir de las señales adquiridas, se construyeron histogramas que permiten analizar la distribución de los eventos detectados.

El producto final es una placa que tiene un formato *shield* y se acopla fácilmente a los conectores de expansión de la placa EDU-CIAA FPGA. La placa *shield* llamada Front End ICE 40 integra el acondicionamiento de señal y el generador de rampa junto con el comparador.

El dispositivo desarrollado no se limita solamente a una sola aplicación, sino que también se puede utilizar una gran variedad de aplicación ya que la electrónica desarrollada es aplicable a distintos tipos de detectores semiconductores con características similares como los tubos fotomultiplicadores (PMTs), fotodiodos, fotodiodos de avalancha (APDs) y diversos detectores basados en gas.

La solución propuesta combina flexibilidad, capacidad de procesamiento y adaptabilidad, constituyendo una alternativa viable para sistemas de detección de radiación en aplicaciones científicas, industriales y aeroespaciales.

2. Fundamentos del sistema

2.1. Detección de radiación mediante semiconductores

Los detectores de radiación basados en semiconductores son ampliamente utilizados en aplicaciones científicas, médicas e industriales debido a su elevada resolución energética, su tamaño compacto y su rápida respuesta temporal. Estos dispositivos permiten convertir la energía depositada por la radiación ionizante en una señal eléctrica que puede ser posteriormente procesada mediante sistemas electrónicos de adquisición.

Cuando una partícula cargada interactúa con el material semiconductor del detector, se produce la liberación de pares electrón–hueco. La cantidad de pares generados que la partícula deja en el detector es proporcional a los pulsos de corriente que emite el detector semiconductor. El detector se encuentra polarizado mediante un campo eléctrico, los electrones y huecos generados se desplazan hacia los electrodos, produciendo un pulso de corriente de amplitud variable en la salida del detector. El valor de amplitud de corriente dependerá de la cantidad de pares electrón–hueco liberados por la partícula cargada.

La carga total colectada en el detector constituye la información fundamental del evento detectado. Por esta razón, los sistemas electrónicos asociados a estos detectores deben ser capaces de medir con precisión la carga generada en cada interacción.

2.2. Amplificadores sensibles a la carga

Los detectores semiconductores suelen entregar pulsos de corriente de muy baja amplitud en el orden de microamperios y corta duración en el orden de los nanosegundos. Para poder procesar estas señales es necesario utilizar una etapa electrónica capaz de integrar la carga generada por el detector y convertirla en una señal de tensión medible. Esta función es realizada por los amplificadores sensibles a la carga.

Un amplificador sensible a la carga integra la corriente proveniente del detector mediante un capacitor de realimentación, generando un escalón de tensión proporcional a la carga total colectada. De esta manera, la amplitud del escalón de tensión en la salida del amplificador queda directamente relacionada con la energía depositada en el detector.

Sin embargo, la señal obtenida presenta generalmente un tiempo de decaimiento relativamente largo determinado por los elementos de realimentación del amplificador. Esta característica puede dificultar la detección de eventos sucesivos cuando la tasa de conteo es elevada, por lo que resulta necesario aplicar técnicas adicionales de procesamiento de señal.

2.3. Conformación de pulsos (*Pulse Shaping*)

La señal producida por el amplificador sensible a la carga posee típicamente la forma de un escalón seguido de un decaimiento exponencial. Para mejorar las condiciones de detección y reducir el efecto del ruido electrónico, estas señales son procesadas mediante circuitos de conformación de pulsos.

Los conformadores de pulsos utilizan filtros analógicos que transforman los pulsos de corriente del detector en pulsos de tensión de forma gaussiana de amplitud variable. Esta operación permite limitar el ancho de banda del sistema, reducir la contribución del ruido y optimizar la relación señal–ruido. Además, la conformación gaussiana reduce el tiempo de caída de la señal, disminuyendo la probabilidad de superposición de eventos consecutivos. Los amplificadores de conformación son ampliamente utilizados en sistemas de detección de radiación,

2.4. Conversión amplitud–tiempo mediante *Time Over Threshold*

En muchos sistemas de adquisición de señales provenientes de detectores de radiación es necesario convertir la amplitud de los pulsos analógicos en una magnitud que pueda ser procesada digitalmente. Una de las técnicas utilizadas para realizar esta conversión es el método conocido como *Time Over Threshold* (TOT).

La técnica TOT consiste en comparar el pulso analógico con una señal de referencia mediante un comparador. Cuando el pulso supera el nivel de referencia, el comparador genera una señal digital que permanece activa mientras la señal analógica se mantiene por encima del umbral. Como resultado, transforma los valores de amplitud del pulso gaussiano en valores de tiempo.

De esta manera, la información de energía del evento detectado queda traducida en el ancho temporal del pulso digital. Esta estrategia permite simplificar la electrónica de adquisición, ya que la magnitud a medir se convierte en un intervalo de tiempo que puede ser fácilmente cuantificado mediante contadores digitales.

El uso del método *Time Over Threshold* ofrece una alternativa más eficiente:

- elimina el uso de ADC con un frecuencia de muestreo alta
- presenta menor consumo de potencia
- evita el muestreo completo del pulso
- reduce el volumen de datos de procesamiento por cada evento y reduce el uso de memorias

El realizar la comparación con un umbral dinámico permite una mejor utilización del eje temporal, generando una mayor cantidad de valores distinguibles para representar la energía depositada, en comparación con el umbral fijo.

2.5 Histogramas de energía

En los sistemas de detección de radiación es habitual analizar estadísticamente los eventos detectados mediante la construcción de histogramas. Un histograma representa la frecuencia de ocurrencia de eventos en función de la energía depositada en el detector.

Cada evento registrado se clasifica en un intervalo o **bin** de energía determinado. A medida que se acumulan eventos, el número de ocurrencias en cada bin permite reconstruir la distribución energética de la radiación incidente.

Este tipo de representación resulta fundamental en espectrometría de radiación, ya que permite identificar características propias de la fuente radiactiva, tales como picos de energía característicos o distribuciones continuas asociadas a distintos procesos de interacción.

En sistemas de adquisición digitales, los histogramas pueden construirse utilizando memorias que almacenan la cantidad de eventos registrados para cada intervalo de energía, permitiendo posteriormente visualizar y analizar los resultados mediante software de procesamiento de datos.

3. Arquitectura general del sistema

El sistema desarrollado consiste en una electrónica completa destinada a la lectura y procesamiento de señales provenientes de detectores de radiación semiconductores. Su objetivo es acondicionar la señal generada por el detector, extraer la información asociada a la energía de cada evento y presentar los resultados de forma estadística para su posterior análisis.

En primer lugar, la señal proveniente del detector es acondicionada mediante una etapa analógica que integra la carga generada por la interacción de la radiación con el detector, transformando los pulsos de corriente en señales de tensión. Posteriormente, estas señales son conformadas mediante filtros que generan pulsos gaussianos cuya amplitud está relacionada con carga depositada por la partícula incidente.

A continuación, se emplea la técnica de *Time Over Threshold* (TOT) para convertir la información de amplitud en un intervalo de tiempo. Este proceso se realiza comparando los pulsos gaussianos con una señal de referencia, obteniéndose pulsos digitales de duración variable, de esta forma se transforman los valores de amplitud en valores de tiempo.

Finalmente, la duración de estos pulsos digitales es medida mediante un sistema de adquisición implementado en una FPGA, que registra los eventos detectados y construye histogramas que permiten analizar estadísticamente la distribución de energías.

En la Figura 3.1 se muestra el sistema completo que está compuesto por tres bloques principales:

- etapa de acondicionamiento analógico
- etapa de digitalización Time Over Threshold
- etapa circuito digital basada en FPGA

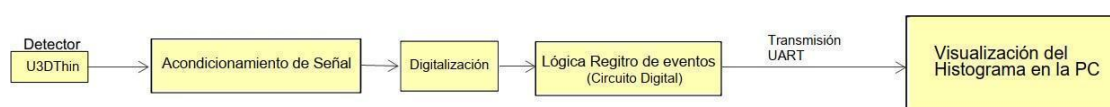


Figura 3.1. Diagrama en bloques del dispositivo

4. Diseño del acondicionamiento analógico

En la Figura 4.1 puede observarse el diagrama en bloques del sistema y su interconexión. La etapa acondicionador de señal es un circuito analógico que está compuesto por tres bloques: amplificador sensible a la carga (*Charge Sensitive Preamplicifier*), conformador de pulsos gaussianos (*Gaussian shaping amplifier*), restaurador de línea de base (*Baseline Restoration*) implementados con circuitos integrados del fabricante CREMAT[6]. En la etapa digitalización se utilizó la técnica comparación (*Time Over Threshold*) con el fin de reducir el procesamiento de datos y bajar la latencia implementado con amplificadores operacionales AD 8066[7] del fabricante Analog Devices. Entre las etapas amplificador de carga y el conformador de pulsos gaussianos se agregó un filtro pasa altos de primer orden en cascada con un amplificador operacional en configuración no inversora para preamplificar la señal y mejorar la SNR, el amplificador utilizado es un HFA1112[8]. Con respecto a la etapa digital se utilizó la placa de desarrollo EDU CIAA FPGA para sintetizar la lógica de registro de eventos y de esta forma poder cuantificar, clasificar la energía de cada partícula y generar el histograma.

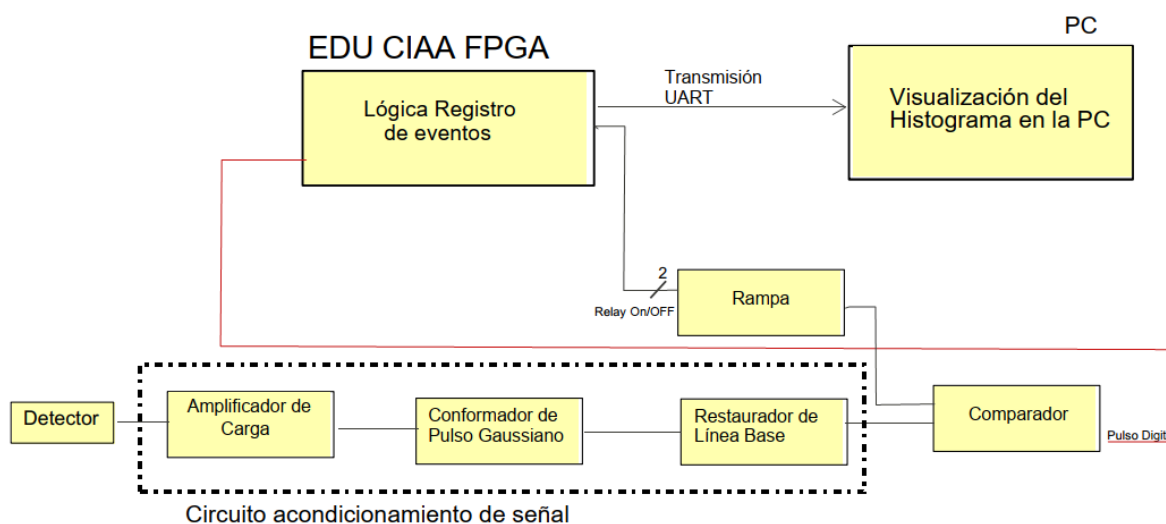


Figura 4.1. Etapas que forman el acondicionador de señal y circuito digital utilizando una FPGA.

Se realizaron simulaciones y se mostraron formas de onda para entender el funcionamiento de cada etapa del acondicionamiento de la señal y luego determinar qué técnica de digitalización usar para digitalizar estos pulsos y conseguir que el circuito digital lo interprete correctamente.

4.1. Amplificador Sensible a la Carga

El circuito integrado utilizado en la primera etapa del circuito acondicionamiento de la señal es el CR-110[11], es un amplificador de transimpedancia del fabricante CREMAT como se muestra en la Figura 4.1.1. El circuito integrado de este fabricante presenta una constante de tiempo $\tau = (Rf \times Cf) = 140 \mu\text{F}$ y un tiempo de crecimiento (*rise time*) de 7ns. Se busca que la constante de tiempo sea grande para obtener un escalón de tensión y que le permita al conformador de pulsos gaussianos procesar este escalón durante 25 μs .

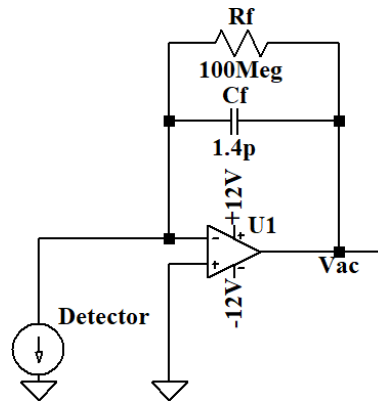


Figura 4.1.1. Amplificador sensible a la carga CR-110

Se modeló el detector semiconductor U3DTHIN como una fuente de corriente, se tuvo en cuenta la fuente de ^{241}Am que emite partículas alfa con una energía máxima, en el mejor caso, de 5 MeV, se tuvo en cuenta esta información para obtener la amplitud del pulso de corriente del detector suponiendo que todas las partículas alfa dejan toda su energía en el detector. También se realizaron simulaciones del amplificador sensible a la carga, el conformador de pulsos gaussianos, restaurador de línea de base, comparador y generador de rampa para analizar su funcionamiento y validar el comportamiento del circuito.

A continuación, se plantea la ganancia del amplificador de carga y se estima la máxima amplitud de corriente del detector teniendo en cuenta la fuente de ^{241}Am .

Tensión de salida del amplificador de carga:

$$V_{ac} = -\frac{Q_d}{C_f} \quad (1)$$

Donde:

- Q_d es la carga depositada en el capacitor.
- C_f es el capacitor del amplificador de carga.

Se observa en la ecuación (1):

- El escalón tiene una amplitud de valor V_{ac} proporcional a la carga.
- A menor valor de capacidad C_f mayor valor de tensión.

El signo menos de la ecuación (1) se debe a que el pulso de corriente del detector está conectado a la entrada inversora del amplificador sensible a la carga. Sin embargo, el detector U3DTHIN entrega una carga negativa $Q_d < 0$, entonces la tensión de salida del amplificador de carga queda:

$$V_{ac} = -\frac{(-Q_d)}{C_f} = \frac{Q_d}{C_f} \quad (2)$$

Cuando una partícula deposita energía E en el detector, el número de pares electrón huecos generados es:

$$N = \frac{E}{\epsilon}$$

donde:

- El número de pares electrón huecos N generados es adimensional.
- ϵ es la energía necesaria para crear pares electrón hueco en unidades de eV. Para un semiconductor de silicio a una temperatura de 300K el parámetro ϵ es 3.6eV.
- E es la energía de la fuente en unidades de eV o Joule.

La carga total recolectada es:

$$Q_d = N \times e^- [C]$$

donde: e^- es la carga del electrón 1.6×10^{-19} C.

Entonces la carga del capacitor es:

$$Q_d = \frac{E e^-}{\varepsilon} [C] \quad (3)$$

Reemplazando (3) en (2) se obtiene:

$$V_{ac} = \frac{E e^-}{\varepsilon C_f} \frac{[C]}{[F]} \rightarrow V_{ac} = \frac{E e^-}{\varepsilon C_f} [V]$$

Despejando E se obtiene la ganancia del preamplificador de carga.

$$G = \frac{V_{ac}}{E} = \frac{e^-}{\varepsilon C_f} \frac{[C]}{[eV][F]} \rightarrow G = \frac{V_{ac}}{E} = \frac{e^-}{\varepsilon C_f} \frac{[C]}{[c \cdot V] \left[\frac{V}{C} \right]}$$

$$G = \frac{V_{ac}}{E} = \frac{e^-}{\varepsilon C_f} \frac{[1]}{[C]} \rightarrow G = \frac{V_{ac}}{E} = \frac{e^-}{\varepsilon C_f} \frac{[1]}{\left[\frac{eV}{V} \right]}$$

$$G = \frac{V_{ac}}{E} = \frac{e^-}{\varepsilon C_f} \frac{[V]}{[eV]}$$

Cálculo de ganancia:

$$G = \frac{e^-}{\varepsilon C_f} = \frac{1.64 \times 10^{-19}}{(1.4 \times 10^{-12}) \times 3.62} = 32 \frac{nV}{eV}$$

Tensión de salida cuando se usa la fuente de ^{241}Am que tiene una energía máxima de $E=5 \text{ MeV}$ (mejor caso).

$$V_{ac} = G \times E = \left(32 \frac{nV}{eV} \times 5 \text{ MeV} \right) \cong 160 mV$$

Estimando el Pulso de Corriente del detector:

$$Q_d = \frac{5 \text{ MeV} \times (1.64 \times 10^{-19} \text{ C})}{3.62 \text{ eV}}$$

$$Q_d = (226.51 \times 10^{-15} \text{ C}) \cong 226.51 \text{ fC}$$

Se obtiene este valor de carga $Q_d=226.51\text{fC}$ suponiendo que la partícula alfa deja toda su energía en el detector. Según el fabricante CREMAT, la carga máxima que soporta sin que el amplificador CR-110 sature es $Q_{dmax} = 4.2 \text{ pC}$, con lo cual la carga que genera el detector cuando incide la partícula alfa está muy por debajo de la carga máxima. Además, se concen que los pulsos de corriente del detector tienen una duración del orden de nanosegundo, suponiendo que su valor es $\Delta t= 1 \text{ ns}$, la amplitud de corriente del detector estimada es:

$$I_d = \frac{\Delta Q_d}{\Delta t} = \frac{226.51 \text{ fC}}{1 \text{ ns}} = 226.51 \mu A$$

4.1.1. Simulación del amplificador de carga

En la Figura 4.1.2 se observa los pulsos de corriente de amplitud $I_d=226.51 \mu A$ del detector donde su carga fue almacenada en el capacitor del amplificador de carga. Además, en la Figura 4.1.2 se observa que la forma de onda de la salida del amplificador de carga es una exponencial decreciente con una constante de tiempo de $140 \mu s$.

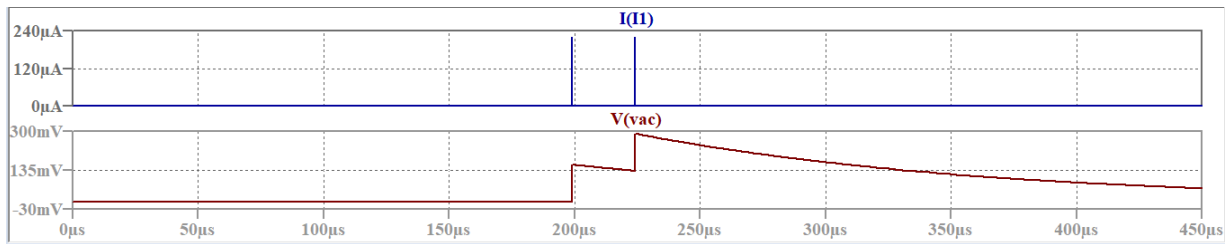


Figura 4.1.2. Pulsos de corriente del detector (curva azul). Salida del amplificador sensible a la carga (curva marrón).

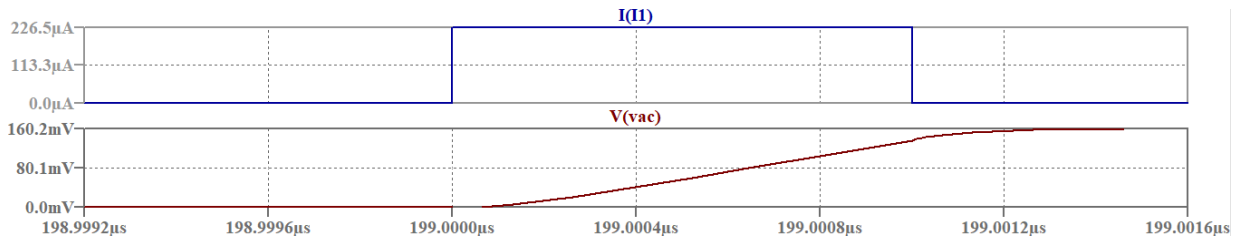


Figura 4.1.3. Amplitud de corriente $I_d=226.51\mu A$ (curva azul). Amplitud de tensión $V_d=160\text{ mV}$ (curva marrón).

4.2. Amplificador HFA1112

El circuito integrado utilizado en la segunda etapa del circuito acondicionamiento de la señal es el HFA1112. El integrado HFA1112 es un amplificador operacional en configuración inversora de ganancia -1 . Para este caso se utilizó la configuración no inversora de ganancia 2, la función de esta etapa es atenuar el ruido y amplificar la señal de interés, escalón de tensión, para mejorar la relación SNR de la señal.

En la Figura 4.2.1 se observa un filtro pasa altos de primer orden en cascada con un amplificador no inversor. El filtro pasa altos tiene una frecuencia de corte de $f_c=169.3\text{ Hz}$ que rechaza las componentes de baja frecuencia de esta forma atenúa el ruido dejando pasar la señal de interés y luego amplificar dicha señal.

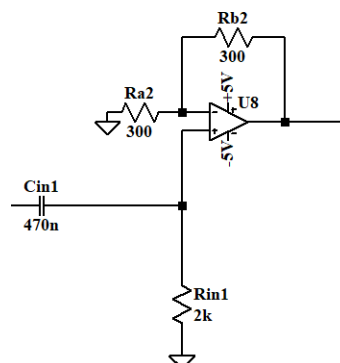


Figura 4.2.1. Amplificador HFA1112

Cálculo de la frecuencia de corte:

$$f_{c0} = \frac{1}{2\pi R_{in1} C_{in1}} = \frac{1}{2\pi(2k \times 470nF)} = 169.31\text{ Hz}$$

Como la salida del amplificador de carga genera un escalones de tensión, sus transiciones o flancos son 7 ns, el amplificador HFA1112 es capaz de seguir estas transiciones ya que cuenta con un *slew rate* de 2400 V/ μ s.

4.2.1. Simulación HFA1112

En la Figura 4.2.2 no se observan diferencias entre la señal de salida y la señal de entrada, el amplificador HFA1112 puede seguir las transiciones de 7ns que hay en la entrada. La función del filtro pasa altos es para eliminar el ruido sin quitarle información al escalón.

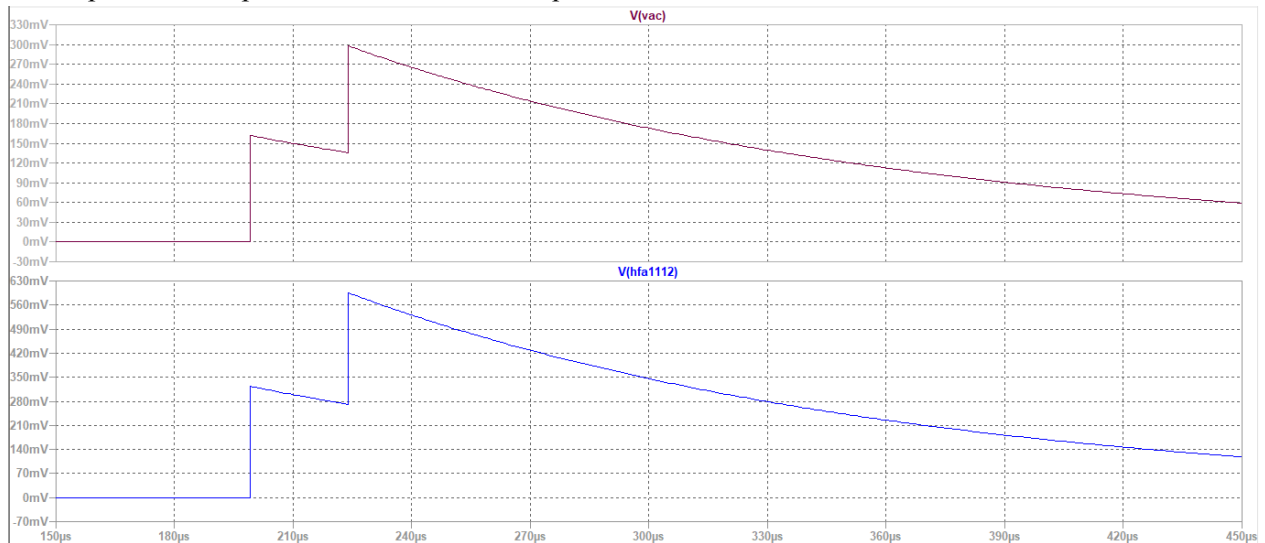


Figura 4.2.2. Salida del amplificador HFA1112 (curva azul) Salida del amplificador de carga (curva violeta).

4.3. Conformador de Pulsos Gaussiano

El circuito integrado utilizado en la tercera etapa del circuito acondicionamiento de la señal es el CR-200 del fabricante CREMAT, es un filtro pasa banda y está compuesto por, un filtro pasa altos de primer orden y dos filtros activos pasa bajos de segundo orden Sallen Key como se observa la Figura 4.3.1. Esta etapa amplifica y filtra las componentes frecuenciales para darle la forma gaussiana. En su salida genera un pulso de tensión en forma de “campana” y se lo llama pulso gaussiano, de esta manera el pulso es más suave facilitando su procesamiento. El pulso gaussiano es de amplitud variable y representa la energía de la partícula, que es el evento que se quiere capturar para posteriormente hacer la estadística.

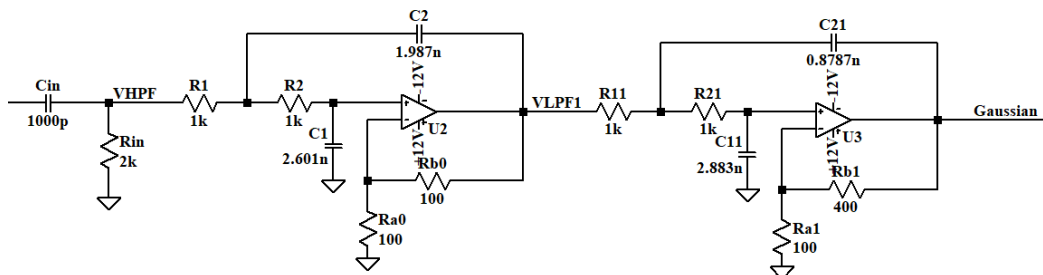


Figura 4.3.1. CR 200 – conformador de pulso gaussiano

Se realizó la simulación del conformador de pulso gaussiano CR-200 con el fin de tener una comprensión completa de este conformador. El fabricante CREMAT dispone de diferente modelos de conformador como: CR-200-100ns, CR-200-250ns, CR-200-500ns, CR-200-1µs, CR-200-2µs, etc. Los tiempos 100 ns, 250 ns, 500 ns, 1 µs, 2 µs indican el *shaping time* de cada modelo. El *shaping time* son tiempos de conformación y según el fabricante se define como el equivalente temporal de la “desviación estándar” del pulso de salida gaussiano.

Se realizó la modelización del conformador CR-200-2µs ya que fue el que se utilizó en las pruebas y sus características son:

- Ganancia 10
- *Shaping time* o tiempo de conformación 2µs
- FWHM o máximo de la mitad del ancho de pulso es de 4.7µs

El filtro pasa alto de primer orden rechaza las componentes de baja frecuencia haciendo que la exponencial caiga con una pendiente mayor y que su constante de tiempo sea menor con respecto al escalón de la entrada. Luego el filtro pasa bajo rechaza las componentes de alta frecuencia haciendo que el flanco de la exponencial sea mucho más lento y suave. Utilizando las frecuencias de cortes adecuadas se puede obtener el pulso gaussiano de tensión.

La frecuencia de corte del filtro pasa altos que se encuentra en la entrada del conformador es:

$$f_{C1} = \frac{1}{2\pi R_{in} C_{in}} = \frac{1}{2\pi(2k\Omega)(1000pF)} = 79.57kHz$$

4.3.1. Diseño de filtro Sallen Key pasa bajos

Usando el filtro de Butterworth de segundo orden para las dos etapas:

$$s^2 + as + b$$

Para la primera etapa se quiere una frecuencia de corte $f_c=70$ kHz y una ganancia $G_1=2$.

Ecuación normalizada del capacitor C_{1n} es:

$$C_{1n} = \frac{(a + \sqrt{a^2 + 8b(G_1 - 1)})}{4 \times b}$$

Tomando como valores $a=1.414$ y $b=1$

$$C_{1n} = 1.144$$

Ecuación normalizada del capacitor C_{2n} es:

$$C_{2n} = \frac{1}{b C_{1n}} = 0.874$$

En el diseño se toma los valores de resistencias normalizadas R_{n1} y R_{n2} igual a 1. Se desnormaliza para obtener valores cercanos a los comerciales teniendo en cuenta la frecuencia normalizada de 1 y el factor de impedancia de 10^3 .

$$C_1 = \frac{C_{1n}}{(2\pi \times \frac{70kHz}{1})(10^3)} = 2.6nF$$

$$C_2 = \frac{C_{2n}}{(2\pi \times \frac{70kHz}{1})(10^3)} = 1.98nF$$

$$R_{1,2} = 10^3 \times R_n = 1k\Omega$$

Para la segunda etapa se quiere una frecuencia de corte $f_c=100$ kHz y una ganancia $G_2=5$.

Ecuación normalizada del capacitor C_{2n} es:

$$C_{1n} = \frac{(a + \sqrt{a^2 + 8b(G_2 - 1)})}{4 \times b}$$

Tomando como valores $a=1.414$ y $b=1$

$$C_{1n} = 1.811$$

Ecuación normalizada del capacitor C_{2n} es:

$$C_{2n} = \frac{1}{b C_{1n}} = 0.552$$

Ídem con respecto a las resistencia y frecuencia normalizada tomando el mismo factor de impedancia.

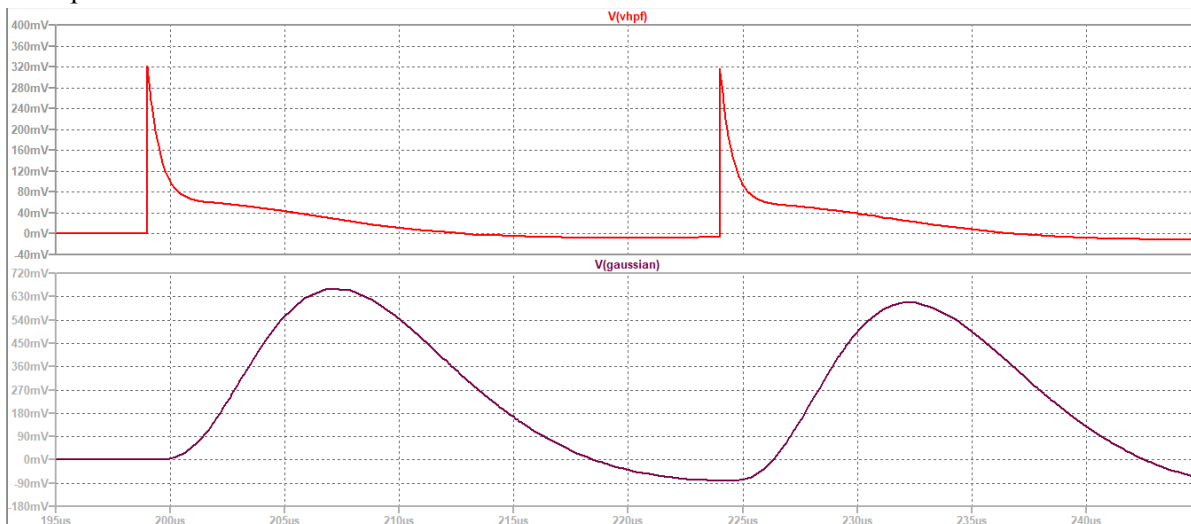
$$C_1 = \frac{C_{1n}}{(2\pi \times \frac{100kHz}{1})(10^3)} = 2.88nF$$

$$C_2 = \frac{C_{2n}}{\left(2\pi \times \frac{100k\text{Hz}}{1}\right) \left(10^3\right)} = 0.878n\text{F}$$

$$R_{1,2} = 10^3 \times R_n = 1k\Omega$$

4.3.2 Simulaciones Conformador de pulsos gaussiano

La salida del filtro pasa altos en el nodo V_{HPF} que se muestra en la Figura 4.3.2 es una señal exponencial decreciente con una constante de tiempo menor a la señal de entrada, escalón de tensión, debido a que el filtro elimina las componentes de baja frecuencia. La salida en el nodo V_{Gaussian} de la Figura 4.3.2 se observa el pulso gaussiano esperado ya que los filtros pasa bajos activos eliminan las componentes de alta frecuencia suavizando el flanco ascendente del escalón de tensión.



Figura

4.3.2. salida del nodo V_{HPF} (curva roja). Salida del nodo V_{Gaussian} (curva violeta).

4.4. Restaurador de Línea de Base

El circuito integrado utilizado en la cuarta etapa del circuito acondicionamiento de señal es el CR-210 del fabricante CREMAT. Evita que la señal se desplace cuando llegan eventos muy seguidos manteniendo los pulsos estables, aunque la tasa de evento sea alta. Se puede observar en la Figura 4.4.1 el diseño del restaurador de línea de base (BLR).

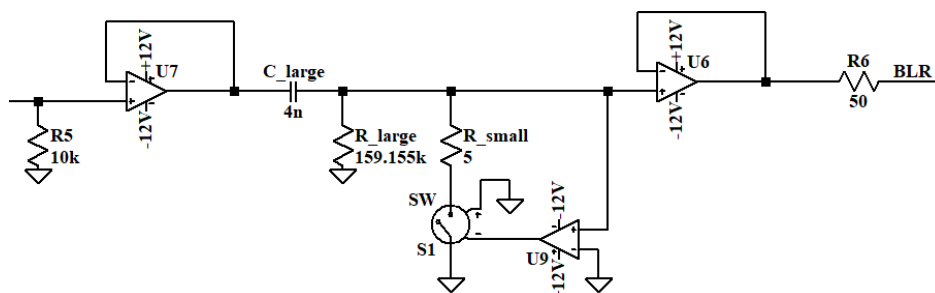


Figura 4.4.1. CR-210 Restaurado de línea de base

El circuito integrado BLR está compuesta por:

- Dos amplificadores operacionales en configuración seguidora en la entrada y salida. Actúan como buffer y sirven para separar etapas.
- Un filtro pasa alto de primer orden.
- Una llave controlada por tensión está llave está controlada por un amplificador operacional que funciona como comparador.
- Una resistencia $R_5 = 10k\Omega$ a la entrada, se utiliza para mantener 0V cuando no hay pulsos de esta manera se evitan falsos disparos en presencia de ruido.
- Presenta una impedancia de salida $R_6 = 50\Omega$.

Su funcionamiento: cuando el comparador (U9) detecta tensión negativa activa la llave haciendo que las resistencias queden en paralelo de esta manera aumenta la frecuencia de corte rechazando aún más las componentes de baja frecuencia y de esta forma estabiliza el pulso cuando recibe una alta tasa de pulsos.

4.4.1 Simulación (BLR)

En la Figura 4.4.2 muestra que la salida del nodo V_{Gaussian} se encuentra por debajo de los 0 volts tomando valores negativos y en esa zona el restaurador de línea base lo lleva a 0 volt, pulso gaussiano en la salida del nodo V_{BLR} .

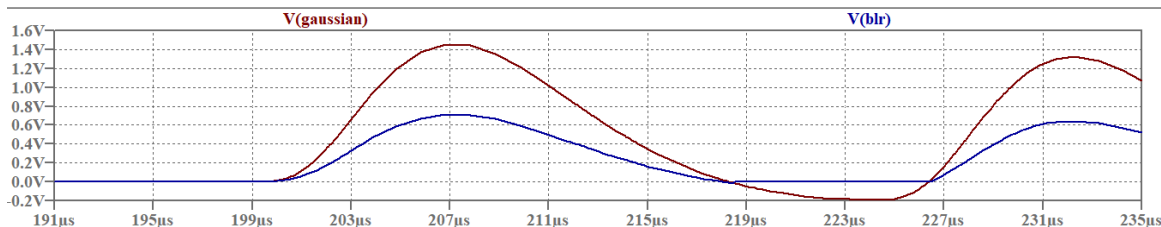


Figura 4.4.2. Salida del BLR (curva azul) y salida del Conformador de pulso gaussiano (curva marrón).

4.5 Método Time Over Threshold

En Figura 4.5.1 se observa la implementación del método *Time Over Threshold*, se utilizó un comparador de histéresis, un diodo Zener como regulador tensión para transformar la amplitud del pulso de 5V a 3.3V ya que es el nivel de tensión que soporta la FPGA. Este pulso es enviado a la entrada de la FPGA (pin 106) para que la lógica digital pueda clasificar el evento y generar el histograma.

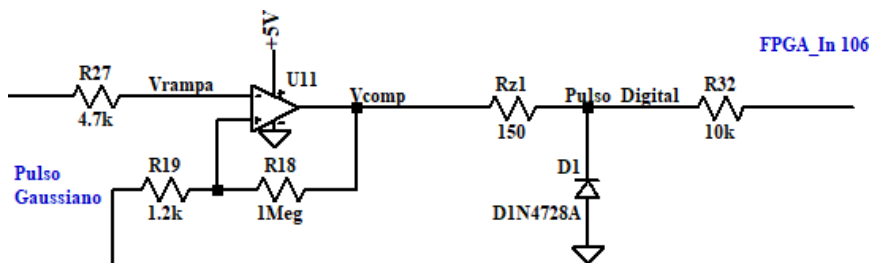


Figura 4.5.1 Comparador de Histéresis en cascada con el regulador Zener.

4.5.1 Simulación y Diseño Comparador de Histéresis

Se realizaron las simulaciones del comparador de histéresis como muestra la Figura 4.5.2 cuando el pulso gaussiano supera el inferior V_L la salida del comparador pasa del estado bajo al estado alto, la FPGA detecta este cambio y activa la rampa de tensión. Cuando el pulso gaussiano cruza el umbral superior, la salida del comparador pasa del estado alto al estado bajo, luego la FPGA desactiva la rampa ascendente y activa la rampa descendente haciendo que la rampa vuelva al umbral inferior V_L en $6\mu s$ para que el comparador esté listo para procesar el siguiente pulso gaussiano y evitar tiempos muertos. En la Figura 4.5.2 se observa un retardo de $1\mu s$ aproximadamente en la primera intersección entre la rampa y el pulso en el tiempo t_1 , se realizó la simulación de este retardo ya que la FPGA cuenta con un bloque llamado *Relay On Off* que es el encargado de controlar el circuito rampa, este bloque tiene retardos configurables para el estado alto y el estado bajo para realizar ajustes y asegurarse que la rampa cruce en dos puntos al pulso gaussiano y obtener un pulso digital por cada intersección.

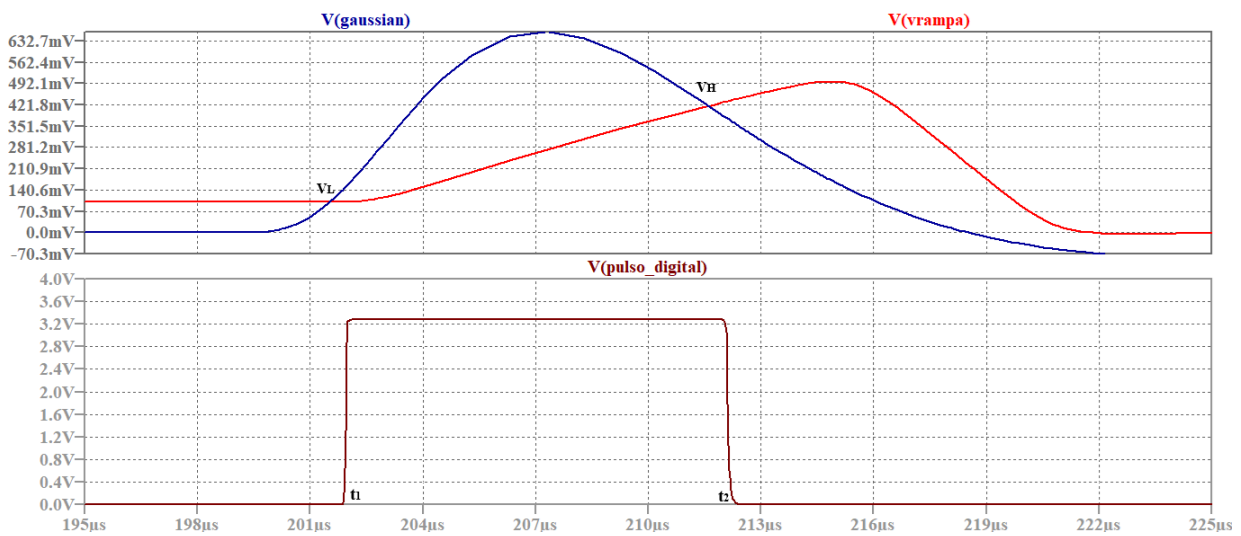


Figura 4.5.2. Pulso gaussiano (curva azul), umbral dinámico o rampa (curva roja), Pulso a la salida del comparador (curva marrón).

A continuación se presenta el diseño del comparador de histéresis. La ecuación general del comparador de histéresis es:

$$V^+(t) = V_{in}(t) \frac{R_{18}}{R_{19} + R_{18}} + V_c(t) \frac{R_{19}}{R_{19} + R_{18}}$$

donde:

- $V^+(t)$ es la entrada no inversora de amplificador operacional.
- $V_{in}(t)$ es el pulso gaussiano.
- $V_c(t)$ es la salida del comparador de histéresis.
- $V^-(t)$ es la entrada inversora de amplificador operacional, por donde ingresa la rampa.

Como se utiliza un comparador de histéresis este tiene dos umbrales y este recibe pulsos gaussianos de amplitud variable, el ancho de histéresis debería ser pequeño para asegurar que el pulso cruce siempre por los dos umbrales, pero de esta forma sería muy susceptible al ruido entonces lo que se hizo fue $V^+(t)$ se aproxima a $V_{in}(t)$ para tener un umbral inferior fijo y un umbral superior variable así cuando se recibe pulso de amplitud mediana y grande los umbrales están lo suficientemente separado para que sea más robusto al ruido.

Suponiendo $R_{19} \ll R_{18}$, los factores se aproximan a:

$$\frac{R_{18}}{R_{18} + R_{19}} \cong 1$$

$$\frac{R_{19}}{R_{18} + R_{19}} \cong 0$$

En estas condiciones se consigue que $V^+(t)$ se aproxima a $V_{in}(t)$ de esta forma el ancho de histéresis dependerá de la entrada, el umbral inferior es fijo y el umbral superior depende de la amplitud de la gaussiana, es decir que cuando al comparador llegue un pulso de mayor energía el ancho de histéresis será grande siendo más robusto al ruido. Y cuando llegue un pulso de menor energía el ancho de histéresis será menor. Se tomaron valores comerciales de resistencia $R_{18} = 1M\Omega$ y $R_{19} = 1.2k\Omega$.

Cálculo de los umbrales:

En el instante $t=t_1$ $V_{in}(t_1) \geq V^-(t_1)$, la salida del comparador cambia del estado bajo al estado alto, es decir $V_c(t_1) = 5V$ y $V^+(t_1)$ coincide con V_L donde V_L es el umbral inferior de la histéresis. El primer cruce $V_{in}(t_1) = V^-(t_1)$ que es el valor de continua del generador de rampa y el mínimo valor que puede tomar es 40 mV.

$$V_L = 40mV \frac{1M\Omega}{1.2k\Omega + 1M\Omega} + 5V \frac{1.2k\Omega}{1.2k\Omega + 1M\Omega} = 0.0459V$$

En el instante $t=t_2$ $V_{in}(t_2) \leq V^+(t_2)$, la salida del comparador cambia del estado alto al estado bajo, es decir $V_c(t_2) = 0V$ y $V^+(t_2) = V_H$ donde V_H es el umbral superior de la histéresis. El segundo cruce $V_{in}(t_2) = V^+(t_2)$ que es un valor muy cercano a la amplitud de la gaussiano, suponiendo que $V_{in}(t_2) = 1V$.

$$V_H = 1V \frac{1M\Omega}{1.2k\Omega + 1M\Omega} = 0.998V$$

Ancho de histéresis:

$$\Delta V = V_H - V_L = 952,8mV$$

4.6 Generador de Rampa y comparador

Se utiliza el generador de Rampa para producir el umbral de tensión dinámico, el dispositivo digital FPGA controla la rampa ascendente y descendente a través de los pines 124 y 144 respectivamente. Este circuito está implementado con amplificadores operacionales AD 8066.

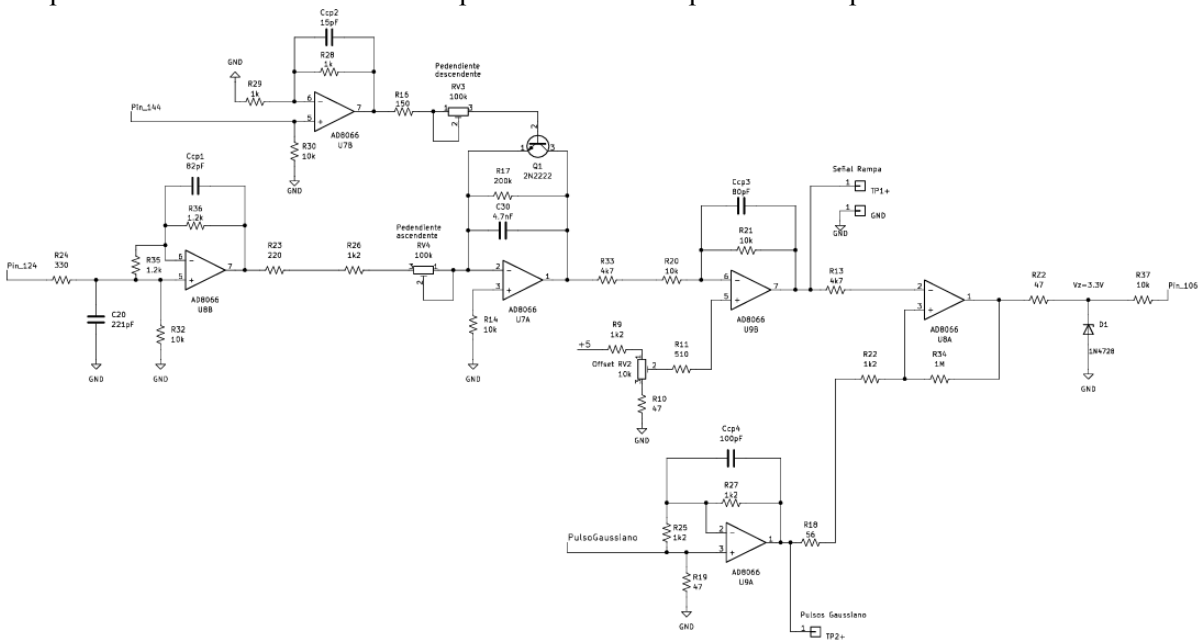


Figura 4.6.1. Esquemático generador de rampa y comparador.

En la Figura 4.6.1. se observa cómo está compuesto el generador de rampa:

- Circuito pasa bajos RC de primer orden con una frecuencia de corte de $f_c = 2.18$

- MHz. Filtra los sobrepicos en las transiciones del pulso.
- Buffer (U8B): es un amplificador operacional en configuración seguidor para separar etapas.
- Amplificador No Inversor (U7B): amplifica el pulso de la FPGA activando la rampa descendente.
- Integrador (U7A): genera la rampa de tensión ascendente y descendente.
- Amplificador Inversor (U9B): invierte la rampa positiva y le suma el umbral de tensión.

En la Figura 4.6.2 se observa:

- Un filtro pasa bajo donde su frecuencia de corte es $f_c=4.8$ MHz, elimina sobrepicos de las transiciones del pulso enviado por la FPGA.
- Seguidor (U8B) replica el pulso de la entrada separando etapas. Los componentes R35, R36, Ccp1 forman parte del seguidor U8B.
- Amplificador no inversor (U7B) de ganancia, activa el transistor 2N2222 para descargar el capacitor $C_{30}=4.7$ nF y generar una rampa de tensión descendente cuando el integrador no está activado. Esta etapa es controlada por el bloque Relay On Off de la FPGA.
- El integrador (U7A) es el encargado de cargar el capacitor $C_{30}=4.7$ nF para generar la rampa de tensión ascendente. Esta etapa es controlada por el bloque Relay On Off de la FPGA.
- Los potenciómetros:
 - RV4 ajusta la pendiente de la rampa ascendente.
 - RV3 ajusta la pendiente de la rampa descendente.

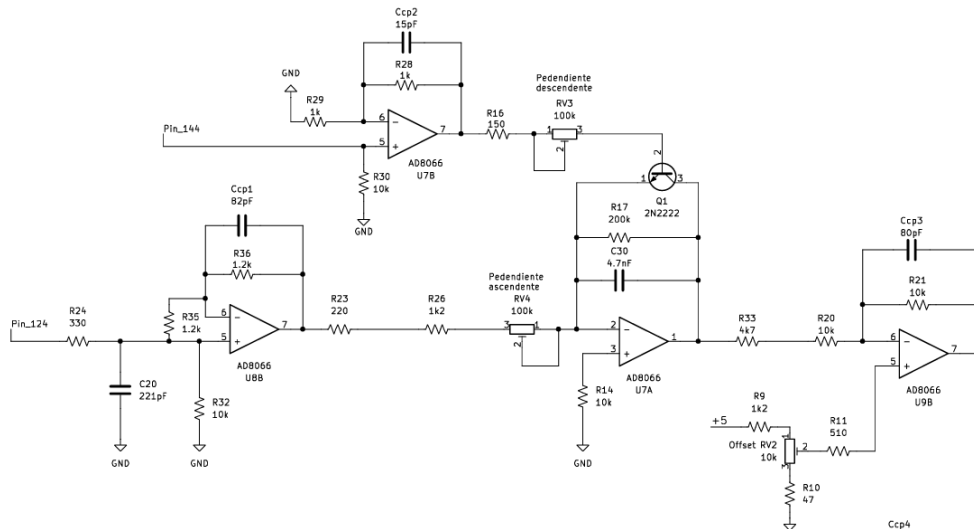


Figura 4.6.2. Esquemático del generador de rampa (primera parte).

4.6.1 Diseño del Integrador

Teniendo en cuenta una señal de prueba que es una onda cuadrada periódica de amplitud 3.3V y ciclo de trabajo del 50% ingresando por el Pin 124, en estas condiciones se plantea el rango de frecuencia que opera el integrador.

Tensión del Capacitor (V_c):

$$V_c = \frac{1}{C_{30}} \int i_c(t) dt = \frac{I_c}{C_{30}} t + V_c(0) \text{ donde } V_c(0) = 0$$

Corriente del capacitor (I_c):

$$I_c = \frac{-3.3V}{R_{eq}} \text{ donde } R_{eq} = R_{26} + R_{V4} \cong 100k\Omega$$

Tensión a la salida del integrador U7A (V_{0I})

$$V_{0I} = -V_c = -\frac{I_c}{C_{30}} t = -\frac{3.3V}{R_{eq} C_{30}} t = -\frac{3.3V}{\tau} t \quad (1)$$

Suponiendo que para el instante t_1 la amplitud de la rampa tiene un valor del doble de la tensión de entrada, entonces la salida del integrador es $-6.6V$, reemplazando t_1 por la ecuación (1) queda:

$$-6.6V = -\frac{3.3V}{\tau} \times t_1$$

Despejando t_1 :

$$t_1 = \frac{6.6V}{3.3V} \tau = 2\tau$$

Para $R_{min}=1k\Omega$

$$\tau_{min} = R_{min} \times C = 1k\Omega \times 4,7nF = 4.7\mu F$$

$$t_1 = 2\tau_{min} = 9.4\mu s$$

$$T_{min} = 2 \times t_1 = 18.8\mu s$$

$$f_{max} = \frac{1}{T_{min}} = 53.18kHz$$

Para $R_{max}=100k\Omega$

$$\tau_{max} = R_{max} \times C = 100k\Omega \times 4,7nF = 470\mu F$$

$$t_1 = 2\tau_{max} = 940\mu s$$

$$T_{max} = 2 \times t_1 = 1.88ms$$

$$f_{min} = \frac{1}{T_{max}} = 531.91Hz$$

El rango de frecuencia que puede operar es $513.91Hz < f < 53.18kHz$. Se coloca una resistencia R_{17} en paralelo al capacitor C_{30} para evitar que amplificador operacional del integrador quede a lazo abierto y que sature en su salida, ya que cuando a la entrada del integrador se inyecta una onda cuadrada periódica, el capacitor C_{30} se comporta como un circuito abierto para la continua de esta señal. Entonces con la resistencia R_{17} el amplificador operacional se comporta como un inversor de ganancia de $(-R_{17}/R_{eq})$.

En la Figura 4.6.3 se muestran las formas de ondas. Cuando el pulso gaussiano supera el primer umbral la salida del comparador de histéresis pasa del estado bajo al estado alto, esto es detectado por la FPGA y envía un pulso de amplitud $3.3V$ color marrón por el pin 124 para activar la rampa ascendente y obtener el umbral dinámico.

Este pulso pasa por el filtro pasa bajos y el seguidor, luego llega al integrador y activa la rampa ascendente.

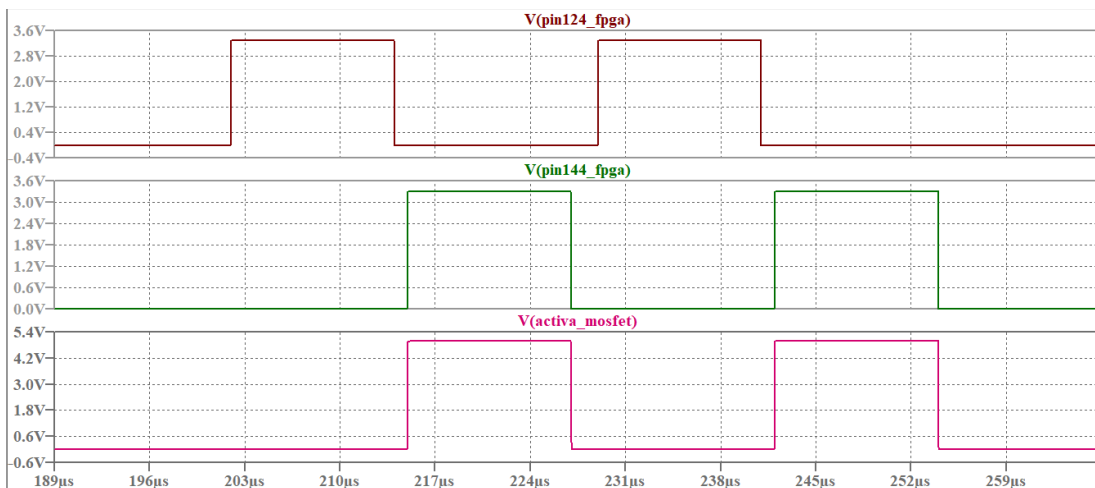


Figura 4.6.3. Pulso azul genera rampa ascendente, pulso verde llega a la entrada del no inversor, pulso rosa salida del no inversor.

Luego cuando la salida del comparador de histéresis pasa del nivel alto al bajo, el pin 144 de la FPGA entrega un pulso de amplitud $3.3V$ (color verde) pasa por el amplificador no inversor entregando a su salida un pulso de $5V$ que activa el transistor 2N2222, este descarga el capacitor del integrador generando la rampa descendente. Los pines 124 y 144 son salidas del bloque *Relay On Off* del circuito digital de la FPGA.

A continuación se explica el funcionamiento de la primera parte del circuito generador rampa : Durante el tiempo que la señal de pulso, color marrón Figura 4.6.3, está en estado alto:

- El integrador U7A recibe el pulso por el pin 124, color marrón, activando y generando la rampa ascendente.
- El no inversor U7B, no recibe pulso y el transistor 2N2222 permanece en corte.

Cuando la señal de pulso, color marrón Figura D9.1, está en estado bajo:

- El integrador U7A se desactiva, es decir no recibe pulso.
- El no inversor U7B recibe el pulso por el pin 144, color negro, y transistor 2N2222 pasa el estado de conducción generando la rampa descendente.

En la Figura 4.6.4 se observa las siguientes etapas:

- Seguidor (U9A) separa etapas para que no altere el comportamiento del comparador de histéresis. Los componentes R_{25} , R_{27} , C_{cp4} forman parte del seguidor U9A.
- Inversor (U9B) de ganancia -1 , invierte la rampa y le suma un umbral de tensión fijo.
- Comparador de histéresis (U8A) y regulador Zener.
- Se colocó la resistencia $R_{19}=47\Omega$ a la entrada del seguidor U9A, cómo adaptador de impedancia ya que la salida del restaurador de base de línea tiene una salida de 50Ω . Además, en los momentos que no hay pulsos gaussianos mantiene 0 V a la entrada del seguidor (U9) evitando falsos disparos por el ruido.
- El potenciómetro RV2 permite configurar el umbral de tensión fijo.

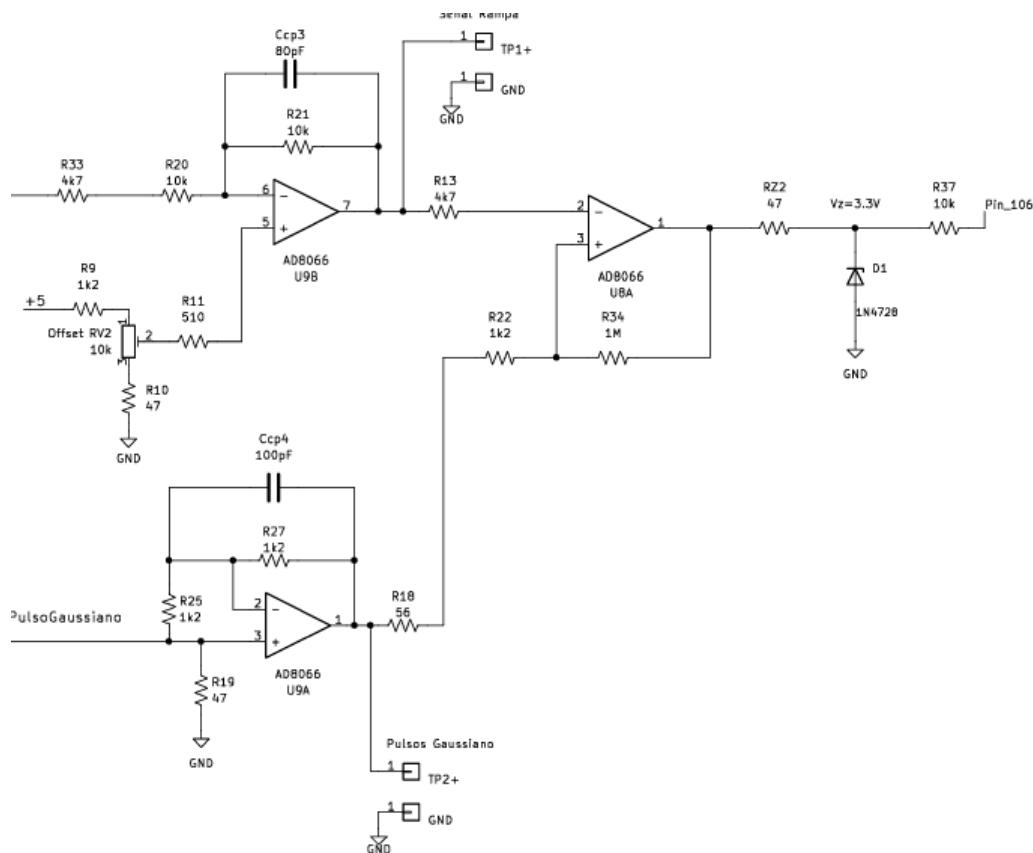


Figura 4.6.4. Esquemático del generador de rampa (segunda parte).

El Seguidor (U9A) recibe el pulso gaussiano y es enviado a la entrada del Comparador de histéresis (U8A), el pulso gaussiano supera el umbral de tensión fijo y a su salida pasa del nivel 0V a 5V, forma de onda azul Figura 4.6.5, este nivel de 5V pasa por el regulador de Zener recortando la amplitud a 3.3V, luego la FPGA recibe este nivel de 3.3V y activa la rampa enviando un nivel alto por el pin 124 y de esta forma se genera el umbral dinámico. Cuando la rampa cruza el pulso gaussiano, la salida del comparador de histéresis pasa del estado alto a bajo, luego la FPGA desactiva el integrador y el inversor (U7A) activa el transistor 2N2222 generando la rampa descendente.

En la Figura 4.6.5 se muestra a la salida del comparador el pulso digital de amplitud 5V y una duración de 10 μs . A la salida del regulador zener se observa el pulso digital de amplitud 3.3V y una duración de 10 μs . Utilizando la simulación se verificó la técnica de *Time Over Threshold* que permite transformar el valor de amplitud 660 mV del pulso gaussiano en un valor de tiempo de 10 μs . Se simularon dos pulsos de corriente de amplitud 226.52 μA , donde su valor ya fue calculado en la sección 4.1 amplificador sensible a la carga, estos pulsos de corriente están separados a una distancia de 20 μs , luego estos pulsos fueron procesados por el circuito acondicionamiento de la señal y se obtuvieron dos pulsos gaussianos como se observa en la Figura 4.6.5. El objetivo de esta simulación era evaluar la técnica de *Time Over Threshold* procese correctamente los pulsos gaussianos, se observa que cuando la rampa cruza el pulso gaussiano se obtiene a la salida el pulso digital. Además se observa que la pendiente de la rampa descendente es rápida ya que descarga el capacitor del integrador en 6 μs es decir que el pulso gaussiano es procesado rápidamente y está listo para procesar el pulso gaussiano siguiente evitando tiempos muertos.

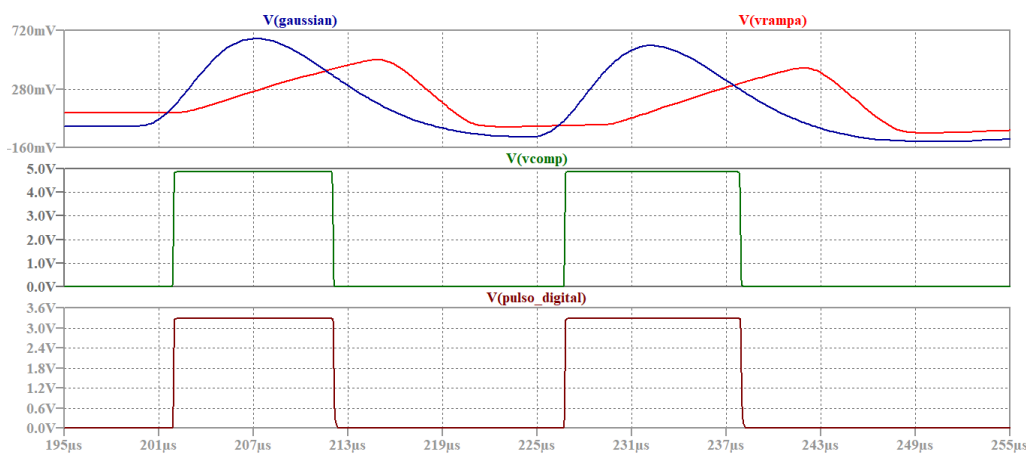


Figura 4.6.5. Pulso gaussiano (curva azul). Rampa (curva roja). Salida del comparador (curva verde). Salida del regulador Zener (curva marrón).

5. Diseño del Sistema Digital

Para el diseño del sistema digital se utilizó la placa de desarrollo EDU CIAA[3] que contiene una FPGA Lattice ICE 40HX4K[4], con ella se sintetizó la lógica de registro de eventos. Se utilizó esta placa de desarrollo ya que es de hardware libre que permite el diseño de soluciones rápidas y económicas, con la capacidad de satisfacer estándares de calidad exigentes. Se verificó el diseño del circuito digital mediante simulaciones y se analizó la forma de onda de cada señal digital para asegurar el correcto funcionamiento.

Básicamente lo que hace es medir la duración del pulso digital, evento, y guarda en memoria la repetición de cada evento. De esta forma lo guarda en memoria, luego se transmite por UART a la PC para visualizar el histograma energía. En paralelo hay un control de encendido y apagado, *Relay On/Off*, que es el que controla el generador de rampa.

Se utiliza el bloque PLL, configurado desde el IDE ICEcube2 [10], para aumentar la señal de clock de 12 MHz a 100 MHz como se observa en Figura 5.1, para conseguir una mayor

resolución, un bajo error de medición al medir la duración de cada pulso digital. Además, esta resolución permite poder discriminar entre dos eventos parecidos.

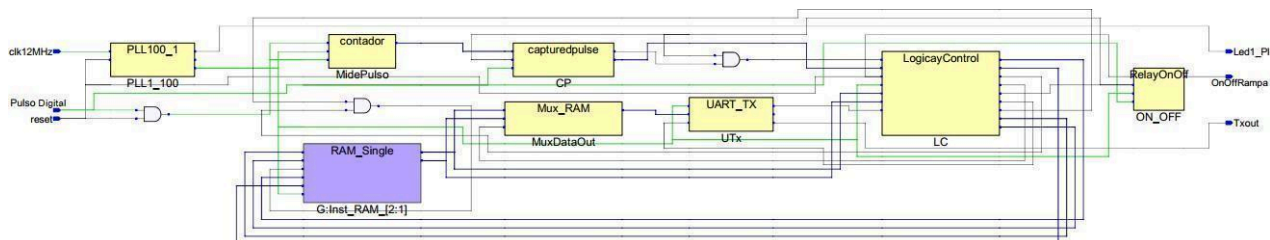


Figura 5.1. Circuito digital implementado con FPGA Lattice ICE 40HX4K.

A continuación se presentan los bloques que integran el circuito digital:

- **Relay On/Off:** Activa la rampa ascendente y descendente cuando recibe el pulso digital del comparador.
- **Contador:** Se activa cuando la salida del comparador pasa del estado bajo al estado alto generando un pulso cuadrado, el contador mide la duración del pulso y lo envía al bloque Captura pulso.
- **Captura pulsos:** recibe la duración del pulso medido (dato) y lo guarda en un registro indicando al bloque Lógica y Control que hay un dato válido.
- **Lógica y control:** cuando detecta el dato válido, activa el timer para capturar los datos, selecciona el bloque de memoria RAM, y gestiona los tiempos lectura y escritura de la memoria seleccionada guardando en memoria el número de veces que se repite en cada dato. Una vez finalizado el timer, se detiene los bloques *Relay On/Off* y *Captura pulso* finalizando la medición de los pulsos. Luego el bloque Lógica y Control habilita el bloque UART y realiza un barrido de lectura de cada bloque de memoria transmitiendo los datos por UART.
- **Bloques de RAM:** Está compuesto por dos bloques de memoria RAM de 8 x 512, es decir 8 bits de datos y 512 posiciones de memoria. Entre los dos bloques se obtienen 1024 direcciones que representan 1024 muestras con una altura de 255 para cada bin del histograma.
- **UART:** Es la comunicación con la PC. Dentro del bloque Lógica y Control hay un timer de captura de datos, su tiempo es parametrizable, una vez que finaliza este tiempo el bloque Lógica y Control habilita la UART transmitiendo todos los datos hacia la PC.

A continuación se describe la función de cada bloque con sus respectivas simulaciones que permite visualizar las señales digitales.

5.1. Contador

El contador mide el pulso entregado por comparador de histéresis. La configuración del contador es la siguiente:

- Señal $f_{clk} = 100\text{MHz}$ es decir Clock (Clk) = 10ns.
- Bits de contador 10 bits. Permite capturar muestras o datos de 0 a 1023.
- Tiempo mínimo para representar la muestra $t_i = \text{Clock} = 10\text{ns}$.
- Tiempo máximo para representar la muestra $t_f = \text{Clk} \times 1023 = 10.23\mu\text{s}$.

En la Figura 5.1.1 se muestra el circuito digital implementado en el bloque contador.

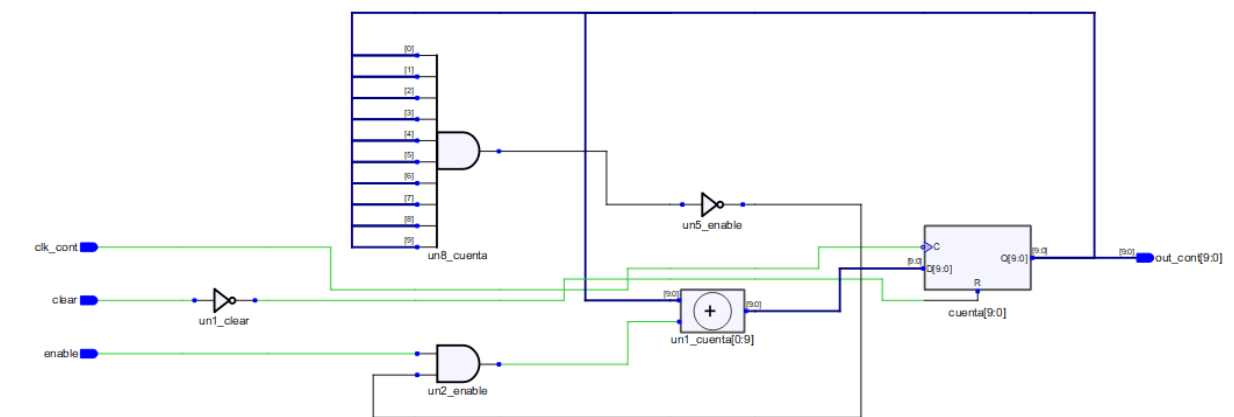


Figura 5.1.1. Circuito digital del bloque Contador.

En la Figura 5.1.2 se observa capturas de 200, 100, 300 y 600 que equivale a $2\mu\text{s}$, $1\mu\text{s}$, $3\mu\text{s}$, $6\mu\text{s}$ respectivamente. El contador avanza a pasos de 10 ns a lo largo de todo el pulso y su último valor es la duración del pulso. Cuando no hay pulso digital el contador se reinicia.

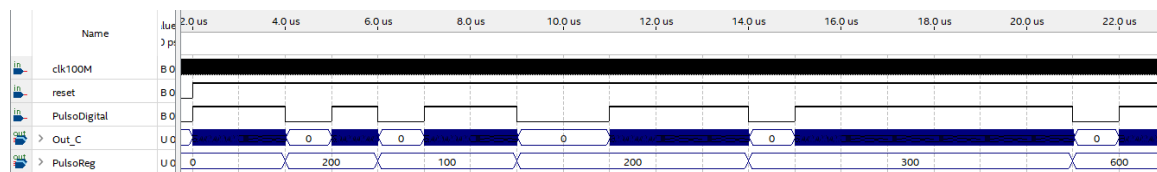


Figura 5.1.2. Salida del contador Out_C, Salida de Captura Pulso PulsoReg.

Señales que se observan en la Figura 5.1.2:

- Clk100M: la señal de sincronización global del contador y el resto de los bloques del circuito digital.
- reset: reinicio del circuito digital.
- Pulso digital: salida del comparador de histéresis con diferente duración que es recibida por la FPGA.
- Out_C: salida del contador.
- PulsoReg: es un registro que está dentro del bloque captura pulso, registra el último valor del contador.

5.2. Captura Pulsos

El bloque Captura Pulso tiene como función capturar y registrar la duración del pulso digital generado por la salida del comparador de histéresis, y notificar a la Lógica y Control cuando un dato válido se encuentra disponible.

Entradas

- clk_s: pulso digital conectado al reloj del bloque Capture Pulso.
- Solicita: señal de habilitación de captura.
- Pulso: valor digital que representa la duración medida del pulso (salida del contador).

Salidas

- PulsoRegistrado: valor del pulso almacenado.
- DataValido: indica a la lógica de control que el dato almacenado es válido.

El bloque está compuesto por dos procesos independientes, ambos sincronizados por el flanco descendente del reloj clk_s y condicionados por la señal Solicita. En la Figura 5.2.1 se muestra el circuito digital implementado dentro del bloque captura pulso.

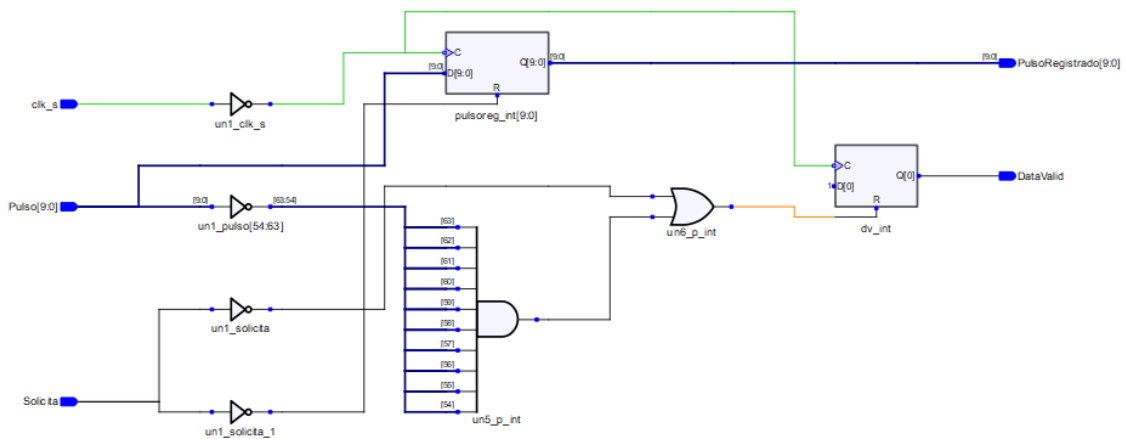


Figura 5.2.1. Circuito digital del bloque Captura Pulso.

El primer proceso se encarga de almacenar el valor del pulso medido. Mientras Solicita = '0', el registro interno se mantiene en cero. Cuando Solicita = '1', en cada flanco descendente del reloj, se captura el valor presente en la entrada Pulso. Luego el valor capturado se almacena en un registro interno y se presenta en la salida PulsoRegistrado. Este mecanismo asegura que el valor del pulso sea registrado de manera estable, evitando cambios durante el procesamiento posterior.

En la Figura 5.2.2 se muestra la forma de onda de las salidas del bloque Captura Pulso.

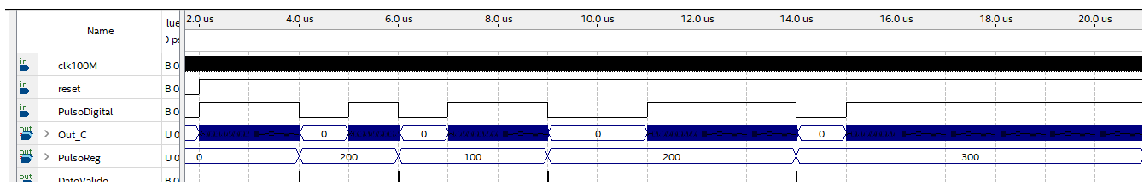


Figura 5.2.2. Salida de Captura Pulso PulsoReg y DatoValido.

5.3. Bloques RAM

Existen dos métodos para manejar memorias RAM[9]: instanciación o inferencia. **Instanciar** es insertar explícitamente la primitiva bloque de RAM del fabricante cuando se utiliza VHDL, Se mapea los pines directamente, brinda un control total de todos los parámetros, pero tiene la desventaja que no es portable con otras FPGA de diferentes fabricantes. **Inferencia** es cuando se escribe el código en VHDL y el sintetizador identifica el patrón y reconoce que se quiere utilizar la RAM, la ventaja es que es portable y flexible para implementar. Para este

proyecto se usó el método de Inferencia por su portabilidad y flexibilidad. Como los bits del bus de datos representan la altura de los bins y los bits del bus de direcciones representan las muestras se configuraron dos bloques de RAM de 512 x 9 para obtener en total un histograma de 1024 bins cada uno con una altura de 255.

En la Figura 5.3.1 el circuito implementado de las dos memorias RAM a nivel RTL.

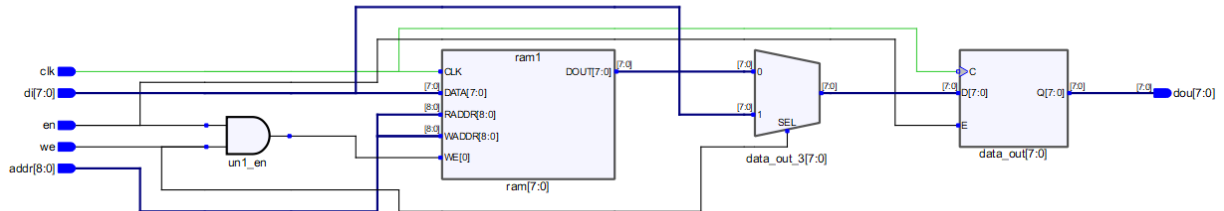


Figura 5.3.1. Bloqueo de RAM.

Las señales de entradas y salidas que se observan en la Figura 5.3.2, son:

- WE (write enable): habilita la lectura de los dos bloques de RAM cuando está en estado alto.
- BusAddress: Bus de direcciones de 9 bits, 512 direcciones, del primer bloque de RAM.
- DataOut_EvN-1: Bus de datos de salida de 8 bits del primer Bloque de RAM, representan las muestras del instante anterior.
- DataIn_EvN: Bus de datos de entrada de 8 bits del primer Bloque de RAM, representan las muestras del instante actual.

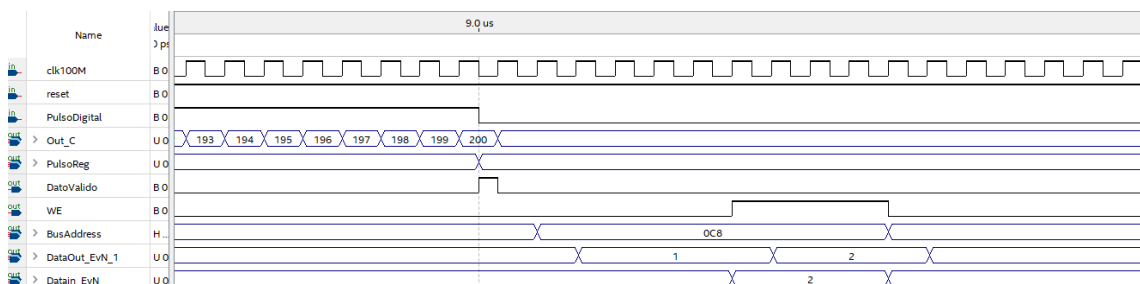


Figura 5.3.2. Lectura y Escritura del primer bloque de RAM.

En la Figura 5.3.2 se observa que se registra el pulso 200 (2µs) por segunda vez. El bloque Lógica y Control detecta esto y con un puntero selecciona la dirección hexadecimal 0C8 (200 en decimal) del primer bloque de RAM permaneciendo en esa posición durante todo el tiempo de lectura y escritura. Durante el tiempo de lectura en el bus de datos en la dirección 200 está guardado el valor 1 que es la primera aparición del pulso 200. Durante el tiempo de escritura el bloque Lógica y Control coloca el valor 2 a la entrada del Bus de datos del primer bloque de RAM y luego el valor 2 es guardado en la posición 0C8. Para que la lectura y escritura sea correcta los tiempos mínimos de la señal WE deben ser de 40 ns tanto en estado alto como en estado bajo.

En la Figura 5.3.3. Lectura y Escritura del segundo bloque de RAM.

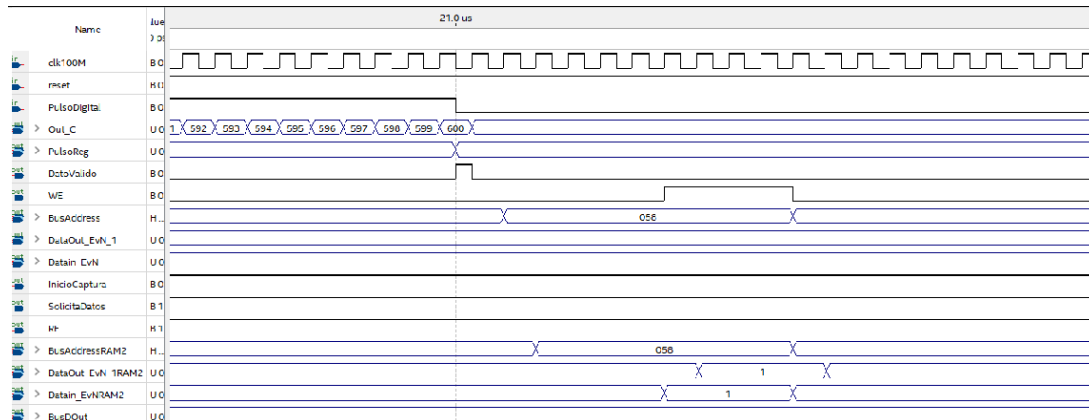


Figura 5.3.3. Lectura y Escritura del segundo bloque de RAM.

Cuando se registra un pulso mayor a 511, el bloque Lógica y Control selecciona el segundo bloque de RAM. En la Figura D19 se observa que se registró el pulso 600, el bloque Lógica y Control selecciona el segundo bloque de RAM y su puntero selecciona la dirección hexadecimal 058 (88 en decimal) del segundo bloque de RAM, este pulso de valor 600 es capturado por primera vez y se guarda el valor 1 en la dirección 058.

5.4. Lógica y Control

El bloque Lógica y Control coordina el funcionamiento del sistema digital encargado de registrar los eventos detectados, almacenarlos en memoria, gestionar los tiempos de adquisición y realizar el barrido de memoria para la posterior transmisión de los datos. Para ello se implementan varias máquinas de estados finitos (FSM), cada una responsable de una tarea específica.

En la Figura 5.4.1 se muestra el circuito digital implementado en el bloque Lógica y Control.

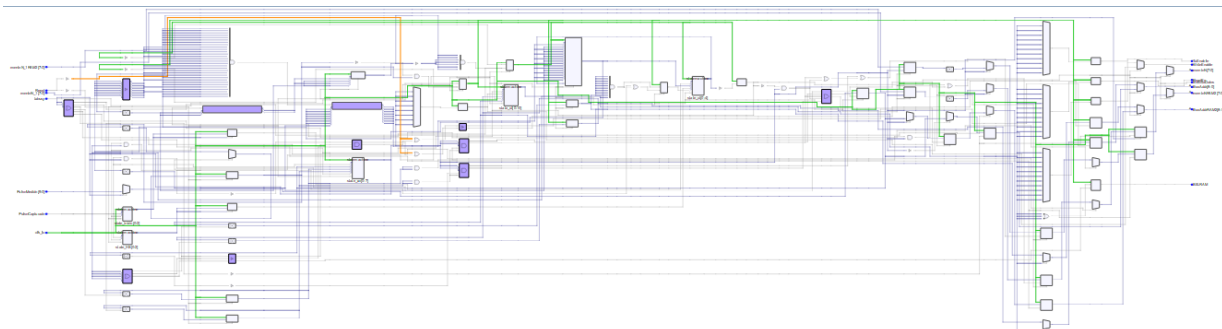


Figura 5.4.1. Circuito digital del bloque Lógica y Control.

A continuación se muestran las máquinas de estados finitos (FSM) que forman el bloque Lógica y Control.

5.4.1 Máquina de inicio de captura

Genera la señal que indica el inicio del período de captura de eventos, sincronizada con la detección del primer pulso. Esta FSM marca el comienzo efectivo de la adquisición, evitando contar eventos fuera de la ventana temporal definida.

En la Figura 5.4.2 se muestran los siguientes estados:

- Estado eReset: Estado inicial.
- Estado eOFF: Espera la llegada del primer pulso detectado.
- Estado eOn: Activa la señal Captura, indicando que el sistema se encuentra en una ventana válida de adquisición.

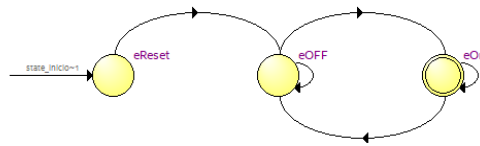


Figura 5.4.2. FSM de Inicio.

5.4.2 Máquina de Temporización de la adquisición

Controla la duración del tiempo de captura de eventos, definiendo cuándo se debe detener la adquisición y pasar al procesamiento de datos. Esta FSM define el tiempo total de medición, asegurando una adquisición controlada y repetible.

En la Figura 5.4.3 se muestran los siguientes estados:

- Estado eInicio: Espera que se habilite la captura.
- Estado eEventos: Durante este estado se cuentan los ciclos de reloj hasta alcanzar el tiempo máximo de adquisición.
- Estado eEnable_S: Prepara la transición hacia el cierre de adquisición.
- Estado eStop: Deshabilita la señal Solicita, deteniendo la detección de eventos y habilitando la lectura de memoria.

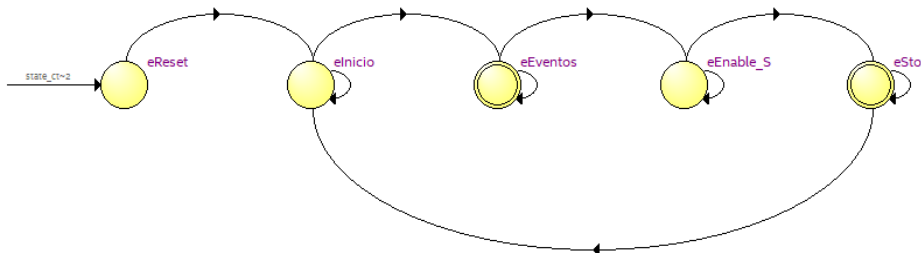


Figura 5.4.3. FSM temporizador de adquisición.

5.4.3. Máquina de habilitación de solicitud de datos

Controla cuándo el sistema puede habilitar la solicitud de datos, sincronizando la captura de eventos con el resto del sistema. Esta FSM asegura que la solicitud de datos solo está activa cuando el sistema está efectivamente detectando eventos.

En la Figura 5.4.4 se observan los siguientes estados:

- Estado eReset: Estado inicial.
- Estado eOFFHS: La solicitud de datos está deshabilitada. Espera la detección del primer pulso.
- Estado eOnHS: Habilita la señal EnSolicitud mientras el sistema esté en modo de adquisición.

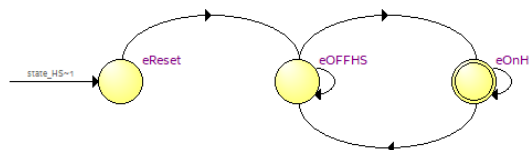


Figura 5.4.4. FSM habilitación de solicitud de datos.

5.4.4. Máquina de estados de escritura y lectura de eventos

Esta máquina de estados se encarga de registrar cada evento (ancho de pulso) detectado, incrementar el contador correspondiente en memoria y decidir en qué RAM se almacena el evento según el valor medido del pulso. Esta FSM implementa el histograma en hardware, donde cada dirección de memoria representa un intervalo de energía y su contenido indica la cantidad de eventos registrados.

En la Figura 5.4.5 se observan los siguientes estados:

- Estado eReset: Inicializa la máquina y pone a cero los punteros, contadores y variables internas.
- Estado eDetectaPulso: Permanece a la espera de la señal PulsoCapturado. Cuando se detecta un nuevo evento, se toma el valor del pulso medido (PulsoMedido) y se lo utiliza como dirección de memoria.
- Estado eSELRAM: Decide en qué memoria se almacenará el evento:
 - Si el valor del pulso es menor a 512 → RAM1
 - Si es mayor o igual a 512 → RAM2
- Estados ReadCycle / ReadCycleRAM2: Se realiza un ciclo de lectura de la posición de memoria correspondiente para obtener el número actual de eventos almacenados en esa dirección.
- Estados WriteCycle / WriteCycleRAM2: Se incrementa el valor leído y se escribe nuevamente en la memoria, contabilizando así un nuevo evento para ese intervalo de energía.
- Estado VuelvoRegistrarP: Finaliza el registro del evento y vuelve al estado de detección, siempre que el sistema continúe en modo de adquisición.

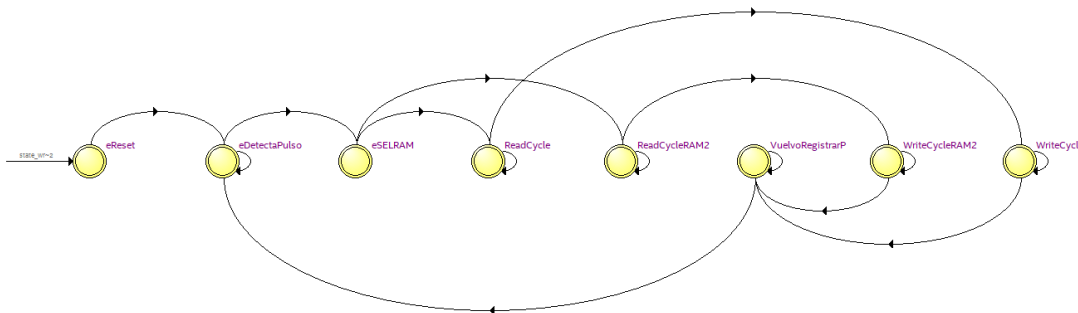


Figura 5.4.5. FSM escritura y lectura de eventos.

5.4.5. Máquina de barrido de memoria y transmisión

Realiza el barrido completo de las memorias, permitiendo leer los datos almacenados y posteriormente limpiar las RAM para una nueva adquisición. Esta FSM permite extraer los datos del histograma y reiniciar el sistema, separando claramente las fases de adquisición y lectura.

En la Figura 5.4.6 se observan los siguientes estados:

- Estado eStartSweep: Espera a que la adquisición esté detenida (Solicita = 0).
- Estados eReadSweep / eReadSweepRAM2: Lee secuencialmente todas las posiciones de memoria de RAM1 y RAM2.
- Estados eWriteSweep / eWriteSweepRAM2: Borra el contenido de las memorias, dejando el sistema listo para una nueva medición.
- Estado eEndSweep: Finaliza el barrido y habilita nuevamente la adquisición.

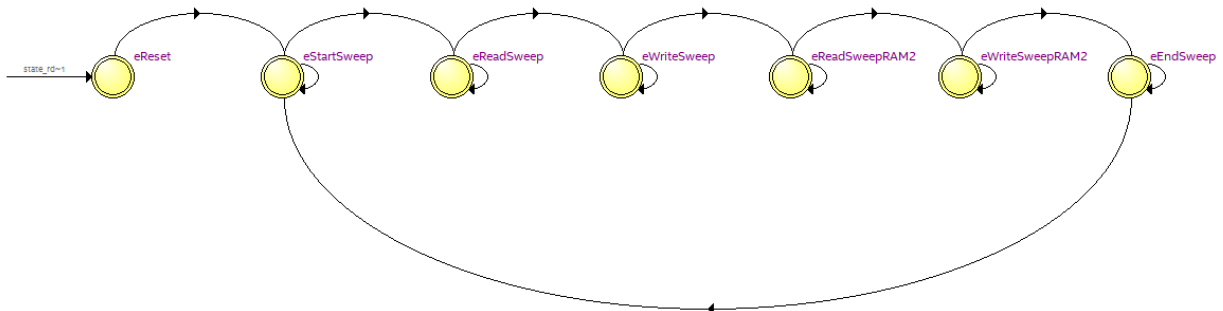


Figura 5.4.6. FSM de barrido de memoria y transmisión.

Las señales de control que se observan en la Figura 5.4.7, son:

- Inicio Captura: se captura la duración de cada pulso mientras está señal esté en alto, la duración de este pulso es el valor del timer.
- Solicita Datos: Una vez finalizado el timer esta señal pasa al estado bajo deteniendo la operación de todos los bloques y hace un barrido de lectura de los dos bloques de memoria para transmitirlo por UART.
- RE (*read enable*): una vez que la señal Solicita Datos pasa al estado bajo, la señal RE también pasa al estado bajo para habilitar la lectura de los dos bloques de RAM.

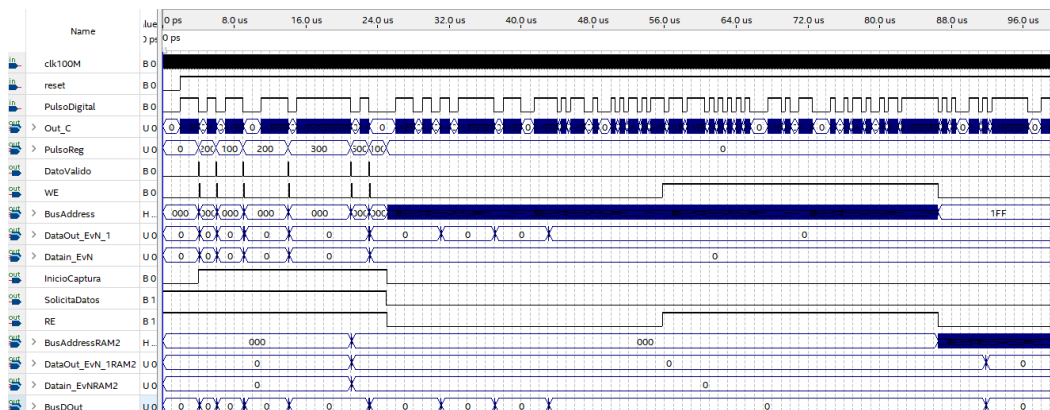


Figura 5.4.7. Todas las señales del circuito digital.

En la Figura 5.4.7 se observa que cuando se registra el valor del primer pulso, se activa el timer que para la simulación dura $30\mu\text{s}$, pero puede configurarse un tiempo máximo de 30 minutos, durante el tiempo que dure el timer se lee y se escribe los dos bloques de memoria guardando la repetición de cada evento, cuando se finaliza el tiempo de escritura el bloque Lógica y Control realiza un barrido de lectura del primer bloque de RAM transmitiendo los datos por UART.

Estos datos son la altura de cada bin del histograma, luego el el bloque Lógica y Control hace un barrido de escritura del primer bloque de RAM borrando todos los datos, se hace este barrido manual ya que los bloques de memoria RAM de la Lattice ICE 40HX4K no posee una señal de clear, después se hace los mismos barridos para el segundo bloque de memoria y finalmente la señal Solicita Datos pasa al estado alto habilitado el resto de los bloques para la próxima captura de eventos.

5.5. Relay On-OFF

Es una máquina de estado activa la rampa cuando hay pulso digital en la entrada, cuenta con dos salidas: una para activar la rampa ascendente y la otra para activar la rampa descendente. También tiene dos retardos o delay configurables que se pueden usar convenientemente para asegurarse que la rama intercepte al pulso gaussiano solo en dos puntos. Deberá utilizarse un osciloscopio para poder configurar bien estos parámetros.

5.5.1 Máquina de estado Reley On Off

El bloque RelayOnOff implementa una máquina de estados finitos (FSM) cuya función es controlar la activación y desactivación de la rampa de tensión, controlando los procesos de carga y descarga del capacitor asociado.

En la Figura 5.5.1 se observan los siguientes estados:

- Estado eReset: Es el estado inicial del sistema. La FSM se inicializa y pasa automáticamente al estado eOFF.
- Estado eOFF: La rampa permanece desactivada y el capacitor se encuentra descargado. La FSM permanece en este estado hasta que la entrada del pulso digital pase al estado alto, cuando esto ocurre, la FSM transiciona al estado eDelayOff.
- Estado eDelayOff: Este estado introduce un retardo programable antes de activar la rampa. Se incrementa el contador timer_delayOff, mientras el contador no alcance MdelayOff - 1, el sistema permanece en este estado, cuando el retardo finaliza el contador se reinicia y la FSM pasa al estado eON.
- Estado eON: La rampa está activada y el capacitor comienza a cargarse, generando una rampa ascendente. La FSM permanece en este estado mientras la entrada del pulso digital permanece en estado alto. Cuando la entrada del pulso digital pasa al estado bajo, indica el segundo cruce entre la rampa y el pulso gaussiano, se produce la transición al estado eDelayOn.
- Estado eDelayOn: este estado introduce un retardo programable antes de desactivar la rampa, se incrementa el contador timer_delayOn y mientras no se alcance MdelayOn - 1, el sistema permanece en este estado. Una vez cumplido el retardo el contador se reinicia y la FSM retorna al estado eOFF.

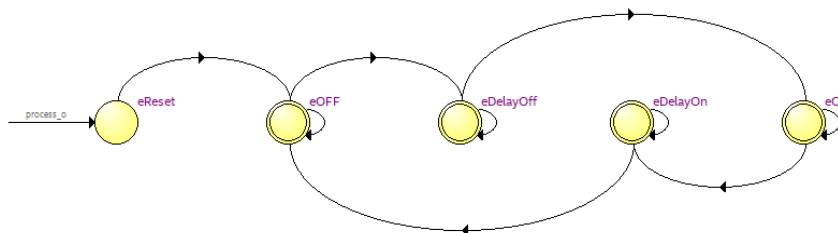


Figura 5.5.1. FSM activación de rampa ascendente y descendente

En la Figura 5.5.2 se observa que hay un desfase la señal *OnOffRampa* (pin 124 de la FPGA) con respecto a la señal de entrada Pulso Digital debido a los delay que se configuró en 100ns.

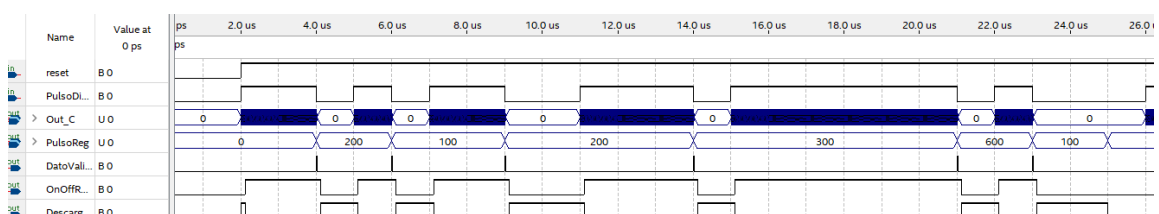


Figura 5.5.2. *OnOffRampa* y *DescargaC*: son salidas del bloque Relay On Off.

Cuando la entrada del circuito digital pasa de 0 a 1 lógico la salida *OnOffRampa* espera un tiempo de 100ns y después pasa de 0 a 1 lógico activando la rampa, lo mismo ocurre cuando la entrada pasa 1 a 0 lógico. La señal *OnOffRampa* (pin 124 de la FPGA) activa la rampa ascendente y la señal *DescargaC* (pin 144 de la FPGA) activa la rampa descendente.

5.6. UART

El bloque UART_TX implementa un transmisor UART asíncrono encargado de enviar datos digitales en forma serial hacia un dispositivo externo (por ejemplo, una PC).

El transmisor está configurado para enviar:

- 1 bit de inicio (Start bit)
- N bits de datos
- 1 bit de parada (Stop bit)
- Sin bit de paridad

Durante el barrido de lectura, el bloque Lógica y Control habilita la UART y se queda esperando a que la UART finalice la transmisión una vez que la señal *o_Tx* pasa al estado alto el bloque Lógica de Control continúa con la lectura de las siguientes direcciones de RAM.

El bloque UART tiene dos parámetros genéricos configurables que permite adaptar el transmisor a distintas frecuencias de reloj y velocidades de comunicación.

Los parámetros son:

- *g_CLKS_PER_BIT*: define la cantidad de ciclos de reloj del sistema que corresponden a un bit UART. Este valor se calcula como: $g_CLKS_PER_BIT = \text{Frecuencia del reloj} / \text{Velocidad de transmisión (baud rate)}$
- *Nbits*: cantidad de bits de datos a transmitir (típicamente 8).

En la Figura 5.6.1 se muestra el circuito digital implementado, que utiliza una máquina de estados finitos (FSM) sincronizada por el reloj del sistema. También se puede observar las entradas y salidas del bloque UART.

Entradas

- *i_Clk*: reloj del sistema.
- *i_TX_DV*: señal de inicio de transmisión (Data Valid).
- *i_TX_Byte*: dato paralelo a transmitir.

Salidas

- *o_TX_Serial*: línea de transmisión serie (TX).
- *o_TX_Active*: indica que la transmisión está en curso.
- *o_TX_Done*: indica que la transmisión ha finalizado, esta señal se utiliza para notificar a la lógica de control del sistema.

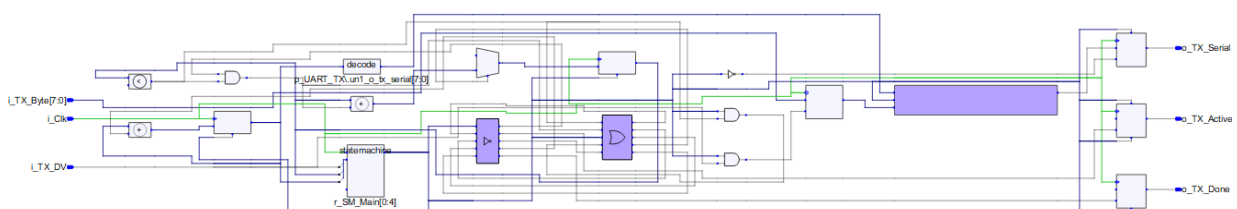


Figura 5.6.1. Circuito digital UART.

5.6.1. Máquina de estados para la transmisión UART

A continuación se muestra la máquina de estados de la transmisión UART, Figura D16.2, y se explica su funcionamiento.

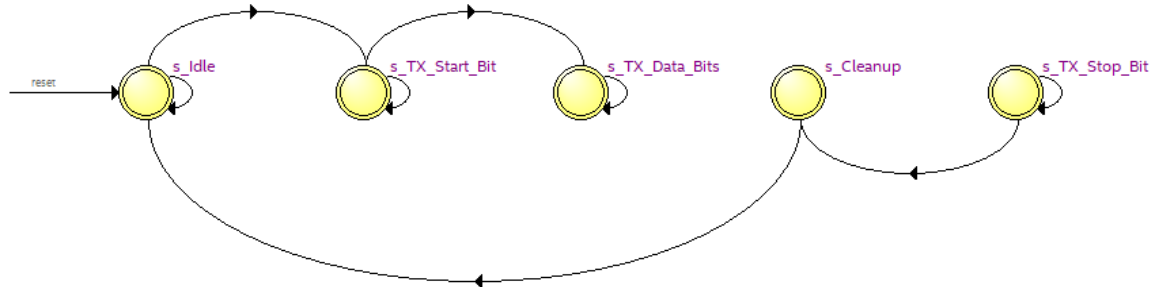


Figura 5.6.2. FSM transmisión UART

Los estados que es muestra de la Figura D16.2 son:

- **Estado s_Idle:** estado de reposo. La línea TX se mantiene en nivel alto ('1'), correspondiente al estado inactivo del protocolo UART, la señal o_TX_Active se mantiene en '0', se reinician los contadores y el índice de bits. Cuando i_TX_DV = '1', el dato de entrada se copia al registro interno y se inicia la transmisión pasando al estado s_TX_Start_Bit.
- **Estado s_TX_Start_Bit:** se transmite el bit de inicio, forzando la línea TX a nivel bajo ('0'). Se mantiene este valor durante g_CLKS_PER_BIT ciclos de reloj. Al finalizar el tiempo del bit, se pasa al estado de transmisión de datos.
- **Estado s_TX_Data_Bits:** se transmiten los bits del dato almacenado, comenzando por el bit menos significativo, cada bit se mantiene en la línea TX durante g_CLKS_PER_BIT ciclos de reloj. El índice de bit se incrementa hasta completar la transmisión de todos los bits, Una vez enviados todos los bits, se pasa al estado s_TX_Stop_Bit.
- **Estado s_TX_Stop_Bit:** se transmite el bit de parada, forzando la línea TX a nivel alto ('1'). Este estado también se mantiene durante g_CLKS_PER_BIT ciclos de reloj. Al finalizar, se activa la señal interna de transmisión completa y se pasa al estado s_Cleanup.
- **Estado s_Cleanup:** se indica que la transmisión ha finalizado mediante la señal o_TX_Done, se desactiva la señal o_TX_Active. En el siguiente ciclo de reloj, el sistema retorna al estado inicial s_Idle, quedando listo para una nueva transmisión.

Dentro del sistema de adquisición desarrollado, el transmisor UART permite enviar los datos almacenados en memoria hacia una computadora externa, facilitar el análisis posterior mediante software MATLAB para visualizar los resultados.

5.7. Diagrama de flujo del script MATLAB

Con el objetivo de visualizar y analizar estadísticamente los datos adquiridos por el sistema digital, se desarrolló un script en MATLAB encargado de recibir los datos enviados por la FPGA a través de una interfaz UART. El programa gestiona la comunicación serie, controla los tiempos de espera, almacena los datos recibidos y genera histogramas que representan la distribución de los eventos (ancho de pulso) registrados.

El diagrama de flujo del algoritmo implementado que se presenta a continuación, resume las principales etapas del proceso de adquisición, validación y visualización de los datos.



5.8. Sistema de lectura de pulsos (Front End ICE 40)

En la Figura 5.8.1 se muestra el diagrama en bloques del circuito completo para la lectura de detectores semiconductores. Integra el circuito analógico más circuito digital, este dispositivo es llamado Front End ICE 40.

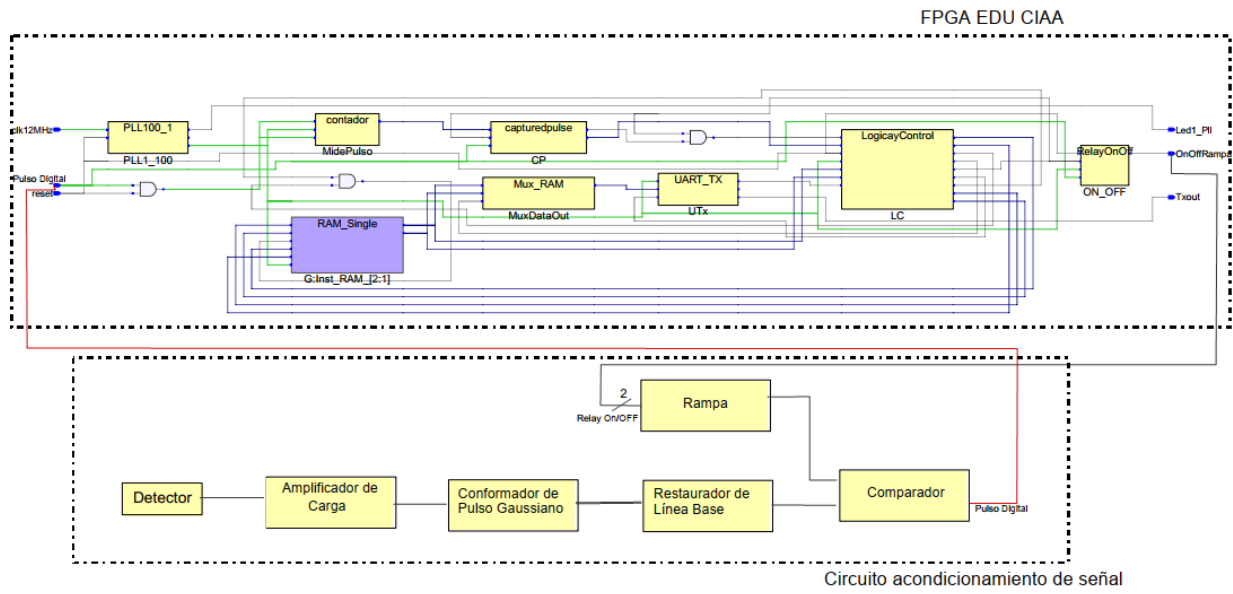


Figura 5.8.1. Diagrama en bloques Front End ICE 40.

6. Resultados

En esta sección se presenta el registro gráfico de la implementación física del dispositivo y las mediciones obtenidas durante las pruebas funcionales. Las capturas de osciloscopio validan el correcto funcionamiento del Sistema Lectura de Detectores Semiconductores basados en FPGA. Se realizaron las pruebas y el diseño del prototipo según los recursos y el presupuesto disponible.

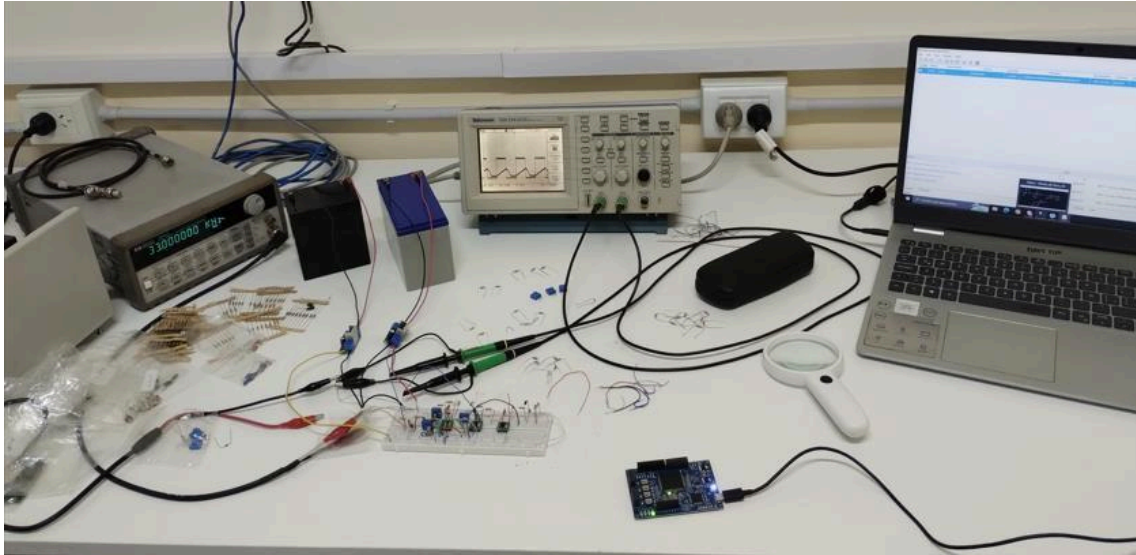


Figura 6.1. Vista integral banco de pruebas.

6.1. Implementación del prototipo

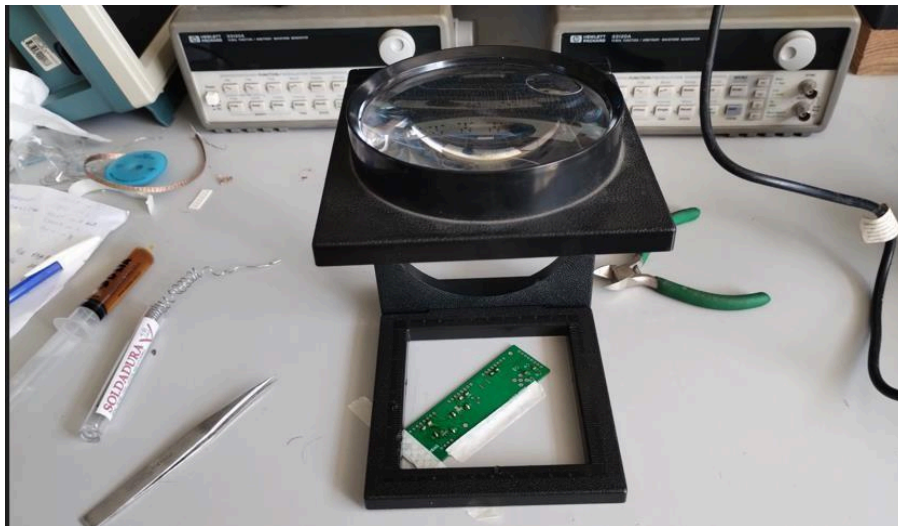


Figura 6.1.1. Montaje y soldado de la placa acondicionamiento de señal.

Se soldaron los componentes de la placa acondicionamiento de señal, se usaron estaño, flux, pinzas y lupa.



Figura 6.1.2. Acondicionamiento de señal (Front End).

Figura 6.1.2, Implementación del circuito de acondicionamiento de señal. Se destacan el detector U3DTHIN y las etapas: de preamplificación de carga, el filtro conformador de pulsos y restaurador de base de línea.

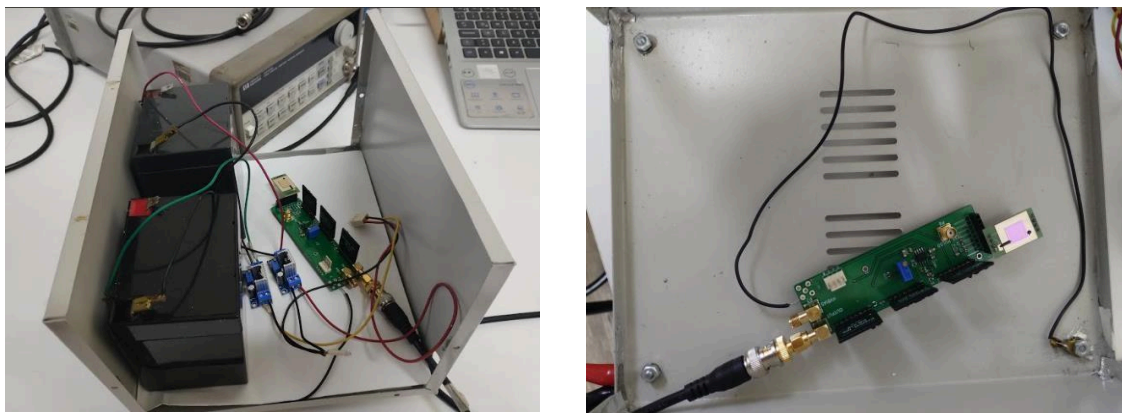


Figura 6.1.3. Blindaje del acondicionamiento de la señal.

Figura 6.1.3. Se observa la disposición física del detector, circuito acondicionamiento de señal, alimentación con baterías de 12V, módulos reguladores lineal de tensión, salida cable coaxial con adaptador de BNC a SMA. Se conectó la masa del circuito al gabinete para mitigar el ruido electrónico.

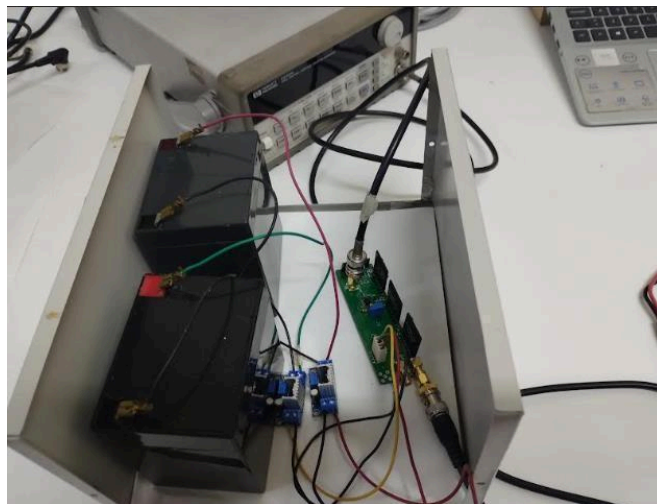


Figura 6.1.4. Generador de Funciones conectado a la placa acondicionamiento de señal.

Figura 6.1.4. Se inyecta a la entrada del circuito onda cuadrada periódica de 100 mV amplitud pico a pico y se hizo un barrido de frecuencia, se encontró un límite a los 50 kHz ya que se observaba superposición de pulsos.

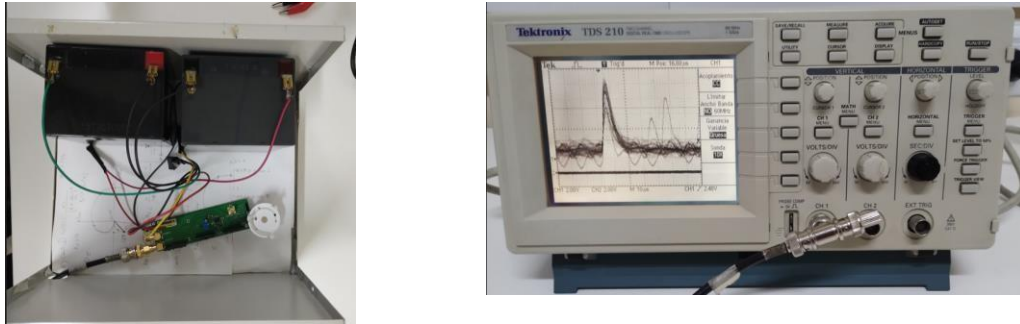


Figura 6.1.5. Acondicionamiento de la señal conectado al osciloscopio.

Figura 6.1.5. Se observa la disposición física del detector, fuente de ^{241}Am , circuito acondicionamiento de señal conectado al osciloscopio mediante un cable coaxial conectado a una carga de 50 ohm BNC para su adaptación de impedancia y evitar reflexiones.

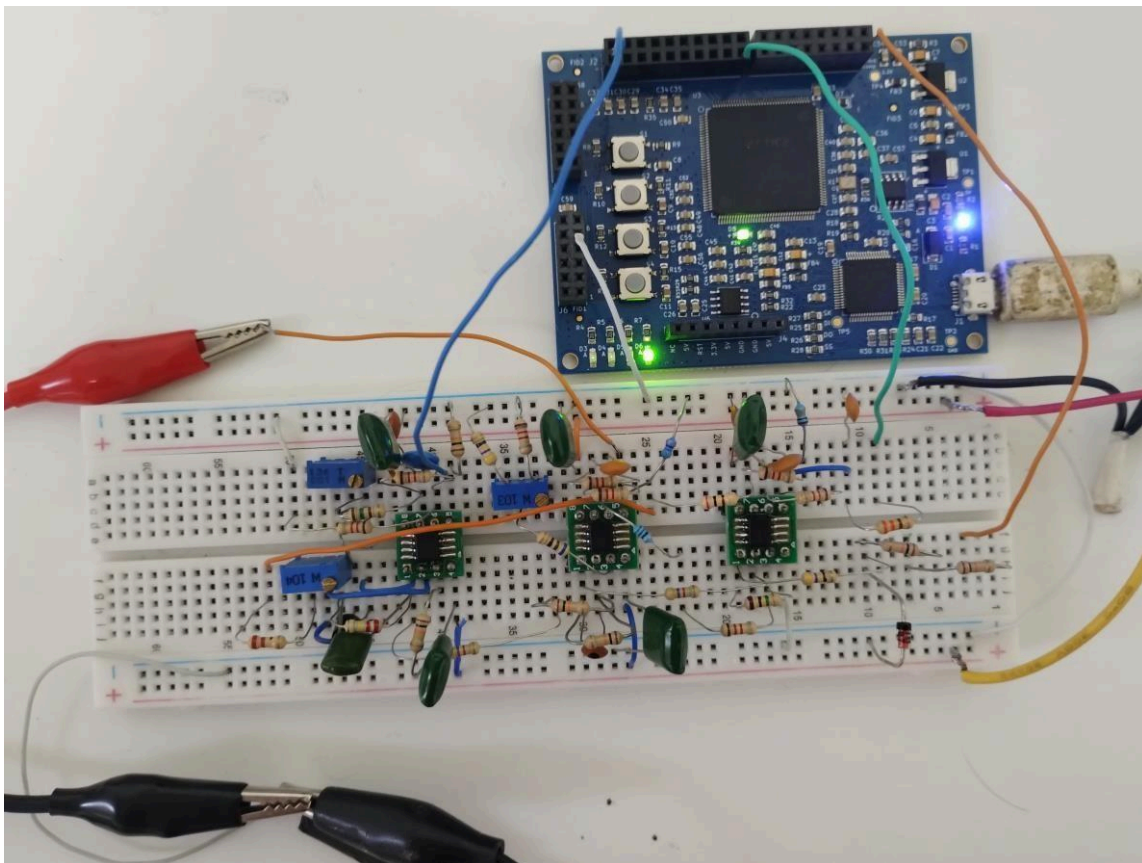


Figura 6.1.6. Implementa física generadora de rampa, comparador y placa EDU CIAA FPGA.

Figura 6.1.6. Circuito generador rampa implementado con amplificadores operacionales AD 8066. Comparador, es el encargado de vincular la señal gaussiana con la rampa de referencia para generar el pulso digital.

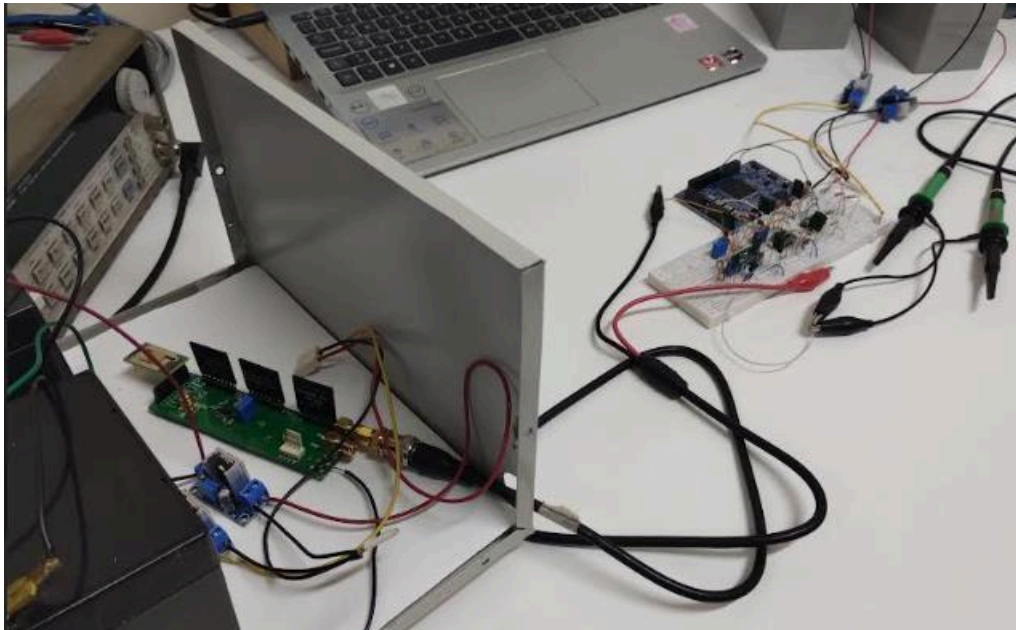


Figura 6.1.7. Conexión del sistema completo.

6.2. Medición de señales

En las siguientes imágenes que muestra las mediciones fueron capturadas utilizando un osciloscopio se configuró las puntas de pruebas x 10.

Salida de la placa acondicionamiento de señal. Se conectó el generador de funciones a la placa acondicionamiento de señal mediante cable coaxial.

Configuración de generador de funciones, señal de entrada es una onda cuadrada periódica de 100 mV pico a pico, frecuencia de 10kHz.

CH1 muestra la salida del circuito acondicionamiento de señal que son pulsos gaussianos paródicos a una frecuencia de 10kHz y 392 mV pico a pico como se muestra en la Figura 6.2.1.

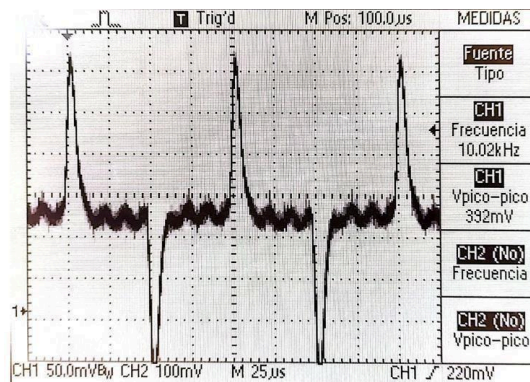


Figura 6.2.1. Pulsos gaussianos usando el generador de funciones.

Entrada onda cuadrada de 50 kHz y 100 mV pico a pico.

CH1: pulsos gaussianos, salida del circuito y acondicionamiento de señal.

Aunque la FPGA posee una resolución de 10 ns, la velocidad de conteo del sistema está limitada por la etapa analógica. Se observa superposición de pulsos gaussianos a partir de 50kHz. Limitación del conformador de pulsos CR-200 (FWHM = 4.7 μ s). Indicando que habrá apilamiento de pulsos (*pile-up*) cuando existan pulsos cercanos o menores a 20 μ s. Siendo esta una limitación física del componente analógico y no del procesamiento digital.

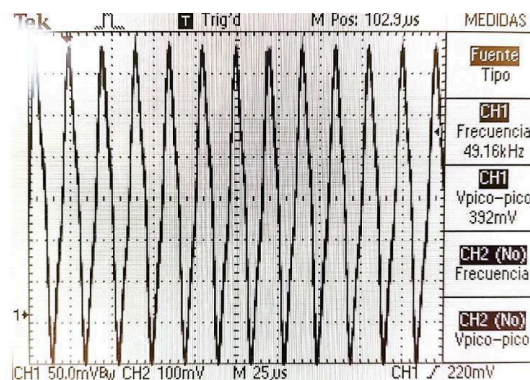


Figura 6.2.2. Superposición de pulsos gaussianos.

Detector conectado al circuito acondicionamiento de señal, fuente ^{241}Am a 0 cm del detector. Salida del circuito conectada al osciloscopio con cable coaxial y carga BNC de 50 ohm.

CH1: Pulso gaussiano no periódico de amplitud 488 mV a la salida del circuito acondicionamiento de señal.
200 mV/div
10 μs /div

Mostrada en la Figura 6.2.3.

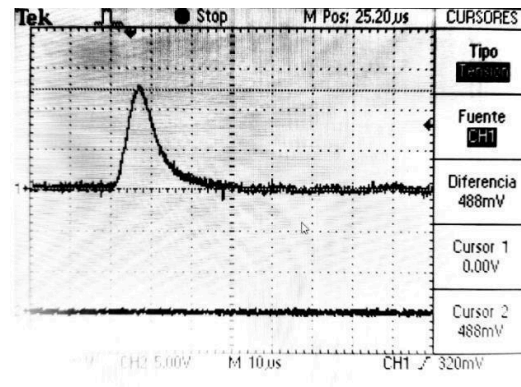


Figura 6.2.3. Captura pulso gaussiano usando el detector.

Medición del dispositivo electrónico lectura de pulsos (sistema completo). Detector conectado al circuito acondicionamiento de señal, su salida conectada al generador de rampa y salida del comparador conectado a la placa EDU CIAA FPGA. Se superponen en el osciloscopio el pulso gaussiano y la señal de rampa.

Fuente a 0 cm del detector.

CH1: Pulso gaussiano.

CH2: Rampa de tensión. Nivel Umbral inicial de 184 mV.

En la Figura 6.2.4, Se observa que la primera intersección entre el pulso gaussiano y la rampa hay ruido que distorsiona la rampa. El uso de cable coaxial, conectores cocodrilos y protoboard contribuyen al ruido. Para mitigar este efecto se genera una rampa de mayor amplitud.

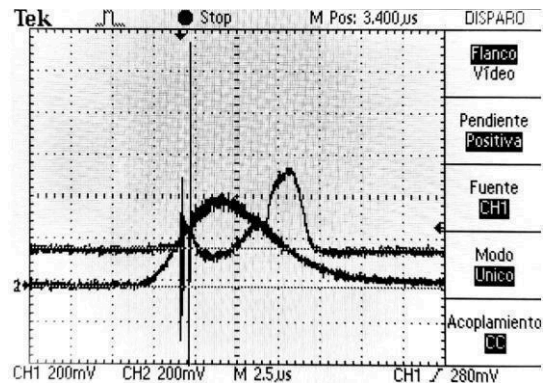


Figura 6.2.4. Pulsos gaussianos vs rampa.

Medición del dispositivo electrónico lectura de pulsos (sistema completo).

Fuente a 0 cm del detector.

CH1: Pulso gaussiano.

CH2: Rampa de tensión Nivel Umbral inicial de 144 mV.

Rampa de mayor amplitud, esto se consiguió con el bloque Relay On Off de la FPGA generando retardo al pulso que activa la rampa. De esta manera se carga al capacitor por más tiempo logrando una rampa mayor como muestra la Figura 6.2.5.

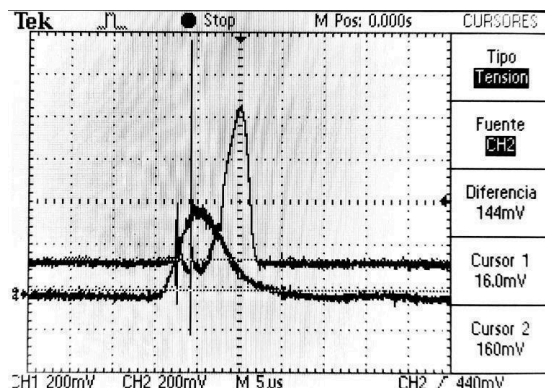


Figura 6.2.5. Captura pulsos gaussianos vs rampa.

Medición del dispositivo electrónico
lectura de pulsos (sistema completo).

Fuente a 0 cm del detector.

CH1: Pulso gaussiano

CH2: Pulso digital (salida del comparador).

La Figura 6.2.6 muestra la señal digital que es la salida del comparador. Utilizando el comparador se transforma el valor de amplitud en valor de tiempo y representa la energía de la partícula alfa cuando se detecta un evento.

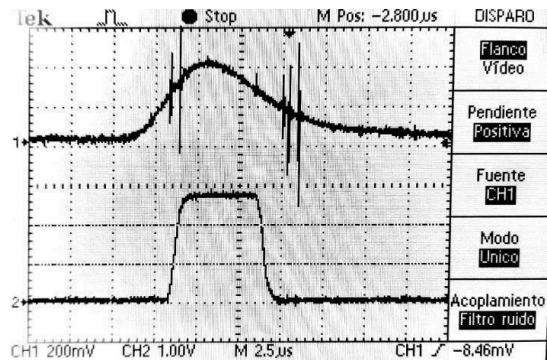


Figura 6.2.6. Pulsos gaussianos vs pulso digital.

Medición del dispositivo electrónico
lectura de pulsos (sistema completo).

Fuente a 0 cm del detector.

CH1: Pulso gaussiano

CH2: Generador de Rampa

En la captura, Figura 6.2.7, se observa lo rápido que sigue la rampa a los pulsos gaussianos sin tener tiempos muertos. Lo más cercano que se registraron los pulsos gaussianos sin superponerse es de 20µs

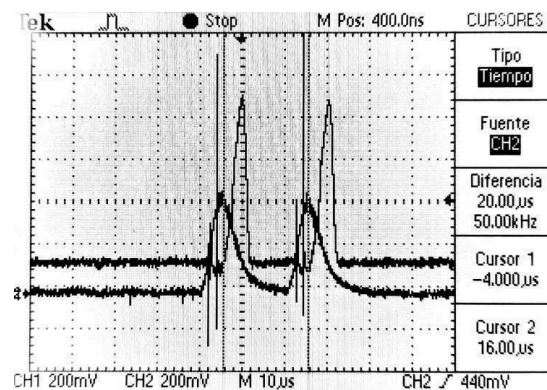


Figura 6.2.7. Captura pulsos gaussianos vs rampa, sin tiempos muertos.

Medición del dispositivo electrónico
lectura de pulsos (sistema completo).

Fuente a 0 cm del detector.

CH1: Pulso gaussiano

CH2: Generador de Rampa

En esta captura, Figura 6.2.8, se observa el apilamiento de pulso (*pile up*) generando a la salida del comparador dos pulsos en vez de uno, esto genera error en la medición. Este apilamiento de pulsos se debe a la limitación del conformador de pulsos gaussianos que tiene una duración de 4.7µs. El fabricante CREMAT dispone de conformadores de pulso más angosto esto evitaría el apilamiento de pulsos gaussianos.

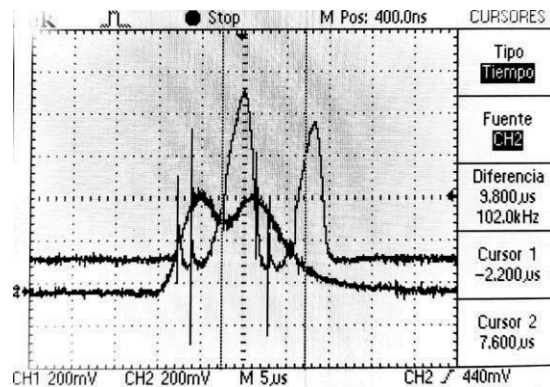


Figura 6.2.8. Captura pulsos gaussianos vs rampa cuando hay *pile up* (apilamiento).

Medición del dispositivo electrónico lectura de pulsos (sistema completo).
Fuente a 2 cm del detector.
CH1: Pulso gaussiano
CH2: Generador de Rampa
Como se muestra en la Figura 6.2.9.

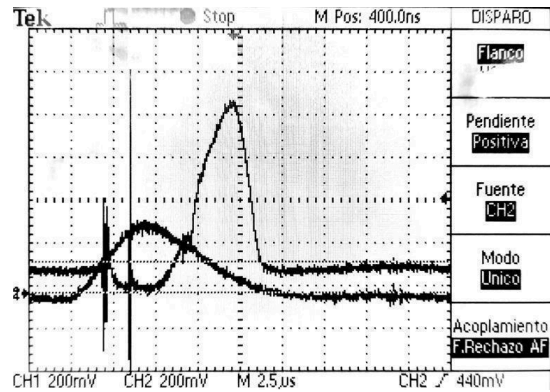


Figura 6.2.9. Pulsos gaussianos vs rampa.

A continuación se muestran los histogramas que son resultados de las mediciones del dispositivo electrónico de lectura de pulsos basado en FPGA para detectores de radiación semiconductores. La configuración del circuito digital implementado en la FPGA es la siguiente: contador de 10 bits, señal de clock o reloj de 100 MHz o 10 ns, Dos bloques de memoria RAM de 512 x 8 de esta forma se obtiene un rango temporal de 10 ns a 10,24 µs. además tener un señal de clock de 10 ns permite tener una amplia resolución temporal y el sistema digital puede discriminar el tiempo entre dos pulsos digitales muy parecidos. La escala temporal está dada por el valor del contador y la señal de clock. Por ejemplo, si el contador mide un pulso en 500 al multiplicarlo por los 10 ns de clock equivale a 5 µs.

En la Figura 6.2.10 se muestra el resultado de la medición a través del histograma, las condiciones de medición: fuente ^{241}Am a 0 cm del detector, duración de la medición fue de 30 minutos, agrupación de bins es de 64. Se superpuso el espectro con la función densidad de probabilidad (pdf) gaussiana para realizar la comparación. observando el espectro se puede apreciar que se capturaron partículas de mayor energía, también se observa que el espectro cubre una mayor superficie de la curva esto significa que hubo una gran cantidad de impactos de partículas alfa sobre el detector. La función densidad de probabilidad gaussiana tiene un valor medio de 417,79 muestras y una desviación estándar de 129,88 muestras, escalado en el tiempo el valor medio es de 4,17 µs y una desviación estándar de 1,29 µs.

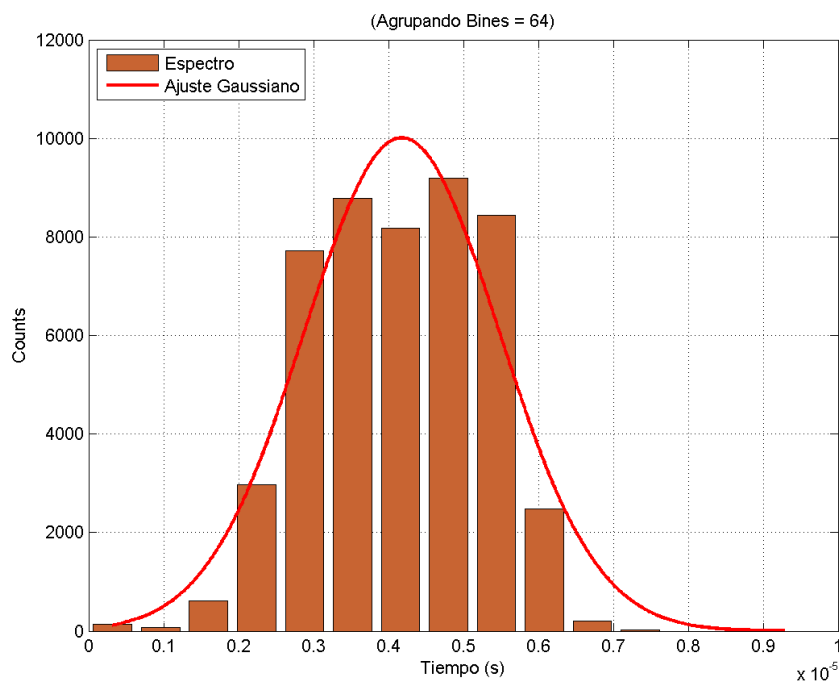


Figura 6.2.10. Histograma - espectro vs pdf gaussiana - fuente sobre el detector.

En la Figura 6.2.11 se observa la superposición del espectro con la función densidad de probabilidad gaussiana. Las condiciones de medición: fuente ^{241}Am a 2 cm del detector, duración de la medición fue de 30 minutos, agrupación de bins es de 32. La función densidad de probabilidad gaussiana tiene un valor medio de 370,43 muestras y una desviación estándar de 57,17 muestras, escalado en el tiempo el valor medio es 3,704 μs y la desviación estándar es 0,5717 μs . En la Figura F.19 los bins del histograma están desplazados a la izquierda con respecto a la Figura F.18 lo que indica que se capturaron partículas de menor energía. También se observa que la función densidad de probabilidad es más angosta con respecto al caso anterior con lo cual indica que hubo un menor número de impactos de partículas alfa en el detector.

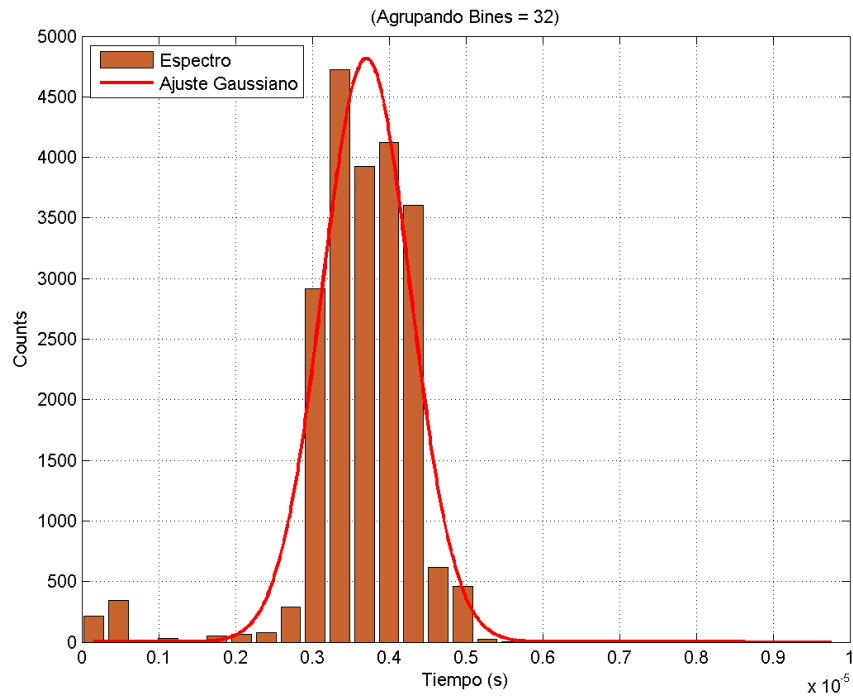


Figura 6.2.11. Histograma - espectro vs pdf gaussiana - fuente a 2 cm del detector.

7. Diseño e Implementación de Hardware Front End ICE 40

7.1. Diseño e Implementación

En este apartado se describe la consolidación del hardware en una placa de expansión tipo **shield**, diseñada específicamente para integrarse con la plataforma **FPGA ICE 40**. Este módulo, denominado **Front End ICE 40**, ensambla el procesamiento analógico (acondicionamiento de señal junto con el generador de rampa y el comparador de histéresis) para la lectura de detectores semiconductores.

7.2. Arquitectura del Sistema Unificado

El diseño se realizó utilizando la herramienta EDA **KiCad**, integrando en un único PCB las etapas de:

- **Acondicionamiento de señal:** Preamplificador de carga, conformador de pulsos gaussianos y restaurador de línea de base.
- **Digitalización (Amplitud a Tiempo):** Circuito generador de rampa y comparador de alta velocidad.

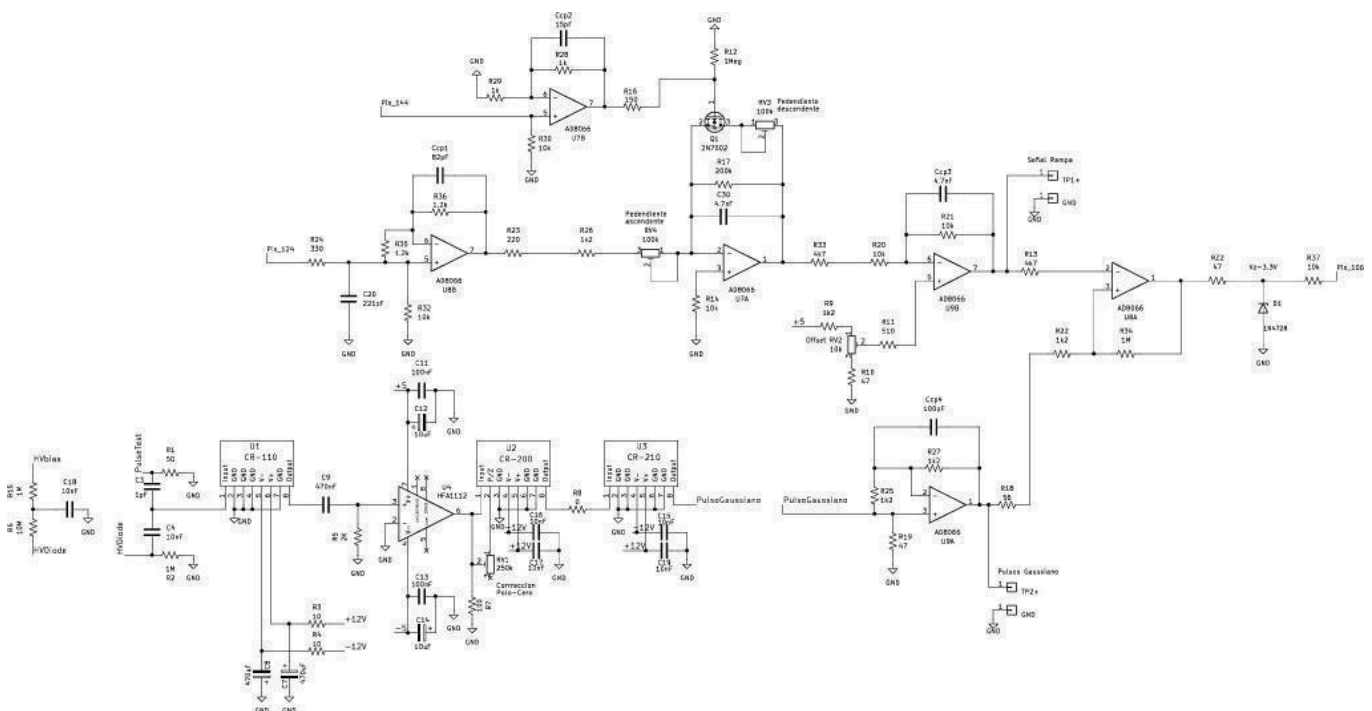


Figura 7.2.1. Esquemático de la placa Front End ICE 40 (sistema completo).

7.3. Diseño de alimentación

Se usan reguladores lineales para reducir el ruido y tener más precisión en los módulos CREMAT. Se conectan en cascada los reguladores de tensión para minimizar la disipación de potencia. En la entrada y salida se agregaron capacitores de desacople 330 nF, 100 nF cerámico y 10µF de tantalio, como muestra la Figura 7.3.1.

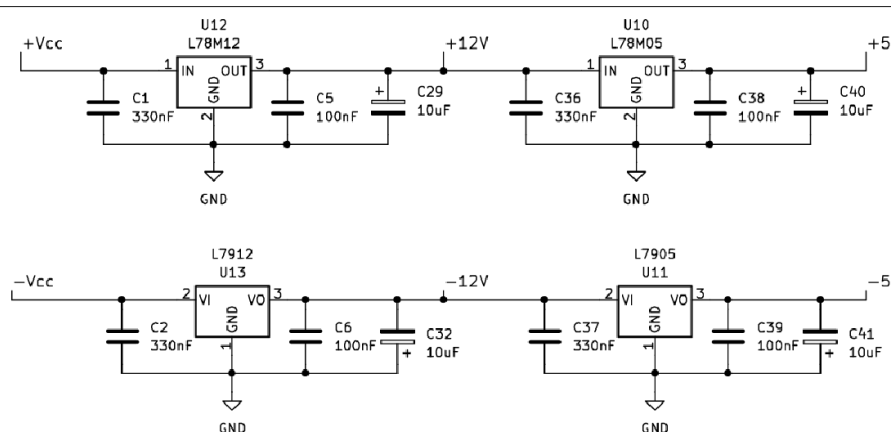


Figura 7.3.1. Esquemáticos reguladores de tensión lineal.

7.3.1. Cálculo de consumo de corriente y potencia del sistema analógico

Con el objetivo de garantizar un funcionamiento seguro y confiable del sistema analógico, en el diseño final de la placa de circuito impreso (PCB) se implementaron reguladores de tensión fija y se realizó un análisis detallado del consumo de corriente y la potencia disipada por cada uno de los bloques que conforman el acondicionamiento de la señal y el circuito generador de rampa.

7.3.2. Consumo de corriente de los dispositivos CREMAT

Los módulos CREMAT utilizados en el sistema corresponden a bloques analógicos especializados para la lectura y conformación de señales provenientes del detector. A continuación se detalla el consumo de corriente de cada uno de ellos, considerando las tensiones de alimentación positiva y negativa.

CR-110 (preamplificador sensible a la carga)

- Corriente en +Vs: ≈ 7 mA
- Corriente en -Vs: ≈ 3.5 mA

CR-200 Conformador de pulsos gaussianos)

- Corriente en +Vs: ≈ 7 mA
- Corriente en -Vs: ≈ 7 mA

CR-210 (Baseline restoration module)

- Corriente en +Vs: ≈ 17 mA
- Corriente en -Vs: ≈ 13 mA

A partir de estos valores, el consumo total de corriente de los módulos CREMAT es:

Corriente en +Vs ≈ 7.5 (CR-110) + 7 (CR-200) + 17 (CR-210) ≈ 31.5 mA \rightarrow redondeo \approx **32 mA.**

Corriente en -Vs ≈ 3.5 (CR-110) + 7 (CR-200) + 13 (CR-210) ≈ 23.5 mA \rightarrow redondeo \approx **24 mA.**

7.3.3. Consumo de corriente de los amplificadores operacionales

Además de los módulos CREMAT, el sistema analógico incorpora amplificadores operacionales de alta velocidad utilizados en el acondicionamiento de la señal y en el circuito generador de rampa.

HFA1112

El consumo de corriente máxima especificado para el dispositivo HFA1112 es de **26 mA**.

AD8066 (amplificador dual)

El AD8066 es un amplificador operacional doble. El consumo de corriente máxima de cada amplificador es de **7.2 mA**. Dado que se utilizan tres integrados AD8066, el consumo máximo total es: $3 \times (2 \times 7.2 \text{ mA}) = \mathbf{43.2 \text{ mA}}$.

7.3.4. Potencias máximas por los reguladores de tensión

Para la alimentación del sistema se emplearon reguladores lineales de tensión fija. A continuación se presenta el cálculo de la potencia máxima que entrega cada regulador, considerando las condiciones nominales de operación.

Regulador L78M12

- $V_{in} = 13 \text{ V}$
- $V_o = 12 \text{ V}$
- Corriente máxima de salida del $I_{omax} \approx 500 \text{ mA}$.
- $P_{disipada} = (V_{in} - V_o) \times I_o = (13 - 12) \text{ V} \times (0.5 \text{ A}) = 0.5 \text{ W}$.

Regulador L7912

- $V_{in} = |-13 \text{ V}| = 13 \text{ V}$
- $V_o = |-12 \text{ V}| = 12 \text{ V}$
- Corriente máxima de salida $I_{max} = 100 \text{ mA}$
- $P_{disipada} = (V_{in} - V_o) \times I_o = |13 - 12| \text{ V} \times (100 \text{ mA}) = 100 \text{ mW}$.

Regulador L78M05

- $V_{in} = 12 \text{ V}$
- $V_o = 5 \text{ V}$
- Corriente máxima de salida del $I_{omax} \approx 500 \text{ mA}$
- $P_{disipada} = (V_{in} - V_o) \times I_o = (12 - 5) \text{ V} \times (500 \text{ mA}) = 3.5 \text{ W}$.

Regulador L7905

- $V_{in} = |-12 \text{ V}| = 12 \text{ V}$
- $V_o = |-5 \text{ V}| = 5 \text{ V}$
- Corriente máxima de salida $I_{max} = 100 \text{ mA}$.
- $P_{disipada} = (V_{in} - V_o) \times I_o = (12 - 5) \text{ V} \times (100 \text{ mA}) = 700 \text{ mW}$.

7.3.5. Consumo de potencia en los reguladores

A partir de los consumos que entrega cada integrado de los circuitos conectados a cada regulador, se estimó la potencia disipada durante el funcionamiento normal del sistema.

Regulador L78M12 – Alimentación de los módulos CREMAT

- $I_{max} = 32 \text{ mA}$
- $V_{in} = 13 \text{ V}$
- $V_o = 12 \text{ V}$
- Potencia disipada $P_{disipada} = (13-12) \text{ V} \times (32 \text{ mA}) = 32 \text{ mW} < 500 \text{ mW}$. Este valor es menor que la potencia máxima admisible del regulador.

Regulador L78M05 – Alimentación del HFA1112 y AD8066

- $V_{in} = 12 \text{ V}$
- $V_o = 5 \text{ V}$
- **Para el HFA1112**
 - $I_{max} = 26 \text{ mA}$
 - $P_{disipada} = (12-5) \text{ V} \times (26 \text{ mA}) = 182 \text{ mW}$
- **Para los AD 8066**
 - $P_{disipada} = (12-5) \text{ V} \times (43.2 \text{ mA}) = 302.4 \text{ mW}$
- Corrientes máxima total $(26 \text{ mA} + 43.2 \text{ mA}) = 69.2 \text{ mA} < 500 \text{ mA}$.

Finalmente la potencia disipada total para el Front End ICE 40 (acondicionamiento de señal más generador de rampa) es:

$$(182 \text{ mW} + 302.4 \text{ mW}) = 484 \text{ mW} < 3.5 \text{ W}$$

Este valor se encuentra por debajo de la potencia máxima admisible del regulador.

7.3.5. Consumo total de potencia del sistema completo

La potencia estimada del Front End ICE 40 es de 484 mW.

La potencia estimada de la placa EDU CIAA FPGA en base al circuito digital implementado es de 2.85W. Este valor de potencia fue estimado en el software ICEcube 2 [10] del fabricante Lattice.

La potencia total del sistema completo, Front End ICE 40 más EDU CIAA FPGA es de 3.324W aproximadamente.

7.4. Esquemático acondicionamiento de señal

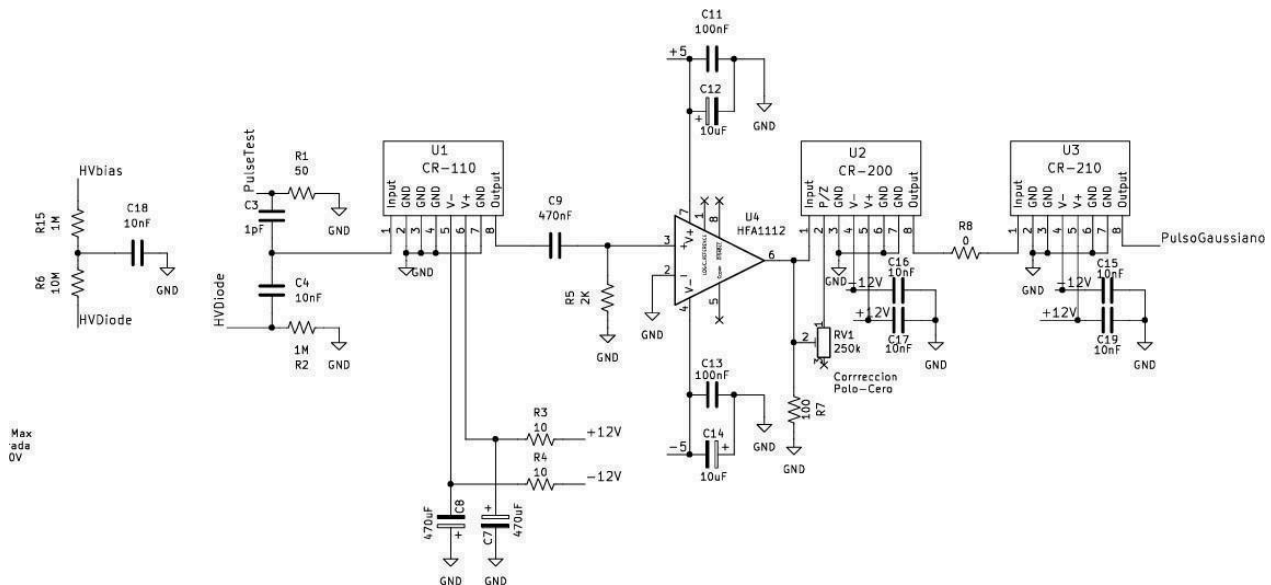


Figura 7.4.1. Esquemático acondicionamiento de señal (Front End).

Figura 7.4.1. Front End está formado por preamplificador sensible a la carga (CR-110), amplificador de ganancia 2 (HFA1112), Conformador de pulsos gaussianos (CR-200)[6] y el restaurador de línea de base (CR-210). Se observa que:

- A la entrada del CR-110 se colocó la configuración de acoplamiento de AC.
- La entrada HVDiode: es el pulso de corriente del detector.
- La entrada HVbias: es la continua que se le agrega al detector, esto aumenta la diferencia de potencial de la zona de vaciamiento entre semiconductores tipo N y P que forma el detector. Al aumentar esta diferencia de potencial permite liberar mayor cantidad de par de electrón-hueco y conseguir pulsos de corriente de mayor amplitud.
- La entrada Pulse Test: permite agregar una señal de prueba para verificar el funcionamiento del Front End.
- Corrección de polo y cero: se realiza un ajuste con un potenciómetro de precisión (RV1 de 250k ohm) para estabilizar el pulso gaussiano del dispositivo CR-200. Para lograr esto hay que cancelar el polo de la transferencia CR-110 con un cero que se consigue agregando una resistencia en los pines 1 y 2 en CR-200. Según el fabricante el ajuste se consigue cuando el valor del potenciómetro iguala a la constante de tiempo del CR-110 dividido el capacitor a la entrada (C_{in}) del CR-200, es decir: $R_{P/Z} = (R_f \times C_f) / C_{in}$.

En el diseño se destaca lo siguiente:

- En los pines de alimentación del CR-110 se colocó filtro pasa bajos RC con una frecuencia de corte de $f_c = 33.86$ Hz, de esta manera se consigue:
 - Tener una tensión de alimentación estable y evita que las perturbaciones se acoplen al preamplificador sensible a la carga.
 - Los capacitores acumulan carga y son capaces suministrar gran cantidad de corriente (9.5 mA) que los dispositivos CREMAT necesitan, el regulador por sí solo no es capaz de hacerlo.
 - El fabricante recomienda un filtro RC de 4.7 ohm y 1000 μ F, esto es **bueno** porque elimina cualquier componente de baja y alta frecuencia dejando pasar la componente de continua, pero tiene la **desventaja** de que el capacitor de 1000 μ F ocupa mucho espacio en el circuito. Entonces se usó otra alternativa práctica, un **filtro RC** con valores de **10 ohm y 470 μ F**. Bajando el valor del capacitor y subiendo un poco el valor de resistencia para mantener la frecuencia de corte constante y tener una disipación de potencia en la resistencia razonablemente baja.

- En los pines de alimentación del amplificador HFA1112 se coloca un capacitor 10 μF en paralelo con un capacitor más chico de 100nF para que en alta frecuencia se siga comportando como un capacitor.

7.5. Esquemático Generador de Rampa y Comparador

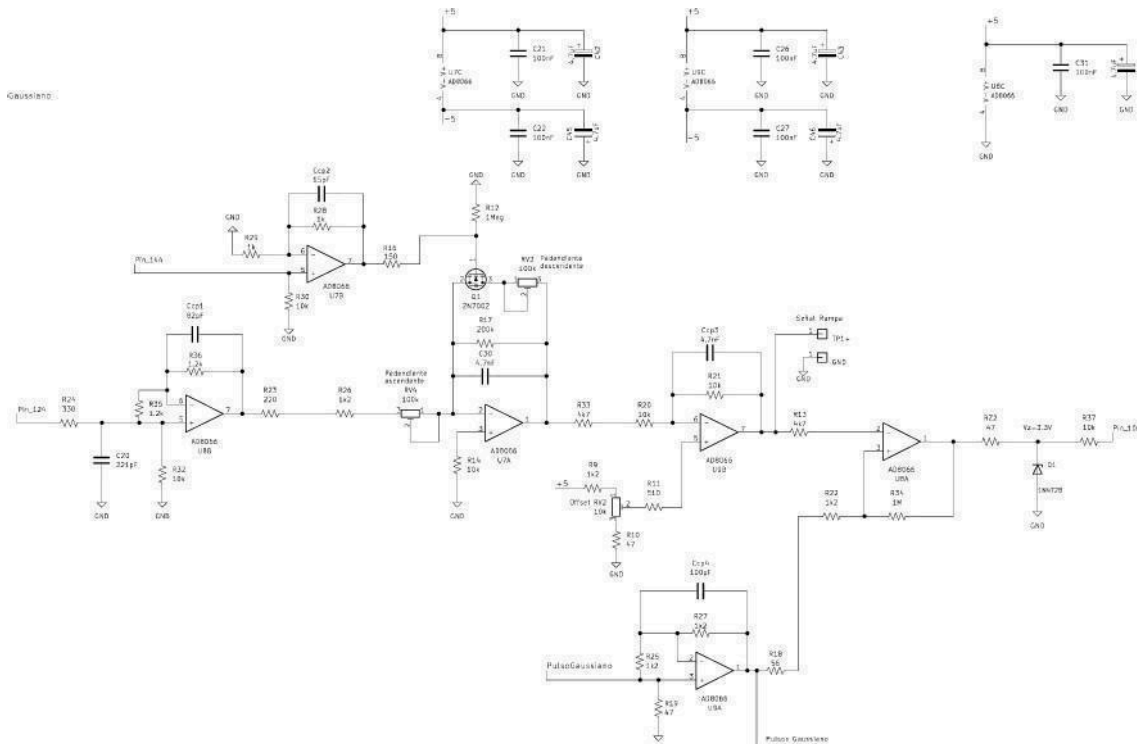


Figura 7.4.5. Esquemático generador de funciones y comparador.

En la Figura 7.4.5 muestra lo siguiente:

- Potenciómetro RV4 de 100 k ohm permite ajustar la pendiente positiva de la rampa
- Potenciómetro RV3 de 100 k ohm permite ajustar la pendiente negativa de la rampa
- Potenciómetro RV2 de 10 k ohm permite ajustar la continua (umbral inicial de tensión) de la rampa
- Se cambió el transistor bipolar de juntura 2N2222 por el MOSFET 2N7002 ya que el MOSFET 2N7002 tiene:
 - tiempos de encendido y apagado menores que el transistor 2N2222.
 - Presenta una resistencia (R_{on}) entre drain menor a la resistencia al colector emisor del transistor 2N2222 en estado de conducción.
- Se colocó el Potenciómetro RV3 de 100 k en el drain para poder controlar la pendiente de descarga.

7.6. Diseño PCB

El diseño del circuito impreso es de doble faz y se realizó bajo el formato de *shield* para permitir una conexión directa y compacta sobre la placa EDU CIAA FPGA, reduciendo la conexión entre Front End y el comparador, la longitud de las pistas y, por ende, la susceptibilidad a interferencias electromagnéticas (EMI). El detector se conecta directamente a la entrada del Front End para eliminar la capacidad parásita del cable coaxial y evitar inestabilidades del preamplificador sensible a la carga (CR-110). El diseño cumple con el *layout* de pines de la Placa EDU CIAA FPGA, asegurando una integración mecánica estable y una transferencia de datos de alta velocidad.

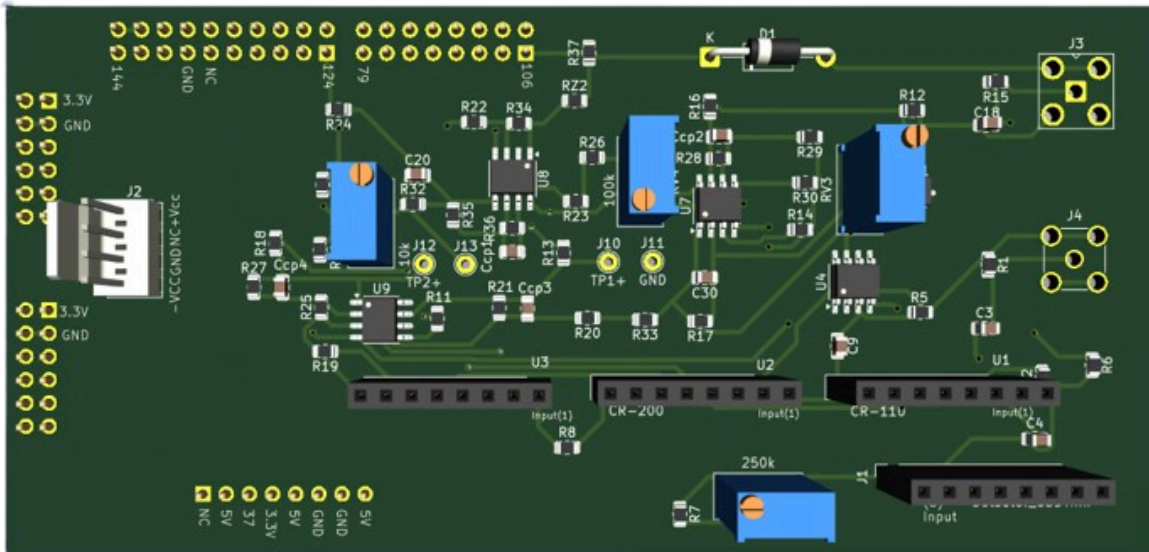


Figura 7.6.1. Capa superior (Top Layer). Vista 3D del diseño de PCB de KiCad,

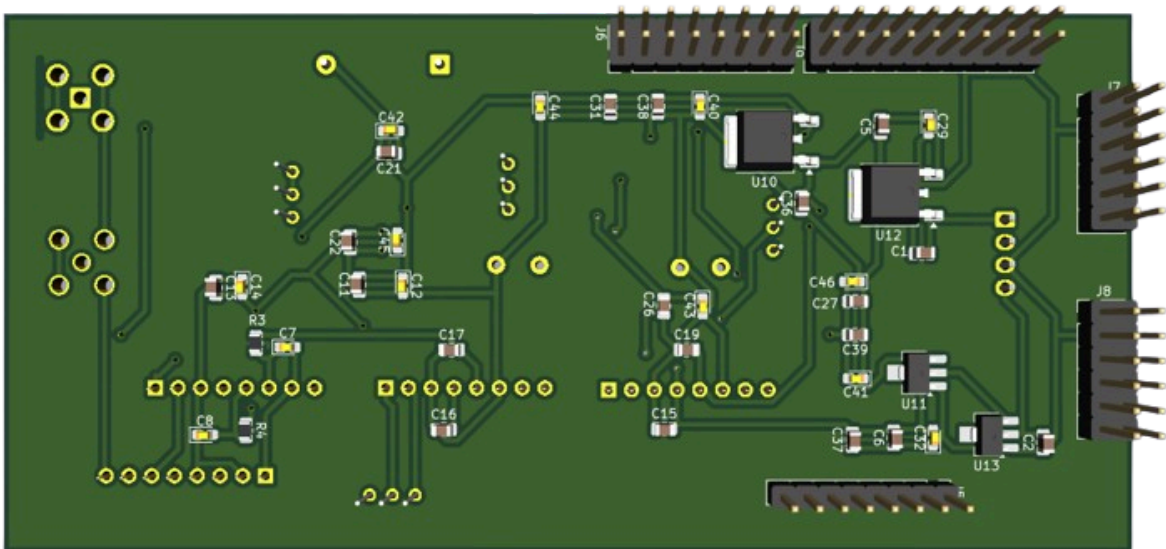


Figura 7.6.2. Capa inferior (Bottom Layer). Vista 3D del diseño de PCB de KiCad,

8. Conclusiones

El uso de la técnica *Time Over Threshold* transforma directamente la información de amplitud en tiempo evitando el muestreo completo del pulso, Esta característica reduce significativamente el volumen de datos por evento, el uso de memoria digital, el sistema presenta menor latencia y la complejidad del procesamiento en la FPGA. El realizar la comparación con un umbral dinámico (rampa de tensión) permite una mejor utilización del eje temporal, generando una mayor cantidad de valores distinguibles para representar la energía depositada, en comparación con el umbral fijo. Además, se obtuvo del generador rampa un pendiente de descarga rápida de $2\mu\text{s}$ evitando tiempos muertos.

Apéndice A

A. Especificación de Requerimientos

Especificación de Requerimientos

Fecha	Versión	Descripción	Autor/a
25/03/2024	1.0	Versión inicial	Roberto M. Sebastián Spagnolo
08/09/2025	1.1	Cambios del Proyecto preliminar	Roberto M. Sebastián Spagnolo
01/01/2026	1.2	Escritura Especificación Funcional	Roberto M. Sebastián Spagnolo
08/01/2026	1.3	Desarrollo Especificación técnica	Roberto M. Sebastián Spagnolo
12/01/2026	1.4	Desarrollo Resultados experimentales y mediciones	Roberto M. Sebastián Spagnolo
15/01/2026	1.5	Desarrollo sistema unificado	Roberto M. Sebastián Spagnolo
16/01/2026	1.6	Escritura de Implementación de Hardware validación de señales	Roberto M. Sebastián Spagnolo
10/02/2026	1.7	Primera redacción y corrección de los capítulos	Dr. Ing. Martín Pérez Dr. Ing. Antonelli Maximiliano
07/03/206	1.8	Segunda redacción y corrección de los capítulos	Roberto M. Sebastián Spagnolo

A.1. Introducción

El dispositivo desarrollado es un sistema electrónico que mide radiación, capaz de transformar los eventos detectados por un detector semiconductor en datos digitales que, en ciertas condiciones, permiten analizar la distribución de energía de las partículas incidentes.

A.1.1. Propósito

En este documento se describen y se definen los requerimientos funcionales y no funcionales del dispositivo a desarrollar como Proyecto Final del autor, correspondiente a la carrera Ingeniería Electrónica. Junto con el plan de proyecto y el informe final conforman la documentación requerida para lograr la aceptación del Trabajo Final. La presente sección define formalmente las capacidades, condiciones y restricciones que debe satisfacer el sistema de lectura de detectores de semiconductores desarrollado. Estos requerimientos actúan como contrato técnico y criterio de aceptación para la validación del prototipo.

A.1.2. Ámbito

Como se mencionó anteriormente se emplean detectores de radiación en diversas aplicaciones, en particular en aplicaciones espaciales, se necesita medir radiación en esta área ya que los satélites deben sobrevivir al ambiente espacial durante toda su vida útil, con lo cual es de interés medir y caracterizar la radiación a la que está sometido. En este proyecto el dispositivo realiza la lectura y procesamiento de los pulsos de corriente del detector semiconductor, luego se realizará un histograma de la información capturada y se visualizará en la pantalla de una computadora para su análisis.

A.1.3. Objetivo

Desarrollar un sistema electrónico de lectura de pulsos basado en FPGA para su utilización con detectores de radiación semiconductores, capaz de adquirir, procesar y digitalizar las señales generadas por dichos detectores. El sistema deberá permitir la medición de eventos de radiación y la obtención de información estadística asociada a su energía, resultando aplicable a distintos tipos de radiación y a diversas áreas de aplicación, tales como aeroespacial, radioterapia, seguridad, minería y monitoreo ambiental.

A.1.4. Alcance

El alcance del presente proyecto abarca el diseño, implementación y validación de un sistema electrónico completo que comprende desde la lectura de los pulsos de corriente generados por un detector de radiación semiconductor hasta la visualización de histogramas que permiten realizar un análisis estadístico de los eventos detectados.

En particular, el sistema desarrollado permite medir el ancho de los pulsos digitales obtenidos mediante técnicas de conversión temporal, donde dicha magnitud está relacionada con la energía depositada por la partícula incidente en el detector.

Alcance de Hardware y Diseño Físico

El desarrollo físico del sistema comprende el diseño, construcción, y evaluación de la electrónica de lectura basada en FPGA desde el prototipo hasta la integración del acondicionamiento de la señal con el generador de rampa y el comparador en una sola placa PCB.

- **Desarrollo del Prototipo Funcional:** Se implementó una versión inicial compuesta por tres placas interconectadas: placa para el acondicionamiento de señal, placa para el comparador más un generador de rampa para la técnica de *Time Over Threshold* y la placa de desarrollo EDU CIAA FPGA. La interconexión se realizó mediante cableado coaxial y conexiones punto a punto para validar la funcionalidad de cada etapa de manera independiente.
- **Diseño Final Integrado:** El proyecto incluye el diseño de un PCB unificado en formato *shield* para la plataforma EDU CIAA FPGA. Este diseño integra todas las etapas analógicas y de conversión en un solo sustrato para optimizar la integridad de señal y reducir el ruido.

Alcance Arquitectura Digital en FPGA

Se desarrolló utilizando lógica programable VHDL para el diseño de circuito digital que cuenta con las siguientes funciones:

- La cuantificación de la duración de cada pulso.
- Gestión de la activación de rampa y sincronización de captura.
- Implementación de registros temporales y bloques de memoria RAM para la organización de los datos adquiridos.
- Diseño de un multiplexor para la selección de memorias y un módulo UART para la transmisión asincrónica de la información hacia la PC.

Selección del dispositivo digital FPGA

La elección de una FPGA como plataforma de procesamiento digital responde a la necesidad de contar con un dispositivo capaz de realizar mediciones temporales de alta resolución, procesamiento en tiempo real y una arquitectura flexible que permita adaptar el sistema a distintos detectores y condiciones de operación. Asimismo, el uso de una FPGA posibilita la integración de múltiples funciones digitales, tales como contadores, memorias, lógica de control y comunicaciones, dentro de un único dispositivo, reduciendo la complejidad del sistema y mejorando su escalabilidad.

Para el diseño digital se utilizó un dispositivo del tipo FPGA debido a que este tipo de dispositivos son reconfigurables. Las FPGA cuentan con una memoria no volátil donde se almacena el archivo de configuración (*bitstream*), que define la arquitectura lógica del hardware. De esta manera, cada vez que el sistema se energiza o se reinicia, la FPGA carga automáticamente su configuración desde dicha memoria, garantizando que el dispositivo sea funcional y mantenga su arquitectura sin intervención externa. Esta característica resulta especialmente relevante en aplicaciones donde la confiabilidad es crítica, como en el área aeroespacial. En este tipo de entornos, la incidencia de partículas energéticas puede provocar errores en los dispositivos electrónicos; mientras que en sistemas digitales convencionales estos errores pueden resultar permanentes, en una FPGA es posible restaurar el funcionamiento correcto mediante la recarga de la configuración almacenada.

Selección de la Plataforma de Procesamiento

Para la implementación del sistema digital se requirió una plataforma de desarrollo que permitiera validar el procesamiento en FPGA en condiciones reales de operación, garantizando robustez mecánica, confiabilidad eléctrica y facilidad de integración con el resto del sistema electrónico. Asimismo, se prioriza el uso de una plataforma que favorezca la reproducibilidad del proyecto y el acceso completo al diseño de hardware, en línea con los objetivos académicos y experimentales del trabajo. Se optó por la placa de desarrollo **EDU-CIAA-FPGA**, basada en el chip **Lattice iCE40HX4K** [4], debido a que posee las siguientes ventajas:

- Su diseño está orientado a entornos de trabajo exigentes, ofreciendo una resistencia superior a vibraciones y fatiga mecánica en comparación con placas de prototipado convencionales.
- Al ser una plataforma de hardware libre, se garantiza el acceso total a los esquemáticos, permitiendo la reparación a nivel de componente y la replicabilidad total del sistema.
- Es compatible con herramientas de síntesis de código abierto asegura la transparencia del proceso y la independencia de licencias propietarias.

Verificación y Simulación

El alcance incluye la validación teórica previa a la implementación mediante:

- **Simulación Analógica:** Modelado de la cadena de acondicionamiento, rampa y comparador para verificar las formas de onda. Dichas simulaciones fueron realizadas en el software LTspice[5].
- **Simulación Digital:** Verificación del comportamiento lógico de los bloques de la FPGA antes de su carga en el *hardware* real. Dichas simulaciones fueron realizadas en el *software Waveform Editor* de *Quartus*.

Metodología de Validación y Pruebas

Las pruebas siguen una metodología que evoluciona desde la validación de las etapas individuales hasta la integración final para garantizar su correcto funcionamiento.

- Se realizaron pruebas del prototipo en un entorno de laboratorio controlado, utilizando una fuente isotrópica ^{241}Am y el detector U3DThin.
- El alcance de las pruebas siguió un enfoque sistemático por etapas:
 1. Verificación de niveles de tensión y alimentación en cada etapa mediante el uso de voltímetro.
 2. Análisis de señales analógicas intermedias mediante osciloscopio (salida del preamplificador y conformador) para asegurar la integridad de la señal.
 3. Análisis de señales analógicas intermedias mediante osciloscopio (salida del preamplificador y conformador) para asegurar la integridad de la señal.
 4. Prueba integral del sistema completo para la obtención del histograma.
- Las mediciones se enfocaron en la verificación funcional y conceptual del diseño. No se incluyen ensayos de certificación bajo normas estandarizadas (como ISO o IRAM) ni pruebas de robustez ambiental (temperatura, humedad o vibraciones).

Alcance del Software de Visualización

En esta primera etapa del prototipo se realizó el software con MATLAB y requiere conocimientos técnicos para la ejecución del código y la manipulación de los parámetros, pero se planea en otra siguiente etapa desarrollar un software un IDE o GUI comercial para el usuario final. El software recibe los datos que van desde la FPGA hacia la PC por transmisión UART. Estos datos son la altura de los bins del histograma que están almacenados en la memoria RAM de la FPGA.

A.2. Proyecto

A.2.1. Partes Interesadas

Nombre	Roberto M. Sebastián Spagnolo
Rol	Desarrollador
Categoría Profesional	Estudiante
Responsabilidad	Desarrollo y Diseño del dispositivo
Información de contacto	sebastianrmspagnolo@gmail.com

Nombre	Antonelli Maximiliano
Rol	Director del proyecto
Categoría Profesional	Profesor adjunto de UNMDP e investigador CONICET
Responsabilidad	Revisar entregables en tiempo y forma Colaborar con la planificación y seguimiento del proyecto
Información de contacto	maxsanto@fi.mdp.edu.ar.

Nombre	Pérez Martín
Rol	Co director del proyecto
Categoría Profesional	Investigador de la Comisión Nacional de Energía Atómica (CNEA) e investigador de CONICET.
Responsabilidad	Brindar información necesaria para llevar a cabo el proyecto
Información de contacto	martin.perez@ib.edu.ar

A.2.2. Definiciones, acrónimos y abreviaturas

Nombre	Descripción
U3DTHIN	Detector de radiación ionizante 3D UltraDelgado
FPGA	Field Programmable Gate Array
UART	Universal Asynchronous Receiver-Transmitter
USB	Universal Serial Bus
SNR	Signal-to-Noise Ratio
PC	Personal Computer
VHDL	VHSIC (Very High Speed Integrated Circuits) Hardware Description Language
IDE	Integrated Development Environment
GUI	Graphical User Interface
EDU-CIAA	Placa de desarrollo de Hardware abierto en FPGA
PLL	Phase Locked Loops
Bitstream	Archivo binario que contiene la información de configuración lógica y de ruteo para una FPGA
Memoria Flash	Tipo de memoria que conserva la información almacenada incluso cuando se retira la alimentación eléctrica.
FSM	Finite State Machine
FWHM	Full Width of the Pulse at Half of it's Maximum Value
TOT	Time Over Threshold Técnica de digitalización que emite pulsos de duración variable
CR 110	Charge Sensitive Preamplifier
CR 200	Gaussian Shaping Amplifier
BLR	Baseline Restoration Module

A.2.3. Referencias

Título del Documento	Referencia
Dynamic Time Over Threshold Method	[1] Kenji Shimazoe (2012). Dynamic Time Over Threshold Method. https://drive.google.com/file/d/1fwlluTWaPM5dmo6DrUVNWS0U2VL-SGus/view?usp=drive_link
Novel Silicon Sensors for Neutron Detection	[2] Cosuelo G. Salmerón. (2012). <i>Novel silicon sensors for neutron detection</i> [Tesis de grado, Universidad Autónoma de Barcelona]. https://drive.google.com/file/d/1WvGmJvG6xh7Mg7jhEWAPfB73g5o-PVdw/view?usp=drive_link
Placa de desarrollo EDU CIAA FPGA	[3] Proyecto EDU CIAA FPGA: https://www.provecto-ciaa.com.ar/devwiki/doku.php%3Fid=desarrollo:edu-fpga.html
ICE40 LP/HX Family Data Sheet,	[4] Lattice Semiconductor. (2023). <i>iCE40 LP/HX Family Data Sheet</i> [Hoja de datos]. https://www.latticesemi.com/~media/latticesemi/documents/datasheets/ice/ice40lphxfamilydatasheet.pdf
LTspice Technical Information and Guides	[5] LTspice,(2026). <i>LTspice Technical Information and Guides</i> . https://www.analog.com/en/resources/design-tools-and-calculators/ltspice-simulator/ltspice-recommended-reading-list.html
CR-200 Gaussian shaping amplifier	[6] CREMAT Inc. (2017). <i>CR-200 Gaussian shaping amplifier</i> [Hoja de datos]. https://www.cremat.com/CR-200-R2.1.pdf
Analog Devices	[7] Analog Devices Semiconductor. (2002). <i>Analog Devices AD 8066</i> [Hoja de datos]. https://www.analog.com/media/en/technical-documentation/data-sheets/AD8065_8066.pdf
HFA1112	[8] RENASAS. (2005). <i>HFA1112 850MHz, Low Distortion Programmable Gain Buffer Amplifiers</i> [Hoja de datos]. https://www.lcsc.com/datasheet/C4370225.pdf
Memory Usage Guide for iCE40 Devices	[9] Lattice Semiconductor. (2020). <i>Memory Usage Guide for iCE40 Devices</i> [Hoja de datos]. https://www.latticesemi.com/~media/LatticeSemi/Documents/ApplicationNotes/MP2/FPGA-TN-020-02-1-7-Memory-Usage-Guide-for-iCE40-Devices.sshx?document_id=47775
ICEcube2 User Guide	[10] Lattice Semiconductor. (2017). <i>ICEcube2 UserGuide</i> [Hoja de datos]. https://www.latticesemi.com/iCEcube2
CR-110 charge sensitive preamplifier	[11] CREMAT Inc. (2018). <i>CR-110 charge sensitive preamplifier</i> [Hoja de datos]. https://www.cremat.com/CR-110-R2.pdf

A.2.4. Perspectiva del Producto

El producto desarrollado en este Trabajo Final consiste en un sistema electrónico de lectura y adquisición de datos basado en FPGA, destinado a la detección y análisis de radiación ionizante mediante detectores semiconductores.

El sistema se concibe como un subsistema de medición que actúa como interfaz entre el detector y una computadora personal, encargándose del acondicionamiento de las señales analógicas, su conversión a información digital y el procesamiento inicial de los datos obtenidos.

El dispositivo se integra dentro de un sistema de medición más amplio, donde el detector semiconductor genera las señales físicas, el sistema electrónico las procesa y el software en la PC grafica el histograma mostrando los resultados. El producto final es una placa que tiene un formato *shield* y se acopla fácilmente a los conectores de expansión de la placa EDU-CIAA FPGA. La placa *shield* llamada Front End ICE 40 integra el acondicionamiento de señal y el generador de rampa junto con el comparador.

Si bien las pruebas experimentales se realizaron utilizando un detector semiconductor U3DTHIN y una fuente ^{241}Am , la arquitectura desarrollada es aplicable a distintos tipos de detectores semiconductores con características similares, lo que otorga al producto un carácter general y adaptable.

Cuando la partícula incide en el detector, el semiconductor libera pares de electrones huecos emitiendo un pulso de corriente de amplitud variable con una duración que está en el orden de los nanosegundos. El Amplificador Sensible a la Carga integra estos pulsos de corriente transformándolo en un escalón de tensión. El Conformador de Pulsos Gaussiano transforma el escalón de tensión en un pulso con forma de campana de Gauss para ser digitalizado con la técnica de *Time Over Threshold* emitiendo en su salida pulsos cuadrados de duración variable. Finalmente la FPGA mide la duración de cada pulso digital guardando en memoria las veces que se repite el tiempo de cada pulso para luego transmitirlo hacia una PC y visualizar los resultados en un histograma. La Figura A1 ilustra el funcionamiento del dispositivo.

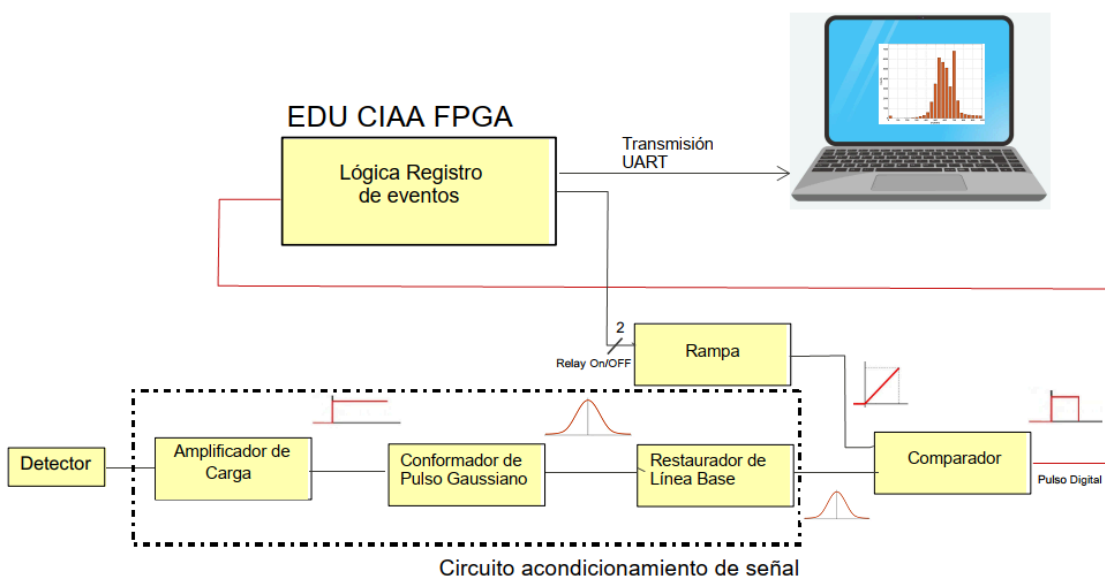


Figura A1. Diagrama del funcionamiento del dispositivo.

A.2.5. Requerimientos Funcionales (RF)

Los siguientes requerimientos describen los comportamientos específicos que el sistema debe ejecutar. Cada uno es medible y verificable.

Identificación de Requerimiento	RF01
Nombre de Requerimiento	Acondicionamiento de la señal (Front-End)
Descripción de Requerimiento	<p>El dispositivo de lectura debe medir la energía de las partículas alfa en un rango de 1.4MeV a 5 MeV para lograr esto el amplificador de carga debe ser capaz de almacenar cargas en el rango de 63 a 227 fC. Además, el Amplificador Sensible a la Carga debe tener un <i>rise time</i> de 7ns para garantizar que identifique todo el pulso de corriente y no pierda la carga, es decir que el amplificador pueda convertir el pulso de corriente del detector en un escalón de tensión.</p> <p>La salida analógica debe presentar una conformación gaussiana con un tiempo de conformación (FWHM) de aproximadamente 4μs para optimizar la relación señal-ruido. Los pulsos gaussianos a la salida del conformador deben tener un rango de 90 mV a 332 mV . También debe incorporar cancelación de polo-cero (P/Z) para evitar <i>undershoots</i> y <i>overshoots</i>, asegurando que la señal regrese a cero volts sin cruzar la línea de base.</p> <p>También se debe incorporar una etapa de Restauración de Línea de Base (BLR) que estabilice la línea de base y evitar desplazamiento del pulso gaussiano.</p>
Prioridad de requerimiento	Alta

Identificación de Requerimiento	RF02
Nombre de Requerimiento	Conversión y Digitalización
Descripción de Requerimiento	<p>El sistema debe implementar la técnica <i>Time Over Threshold</i> para realizar la conversión de amplitud a tiempo comparando el pulso gaussiano con una rampa lineal generada internamente.</p> <p>El generador de rampa debe activarse sincronizadamente con la detección del evento y poseer una descarga rápida para minimizar el tiempo muerto del sistema.</p> <p>La rampa debe ser capaz de seguir la envolvente de pulsos gaussianos sin oscilaciones ni distorsiones significativas, requiriendo amplificadores operacionales con un <i>Slew Rate</i> superior a 50 V/μs.</p>
Prioridad de requerimiento	Alta

Identificación de Requerimiento	RF03
Nombre de Requerimiento	Procesamiento Digital en FPGA
Descripción de Requerimiento	<p>El contador debe medir la duración del pulso activo alto proveniente del comparador con una resolución temporal de 10 ns (1 ciclo de reloj) para minimizar el error en la medición.</p> <p>El sistema debe implementar una máquina de estados (FSM) que gestione el almacenamiento temporal en memoria RAM interna y el borrado de la misma tras la transmisión.</p> <p>La lógica debe ser parametrizable para poder establecer bits para medir el pulso, tiempo del Timer en la captura de eventos, bits en el bus de direcciones y bus de datos y tiempos de lectura y escritura en la memoria RAM.</p>
Prioridad de requerimiento	Alta

Identificación de Requerimiento	RF03
Nombre de Requerimiento	Transmisión de Datos
Descripción de Requerimiento	<p>El sistema debe transmitir el valor de los eventos (cuentas de la duración de cada pulso) a través de un puerto UART estándar.</p> <p>La velocidad de transmisión (<i>Baud Rate</i>) se fija en 115200 baudios para asegurar una transferencia fluida hacia la PC.</p>
Prioridad de requerimiento	Alta

Identificación de Requerimiento	RF04
Nombre de Requerimiento	Visualización (Software)
Descripción de Requerimiento	El software de recepción (<i>Script</i> MATLAB) debe ser capaz de construir un histograma de frecuencias en tiempo real. El sistema debe permitir la parametrización de la agrupación de bins y el ajuste de escalas en los ejes para facilitar el análisis del espectro energético.
Prioridad de requerimiento	Alta

A.2.6. Requerimientos No Funcionales (RNF)

Condicionantes obligatorios para el desarrollo:

RNF-01: Hardware Digital

- Se debe utilizar la placa **EDU-CIAA-FPGA** (Lattice iCE40HX4K) por su carácter de hardware abierto.

RNF-02: Componentes Específicos para el prototipo

- Para la etapa de acondicionamiento de señal se disponen de los circuitos integrados CREMAT [6] (CR-110, CR-200-2 μ s, CR-210).
- Para la etapa del generador de rampa y comparador se disponen de los amplificadores operacionales duales AD 8066[7].
- Para la alimentación reguladores lineales de tensión ajustables LM317.

RNF-03: Alimentación

- La etapa analógica requiere alimentación simétrica regulada y libre de ruido de conmutación (preferentemente baterías y reguladores lineales) para que el ruido no perturbe las señales de interés.

RNF-04: Portabilidad del Código

- El código VHDL debe estar estructurado en bloques independientes (Contador, UART, Control) y debidamente comentado. Esto es un requisito para permitir que, en el futuro, otros desarrolladores puedan migrar el diseño a una FPGA diferente o modificar la lógica sin tener que reescribir todo el sistema.

A.2.7. Características de los usuarios

La utilización de este dispositivo va dirigido a Ingenieros, Médicos, Físicos, Técnicos y cualquier profesional o institución que necesite medir radiación con dispositivos semiconductores que operen en modo pulso.

A.2.8. Restricciones

Limitaciones, restricciones de usabilidad.

Interfaz de Usuario y Ajustes Manuales

- En esta primera etapa el dispositivo no posee interfaz gráfica (GUI) ni controles digitales automáticos en el hardware.
- En este primer prototipo, los parámetros críticos de operación (Umbral de discriminación, Pendiente de subida/bajada de la rampa y Ajuste de Polo-Cero) se configuran mediante potenciómetros físicos. El usuario debe realizar esta calibración manualmente observando la señal en un osciloscopio.

Limitación de área de la FPGA

- Se buscará que el uso de celdas lógicas sea el menor posible ya que las celdas lógicas de la FPGA ICE 40 son 3520, para conseguir esto se usará los bloques de memoria RAM.

A.2.9. Prueba de Homologación Requeridas

En esta sección se describen los ensayos experimentales realizados con el objetivo de validar el correcto funcionamiento del prototipo desarrollado. Las pruebas permiten verificar que cada etapa del sistema (acondicionamiento de señal, rampa y comparador, circuito digital) opere de acuerdo con lo esperado y que el dispositivo sea apto para la adquisición y análisis de señales provenientes de detectores semiconductores.

Verificación de Señal Gaussiana

- Procedimiento: Irradiar el detector con ^{241}Am y observar la salida del CR-200.
- Verificación: El pulso debe tener forma de campana de Gauss y retornar a la línea base sin oscilaciones (ajuste correcto de P/Z).

Verificación de la Intersección (Rampa vs Gaussiana)

- Procedimiento: Observar simultáneamente la señal de rampa y el pulso gaussiano en el osciloscopio.
- Verificación: La rampa debe cruzar el pulso en dos puntos definidos. La salida del comparador debe ser un pulso cuadrado cuyo ancho corresponde al tiempo entre esos dos cruces.

Pruebas de Resolución del Contador:

- Procedimiento: Inyectar pulsos cuadrados de ancho conocido (ej. $10\ \mu\text{s}$ generados por generador de funciones) a la entrada del pin de la FPGA.
- Verificación: El software en la PC debe recibir un valor de cuentas constante equivalente a $10\ \mu\text{s} / 10\ \text{ns} = 1000$ cuentas.

Obtención de Espectro

- Procedimiento: Adquisición continua con fuente de ^{241}Am .
- Verificación: El histograma resultante en MATLAB debe mostrar un pico definido (lóbulo de energía) separado del ruido de fondo.

A.2.10. Requisitos

- Amplificador de Sensible a la Carga debe tener un time rise de 7 ns.
- Conformador de pulso gaussiano debe tener un FWHM de $4.7\ \mu\text{s}$ o menor.
- Utilizar amplificadores operacionales que tengan un *Slew Rate* mayor a $50\ \text{V}/\mu\text{s}$.
- La señal de clock global de la FPGA debe ser de 100 MHz.
- Uso mínimo de celdas lógicas de la FPGA.
- Alimentar con baterías y usar jaula de Faraday para mitigar ruido electrónico e interferencia electromagnética.

Apéndice B

B. Plan de Proyecto

B.1. Introducción

Título Propuesto: Detector de radiación ionizante con Ultra 3D thin

Estudiante: Roberto Mariano Sebastián Spagnolo, legajo 6089

Directores: Dr. Ing. Maximiliano Antonelli
Dr. Ing. Martín Pérez

Lugar de Desarrollo: Laboratorio de Sistemas Caóticos (LSC)
Facultad de Ingeniería de Mar del Plata - UNMdP

El siguiente documento correspondiente al plan de proyecto de las siguientes partes:

- Cronograma propuesto
- Estimación de riesgos, junto con un plan de respuesta para resolver para resolver rápidamente el problema que pueda aparecer.

B.2 .Cronograma

Se realizó la planificación de tareas y estimación de tiempos de manera formal mediante un diagrama de Gantt. En este diagrama se plantean las horas que se dedicarán al proyecto. En rojo, se especifican los hitos indicando la finalización de cada etapa y la revisión con el director del laboratorio LSC.

Este proyecto involucra el aprendizaje de diseño de PCB (circuitos impresos) y conocimiento en el uso de bloques internos de memoria RAM, comunicación entre la placa de desarrollo y la PC, detectores semiconductores, análisis de medición de radiación. Estos conocimientos no son adquiridos en profundidad durante la carrera de Ingeniería Electrónica, con lo cual se los incluyó en las tareas del plan de trabajo para tener un mayor aprovechamiento en la utilización del tiempo.

Mientras se esperan las especificaciones del detector, se trabajará en paralelo con la parte digital empezando con el estudio de la utilización de herramientas para conocer y darle uso a la placa de desarrollo EDU- CIAA FPGA. En el caso que se demore la entrega del PCB se realizará en paralelo un estudio e implementación de comunicación entre la placa de desarrollo y la PC.

El inicio del proyecto es el 30 de abril de 2024 y la finalización del proyecto es el día 9 de marzo de 2026.

B.3. Riesgos

Riesgo	Probabilidad de aparición	Impacto	Plan de respuesta
Demora en la entrega del Detector	Media	Alto	Se realizará otra tarea en paralelo. Se sintetiza pulsos del sensor.
Falla del Detector	Baja	Alto	Se sintetiza pulsos del sensor. Obtener otro Detector.
Demora en la entrega de la PCB	Media	Media	Se realizará otra tarea en paralelo.
No llega el PCB	Baja	Media	Se realizará la PCB en forma casera.
La lógica digital sobrepasa la cantidad de celdas lógicas de la FPGA	Baja	Media	Se utilizará otra tarjeta de desarrollo.
En caso de encontrar un trabajo	Media	Alto	Se le dedicará al proyecto los días de franco.

Apéndice C

C.1. Especificación Funcional

C.1.1. Introducción

Este documento corresponde a la Especificación Funcional del Dispositivo de Lectura de Pulsos para Detectores Semiconductores. Esta especificación se ha estructurado basándose en la información mencionada en el documento de Especificación de Requerimiento.

C.1.2. Propósito del documento

El presente documento tiene como propósito proveer información detallada de cómo funcionará el prototipo y cuáles serán sus comportamientos deseados, con base en los requerimientos anteriormente definidos en la Especificación de Requerimientos.

Está dirigido a:

- Al desarrollador del instrumento, quién lo construirá.
- Técnicos e ingenieros
- Los directores y solicitantes del proyecto, así como a quienes lo evaluarán, con el fin de que corroboren su funcionamiento.

C1.3. Definiciones, acrónimos y abreviaturas

Nombre	Descripción
U3DTHIN	Detector de radiación ionizante 3D UltraDelgado
FPGA	Field Programmable Gate Array
UART	Universal Asynchronous Receiver-Transmitter
USB	Universal Serial Bus
SNR	Signal-to-Noise Ratio
PC	Personal Computer
VHDL	VHSIC (Very High Speed Integrated Circuits) Hardware Description Language
IDE	Integrated Development Environment
GUI	Graphical User Interface
EDU-CIAA	Placa de desarrollo de Hardware abierto en FPGA
PLL	Phase Locked Loops
Bitstream	Archivo binario que contiene la información de configuración lógica y de ruteo para una FPGA
FSM	Finite State Machine
Memoria Flash	Tipo de memoria que conserva la información almacenada incluso cuando se retira la alimentación eléctrica.
FWHM	Full Width of the Pulse at Half of it's Maximum Value

Especificación Funcional

TOT	Time Over Threshold Técnica de digitalización que emite pulsos de duración variable
CR 110	Charge Sensitive Preamplifier
CR 200	Gaussian Shaping Amplifier
BLR	Baseline Restoration Module

C1.4. Alcance del Proyecto

El dispositivo deberá tener la capacidad de acondicionar la señal para detectar partículas y cuantificar la altura de los pulsos analógicos producidos en cada uno de los eventos aún en presencia de ruido de fondo (ruido electrónico y luz visible).

C.2. Descripción del dispositivo

El sistema lee los pulsos de detectores semiconductores para medir radiación en general, deberá almacenar la carga proveniente del pulso de corriente de detector y convertirla en tensión, amplificar, filtrar la señal transformarla en pulso gaussiano para luego ser digitalizada y finalmente ser procesada por la FPGA. Se definen las funciones del sistema y su arquitectura se divide en cuatro etapas funcionales, detalladas en la Figura C1. A continuación, se especifican las características operativas y temporales requeridas para cada bloque.

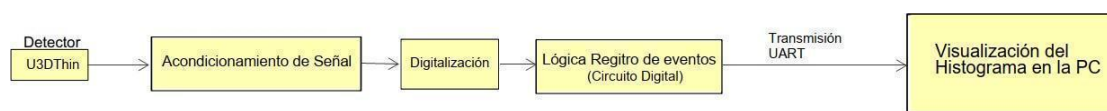


Figura C1: Diagrama en bloques del dispositivo

C.2.1. Etapa de Detección y Preamplificación

Esta etapa tiene la función de convertir la interacción física de la partícula en un pulso de voltaje inicial.

- **Integración de carga:** El sistema debe ser capaz de integrar la carga generada por el detector semiconductor.
- **Respuesta temporal (*rise time*):** Para preservar la información temporal del evento y minimizar el ruido, se requiere un preamplificador sensible a la carga con un tiempo de subida especificado en el orden de **7 ns** (basado en la respuesta del módulo CR-110). Esto asegura una respuesta tipo escalón ante la incidencia de la partícula.

C.2.2. Acondicionamiento Analógico y Conformado

Esta etapa busca mejorar la relación señal ruido (SNR) filtrar el ruido electrónico de manera controlar y transformar una exponencial de caída lenta en un pulso en forma de campana de gauss. Es de importancia conocer el FWHM ya que a menor sea el ancho de pulso gaussiano menor será el ruido y menor será el apilamiento de pulso (*pile-up*).

- **Conformado de pulso (*Pulse Shaping*):** La señal debe ser modelada a una forma **gaussiana**. Se establece como requerimiento funcional un ancho de pulso a media altura (FWHM) de **4.7µs** (especificación del CR-200).
- **Cancelación Polo-Cero (PZ):** El bloque debe incluir un mecanismo de ajuste (manual o automático) para igualar la constante de tiempo de decaimiento del preamplificador.

Funcionalmente, esto es crítico para asegurar que la señal retorne a la línea base rápidamente evitando *undershoot*, de esta forma también se evita errores en la amplitud.

C.2.3. Digitalización y Lógica de Registro (FPGA)

Esta etapa convierte la información analógica (amplitud del pulso gaussiano) en un valor digital que está relacionada a la energía que la partícula deja en el detector semiconductor.

- **Modos de digitalización:** para digitalizar el pulso gaussiano se puede usar un conversor analógico digital o la técnica de *Time Over Threshold*. Para poder discriminar los eventos tener en cuenta la frecuencia de muestreo en caso de que se use el conversor o la resolución temporal en el caso de la técnica de *Time Over Threshold*.
- **Procesamiento de Eventos:** La lógica debe ser capaz de discriminar eventos válidos (superación de umbral) y medir su duración o amplitud en función de la referencia interna, generando un dato digital por cada partícula detectada.
- **Discriminación por Umbral (LLD):** El sistema debe integrar un umbral de tensión variable. Dicho umbral actúa como un discriminador de ruido, permitiendo que solo los pulsos cuya amplitud supere dicho nivel (eventos de interés) inicien el proceso de conversión. Esto filtra el ruido de fondo y las señales espurias del pedestal analógico.

C.2.4. Transmisión y Visualización

- **Interfaz de Datos:** El sistema debe empaquetar los eventos procesados y transmitirlos asincrónicamente (UART) hacia la PC.
- **Representación Espectral:** El software final debe acumular la repetición de cada ancho de pulso para construir el histograma de energía en tiempo real, permitiendo la visualización de la distribución estadística de las partículas.

Apéndice D

D.1 Especificación Técnica

D1.1. Introducción

Este documento corresponde a la especificación técnica del sistema. Esta especificación se ha estructurado basándose en la información mencionada en el documento de Especificación Funcional.

D1.2. Propósito del documento

El presente documento tiene como propósito proveer información detallada de cómo funcionará el prototipo y cuáles serán sus comportamientos deseados, en base a los requerimientos anteriormente definidos en la Especificación Funcional. Está dirigido a:

- Al desarrollador del instrumento, quienes lo construirán.
- Los directores e ingenieros, solicitantes del proyecto, así como a quienes lo evaluarán, con el fin de que corroboren su funcionamiento.

D1.3. Alcance del Proyecto

El dispositivo deberá tener la capacidad de acondicionar la señal para detectar partículas y cuantificar la energía asociada a cada evento aún en presencia de ruido de fondo (ruido electrónico más rayos gamma).

D1.4. Definiciones, acrónimos y abreviaturas

Nombre	Descripción
U3DTHIN	Detector de radiación ionizante 3D UltraDelgado
FPGA	Field Programmable Gate Array
UART	Universal Asynchronous Receiver-Transmitter
USB	Universal Serial Bus
SNR	Signal-to-Noise Ratio
PC	Personal Computer
VHDL	VHSIC (Very High Speed Integrated Circuits) Hardware Description Language
IDE	Integrated Development Environment
GUI	Graphical User Interface
EDU-CIAA	Placa de desarrollo de Hardware abierto en FPGA
PLL	Phase Locked Loops
Bitstream	Archivo binario que contiene la información de configuración lógica y de ruteo para una FPGA
FSM	Finite State Machine
FWHM	Full Width of the Pulse at Half of it's Maximum Value

Especificación Técnica

TOT	Time Over Threshold (Técnica de digitalización)
CR 110	Charge Sensitive Preamplifier
CR 200	Gaussian Shaping Amplifier
BLR	Baseline Restoration Module

D1.5. Descripción del dispositivo

El dispositivo está compuesto por un circuito analógico que acondiciona la señal y un circuito digital que cuantifica la cantidad de par de electrones huecos liberados por el detector. Como el detector semiconductor emite pulsos de corriente de amplitud variable proporcionales a la carga que la partícula deja en el detector, se quiere diseñar un circuito que acondicione y digitalice la señal para que el circuito digital pueda realizar un histograma.

El circuito acondicionador debe ser capaz almacenar la carga proveniente del pulso de corriente de detector y convertirla en tensión, amplificar, filtrar la señal y transformarla en un pulso gaussiano. Por otra parte, el circuito digital debe contar con una lógica de registro de eventos que sea capaz de cuantificar los eventos, clasificarlos, guardarlos en memoria para luego generar un histograma de energía o espectro de amplitud de pulsos. Finalmente, la información se debe visualizar en pantalla para que el usuario pueda hacer su respectivo análisis.



Figura D1. Diagrama general en bloques del dispositivo.

En la Figura D1 se observan las distintas etapas que componen al circuito. En la Etapa del acondicionador de señal, su salida, debe emitir pulsos gaussianos donde su amplitud sea proporcional a la energía depositada por la partícula. Debe tener un *Full Width at Half Maximum* (FWHM) o ancho de pulso menor o igual a $4.7 \mu\text{s}$. En la etapa digitalización debe ser capaz de capturar cada evento ya con la técnica del *Time Over Threshold*. La etapa digital, lógica registro de eventos, debe contar con una resolución menor o igual a $1 \mu\text{s}$ para minimizar el error en la medición.

En la Figura D2 se muestran las etapas que forman la electrónica de lectura de pulsos basada en FPGA para detectores de radiación semiconductores.

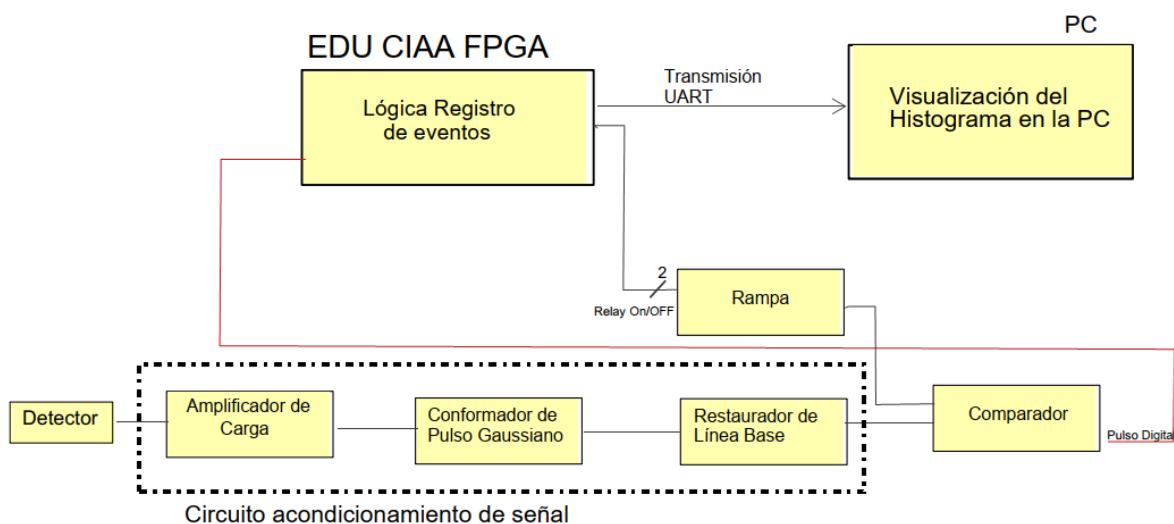


Figura D2. Etapas que forman el acondicionador de señal y circuito digital utilizando una FPGA.

Apéndice E

E.1. Plan de Pruebas

E1.1. Introducción

El presente documento define los lineamientos para **administrar y documentar las verificaciones** del Sistema Electrónico para la Lectura de Detectores Semiconductores con el fin de medir radiación en general. Está orientado a asegurar la trazabilidad del proceso de prueba, funcionando como guía informativa para los docentes de la cátedra de Trabajo Final y directores involucrados en el proyecto. Para pruebas se disponía de la Fuente de ^{241}Am que emite partículas alfa, Detector U3DTHIN.

E1.2. Alcance

El presente plan abarca el ciclo completo de verificación del dispositivo, estructurado en tres niveles. Primero, se realizarán **pruebas unitarias** para validar el comportamiento de cada módulo de forma aislada. En segundo lugar, se ejecutarán **pruebas de integración** para evaluar la interacción entre los distintos bloques del sistema. Finalmente, se llevarán a cabo **ensayos de homologación** con el propósito de certificar que el instrumento cumpla estrictamente con los requerimientos funcionales establecidos.

E1.3. Ambiente de Prueba

Se utilizarán 6 ambientes de prueba y 23 casos de prueba planteados.

- Lógica Registro de Eventos
- Acondicionamiento de señal (Front End)
- Generador Rampa con AD 8066
- Sistema de Cuantificación de
- Eventos
- Generador Rampa con TL072

E1.4. Instrumental, herramientas y software

- Generador de Funciones Hewlett Packard 33120A.
- Osciloscopio Tektronix TDS 210.
- Multímetro.
- PC.
- Protoboard, placa experimental.
- Baterías de 12V.
- Módulo de regulador lineal ajustable LM317.
- Conectores BNC y cables coaxial de 50 ohm de impedancia.
- Componentes CREMAT y amplificadores operacionales ADA 8066.
- Detector U3DTHIN
- Fuente de ^{241}Am
- Gabinete metálico.
- Monitor Puerto Serie Docklight.
- ICE Cube 2 IDE para el diseño de hardware y FPGA.
- MATLAB.

E1.5. Política de trabajo

Sede y Supervisión: Las pruebas se realizan en el Laboratorio de Sistemas Caóticos (FI-UNMDP). El estudiante operará el sistema bajo el seguimiento del personal docente/técnico responsable del instrumental.

Seguridad: Dado que el detector interactúa con partículas alfa de alta energía provenientes de una fuente de ^{241}Am , se aplicarán las siguientes medidas de seguridad:

- a. **Protección de contacto:** Uso obligatorio de guantes de látex descartables (uso exclusivo para manipulación de la fuente) para evitar la contaminación por contacto.
- b. **Protección física:** Se mantendrá la integridad del recubrimiento plástico original de la fuente.
- c. **Resguardo:** Al concluir los ensayos, la fuente se depositará en una caja de aluminio para garantizar su blindaje y seguridad.

E.1.6. Comunicación

Los resultados de las pruebas se comunicarán en reuniones con los directores de tesis Maximiliano Antonelli y Martín Pérez.

E.2. Plan

Ambientes	ID	Prueba	Tipo de prueba	Procedimiento	Instrumental	Resultado esperado	Fecha de prueba	Iteración	Resultado obtenido	Observaciones
Lógica Registro de Eventos	1	Configuración y verificación del PLL	Unitaria	La configuración de la primitiva PLL de la FPGA ICE40 fue generada automáticamente a través del asistente del ICECube2. Para aumentar la frecuencia de clock de 12 MHz a 100 MHz. Se conectó la señal de 12MHz a la entrada del PLL. A la salida PLLOUTGLOBAL, señal de 100 MHz, se conectó el led 2 de la placa EDU CIAA. La salida Lock, señal que indica cuando el PLL está enganchado, se lo conecto al Led1 de la placa EDU CIAA.	IDE ICE Cube2 Lattice	El Led 1 de la placa estaba encendido indicando que el PLL estaba enganchado. El Led 2 también estaba encendido indicando que hay señal a la salida del PLL.	03/03/2025	1	Acorde a lo esperado	-
	2	Verificación del contador digital mediante simulación	Integral	Se realizó el algoritmo para sintetizar un contador digital mediante el lenguaje VHDL. Se conectó la salida del PLL al clk del contador para conseguir máxima resolución y tener un error mínimo en la medición. Se simularon pulsos de diferentes tamaños para observar su correcto funcionamiento.	IDE Waveform Editor (Quartus)	El contador es capaz de seguir la cuenta de cada pulso. Se consigue la resolución esperada. El contador se reinicia cuando no recibe pulsos. Máxima cuenta que es capaz de llegar es de 1024 valores ya que el contador es de 10 bits . Mínimo pulso que es capaz de detectar es de 20 ns ya que el Clock es de 100MHz . Máximo pulso que puede detectar es de 10.24µs .	03/03/2025	1	Acorde a lo esperado	Solo cuenta cuando hay pulsos. Como se esperan pulsos mayores a 1µs y el contador es capaz de detectar un pulso mínimo de 20 ns, entonces no hay puntos muertos por parte del contador. Cuando recibe un pulso mayor a 10.24µs, el contador se detiene en 1024.
	#3	Verificación Captura de eventos, pulso medido, mediante simulación	Integral	Se realizó el algoritmo para sintetizar un registro digital mediante el lenguaje VHDL. Este registro se lo llamó <i>"capturepulse"</i> . Se lo conecto junto al contador para que sea capaz de guardar temporalmente el último valor del contador. Se simularon pulsos de diferentes tamaños para garantizar su correcto funcionamiento del registro.	IDE Waveform Editor (Quartus)	Se observa que el registro es capaz de guardar el último valor del contador 10ns antes de que el pulso digital a medir pase 1 lógico a 0 lógico. El registro tiene otra salida de 1 bit que envía un pulso rápido cada vez que se guarda el dato (evento). Este pulso indica que hay un dato válido.	24/03/2025	4	Acorde a lo esperado	El registro retiene el dato hasta guardar el próximo dato o evento.

4	Lectura y Escritura mediante simulación	Integral	Se implementó el algoritmo para sintetizar una Máquina de Estados Finitos (FSM) que gestiona la lectura y escritura cada vez que se registra un evento cuando el circuito digital está en operación. Este FSM está dentro del bloque <i>Lógica y Control</i> . Se acopló este bloque al resto del circuito digital. Se simularon pulsos de diferentes tamaños para garantizar su correcto funcionamiento de la memoria RAM.	IDE Waveform Editor (Quartus)	Se observa que el FSM de lectura y escritura es capaz de gestionar correctamente el Bus de Datos, Bus de direcciones y seleccionar correctamente la RAM correspondiente. Los tiempos para leer (WE=0) y los tiempos para escribir (WE=1) son los mismos. En ambos tiempos el valor del bus de direcciones se mantiene constante para actualizar el dato (frecuencia de cada evento) en el bus de datos.	25/03/2025	5	Acorde a lo esperado	Se buscaron los mínimos tiempos del WE para bajar la latencia. También se observa que cuando el evento a registrar supera el valor 512, el bloque lógica y control selecciona el segundo bloque de memoria RAM apuntando a la dirección correspondiente.
5	Verificación de solicitud de datos mediante simulación	Integral	Se implementó el algoritmo para sintetizar una FSM que actúa como Timer, este se activa una vez que se detecta el primer evento. Se realizó la simulación configurando el FSM Timer en 20µs.	IDE/ Waveform Editor (Quartus)	Se observa que durante el Timer está activado, los eventos son registrados correctamente y los valores de cada uno de estos eventos apuntan a la dirección adecuada de la memoria RAM. Una vez finalizado el Timer se deja registrar los eventos y se activa otro FSM que se encarga del barrido de los dos bloques de RAM. Y la señal <i>Solicitud Datos</i> pasa a 0 lógico deteniendo la operación de los bloques.	07/04/2025	5	Acorde a lo esperado	En la simulación se usaron tiempos cortos para el Timer pero en la práctica el Timer es capaz de llegar a un tiempo máximo de 30 minutos. Cuando la señal <i>Solicitud Datos</i> pasa a 1 a 0 lógico, no lo hace inmediatamente, sino que espera a que la memoria guarde los últimos datos para luego la señal pasar a 0 lógico. Esto se logra con varios FSM comunicándose entre sí.
6	Barrido de Lectura y Escritura mediante simulación	Integral	Se realizó el algoritmo para sintetizar un FSM que se encarga del barrido de lectura y escritura de los dos bloques de RAM. Se realiza el barrido de lectura para levantar cada dato y transmitirlo por UART. El barrido de escritura es para borrar los dos bloques de RAM y dejar las memorias libres para la próxima captura de eventos. Se realizaron las respectivas simulaciones para observar su correcto funcionamiento.	IDE Waveform Editor (Quartus)	Los tiempos más rápidos para leer cada dirección de memoria que garantiza el correcto funcionamiento son de 60ns. Se buscó el tiempo más corto para conseguir una latencia lo más baja posible.	08/05/2025	5	Acorde a lo esperado	Se hizo el borrado de memoria barriendo y escribiendo ceros controlado por un FSM ya que los bloques de RAM de la FPGA ICE 40 no tienen clear.
7	Prueba real Comunicación UART	Unitaria	Se realizó el algoritmo para sintetizar un bloque de memoria RAM mediante el lenguaje VHDL. Se transmiten 8 bits de datos con un baudrate 115200 Hz. Se implementó un contador de 8 bits, una memoria RAM de 8 x 512 y un FSM que se encarga de escritura y lectura de la memoria y luego se lo conecto a la UART. Se configuró el valor del contador manualmente y se conectó la placa EDU CIAA a la computadora.	FPGA PC	Se observaron los valores del contador transmitidos por UART con el software Monitor Puerto Serie Docklight. Se transmitían los datos cada 1 segundo y se observaban los datos a través del monitor serie. Al observar el correcto funcionamiento se acopló la UART al resto del circuito digital.	10/05/2025	4	Acorde a lo esperado	-

8	Primera verificación del circuito digital completo	Integral	Se creó con el lenguaje VHDL una señal interna que es un pulso de una determinada duración y se lo hizo variar manualmente con cada síntesis. Se realizó este pulso pasando el clock de 100 MHz por un divisor. Este pulso se lo conecto a la entrada del circuito digital. Para verificar su funcionamiento se usó el Docklight y un script MATLAB que toma los datos y graficar un histograma. Se crearon pulsos de 200 ns, 2µs y 9µs.	FPGA PC	Con el monitor serie Docklight se observa que fueron entregados por la FPGA 1024 valores. Para el caso de 200ns se observó la medición de este pulso en la posición 20 con un valor de 30 veces. Para el caso de 2µs se observó la medición de este pulso en la posición 200 con un valor de 120 veces. Para el caso de 9µs se observó la medición de este pulso en la posición 900 con un valor de 20 veces. Usando script MATLAB se observó un BIN en las posiciones 20, 200 y 900 respectivamente.	14/05/2025	8	Acorde a lo esperado	En estas mediciones se observaron que no hubo error debido que el Clock estaba sincronizado con el pulso a medir ya que este pulso se lo generó internamente en la FPGA.
9	Segunda verificación del circuito digital completo	Integral	Se conectó el generador de funciones a la entrada de la placa EDU- CIAA FPGA . La configuración del generador de funciones es, un tren de pulsos periódicos y se varía manualmente la duración del pulso variando el ciclo de trabajo. Amplitud 3V, offset 1.5V, frecuencia 200kHz periodo 5µs, con un ciclo de trabajo del 20% el pulso a medir es de 1µs.	FPGA PC Generador de funciones	Utilizando el monitor serie Docklight se observó que alrededor de la posición 100 había diferentes valores, los valores registrados son 2, 3, 96 y 65 donde 96 corresponde en la posición 100.	18/05/2025	11	Acorde a lo esperado	Se observa que hay una dispersión debido a que: el clock 100.5MHz y no de 100MHz. El pulso a medir, no está sincronizado con el clock (que es lo que se espera en la práctica). Esto último se soluciona agrupando bins en el script de MATLAB.
10	Instalación del Circuito Front End	Integral	Se soldaron los componentes SMD a la placa. También se midió la continuidad de los componentes con un Tester. Se colocó la placa Front End y las baterías con los reguladores lineales dentro del chasis metálico. Se conectó la masa de la placa Front End con el gabinete metálico. Se alimentó la placa Front End con dos baterías de 12 más reguladores lineales ajustables LM317 que entregan +/- 10V respectivamente. El circuito Front End está compuesto por un amplificador sensible a la carga (CR-110), conformador de pulsos gaussiano (CR-200) y restaurador de base de línea (CR-210) del fabricante CREMAT.	Tester/Multímetro	Con el Multímetro se pudo verificar la alimentación correcta de los componentes CR-110, CR-200, CR 210 y HFA112. Conectar la masa al gabinete metálico permite mitigar interferencia electromagnética y ruido electrónico. Alimentar la placa Front End con baterías y regulador de tensión lineal reduce el ripple de la fuente de alimentación evitando que el ruido pueda acoplarse a la salida del preamplificador de carga.	20/05/2025	1	Acorde a lo esperado	-

Acondicionamiento de señal (Front End)

	11	Generador de funciones + Front End	Integral	<p>Se configuró el Generador de Funciones una onda cuadrada periódica de 100 mV pico a pico, offset cero. Se conectó el generador a la placa Front End con un cable coaxial y conectores BNC.</p> <p>La salida de la placa Front End se lo conecto al osciloscopio con un cable coaxial y una carga BNC de 50 ohm para la adaptación de los pulsos gaussianos. Se barrió la frecuencia manualmente de 10 kHz a 100 kHz.</p>	Generador de Funciones Osciloscopio	<p>A la salida de la placa Front End se observan pulsos gaussianos periódicos positivos y negativos de amplitud constante pico a pico de 392 mV. A medida que aumenta la frecuencia los pulsos se acercaban entre sí, superando los 50 kHz los pulsos gaussianos se superponen, esto indica una limitación en la placa Front End. Esta limitación se debe al modelo Conformador de Pulso Gaussiano CR-200-2μs que genera un ancho de pulso 4.7μs. Con lo cual es esperable apilamientos de pulsos cuando el detector emita pulsos de corriente muy cercano que supere los 50 kHz.</p>	21/05/2025	10	Acorde a lo esperado	El fabricante CREMAT tiene conformadores de pulsos gaussianos de duración más pequeña que evitan el apilamiento de pulsos. Pero se requiere una mayor resolución. Sin embargo, como la señal de clock de FPGA ICE40 tiene una frecuencia máxima de 100 MHz la resolución es lo suficientemente alta para usar pulsos gaussianos de menor duración. Cómo se compara estos pulsos con una rampa, hay que evaluar la velocidad de respuesta del circuito generador de rampa.
	12	Detector + Front End	Integral	<p>Se conecta el Detector directamente a la entrada de la placa Front End.</p> <p>Se conecta la salida de la placa Front End al osciloscopio con el cable coaxial y carga de 50 ohm BNC.</p> <p>Se coloca la fuente de ²⁴¹Am a diferentes distancias, 0 cm, 1.8cm y 2.5cm.</p> <p>Se cubre el gabinete metálico con su respectiva tapa para cada ensayo.</p>	Osciloscopio	<p>Se observan pulsos gaussianos no periódicos de amplitud variable. A medida que se aleja la fuente de ²⁴¹Am los pulsos gaussianos aparecen con menor frecuencia.</p> <p>El gabinete metálico sirve como blindaje que sirve para reducir el ruido electrónico y rechaza los rayos gamma de la luz visible que es ruido para el detector.</p>	22/05/2025	14	Acorde a lo esperado	Al conectar el detector directamente a la placa Front End sin cable coaxial hace que no exista la capacidad parásita del cable mitigando el ruido térmico e inestabilidad en el amplificador de carga.
Generador Rampa con AD 8066	13	Inversor 1 + Transistor + Integrador + Inversor 2 (Parte 1)	Integral	<p>Se configura el generador de funciones para tener una un tren de pulsos positivos periódico de amplitud 3.3V que simula los pulso de la FPGA cuando quiere activar la rampa.</p> <p>Se probaron dos transistores bipolares: 2N2222 y el 2N369A.</p> <p>Los inversores y el integrador son Opamps AD8066. La alimentación del inversor 1 y el Integrador están alimentados con fuente simétrica +/- 5V. El Inversor 2 está alimentado con fuente asimétrica de +5V.</p> <p>Se crearon las fuentes con baterías de 12V y regulador lineal ajustable LM317</p> <p>Capacitor del integrador es de 4.7nF y Resistencia del integrador es 1.2k ohm más Preset de 100k ohm.</p> <p>El rango de operación de frecuencia es de 7.8kHz hasta 50kHz.</p>	Generador de funciones Osciloscopio	<p>El tren de pulsos ingresa al integrador y activa la rampa.</p> <p>Estos pulsos antes de entrar al inversor pasan por un capacitor de desacople quitando la continua y obteniendo pulsos positivos y negativos. Estos pulsos negativos son invertidos por el Inversor 1 activando el Transistor y descargando el capacitor del integrador. El integrador 2 invierte la rampa y le agrega un valor de continua que variable por el Preset RV2 de 10kHz.</p> <p>Se puede variar la pendiente de rampa positiva con el Preset RV4 de 100k ohm y se puede variar la pendiente con rampa descendente con el Preset RV3 de 100k ohm.</p>	03/06/2025	11	Funcion a parcialmente	<p>Se observa que el Inversor 1 es inestable, uno de los síntomas observados es el aumento de temperatura del integrado AD 8066. Esto se debe a la capacidad parásita a la entrada del Opamp. Se propone poner un capacitor de compensación (Ccp4) de bajo valor para no reducir el ancho de banda y estabilizar el inversor 1.</p> <p>En el Inversor 2 se observan distorsiones cuando la rampa se cruza el cero. Para solucionar este problema se propone alimentar el inversor con fuente simétrica de +/-5V</p>

14	Inversor 1 + Transistor + Integrador + Inversor 2 (Parte 2)	Integral	Al Inversor 1 se le agregó un capacitor de compensación (Ccp4) de 15pF para su estabilidad. Al inversor dos se lo alimentó con fuente simétrica de +/-5V y se le agregó una resistencia de 47 ohm entre el Preset RV2 y masa para tener un mínimo valor de umbral de tensión.	Generador de funciones Osciloscopio	Se verificó la estabilidad del Inversor 1. El Inversor 2 funciona sin distorsión.	10/03/2025		Funcionamiento parcial	Se observan sobre picos al comienzo y al final de la rampa. Se observa que los opamps AD 8066 son muy rápidos ya que tiene un slew rate de 180V/μs y un ancho de banda de 145 MHz. Esto genera perturbaciones en el protoboard.
15	Front End+ Inversor 1 + Integrador + Inversor 2 + Comparador+ Seguidor + Regulador Zener (Parte 1)	Integral	Se utiliza el AD 8066 como comparador y seguidor. Se conecta en la entrada no inversora del comparador la rampa y en la entrada inversora del comparador el seguidor. A la entrada del seguidor se conecta una resistencia de 50 ohm (comercialmente son 47 ohm) como adaptador de impedancia para los pulsos gaussianos. Se conecta la salida del Front End a la entrada del seguidor. A la salida del comparador se agrega el Regulador Zener para obtener pulsos positivos de 3.3V. Se alimenta el comparador con una fuente asimétrica de 5V y se alimenta el seguidor con una fuente simétrica de +/-5V. Solo se ingresa por una de las entradas del circuito rampa que es el pulso gaussiano a la entrada del seguidor. Además, se usa la Fuente de ²⁴¹ Am y el detector a la entrada del Front End.	Osciloscopio	Se observó la comparación entre el pulso gaussiano y el umbral de tensión fija ya que la rampa estaba desactivada. Se observó a la entrada del seguidor la adaptación de los pulsos gaussianos sin reflexiones. Se observaron los pulsos de 5V a la salida del comparador que son recortados a 3V por el diodo Zener. Al subir y bajar el umbral de tensión con el preset RV2 se podía ver como variaba el ancho del pulso a la salida del comparador.	14/06/2025	10	Funcionamiento parcial	Se observaba sobre picos al inicio y al final de la rampa. Sobre picos en las transiciones del pulso mayor a 3V. Si la FPGA recibe estos pulsos continuamente puede quemar el pin de la FPGA para evitar esto se cambió el comparador por un comparador de histéresis, se cambió el seguidor por otra configuración de ganancia unitaria que permite bajar el ancho de banda y reducir las perturbaciones. También se agregaron resistencias a la salida del integrador (R33=4k7 ohm), a la salida del seguidor (R18=56 ohm), a la salida del Zener (R37=10k ohm). Que permiten atenuar los sobre picos de tensión y de corriente.
16	Front End+ Inversor 1 + Integrador + Inversor 2 + Comparador+ Seguidor + Regulador Zener (Parte 2)	Integral	Detector conectado al circuito Front End, fuente de ²⁴¹ Am colocada sobre el detector. Se cambió la configuración del seguidor por otra que tiene ganancia unitaria, cumple la misma función, pero se busca reducir el ancho de banda. Se cambió el comparador por un comparador de histéresis para reducir el ruido a la salida del comparador. Se ingresa el pulso gaussiano del circuito Front End a una de las entradas del circuito rampa.	Osciloscopio	A la salida del comparador de histéresis se observan pulsos de diferente duración sin sobre picos de tensión.	21/06/2025	16	Acorde a lo esperado	Se analizó la salida del circuito rampa, la resistencia de salida R37 de 10k ohm junto con la capacidad parásita que tienen los pines de la FPGA de 3pF presenta una constante de tiempo de (10k ohm × 3pF) = 30ns esto no es un retardo significativo ya que la duración de los pulsos del comparador es del orden del microsegundo.

Plan de Pruebas

17	Inversor1 + Seguidor2 + Integrador + Inversor2 + Comparador+ Seguidor1 + Regulador Zener (Parte 1)		A la entrada del integrador se agregó otro seguidor de la misma configuración que el primer Seguidor para poder reducir el ancho de banda en caso de ser necesario. Se configuró el generador de funciones para obtener pulsos positivos de 3.3V de amplitud para activar la rampa. Se inyecta esta señal en la entrada del Seguidor 2. Rango de frecuencia entre 10 kHz y 50 kHz.	Generador de Funciones Osciloscopio	Se observan sobrepico significativo al inicio y final de la rampa.	07/07/2025	18	Funcion a parcialm ente	Para solucionar este problema se limita el ancho de banda del Seguidor 2 para reducir el ruido y sobre picos de tensión de la rampa.
18	Inversor1 + Seguidor2 + Integrador + Inversor2 + Comparador+ Seguidor1 + Regulador Zener (Parte 2)	Integral	Se redujo el ancho de banda del Seguidor 2. Se realizaron pruebas inyectando pulsos positivos de 3.3V usando el generador de funciones. Sin circuito Front End. Rango de frecuencia entre 10 kHz y 50 kHz.	Generador de Funciones Osciloscopio	Se observó rampa sin sobre picos de tensión.	14/07/2025	20	Acorde a lo esperado	-

<p>Sistema de Lectura de pulsos para detectores semiconductores basados en FPGA</p>	<p>20</p>	<p>Front End+ G. Rampa+ FGPA (Parte1)</p>	<p>Homologación</p>	<p>Se conectó el detector al circuito Front End, se colocó la fuente de ²⁴¹Am sobre el detector. Se conectó la salida del circuito Front End a la entrada del circuito Generador de Rampa. Se conectó la salida del Generador de Rampa al pin 106 de la placa EDU CIAA FPGA y se conectó el pin 124 a la entrada del circuito Generador de Rampa. Para la alimentación usaron baterías con reguladores lineales ajustables LM317. Se alimentó al circuito Front End con +/-10V. Se alimenta el Generador de Rampa con +/-5V. Se alimenta la placa EDU CIAA FPGA con cable USB a la computadora.</p>	<p>PC Osciloscopio</p>	<p>Se observó que la rampa no pudo seguir a los pulsos gaussianos debido a que se redujo demasiado el ancho de banda de los seguidores del Generador de rampa. Se aumenta el ancho de banda de estos seguidores buscando un punto óptimo entre la velocidad de respuesta y el ruido que presenta en la rampa. Con estos cambios la rampa si pudo seguir a los pulsos gaussianos obteniendo a la salida del comparador pulso de duración variable. Estos pulsos son detectados por la FPGA donde activa la rampa y clasifica los eventos para armar el histograma de energía.</p>	<p>04/08 /2025</p>	<p>32</p>	<p>Funcionamiento parcial</p>	<p>Según la hoja de datos el transistor 2N2369 tiene tiempos de encendido y apagado más cortos que 2N222, pero no se observan mejoras significativas. Con ambos transistores el sistema funciona bien. Se observa descarga lenta en la rampa haciendo que existan tiempos muertos. También el primer punto de comparación era diferente ya que el umbral era distinto por la descarga lenta del capacitor. Se detectó que esta descarga lenta se debe que el transistor no se activaba porque como no se recibe pulsos periódicos que tengan una continua entonces el Inversor 1 del generador de rampa siempre recibe pulsos positivos y nunca pulso negativos. Para solucionar esto se cambió los valores de R 23, C 25, R29 y R26 de tal forma que actúe como filtro pasa altos de esta forma la forma de onda "cae" hacia abajo haciendo que exista pulso negativo y que el Inversor 1 pueda procesarlos activando el transistor.</p>
---	-----------	---	---------------------	--	------------------------	--	--------------------	-----------	-------------------------------	---

	21	Front End+ G. Rampa+ FGPA (Parte2)	Homologación	<p>Se realizaron cambios en el Generador Rampa para que el transistor se active y tenga la descarga rápida esperada. Se realizaron nuevamente los mismos ensayos que el caso anterior. Fuente sobre el detector más Front End más Generador de Rampa más EDU CIAA FPGA. Alimentados en las mismas condiciones. Se usa el script de Matlab que recibe los datos de la FPGA y grafica el histograma.</p>	PC Osciloscopio	<p>Se observa una descarga rápida de la rampa ascendente y descendente. Los datos son recibidos por computadora y graficados pudiendo visualizar el histograma de energía. La amplitud de cada bin y la escala del eje x son parametrizables. La agrupación de bins también es parametrizable. La rampa sigue bien a los pulsos gaussianos, cuando hay apilamiento de pulsos gaussianos la rampa lo sigue generando un pulso digital de duración más grande.</p>	19/08 /2028	43	Funcion a parcialm ente. No se encontra ron mejoras significativas	<p>Se observa ruido sobre la rampa esto se debe a las capacidades parásitas del cable coaxial, puntas de cocodrilos y cables conectadas al protoboard. Además, opamps de respuesta rápida como los AD 8066 generan flancos muy abruptos compuestos por componentes de alta frecuencia que generan perturbaciones en el protoboard. Se hizo todo lo necesario para reducir al mínimo estas perturbaciones y se consiguieron buenas mediciones que se pueden visualizar en el histograma.</p>
Generador Rampa con TL072	22	Inversor1 + Seguidor2 + Integrador + Inversor2 + Comparador+ Seguidor1 + Regulador Zener	Integral	<p>Se construyó el generador rampa con opamps TL072 para conseguir rampas más limpias. Se utilizó el TL072 porque a partir del conformador de pulsos gaussiano (Front End) genera pulsos más lentos que los pulsos de corriente del detector. Se realizó una prueba aislada usando el generador de funciones y alimentando el generador de rampa con +/-5V con baterías y regulador lineal ajustable. Rango de frecuencia de trabajo de 10 kHz a 50 kHz.</p>	Generador de Funciones Osciloscopio	<p>Se observan rampas más limpias, pero tiene una limitación solo funciona para frecuencias menores a 10 kHz.</p>	05/01 /2026	5	Funcion a parcialm ente. No se encontra ron mejoras significativas	<p>Para frecuencias mayores a 10 kHz los seguidores la salida no sigue a la entrada. Se ingresa al seguidor con pulsos cuadrados y se obtiene rectas, esto es un síntoma claro de que el slew rate del TL072 es bajo (13V/μs) y en estas condiciones no se obtiene la rampa adecuada producida por el integrador. Se recomienda usar Amplificadores operacionales con un slew rate en el orden de 50V/μs. Otras observaciones el opamp que funciona como comparador no se obtiene un pulso cuadrado limpio.</p>

Plan de Pruebas

<p>Sistema de Lectura de pulsos para detectores semiconductores basados en FPGA</p>	<p>23</p>	<p>Front End+ G. Rampa+ FGPA (Parte3)</p>	<p>Homologación</p>	<p>Se realizaron cambios en el circuito digital de la FPGA y en el circuito generador de rampa con AD 8066. El cambio que se realizó en el circuito digital de la FPGA: se agregó una salida más en el bloque <i>Relay On/Off</i>, ahora tiene dos salidas, salida Pin 124 que carga el capacitor de integrador produciendo una rampa ascendente y la salida Pin 144 que controla la descarga del capacitor del integrador produciendo una rampa descendente. El cambio que se realizó en el circuito en circuito generador de rampa: se cambió el Inversor 1 por un amplificador no inversor, se conecta la entrada del amplificador no inversor al Pin 144 de la FPGA. Se realizaron pruebas con la fuente ²⁴¹Am, se colocó la fuente sobre el detector U3DThin a una distancia 0. Se alimentó al circuito Front End con +/-10V. Se alimenta el Generador de Rampa con +/-5V. Se alimenta la placa EDU CIAA FPGA con cable USB a la computadora.</p>	<p>PC Osciloscopio</p>	<p>Se observa ruido en los cruces del umbral del comparador de histéresis que deforma la rampa ascendente.</p>	<p>28/01 /2026</p>	<p>10</p>	<p>Se encontraron mejoras que mitigan el ruido pero no lo eliminan por completo.</p>	<p>Para mitigar este problema de ruido en la rampa se incrementó la amplitud de la rampa usando el bloque <i>Relay On/Off</i> de la FPGA que carga al capacitor del integrador del generador de rampa por más tiempo. En esta situación se consiguió una mejora minimizando el ruido pero no se lo eliminó por completo, se recomienda implementar un circuito PCB que unifique el acondicionamiento de la señal con el generador de rampa, volver a realizar las mediciones y observar en el osciloscopio si se soluciono por completo el problema.</p>
---	-----------	---	---------------------	---	------------------------	--	--------------------	-----------	--	--