

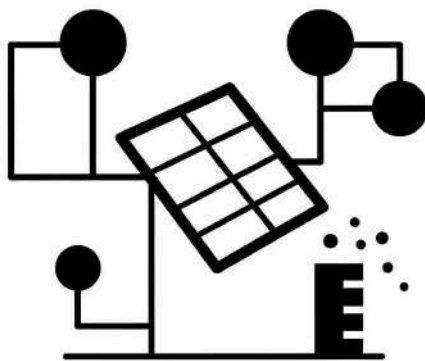
Universidad Nacional de Mar del Plata.

Facultad de Ingeniería.

*Platformax.*

*Desarrollo de plataforma experimental para la  
evaluación de algoritmos MPPT en generación  
fotovoltaica.*

Informe final.



Autora: Gianoli, Emilia.

Director: Garcia Retegui, Rogelio.

Co-Director: Wassinger, Nicolás.

# Agradecimientos.

Quiero expresar mi más sincero agradecimiento a todas las personas que, de una u otra manera, me acompañaron a lo largo de este camino y contribuyeron a que hoy pueda alcanzar esta meta.

En primer lugar, a mi familia, por el apoyo incondicional, la paciencia y el acompañamiento constante durante todos estos años. Por haber estado presentes tanto en los momentos de entusiasmo como en aquellos de mayor exigencia, brindándome siempre confianza y contención.

A mis amigos y compañeros de carrera, con quienes compartí innumerables horas de estudio, risas, desafíos, aprendizajes y experiencias que hicieron de este recorrido algo único. Gracias por el compañerismo y el apoyo mutuo.

A mis docentes de la carrera de Ingeniería Electrónica, por la formación brindada y por transmitir conocimientos que fueron fundamentales para mi desarrollo profesional y personal.

A mis directores, Rogelio Retegui y Nicolás Wassinger, y a todas las personas que aportaron al desarrollo de este trabajo final, por su tiempo, predisposición y orientación a lo largo del proyecto. Asimismo, una mención especial a Gustavo Uicich, por sus aportes técnicos y observaciones, que permitieron enriquecer significativamente este trabajo.

A todos los integrantes del Laboratorio de Instrumentación y Control de la Facultad de Ingeniería, por cada intercambio, consejo e incluso, simplemente, por su presencia a lo largo de esta etapa.

También quiero agradecer a cada uno de mis compañeros de trabajo y, especialmente a Julián Antonacci, por haberme permitido comenzar a desarrollarme profesionalmente mientras transitaba la etapa final de la carrera y por brindarme el espacio. Gracias a cada uno por su escucha, su ayuda y por cada uno sus consejos.

Finalmente, quiero agradecer a todas aquellas personas que hoy ya no están, pero que fueron, son y serán un pilar fundamental en mi día a día, impulsándome y acompañándome desde donde estén.

# Índice.

1. Introducción.....	5
1.1 Propósito del documento.....	5
1.2 Personal involucrado.....	5
1.3 Definiciones, acrónimos y abreviaturas.....	6
2. Acerca del desarrollo y cronograma del proyecto.....	7
2.1 Descripción del sistema.....	7
2.2 Alcance del proyecto.....	8
2.3 Solución propuesta.....	9
3. Diseño del prototipo: consideraciones generales de operación.....	9
3.1 Características del panel fotovoltaico.....	9
3.1.1 Celda fotovoltaica.....	9
3.1.2 Panel fotovoltaico.....	10
3.2 Convertidor elevador (boost) ideal.....	12
3.3 Límites operativos del convertidor.....	14
3.3.1 Condiciones ambientales.....	15
3.3.2 Condiciones de carga.....	15
4. Dimensionamiento de componentes.....	17
4.1 Inductor.....	17
4.1.1 Diámetro del conductor.....	18
4.1.2 Selección del núcleo.....	18
4.2 Capacitor de salida.....	19
4.3 Capacitor de entrada.....	20
4.4 Elección de los dispositivos semiconductores.....	20
4.5 Selección del driver de los dispositivos semiconductores.....	22
4.5.1 Tensiones del driver.....	23
4.5.2 Generación del dead-time.....	23
4.5.3 Dimensionamiento del circuito de gate.....	23
4.5.4 Selección del capacitor de bootstrap.....	24
4.5.5 Selección del diodo de bootstrap.....	25
4.5.6 Conexiones del driver.....	25
4.6 Protecciones.....	26
4.6.1 Protección en las fuentes de alimentación de circuitos auxiliares.....	26
4.6.2 Protección contra falsos encendidos del driver de la etapa de potencia.....	26
4.6.3 Selección del modo de habilitación del driver.....	28
5. Etapa de sensado.....	28
5.1 Sensado de corriente.....	29
5.1.1 Selección del sensor.....	29
5.1.2 Rango de operación y aprovechamiento dinámico.....	30
5.1.3 Conexionado del circuito.....	31
5.2 Sensado de tensión.....	37

6. Fuentes de alimentación.....	37
7. Esquemático completo y diseño de PCB.....	39
8. Mediciones a lazo abierto de la etapa de potencia.....	40
8.1 Condiciones de ensayo.....	40
8.2 Falla en el MOSFET del lado alto.....	42
8.3 Análisis del nodo de conmutación (nodo SW).....	42
8.4 Modificaciones implementadas.....	45
8.5 Anomalía en la tensión VGS del MOSFET del lado bajo.....	46
9. Lazo de control.....	47
9.1 Modelo de la planta y simulación.....	47
9.1.1 Estimación de parámetros.....	48
9.1.2 Validación del modelo matemático.....	51
9.2 Diseño del lazo cerrado.....	52
9.2.1 Estructura del lazo.....	53
9.2.2 Consideraciones de la implementación digital.....	53
9.2.3 Modelado del retardo.....	54
9.2.4 Diseño del compensador.....	55
9.2.5 Discretización del controlador.....	57
9.2.6 Validación en el dominio discreto.....	57
9.3 Comportamiento del sistema a lazo cerrado.....	58
9.3.1 Modelo de simulación.....	58
9.3.2 Ensayo experimental y análisis de resultados.....	59
10. Conclusiones.....	61
11. Trabajos futuros.....	61
Anexo A: estimación de pérdidas en el inductor.....	62
Anexo B: estimación de pérdidas en las llaves del convertidor.....	64
Anexo C: dimensionamiento del disipador.....	66
Anexo D: dimensionamiento del circuito de acondicionamiento del ADC.....	67
Anexo E: esquemático de la placa final.....	71
Anexo F: diseño de la red de amortiguamiento RC (snubber).....	72
Anexo G: firmware del sistema de control (simulación e implementación real).....	74
Referencias.....	75

# 1. Introducción.

El creciente interés por el uso eficiente de la energía eléctrica ha impulsado el desarrollo y la adopción de fuentes renovables, entre las cuales se destaca la generación fotovoltaica.

Un sistema fotovoltaico, presenta la característica de que su potencia de salida depende de variables ambientales, tales como la irradiancia solar y la temperatura. Además, desde el punto de vista eléctrico, la potencia que entrega un panel fotovoltaico no es constante, sino que existe un único punto de operación en el cual dicha potencia es máxima. Este punto se denomina punto de máxima potencia (MPP) y varía dinámicamente. La capacidad de extraer la máxima potencia del panel depende de las condiciones eléctricas de carga bajo las cuales opera. En este contexto, existen diversos algoritmos de control que se emplean con el objetivo de maximizar la eficiencia energética de los sistemas fotovoltaicos (algoritmos de MPPT). Cada uno de estos algoritmos presenta características particulares en términos de velocidad de convergencia, precisión, estabilidad y complejidad de implementación. Por este motivo, resulta de interés disponer de una plataforma experimental que permita implementar y evaluar distintos algoritmos bajo condiciones controladas, facilitando la comparación de su desempeño.

El presente trabajo se enmarca en el desarrollo de una plataforma experimental que se orienta a la evaluación de algoritmos de seguimiento del punto de máxima potencia, con fines educativos, en el ámbito de trabajo final de la carrera de Ingeniería Electrónica de la Universidad Nacional de Mar del Plata.

## 1.1 Propósito del documento.

El presente informe está dirigido a toda persona interesada en implementar, replicar, modificar o utilizar la plataforma desarrollada, y tiene como propósito proveer información detallada acerca del proceso de diseño, implementación y validación de la solución propuesta.

Este documento constituye un complemento de la información que se brinda en la siguiente documentación: Especificación de requerimientos [1], Especificación funcional [2], Especificación técnica [3] y Plan de pruebas [4]. Se recomienda al lector realizar una lectura previa de dichos documentos para una mejor comprensión de lo aquí expuesto.

## 1.2 Personal involucrado.

Nombre	Gianoli, Emilia
Rol	Encargada del proyecto.
Categoría Profesional	Estudiante.
Responsabilidad	Diseño, implementación y testeo
Información de contacto	emiliagianelec2018@gmail.com.

Nombre	Garcia Retegui, Rogelio
Rol	Director del proyecto

Categoría Profesional	Profesor asociado UNMdP. Investigador independiente, CONICET.
Responsabilidad	Responsable del proceso de tutoría. Supervisar y orientar.
Información de contacto	rgarcia@fi.mdp.edu.ar

Nombre	Wassinger, Nicolás
Rol	Co-director del proyecto
Categoría Profesional	Profesor adjunto UNMdP. Investigador adjunto - CONICET.
Responsabilidad	Asistencia técnica o metodológica. Realizar seguimiento del proyecto.
Información de contacto	nwassinger@fi.mdp.edu.ar

### 1.3 Definiciones, acrónimos y abreviaturas.

Nombre	Descripción
ADC	Analog-to-Digital Converter (convertor analógico-digital).
AWG	American Wire Gauge (calibre americano de conductor).
CCM	Continuous Conduction Mode (modo de conducción continua).
EMI	Electromagnetic Interference (interferencia electromagnética).
ESR	Equivalent Series Resistance (resistencia serie equivalente).
GBW	Gain-Bandwidth Product (producto ganancia-ancho de banda).
GND	Ground (referencia de tierra).
HS	High Side (lado alto del convertidor).
IL	Corriente del inductor.
LDO	Low Dropout Regulator (regulador lineal de tensión)
LIC	Laboratorio de Instrumentación y Control.
LS	Low Side (lado bajo del convertidor).
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor.
MPP	Maximum power point (punto de máxima potencia).
MPPT	Maximum Power Point Tracking (seguimiento del punto de máxima potencia).

MTL	Mean Turn Length (longitud media de vuelta del devanado).
PCB	Printed Circuit Board (placa de circuito impreso).
PV	Photovoltaic (fotovoltaico).
PWM	Pulse Width Modulation (modulación por ancho de pulso).
RMS	Root Mean Square (valor eficaz).
SW	Nodo de conmutación (switch node).
TLC	Transferencia a lazo cerrado.
UNMdP	Universidad Nacional de Mar del Plata.
UVLO	Undervoltage Lockout (protección por baja tensión).
VP	Tensión del panel fotovoltaico.
ZOH	Zero-Order Hold (retenedor de orden cero).

## 2. Acerca del desarrollo y cronograma del proyecto.

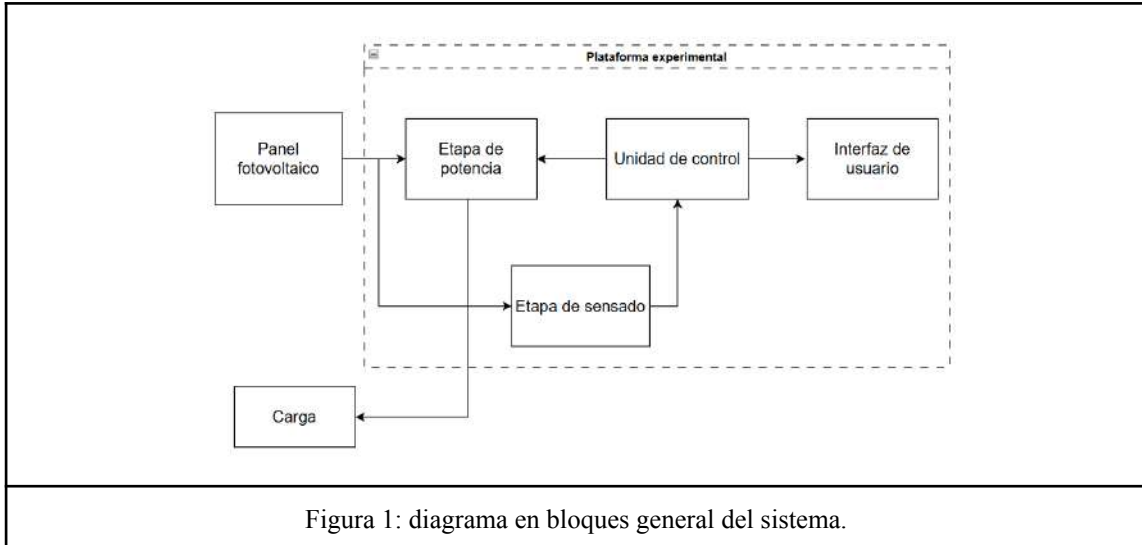
### 2.1 Descripción del sistema.

El diagrama en bloques general del sistema se presenta en la figura 1. El esquema se compone de cuatro subsistemas principales: una etapa de potencia, una etapa de medición, una unidad de control y una interfaz de usuario.

La etapa de potencia está constituida por un convertidor DC/DC de topología elevadora (boost) sincrónica, cuya función es adaptar las condiciones de carga, permitiendo operar al panel fotovoltaico en distintos puntos de su curva.

La etapa de medición tiene como objetivo la adquisición de las variables eléctricas de entrada del convertidor, en particular la tensión y la corriente del panel fotovoltaico, a partir de las cuales es posible calcular la potencia instantánea que suministra el generador fotovoltaico. Adicionalmente, en función de la potencia de entrada, se plantea la implementación de un algoritmo de seguimiento del punto de máxima potencia (MPPT), cuyo propósito es determinar la referencia de la corriente de entrada del convertidor, la cual se resuelve por medio de la implementación de un lazo interno de control de corriente.

Por último, el sistema contempla una interfaz de usuario orientada a la visualización de las curvas características del panel fotovoltaico, tales como la relación corriente–tensión (I–V) y potencia–tensión (P–V), a partir de los datos adquiridos durante la operación.



## 2.2 Alcance del proyecto.

El presente proyecto surge como una propuesta del Laboratorio de Instrumentación y Control a fines del período lectivo 2024, estableciéndose inicialmente como objetivo su finalización hacia fines del año 2025.

En su planteo original, el desarrollo no contemplaba el diseño de una placa de potencia, sino la reutilización de una PCB desarrollada en el laboratorio en el marco de un proyecto previo. En este sentido, el alcance inicial se limitaba al redimensionamiento de componentes y a la adaptación de dicha placa a la nueva aplicación.

No obstante, durante la etapa de evaluación se determinó que la placa existente no cumplía con los requerimientos de diseño relativos a los niveles de tensión y corriente de la aplicación. Esta limitación hizo inviable su reutilización, lo que motivó la decisión de desarrollar una nueva etapa de potencia desde cero.

Esta redefinición constituyó un punto de inflexión en el proyecto, ya que implicó una modificación significativa del cronograma y del alcance originalmente previstos. En consecuencia, y con el objetivo de mantener tiempos de desarrollo razonables, se optó por acotar el alcance de la etapa de control.

En este marco, el proyecto culmina con la implementación y validación de un lazo de control de corriente interno del convertidor. Por su parte, la implementación del algoritmo de seguimiento del punto de máxima potencia (MPPT), así como la validación experimental del sistema completo con un panel fotovoltaico, quedan planteadas como líneas de trabajo a futuro. Adicionalmente, la interfaz de usuario había sido concebida para la visualización de curvas características del panel fotovoltaico a partir de ensayos experimentales. Dado que dichas pruebas no fueron realizadas en esta etapa, el desarrollo de esta funcionalidad no fue completado.

En relación con la validación experimental, se había previsto ensayar el sistema bajo dos condiciones de operación: una con carga resistiva fija y otra con regulación de la tensión de salida. Sin embargo, las pruebas se realizaron únicamente en la primera condición.

Finalmente, cabe mencionar que la placa de potencia inicialmente considerada, fue utilizada en etapas preliminares para validar bloques circuitales y componentes que se

utilizan en la nueva PCB. Esto permitió reducir incertidumbres de diseño antes de la implementación de la solución final.

### 2.3 Solución propuesta.

En la figura 2 se presenta un esquema general de la solución propuesta. La misma se compone por los siguientes bloques:

- Fuente de alimentación del sistema.
- Panel solar o fuente de prueba de potencia.
- Placa PCB de potencia, de diseño propio.
- Kit de desarrollo digital LAUNCHXL-F28377S [18] del fabricante Texas Instruments.
- Firmware del sistema de control.
- Carga.

A lo largo del presente documento se aborda el diseño, funcionalidad y desarrollo de cada bloque.

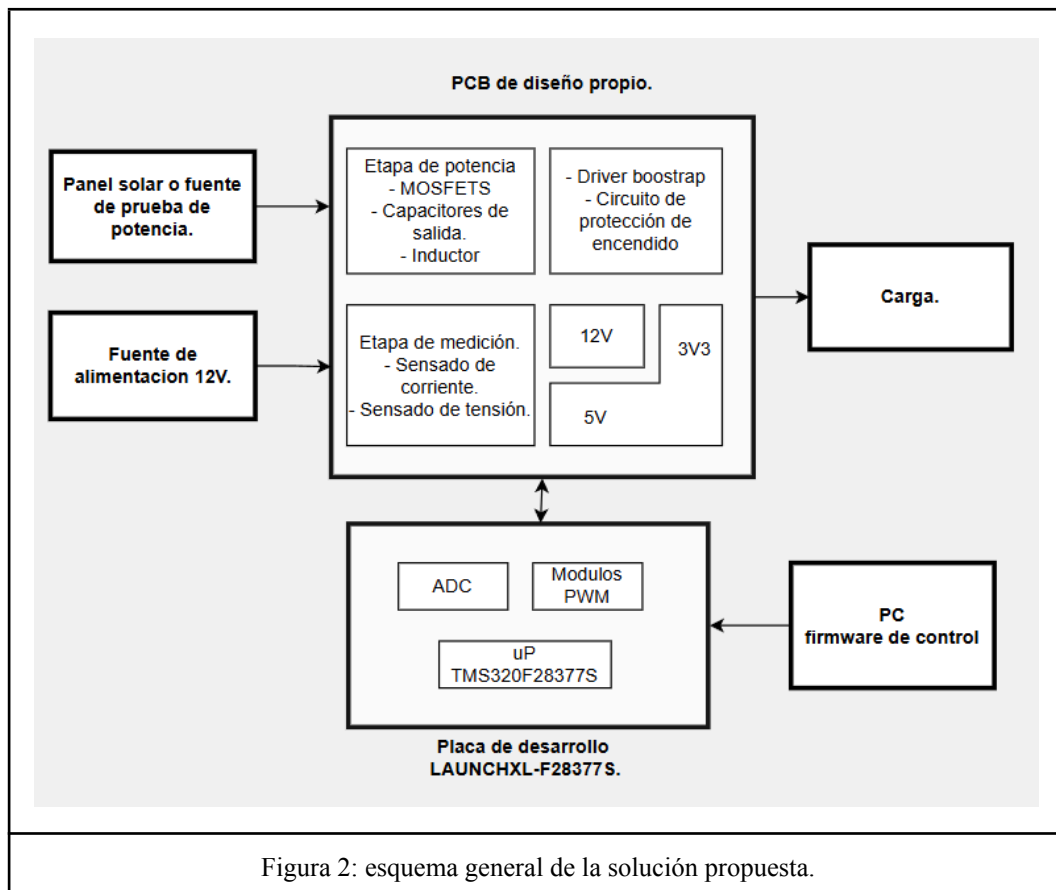


Figura 2: esquema general de la solución propuesta.

## 3. Diseño del prototipo: consideraciones generales de operación.

### 3.1 Características del panel fotovoltaico.

#### 3.1.1 Celda fotovoltaica.

La unidad básica en un sistema fotovoltaico es la celda fotovoltaica. Una celda es una unión de un semiconductor tipo p-n que se diseña para convertir la radiación solar en energía eléctrica. Desde el punto de vista eléctrico, la representación básica se realiza mediante el modelo de un solo diodo como se muestra en la figura 3 y su

comportamiento se describe por medio de la característica corriente-tensión del modelo de difusión de Schottky (ecuación 1).

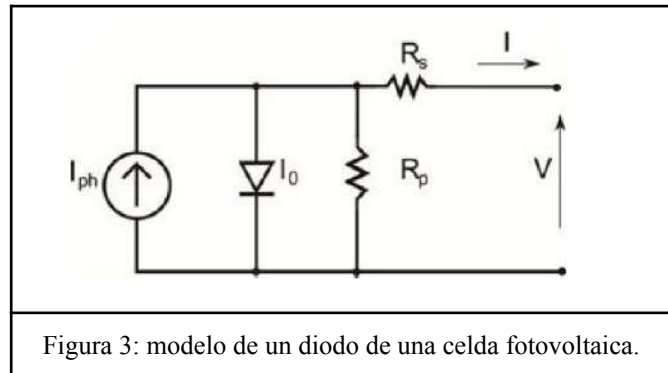


Figura 3: modelo de un diodo de una celda fotovoltaica.

$$I = I_{ph} - I_0 * \left[ \exp\left(\frac{V+R_s * I}{V_t * \alpha}\right) - 1 \right] - \frac{V+R_s * I}{R_p} \quad \text{[ecuación 1].}$$

Siendo:

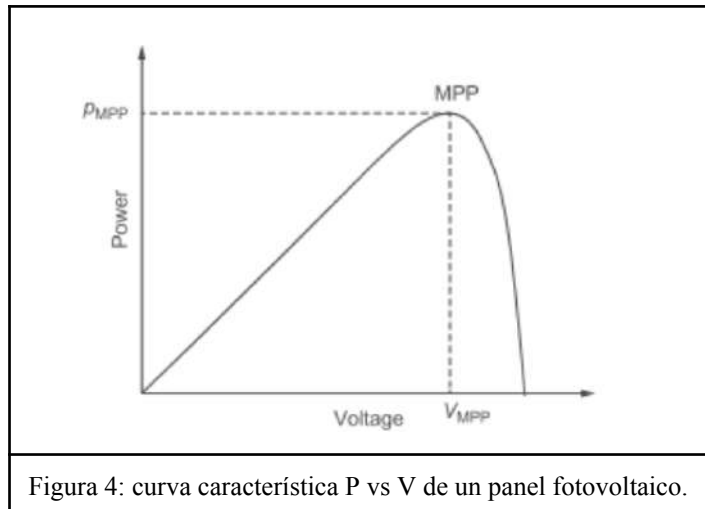
- $I_{ph}$ : corriente fotogenerada.
- $I_0$ : corriente inversa de saturación del diodo.
- $R_s$ : resistencia serie asociada a las resistencias de contacto entre las distintas capas de la celda fotovoltaica y a las pérdidas óhmicas de los materiales conductores internos.
- $R_p$ : resistencia en paralelo asociada a las corrientes de fuga en la unión p-n del dispositivo.
- $\alpha$ : factor de idealidad del diodo.
- $V_t$ : tensión térmica que se define en función de la constante de Boltzmann k. y la carga del electrón q ( $V_t = k * T / q$ ).

Cabe aclarar que la corriente fotogenerada depende de la irradiancia solar y de la temperatura de operación de la celda, mientras que la corriente inversa de saturación del diodo presenta una fuerte dependencia con la temperatura y con los parámetros físicos del material semiconductor.

### 3.1.2 Panel fotovoltaico

Un panel fotovoltaico se obtiene mediante la interconexión eléctrica de múltiples celdas fotovoltaicas. La conexión en serie incrementa la tensión de salida, mientras que la conexión en paralelo permite aumentar la corriente disponible. Como resultado, el panel conserva la naturaleza no lineal de la celda individual, pero con valores escalados de tensión y corriente en función del número de celdas y de la configuración adoptada.

El comportamiento del panel se puede describir a través de sus curvas I-V y P-V. En particular, la curva P-V presenta un único punto de máxima potencia (MPP), en el cual el producto entre la tensión y la corriente de salida es máximo (figura 4). La ubicación de este punto depende fuertemente de las condiciones ambientales, principalmente de la irradiancia solar y de la temperatura de operación del panel, lo que genera un desplazamiento continuo del MPP durante el funcionamiento.



El desarrollo de este trabajo se basa en la utilización del modelo de panel TPB156X156-72-P de 290W [7], disponible en el LIC. El fabricante especifica las siguientes características del módulo.

- Voc, tensión a circuito abierto: 44.2V
- Isc, corriente de cortocircuito: 8.59A
- Vmp, tensión en el MPP: 35.2V
- Imp: corriente en el MPP: 8.24A
- Cantidad de celdas conectadas en serie: 72.
- Coeficiente de temperatura de Voc: -0.35%/C.
- Coeficiente de temperatura de Isc: 0.05%/C.

Estos valores se utilizan para simular el sistema en el software MATLAB-Simulink. El programa proporciona un bloque llamado *PV-Array* que se basa en el modelo de celda de un solo diodo y permite simular arreglos fotovoltaicos a partir de datos de módulos reales.

En la Figura 5 se presenta el circuito que se emplea para el ensayo del panel fotovoltaico. El bloque *PV-Array* que se utiliza recibe como entradas la irradiancia solar y la temperatura de operación, mientras que sus terminales de salida representan eléctricamente el comportamiento del módulo fotovoltaico. Adicionalmente, el bloque dispone de una salida de medición (*m*), la cual agrupa las principales variables internas del modelo, entre ellas se incluyen la tensión del arreglo fotovoltaico, la corriente entregada y la corriente de la unión equivalente del diodo interno. Además, incluye los valores instantáneos de irradiancia y temperatura aplicados al modelo.

La figura 6 muestra las curvas que se obtienen por simulación para distintos valores de irradiancia y la figura 7 muestra las curvas equivalentes que brinda el fabricante en la hoja de datos del modelo TPB156X156-72-P.

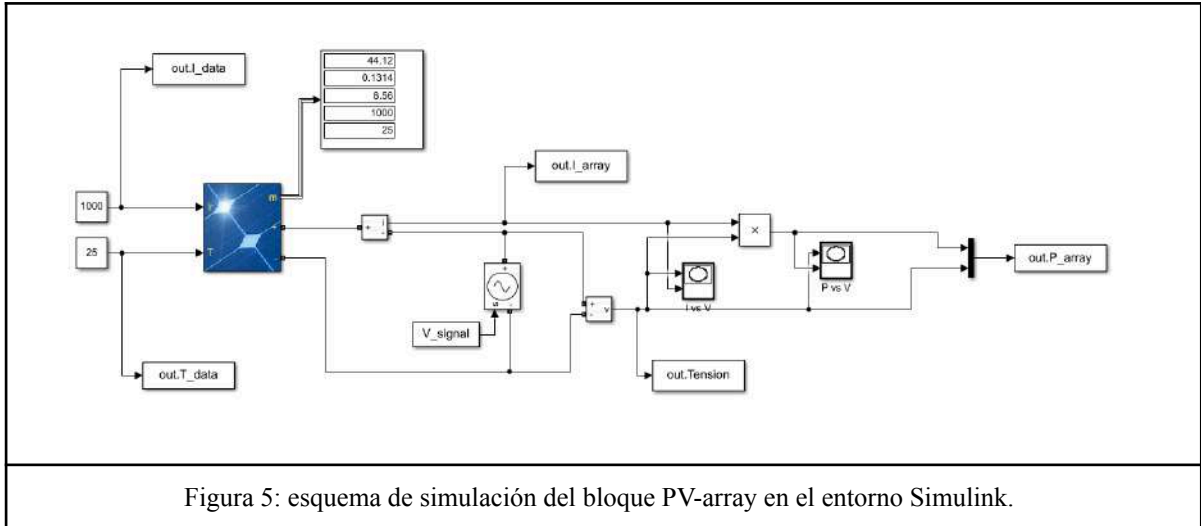


Figura 5: esquema de simulación del bloque PV-array en el entorno Simulink.

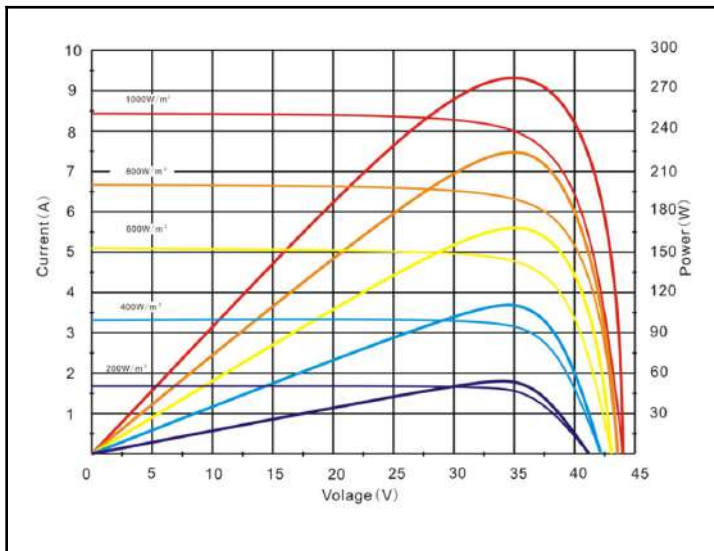


Figura 6: curvas del panel que brinda el fabricante.

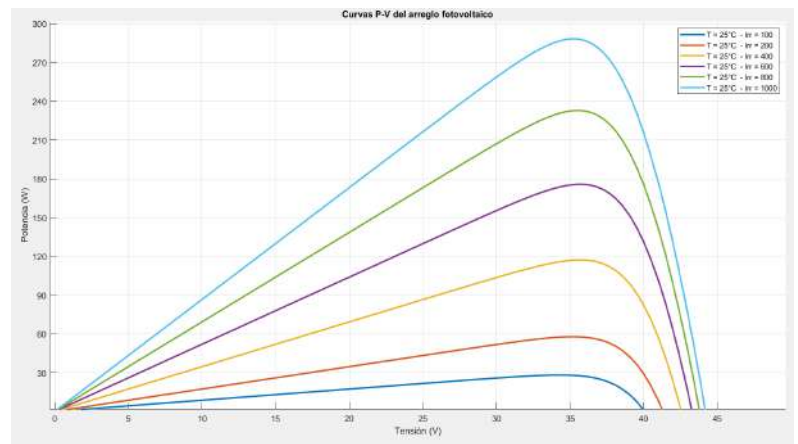


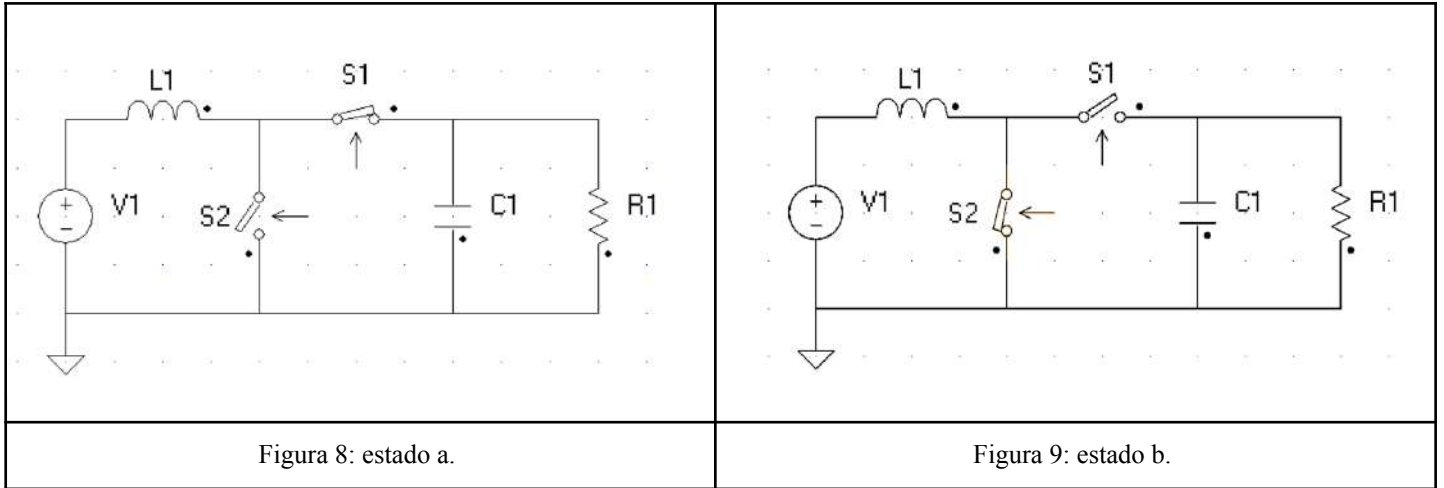
Figura 7: curvas del panel que se obtienen por simulación.

En función de la concordancia entre las curvas del fabricante y las obtenidas por simulación, se considera apropiado el modelo del bloque PV-array de Simulink para realizar simulaciones del sistema.

### 3.2 Convertidor elevador (boost) ideal.

Un convertidor básico de topología elevadora (boost) tipo síncrono está compuesto por un inductor, dos dispositivos semiconductores controlados, un capacitor de salida y la carga, tal como se muestra en las figuras 8 y 9.

El análisis del convertidor se realiza considerando dos estados dentro de un período de conmutación. En un primer estado (estado a - figura 8), cuando el interruptor controlado del lado bajo se encuentra en conducción, el inductor queda conectado directamente a la fuente de entrada y almacena energía en forma de campo magnético. En esta condición, la corriente del inductor aumenta de forma aproximadamente lineal y el capacitor de salida se encarga de alimentar a la carga. En el segundo estado (estado b - figura 9), el interruptor del lado alto conduce y la energía del inductor se transfiere al capacitor y a la carga.



En la Figura 10 se presentan las formas de onda correspondientes a las señales en estado estacionario de un convertidor boost que opera en CCM. En esta condición, la corriente en el inductor es mayor a cero en todo momento, y las ecuaciones que aplican al modelo son las ecuaciones 2 y 3.

$$\frac{V_{OUT}}{V_{IN}} = \frac{1}{1-D} \quad \text{[ecuación 2].}$$

$$\Delta I_L = \frac{V_{OUT} * D * (1-D)}{f_{sw} * L} \quad \text{[ecuación 3].}$$

- D: ciclo de trabajo de gran señal.
- $\Delta I_L$ : amplitud del ripple de corriente en el inductor.
- $f_{sw}$ : frecuencia de conmutación.
- $V_{OUT}$ : valor medio de la tensión de salida.
- $V_{IN}$ : valor medio de la tensión de entrada.
- L: valor de inductancia.

Para el cálculo del ripple de la tensión de salida ( $\Delta V_{OUT}$ ) se deben tener en cuenta dos posibles casos en función de si la corriente mínima en el capacitor (ecuación 4) es mayor o menor que cero. Para la primera situación se aplica la ecuación 5, para la segunda, se utiliza la ecuación 6.

$$I_{cmin} = I_{in} - \frac{\Delta I_L}{2} - \frac{V_{OUT}}{R_o} \quad \text{[ecuación 4].}$$

$$\Delta V_{OUT} = \frac{D * I_o}{f_{sw} * C_{out}}, \quad \text{para } I_{cmin} > 0 \quad \text{[ecuación 5].}$$

$$\Delta V_{OUT} = \frac{(1-D)}{2 * C * f_{sw} * \Delta I_L} * \left[ \frac{D * V_{out}}{(1-D) * R_o} + \frac{\Delta I_L}{2} \right]^2, \quad \text{para } I_{cmin} < 0 \quad \text{[ecuación 6].}$$

- $R_o$ : resistencia de carga.

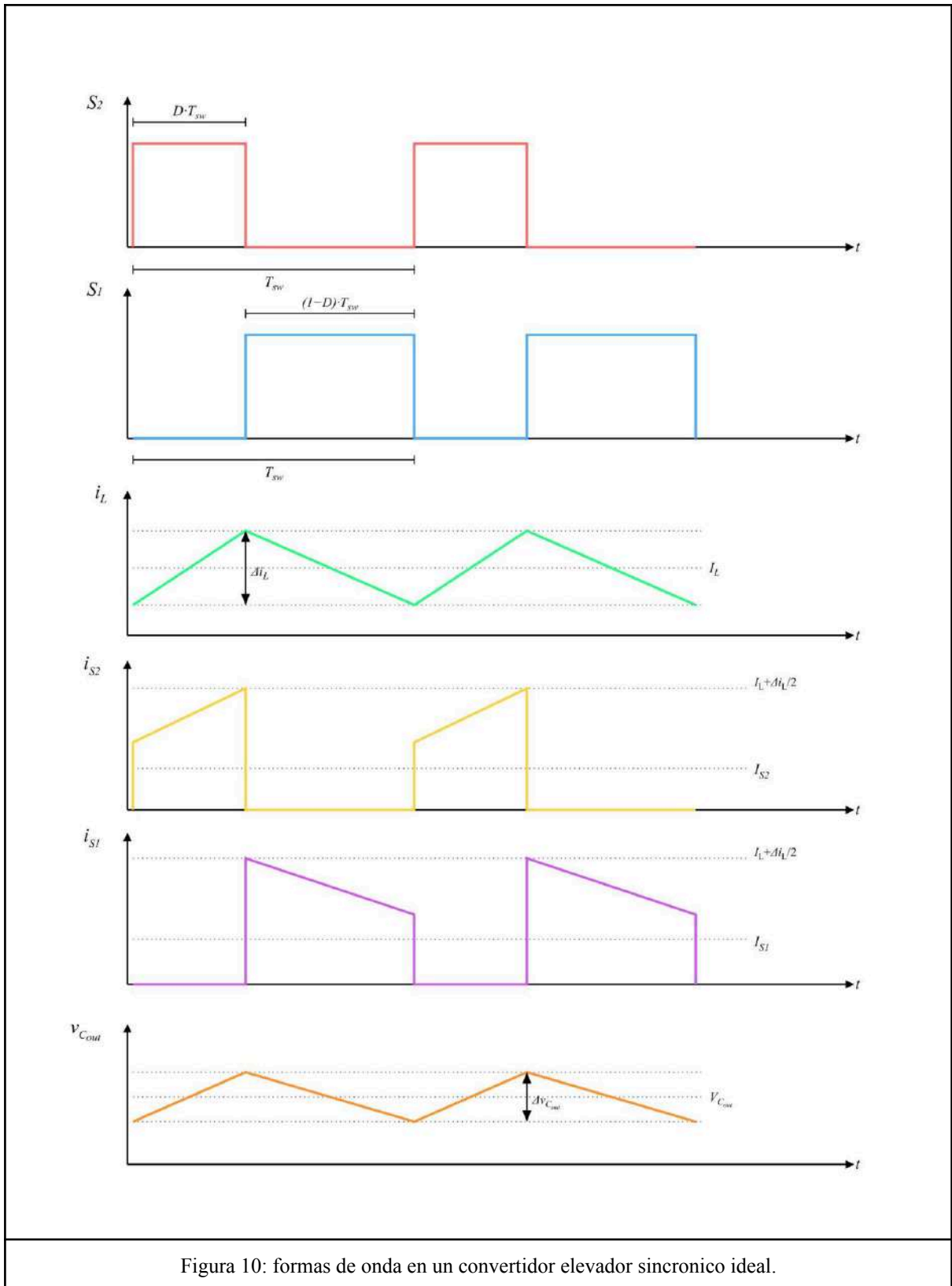


Figura 10: formas de onda en un convertidor elevador sincronico ideal.

### 3.3 Límites operativos del convertidor.

Los límites de operación del convertidor quedan definidos por dos aspectos, las condiciones ambientales de los paneles y la condición de carga del convertidor.

### 3.3.1 Condiciones ambientales.

Las condiciones de operación de los paneles se definen a partir de los valores de irradiancia del año 2024 en Mar del Plata. Los datos han sido relevados por el LIC. A partir de la información, se realiza el cálculo del promedio mensual de la irradiancia pico diaria y se obtienen los resultados de la figura 11.

Mes 1:	1062.23 W/m <sup>2</sup>
Mes 2:	977.03 W/m <sup>2</sup>
Mes 3:	877.65 W/m <sup>2</sup>
Mes 4:	618.00 W/m <sup>2</sup>
Mes 5:	494.71 W/m <sup>2</sup>
Mes 6:	485.71 W/m <sup>2</sup>
Mes 7:	523.45 W/m <sup>2</sup>
Mes 8:	650.03 W/m <sup>2</sup>
Mes 9:	755.13 W/m <sup>2</sup>
Mes 10:	969.68 W/m <sup>2</sup>
Mes 11:	1097.60 W/m <sup>2</sup>
Mes 12:	1081.55 W/m <sup>2</sup>

Figura 11: irradiancia mensual promedio en Mar del Plata, año 2024.

En base a los resultados previos, se definen como límites de operación una irradiancia mínima de  $100W/m^2$  y una irradiancia máxima de  $1000W/m^2$ . El límite inferior se define por criterio, ya que el cálculo se dificulta por las horas durante el día en las que la irradiancia puede llegar a ser de valores cercanos a 0.

### 3.3.2 Condiciones de carga.

Se plantean dos condiciones de operación del sistema. Un primer caso con una carga resistiva fija a la salida del convertidor y un segundo caso para una tensión de salida fija de 100V.

En primer lugar, se requiere definir el valor de la carga resistiva. Para hacerlo, se simula el modelo de panel de la figura 5 para una temperatura de  $25^{\circ}C$  y valores de irradiancia de  $100W/m^2$  y  $1000W/m^2$ . Se extraen los valores de tensión y corriente para el máximo punto de las curvas ( $V_{mpp}$ ,  $I_{mpp}$ ) que se obtienen. Luego, se obtiene el valor de carga óptima ( $R_{mpp}$ ) que debería conectarse al panel para operar en dicho punto de máxima potencia como  $V_{mpp}/I_{mpp}$ .

Para una irradiancia de  $100W/m^2$  se obtiene:  $R_{mpp} = 41.77$  ohms,  $V_{mpp} = 34.30$  V e  $I_{mpp} = 0.82$ A. Es decir, una potencia de 28.16W. En la figura 12 se presenta la curva de tensión y corriente que se obtiene de la simulación del modelo de panel con una carga resistiva de valor  $R_{mpp}$ . La recta de la figura tiene una pendiente de valor  $1/R_{mpp}$  y la intersección con la curva V vs I se da en el MPP.

De igual manera, se presenta en la figura 13 el caso para una irradiancia de  $1000W/m^2$  Para esta situación se obtiene como resultado  $R_{mpp} = 4.3070$  ohms,  $V_{mpp} = 35.21$  V e  $I_{mpp} = 8.18$  A

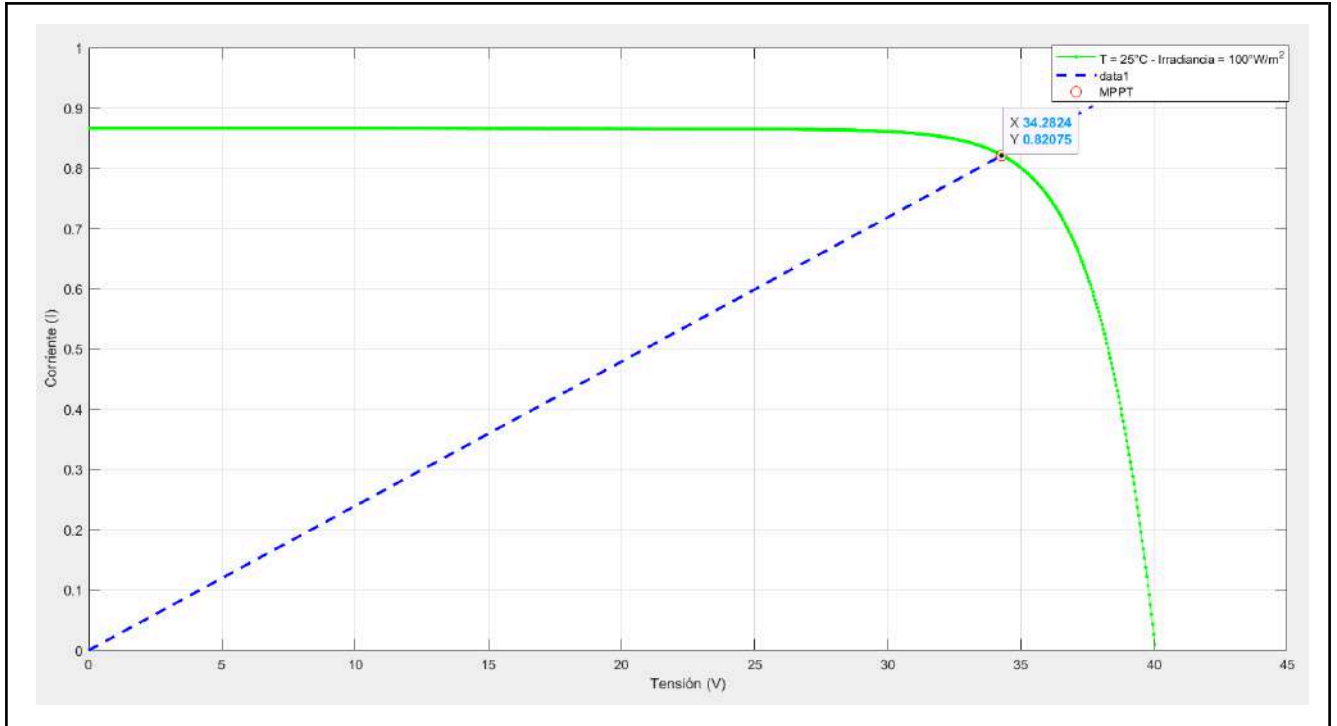


Figura 12: curva V-I del panel para irradiancia de  $100W/m^2$  y recta de carga en MPP.

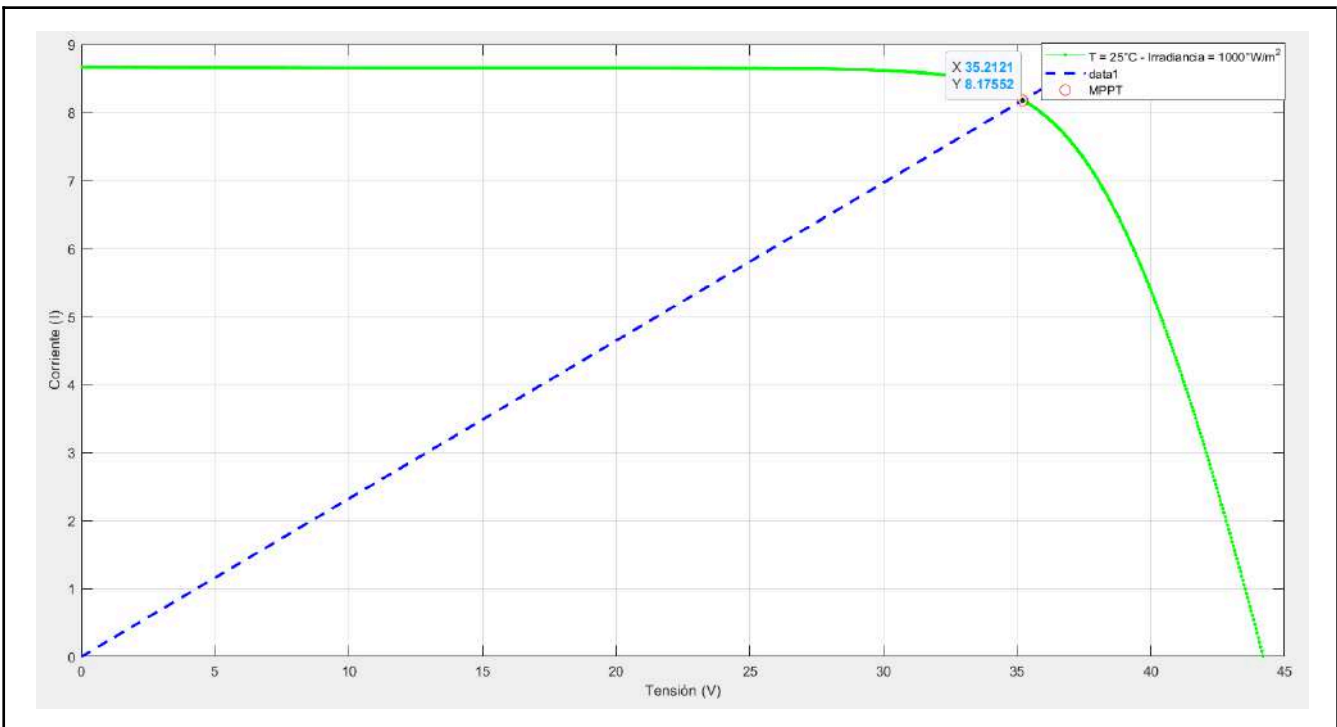


Figura 13: curva V-I del panel para irradiancia de  $1000W/m^2$  y recta de carga en MPP.

Debido a que el panel se conecta al convertidor boost, se debe considerar su impedancia de entrada ( $R_{in}$ ) como impedancia de carga al panel. Esta última queda definida por la carga fija ( $R_o$ ) conectada a la salida del convertidor y por el ciclo de trabajo. La carga vista por el panel con el convertidor boost conectado es la siguiente:

$$R_{in} = R_o * (1 - D)^2 \quad [\text{ecuación 7}].$$

Siendo  $R_o$  la carga a definir. Para ello, se toma como criterio que  $D_{min}$  y  $D_{max}$  sean simétricos respecto a  $D=0.5$  para tener un mayor rango dinámico de control, y que satisfagan las ecuaciones 8 y 9.

$$1) \quad R_{mpp} = 4.3070 = R_o * (1 - D_{max})^2 \quad [\text{ecuación 8}].$$

$$2) \quad R_{mpp} = 41.77 = R_o * (1 - D_{min})^2 \quad [\text{ecuación 9}].$$

Como resultado se obtiene  $D_{max} = 0.7571$ ,  $D_{min} = 0.244$  y  $R_o = 73\Omega$ .

Para el segundo caso de operación, correspondiente a una tensión de salida regulada a 100V, se analiza el ciclo de trabajo esperado. Bajo la hipótesis de eficiencia ideal (100%), la potencia de salida es igual a la de entrada. Dado que la tensión en el punto de máxima potencia del panel se mantiene prácticamente constante frente a variaciones de irradiancia, el ciclo de trabajo requerido es aproximadamente fijo e igual a 0,65 (para las condiciones de irradiancia límite). Las corrientes de salida y resistencias de carga equivalentes correspondientes a cada condición se presentan a continuación.

Para una irradiancia de 100 W/m<sup>2</sup>:  $P_{ent} = P_{sal} = 28,16W \rightarrow I_{sal} = 280 \text{ mA}$  ( $R_o = 356 \Omega$ ).

Para una irradiancia de 1000 W/m<sup>2</sup>:  $P_{ent} = P_{sal} = 288 \text{ W} \rightarrow I_{sal} = 2,88 \text{ A}$  ( $R_o = 35 \Omega$ ).

## 4. Dimensionamiento de componentes.

### 4.1 Inductor.

En primer lugar, se calcula el valor de inductancia que asegura el modo de operación continua. Se aplica la ecuación 10 para todos los casos de operación posibles del convertidor. Los resultados se indican en la tabla 1.

$$L_{min} = \frac{R_o * D * (1-D)^2}{2 * f_{sw}} \quad [\text{ecuación 10}].$$

$R_o$ [ $\Omega$ ]	$D$ [%]	$L$ crítica [ $\mu\text{Hy}$ ]	Condición de operación.
73	75	17	$R_o$ fija, máxima irradiancia.
73	24.4	50	$R_o$ fija, mínima irradiancia.
356	65	141	$V_{out}$ constante, mínima irradiancia.
35	65	13.9	$V_{out}$ constante, máxima irradiancia.

Tabla 1: inductancia crítica para distintas condiciones de operación.

El caso más restrictivo corresponde a  $L=141 \mu\text{Hy}$ . Sin embargo, en el diseño se contempla un margen para evitar la condición límite y mejorar la relación entre el ripple pico a pico y la componente de continua de la corriente en el inductor.

Se simulan los cuatro casos de operación del convertidor para un valor de  $L=200 \mu\text{Hy}$  y se obtienen los siguientes parámetros que se requieren para el diseño del inductor.

- $\Delta I_{pp}$ : ripple pico a pico de la corriente en el inductor.

- $\bar{I}$ : corriente media en el inductor.
- $I_{rms}$ : corriente rms en el inductor.
- $I_{max}$ : corriente pico en el inductor.

La condición para la cual los parámetros son máximos es para la operación con  $R_o$  fija y máxima irradiancia. Siendo  $\Delta I_{pp} = 1.33A$ ,  $\bar{I} = 8.2A$ ,  $I_{rms} = 8.209A$  e  $I_{max} = 8.86A$ .

#### 4.1.1 Diámetro del conductor.

En base a los parámetros previos, se dimensiona el diámetro del conductor. Se considera una densidad de corriente máxima ( $J$ ) de  $5A/mm^2$ , lo que resulta en un diámetro mínimo de conductor ( $d$ ) igual a  $1.5mm$ . Se selecciona un alambre de cobre esmaltado AWG 14 que cumple con el requisito, con una sección transversal ( $S$ ) de  $1.64mm^2$ .

$$J = \frac{I[A]}{S[mm^2]} = 5 \frac{A}{mm^2} = \frac{8.86[A]}{\pi*(d/2)^2} \quad [\text{ecuación 11}].$$

Por otra parte, el cálculo de profundidad de penetración debido al efecto Skin a  $100\text{ kHz}$  en el cobre da una sección máxima de  $S = 1.63mm^2$ , considerando una atenuación exponencial de la señal en un perímetro de  $3 * \tau$ .

#### 4.1.2 Selección del núcleo.

En principio se construye un inductor con núcleo de ferrite. Se utiliza un núcleo con geometría EE y el diseño requiere 38 vueltas con un gap de  $1.15mm$ . Se utiliza dicho núcleo por disponibilidad en el laboratorio, sin embargo, no se cuentan con los datos del material.

Finalmente, se opta por cambiar el núcleo por el modelo MS-184090-2 [11] del fabricante Micrometals. Este núcleo presenta una geometría toroidal y es de material de hierro pulverizado. A diferencia del primer caso, con este núcleo, se evita el empleo de gap, lo cual reduce la generación de flujo disperso y la aparición de puntos calientes en el devanado. Además, la no linealidad de la curva característica de permeabilidad en función de la corriente de bias con material de hierro pulverizado se adecua de mejor forma a la aplicación que el comportamiento del ferrite. Esto se debe a que para una menor corriente de bias se obtiene una mayor inductancia y por ende un menor ripple de corriente.

Se implementa el inductor con  $N=36$  y se obtienen los siguientes valores de inductancia.

- $L_o$  (inductancia para  $I_{bias} = 0$ ):  $275\text{ uHy}$ .
- $L_{dc}$  (inductancia para  $I_{dc} = 8.2A$ ):  $208\text{ uHy}$ .

Se estima la sobre-elevación de temperatura en el inductor, a partir de las pérdidas que se detallan en el Anexo A, y mediante la ecuación 12. Esta última corresponde a una expresión empírica que modela al componente como un cuerpo isotrópico con una superficie radiante equivalente ( $Sup$ ). El dato de la superficie ( $Sup = 81.7cm^2$ ) se obtiene de la hoja de datos del núcleo.

$$\Delta T [^{\circ}C] = \left( \frac{(P_{cobre} + P_{núcleo}) [mW]}{Sup [cm^2]} \right)^{0.833} = 13.87^{\circ}C \quad [\text{ecuación 12}].$$

- $P_{cobre}$  : pérdidas en el cobre.
- $P_{núcleo}$  : pérdidas en el núcleo.



#### 4.2 Capacitor de salida.

Se diseña el valor de capacidad de salida con el objetivo de obtener un ripple de tensión  $\Delta V_{out} \leq 3\% * V_{out}$ . Se toma una condición conservadora para el cálculo teórico. Se considera  $\Delta V_{out} = 500mV$  y se evalúa la ecuación 4 para los distintos casos de operación; se aplica la ecuación 5 o 6 según corresponda. Los valores de capacidad mínima que se obtienen son los siguientes.

$C_{out_{min}}$ [ $\mu$ ]	$I_{c_{min}}$	Condición de operación.
25.75	>0	$R_o$ fija, máxima irradiancia.
3.02	<0	$R_o$ fija, mínima irradiancia.
1.95	<0	$V_{out}$ constante, mínima irradiancia.
37.5	>0	$V_{out}$ constante, máxima irradiancia.

Tabla 2: capacidad de salida para distintas condiciones de operación.

Se opta por utilizar dos capacitores electrolíticos en paralelo, de  $22\mu F$  de capacidad cada uno, debido a su disponibilidad en proveedores locales. Esta tecnología es de bajo costo y presenta una alta densidad de energía, lo cual mejora la relación volumen-capacidad. Como desventaja, presentan altos valores de ESR. Desde el punto de vista técnico, la conexión en paralelo de dos unidades reduce la ESR equivalente del conjunto a la mitad respecto de la de cada componente individual. Adicionalmente, se añaden capacitores

cerámicos al arreglo paralelo debido a que presentan baja ESR, lo cual complementa y refuerza la reducción de la ESR total.

#### 4.3 Capacitor de entrada.

El capacitor de entrada del convertidor actúa como filtro del *ripple* de corriente del inductor, proporcionando un camino de baja impedancia para las componentes de conmutación y evitando su circulación a través del panel fotovoltaico. De esta manera, el generador entrega predominantemente la componente media de corriente.

En función de este objetivo, se estima el valor de capacidad requerido adoptando como criterio que la impedancia del capacitor a la frecuencia de conmutación sea, al menos, diez veces menor que la mínima carga resistiva equivalente vista por el panel fotovoltaico, según la ecuación 13.

$$10 * Z_{Cin}(f)|_{f_{sw}} < R_{in-min} \quad [\text{ecuación 13}].$$

Siendo  $R_{in-min} = R_{mppt_{min}} = 4.3\Omega$  y  $f_{sw} = 100kHz$ .

Se obtiene un valor mínimo de  $C = 4.7\mu F$ . Se toma una postura conservadora y se opta por un valor de capacidad  $C = 10\mu F$ .

Se selecciona una tecnología de capacitor cerámico. Este tipo de tecnología presenta baja ESR, y tanto el valor de capacidad que se requiere, como el rango de tensión de trabajo, permiten conseguir este componente a un costo razonable.

Se adopta un capacitor con una tensión nominal al menos dos veces superior a la tensión de circuito abierto ( $V_{oc}$ ) del panel fotovoltaico, con el objetivo de mitigar la reducción de la capacitancia efectiva asociada al efecto de "DC bias".

#### 4.4 Elección de los dispositivos semiconductores.

La etapa de potencia del convertidor requiere dos dispositivos de conmutación controlados.

El sistema opera a una tensión de salida máxima del orden de 150 V, corrientes inferiores a 10 A y con una frecuencia de conmutación de 100 kHz. Se seleccionan llaves de tecnología MOSFET de silicio debido a su adecuada relación entre características eléctricas, complejidad de implementación y disponibilidad comercial para los niveles de tensión, corriente y frecuencia de operación que se requieren.

Los *ratings* máximos de corriente y tensión que los dispositivos de conmutación deben soportar dependen de la topología del convertidor. Para el caso del convertidor boost, dichos requerimientos se encuentran determinados por las siguientes expresiones:

$$IDS_{max} [A] > Il_{max} [A].$$

$$VDS_{max} [V] > Vout_{max} [V]$$

A partir del análisis de las condiciones de operación más exigentes del sistema, se determinan las corrientes RMS y los valores máximos de corriente y tensión que deben

soportar cada una de las llaves. En la tabla 3 se resumen los *ratings* máximos para los dispositivos.

Llave	$IDS_{max}$ [A]	$VDS_{max}$ [V]	$IDS.RMS_{max}$ [A]
S1 (HS)	8.6	150	4.3
S2 (LS)	8.6	150	7.1

Tabla 3: ratings máximos de los dispositivos semiconductores.

En una primera instancia se considera el uso del MOSFET IRF640N [11], debido a su disponibilidad en el laboratorio. Sus principales parámetros eléctricos, provistos por el fabricante, se detallan a continuación.

- $IDS_{max} = 18A @ T_j = 25^\circ C$
- $VDS_{max} = 200V$
- $Rds_{on} = 225m\Omega @ T_j = 100^\circ C$
- $VF = 1.3V @ T_j = 25^\circ C, I_f = 11A$
- $Qrr = 1394nC @ T_j = 25^\circ C, I_f = 11A, di/dt = 100A/\mu s$ .
- $Q_G = 67nC$
- $Q_{GS} = 11nC$
- $Q_{GD} = 33nC$

Se estiman las pérdidas en las llaves por conmutación y conducción, para una temperatura de juntura de  $T_j = 100^\circ C$  y se obtienen los siguientes resultados.

Pérdidas en S2 (LS): 13.865 W  
Pérdidas en S1(HS): 25.362 W  
Pérdidas totales en las llaves: 39.428 W

Si bien este dispositivo cumple con los requerimientos de tensión y corriente, la estimación de pérdidas totales para las condiciones de operación más exigentes del sistema arroja valores elevados, lo que impacta negativamente en el rendimiento global del convertidor. El procedimiento detallado que se utiliza para la estimación de dichas pérdidas se presenta en el Anexo B.

Con el objetivo de reducir las pérdidas en la etapa de potencia, se selecciona un MOSFET alternativo, el modelo IPP320N20N3G [13], cuyas características eléctricas son las siguientes.

- $IDS_{max} = 34A @ T_j = 25^\circ C$
- $VDS_{max} = 200V$
- $Rds_{on} = 50m\Omega ; @ T_j = 100^\circ C$
- $VF = 0.9V @ T_j = 25^\circ C, I_f = 34A$
- $Qrr = 500nC @ T_j = 25^\circ C, I_f = 17A, di/dt = 100A/\mu s$ .

- $Q_G = 22nC$
- $Q_{GS} = 8nC$
- $Q_{GD} = 3nC$

El resultado de la estimación de las pérdidas para el nuevo modelo es el siguiente.

Pérdidas totales en S2 (LS): 3.278 W  
 Pérdidas totales en S1 (HS): 5.715 W  
 Pérdidas totales en las llaves: 9.059 W

En base a este análisis, se adopta el MOSFET IPP320N20N3G para ambas llaves del convertidor. El análisis térmico y el diseño del sistema de disipación asociado a estos dispositivos se desarrollan en el Anexo C. En la práctica, se utiliza uno que se tiene disponible con el fin de reducir costos y se verifica que la temperatura de las llaves esté dentro del rango de operación seguro de los dispositivos.

#### 4.5 Selección del driver de los dispositivos semiconductores.

La excitación de los MOSFETs de la etapa de potencia se realiza mediante el circuito integrado IR2010 [14]. Este dispositivo permite el accionamiento de dos MOSFETs de canal N mediante técnica bootstrap.

La elección del driver se fundamenta en su disponibilidad en el laboratorio, lo que permite realizar pruebas preliminares y validaciones funcionales antes del diseño y fabricación de una placa dedicada. No obstante, se verifica que sus características eléctricas resulten compatibles con las condiciones de operación del convertidor. El IR2010 permite corrientes pico de salida del orden de 3A, dispone de protección por undervoltage lockout (UVLO) y soporta una tensión máxima de compuerta adecuada para la aplicación.

En la Figura 15 se presenta el diagrama de conexión básico del driver utilizado en la aplicación.

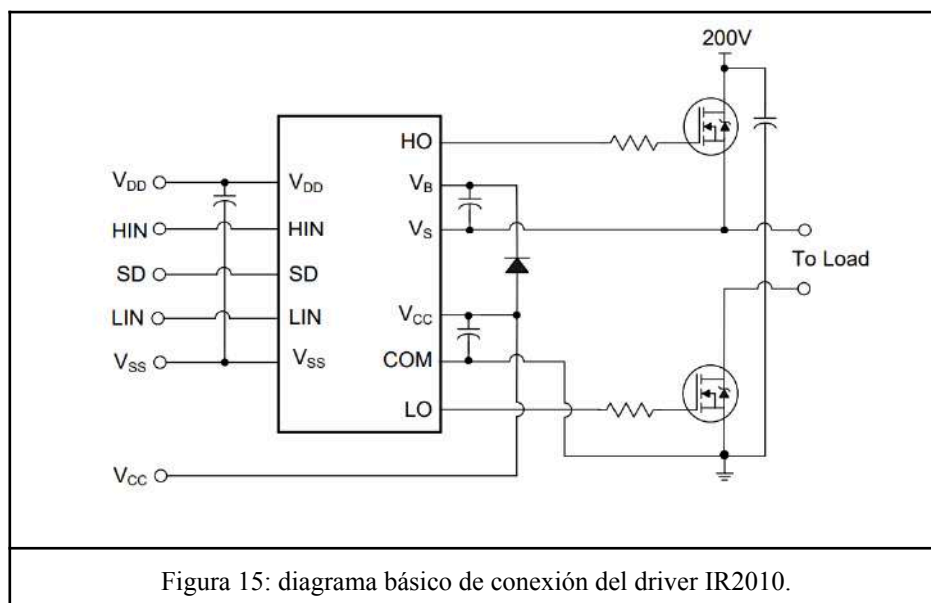


Figura 15: diagrama básico de conexión del driver IR2010.

#### 4.5.1 Tensiones del driver.

En primer lugar, se verifica la compatibilidad de tensiones de trabajo del driver con el convertidor.

El IR2010 presenta una tensión máxima de offset ( $V_{offset\ max}$ ) de 200V. Este parámetro define la máxima tensión entre el terminal  $VS$  y el terminal COM del driver. Para esta aplicación,  $V_{S\ max}$  es igual a la máxima tensión de salida del convertidor, la cual toma un valor de 150V. Dado que  $V_{offset\ max} > V_{out\ max}$ , se garantiza la operación segura en todas las condiciones previstas.

En cuanto a la alimentación, el driver opera con dos fuentes separadas. Una de ellas corresponde a la alimentación de la lógica interna del integrado ( $V_{dd}$ ) mientras que la otra corresponde a la excitación de las compuertas de los MOSFETs ( $V_{cc}$ ). Para esta aplicación se seleccionan los siguientes valores.

- $V_{cc} = 15V$ .
- $V_{dd} = 3.3V$ .

La tensión de excitación de 15V se encuentra por debajo del valor máximo admisible del MOSFET que se selecciona ( $V_{gs\ max} = \pm 20V$ ). Trabajar con una tensión de compuerta próxima al valor máximo permitido permite reducir la resistencia de encendido ( $R_{ds\ on}$ ) y, en consecuencia, disminuir las pérdidas por conducción.

La tensión lógica de 3.3V resulta compatible con los niveles de la placa de desarrollo que se utiliza para implementar el firmware del control.

#### 4.5.2 Generación del dead-time.

El tiempo muerto entre la conmutación del MOSFET high-side y low-side se genera exclusivamente por software. El driver IR2010 no incorpora generación de dead-time por hardware, por lo que resulta indispensable asegurar este retardo desde el sistema de control para evitar conducción cruzada. Para esta aplicación se genera un tiempo muerto de 100ns.

#### 4.5.3 Dimensionamiento del circuito de gate.

El diseño del circuito de excitación de compuerta se realiza con el objetivo de establecer los siguientes tiempos de encendido y apagado de los MOSFETs.

$$t_{on} = t_{off} = 20ns$$

Estos tiempos representan el 0.4 % del período de conmutación para una frecuencia de 100 kHz. La reducción de los tiempos de transición permite disminuir las pérdidas por conmutación. No obstante, transiciones excesivamente rápidas incrementan el  $dv/dt$  y el  $di/dt$ , lo que puede generar sobre oscilaciones, interferencia electromagnética y posibles redispáros no deseados.

La corriente necesaria para cargar y descargar la compuerta se estima a partir de la carga total de compuerta ( $Q_G$ ) del MOSFET IPP320N20N3G.

En base a las recomendaciones de la nota de aplicación AN-6076 [15], se adopta un factor de seguridad de 1.5 sobre la corriente teórica máxima.

$$I_{max_{on/off}} = \frac{1.5 \cdot Q_G}{t_{on/off}} \quad [\text{ecuación 14}].$$

Se obtiene un valor de corriente pico de carga y descarga de 2.18A

El IR2010 permite corrientes pico del orden de 3 A, por lo que satisface el requerimiento con un margen adecuado.

La resistencia vista desde la salida del driver se estima como

$$R_{g_{total}} = \frac{V_{cc}}{I_{max_{on/off}}} \quad [\text{ecuación 15}].$$

Este valor incluye

- Resistencia interna del driver.
- Resistencia interna de compuerta del MOSFET.
- Resistencia externa agregada.

Dado que el MOSFET que se utiliza presenta una resistencia interna aproximada de  $2\Omega$ , se selecciona una resistencia externa de  $5\Omega$ .

El valor adoptado permite limitar la corriente pico, controlar la  $dv/dt$  y reducir la probabilidad de oscilaciones parásitas, manteniendo tiempos de conmutación adecuados.

La validación final de los tiempos de transición se realiza experimentalmente mediante mediciones sobre la compuerta y el nodo de conmutación.

#### 4.5.4 Selección del capacitor de bootstrap.

El capacitor bootstrap debe almacenar la carga necesaria para polarizar la compuerta del lado alto durante el intervalo de conducción de la misma.

La capacidad mínima asociada a la carga de compuerta se estima como

$$C_g = \frac{Q_g}{V_{cc} - V_f} \quad [\text{ecuación 16}].$$

Siendo  $V_f$  la caída de tensión en polarización directa del diodo bootstrap. Para el diodo seleccionado se considera una caída aproximada de 0.7V.

Por lo tanto  $C_g = 2nF$ .

Siguiendo el criterio de diseño de la nota de aplicación *Bootstrap Circuitry Selection for Half-Bridge Configurations*[16], se establece un valor de capacitor de bootstrap 10 veces superior a la capacidad de gate que se calcula. En este caso se obtiene el siguiente valor.

$$C_{bootstrap} = 22nF.$$

El factor 10 reduce la variación de tensión en el capacitor durante la conducción del MOSFET high-side. Se selecciona un capacitor cerámico de baja ESR, con tensión nominal superior a 25 V.

#### 4.5.5 Selección del diodo de bootstrap.

Se selecciona el modelo de diodo VS-3EJH02HM3/6A. Para la elección se tienen en cuenta los siguientes parámetros.

- Tensión de ruptura en inversa ( $VBR$ ).
- Caída de tensión en polarización directa ( $Vf$ ).
- Corriente rectificadora promedio ( $If_{avg}$ ).

La tensión inversa máxima en el diodo de bootstrap debe ser superior a la tensión máxima del nodo de conmutación ( $V_{S_{max}}$ ) de 150V. Por encima de dicho valor se considera un margen de 50V. Por lo tanto, se establece como parámetro de selección un valor de  $VBR \geq 200V$ .

Por otro lado, se obtiene una corriente pico de carga y descarga de los MOSFETS del orden de 2.18A. El diodo presenta un valor adecuado de corriente promedio rectificadora ( $If_{avg}$ ) de 3A.

Por último, con respecto a la tecnología del diodo, no se selecciona uno Schottky debido a limitaciones de disponibilidad comercial para tensiones inversas superiores a 200V. De todas maneras, el modelo que se selecciona presenta una caída directa relativamente baja, baja capacidad de juntura en relación al valor de capacidad de bootstrap y características de recuperación compatibles con la frecuencia de operación de 100 kHz.

#### 4.5.6 Conexiones del driver.

En la figura 16 se presenta el esquemático correspondiente al circuito de driver implementado en la PCB final.

- $D4$  y  $C7$  corresponden a el diodo y capacitor de bootstrap.
- $C8$ ,  $C9$ ,  $C10$  y  $C11$  son los capacitores de desacople de las alimentaciones.
- $R8$  y  $R9$  corresponden a las resistencias de gate del lado alto y bajo respectivamente.
- El pin SD permite controlar la habilitación del dispositivo.
- Los pines HIN y LIN corresponden a los pines de entradas de las señales PWM de control, en este caso PWM\_HS y PWM\_LS en el conector J3. Estas señales son complementarias, de 100kHz y con un deadtime de 100ns y se generan en

una placa externa. Se incorporan beads de ferrite en serie con las líneas de control con el objetivo de reducir la propagación de interferencias de alta frecuencia y mejorar la inmunidad frente a ruido de modo común.

- *D2* y *D3* se dejan previstos en el diseño, sin conexión en la versión actual. Su incorporación permitiría implementar diferentes tiempos de encendido y apagado

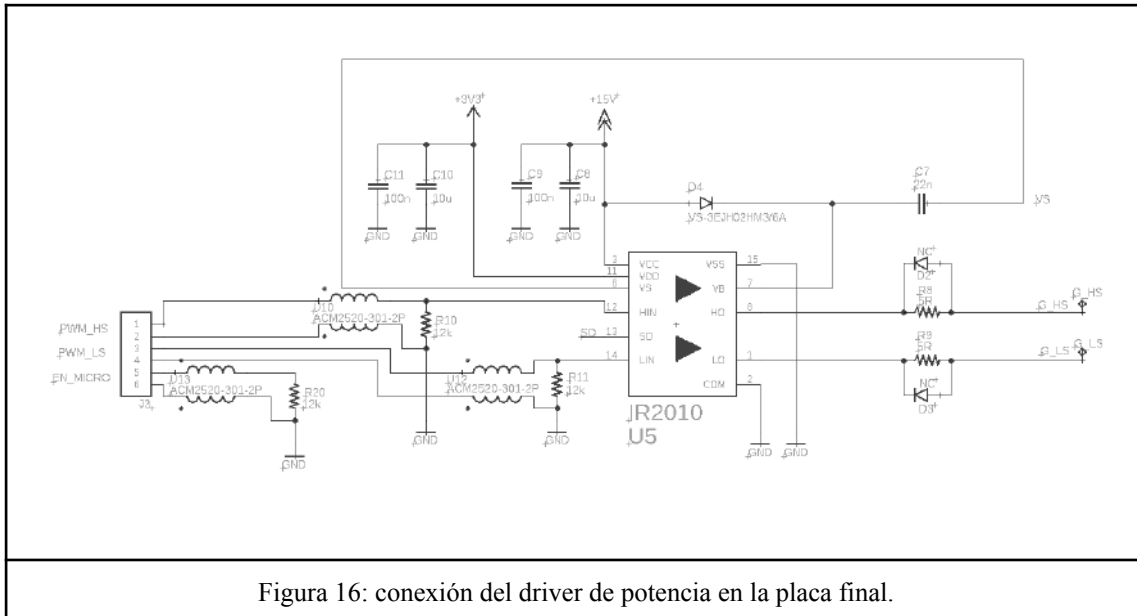


Figura 16: conexión del driver de potencia en la placa final.

#### 4.6 Protecciones.

En esta sección se describen las protecciones de hardware que presenta el prototipo. El objetivo principal es evitar daños durante la puesta en marcha y operación experimental del sistema. Las protecciones asociadas a la lógica de control y supervisión por software se abordan en etapas posteriores del documento.

##### 4.6.1 Protección en las fuentes de alimentación de circuitos auxiliares.

Para alimentar las diferentes etapas en el sistema completo, se utiliza un regulador lineal y una fuente conmutada DC/DC. Con el objetivo de verificar el correcto funcionamiento de las fuentes auxiliares durante la puesta en marcha, se incorporan jumpers normalmente abiertos a la salida de cada regulador de tensión. Estos permiten corroborar que los niveles de tensión que se generan son los esperados antes de energizar las etapas posteriores del sistema. Una vez finalizada la verificación inicial, los jumpers permanecen cerrados.

##### 4.6.2 Protección contra falsos encendidos del driver de la etapa de potencia.

El driver encargado de comandar los MOSFETs de la etapa de potencia dispone de un pin de habilitación (“SD”), activo bajo. Con el fin de evitar encendidos no intencionales del convertidor, se implementan las siguientes medidas de protección:

- Se incorpora una resistencia de pull-up de 47 kΩ entre el pin SD y la tensión de 3.3V. Ante un estado flotante o indefinido de la señal de control, el driver permanece deshabilitado por defecto

- Se añaden resistencias entre los terminales gate y source de ambos MOSFETs, con el objetivo de asegurar la descarga de los capacitores  $C_{gs}$  cuando el convertidor está desenergizado.
- Se implementa un circuito intermedio entre la señal de habilitación que comanda el usuario y el pin SD del driver. Dicho circuito, introduce un retardo temporal que permite discriminar señales transitorias o espurias, habilitando el driver únicamente cuando la señal de entrada corresponde a una modulación PWM sostenida. Este criterio asegura que el encendido del convertidor se produce únicamente si el sistema de control se encuentra operativo y generando una señal válida.

En la figura 17.a se presenta la simulación funcional del circuito de habilitación. En el diseño final se incluye una etapa inversora adicional, dado que el pin SD del driver es activo bajo. Asimismo, se verifica que la aplicación de un pulso aislado de 3.3 V en la entrada no resulte suficiente para habilitar el driver, reforzando la inmunidad frente a falsos disparos (figura 17.b). Luego en la figura 18 se presenta la validación experimental de este circuito.

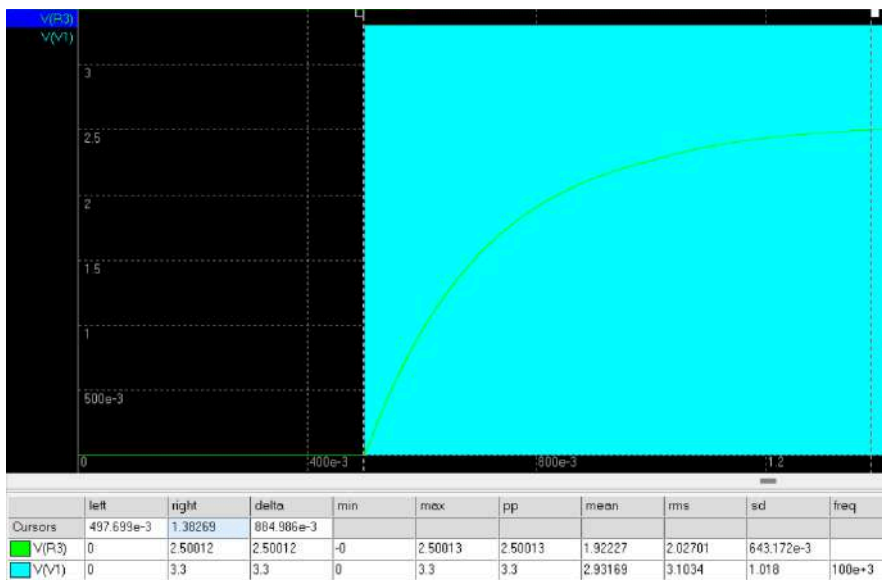


Figura 17.a: respuesta para entrada pwm sostenida.

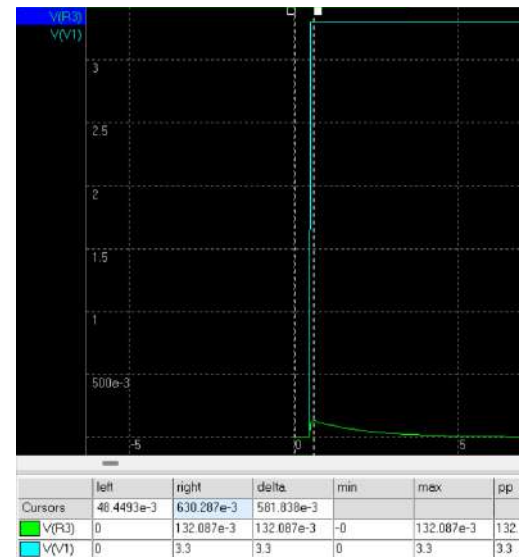


Figura 17.b: respuesta ante pulso aislado.

Figura 17: simulación funcional del circuito de protección ante falsos encendidos del driver de potencia.



Figura 18: validación experimental del circuito de protección.

La simulación coincide con la medición experimental. En ambos casos, para una entrada de una señal PWM con un ciclo de trabajo de 0.9 se obtiene una tensión final de capacitor de 2.5V y un retardo entre entrada/salida de 900 ns

#### 4.6.3 Selección del modo de habilitación del driver.

Adicionalmente, se incorpora un conector (*J5*), que permite seleccionar el método de habilitación del driver mediante el uso de un jumper.

Cuando el jumper se coloca entre los pines 1 y 2, el pin SD se accede de forma directa, sin protección. Caso contrario, al conectar el jumper entre los pines 2 y 3, la habilitación del driver se realiza a través del circuito intermedio de protección descrito previamente. Esta configuración aporta flexibilidad durante las etapas de prueba y depuración del sistema.

El esquema del circuito de protección que se implementa en la placa final se presenta a continuación, en la figura 19.

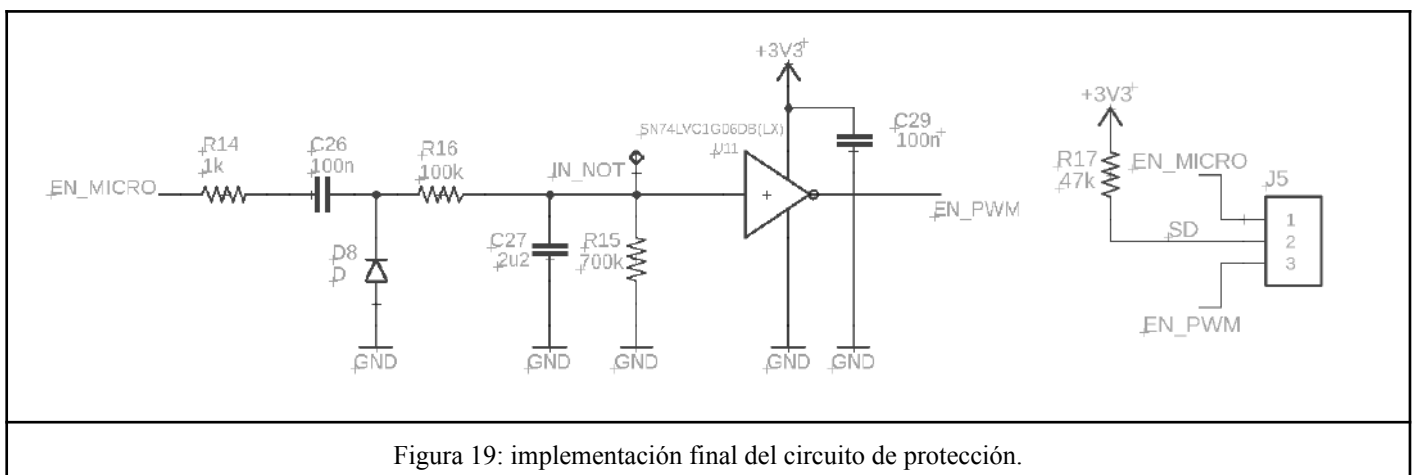


Figura 19: implementación final del circuito de protección.

## 5. Etapa de sensado

Para la implementación del algoritmo de control de MPPT se requiere la medición de la tensión y corriente del panel fotovoltaico.

El sistema de adquisición digital se implementa sobre la placa de desarrollo

LaunchPad™ LAUNCHXL-F28377S de Texas Instruments [15], basada en el microcontrolador TMS320F28377S.

## 5.1 Sensado de corriente

Se realiza el sensado de la corriente del inductor. Debido a que el convertidor opera en modo de conducción continua (CCM), el valor medio de la corriente del inductor coincide con la corriente de entrada del convertidor, y por consiguiente, coincide también con la corriente del panel.

### 5.1.1 Selección del sensor

Se utiliza el sensor de efecto Hall HLSR 10-SM. El modelo opera a lazo abierto y presenta aislación galvánica.

Las características relevantes para la aplicación son las siguientes.

- Rango nominal de medición:  $\pm 25\text{A}$ .
- Sensibilidad típica ( $S$ ):  $80\text{ mV/A}$ .
- Tensión de referencia de salida ( $U_{ref}$ ):  $2.5\text{V}$ .
- Ancho de banda:  $400\text{ kHz}$ .

Inicialmente, por motivos de disponibilidad, se evaluó el sensor HLSR 32-SM de un rango de medición de  $\pm 80\text{ A}$ . Para realizar las primeras pruebas se implementó un prototipo de esta etapa en una placa experimental fabricada mediante tecnología de mecanizado CNC, en la cual, se incorporó el bloque de acondicionamiento activo, implementado con un amplificador operacional. La placa CNC resultante se muestra en la figura 20.

Luego del análisis preliminar de funcionamiento se decide reemplazar este modelo por un sensor de menor rango, con una sensibilidad mayor, lo que permite incrementar la resolución efectiva de la medición de corriente dentro del rango operativo del convertidor.

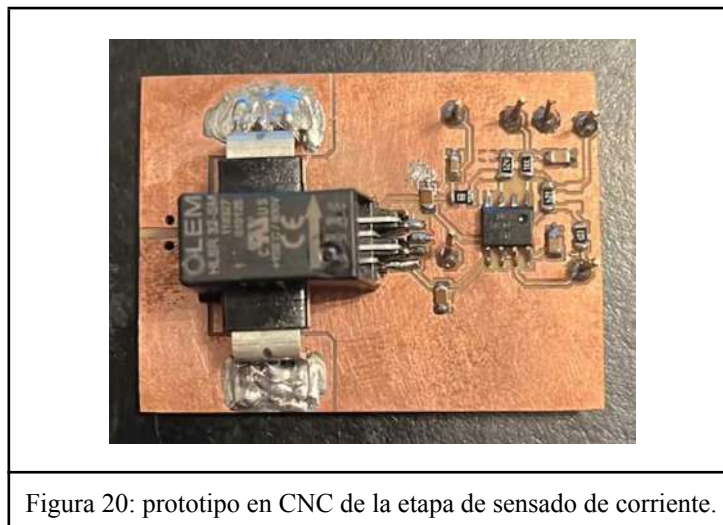


Figura 20: prototipo en CNC de la etapa de sensado de corriente.

La tensión de salida del sensor HLSR 10-SM se expresa como:

$$V_{out_{sensor}} = I_l * S \pm U_{ref} \quad [\text{ecuación 17}].$$

$I_l$ : corriente del inductor.

El diagrama básico de conexión y la apariencia física del sensor se presentan en la figura 21.

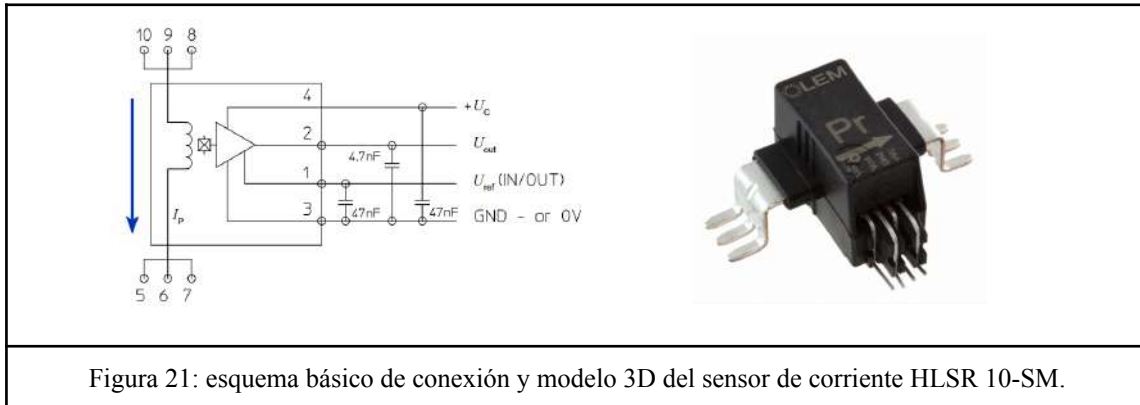


Figura 21: esquema básico de conexión y modelo 3D del sensor de corriente HLSR 10-SM.

### 5.1.2 Rango de operación y aprovechamiento dinámico.

Para el diseño de la etapa de adecuación de la señal de salida del sensor, se considera un valor de  $I_{l_{max}} = 9A$  y  $I_{l_{min}} = 820mA$ . Para dichos valores se obtiene una salida del sensor mínima y máxima de  $2.5656V$  y  $3.22V$  respectivamente.

Debido a que el signo +/- en la ecuación 17 varía según la dirección de la corriente, y que en esta aplicación resulta siempre positiva (debido a la orientación física que se atribuye al sensor), es posible restar la referencia interna del sensor de  $2.5V$  en una etapa posterior.

Con el objetivo de eliminar el offset de  $2.5V$  y para aprovechar de manera eficiente el rango dinámico del conversor analógico-digital, se implementa una etapa amplificadora-restadora diferencial con una ganancia de 4 veces.

La ganancia de 4 veces se debe a que  $(3.22 - 2.5)V * 4 = 2.88V$ , siendo la tensión de referencia interna del ADC igual a  $3V$ .

Se utiliza un amplificador operacional LMC6482 [17], con una tensión de alimentación de  $5V$ . Este dispositivo presenta entrada y salida rail-to-rail y un producto ganancia-ancho de banda (GBW) típico de  $1.5MHz$ .

La tensión a la entrada del conversor analógico-digital ( $V_{ADC_{in}}$ ) finalmente queda expresada como sigue.

$$V_{ADC_{in}} [V] = 80 \left[ \frac{mV}{A} \right] * I_l [A] * 4.$$

Para el rango de trabajo de  $I_l$  que se diseña el sistema, se obtiene que la tensión de entrada al ADC varía entre  $0.26V$  y  $2.88V$ .



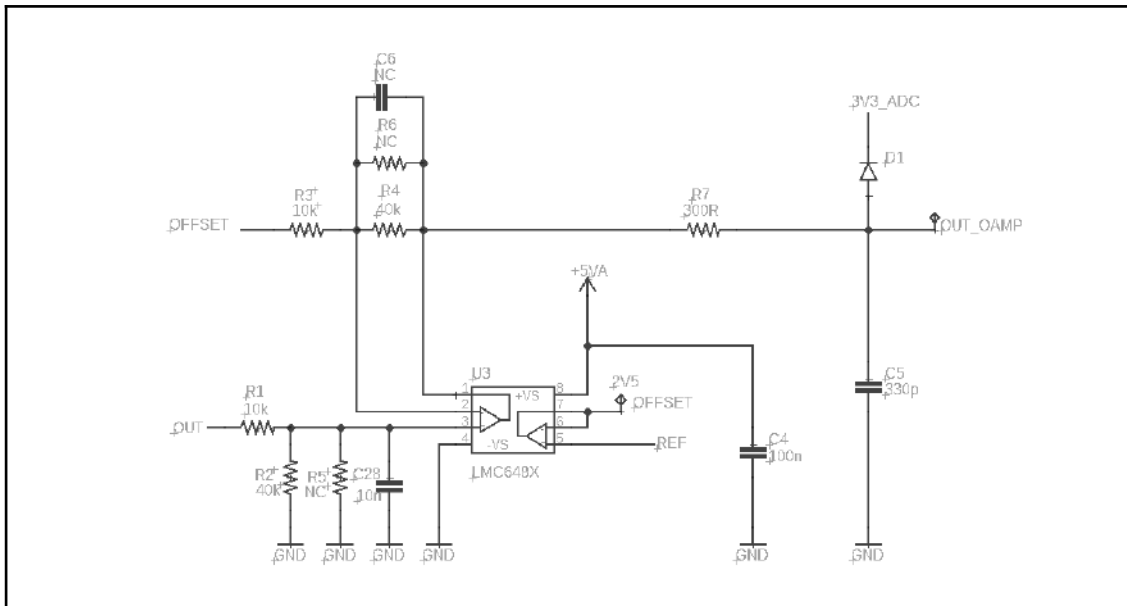


Figura 23: esquemático de la etapa amplificadora-restadora.

#### 5.1.4 Sensado de corriente sin filtro analógico.

En primer lugar, se evalúa la respuesta dinámica del sistema de sensado sin conectar el capacitor C28. El objetivo consiste en verificar la capacidad de la etapa para reproducir las variaciones de corriente del convertidor. Se observa la salida de la etapa de medición frente a cambios de gran señal del ciclo de trabajo, y por otro lado, se verifica la capacidad de medición del ripple de conmutación de la corriente.

En la figura 24 se presenta la respuesta del sistema a un cambio en el ciclo de trabajo del convertidor. En este caso, se genera una variación aproximada de 2A en la corriente media del inductor.

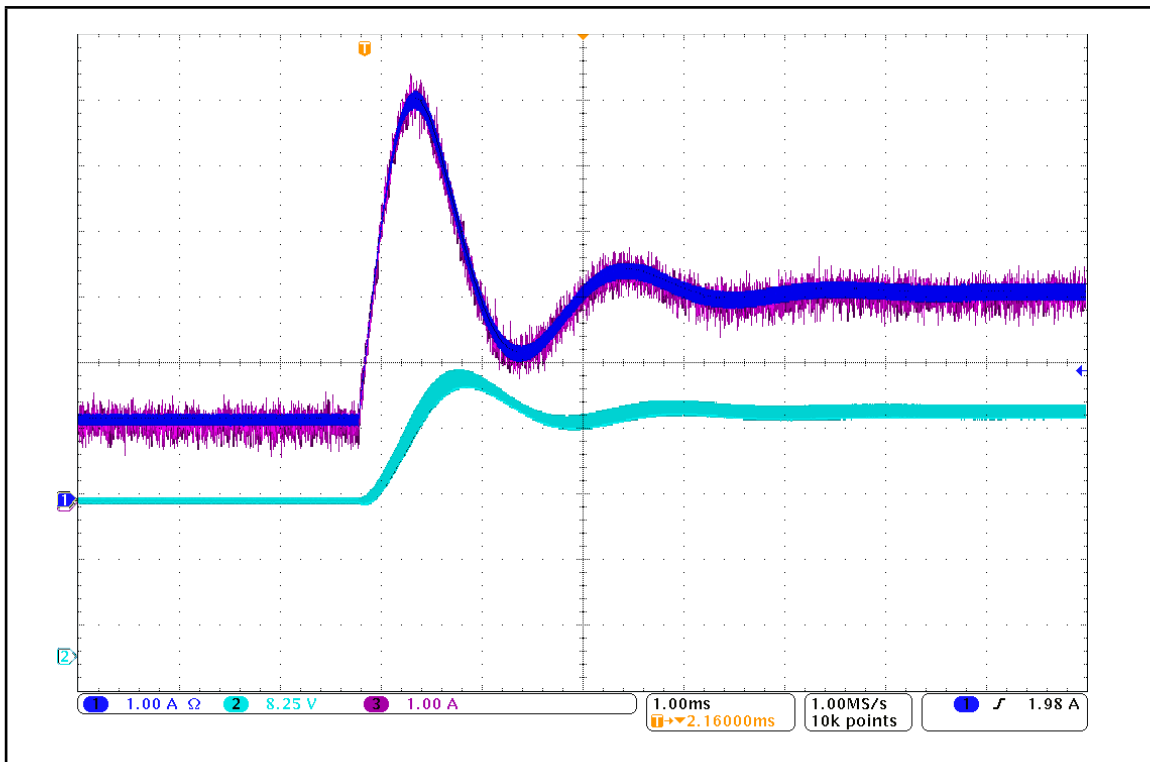


Figura 24: respuesta dinámica de la etapa de medición de corriente sin filtro incorporado.  
 Canal 1: Medición con sonda de corriente TEKTRONIX TCP202,  $AB=1.5MHz$ .  
 Canal 3: Salida del circuito de sensado (señal "OUT\_AMP").

Por otro lado, en la figura 25 se presentan simultáneamente diversas señales relevantes del sistema, dentro de las cuales se muestra la señal *OUT\_AMP*, que permite verificar que el ancho de banda de la etapa de medición resulta suficiente para medir la componente de alterna de la corriente.

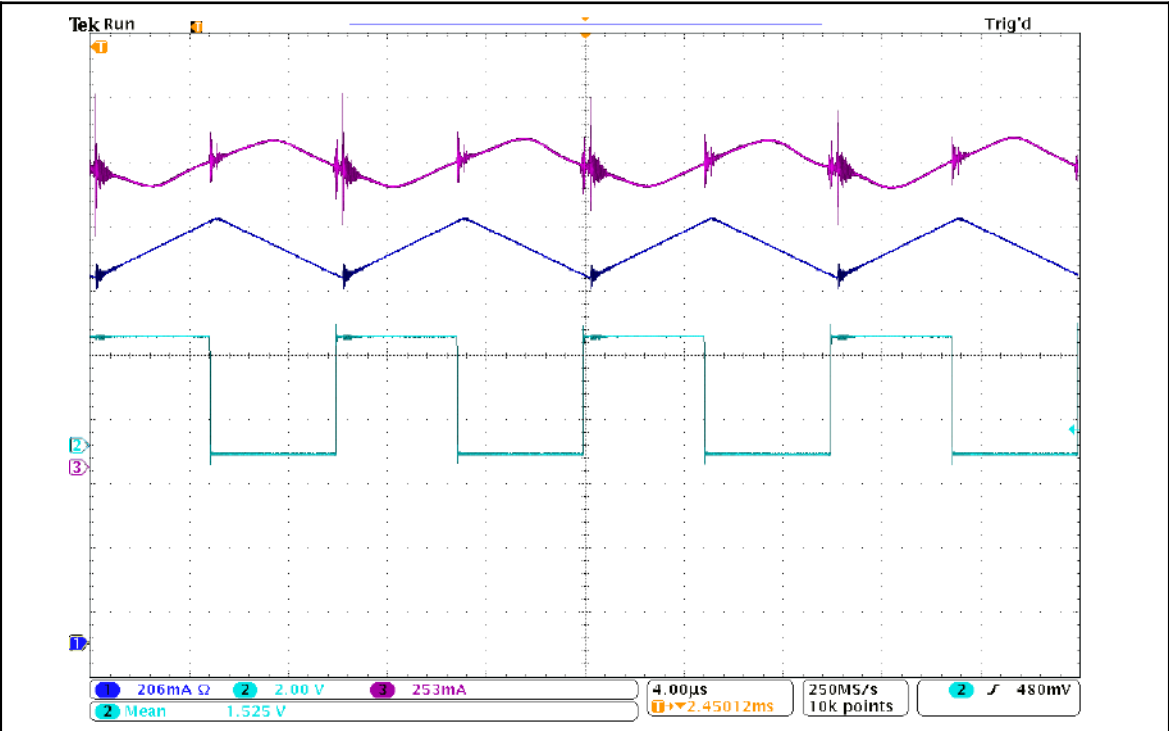


Figura 25: señales relevantes de la etapa de medición de corriente.  
 Canal 1: Corriente del inductor ( $I_L$ ) medida mediante sonda de corriente.  
 Canal 2: Señal de control del driver de potencia (PWM\_LS).  
 Canal 3: Corriente del inductor obtenida a través de la etapa de sensado y amplificación (OUT\_AMP).

A partir de las mediciones de la figura 25 se determina un desfase aproximado de 2.4  $\mu s$  entre la señal *OUT\_AMP* y el flanco de conmutación de la señal *PWM\_LS*, el cual no era de esperar, ya como se muestra en el gráfico de Bode de la figura 26, la etapa amplificadora presenta aporte de fase de  $-27.3^\circ$  a la frecuencia de conmutación del convertidor, que equivale a un retardo temporal aproximado de 760ns.

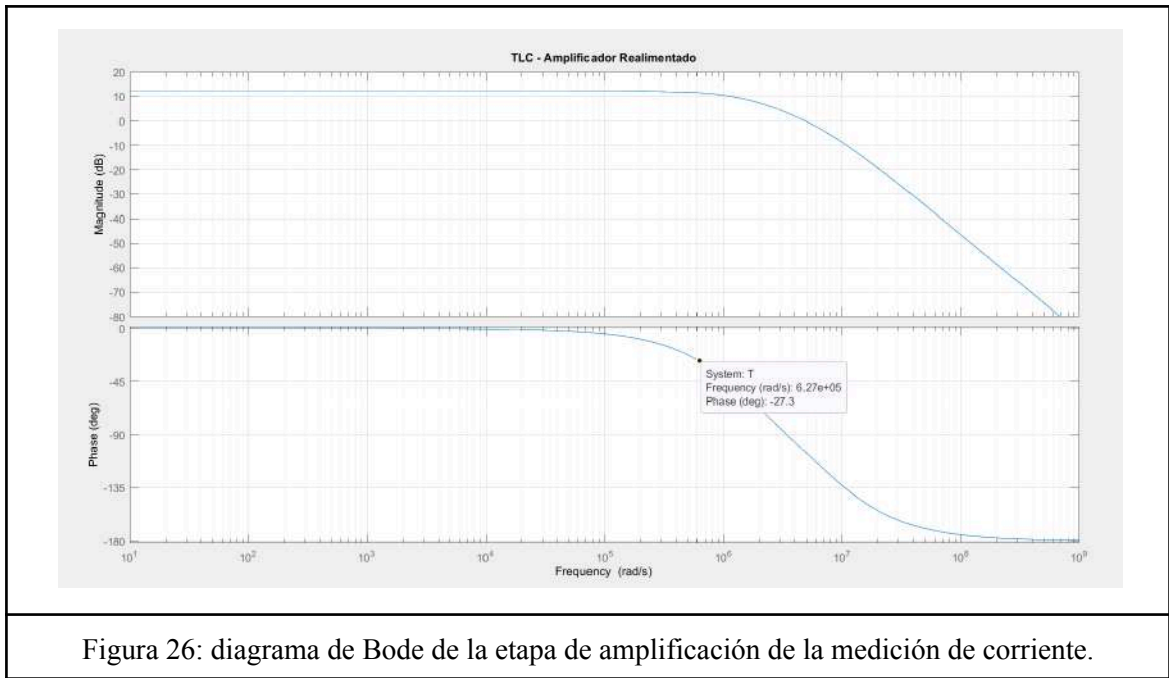
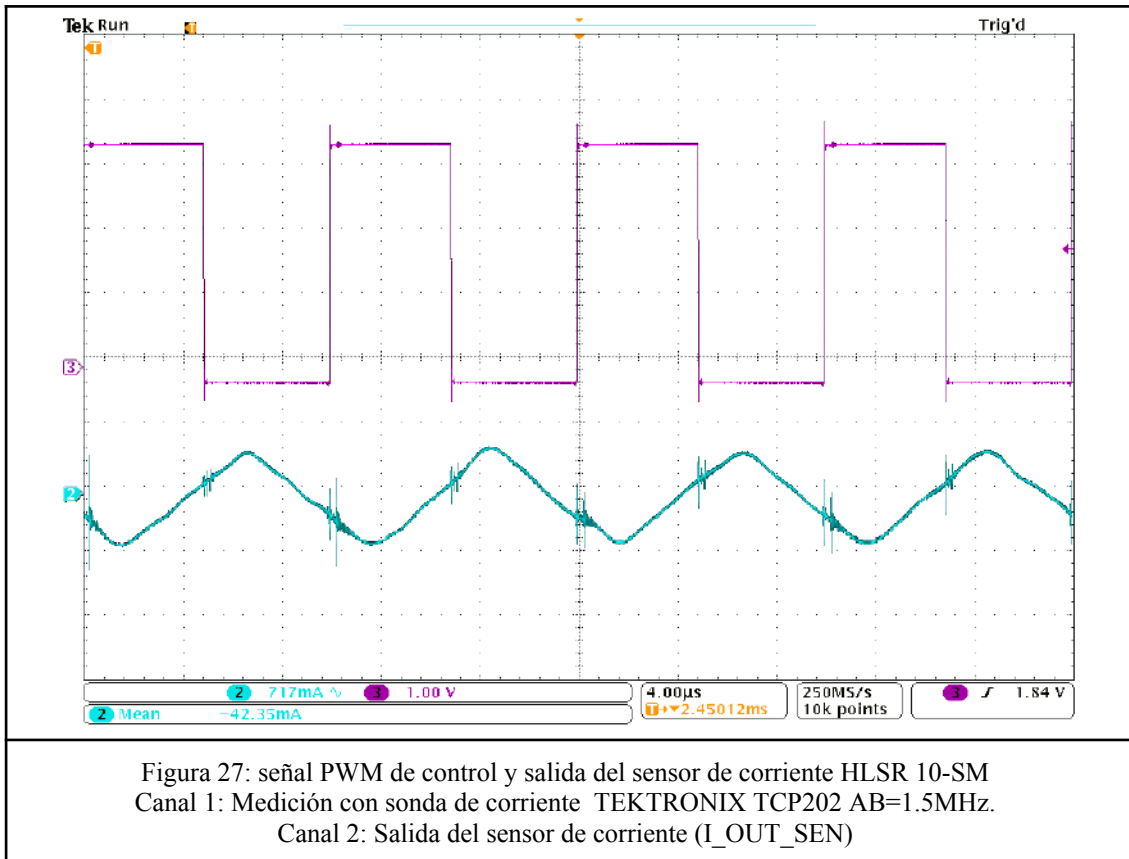


Figura 26: diagrama de Bode de la etapa de amplificación de la medición de corriente.

A partir de la observación previa, se opta por realizar una medición de la salida directa del sensor de corriente ( $I\_OUT\_SEN$ ). El resultado de la misma se presenta en la figura 27 y se observa que está retrasada 1.6 $\mu$ s respecto del instante de conmutación. Sin embargo, se puede apreciar que existe un retardo de 400ns en la medición que se realiza con la sonda de corriente de AB 1.5 MHz, que se atribuye al tiempo muerto y retardos entre entradas de control PWM y salidas del driver, por lo que se deduce que 1.2 $\mu$ s son los que realmente aporta el sensor, que se traduce en un aporte de fase de este dispositivo de -43 grados.

Finalmente, se corrobora que el desfase entre la salida del sensor ( $I\_OUT\_SEN$ ) y la señal amplificada ( $OUT\_AMP$ ), es de 800 ns, equivalente a 28.8 grados de fase, coherentes con los 27.1 grados obtenidos de forma teórica del diagrama de Bode.



### 5.1.5 Sensado de corriente con filtro analógico.

Teniendo en cuenta que el algoritmo de MPPT requiere la medición del valor promedio de la corriente del inductor, se incorpora una etapa de filtrado analógico para reducir las variaciones debidas al ripple de conmutación y el ruido de alta frecuencia.

Para implementar el filtro, se conecta el capacitor  $C28$  de un valor de  $10nF$ . Con dicho valor de capacidad se obtiene una transferencia a lazo cerrado de la etapa amplificadora con una ganancia en continua de 4 veces y con un ancho de banda resultante de  $2kHz$ , como se muestra en el diagrama de Bode de la figura 28.

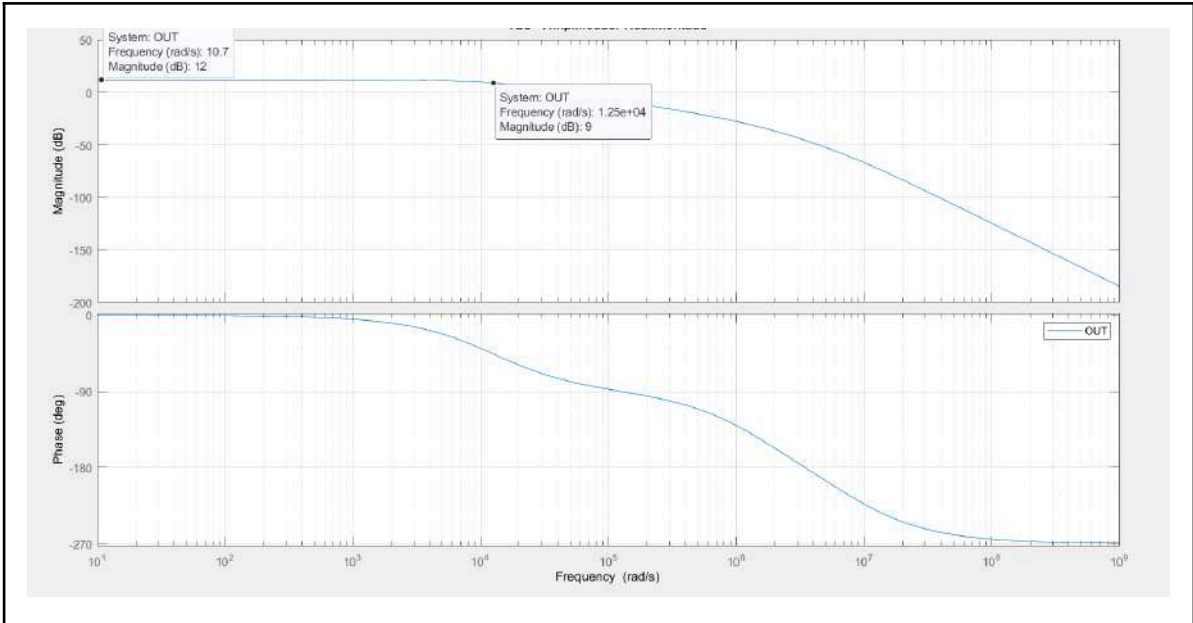


Figura 28: TLC desde la señal *OUT\_AMP* a *OUT\_I\_SEN*.

Con esta configuración se repiten las mediciones de forma análoga a las presentadas en la sección previa. Los resultados obtenidos se muestran en la figura 29. En este caso se observa que la señal de salida de la etapa de medición se encuentra filtrada. Además, se puede apreciar que la señal sigue adecuadamente la dinámica de la corriente media del inductor, con la incorporación de un retardo temporal.

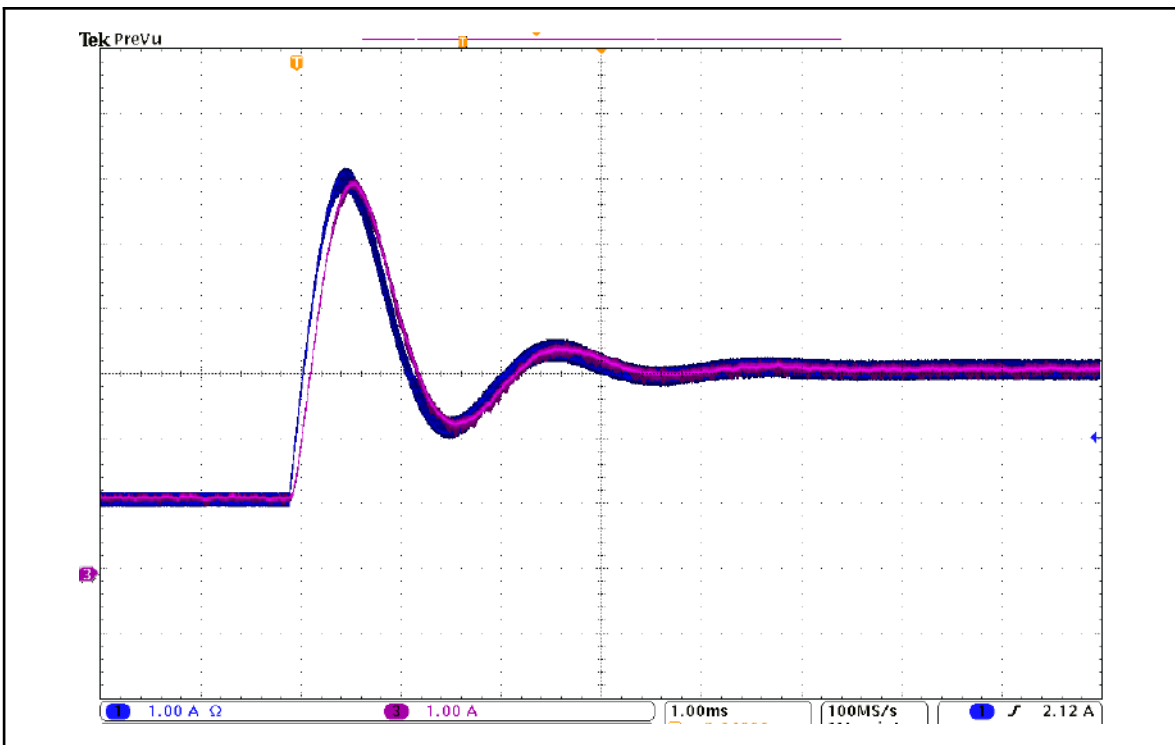


Figura 29: respuesta dinámica de la etapa de medición de corriente con filtro incorporado.

Canal 1: Medición con sonda de corriente TEKTRONIX TCP202 AB=1.5MHz.

Canal 2: Salida del circuito de medición (señal "OUT\_AMP")

## 5.2 Sensado de tensión.

La medición de la tensión de entrada se implementa mediante un divisor resistivo seguido por una etapa amplificadora diferencial con una relación unitaria entre entrada y salida.

El divisor resistivo se dimensiona de modo tal que, para la tensión de circuito abierto del panel fotovoltaico, se tenga una tensión de salida del circuito de medición de 3V, valor correspondiente al fondo de escala del ADC.

La etapa diferencial se implementa mediante el amplificador operacional LMC6061, alimentado con 5V. Esta etapa desacopla el divisor resistivo de la entrada del ADC y proporciona rechazo al modo común, lo que mejora la inmunidad al ruido en la medición.

El esquemático se presenta en la figura 30, en el cual:

- *C17* actúa como desacople de alimentación del operacional.
- *C30* y *C24* se prevén como opciones de filtrado analógico adicional.
- *D5* brinda protección a la entrada del ADC.

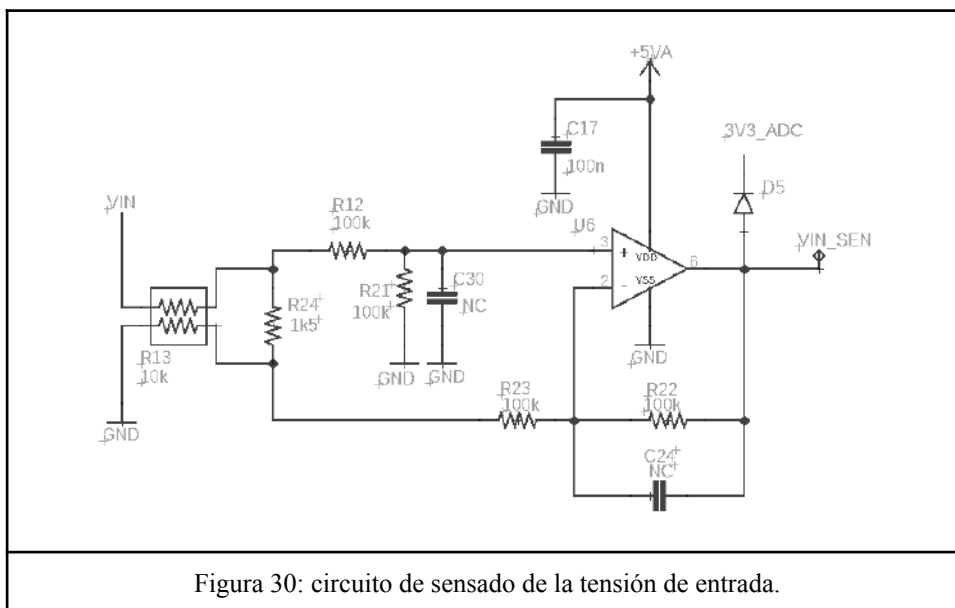


Figura 30: circuito de sensado de la tensión de entrada.

## 6. Fuentes de alimentación.

Se plantea el esquema de alimentación de la figura 31. Se utiliza una fuente de alimentación externa de 15 V a partir de la cual se generan las tensiones auxiliares de 5V y 3.3V necesarias para alimentar los diferentes componentes del sistema.

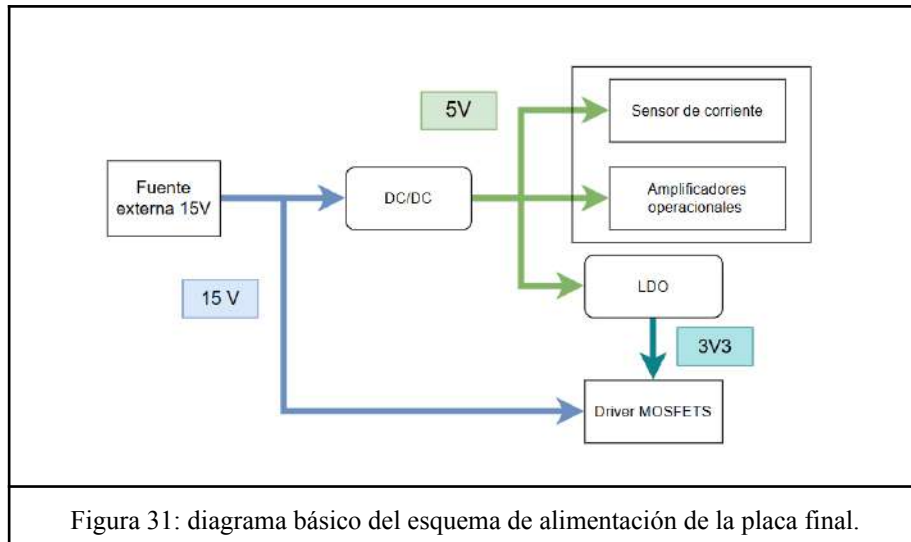


Figura 31: diagrama básico del esquema de alimentación de la placa final.

Para obtener la tensión de 5V se utiliza el módulo de fuente conmutada DC/DC OKI-78SR-5/1.5-W36-C, disponible en el laboratorio. En la figura 32 se presenta la conexión de esta fuente en el esquemático de la placa final y la apariencia física.

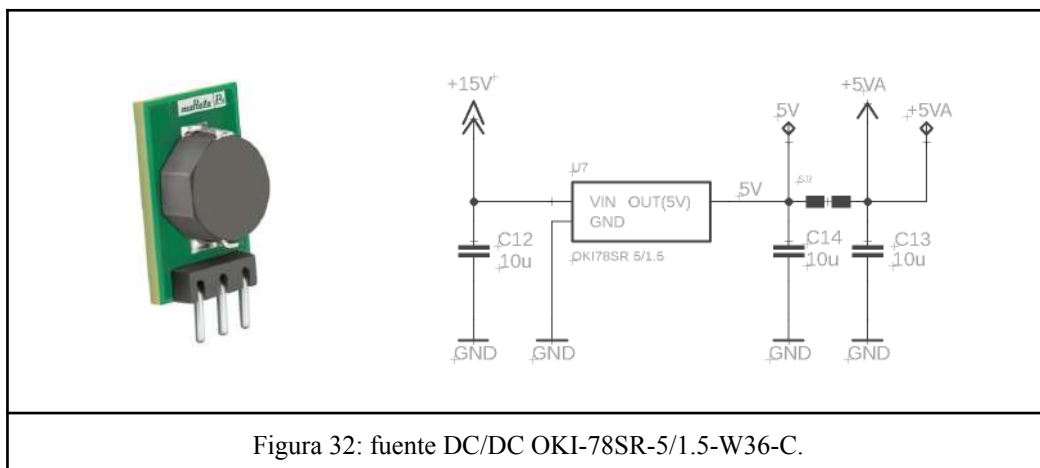


Figura 32: fuente DC/DC OKI-78SR-5/1.5-W36-C.

Para la generación de la tensión de 3.3V se utiliza un regulador lineal alimentado a partir de los 5V. Se seleccionó el modelo BL8071GCLATR33. Su conexión se presenta en la figura 33.

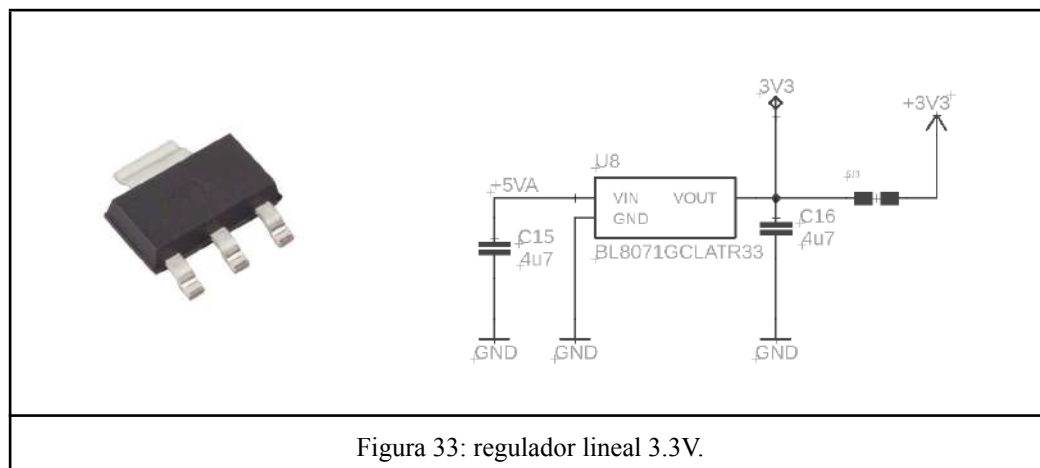


Figura 33: regulador lineal 3.3V.

## **7. Esquemático completo y diseño de PCB.**

Para la generación del esquemático y el diseño del circuito impreso se utiliza el software Eagle, integrado con Fusion 360 para el modelado tridimensional.

El esquemático completo del sistema se presenta en el Anexo E. El mismo corresponde a la integración de las distintas etapas funcionales desarrolladas individualmente en las secciones previas.

El diseño de la PCB se realizó en una configuración de cuatro capas con el siguiente stack:

- Capa 1: señal.
- Capa 2: plano de tierra (GND).
- Capa 3: plano de alimentación.
- Capa 4: señal.

La selección de una estructura multicapa se fundamenta en la mejoría del desempeño electromagnético del sistema. En particular, la inclusión de un plano de masa continuo permite reducir la impedancia de retorno, minimizar el área de los lazos de corriente y disminuir la emisión de interferencia electromagnética (EMI). Asimismo, el uso de un plano dedicado de alimentación contribuye a una distribución más uniforme de las tensiones, reduciendo caídas resistivas y acoplamientos indeseados entre etapas.

Durante el diseño se aplicaron criterios de layout entre los cuales se destacan:

- Minimizar el área de los lazos de corriente pulsante (especialmente en la etapa de conmutación), con el objetivo de reducir EMI radiada.
- Ubicar capacitores de desacople lo más próximos posible a los pines de alimentación de los circuitos integrados
- Fijar el ancho de pistas en función de la corriente máxima de diseño y del aumento de temperatura permitido.
- Fijar distancias de aislamiento (clearance y creepage) acordes a las tensiones máximas de diseño del sistema.

Se prioriza una disposición compacta de los componentes de potencia para reducir las longitudes de interconexión críticas. En este sentido, el inductor del convertidor se monta en posición vertical, lo que permite optimizar la geometría de los lazos de corriente. Debido a su tamaño, se diseña e imprime un soporte mecánico en 3D para lograr robustez estructural.

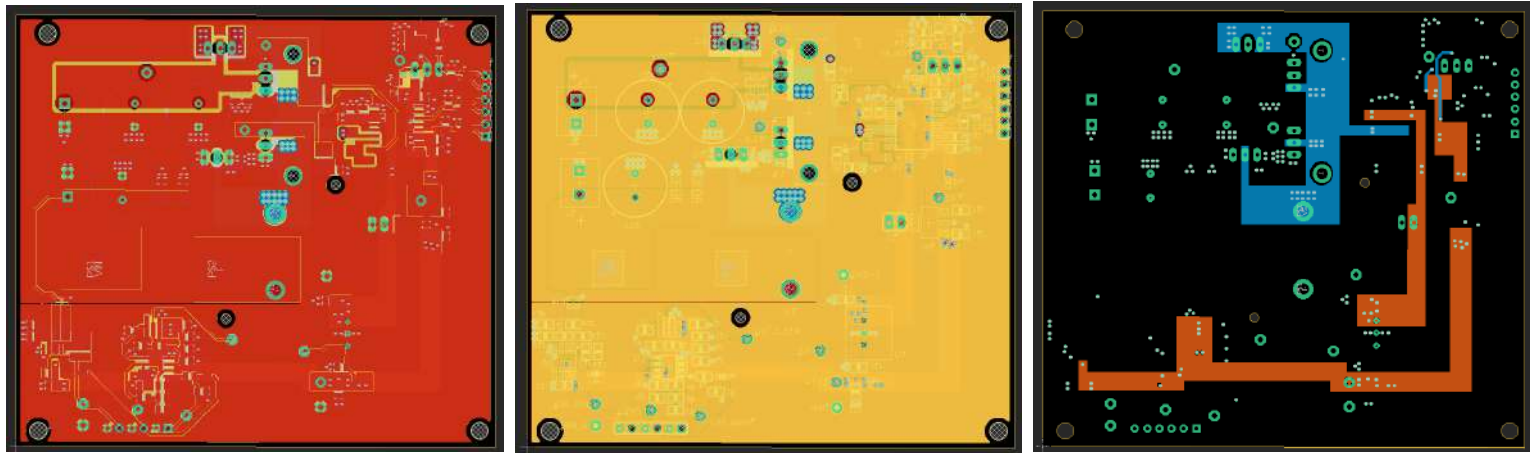


Figura 34: layout PCB - capa superior (señal) - capa 2 (GND) - capa 3 (PWR) e inferior (señal).

El render tridimensional de la placa desarrollada se muestra en la figura 35. El mismo permite verificar interferencias mecánicas y validar la integración del sistema.

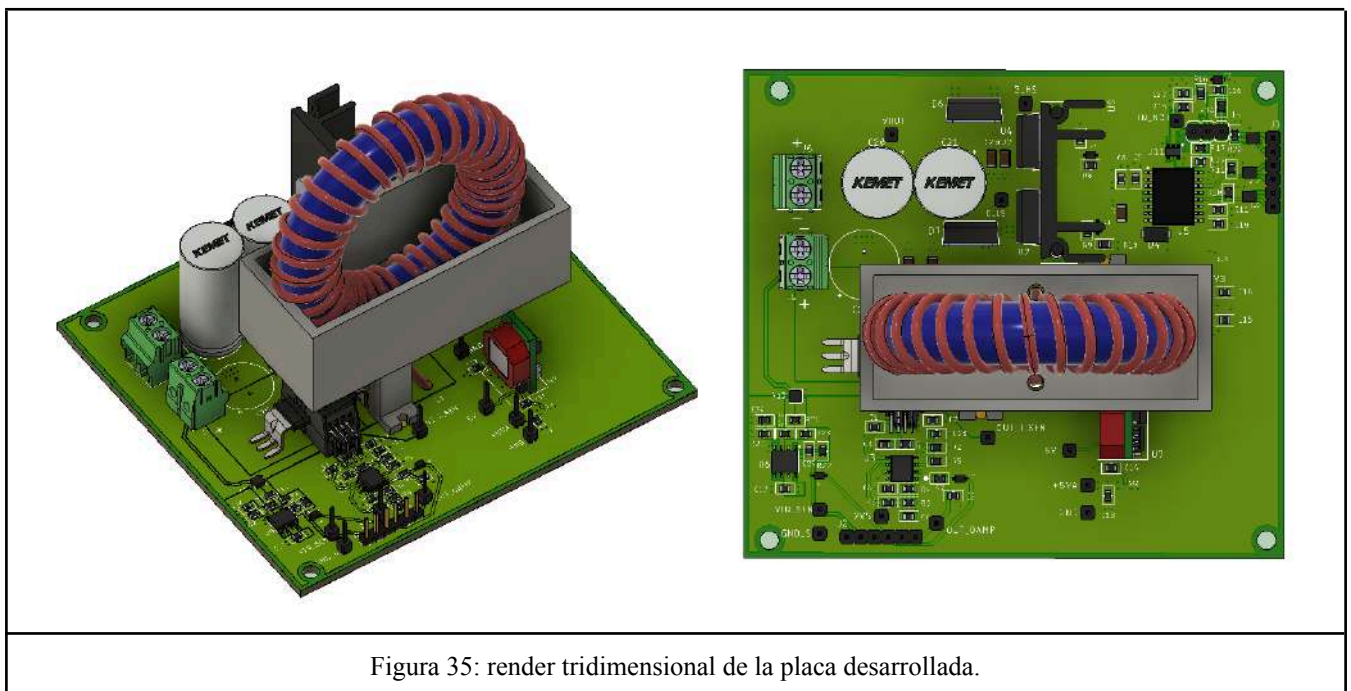


Figura 35: render tridimensional de la placa desarrollada.

## 8. Mediciones a lazo abierto de la etapa de potencia.

### 8.1 Condiciones de ensayo.

Las mediciones a lazo abierto se realizan bajo las siguientes condiciones de entrada y carga:

- Tensión de entrada ( $V_{IN}$ ) = 35V.
- Resistencia de carga ( $R_o$ ) = 72  $\Omega$ .

En estas pruebas, las señales PWM de control del driver IR2010 se generan con un ciclo de trabajo fijo, el cual se incrementa progresivamente y se monitorean las siguientes señales.

- $I_L$ : corriente en el inductor.
- $V_{OUT}$ : tensión de salida.
- $I_{OUT}$ : corriente de salida.

Las formas de onda de las señales mencionadas, para un ciclo de trabajo igual a 0.3, se presentan en la figura 36.

En la tabla 4 se presentan los valores medidos de los principales parámetros del convertidor para distintos ciclos de trabajo. El relevamiento se realiza hasta  $D=0,73$ . A partir de las mediciones se estimó la eficiencia del sistema, obteniéndose valores próximos al 93%.

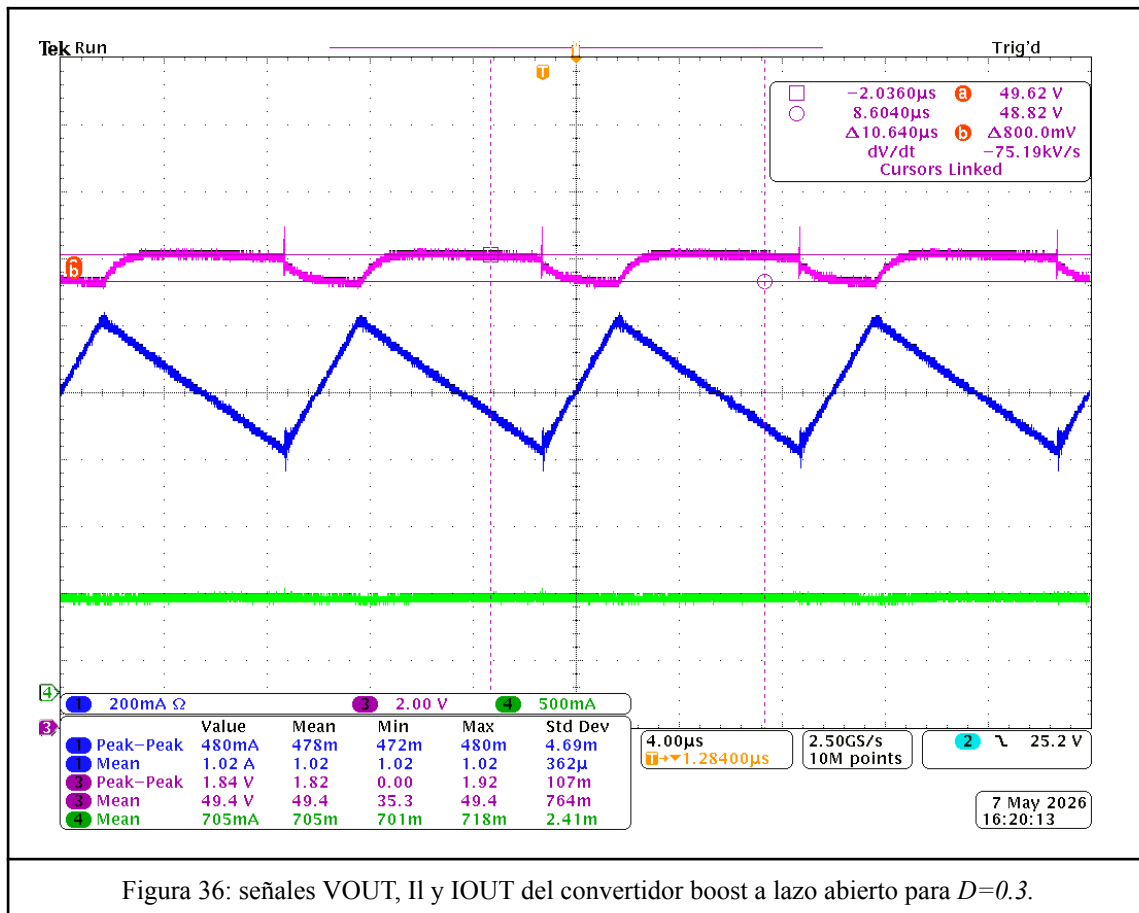


Figura 36: señales  $V_{OUT}$ ,  $I_L$  y  $I_{OUT}$  del convertidor boost a lazo abierto para  $D=0.3$ .

$D$	$I_{in}$ [A]	$\Delta I_n$ [A]	$V_{out}$ [V]	$\Delta V_{out}$ [V]	$I_{out}$ [A]	$P_{in}$ [W]	$P_{out}$ [W]	Eficiencia [%]	$I$ fuente 15V [mA]
0.244	0,860	0,417	46.1	0,700	0.625	30,10	28,8125	94,9654	16
0.3	01.02	0,478	49.4	0,800	0.705	35,70	33,165	92,2788	16
0.4	1.34	0,660	57.4	1.14	0.770	46,90	44,198	93,7590	16
0.5	1.92	0,880	68.3	1.44	0.915	67,20	62,4945	92,6668	16
0.6	2.95	1,01	84.6	1.84	1.14	103,25	96,444	93,1916	16
0.65	3.78	1,26	95.9	1.92	1.29	132,30	123,711	93,3386	16

0.7	5.7	1,42	111	2.2	1.5	171,50	158,73	92,4246	16
0.72	5.77	1,52	118	2.4	1.59	201,95	187,62	92,7939	16
0.73	6.18	1,61	123	2.1	1.64	216,30	202,95	93,7240	16

Tabla 4: requerimientos de los dispositivos semiconductores.

### 8.2 Falla en el MOSFET del lado alto.

Durante los primeros ensayos, al alcanzar una potencia de salida aproximada de 200W, se produjo la rotura del MOSFET del lado alto. Dado que no se observó ninguna anomalía en las señales monitoreadas, la falla fue atribuida inicialmente a un problema térmico. Se repitió el ensayo incorporando un sistema de refrigeración forzada y monitoreo de temperatura; sin embargo, la falla volvió a producirse sin que se registrara un aumento de temperatura significativo en las llaves. Este resultado descartó el origen térmico y motivó una investigación más detallada de las condiciones de conmutación.

### 8.3 Análisis del nodo de conmutación (nodo SW).

A partir de las fallas producidas, se incorporó el monitoreo de la tensión en el nodo de conmutación, es decir, el punto medio de las llaves.

Los ensayos se realizaron en una zona segura de operación, con un ciclo de trabajo  $D=0.3$ , correspondiente a una potencia de salida aproximada de 35 W y una tensión de salida de aproximadamente 50V. Bajo estas condiciones, al producirse el encendido de la llave del lado bajo, se observó una oscilación con una amplitud pico negativa ( $V_{pk}$ ) de  $-27V$  en el nodo SW (figura 37). Esta tensión negativa implica que la tensión  $VDS$  del MOSFET del lado alto alcanza un valor de  $VOUT + |V_{pk}|$ . Para las condiciones de ensayo de baja carga, el esfuerzo resultante se mantiene dentro de los límites del dispositivo ( $VDS_{max} = 200V$ ); sin embargo, la situación se agrava a mayor ciclo de trabajo, dado que  $VOUT$  aumenta y con ella dicho esfuerzo. Adicionalmente, la amplitud de la oscilación también aumenta con el ciclo de trabajo: a modo de referencia, para  $D=0,1$  se midió una amplitud máxima de  $-22V$  (figura 38), lo que confirma que el fenómeno se vuelve más crítico a medida que el convertidor opera en condiciones más exigentes.

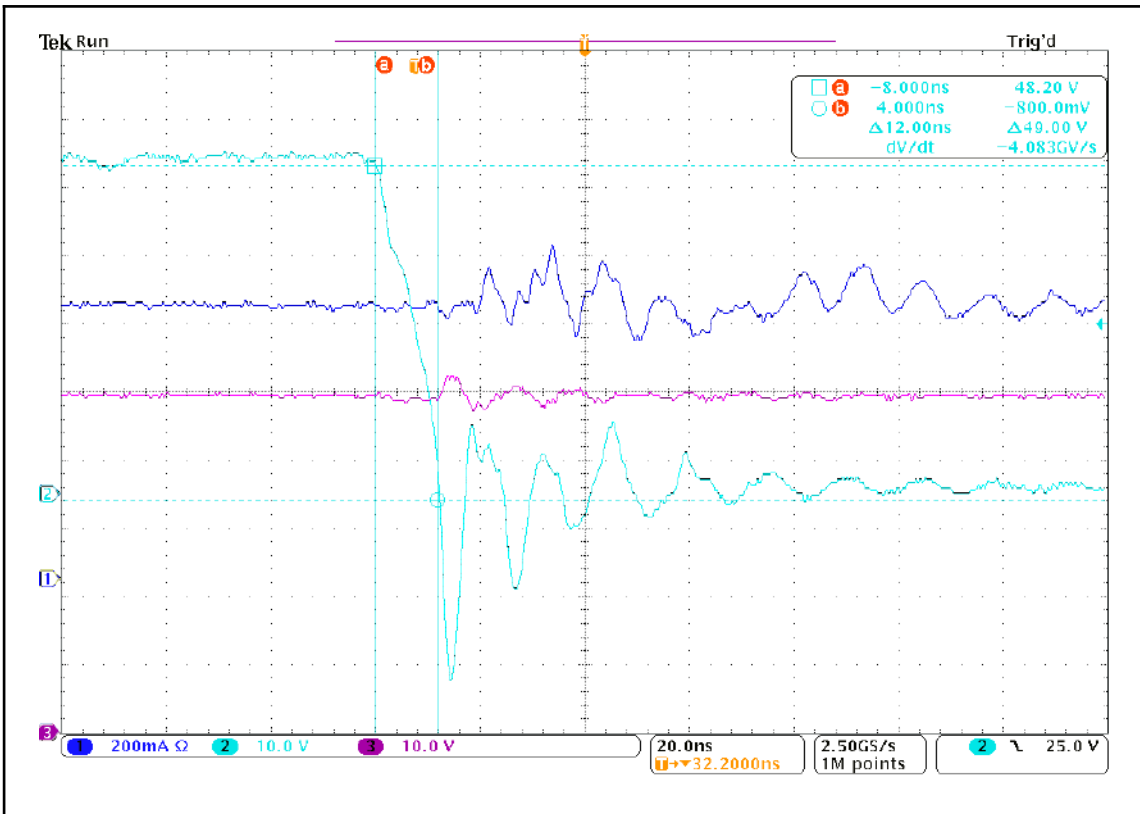


Figura 37: oscilación en nodo SW para  $D=0.3$ ,  $V_{GS}=15V$  y  $R_G = 5\Omega$ .

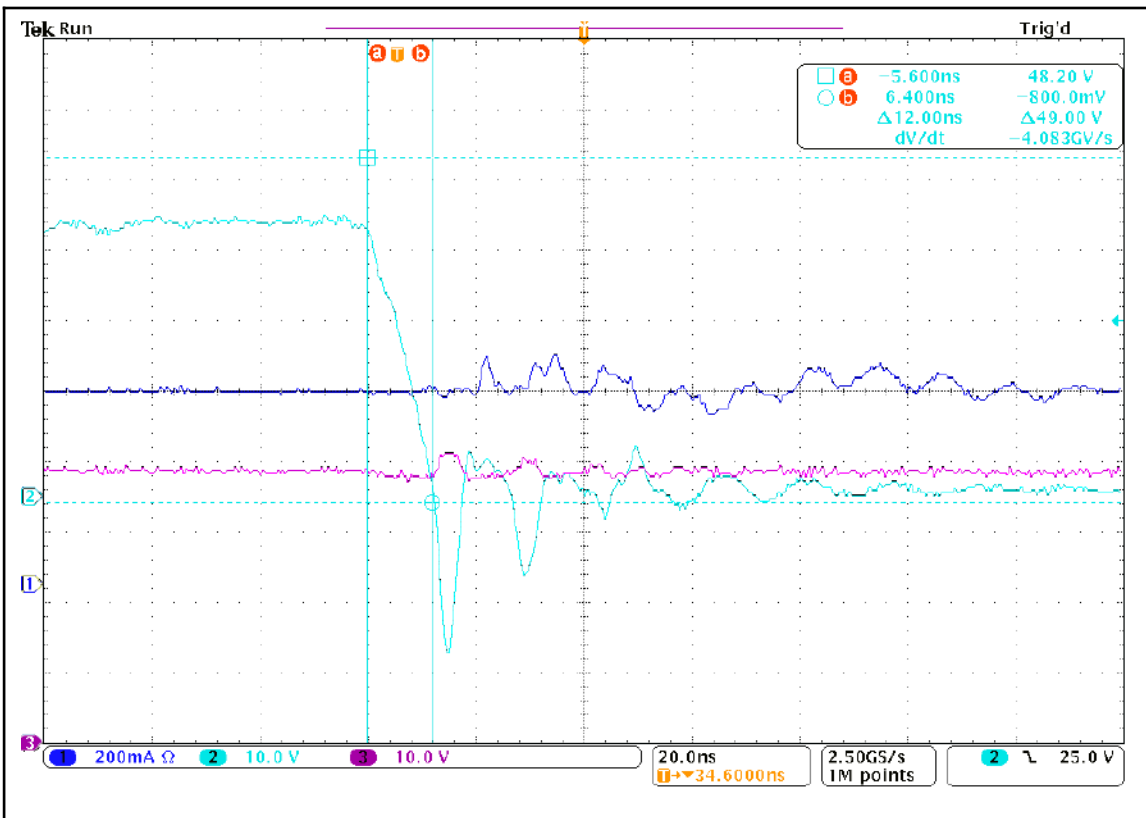


Figura 38: oscilación en nodo SW para  $D=0.1$ ,  $V_{GS}=15V$  y  $R_G = 5\Omega$ .

Para diagnosticar la causa de las oscilaciones, se analizó en primer lugar la influencia de la velocidad de conmutación, dado que se hipotetizó que el fenómeno podría estar asociado a la carga de recuperación inversa del diodo de cuerpo del MOSFET del lado alto. Para verificar esta hipótesis, se redujo la velocidad de conmutación disminuyendo la tensión de disparo de  $V_{GS}=15V$  a  $V_{GS}=12V$ , observándose una disminución en la amplitud de la oscilación. Este resultado es consistente con la presencia de recuperación inversa, ya que dicho fenómeno es sensible a la variación de corriente  $di/dt$ .

Seguidamente, con el fin de eliminar la contribución de la recuperación inversa, se reemplazó el MOSFET del lado alto por un diodo Schottky, el cual no presenta dicho fenómeno. Los resultados de esta prueba indicaron una reducción en la amplitud de la oscilación; sin embargo, la oscilación persistió y resultó independiente de la velocidad de conmutación (figura 39). Cabe destacar que este paso se realizó a modo de análisis, ya que la implementación final requiere el uso de dos llaves.

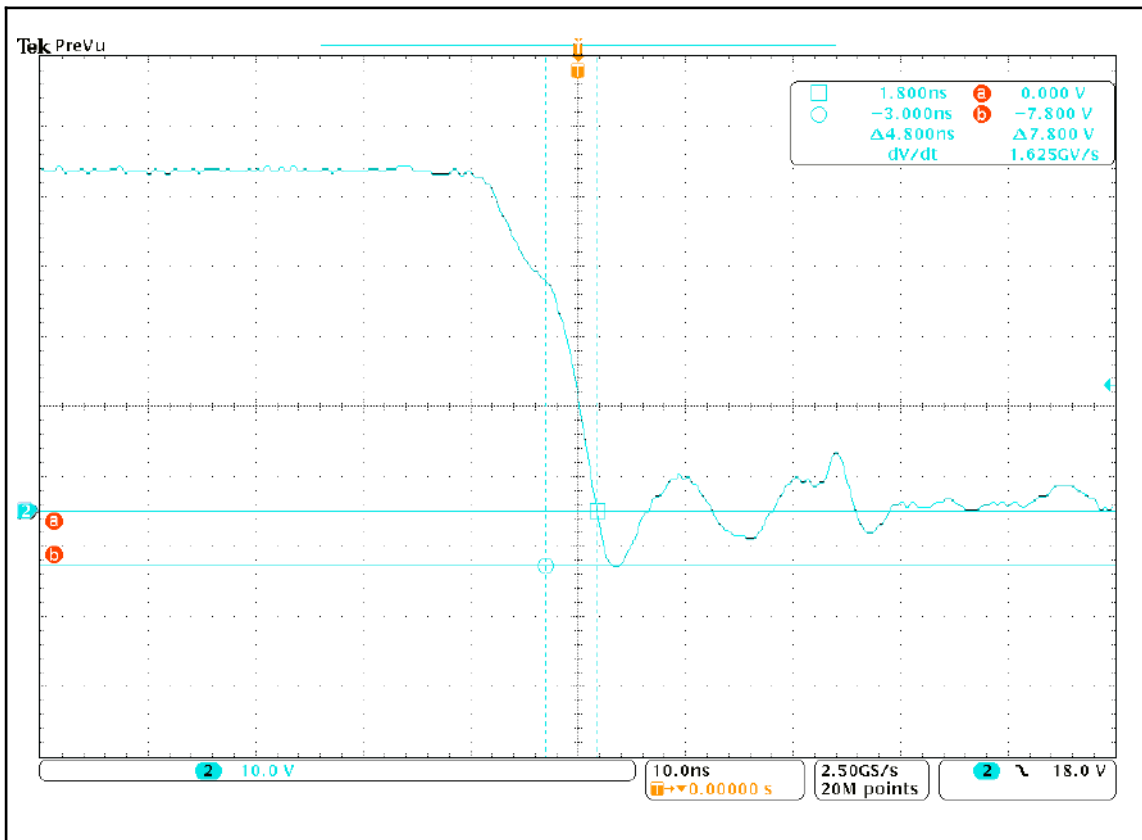


Figura 39: oscilación en el nodo SW con diodo Schottky en reemplazo de la llave del lado alto.

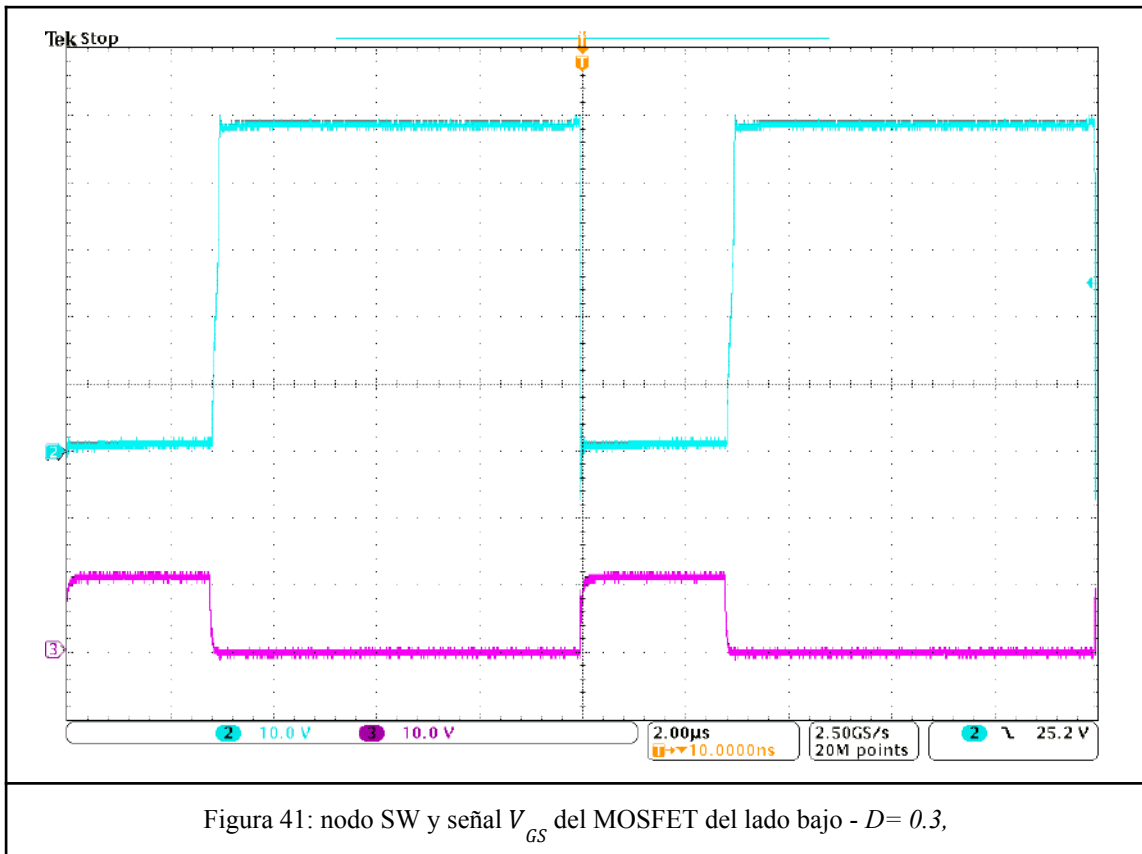
De este análisis se concluye que el ringing en el nodo SW es producto de la coexistencia de dos mecanismos:

1. La carga de recuperación inversa del diodo de cuerpo de la llave del lado alto.
2. Una resonancia parásita entre la capacidad del diodo y las inductancias y capacidades parásitas del lazo de conmutación



### 8.5 Anomalía en la tensión VGS del MOSFET del lado bajo.

Una vez controlada la amplitud de la oscilación en el nodo SW, se retomaron las pruebas de potencia. En la Figura 41 se presenta la medición simultánea de la tensión en el nodo SW y la tensión  $V_{GS}$  del MOSFET del lado bajo para  $D=0,3$ , verificándose que ambas señales se encuentran dentro de los límites admisibles de operación de las llaves.



Al incrementar el ciclo de trabajo hasta  $D=0,72$ , se registró una excursión negativa de la tensión  $V_{GS}$  del MOSFET del lado bajo de amplitud pico igual a  $-14V$  (figura 42), dicho valor se aproxima al límite máximo del dispositivo de  $\pm 20V$  entre sus terminales gate y source. Adicionalmente, en la misma figura se observa que la oscilación en el nodo SW presenta una amplitud de  $-16 V$ , manteniéndose dentro de los márgenes controlados. Sin embargo, debido a que la tensión  $V_{GS}$  registrada no presenta un margen suficiente respecto al límite admisible de  $-20 V$ , se decidió no continuar incrementando el ciclo de trabajo.

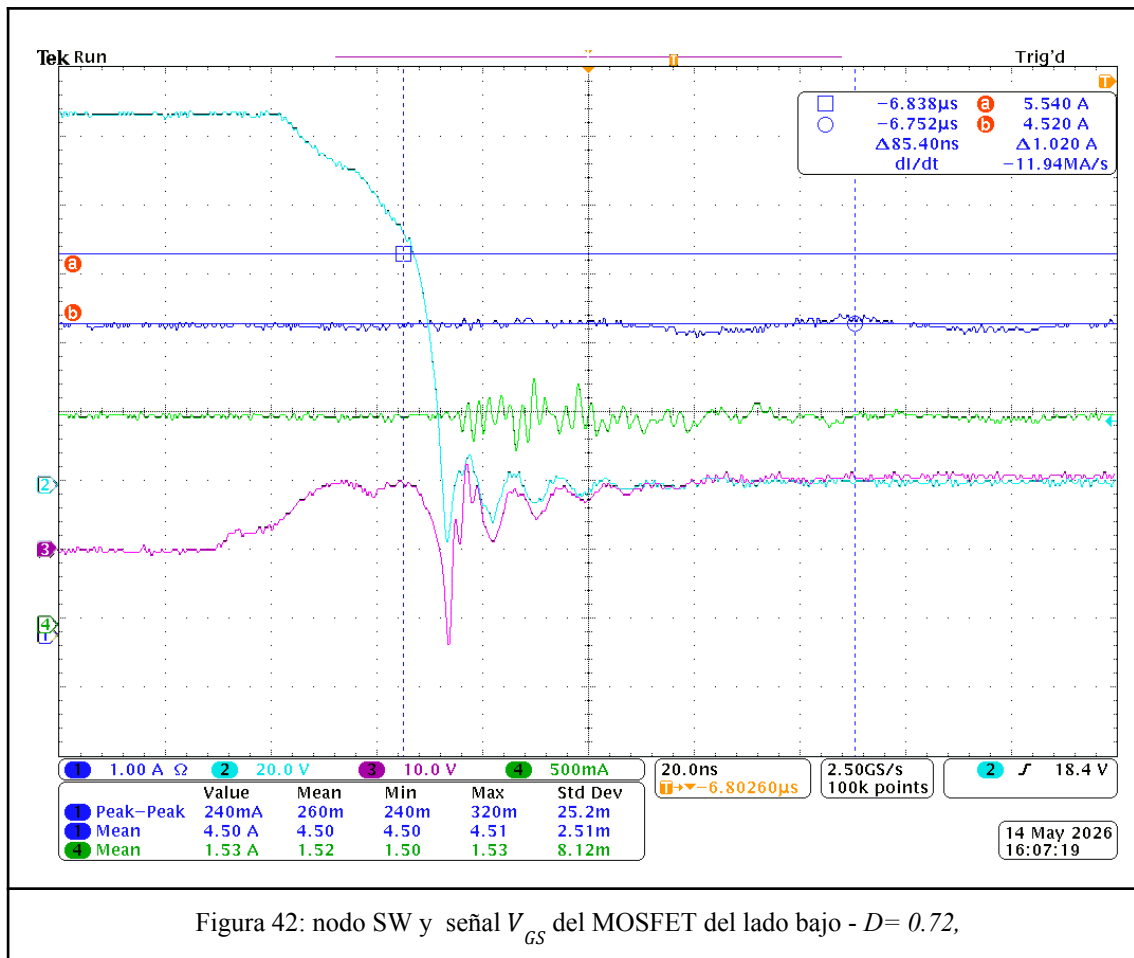


Figura 42: nodo SW y señal  $V_{GS}$  del MOSFET del lado bajo -  $D=0.72$ ,

Se plantea como hipótesis que el fenómeno es consecuencia del elevado  $dV/dt$  generado en el nodo  $SW$  durante la transición de conmutación, el cual se acopla capacitivamente hacia el terminal de gate del MOSFET del lado bajo a través de la capacidad  $C_{GD}$  del dispositivo, induciendo la tensión negativa observada en  $V_{GS}$ .

Debido a las limitaciones temporales del proyecto, la mitigación de este fenómeno se establece como línea de trabajo futuro. De todas maneras, se identifican las siguientes alternativas de solución:

1. Diodos Zener en antiparalelo: incorporar dos diodos Zener de 12V, en serie y en antiparalelo, entre los terminales gate y source del MOSFET del lado bajo, limitando directamente la excursión de  $V_{GS}$  ante perturbaciones transitorias.
2. Aumento de la resistencia de gate: incrementar  $R_G$  para reducir la velocidad de conmutación y, en consecuencia, el  $dV/dt$  en el nodo  $SW$ .
3. Capacidad adicional gate-source: incorporar un capacitor entre gate y source, incrementando la capacidad  $C_{GS}$  efectiva del dispositivo.

## 9. Lazo de control.

### 9.1 Modelo de la planta y simulación.

En esta sección se desarrolla y valida el modelado matemático de la planta. El objetivo es disponer de una expresión analítica que describa la dinámica del sistema

(transferencia entre la corriente del inductor y el ciclo de trabajo), y que resulte válida para el diseño del lazo de control.

Resulta de importancia destacar que, si bien en esta sección se realiza la modelización para un punto de operación específico, para otras condiciones de operación basta con ajustar los parámetros del modelo, siguiendo la metodología aquí descrita.

Se adopta el modelo de pequeña señal para la transferencia  $\frac{\tilde{i}_L}{\tilde{d}}$ , del convertidor tipo boost, la cual, despreciando pérdidas resistivas, se rige por la siguiente ecuación.

$$G_{\frac{\tilde{i}_L}{\tilde{d}}}(s) = \frac{V_{out} * (s + \frac{2}{C_{out} * R_o})}{L * (s^2 + \frac{s}{C_{out} * R_o} + \frac{(1-D)^2}{C_{out} * L})} \quad [\text{ecuación 18.}]$$

- $D$ : ciclo de trabajo en gran señal.
- $R_o$ : resistencia de carga del convertidor.

A fin de obtener un modelo más representativo del sistema físico, se incorpora la resistencia serie del inductor ( $rl$ ) y la resistencia serie del capacitor de salida ( $rc$ ). La expresión toma ahora la siguiente forma.

$$G_{\frac{\tilde{i}_L}{\tilde{d}}}(s) = \frac{V_{out} * (R_o + 2rc) * (s + \frac{1}{C_{out} * (R_o/2 + rc)})}{L * (R_o + rc) * [s^2 + \frac{C_{out} * [rl * (R_o + rc) + R_o * rc * (1-D)^2 + L]}{C_{out} * L * (R_o + rc)} * s + \frac{((1-D)^2 * R_o + rl)}{C_{out} * L * (R_o + rc)}]} \quad [\text{ecuación 19.}]$$

### 9.1.1 Estimación de parámetros.

El objetivo de esta sección es obtener los valores de los parámetros parásitos  $rc$  y  $rl$  de la ecuación 19. Para ello, se introduce experimentalmente un cambio de pequeña señal en la referencia de  $IL$  y, por comparación con resultados de simulación, se ajustan los valores de ambos elementos.

El resultado de la medición experimental para un cambio en la corriente del inductor de 0.76A a 0.88A se presenta en la figura 43.

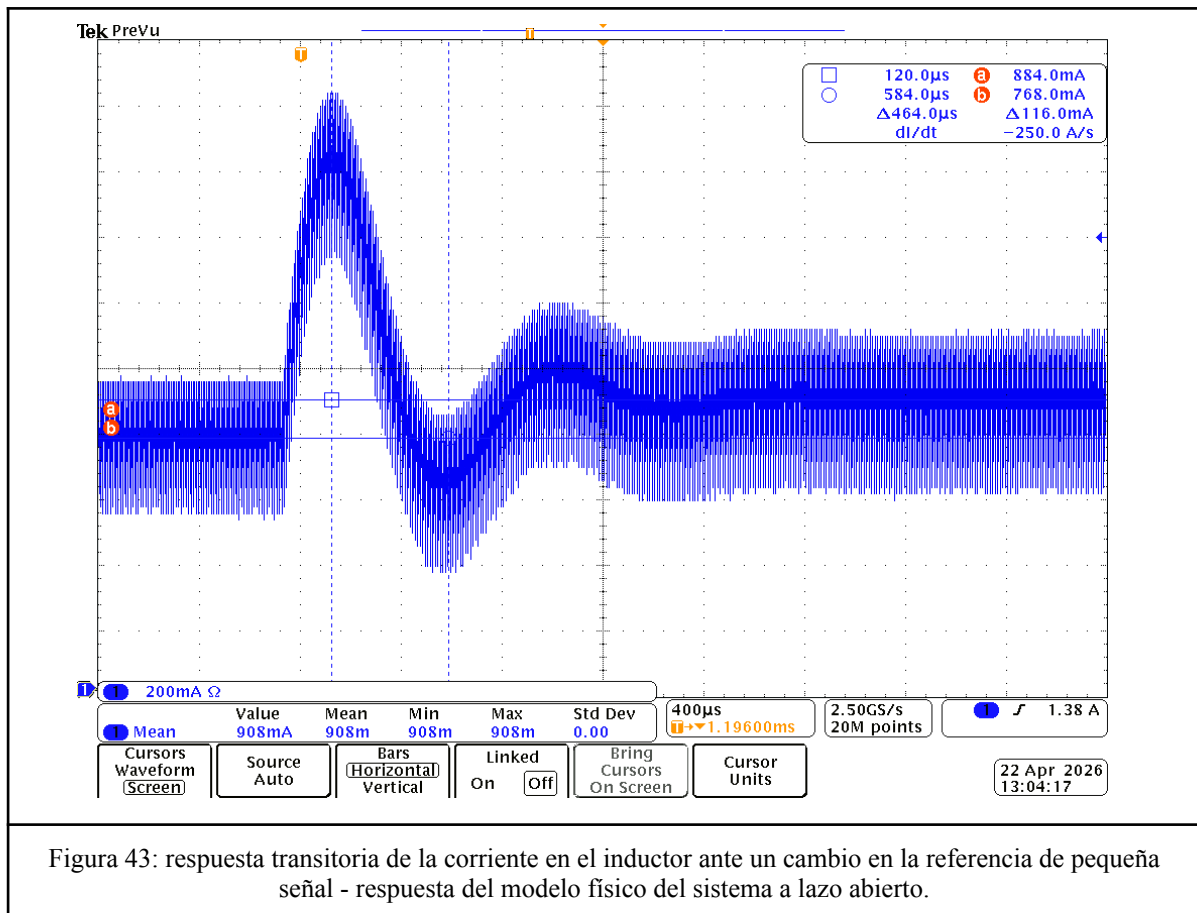


Figura 43: respuesta transitoria de la corriente en el inductor ante un cambio en la referencia de pequeña señal - respuesta del modelo físico del sistema a lazo abierto.

Para armar el modelo de simulación, se obtiene un valor aproximado de inductancia a partir del ripple de corriente del inductor obtenido de forma experimental, utilizando la relación teórica del convertidor boost en conducción continua. El cálculo se efectúa bajo las siguientes condiciones de operación:

- $D = 0,3$ .
- $V_{in} = 35V$ .
- $\Delta I_l = 400mA$ .

El resultado es un valor de inductancia aproximado de  $250\mu H$ .

Por otro lado, se adopta  $0,289\Omega$  como valor inicial de  $r_l$ , según la estimación que se presenta en el Anexo A. Como se mencionó previamente, el ajuste fino del valor se realizó por comparación entre simulación y la medición experimental de la figura 43. Finalmente se llega a un valor que mejor representa el modelo físico de  $r_l = 0,75\Omega$ .

Por otro lado, en una primera aproximación, la resistencia serie del capacitor de salida se desprecia. Sin embargo, a partir de la comparación entre las respuestas del sistema físico y las simulaciones, se observan diferencias que justifican su inclusión en el modelo.

Dado que el capacitor utilizado no dispone de hoja de datos, el valor de  $r_c$  se estima inicialmente a partir de valores típicos de ESR reportados en hojas de datos de capacitores de características similares. Posteriormente, este valor se ajusta en función de la concordancia entre resultados simulados y mediciones experimentales, se ajusta finalmente un valor de  $r_c = 0,15\Omega$ .

Finalmente, el modelo circuital se presenta en la figura 44 y la respuesta de este modelo, bajo las mismas condiciones de la prueba experimental de figura 43, se presenta en la figura 45.

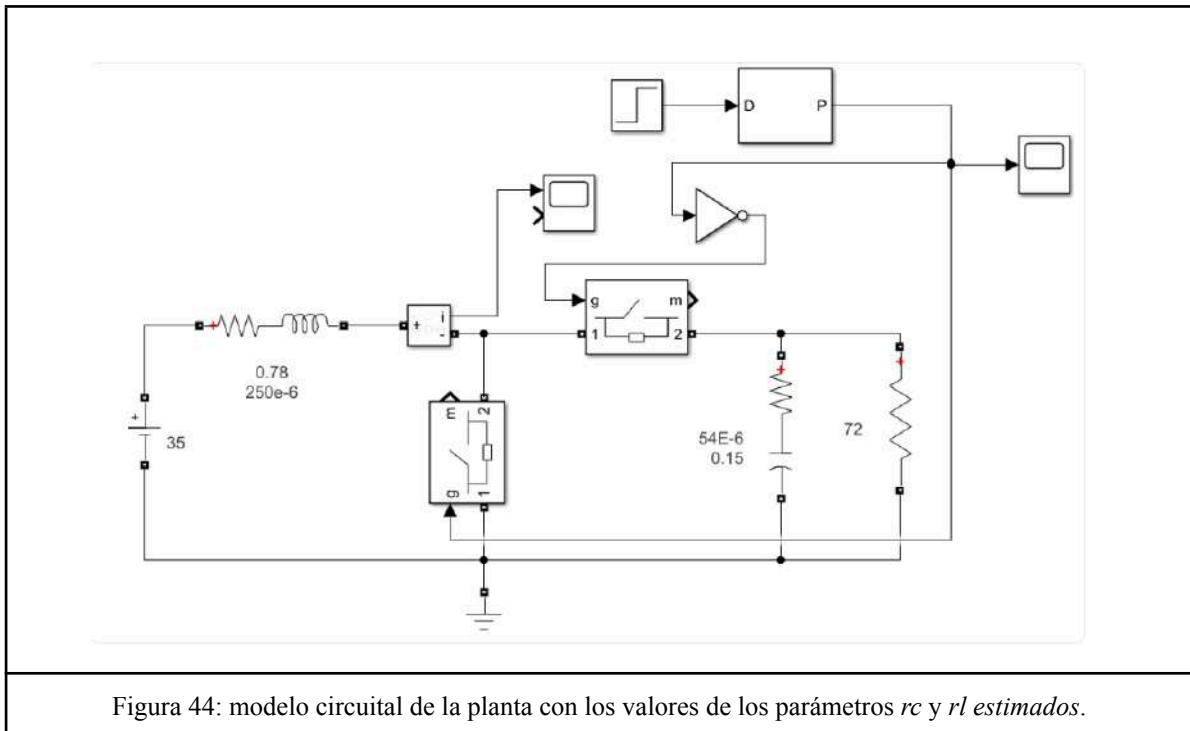


Figura 44: modelo circuital de la planta con los valores de los parámetros  $rc$  y  $rl$  estimados.

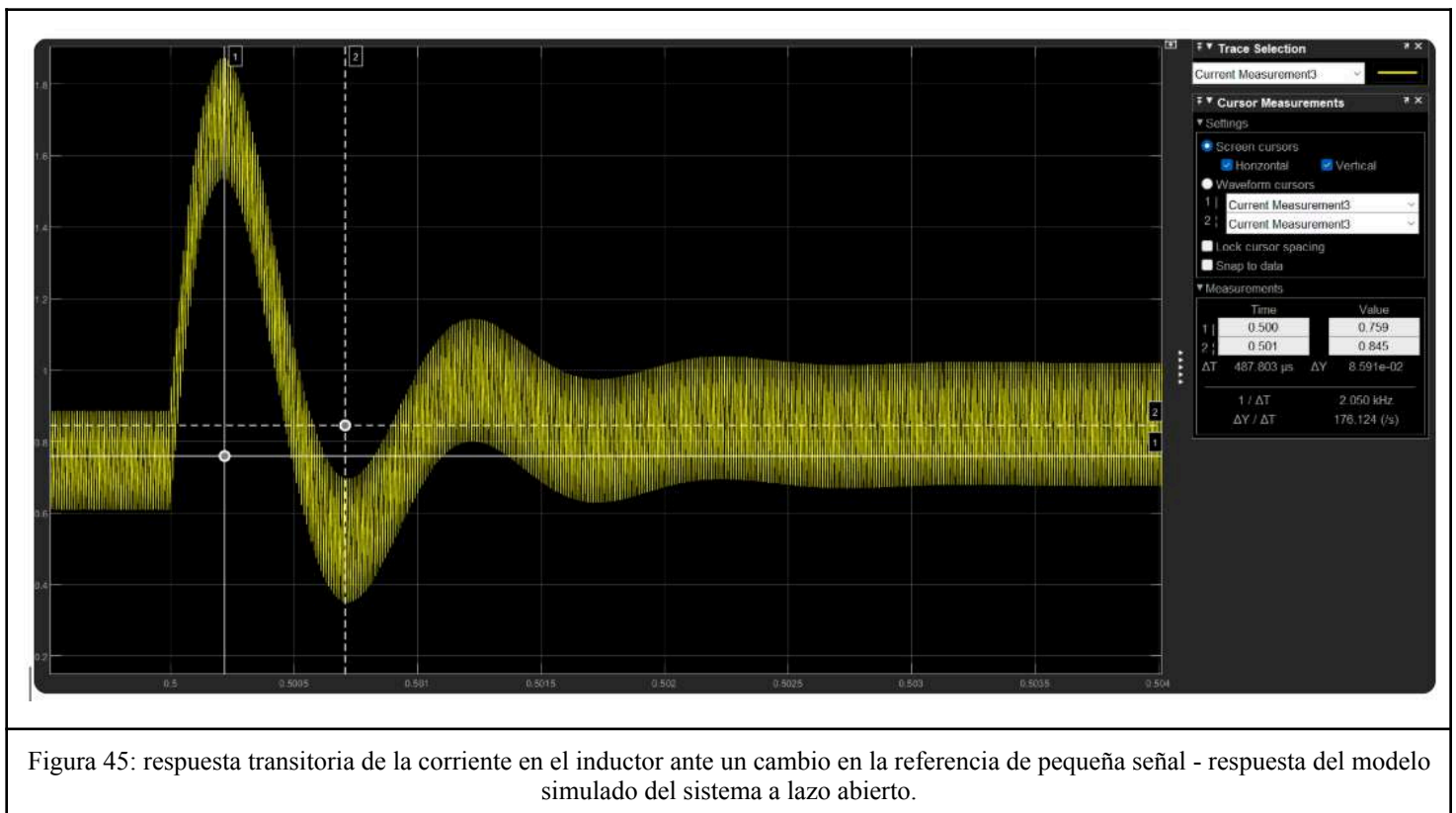


Figura 45: respuesta transitoria de la corriente en el inductor ante un cambio en la referencia de pequeña señal - respuesta del modelo simulado del sistema a lazo abierto.

Dada la buena concordancia entre el modelo simulado y el sistema físico, se adoptan los valores de  $r_c = 0,15\Omega$  y  $r_l = 0,75\Omega$  en la expresión analítica de la ecuación 19.

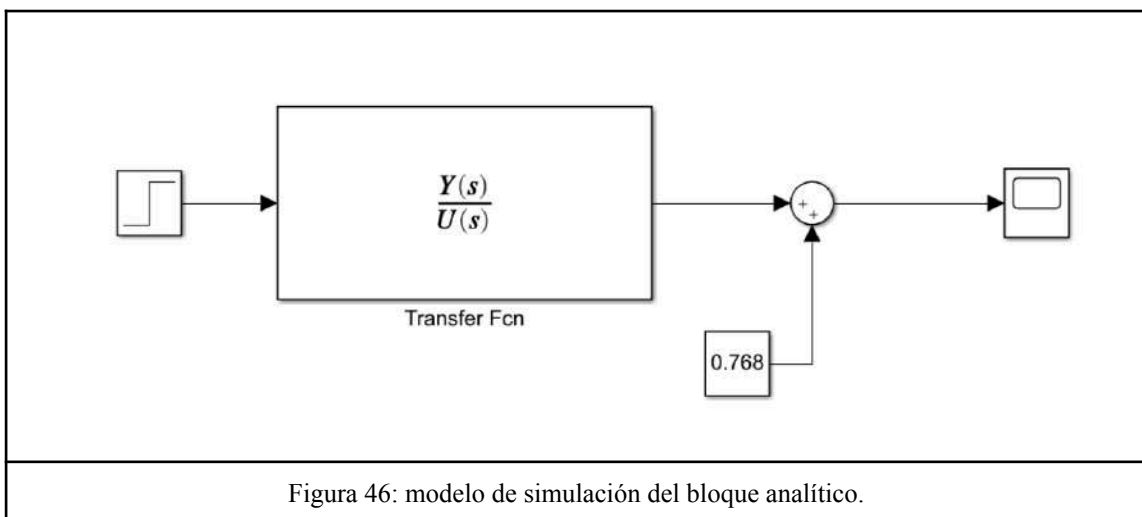
### 9.1.2 Validación del modelo matemático.

El objetivo de esta sección es validar el modelo matemático de la función de transferencia  $\frac{i\tilde{l}}{d\tilde{}}$  que se emplea posteriormente en el diseño del compensador para garantizar la estabilidad del sistema.

En primer lugar, se resuelve numéricamente la transferencia, para los siguientes parámetros:

- $D = 0,2$ .
- $V_{IN} = 35V$ .
- $L = 250\mu H$ .
- $C_{out} = 54\mu F$ .
- $R_o = 72\Omega$ .
- $r_c = 0,15\Omega$ .
- $r_l = 0,75\Omega$ .
- $f_{sw} = 100kHz$ .

Una vez obtenidos el numerador y denominador de la expresión, se obtiene la respuesta del modelo de la figura 46. Para la simulación se consideran las mismas condiciones de operación que las de la figura 43; además se incorpora el valor inicial de IL para mantener coherencia en las escalas y permitir una comparación directa.



En la figura 47 se presenta la respuesta del modelo analítico, superpuesta con la medición experimental para las mismas condiciones.

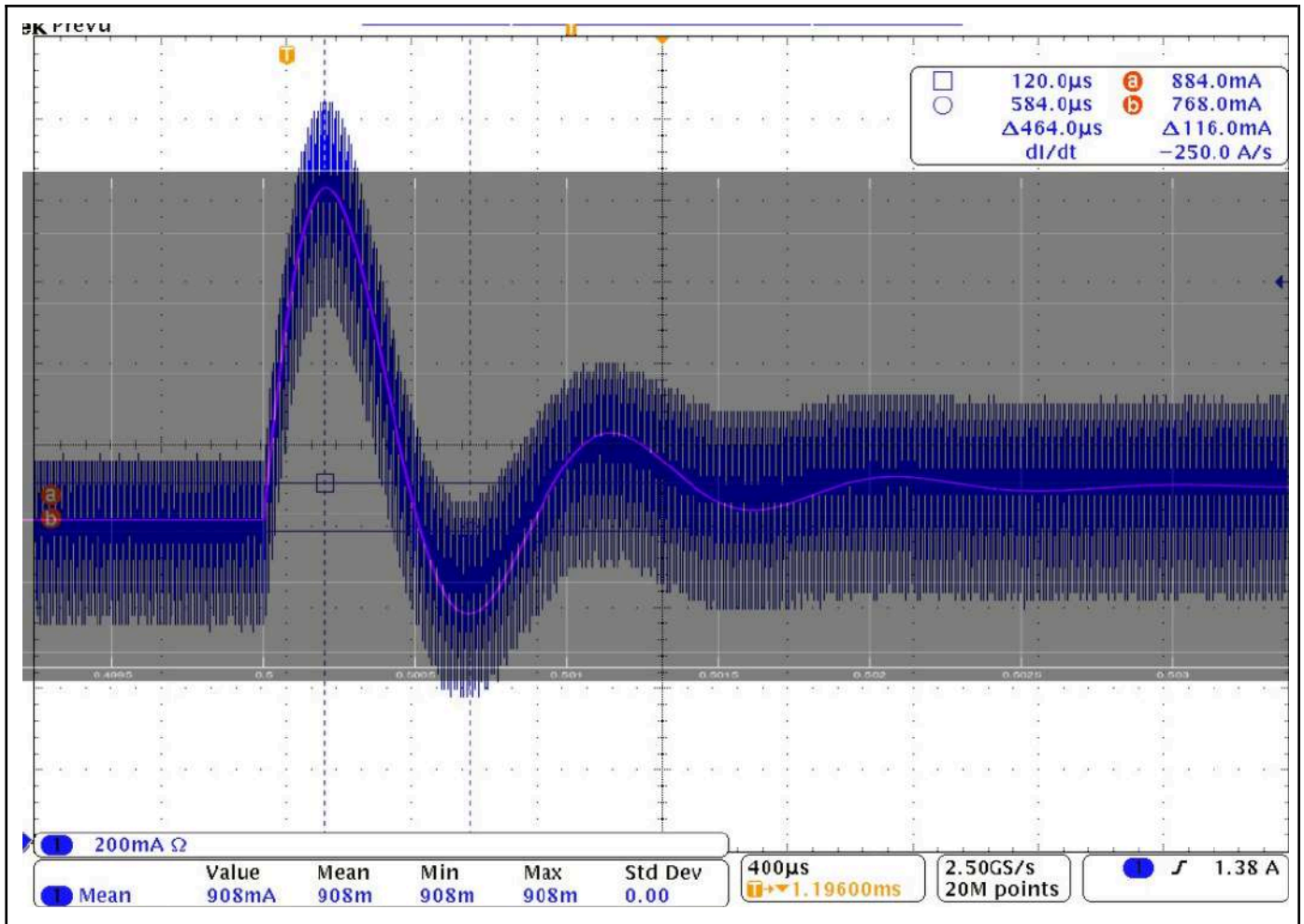


Figura 47: respuesta al escalón  $i/d$  en pequeña señal - respuesta por simulación del bloque analítico superpuesta con medición experimental.

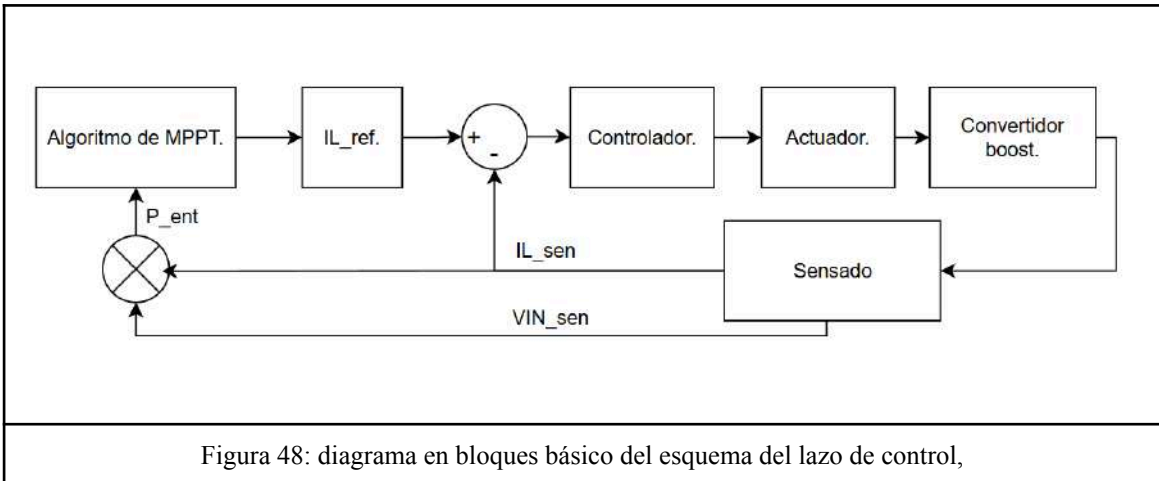
Los resultados muestran que la respuesta del modelo concuerda de forma aceptable con las mediciones experimentales, lo que valida su uso para el análisis y diseño del lazo de control.

### 9.2 Diseño del lazo cerrado.

En esta sección se diseña el compensador en base al modelo de pequeña señal de la transferencia  $\frac{i\tilde{L}}{d\tilde{}}$  que se obtiene en la sección previa. El objetivo del control es asegurar la estabilidad del sistema para todos los casos de operación, priorizando robustez y amortiguamiento frente a perturbaciones y resonancias del sistema físico.

El control tiene como finalidad regular el valor de corriente promedio del inductor a un valor de referencia dado. Dicho valor de referencia será generado en un lazo externo, asociado al algoritmo MPPT, que opera típicamente con tiempos de actualización del orden de las decenas/cientas de milisegundos. En este trabajo, el tiempo mínimo de actualización de la referencia queda definido por el ancho de banda del lazo interno, y se analiza experimentalmente en la sección 9.3.

El diagrama en bloques básico del esquema del lazo de control se presenta en la figura 48.

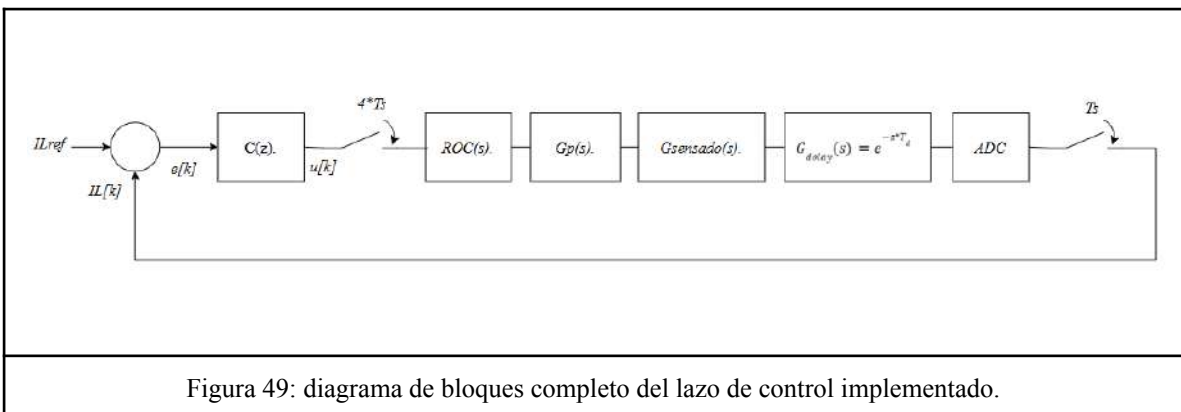


### 9.2.1 Estructura del lazo.

El controlador se implementa de forma digital sobre la plataforma de desarrollo LAUNCHXL-F28377S del fabricante Texas Instruments, por lo que resulta necesario discretizar el sistema.

En la figura 49 se presenta el diagrama de bloques completo del lazo de control implementado, donde se incluyen tanto la dinámica de la planta como los efectos asociados a la digitalización. Se identifican los siguientes bloques:

- Controlador digital  $C(z)$ .
- Retenedor de orden cero ( $ROC$ ).
- Planta del convertidor  $Gp(s)$ .
- Etapa de sensado de corriente  $G_{sensado}(s)$ .
- Conversor analógico-digital ( $ADC$ )
- Retardos asociados al procesamiento digital  $G_{delay}(s)$ .



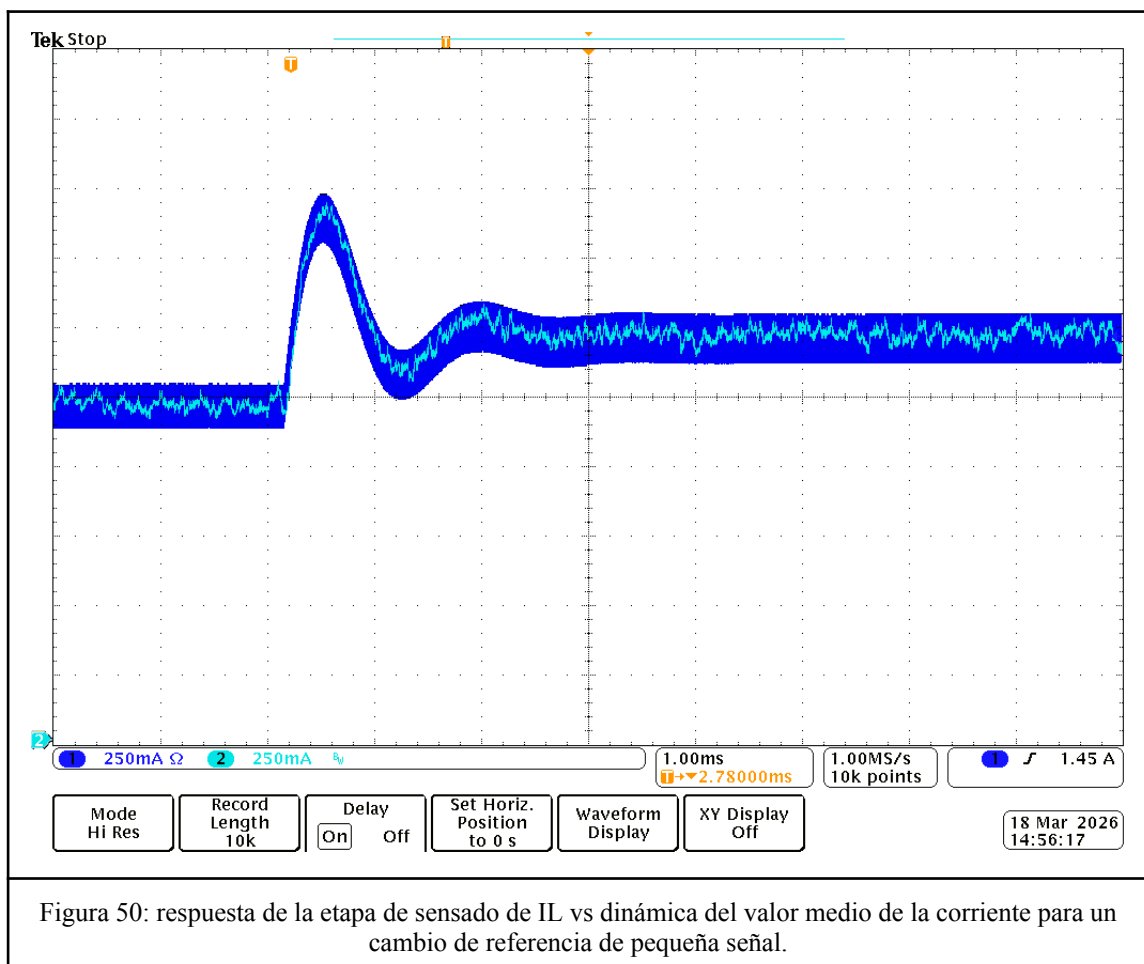
### 9.2.2 Consideraciones de la implementación digital.

A continuación, se describen los aspectos de la implementación digital que se tienen en cuenta en el diseño del controlador.

- Muestreo de la corriente: El muestreo del ADC se realiza de forma sincronizada con la señal PWM, tomando una muestra por período de conmutación. Por lo

tanto, el período de muestreo coincide con el período de conmutación ( $T_s = T_{sw}$ ).

- Actualización del ciclo de trabajo: el valor de ciclo de trabajo determinado por el controlador, se actualiza cada cuatro períodos de conmutación. Esto se debe a que, con el fin de atenuar el ruido de medición, se realiza un promedio de los valores sensados de corriente sobre cuatro períodos consecutivos. Este efecto se modela mediante un retenedor de orden cero con un tiempo de retención igual a  $4 \cdot T_s$ , denominado  $T_c$  (*periodo de control*).
- Etapa de sensado: la etapa de sensado de corriente presenta una dinámica propia. La ganancia del hardware de este bloque se compensa en el firmware. Además, como se observa en la figura 50, para un cambio de referencia en pequeña señal, la dinámica del sensor es superior a la dinámica del valor medio de la corriente. Por lo que, para el diseño del compensador, esta etapa se considera como un bloque unitario.



### 9.2.3 Modelado del retardo.

Los distintos efectos asociados a la implementación digital se agrupan en un retardo total equivalente. En particular, se consideran las siguientes contribuciones:

- Retardo asociado a la actualización del PWM: la actualización del ciclo de trabajo no es inmediata. El nuevo valor calculado se carga en un registro de

shadow y se hace efectivo en el siguiente período de conmutación, introduciendo un retardo equivalente a  $T_s$ .

- Retardo asociado al cálculo del promedio: el promedio de cuatro muestras consecutivas introduce un retardo adicional que se aproxima como  $2.5 \cdot T_s$ .

El retardo total, se conforma por la sumatoria de los previamente mencionados, dando un valor aproximado de  $25\mu s$ . Este retardo se modela en el dominio  $s$  mediante la siguiente expresión.

$$G_{delay}(s) = e^{-s \cdot T_d}$$

- $T_d =$  retardo total del lazo.

### 9.2.4 Diseño del compensador.

Para el diseño del controlador se utiliza el modelo continuo de la planta junto con el retardo equivalente estimado en la sección anterior. La discretización del compensador resultante se realiza en la sección 9.2.5.

En primer lugar, se evalúa la planta en distintos puntos de operación con el fin de identificar el caso más desfavorable en términos de estabilidad. Como punto de partida se toman los valores de ciclo de trabajo límite para las condiciones de operación descritas en la sección 3.3, considerando un margen adicional; el análisis abarca el rango de  $D=0.2$  a  $D=0.8$ . Los diagramas de Bode de la planta para los casos límite e intermedios se presentan en la figura 51.

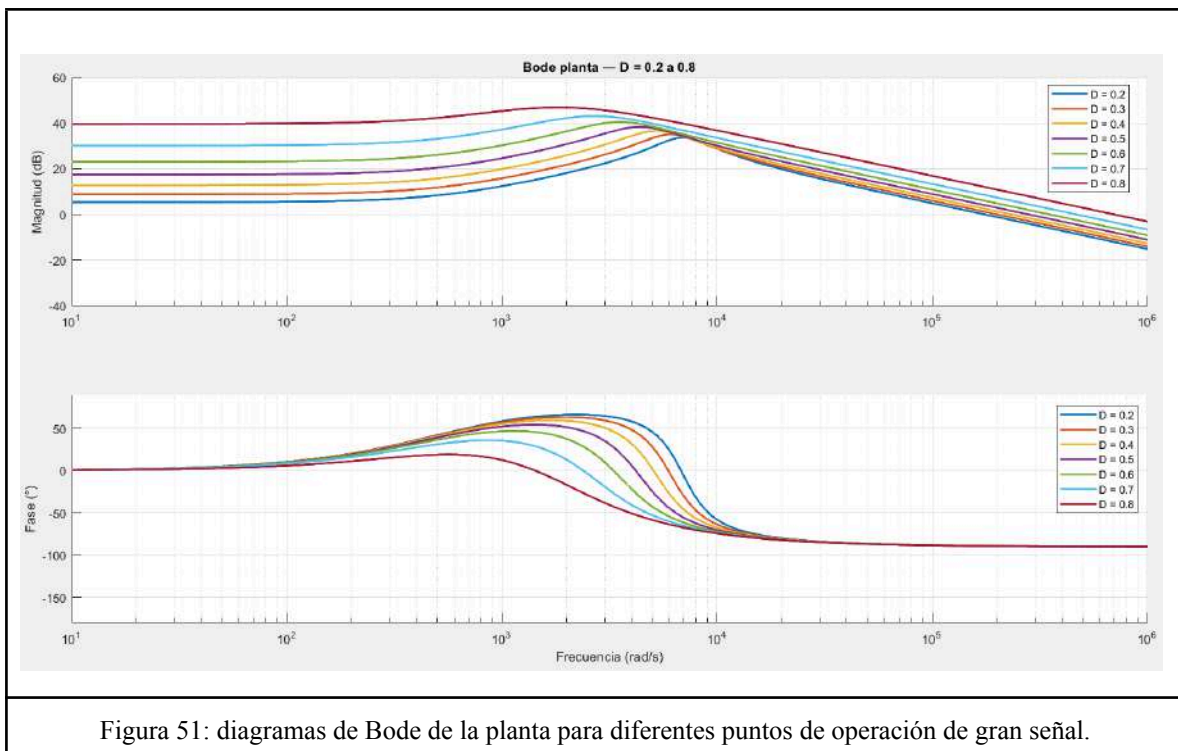


Figura 51: diagramas de Bode de la planta para diferentes puntos de operación de gran señal.

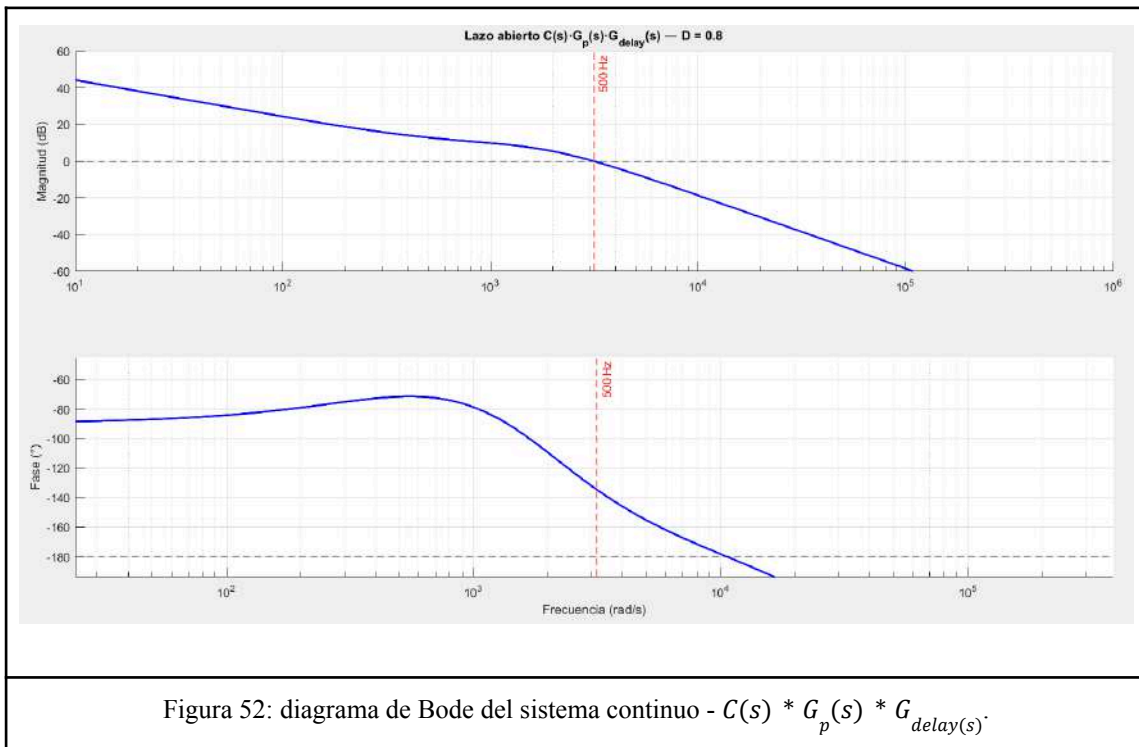
Inicialmente se evaluó una estructura PI convencional. Sin embargo, la incorporación del cero del compensador incrementa la ganancia del lazo en la región próxima a la

resonancia de la planta, reduciendo el amortiguamiento efectivo del sistema. Bajo estas condiciones, el sistema presentaba una mayor sensibilidad frente a perturbaciones y ruido de medición, observándose oscilaciones en la respuesta temporal. Por este motivo, se optó por una estructura de integrador puro, la cual permite reducir la ganancia en la región resonante y obtener una respuesta más robusta, a costa de sacrificar ancho de banda para garantizar estabilidad en todo el rango de operación del convertidor.

El compensador de tipo integrador resultante del diseño, para el caso más desfavorable ( $D=0.8$ ), con una frecuencia de cruce por 0dB de 500Hz, es el siguiente.

$$C(s) = \frac{16.881666}{s}$$

El diagrama de Bode resultante del lazo ( $C(s) * G_p(s) * G_{delay(s)}$ ), se presenta en la figura 52.



Dado que los parámetros de la planta varían según el punto de operación en gran señal, el ancho de banda resultante del sistema no es fijo, y las condiciones de estabilidad tampoco lo son. En la tabla 5 se presentan los márgenes de fase y ganancia obtenidos para el modelo continuo en distintos puntos de operación. Los resultados garantizan una respuesta estable en todas las condiciones de operación previstas.

$D$	$PM$ (°)	$GM$ (dB)
0,2	93,3	33,1
0.3	94,9	31,6
0.4	97,6	29,9
0.5	102,7	28,1

0.6	113,6	25,9
0.7	87	23,2
0,8	45,4	19,6

Tabla 5: márgenes de estabilidad del sistema continuo.

Con respecto al ancho de banda resultante, el tiempo de respuesta del sistema se analiza experimentalmente para el caso más desfavorable, correspondiente a un cambio en la referencia en torno a un punto de operación en gran señal de  $D=0,2$ . En función de ese resultado se define el tiempo mínimo de establecimiento de la referencia del algoritmo MPPT externo. Este análisis se presenta en la sección 9.3.

### 9.2.5 Discretización del controlador.

Dado que el controlador se implementa digitalmente, es necesario discretizar la función de transferencia obtenida en el dominio continuo. Para ello, se emplea la transformación bilineal (Tustin), que mapea el semiplano izquierdo del plano continuo  $s$ , donde se diseña el controlador, al interior del círculo unitario del plano  $z$ . Esta transformación introduce una distorsión en frecuencia conocida como warping, por la cual una frecuencia  $\omega$  en el dominio continuo, se mapea a una frecuencia digital  $\widehat{\omega}_d$ , del plano donde se diseñó el controlador, según la ecuación 20.

$$\widehat{\omega}_d = \frac{2}{T_c} * \tan^{-1}\left(\frac{\omega * T_c}{2}\right). \quad [\text{ecuación 20}].$$

En este caso, para la frecuencia de cruce del lazo  $\omega = 2 * \pi * 500\text{Hz}$  y el periodo de control  $T_c = 40\mu\text{s}$ , el error de distorsión se calcula según la ecuación 21.

$$e = \left(1 - \frac{\widehat{\omega}_d}{\omega}\right) * 100 = 0.13\% \quad [\text{ecuación 21}].$$

Dado que la distorsión resulta despreciable, el controlador se diseña en el dominio continuo  $s$  y se discretiza directamente sin aplicar técnicas de pre-warping.

La expresión del controlador en  $z$  obtenida es la siguiente.

$$C(z) = \frac{K_i * (z+1)}{z-1} = \frac{0.000338 * (z+1)}{z-1}$$

Y la ecuación en diferencias equivalente, implementada en el firmware del sistema de control es:

$$u[k] = u[k - 1] + K_i * (e[k] + e[k - 1]).$$

### 9.2.6 Validación en el dominio discreto.

Una vez discretizado el controlador, se construye el modelo de lazo abierto del sistema en el dominio discreto, es decir,  $C(z) * G_p(z) * G_{delay}(z)$ .

Se realiza el análisis en frecuencia del sistema discreto evaluando la función de transferencia sobre el círculo unitario ( $z = e^{j\omega T}$ ) para obtener y comparar los diagramas de Bode equivalentes del sistema discreto con la del modelo continuo. Los resultados se presentan en la figura 53.

Se verifica que, en el rango de frecuencias de interés, ambas respuestas coinciden de manera satisfactoria. Las diferencias observadas a altas frecuencias se deben al efecto de warping mencionado..

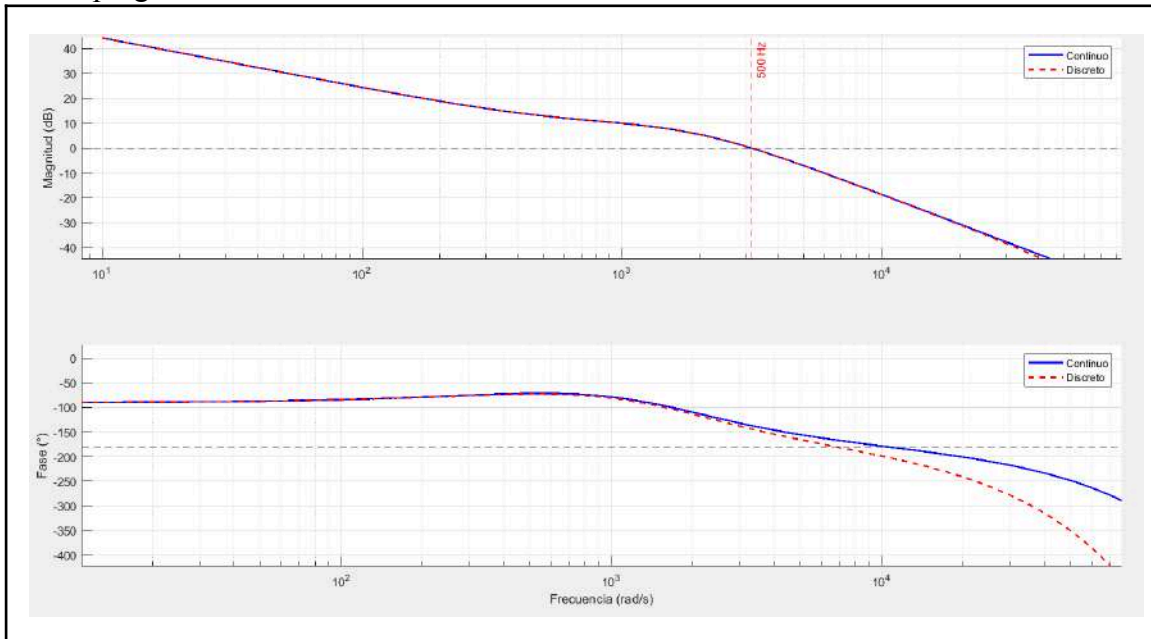


Figura 53: diagrama de Bode de lazo del sistema continuo vs el sistema discreto.

### 9.3 Comportamiento del sistema a lazo cerrado.

En esta sección se presentan y analizan los resultados del sistema operando en lazo cerrado. A partir de la respuesta experimental ante un cambio en la referencia de corriente, y su comparación con el modelo de simulación, se valida el comportamiento dinámico del lazo de corriente y se determina el tiempo mínimo de actualización de la referencia para el algoritmo MPPT.

#### 9.3.1 Modelo de simulación.

El modelo de simulación del lazo cerrado se presenta en la figura 54, el mismo integra los siguientes bloques:

- **Modelo del convertidor:** este bloque corresponde al modelo circuital del convertidor boost con los parámetros estimados en la sección 9.1.
- **Controlador digital:** se implementa mediante un bloque de tipo *MATLAB function*, en el cual se reproduce el código de la rutina de interrupción (ISR) principal del sistema real, escrita originalmente en C para el microcontrolador. La lógica equivalente se implementó en un archivo .m. Ambos códigos se presentan en el Anexo G.
- **Etapa de sensado:** se modela mediante una función de transferencia en el dominio s con ganancia unitaria y un polo a 2 kHz, correspondiente al ancho de banda de la transferencia a lazo cerrado de la etapa amplificadora, presentada en

la sección 5.1.5. La ganancia unitaria refleja que la ganancia del hardware se compensa por firmware.

- **Generación del PWM:** se utiliza el bloque generador de PWM que ofrece Simulink, configurado con ganancia unitaria, en correspondencia con la implementación en firmware del sistema real. A continuación de este bloque se incorpora un cuantificador para modelar la resolución finita en la generación del ciclo de trabajo, cuyo valor en el sistema físico es de  $1/2000$

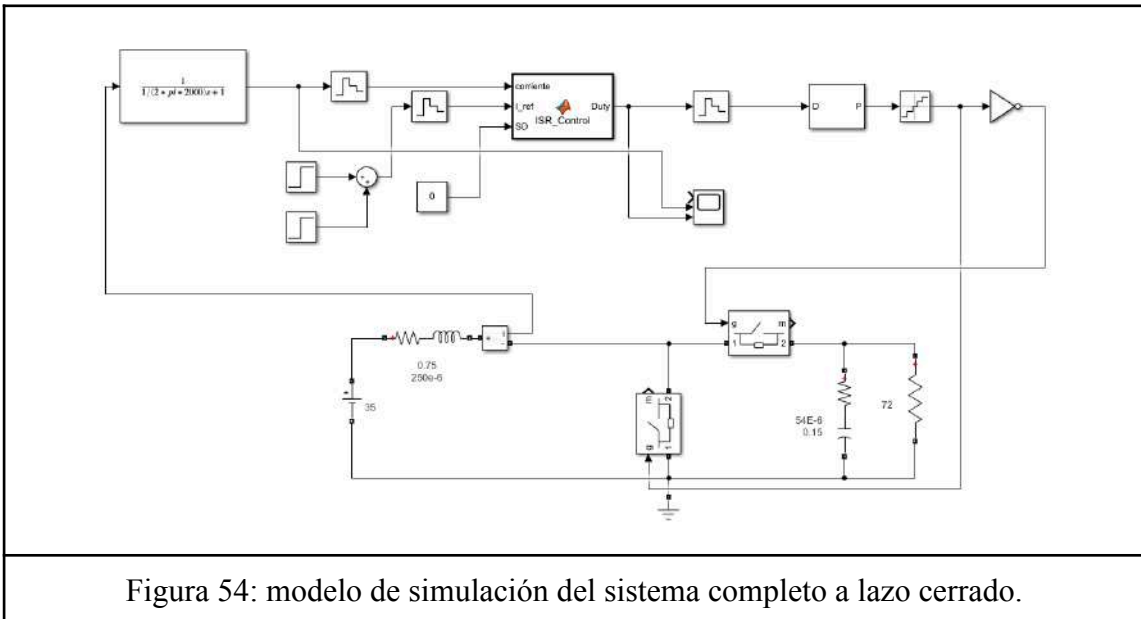


Figura 54: modelo de simulación del sistema completo a lazo cerrado.

### 9.3.2 Ensayo experimental y análisis de resultados.

Para validar el modelo y determinar el tiempo mínimo de actualización de la referencia del algoritmo MPPT, se realizó un ensayo de respuesta al escalón del lazo de corriente. El ensayo se llevó a cabo para el punto de operación de gran señal más desfavorable en términos de ancho de banda, correspondiente a  $D = 0,2$ . Bajo esta condición, se aplicó un cambio en la referencia de corriente del inductor de 0,8 A a 1 A, lo que corresponde a ciclos de trabajo en estado estacionario de 0,2 y 0,28 respectivamente.

La señal experimental fue obtenida a partir de un archivo de puntos (.csv) exportado desde el osciloscopio y procesada aplicando un promedio de ventana deslizante de  $10 \mu s$ , con el fin de eliminar el ripple de conmutación. Ambas respuestas, la simulada y la experimental, se presentan superpuestas en la misma escala de amplitud y temporal en la figura 55.

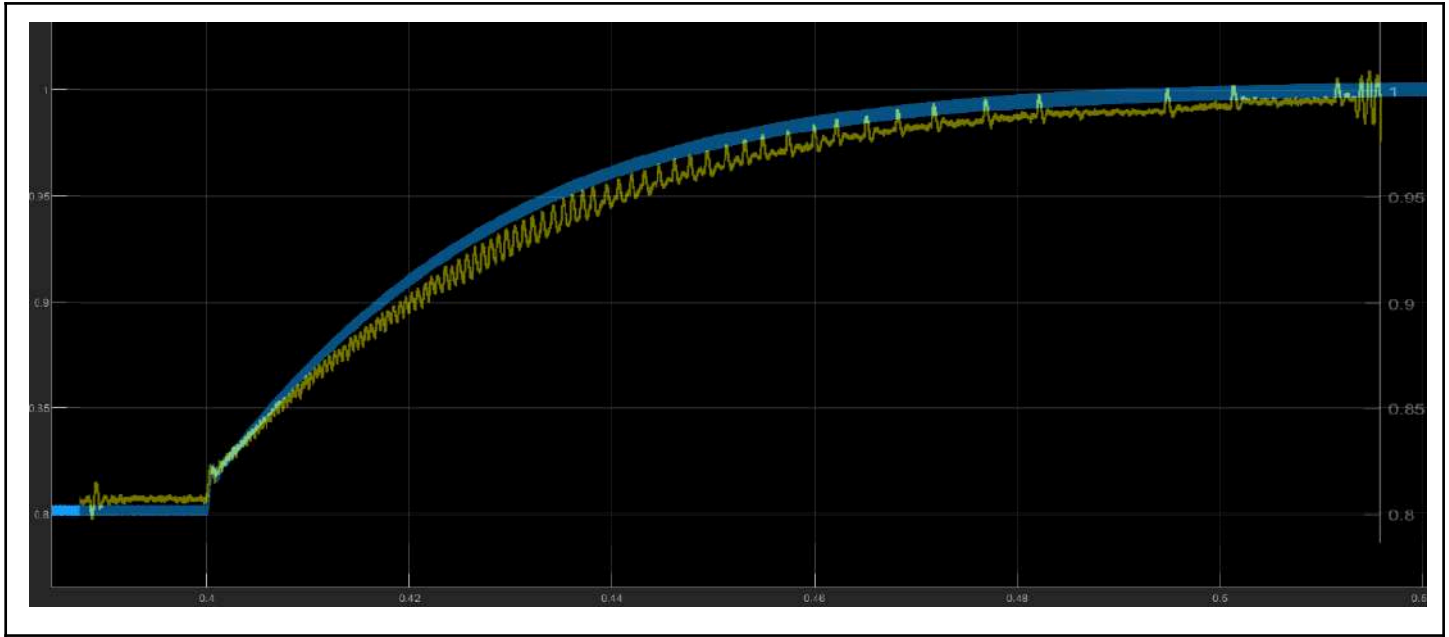


Figura 55: respuesta a lazo cerrado del sistema simulado (señal celeste) vs. medición experimental (señal amarilla).

A partir de la figura 55 se desprenden las siguientes conclusiones principales.

#### **Validación del modelo de simulación**

La respuesta del modelo simulado presenta una pequeña diferencia de ganancia respecto de la medición experimental; sin embargo, dicha diferencia es despreciable, y la constante de tiempo de respuesta y dinámica del transitorio, concuerdan de forma satisfactoria con el comportamiento real del sistema. Se concluye entonces, que el modelo de simulación planteado es representativo y apropiado para el diseño y análisis del lazo de control.

#### **Tiempo de establecimiento y período mínimo del MPPT**

El tiempo de establecimiento medido en la condición más desfavorable, en términos de ancho de banda ( $D = 0,2$ ), es de aproximadamente 100 ms. Este valor, define la cota superior del tiempo de establecimiento en el rango de operación provisto del convertidor. A partir de este resultado, y considerando un margen de seguridad, se establece un tiempo mínimo de actualización de la referencia del algoritmo MPPT de 120 ms.

Por último, se observan pequeñas oscilaciones en la medición experimental, las cuales se atribuyen principalmente a ruido de medición. En este contexto, resulta pertinente mencionar que durante el desarrollo del trabajo se detectó la presencia de un ciclo límite originado por la resolución finita del ciclo de trabajo de la señal de control. Este fenómeno se manifestaba como una oscilación sostenida en torno al punto de referencia y fue resuelto incrementando la frecuencia de reloj interna empleada para la generación de las señales PWM a través de los módulos ePWM del microcontrolador, pasando de 50 MHz a 200 MHz, lo que permitió aumentar la resolución del ciclo de trabajo de 1/500 a 1/2000. El microcontrolador TMS320F28377S cuenta además con un módulo dedicado denominado HRPWM (High Resolution PWM), el cual permite extender significativamente la resolución en la generación del ciclo de trabajo. La implementación de dicho módulo se plantea como línea de trabajo futuro, dado que su

configuración implica un esfuerzo de desarrollo que excede el alcance del presente proyecto.

## 10. Conclusiones.

El presente trabajo consistió en el diseño, implementación y validación de un prototipo de plataforma experimental orientada a la evaluación de algoritmos de seguimiento del punto de máxima potencia (MPPT) en sistemas fotovoltaicos.

En cuanto al diseño del hardware, el plan inicial contemplaba utilizar una placa de potencia ya existente; sin embargo, esta resultó incompatible con los niveles de tensión y corriente requeridos por la aplicación, lo que obligó a descartar su uso. Esta circunstancia constituyó el principal punto de inflexión del proyecto y derivó en el diseño y fabricación de una placa propia, basada en un convertidor elevador (boost) síncrono con frecuencia de conmutación de 100 kHz, demandando un dimensionamiento integral de todos sus componentes

Las mediciones a lazo abierto de la etapa de potencia confirmaron el correcto funcionamiento del convertidor, con una eficiencia promedio próxima al 93% para el rango de puntos de operación ensayado. Durante esta etapa se detectaron oscilaciones críticas en el nodo de conmutación, las cuales significaban un riesgo en la integridad de los componentes semiconductores. Dichas oscilaciones fueron atribuidas a la coexistencia de la carga de recuperación inversa del diodo de cuerpo del MOSFET del lado alto y una resonancia parásita en el lazo de conmutación. Mediante la implementación de una red snubber RC, la reducción de la tensión de disparo y el aumento de las resistencias de gate, se logró reducir la amplitud pico negativa en el nodo SW en un 70%, garantizando la operación dentro de los límites de los dispositivos.

En lo que respecta al lazo de control, se obtuvo y validó el modelo matemático de la planta mediante estimación experimental de parámetros parásitos y comparación con simulaciones en MATLAB-Simulink. Se diseñó un compensador de tipo integrador puro, que prioriza robustez y amortiguamiento frente a perturbaciones en todo el rango de operación del convertidor, con una frecuencia de cruce de 500Hz y márgenes de estabilidad garantizados para  $D$  entre 0,2 y 0,8. El controlador fue discretizado mediante transformación bilineal (Tustin) e implementado en el microcontrolador TMS320F28377S de Texas Instruments. La validación experimental del lazo cerrado mostró una buena concordancia con las simulaciones, con un tiempo de establecimiento de aproximadamente 100 ms para el caso más desfavorable ( $D = 0,2$ ). En función de este resultado, se estableció un tiempo mínimo de actualización de la referencia del algoritmo MPPT de 120 ms.

En términos generales, el proyecto logró cumplir con los objetivos redefinidos durante su desarrollo: la implementación y validación de un lazo de control de corriente del convertidor, sentando las bases para la posterior incorporación de algoritmos de MPPT sobre la plataforma construida.

## 11. Trabajos futuros.

A partir de los resultados obtenidos y las limitaciones identificadas a lo largo del proyecto, se proponen las siguientes líneas de trabajo futuro:

- **Implementación y validación del algoritmo MPPT.** La plataforma desarrollada proporciona la infraestructura necesaria para implementar y comparar distintos algoritmos MPPT sobre el convertidor construido. La

implementación efectiva de dichos algoritmos queda pendiente y constituye la línea de continuidad directa del proyecto.

- **Validación experimental con panel fotovoltaico real.** Las pruebas realizadas se efectuaron con una fuente de alimentación de laboratorio como generador equivalente. La validación completa del sistema requiere ensayos con el panel fotovoltaico real TPB156X156-72-P disponible en el LIC, bajo distintas condiciones de irradiancia y temperatura.
- **Implementación del módulo HRPWM.** El módulo HRPWM del microcontrolador TMS320F28377S ofrece resolución sub-nanosegundo en la generación del ciclo de trabajo, lo que podría mejorar la precisión del control de corriente.
- **Desarrollo de la interfaz de usuario.** La interfaz prevista para la visualización de curvas características I-V y P-V del panel fotovoltaico no fue completada en el presente proyecto. Su desarrollo constituye un complemento natural para la plataforma, y aportaría valor significativo desde el punto de vista didáctico de la herramienta.

## Anexo A: estimación de pérdidas en el inductor.

En esta sección se realiza la estimación de las pérdidas en el inductor, considerando contribuciones por efecto resistivo en el cobre (DC y AC) y pérdidas en el núcleo magnético.

### Pérdidas en el cobre (DC).

La resistencia en continua del devanado se estima como:

$$Rcu_{DC} = \frac{N * MTL * \rho_{cu}}{S_{cu}} = \frac{36 * 0.07m * 1.8 * 10^{-8} \frac{\Omega}{m}}{2 * 10^{-6} m^2} = 0.0226 \Omega$$

Siendo:

- N = número de espiras,
- MTL = longitud de cobre por vuelta.
- $\rho_{cu}$  = resistividad del cobre.
- $S_{cu}$  = sección transversal del núcleo..

Las pérdidas en continua se calculan para la condición más exigente, correspondiente a la corriente eficaz máxima del inductor.

$$P_{DC} [W] = I_{rms}^2 * Rcu_{DC} = (8.2A)^2 * 0.0226 \Omega = 1.37W$$

### Pérdidas en el núcleo.

Las pérdidas volumétricas del núcleo se obtienen a partir de la expresión provista en la hoja de datos del material.

$$P_{\text{nucleo/volumen}} \left[ \frac{\text{mW}}{\text{cm}^3} \right] = \frac{f}{\frac{a}{B_{pk}^3} + \frac{b}{B_{pk}^{2.3}} + \frac{c}{B_{pk}^{1.65}}} + d * B_{pk}^2 * f^2 = 25.8 \frac{\text{mW}}{\text{cm}^3}$$

Siendo:

- $f=100000$  (frecuencia en Hz).
- $a=7.890E+09$ .
- $b=7.111E+08$ .
- $c=8.980E+06$ .
- $d=2.846E-14$
- $B_{pk} [\text{Gauss}] = \frac{(\Delta I_{pp}/2) [A] * L [\text{uHy}]}{N * S} = \frac{0.665A * 208\text{uHy}}{36 * 1.99\text{cm}^3 * 10^2} = 193 \text{ Gauss}$

Finalmente, considerando el volumen del núcleo:

$$P_{\text{núcleo}} [W] = 25.8 \frac{\text{mW}}{\text{cm}^3} * 21.3\text{cm}^3 = 0.553W$$

### Pérdidas en el cobre (AC – efecto skin).

Para estimar las pérdidas por efecto skin, se calcula la profundidad de penetración, a la frecuencia de conmutación.

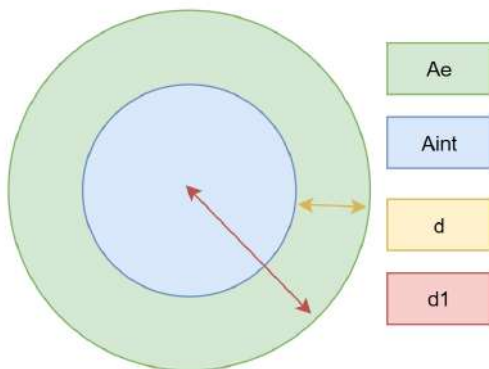
$$\delta = \sqrt{\frac{\rho_{cu}}{\pi * f * u_0 * u_r}} = 0.24\text{mm}$$

Siendo::

- $\rho_{cu} = 2.3 \times 10^{-8} \Omega * m, @100^\circ\text{C}$
- $u_r = 1$ .

De esta forma, el área efectiva de conducción para un conductor AWG14 se aproxima como:

$$A_e = A_{d1} - A_{int.}$$



$$A_e [mm^2] = \pi * (d1 - (d1 - d)^2) = 0.87 \text{ mm}^2$$

- $d = \text{diámetro de penetración.}$
- $d1 = \text{diámetro de cobre AWG14.}$

$$A_e [mm^2] = \pi * (0.8^2 - 0.6^2) = 0.87 \text{ mm}^2$$

A partir del área efectiva, se calcula la resistencia equivalente en alterna.

$$R_{cu_{DC}} = \frac{N * MTL * \rho_{cu}}{S_{cu}} = \frac{36 * 0.07m * 1.8 \times 10^{-8} \frac{\Omega}{m}}{870 \times 10^{-9} m^2} = 0.053 \Omega$$

Dado que esta contribución no incrementa significativamente las pérdidas totales respecto a la componente en continua, se considera despreciable en el balance final

### Resumen de pérdidas.

- Pérdidas en cobre (DC): 1.37 W.
- Pérdidas en núcleo: 0.553 W.
- Pérdidas en cobre (AC): despreciables.

$$P_{\text{totales}} \approx 1.92W.$$

## Anexo B: estimación de pérdidas en las llaves del convertidor.

En esta sección se presenta el código desarrollado para realizar la estimación de pérdidas en los MOSFETs. Las ecuaciones utilizadas se basan en la nota de aplicación “*A practical switching loss model for buck voltage regulators*” [21], adaptada a la topología boost.

### Código de MATLAB:

Función para calcular las pérdidas por conmutación en un boost sincrónico del MOSFET LS, el MOSFET HS presenta conmutación suave, por lo que se desprecian las pérdidas de conmutación en el mismo.

`function` [Psw\_total, Psw\_on, Psw\_off] = perdidas\_conmutacion\_boost(Vin, Vout, RI, Iripple, fsw, Qgs, Qgd, Vdriver\_on, Vdriver\_off, Vplateau, Rdriver, Rgate)

```
% Corriente media del inductor (CCM)
D = 1 - (Vin / Vout);
Iout= Vout/RI;
IL = Iout / (1 - D);
% Corriente del gate
Ig_on = (Vdriver_on - Vplateau) / (Rdriver + Rgate);
Ig_off= (-Vdriver_off - Vplateau) / (Rdriver + Rgate);
% Tiempos de subida y bajada
t_rise = (Qgs + Qgd) / Ig_on; %t1+t2
t_fall = (Qgs + Qgd) / Ig_off; %t3+t4
% Corrientes en los eventos de conmutación
Ion = IL - Iripple / 2;
Ioff = IL + Iripple / 2;
% Pérdidas por encendido y apagado
Psw_on = 0.5 * Vout * Ion * fsw * t_rise;
Psw_off = 0.5 * Vout * Ioff * fsw * t_fall;
% Pérdidas totales por conmutación
Psw_total = Psw_on + Psw_off;
end
```

% Función para calcular las pérdidas por conducción en un boost sincrónico.

`function` [Pcond\_HS, Pcond\_LS, Irms\_HS, Irms\_LS, ILrms] = perdidas\_conduccion\_boost(Vin, Vout, RI, Iripple, Rds\_on\_HS, Rds\_on\_LS)

```
% Calcula el ciclo de trabajo
D = 1 - (Vin / Vout);
Iout= Vout/RI;
% Corriente en el inductor.
IL = Iout / (1 - D);
```

```

ILrms = sqrt( ( (IL + Iripple/2) ^2 + (IL - Iripple/2)^2 + (IL - Iripple/2)*(IL + Iripple/2) ) /3 );
% Corriente RMS en MOSFET principal (LS)
Irms_LS = (sqrt(D)) * ILrms ;
% Corriente RMS en MOSFET síncrono (HS)
Irms_HS = (sqrt(1 - D)) * ILrms ;
% Pérdidas por conducción
Pcond_HS = Irms_HS^2 * Rds_on_HS; % Wcon*Tenc/Ts= Wcond*(1-D)*Ts/Ts
Pcond_LS = Irms_LS^2 * Rds_on_LS;
end

%Pérdidas totales en MOSFETs de un boost síncrono.
%Parámetros del convertidor:
Vin= 35;
Vout= 150;
Rl= 73;
fsw= 100e3;
Iripple= 1.33; %Ripple pico a pico.
%Parámetros del MOSFET Q1 (LS), el de conmutación.
Rds_on_LS = 50e-3;
Vplateau = 4.4;
Qgd = 3e-9;
Qgs = 8e-9;
Qg1= 22e-9;
Qoss1 = 20e-9; %Capacidad Drain-source x VDS (Coss-Crss)
%Parámetros del MOSFET Q2 (HS)
Rds_on_HS = 50e-3;
Qg2 = 22e-9 ;
Qrr = 300e-9; %HS body-diode reverse-recovery charge
Qoss2 = 20e-9;
VSD= 0.9; %Tensión de forward del diodo de cuerpo
%Parámetros del driver.
Rdriver = 4;
Rgate= 2.5;
Vdriver_on = 15;
Vdriver_off = 15; %En modulo, ya esta contemplado el - en la función.
tdead= 100e-9;
%Pérdidas por CONDUCCIÓN: Llamada a función y muestra resultados.
[Pcond_HS, Pcond_LS, Irms_HS, Irms_LS, ILrms] = perdidas_conduccion_boost(Vin, Vout, Rl, Iripple,
Rds_on_HS, Rds_on_LS);
%Pérdidas por CONMUTACIÓN: Llamada a función y muestra de resultados
[Psw_total, Psw_on, Psw_off] = perdidas_conmutacion_boost(Vin, Vout, Rl,Iripple, fsw, Qgs, Qgd,
Vdriver_on, Vdriver_off, Vplateau, Rdriver, Rgate);
%Pérdidas del DRIVER
Pdriver = (Qg1+Qg2)*fsw*Vdriver_on;
%Pérdidas de recuperación del DIODO en inversa del MOSFET Q2 (HS)
PdiodoQ_HS= Qrr*Vout*fsw;
%Pérdidas debido a la capacidad de salida de Q1 y Q2
Pcoss_HS= 0.5* Qoss2 *fsw * Vout;
Pcoss_LS= 0.5* Qoss1 *fsw * Vout;
%Pérdidas por dead-time
D = 1 - (Vin / Vout);
Iout= Vout/Rl;
IL = Iout / (1 - D);
Ioff = IL - Iripple / 2;
Ion= IL + Iripple / 2;
P_deadtime = VSD * (Ioff+Ion) * tdead * fsw;

```

%Pérdidas totales.

$$P_{\text{totalesQ\_LS}} = P_{\text{cond\_LS}} + P_{\text{sw\_total}} + P_{\text{coss\_LS}};$$

$$P_{\text{totalesQ\_HS}} = P_{\text{cond\_HS}} + P_{\text{coss\_HS}} + P_{\text{deadtime}} + P_{\text{diodoQ\_HS}};$$

$$P_{\text{totales}} = P_{\text{driver}} + P_{\text{totalesQ\_LS}} + P_{\text{totalesQ\_HS}};$$

## Anexo C: dimensionamiento del disipador.

En el presente anexo se dimensiona la resistencia térmica del disipador para el montaje de los dispositivos semiconductores, a partir del modelo eléctrico equivalente del sistema térmico que se presenta en la figura 56.

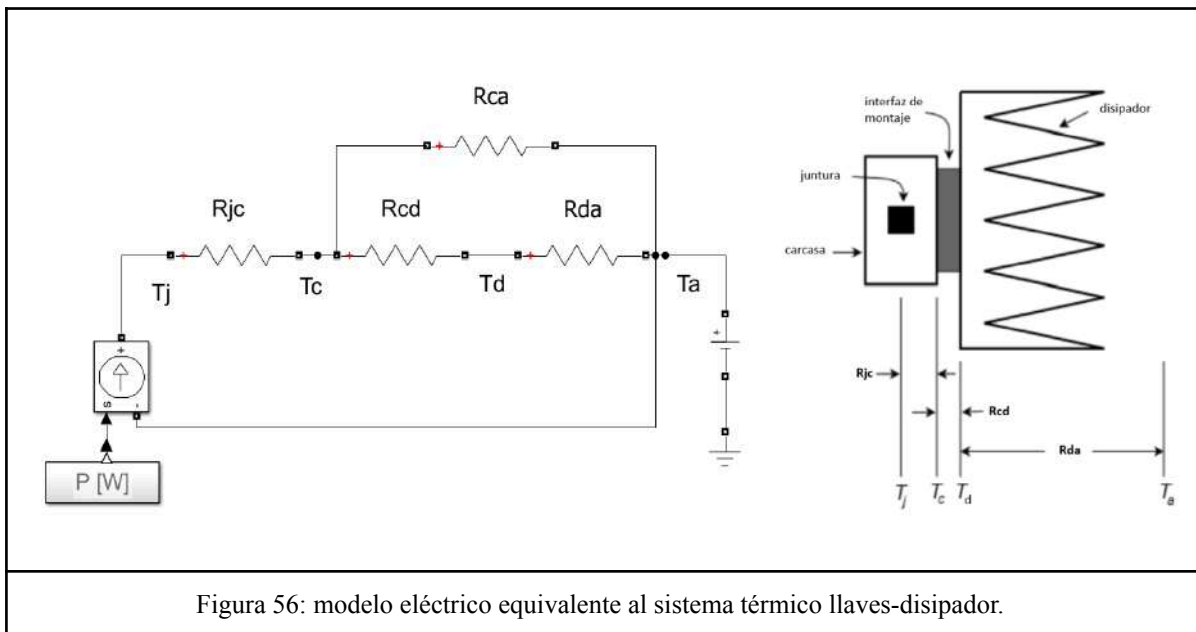


Figura 56: modelo eléctrico equivalente al sistema térmico llaves-disipador.

El modelo contempla dos caminos de disipación en paralelo entre la carcasa del dispositivo y el ambiente: uno a través del encapsulado ( $R_{CA}$ ) y otro a través del disipador ( $R_{CD} + R_{DA}$ ). Asumiendo que  $R_{CD} + R_{DA} \ll R_{CA}$ , el objetivo se reduce a hallar el valor de  $R_{DA}$  que garantice una temperatura de junta máxima admisible en las llaves.

El dimensionamiento se realiza a partir de las pérdidas totales estimadas en el Anexo B, correspondientes a ambas llaves montadas sobre un mismo disipador, cuyo valor máximo es de 9.054 W. A partir del modelo de la figura X y con la consideración de que  $R_{CD} + R_{DA} \ll R_{CA}$ , se plantea la ecuación 22.

$$P[W] = \frac{(T_J - T_A)[^\circ C]}{(R_{jc} + R_{cs} + R_{sa}) [^\circ C/W]} \quad [\text{ecuación 22}].$$

Los parámetros del sistema son los siguientes:

- $P$ : pérdidas en las llaves, en Watts.
- $T_J$ : temperatura de junta de la llave.

- $T_A$ : temperatura del ambiente.
- $R_{JC}$ : resistencia juntura-carcasa del dispositivo de conmutación.
- $R_{CS}$ : resistencia carcasa-disipador del dispositivo de conmutación.
- $R_{SA}$ : resistencia disipador-ambiente, es decir, la resistencia del disipador .
- $R_{CA}$ : resistencia carcasa-ambiente del encapsulado del dispositivo de conmutación

Y en este caso, se adoptan los siguientes valores:

- $R_{JC} = 1.1 \text{ } ^\circ\text{C/W}$ , dato obtenido de la hoja de datos de los MOSFETS IPP320N20N3 [X].
- $R_{CD} = 1.4 \text{ } ^\circ\text{C/W}$ , valor usual para montaje con mica y pasta térmica. .
- $T_J \text{ max} = 100 \text{ } ^\circ\text{C}$ .
- $T_A = 27 \text{ } ^\circ\text{C}$ .

Despejando  $R_{DA}$  de la ecuación 22, se obtiene la máxima resistencia térmica admisible del disipador.

$$R_{DA} [^\circ\text{C/W}] = \frac{\Delta T [^\circ\text{C}] - P [\text{W}] * (R_{JC} + R_{CD}) [^\circ\text{C/W}]}{P [\text{W}]} = 5.56 \text{ } ^\circ\text{C/W}$$

El modelo SK 697 50 SA presenta una resistencia térmica en convección natural de  $R_{DA} = 5 \text{ } ^\circ\text{C/W}$ , valor que satisface el requerimiento calculado. Además, se adapta a las dimensiones de la placa PCB. Sin embargo, por motivos de disponibilidad y presupuesto, se opta por utilizar un disipador disponible en el laboratorio, verificando experimentalmente que la temperatura de las llaves se mantenga dentro del rango de operación seguro. La temperatura máxima de juntura admisible del MOSFET IPP320N20N3G es de  $175 \text{ } ^\circ\text{C}$ , lo que otorga un margen considerable respecto al límite de diseño adoptado.

## **Anexo D: dimensionamiento del circuito de acondicionamiento del ADC.**

En este anexo se dimensiona el circuito de acondicionamiento del ADC utilizado para el sensado de corriente, siguiendo los lineamientos presentados en la documentación del fabricante: “TMS320F2837xS Real-Time Microcontrollers Datasheet” [19] y “TMS320F2837xS Real-Time Microcontrollers Technical Reference Manual” [20].

### **Modelo equivalente de entrada del ADC,**

En la figura 57 se presenta el modelo equivalente de entrada para el ADC SAR del microcontrolador en modo de entrada única. El modelo incluye los siguientes elementos:

- $R_s$ : resistencia de fuente externa, en serie con la entrada del ADC.

- $C_h$  = capacitor de retención interno del ADC (14.5pF).
- $C_p$  = capacitancia parásita de entrada.
- $R_{on}$  = resistencia de la llave de muestreo (425Ω).

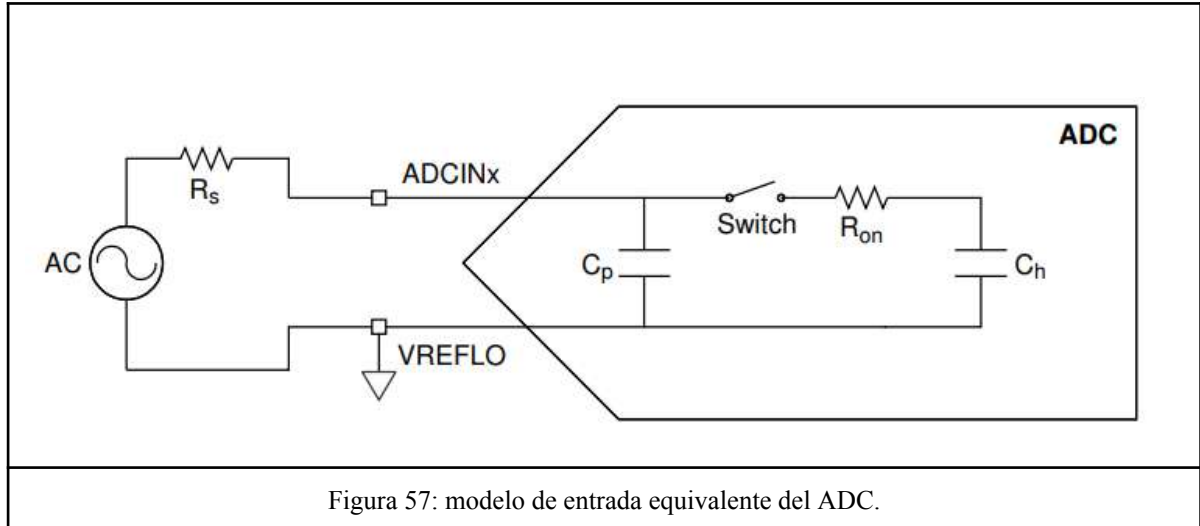


Figura 57: modelo de entrada equivalente del ADC.

El valor de  $C_p$  depende del canal seleccionado y de si el comparador interno está habilitado o no. Los valores correspondientes se indican en la tabla de la figura 58, extraída de la hoja de datos del microcontrolador [X].

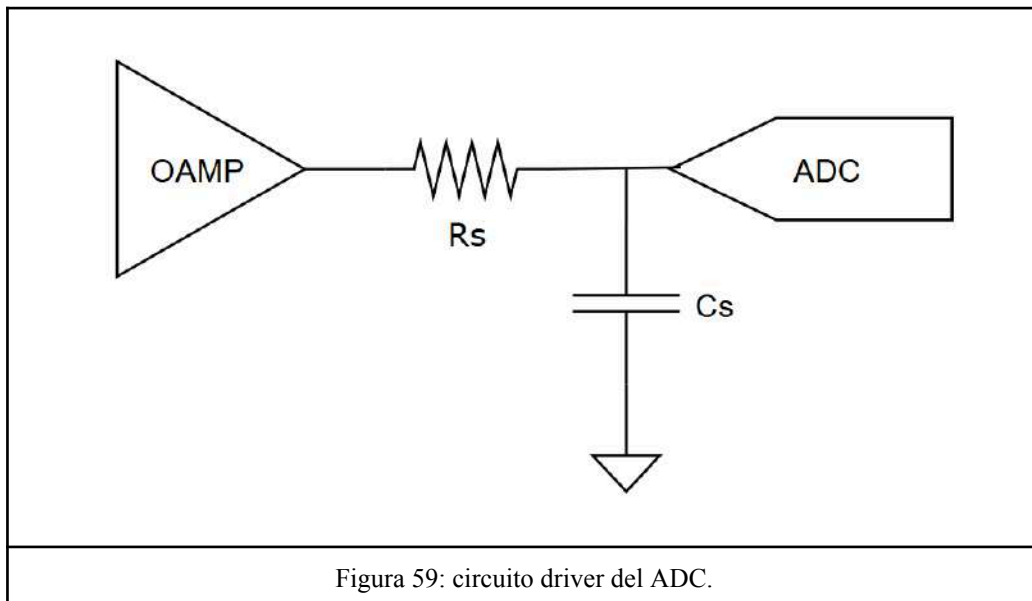
ADC CHANNEL	$C_p$ (pF)	
	COMPARATOR DISABLED	COMPARATOR ENABLED
ADCINA0	12.9	N/A
ADCINA1	10.3	N/A
ADCINA2	5.9	7.3
ADCINA3	6.3	8.8
ADCINA4	5.9	7.3
ADCINA5	6.3	8.8
ADCINB0 <sup>(1)</sup>	117.0	N/A
ADCINB1	10.6	N/A
ADCINB2	5.9	7.3

Figura 58: valores de *capacitancia parásita de entrada* en función del canal.

En esta aplicación se utiliza el canal ADCINA0, por lo que  $C_p = 12.9pF$ .

Para manejar la entrada del ADC se utiliza un esquema como el de la figura 59. La red RC conformada por  $R_s$  y  $C_s$  cumple una doble función: por un lado, aísla la salida del amplificador operacional de la carga capacitiva que presenta el circuito de muestreo y retención del ADC, garantizando la estabilidad del amplificador, y por el otro, actúa

como reservorio de carga que abastece al capacitor interno  $C_h$  durante el proceso de adquisición.



### Selección de $R_s$ y $C_s$ .

Se selecciona  $C_s = 330pF$  de modo que se satisfaga la condición  $C_s \gg C_h$ , con el fin de garantizar que la perturbación de tensión introducida por la redistribución de carga al cerrarse la llave de muestreo sea despreciable frente a la resolución del convertidor. Para dicho valor de carga capacitiva, la hoja de datos del amplificador operacional LMC6482 [17] recomienda adoptar un valor de  $R_s = 300\Omega$ , para asegurar estabilidad en lazo cerrado.

### Cálculo del tiempo mínimo de adquisición.

El tiempo mínimo de adquisición del circuito de muestreo y retención se calcula siguiendo el procedimiento de la sección 10.13.2 del manual de referencia del microcontrolador [X]. El mismo se basa en las ecuaciones 23 y 24.

$$\tau = (R_s + R_{son}) * C_h + R_s * (C_s + C_p). \quad [\text{ecuación 23}]$$

$$k = \ln\left(\frac{s^n}{error}\right) - \ln\left(\frac{C_s + C_p}{C_h}\right). \quad [\text{ecuación 24}]$$

Siendo:

- $\tau =$  constante de tiempo del circuito de adquisición.
- $k =$  factor adimensional que incorpora la resolución del convertidor y el error de establecimiento admitido.
- $R_s = 300\Omega$
- $C_s = 330pF$
- $C_h = 14.5pF$

- $C_p = 12.9pF$
- $R_{on} = 425\Omega$
- $error = 1/4 LSB$ , *error de establecimiento admitido*
- $n = 12$ , (resolución del ADC en bits).

El tiempo mínimo de adquisición queda definido según la ecuación 25.

$$t_{SH-min} = k * \tau = 750ns. \quad [ecuación 25].$$

#### **Verificación del tiempo de muestreo disponible.**

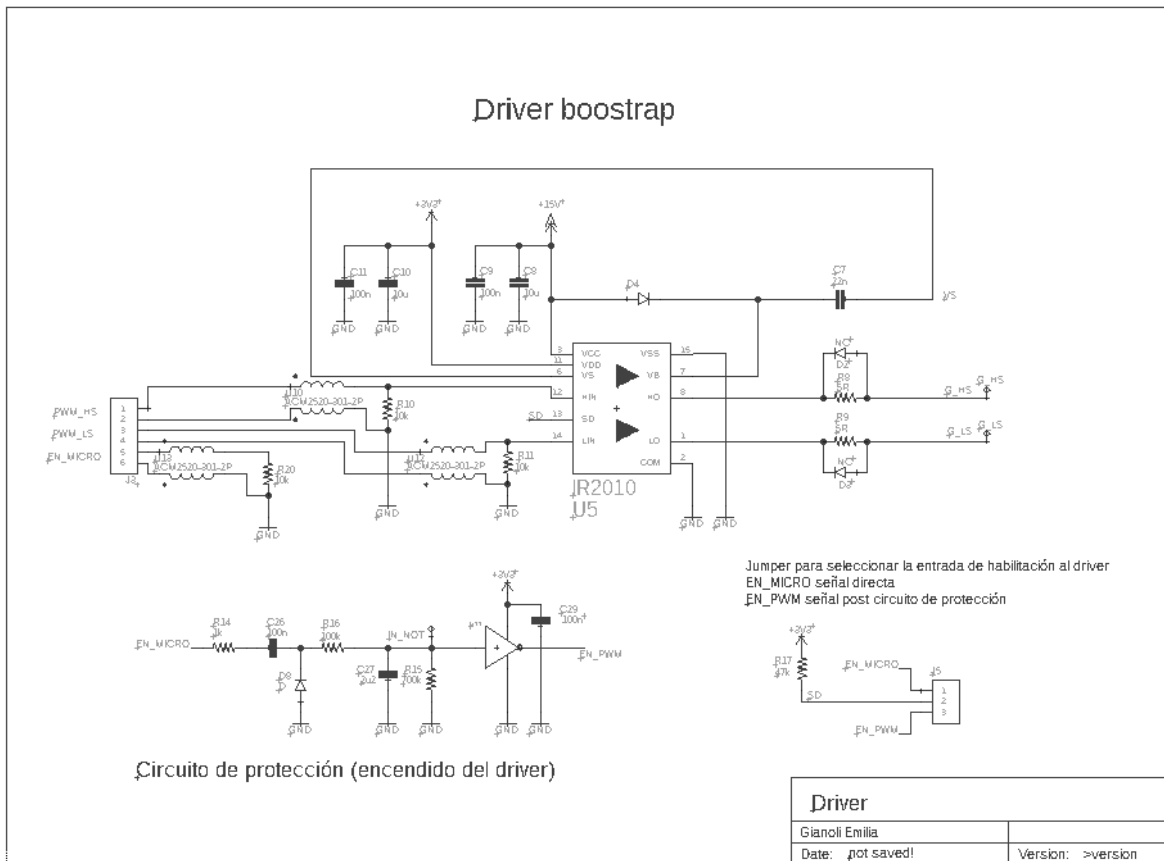
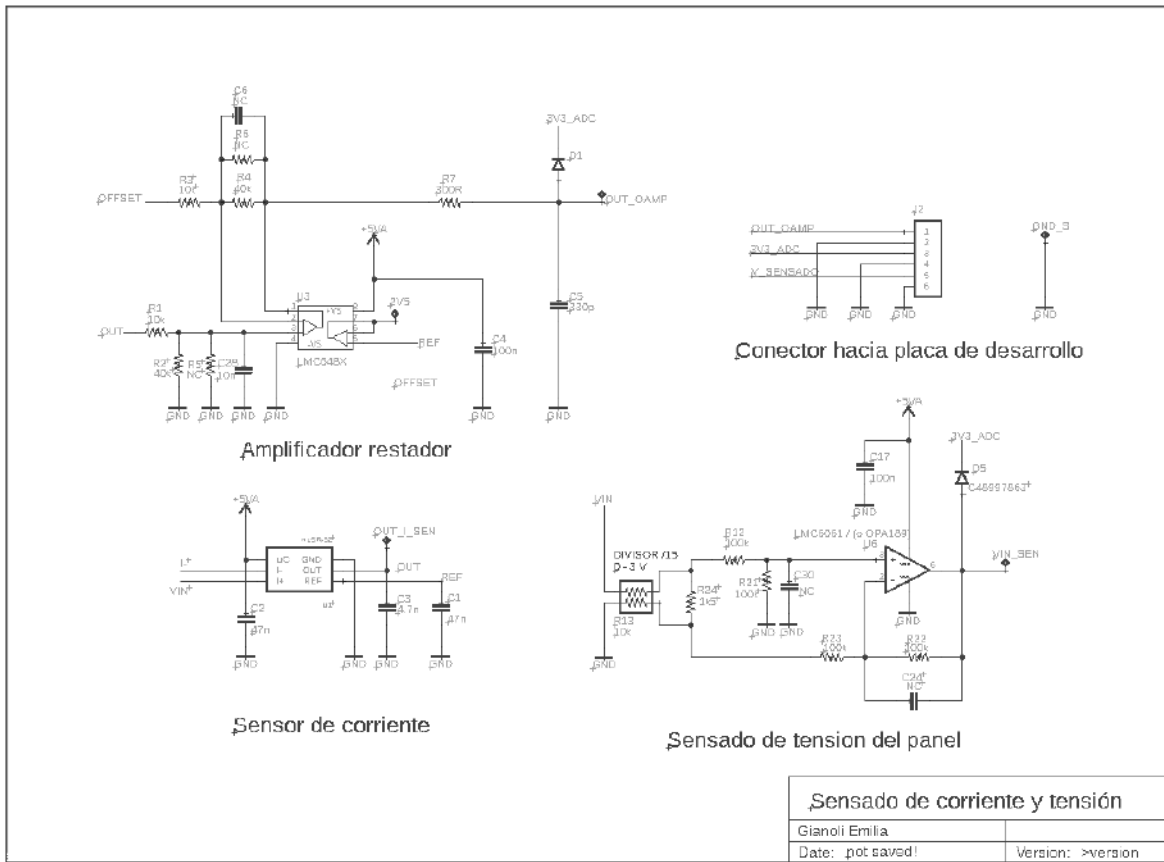
Según la hoja de datos del microcontrolador [X], el período de muestreo mínimo ( $Ts_{min}$ ) queda definido por la suma del tiempo de adquisición ( $t_{SH}$ ) y el tiempo de latencia de conversión ( $t_{lat}$ ). Este último parámetro es provisto por el fabricante en función de la resolución del ADC y de la relación entre los relojes ADCCLK y SYSCLK. Para la configuración utilizada en esta aplicación, en donde  $n=12$ , SYSCLK = 200 MHz y ADCCLK = 50 MHz, el fabricante especifica  $t_{lat} = 220ns$ .

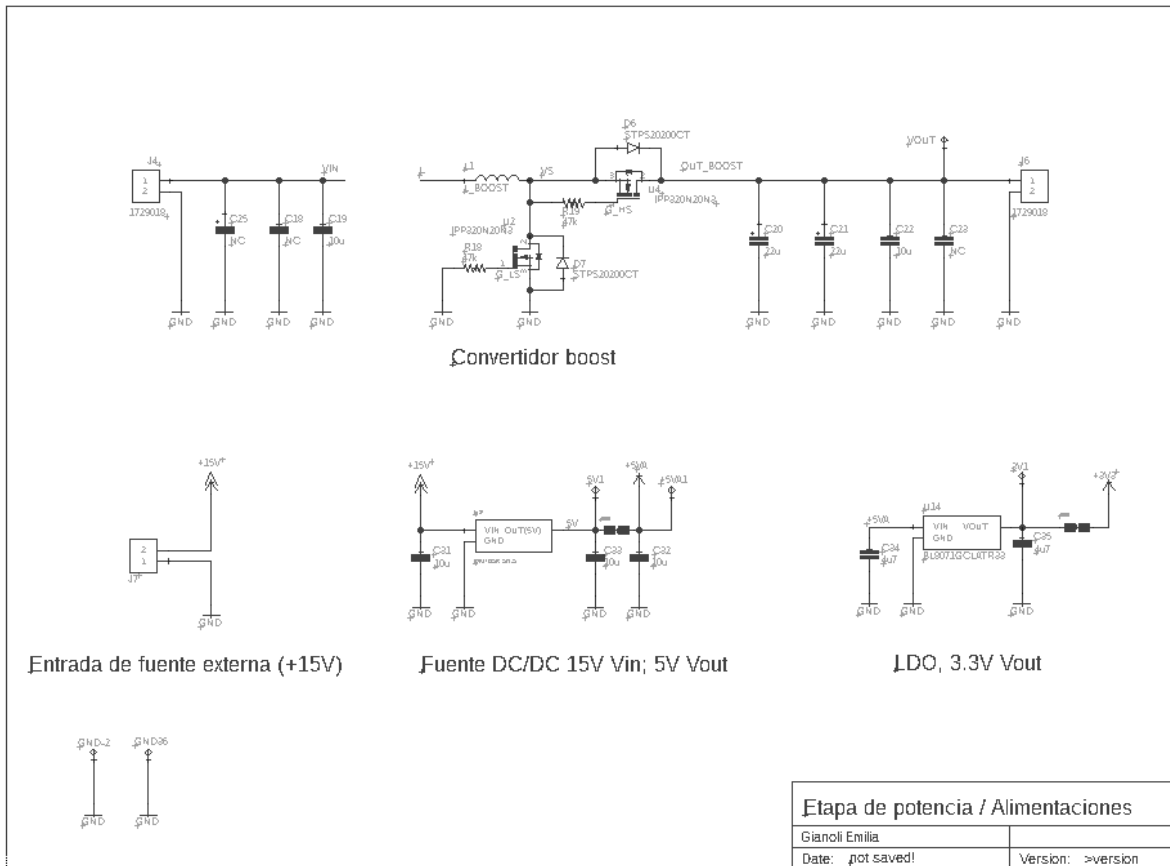
Por lo tanto:

$$Ts_{min} = 750ns + 220ns = 970ns.$$

El período de muestreo empleado en la aplicación corresponde al período de conmutación del convertidor,  $T_s = 10 \mu s$ . Dado que  $970 ns \ll 10 \mu s$ , se verifica que el tiempo de adquisición disponible es ampliamente suficiente para garantizar la correcta operación del conversor analógico-digital en las condiciones de uso del sistema.

# Anexo E: esquemático de la placa final.



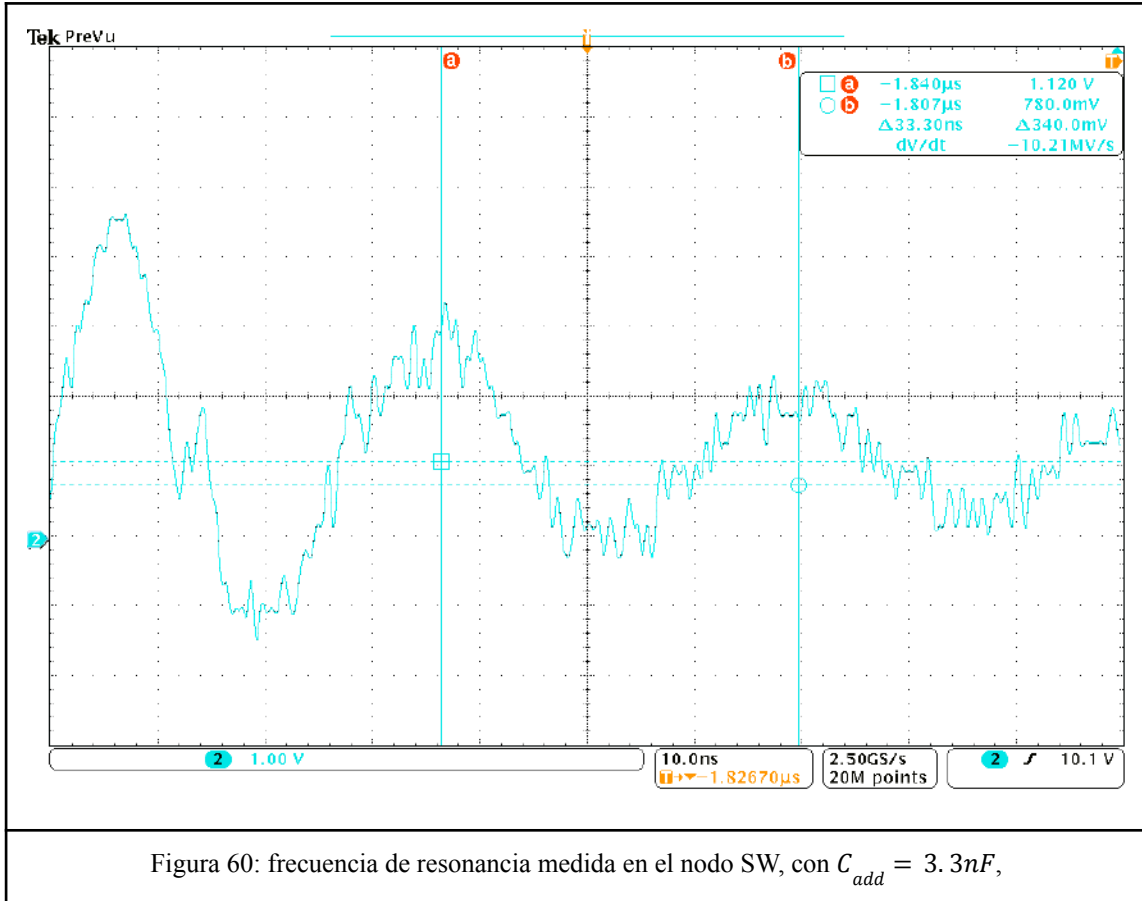


## Anexo F: diseño de la red de amortiguamiento RC (*snubber*).

Para el diseño de la red de amortiguamiento RC implementada con el objetivo de reducir la amplitud de la oscilación en el nodo SW, se siguen los lineamientos presentados en la nota de aplicación "*Minimizing Ringing at the Switch Node of a Boost Converter*" [X].

El procedimiento parte de la medición de la frecuencia de resonancia natural del circuito, determinada por las inductancias ( $L_{par}$ ) y capacidades parásitas ( $C_{par}$ ) del lazo de conmutación. Dicha frecuencia ( $f_1$ ) se midió directamente en el nodo SW y se obtuvo como resultado una frecuencia de 83.3MHz.

A continuación, se conectó un capacitor de valor conocido ( $C_{add}$ ) en paralelo con el MOSFET del lado bajo, y se midió la nueva frecuencia de resonancia ( $f_2$ ). En este caso  $C_{add} = 3.3nF$ , y se obtuvo una nueva frecuencia de resonancia de 30.3MHz (ver figura 60).



En base a la expresión de la frecuencia de resonancia de una red LC, y de la relación entre las frecuencias obtenidas, se plantea la ecuación 26, a partir de la cual, se estima la capacidad parásita ( $C_{par}$ ) del lazo como muestra la ecuación 27.

$$\frac{f_1}{f_2} = \frac{\frac{1}{2\pi} \sqrt{\frac{1}{L_{par} * C_{par}}}}{\frac{1}{2\pi} \sqrt{\frac{1}{L_{par} * C_2}}} = \frac{83.3MHz}{30.3MHz} \quad [\text{ecuación 26}].$$

Siendo:

$$C_2 = C_{par} + C_{add}$$

$$C_{par} = \frac{C_{add}}{\left(\frac{f_1}{f_2}\right)^2 - 1} = 502pF. \quad [\text{ecuación 27}].$$

Luego, una vez estimada la capacidad parásita, se aproxima la inductancia parásita utilizando la ecuación 28.

$$L_{par} = \frac{1}{(2\pi f_1)^2 * C_{par}} = 7.27nHy. \quad [\text{ecuación 28}].$$

Finalmente, la resistencia del *snubber* se calcula como la impedancia característica del circuito resonante parásito, criterio que corresponde al amortiguamiento crítico (ecuación 29).

$$R_{snub} = \sqrt{\frac{L_{par}}{C_{par}}} = 3.8\Omega. \quad [\text{ecuación 29}].$$

Para la implementación final, se seleccionó un valor comercial de  $R_{snub} = 5\Omega$ , próximo al valor calculado, priorizando la disponibilidad del componente y brindando un margen adicional de amortiguamiento.

La potencia disipada en la resistencia del *snubber* se estima según la ecuación 30. Para realizar el cálculo, se considera  $V_{pk}=150V$ , correspondiente a la tensión máxima en el nodo SW para el ciclo de trabajo máximo de operación.

$$P_{Rsnub} = \frac{1}{2} * C_{add} * V_{pk}^2 * f_{sw} = 3.7W. \quad [\text{ecuación 30}].$$

## **Anexo G: firmware del sistema de control (simulación e implementación real).**

En el siguiente enlace de Google Drive se encuentran adjuntos los archivos del código de control empleados en la simulación, implementado mediante el bloque “MATLAB Function” de Simulink, así como el código utilizado en la implementación experimental sobre el microcontrolador TMS320F28377S

[https://drive.google.com/drive/folders/1Djx8fltx7sRGt7N7Vg5QVdIzWjU9\\_yO1?usp=sharing](https://drive.google.com/drive/folders/1Djx8fltx7sRGt7N7Vg5QVdIzWjU9_yO1?usp=sharing)

## Referencias.

- [1] E. Gianoli, "Especificación de requerimientos".  
[https://drive.google.com/file/d/1GN-3GBa57wBwVL\\_nOm801fWUEg-2Fhcz/view?usp=sharing](https://drive.google.com/file/d/1GN-3GBa57wBwVL_nOm801fWUEg-2Fhcz/view?usp=sharing)
- [2] E. Gianoli, "Especificación funcional".  
<https://drive.google.com/file/d/1sq4hDp4Q3Vg5vL9RAyPkiEXE05jx47fu/view?usp=sharing>
- [3] E. Gianoli, "Especificación técnica".  
[https://docs.google.com/document/d/16Duka5Wr1FZWdpvW2716x-\\_Xn5yb1eNzZeMGsIvjcHA/edit?usp=sharing](https://docs.google.com/document/d/16Duka5Wr1FZWdpvW2716x-_Xn5yb1eNzZeMGsIvjcHA/edit?usp=sharing)
- [4] E. Gianoli "Plan de Pruebas".  
[https://docs.google.com/document/d/19ZHp\\_2TDvA7I4b7vdE5LLOEC6XYWZJb\\_AyYOUKZbLpA/edit?usp=sharing](https://docs.google.com/document/d/19ZHp_2TDvA7I4b7vdE5LLOEC6XYWZJb_AyYOUKZbLpA/edit?usp=sharing)
- [5] M. Gradella Villalva, J. R. Gazoli, and E. Ruppert Filho, "Comprehensive approach to modeling and simulation of photovoltaic arrays," IEEE Trans. Power Electron., vol. 24, no. 5, pp. 1198–1208, 2009. <https://doi.org/10.1109/TPEL.2009.2013862>
- [6] M. P. Cervellini, N. I. Echeverría, P. D. Antoszczuk, R. A. G. Retegui, M. A. Funes, and S. A. González, "Optimized parameter extraction method for photovoltaic devices model."
- [7] Sun-Earth, "TPB156×156-72-P Poly-Crystalline Photovoltaic Module datasheet," 270W/275W/280W/285W/290W. [https://drive.google.com/file/d/1qfYHBi6NdyNG3zVZxH\\_jks5hL49p8Q0m/view?usp=sharing](https://drive.google.com/file/d/1qfYHBi6NdyNG3zVZxH_jks5hL49p8Q0m/view?usp=sharing)
- [8] N. Echeverría, M. Judewicz, G. Murcia, J. Strack, and S. A. González, "Algoritmo MPPT de conductancia incremental con doble cota."
- [9] R. García Retegui, "Diseño de inductor para convertidor DC/DC."  
[https://drive.google.com/file/d/1ZIEjtMrDbdsUAhDCBIUAsa\\_A8mQcILNw/view?usp=sharing](https://drive.google.com/file/d/1ZIEjtMrDbdsUAhDCBIUAsa_A8mQcILNw/view?usp=sharing)
- [10] L. H. Dixon Jr., "Magnetics design handbook," Texas Instruments.  
[https://e2e.ti.com/cfs-file/\\_key/communityserver-discussions-components-files/196/Magnetic-Design-Handboob\\_2D00\\_slup132.pdf](https://e2e.ti.com/cfs-file/_key/communityserver-discussions-components-files/196/Magnetic-Design-Handboob_2D00_slup132.pdf)
- [11] Micrometals, "MS-184090-2 datasheet."  
<https://feryster.pl/assets/nowa/karty/MS-184090-2.pdf>
- [12] Infineon Technologies, "IRF640N datasheet."  
[https://drive.google.com/file/d/1DS\\_jyvXk\\_6t\\_9qZRflhL5-M7LBPCiSkf/view?usp=sharing](https://drive.google.com/file/d/1DS_jyvXk_6t_9qZRflhL5-M7LBPCiSkf/view?usp=sharing)
- [13] Infineon Technologies, "IPP320N20N3 G Rev. 2.3 datasheet."  
[https://ar.mouser.com/datasheet/2/196/Infineon\\_IPP\\_B\\_I\\_320N20N3G\\_DS\\_v02\\_03\\_en-1227225.pdf](https://ar.mouser.com/datasheet/2/196/Infineon_IPP_B_I_320N20N3G_DS_v02_03_en-1227225.pdf)
- [14] Infineon Technologies, "IR2010 datasheet".  
<https://www.infineon.com/assets/row/public/documents/24/49/infineon-ir2010-ds-en.pdf>

- [15] Onsemi, "AN-6076: Design and application guide of bootstrap circuit for high-voltage gate-drive ICs." <https://www.onsemi.com/pub/collateral/an-6076.pdf>
- [16] Texas Instruments "Bootstrap Circuitry Selection for Half-Bridge Configurations", <https://www.ti.com/lit/an/slva887a/slva887a.pdf?ts=1779366574981>
- [17] Texas Instruments, "LMC6482 datasheet" <https://www.ti.com/lit/ds/symlink/lmc6482.pdf?ts=1779134331590>
- [18] Texas Instruments, LAUNCHXL-F28377S Overview, SPRUI25D. <https://www.ti.com/lit/ug/sprui25d/sprui25d.pdf>
- [19] Texas Instruments, TMS320F2837xS Real-Time Microcontrollers Datasheet. <https://www.ti.com/lit/ds/symlink/tms320f28378s.pdf>
- [20] Texas Instruments, TMS320F2837xD Dual-Core Real-Time Microcontrollers Technical Reference Manual, SPRUHM8K. <https://www.ti.com/lit/ug/spruhm8k/spruhm8k.pdf>
- [21] W. Eberle, Z. Zhang, Y.-F. Liu, and P. C. Sen, "A practical switching loss model for buck voltage regulators."
- [22] D. Jauregui, B. Wang, and R. Chen, "Power loss calculation with common source inductance consideration for synchronous buck converters."
- [23] B. Bryant and M. K. Kazimierczuk, "Small-signal duty cycle to inductor current transfer function for boost PWM DC-DC converter in continuous conduction mode," Wright State University.
- [24] Texas Instruments, Minimizing Ringing at the Switch Node of a Boost Converter, SLVA255. <https://www.ti.com/lit/an/slva255/slva255.pdf>