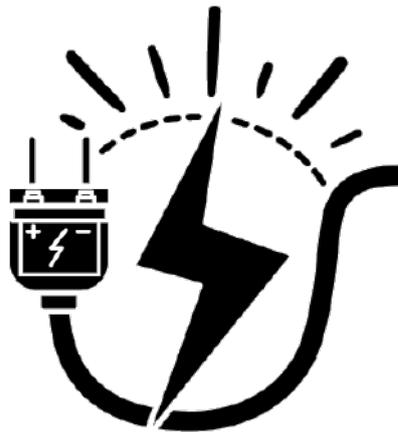


Universidad Nacional de Mar del Plata

Facultad de Ingeniería

Convertidor DC/DC Boost para Almacenamiento de Energía Solar Fotovoltaica en Baterías

Informe Final



Autoras:

Erbetta, Sofía

Vera, Wanda Sofía

Director:

Judewicz, Marcos Gabriel

Co-Directora:

Cervellini, María Paula

Agosto 2025



RINFI es desarrollado por la Biblioteca de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata.

Tiene como objetivo recopilar, organizar, gestionar, difundir y preservar documentos digitales en Ingeniería, Ciencia y Tecnología de Materiales y Ciencias Afines.

A través del Acceso Abierto, se pretende aumentar la visibilidad y el impacto de los resultados de la investigación, asumiendo las políticas y cumpliendo con los protocolos y estándares internacionales para la interoperabilidad entre repositorios



Esta obra está bajo una [Licencia Creative Commons Atribución- NoComercial-CompartirIgual 4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/).

Autorización Repositorio Institucional -RINFI

Se presenta conjuntamente con la versión final del Trabajo Final

Repositorio Institucional RINFI, Facultad de Ingeniería, UNMDP

En calidad de TITULARES de los derechos de autor de la obra que se detalla a continuación, y sin infringir según mi conocimiento derechos de terceros, por la presente informo a la Facultad de Ingeniería de la UNMDP mi decisión de concederle en forma gratuita, no exclusiva y por tiempo ilimitado la autorización para:

- 1) Publicar el texto del trabajo más abajo indicado, exclusivamente en medio digital, en el sitio web de la Facultad y/o Universidad, por Internet, a título de divulgación gratuita de la producción científica generada por la Facultad, a partir de la fecha especificada.
- 2) Permitir a la Biblioteca que, sin producir cambios en el contenido, establezca los formatos de publicación en la web para su más adecuada visualización y la realización de copias digitales y migraciones de formato necesarias para la seguridad, resguardo y preservación a largo plazo de la presente obra:

| | |
|--|---|
| <p>Autor 1: Erbeta, Sofía</p> <p>Documento: 40668820 Teléfono: +5492266475519</p> <p>E-mail: sofia.erbeta97@gmail.com</p> |  <p>Firma 1</p> |
| <p>Autor 2: Vera, Wanda Sofía</p> <p>Documento: 41071282 Teléfono: +542291511891</p> <p>E-mail: wandavera.02@gmail.com</p> |  <p>Firma 2</p> |
| <p>Director/a: Dr. Ing. Judewicz, Marcos Gabriel</p> <p>Documento: 32126687 Leg. 16693</p> |  <p>Firma Director/a</p> |
| <p>Codirector/a: Dra. Ing. María Paula Cervellini</p> <p>Documento: 31482322 Leg. 16687</p> |  <p>Firma Codirector/a</p> |

2. Título obtenido: Ingeniera Electrónica

3. Identificación/Título de la Obra: Convertidor DC/DC Boost para Almacenamiento de Energía Solar Fotovoltaica en Baterías



4. AUTORIZO la publicación bajo con la licencia Creative Commons BY-NC-ND Atribución-NoComercial-Sin Obra Derivada.

5. **Nota de Embargo:** Para aquellas obras que NO pueden ser de acceso a texto completo por razones de acuerdos previos con empresas o instituciones; por razones de índole comercial u otras razones; se procederá según lo establecido en Art. 6 de la Ley 26899 de Repositorios digitales institucionales de acceso abierto:

ARTICULO 6º — En caso que las producciones científico-tecnológicas y los datos primarios estuvieran protegidos por derechos de propiedad industrial y/o acuerdos previos con terceros, los autores deberán proporcionar y autorizar el acceso público a los metadatos de dichas obras intelectuales y/o datos primarios, comprometiéndose a proporcionar acceso a los documentos y datos primarios completos a partir del vencimiento del plazo de protección de los derechos de propiedad industrial o de la extinción de los acuerdos previos antes referidos.

Asimismo, podrá excluirse la difusión de aquellos datos primarios o resultados preliminares y/o definitivos de una investigación no publicada ni patentada que deban mantenerse en confidencialidad, requiriéndose a tal fin la debida justificación institucional de los motivos que impidan su difusión. Será potestad de la institución responsable en acuerdo con el investigador o equipo de investigación, establecer la pertinencia del momento en que dicha información deberá darse a conocer. A los efectos de la presente ley se entenderá como “metadato” a toda aquella información descriptiva sobre el contexto, calidad, condición o características de un recurso, dato u objeto, que tiene la finalidad de facilitar su búsqueda, recuperación, autenticación, evaluación, preservación y/o interoperabilidad.

En razón de lo expuesto, si el Trabajo se encuentra comprendido en el caso de que su producción esté protegida por derechos de Propiedad Industrial y/o acuerdos previos con terceros que implique la confidencialidad de los mismos, el/la directora/a debe indicar a continuación motivos y fecha de finalización del embargo:

NO SE AUTORIZA la publicación antes de la fecha / / por lo siguientes motivos:

.....
.....
.....
.....
.....

Cumplido el plazo del embargo, estará accesible a texto completo según contempla la normativa vigente.

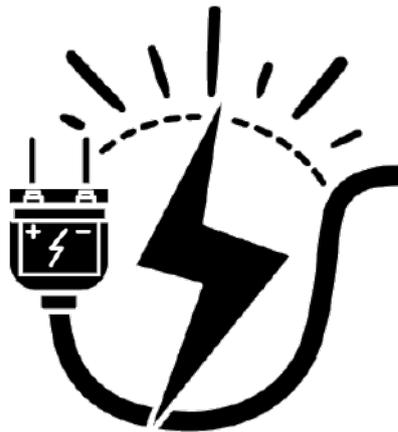
Director/a del TF

Universidad Nacional de Mar del Plata

Facultad de Ingeniería

Convertidor DC/DC Boost para Almacenamiento de Energía Solar Fotovoltaica en Baterías

Informe Final



Autoras:

Erbetta, Sofía

Vera, Wanda Sofía

Director:

Judewicz, Marcos Gabriel

Co-Directora:

Cervellini, María Paula

Agosto 2025

Agradecimientos

Quisiéramos expresar nuestro más profundo agradecimiento a todas aquellas personas que nos acompañaron y alentaron durante la realización de este proyecto y a lo largo de la carrera.

En primer lugar, queremos agradecer a nuestros directores de proyecto final de grado, el Dr. Ing. Marcos Judewicz y la Dra. Ing. María Paula Cervellini, por brindar su acompañamiento y orientación en cada etapa del proyecto.

Nos gustaría agradecer de manera especial a los integrantes del Laboratorio de Instrumentación y Control de la Facultad de Ingeniería, quienes no solo nos brindaron recursos y sugerencias valiosas, sino también su constante disposición, buena energía y presencia. Su apoyo fue fundamental en los momentos más exigentes del proceso.

Durante nuestras prácticas profesionales tuvimos la oportunidad de aprender de muchas personas que compartieron sus conocimientos y experiencias. A ellas les agradecemos por habernos transmitido herramientas fundamentales para el desarrollo del proyecto y nuestro futuro desempeño profesional.

También queremos reconocer a nuestros compañeros y amigos, cuya compañía y entusiasmo fueron claves para afrontar los desafíos y disfrutar de este proceso.

Finalmente, agradecemos profundamente a nuestras familias, por su paciencia, confianza y apoyo incondicional, que hicieron posible que hoy lleguemos a la conclusión de esta etapa.

Índice

| | |
|--|-----------|
| 1. Introducción | 4 |
| 1.1. Propósito del documento | 4 |
| 1.2. Alcance del proyecto | 5 |
| 1.3. Personal involucrado | 5 |
| 2. Anteproyecto | 6 |
| 2.1. Origen del proyecto | 6 |
| 2.2. Requerimientos | 6 |
| 2.3. Plan de Proyecto | 7 |
| 3. Proyecto | 8 |
| 3.1. Descripción del sistema | 8 |
| 3.1.1. Características del panel fotovoltaico y el banco de baterías | 9 |
| 3.1.2. Topología del convertidor Boost y fundamentos de operación | 10 |
| 3.2. Hardware | 13 |
| 3.2.1. Etapa de potencia | 13 |
| 3.2.2. Etapa de sensado | 16 |
| 3.2.3. Etapa de alimentación | 20 |
| 3.2.4. Diseño final y eficiencia estimada | 23 |
| 3.2.5. Simulaciones de la etapa de potencia | 24 |
| 3.2.6. Construcción | 26 |
| 3.3. Firmware | 29 |
| 3.3.1. Diseño del sistema de control | 29 |
| 3.3.2. Implementación del sistema de control | 38 |
| 3.3.3. Simulación del sistema de control | 44 |
| 4. Pruebas y resultados | 46 |
| 4.1. Pruebas | 46 |
| 4.1.1. Pruebas de circuitos auxiliares | 46 |
| 4.1.2. Prueba de la etapa de potencia | 46 |
| 4.2. Resultados | 47 |
| 4.2.1. Pruebas de la etapa de potencia | 47 |
| 4.2.2. Prueba de carga de las baterías | 51 |
| 5. Conclusiones | 54 |
| 5.1. Trabajo futuro | 54 |
| 5.2. Conclusiones sobre la gestión del proyecto | 55 |
| A. Esquemático | 56 |
| B. PCB | 62 |
| C. Rediseño del capacitor de salida | 64 |

1. Introducción

En los últimos años ha surgido un nuevo paradigma en torno a las redes de distribución eléctrica. Frente al modelo tradicional basado en redes de corriente alterna, comenzaron a destacarse las redes de corriente continua como una alternativa más eficiente y adecuada en distintos contextos. Esta tendencia está impulsada, entre otros factores, por la creciente incorporación de generación distribuida a partir de fuentes renovables, el uso de sistemas de almacenamiento de energía, la necesidad de mejorar la confiabilidad de las redes y el avance en el desarrollo de cargas de alta eficiencia [1].

Gracias a sus ventajas, las microrredes de corriente continua han comenzado a implementarse en aplicaciones diversas, como viviendas, edificios, centros de datos y explotaciones agrícolas. Además, se han abierto nuevas oportunidades de uso, como en infraestructuras de carga para vehículos eléctricos, donde la alimentación en corriente continua resulta directa y eficiente. Las microrredes ofrecen una solución tanto para entornos urbanos como para regiones aisladas, donde pueden contribuir significativamente a mejorar la calidad de vida.

A medida que la tecnología avanza, se espera que las redes de corriente continua complementen a las redes de corriente alterna, contribuyendo a una infraestructura eléctrica más eficiente y flexible. Esta evolución se ve impulsada por la transición desde un modelo de generación centralizada hacia uno basado en generación renovable distribuida, así como por el rol cada vez más relevante de los sistemas de almacenamiento de energía. No obstante, para que las redes de corriente continua puedan desplegar todo su potencial, aún persisten desafíos significativos, entre ellos la necesidad de desarrollar estándares técnicos, normativas específicas y estrategias de integración. En este sentido, es indispensable continuar con la investigación, el desarrollo y la validación de experiencias concretas que sustenten su implementación a gran escala.

En trabajos previos realizados en el Laboratorio de Instrumentación y Control (LIC) de la Facultad de Ingeniería (FI) de la Universidad Nacional de Mar del Plata (UNMdP) se implementó una microrred de corriente continua destinada a la investigación. Como parte de su evolución, se identificó la necesidad de reemplazar el convertidor comercial utilizado para gestionar el almacenamiento de la energía proveniente de paneles fotovoltaicos en bancos de baterías, por una solución que incorpore funcionalidades específicas para su integración en la microrred.

Este informe documenta el desarrollo completo de dicho convertidor, abarcando su diseño, construcción y validación experimental.

1.1. Propósito del documento

Este documento constituye el informe final del Proyecto Final de grado titulado “*Convertidor DC/DC Boost para Almacenamiento de Energía Solar Fotovoltaica en Baterías*”.

El propósito del documento es presentar el proceso de diseño, construcción y validación de la solución desarrollada, complementando y resumiendo la información expuesta previamente en los documentos *Especificación de Requerimientos* [2], *Especificación Funcional* [3] y *Especificación Técnica* [4]. Para una presentación más detallada de la información, se recomienda la lectura de estos documentos.

El informe está dirigido a los integrantes del equipo de trabajo, a la mesa evaluadora y a toda persona interesada en conocer los detalles del proyecto.

1.2. Alcance del proyecto

Este desarrollo se enmarca en el contexto de Trabajo Final de la carrera de Ingeniería Electrónica y está alineado con las actividades de investigación realizadas en el LIC.

El objetivo es diseñar y construir un prototipo de cargador de baterías basado en un convertidor DC/DC Boost con control digital, destinado a integrarse en una microrred de CC alimentada por generación fotovoltaica. Los requerimientos del dispositivo fueron definidos en conjunto con los directores del proyecto, considerando las condiciones y necesidades del entorno experimental.

Se trata de un desarrollo de carácter académico, pensado como plataforma de investigación sobre la cual puedan realizarse futuras mejoras e incorporar nuevas funcionalidades.

1.3. Personal involucrado

| | |
|--------------------------------|---|
| Nombre | Erbetta, Sofía |
| Rol | Encargada del proyecto |
| Categoría profesional | Estudiante de Ingeniería Electrónica |
| Responsabilidad | Planificación y desarrollo del proyecto |
| Información de contacto | sofia.erbetta97@gmail.com |

| | |
|--------------------------------|---|
| Nombre | Vera, Wanda Sofía |
| Rol | Encargada del proyecto |
| Categoría profesional | Estudiante de Ingeniería Electrónica |
| Responsabilidad | Planificación y desarrollo del proyecto |
| Información de contacto | wandavera.02@gmail.com |

| | |
|--------------------------------|---|
| Nombre | Judewicz, Marcos Gabriel |
| Rol | Director |
| Categoría profesional | Doctor en Ingeniería, orientación electrónica - Ingeniero Electrónico |
| Responsabilidad | Orientación y acompañamiento con el desarrollo del proyecto |
| Información de contacto | marcosj@fi.mdp.edu.ar |

| | |
|--------------------------------|--|
| Nombre | Cervellini, María Paula |
| Rol | Co-Directora |
| Categoría profesional | Doctora en Ingeniería, orientación electrónica - Ingeniera Electrónica |
| Responsabilidad | Orientación y acompañamiento con el desarrollo del proyecto |
| Información de contacto | paulacervellini@fi.mdp.edu.ar |

2. Anteproyecto

2.1. Origen del proyecto

La propuesta del proyecto surge como una continuación de un Trabajo Final anterior desarrollado en el LIC [5]. En ese proyecto se implementó una microrred de corriente continua (MRCC) con topología de bus simple con un convertidor DC/DC Boost comercial para permitir la carga de un banco de baterías. Durante su ejecución, se identificaron limitaciones técnicas asociadas al uso del convertidor comercial, entre ellas:

- Imposibilidad de aplicar estrategias de control propias, como control por etapas o de seguimiento del punto de máxima potencia (*Maximum Power Point Tracking, MPPT*).
- Restricciones en la expansión del sistema, como la incorporación de más paneles o el aumento de tensión de la red.
- Baja eficiencia energética, con valores inferiores al 85 %.

Como trabajo futuro, se propuso reemplazar el convertidor Boost comercial por uno diseñado específicamente para su integración en microrredes de continua. Además, se sugirió la implementación de un algoritmo MPPT para maximizar el aprovechamiento de la energía solar, y un control maestro que seleccione el modo de operación más adecuado en cada situación. También se planteó la posibilidad de modificar la arquitectura, contemplando un convertidor bidireccional para el banco de baterías.

En el marco del Seminario de Trabajo Final de la carrera de Ingeniería Electrónica, se retomaron y reformularon algunas de estas ideas para dar lugar a una nueva propuesta junto con los directores. Las especificaciones iniciales se establecieron en el documento Especificación de Requerimientos [2]. En la siguiente sección se presenta una síntesis de los requerimientos más relevantes.

Adicionalmente, se elaboró un plan de trabajo para la ejecución del proyecto, presentado en el documento Plan de Proyecto [6], y se lo designó con el nombre "Proyecto Recarga", cuyo logotipo puede encontrarse en la portada de este documento.

2.2. Requerimientos

La función principal de la solución es permitir la carga de un banco de baterías de plomo-ácido de 60 V a partir de la energía proveniente de un panel fotovoltaico de 500 W, cumpliendo con un requerimiento de eficiencia superior al 90 %.

Además, el sistema debe permitir la implementación de estrategias de control digital con fines de investigación, en el contexto de microrredes de corriente continua. Se debe diseñar un sistema de control que permita controlar corriente y tensión de salida, para lograr la carga en modo de corriente constante (*Constant current, CC*) y modo de tensión constante (*Constant Voltage, CV*). No se requiere la construcción de un gabinete para el prototipo, ya que su operación se realizará en un entorno controlado de laboratorio. Adicionalmente, se contempla la posibilidad de incorporar nuevas funcionalidades en el futuro con su integración a la microrred, como la implementación de un algoritmo MPPT, como se ilustra con la inclusión del sensado de las variables de entrada en el esquema de la Figura 2.1.

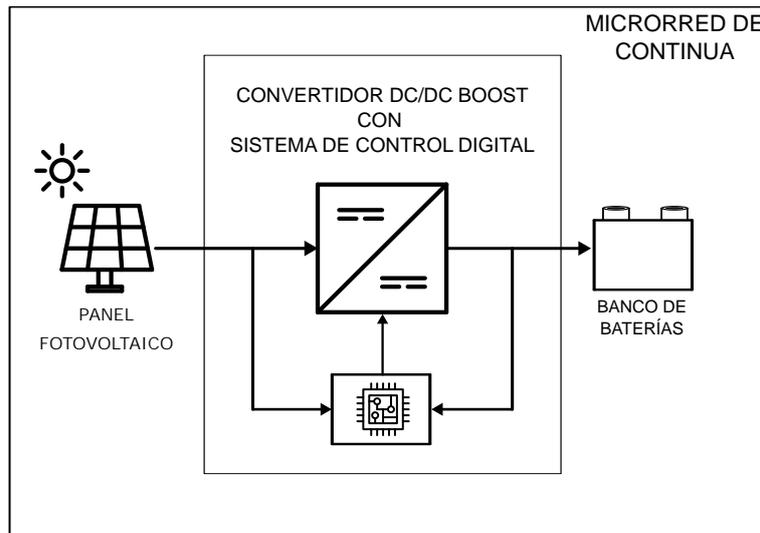


Figura 2.1: Esquema del sistema.

A continuación, se enumeran los principales requerimientos funcionales establecidos:

- **RF01:** Asegurar la carga de un banco de baterías de plomo-ácido de 60 V mediante modo de carga por tensión y por corriente.
- **RF02:** Permitir la implementación a futuro de estrategias avanzadas de control digital, como algoritmos MPPT, para maximizar el aprovechamiento de la energía del panel fotovoltaico.
- **RF03:** Implementar una topología sincrónica para adicionar funcionalidad bidireccional a futuro.
- **RF04:** La alimentación de la electrónica auxiliar necesaria para el funcionamiento del sistema debe poder generarse a partir del panel o las baterías.

2.3. Plan de Proyecto

La propuesta del proyecto surgió a mediados del año 2022, en paralelo con las cursadas y exámenes finales de las últimas materias de la carrera. Durante ese período inicial y hasta mediados de 2024, se elaboraron los primeros documentos y se avanzó con las etapas de investigación teórica y desarrollo preliminar. En ese momento se redactó el documento Plan de Proyecto [6], donde se estableció como fecha estimada de finalización el cierre del año 2024.

El cronograma original no pudo sostenerse debido a la superposición con compromisos académicos y laborales, situaciones personales y a la dificultad para la coordinación horaria. Como resultado, el desarrollo se extendió hasta agosto de 2025.

En función de la extensión, se decidió acotar parcialmente el alcance del proyecto durante su etapa final. Esta decisión impactó principalmente en la implementación del sistema de control, en la que se priorizó completar el control de corriente, posponiendo el desarrollo del control de tensión y de estrategias como el seguimiento del punto de máxima potencia (MPPT). El diagrama de Gantt original puede encontrarse en el documento de Plan de Proyecto [6].

3. Proyecto

En este capítulo se resumen los aspectos más relevantes del desarrollo de la solución. Para información detallada, se recomienda consultar la Especificación Técnica [4].

3.1. Descripción del sistema

A partir de los requerimientos definidos en la Sección 2.2, y detallados en la Especificación de Requerimientos [2], se estructuró el sistema en los cuatro bloques principales que se muestran en la Figura 3.1.

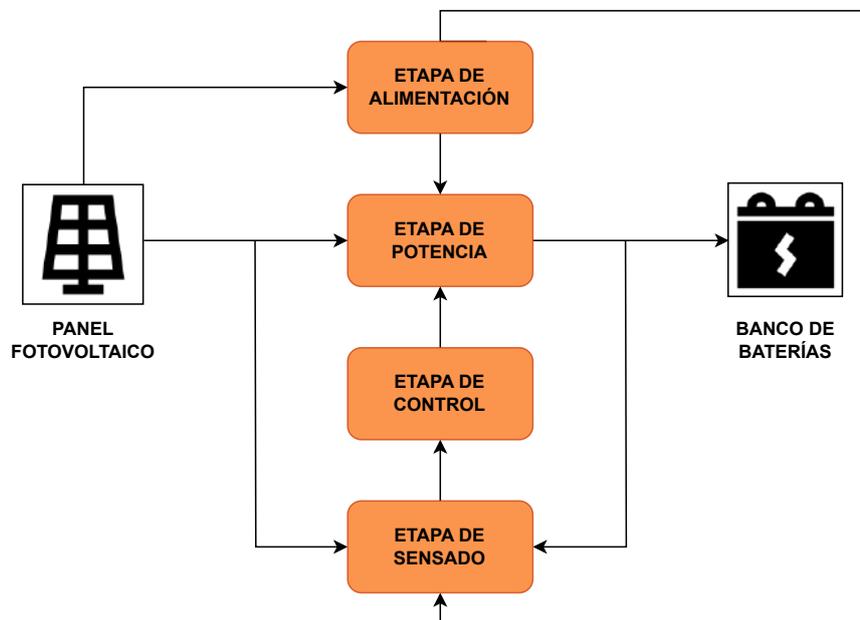


Figura 3.1: Diagrama del sistema distribuido en bloques funcionales.

La etapa de potencia, basada en una topología Boost, adapta la energía proveniente del panel fotovoltaico para permitir la carga del banco de baterías, considerando el rango de variación de tensión de entrada y la variación del estado de carga. El sistema de control, implementado digitalmente, regula la corriente de salida para operar en modo de carga CC. Como consecuencia de acotar el alcance del proyecto, lo que fue mencionado en la Sección 2.3, no se implementó el control de tensión asociado al modo CV. La etapa de sensado permite adquirir y acondicionar las señales analógicas del sistema para su posterior digitalización y uso en la realimentación del control. Finalmente, la etapa de alimentación asegura el suministro eléctrico y genera los niveles de tensión necesarios para la electrónica auxiliar de la etapa de potencia y el sistema de control.

En este documento, los bloques funcionales se agrupan en dos secciones para reflejar el proceso de la implementación. El hardware, presentado en la Sección 3.2, incluye la etapa de potencia, la alimentación y el sensado analógico; y el firmware, presentado en la sección 3.3, constituye el procesamiento digital,

la adquisición de señales y la ejecución de la estrategia de control. Más detalles sobre cada uno de los bloques funcionales originales pueden encontrarse en la Especificación Funcional [3].

3.1.1. Características del panel fotovoltaico y el banco de baterías

Como fue establecido en la Sección 2.2, el convertidor debe permitir la carga de un banco de baterías de plomo-ácido de 60 V a partir de un panel fotovoltaico de 500 W. Para ello, la etapa de potencia debe elevar la tensión del panel a los valores requeridos por las baterías en cada etapa de carga, adaptando la tensión y la corriente de salida de acuerdo con el estado de carga del banco.

Para comenzar el diseño se establecieron las condiciones de operación del panel y de las baterías. Estas condiciones permiten determinar los rangos de tensión y corriente de entrada y salida que condicionan el diseño de la etapa de potencia, el lazo de control y los circuitos de protección.

3.1.1.1. Características del panel fotovoltaico

Los paneles fotovoltaicos presentan una característica corriente-tensión no lineal, que varía con las condiciones de operación. En la Figura 3.2 se muestra una curva I-V típica correspondiente a una celda fotovoltaica individual. Un módulo fotovoltaico se compone de varias celdas conectadas en serie y/o paralelo, por lo que su curva I-V resulta de escalar su tensión o su corriente. El punto de máxima potencia (*Maximum Power Point, MPP*) de la curva, indicado por el punto P_{cell}^* , representa la condición de operación óptima para extraer la máxima energía disponible. Los parámetros típicos del módulo completo, provistos por el fabricante, se basan en esta curva y constituyen el punto de partida para el diseño del convertidor.

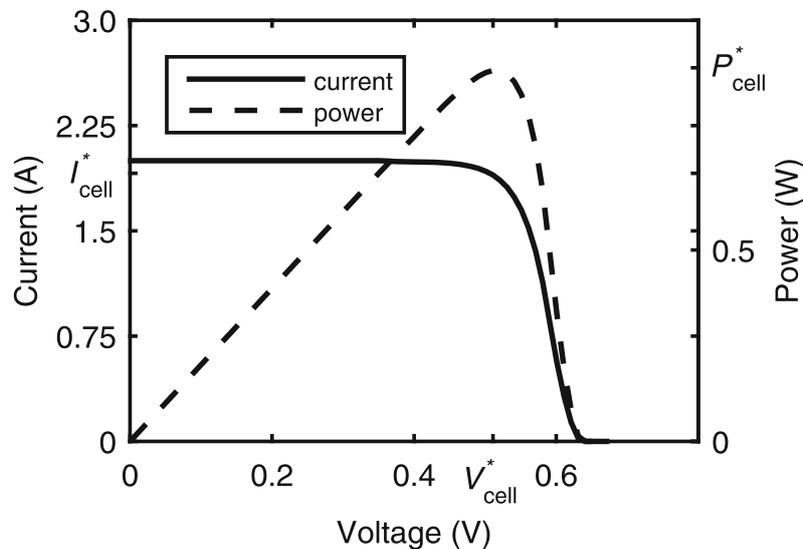


Figura 3.2: Característica I-V y de potencia de una celda fotovoltaica.

En base a la búsqueda de características de paneles de 500 W disponibles en el mercado [7][8][9][10], se determinan los parámetros típicos en condiciones estándar de prueba (*Standard Test Conditions, STC*):

- V_{OC} , tensión a circuito abierto entre 46.8 V y 48.4 V.
- I_{sc} , corriente de cortocircuito entre 13.4 A y 13.7 A.
- V_{mp} , tensión en el punto de máxima potencia entre 39 V y 40.5 V.
- I_{mp} , Corriente en el punto de máxima potencia entre 12.82 A y 12.84 A.

3.1.1.2. Características del banco de baterías de ácido plomo

Las baterías de plomo-ácido deben ser cargadas de modo de evitar la generación de gas hidrógeno y oxígeno por sobretensión, y la degradación térmica causada por corrientes excesivas [11].

El proceso de carga de este tipo de baterías se realiza típicamente en tres etapas. En la primera etapa, llamada carga en masa (*bulk*), la batería recibe corriente constante hasta alcanzar una tensión predefinida. Luego, en la etapa de absorción (*absorption*), se mantiene esa tensión mientras la corriente disminuye progresivamente. Finalmente, la etapa de flotación (*float*) sostiene una tensión más baja para compensar la autodescarga y mantener la batería cargada sin dañarla. Este control de carga puede realizarse mediante técnicas de modulación por ancho de pulso (*Pulse Width Modulation, PWM*) para la implementación de un sistema de control que ajusta la corriente de carga para evitar la sobrecarga. En la Figura 3.3 se muestra un perfil de carga siguiendo este esquema.

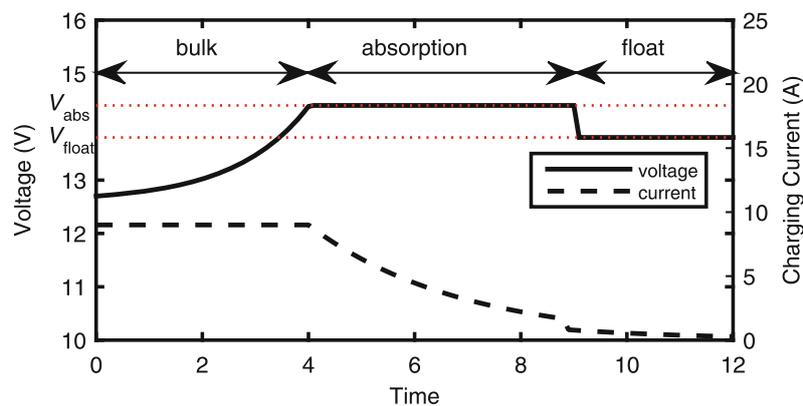


Figura 3.3: Perfil de tensión y corriente ideal para una batería de plomo-ácido de 12 V bajo un proceso de carga en tres etapas.

Para establecer las tensiones de operación, se buscan baterías de plomo-ácido reguladas por válvula (*Valve Regulated Lead-Acid, VRLA*) de 12 V similares a las utilizadas en el proyecto original [5]. En base a la búsqueda [12][13][14] se determinan las siguientes características, para un banco de 60 V:

- Tensión durante la etapa de carga por tensión 72 V a 75 V.
- Tensión durante la etapa de flotación 67.5 V a 69 V.
- Corriente para carga por corriente variable, típicamente entre el 13% y el 20% de la capacidad nominal expresada en Ah [11].

3.1.2. Topología del convertidor Boost y fundamentos de operación

El convertidor Boost opera alternando entre dos estados topológicos, como puede verse en las Figuras 3.4a y 3.4b. En el primer estado el interruptor de potencia S_1 se encuentra conduciendo, mientras que S_2 se encuentra bloqueando, lo que permite la conexión del inductor con la fuente de alimentación. Durante este intervalo, el inductor almacena energía en forma de campo magnético, mientras que la carga es alimentada por el capacitor de salida. En el segundo estado, S_1 se encuentra bloqueando y S_2 conduciendo, transfiriendo la energía almacenada en el inductor hacia la salida.

En la Figura 3.5 se muestran las formas de onda características del convertidor Boost operando en modo de conducción continua (*Continuous Conduction Mode, CCM*), en estado estacionario, con una carga resistiva. En CCM, la corriente del inductor fluye durante el ciclo completo. Q_{S_1} y Q_{S_2} son las señales de control de los interruptores. A partir de las formas de onda se puede determinar el punto de

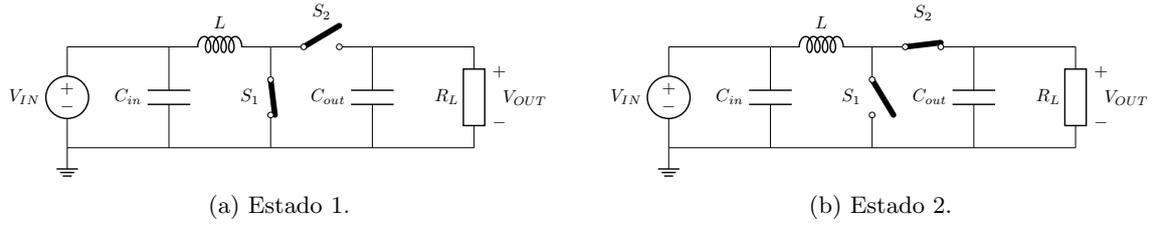


Figura 3.4: Estados topológicos del convertidor Boost ideal.

operación de los componentes y dimensionar el capacitor y el inductor dado un requerimiento de *ripple* de tensión o corriente deseado. La derivación de las fórmulas presentadas en las Ecuaciones 3.1, 3.2, 3.3 y 3.4 puede encontrarse en la literatura [15][16][17][18].

La relación de conversión para un convertidor Boost está dada por:

$$\frac{V_{OUT}}{V_{IN}} = \frac{1}{1 - D} \quad (3.1)$$

Donde D es el ciclo de trabajo, V_{IN} es la tensión de entrada y V_{OUT} es la tensión de salida. El valor de inductancia requerido para limitar el *ripple* de corriente en el inductor Δi_L se puede calcular mediante:

$$\Delta i_L = \frac{V_{IN} \cdot D}{f_{sw} \cdot L} \quad (3.2)$$

Donde f_{sw} es la frecuencia de conmutación.

El *ripple* de tensión de salida, Δv_{Cout} , se relaciona con el valor del capacitor de salida C_{out} según:

$$\Delta v_{Cout} = \frac{I_{OUT} \cdot D}{f_{sw} \cdot C_{out}} \quad (3.3)$$

y el *ripple* de tensión en el capacitor de entrada, Δv_{Cin} , se expresa como:

$$\Delta v_{Cin} = \frac{I_{OUT} \cdot r}{8 \cdot f_{sw} \cdot C_{in} \cdot (1 - D)} \quad (3.4)$$

Donde I_{OUT} es la corriente de salida, y $r = \frac{\Delta i_L}{I_L}$ es la relación entre el *ripple* de corriente del inductor y su valor medio I_L .

Estas expresiones permitirán realizar la primera estimación del valor mínimo de inductancia y capacitancias para mantener los *ripples* dentro de los límites especificados.

3.1.2.1. Punto de operación del convertidor y criterios de diseño

Con base en los rangos de tensión del panel fotovoltaico y del banco de baterías definidos en la Sección 3.1.1, se adopta como condición de diseño:

- Tensión de entrada nominal: $V_{IN_{MPP}} = 40$ V.
- Tensión de salida máxima: $V_{OUT_{máx}} = 73.7$ V.

La tensión $V_{OUT_{máx}}$ corresponde a la tensión máxima durante la carga a tensión constante, considerando una tensión de 14.74 V por batería para un banco de 5 baterías de 12 V. La tensión $V_{IN_{MPP}}$ corresponde al punto de máxima potencia del panel fotovoltaico, en el cual se entrega la potencia nominal del sistema, $P_{IN} = 500$ W. Asumiendo eficiencia unitaria para simplificar el análisis preliminar, se obtiene:

- Corriente de entrada: $I_{IN} = \frac{P_{OUT}}{V_{IN_{MPP}}} = 12.5$ A.
- Corriente de salida: $I_{OUT} = \frac{P_{OUT}}{V_{OUT_{máx}}} = 6.78$ A.

Bajo estas condiciones, el ciclo de trabajo nominal del convertidor se calcula como:

$$D_{\text{nom}} = 1 - \frac{V_{IN_{MPP}}}{V_{OUT_{\text{máx}}}} = 0.457$$

Inicialmente se adopta, como criterio de diseño:

- Ripple de corriente del inductor $\Delta i_L = 20\%$.
- Ripple de tensión de salida $\Delta v_{C_{out}} = 1\%$.
- Ripple de tensión de entrada $\Delta v_{C_{in}} = 1\%$.

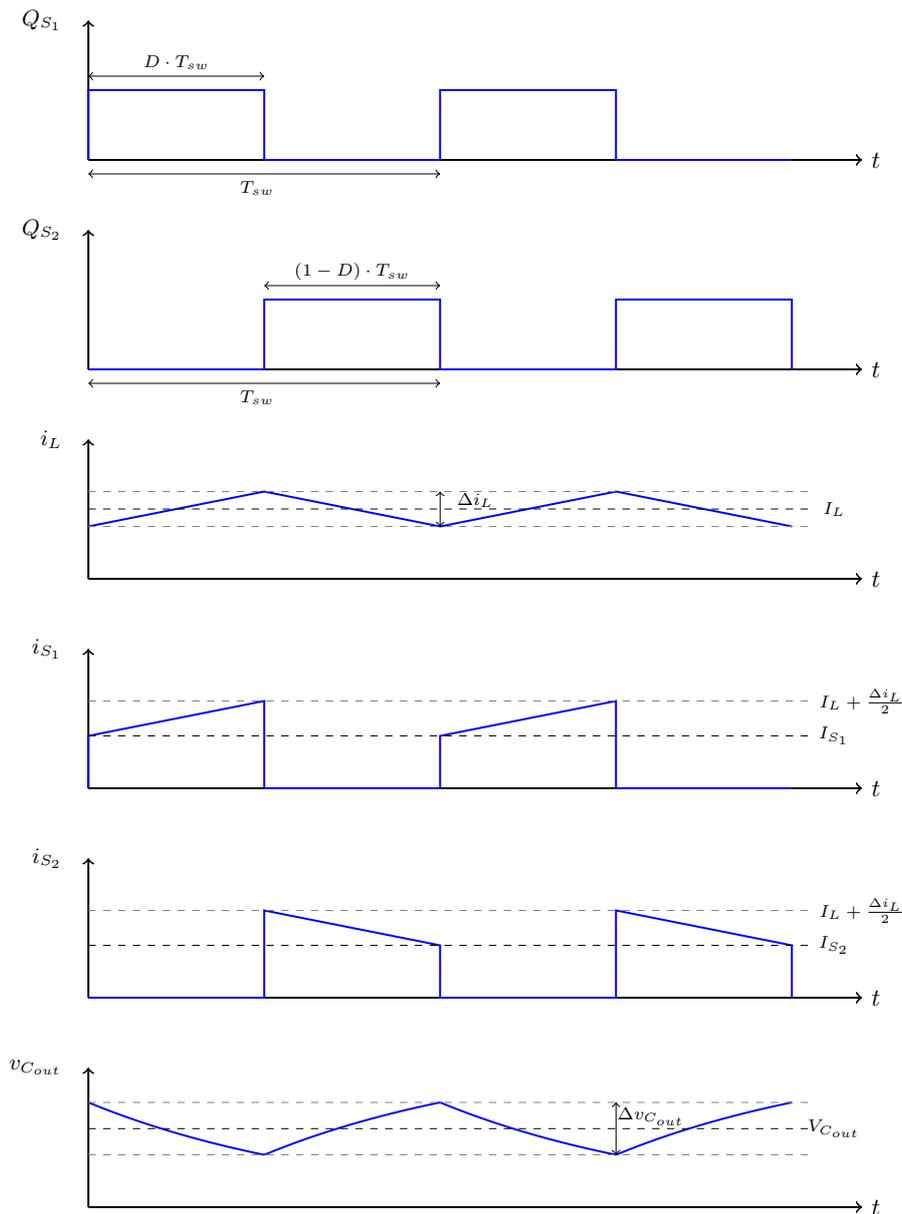


Figura 3.5: Formas de onda del convertidor Boost ideal en CCM.

3.2. Hardware

3.2.1. Etapa de potencia

El diseño de la etapa de potencia implica la elección de los componentes que se presentaron en la Figura 3.4. Estos son los dispositivos semiconductores de conmutación S_1 y S_2 , el capacitor de entrada C_{in} , el capacitor de salida C_{out} y el inductor L .

3.2.1.1. Dispositivos semiconductores y frecuencia de conmutación

Se evaluaron dos topologías para el convertidor: una asincrónica, con un diodo como interruptor superior, y una sincrónica, donde ese interruptor es reemplazado por un segundo MOSFET.

Se definió el uso de MOSFETs, dado que son utilizados en tensiones de operación típicas menores a 600 V y que estos dispositivos permiten operar a mayores frecuencias de conmutación. En el caso de la topología asincrónica, es posible utilizar un diodo Schottky para el interruptor superior debido a que no se requiere una gran tensión de bloqueo [17].

En base a los parámetros de operación, se consideraron factores de sobredimensionamiento y se realizó una búsqueda y análisis de pérdidas de los semiconductores disponibles en el mercado local. Se consideró el punto de operación y los criterios de diseño detallados en la Sección 3.1.2.1 y se tuvo en cuenta la relación de compromiso entre eficiencia y tamaño de los componentes reactivos.

Considerando que para la topología sincrónica los dos MOSFETs son iguales en ambos interruptores, se eligió una frecuencia de conmutación f_{sw} de 60 kHz para el diseño; y se seleccionó el MOSFET FDP075N15A y el diodo Schottky 80CPQ150P.

Se compararon las pérdidas para las topologías sincrónica y asincrónica con los dispositivos seleccionados. Si bien las diferencias en las pérdidas totales no resultaron significativas, se priorizó maximizar la eficiencia y se consideraron los tiempos prácticos de implementación y prueba de dos topologías. Se optó por implementar la versión asincrónica en primer lugar, previendo la incorporación de las dos topologías en una placa de circuito impreso (*Printed Circuit Board, PCB*) para permitir su implementación a futuro en caso de cambios de la estructura de la microrred.

El dimensionamiento de los disipadores se realizó considerando el peor caso de disipación térmica para cada interruptor, y se seleccionó el modelo 6400BG. Los cálculos detallados de pérdidas y disipación térmica se presentan en la Especificación Técnica [4].

3.2.1.2. Driver

El *driver* tiene como función adaptar los niveles lógicos de las señales de control a los requeridos para encender y apagar los MOSFETs de potencia. Esta etapa debe aumentar la tensión hasta un valor adecuado para activar la compuerta del MOSFET (*gate*), y tener capacidad de entrega y absorción de corriente suficiente para permitir su carga y su descarga. Adicionalmente, puede incorporar aislamiento para proteger la etapa de control.

Se optó por una solución integrada que permite ahorrar espacio en la PCB y proporciona funcionalidades adicionales. Para el MOSFET FDP075N15A, cuya tensión máxima entre compuerta y fuente (*gate-source voltage, V_{GS}*) es de 20 V, se puede emplear una tensión de comando típica entre 10 V y 15 V. Esto permite obtener una baja resistencia $R_{DS(on)}$ [19].

Luego de una búsqueda de componentes disponibles localmente, se seleccionó el circuito integrado 1EDI60N12AF. Si bien está diseñado para controlar MOSFETs de hasta 1200 V, ofrece prestaciones adicionales y se encontraba en el inventario del LIC.

La elección de las resistencias de *gate* determina la velocidad de encendido y apagado del MOSFET, lo que afecta las pérdidas de conmutación. Además, también influye en fenómenos como el encendido inducido, el *ringing* y la interferencia electromagnética (*Electromagnetic Interference, EMI*). Dado que intervienen múltiples factores en el diseño, incluyendo la dispersión de componentes y las características de la PCB, se decidió emplear como punto de partida resistencias de $20\ \Omega$ para ambas transiciones y realizar ajustes de forma experimental. Los cálculos de pérdidas realizados consideraron estos valores de resistencia.

En la Figura 3.6 se presentan las conexiones del *driver*. Se agregaron capacitores de desacople para garantizar tensiones de alimentación estables. La generación de la alimentación se abordará en la Sección 3.2.3.

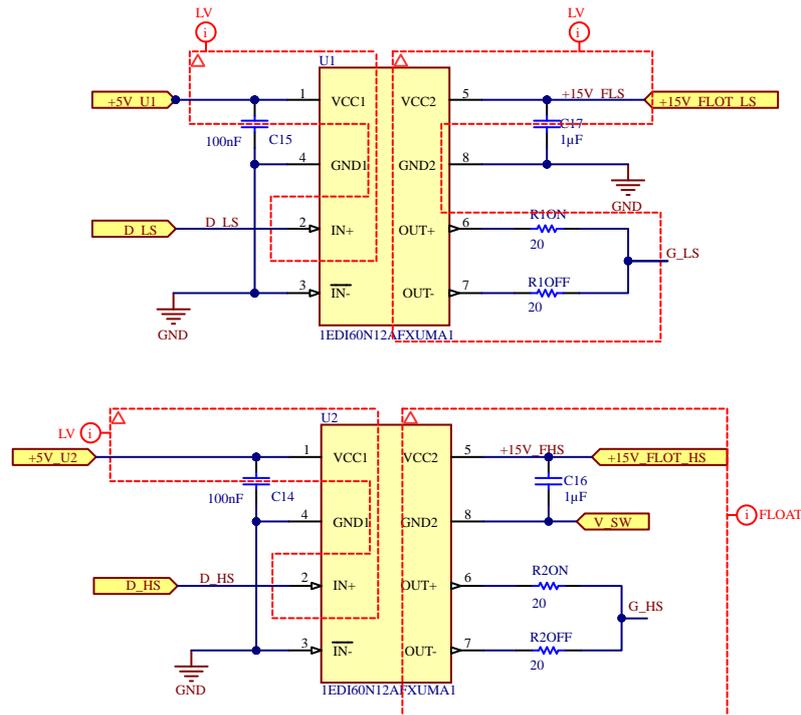


Figura 3.6: Esquemático con la conexión del 1EDI60N12AF para el interruptor inferior (*Low Side, LS*) y superior (*High Side, HS*).

3.2.1.3. Inductor

En base a la Ecuación 3.2, y considerando un *ripple* de corriente en el inductor del 20%, la frecuencia de conmutación de 60 kHz y las condiciones detalladas en 3.1.2.1, se determina que la inductancia requerida es de $122\ \mu H$.

Considerando un criterio de densidad de corriente máxima se determina un área de conductor mínima $A_{w_{min}} = 3.14\ mm^2$. Para facilitar el proceso constructivo se utilizaron dos conductores de cobre esmaltado AWG 15 en paralelo, cada uno con un área transversal de $A_w = 1.65\ mm^2$ y diámetro $d = 1.45\ mm$.

Se evaluaron núcleos de ferrita y de hierro pulverizado, típicamente utilizados en el diseño de convertidores conmutados debido a que presentan bajas pérdidas en alta frecuencia. Como resultado del análisis se seleccionó un núcleo de hierro pulverizado, que permitió cumplir con los requisitos de número de vueltas y operación fuera de saturación, con un tamaño menor con respecto a los núcleos de ferrita.

En función de la disponibilidad local se seleccionó el núcleo T250-18 [20], que admite un total de $N = 28$ vueltas con el conductor seleccionado para una inductancia resultante de $L = 138\ \mu H$. Sin embargo, debido a las limitaciones prácticas en el proceso de construcción, se lograron devanar $N = 26$ vueltas y se obtuvo como resultado:

- Valor de inductancia sin corriente de polarización $L = 119.6 \mu H$, calculada a partir de la permeabilidad inicial μ_i del material.
- Valor de inductancia considerando corriente de polarización $L_{ef} = 107.7 \mu H$, calculada a partir de la permeabilidad efectiva μ_{ef} con corriente nominal $I_{rms} = 12.53 A$.
- *Ripple* de corriente en el inductor $\Delta i_L = 2.83 A$, que representa un 22.6 % con respecto al valor medio de 12.5 A.

En la Figura 3.7 se presenta la fotografía del inductor construido.



Figura 3.7: Fotografía del inductor construido con el núcleo T250-18 y 26 vueltas de cobre esmaltado AWG 15.

3.2.1.4. Capacitores

Capacitor de salida

En base a la Ecuación 3.3, y considerando un *ripple* del 1 %, la frecuencia de conmutación de 60 kHz y las condiciones detalladas en 3.1.2.1, se determina que la capacitancia de salida requerida es de $70 \mu F$. Con el inductor ya diseñado se pudo reajustar la estimación del *ripple* de corriente del inductor, que a su vez determina la corriente eficaz que circula en el capacitor de salida. Al calcularla, se determinó que ese valor es de $6.26 A_{rms}$. Esa condición, además de las tensiones de salida definidas en 3.1.2.1, establece restricciones en la elección de la tecnología del capacitor. Se optó por utilizar un capacitor de film de polipropileno ya que presentan baja resistencia equivalente serie (*Equivalent Series Resistance, ESR*), alta estabilidad térmica y no cambian sus características de polarización en continua.

Ante las dificultades y el costo de obtener un capacitor de film de $70 \mu F$ de forma local, se decidió relajar el criterio del *ripple* de tensión de salida a un 5 %, que es posible cumplirlo con un capacitor de salida $C_{out} = 14 \mu F$.

En base a esto, se elige el capacitor de film de polipropileno metalizado B32794D2156K, de $15 \mu F$ y 250 V, con una ESR a la frecuencia de conmutación de $4.5 m\Omega$.

Para mejorar la respuesta en alta frecuencia, se lo combina en paralelo con un capacitor cerámico C2220C205K2RLCTU de $2 \mu F$, 200 V y dieléctrico X7R. A partir de la información del fabricante se determina que, considerando la tensión de polarización de 73.7 V, su capacitancia efectiva se reduce a

1.32 μF , y que su ESR a la frecuencia de conmutación es de 18.79 m Ω . Se espera que, al considerar la ESR de ambos capacitores, el *ripple* efectivo sea $\Delta v_{C_{out}} = 3.21$ V, que representa el 4.35 %.

Capacitor de entrada

El capacitor de entrada se incorpora con el objetivo de reducir el *ripple* de tensión de entrada. Un bajo nivel de *ripple* permite un mejor seguimiento de la tensión del panel fotovoltaico para la implementación de algoritmos MPPT.

Utilizando la Ecuación 3.4, considerando un *ripple* de tensión de entrada del 1 % y con las condiciones establecidas en 3.1.2.1, resulta $C_{in} = 14.95$ μF . De ese modo, también se elige el capacitor de film de polipropileno metalizado B32794D2156K, de 15 μF . Al considerar la ESR, se obtiene $\Delta v_{C_{in}} = 0.41$ V, es decir, un *ripple* del 1 %.

3.2.1.5. Protecciones

Fusible para la etapa de potencia. Se incorpora un fusible de 15 A en la entrada del convertidor con el objetivo de proteger el circuito durante la etapa de prueba ante posibles errores de conexión o de fallas en la lógica de control. El panel fotovoltaico no puede suministrar una corriente superior a su corriente de cortocircuito I_{SC} , por lo que el fusible no está pensado para actuar durante condiciones normales de operación. La selección del valor se realiza considerando un margen superior a I_{SC} .

Protección contra sobretensiones en la salida. Se colocan como dispositivos de protección un varistor 10D101K y un diodo de supresión de tensión transitoria (*Transient Voltage Suppressor, TVS*) SMCJ85A. Ambos elementos tienen como finalidad limitar sobrepicos de tensión que puedan ser destructivos para los dispositivos de conmutación, principalmente durante la etapa de pruebas.

Fusible para la etapa de alimentación. Para proteger la etapa de generación de tensiones auxiliares del sistema, incorpora de forma externa un fusible de 1 A.

3.2.1.6. Diseño final de la etapa de potencia

En la Figura 3.8 se muestra el esquemático final de la etapa de potencia. El diseño contempló la implementación de la topología sincrónica y asincrónica sobre la misma PCB. Las señales de control para los dispositivos de conmutación provienen de los *drivers* como se presentó previamente en la Figura 3.6. Se incluyeron *footprints* para la colocación de circuitos *snubbers* en caso de que durante la etapa de pruebas se viera que son requeridos.

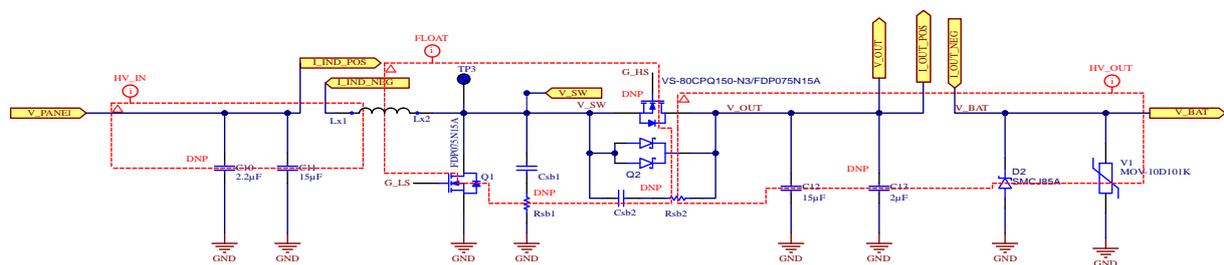


Figura 3.8: Esquemático de la etapa de potencia.

3.2.2. Etapa de sensado

Para permitir la carga de las baterías, el sistema de control del convertidor debe adquirir información sobre la tensión y la corriente tanto de entrada como de salida. Esta información es necesaria para regular la tensión y la corriente de salida, y para permitir la futura incorporación de un algoritmo de seguimiento del punto de máxima potencia (MPPT).

Al establecer los requerimientos del proyecto se planteó que el sistema de control digital se implementaría mediante la placa de desarrollo LaunchPad™ LAUNCHXL-F28377S de Texas Instruments, basada en el microcontrolador TMS320F28377S. El microcontrolador del F28377S trabaja con un reloj de 200 MHz y posee convertidores analógico-digitales (*Analog to Digital Converter, ADC*) de aproximaciones sucesivas (*Successive Approximation Register, SAR*) de 12 bits.

Para implementar el lazo de control, la etapa de potencia del convertidor se conecta a la placa de desarrollo a través de las entradas de los ADC y la salida PWM que comanda los drivers de los MOSFET de potencia. Dado que la señal a muestrear debe ajustarse al rango de entrada del ADC, se requiere circuitería adicional que limite el nivel de tensión a un máximo de 3 V, correspondiente a la referencia V_{REF} del conversor. Además, a fin de disminuir errores de adquisición por parte del ADC, se incorpora un circuito que asegura el establecimiento adecuado de las señales.

3.2.2.1. Sensado de corriente

Existen diversas estrategias para la medición de corriente, cada una con ventajas y limitaciones. Entre los factores a considerar se encuentran el nivel de aislamiento requerido, el ancho de banda, la precisión, el impacto en la eficiencia y el costo del sistema. Algunas de las técnicas incluyen el uso de resistencias de sensado en serie y sensores basados en el efecto Hall. Se compararon ambas estrategias de sensado y priorizando obtener la máxima eficiencia del sistema se concluyó que la mejor alternativa era usar sensores basados en el efecto Hall. Los detalles de este análisis se encuentran en el documento de Especificación Técnica [4].

Se decide utilizar el sensor de efecto Hall LA 25-NP de LEM Technologies. Es un transductor de corriente de lazo cerrado, con aislamiento galvánico y capacidad para medir corrientes continuas, alternas o pulsadas. Permite configuraciones multirango para mediciones nominales de 5, 6, 8, 12 y 25 A_{RMS} , en función de la conexión de sus pines. Un esquema representativo de su estructura puede verse en la Figura 3.9.

Este sensor está diseñado para montaje sobre PCB y posee un ancho de banda de 150 kHz, lo cual permite medir la componente continua de la corriente, así como el primer armónico asociado a la frecuencia de conmutación del convertidor, de 60 kHz. Además, debido a que la medición se basa en el acoplamiento magnético, las pérdidas por inserción son despreciables.

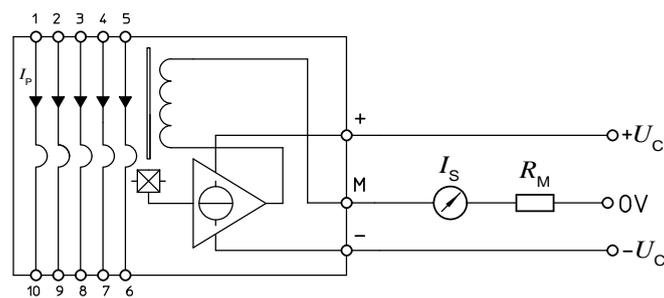


Figura 3.9: Representación del circuito del sensor LEM LA 25-NP.

El LA 25-NP utiliza una fuente de alimentación dual de ± 15 V y brinda su salida de corriente a través del pin M . La señal de salida es proporcional a la corriente primaria con una relación que depende de la relación de vueltas configurada. Al colocar una resistencia de medición externa R_M , es posible obtener una tensión de salida escalable en el rango requerido por la etapa de adquisición.

Elección de las resistencias de medición R_{M1} y R_{M2}

Los valores de resistencia $R_{M1} = 180 \Omega$, del sensor de corriente de entrada, y $R_{M2} = 300 \Omega$, del sensor

de corriente de salida, fueron elegidos considerando el rango del ADC, las corrientes máximas esperadas, la resolución y el rango permitido por el fabricante para R_M . Los detalles de la elección pueden encontrarse en la Especificación Técnica [4].

3.2.2.2. Sensado de tensión

El sensado de tensión se implementa mediante divisores resistivos, como el que puede verse en la Figura 3.10, que escalan las tensiones de entrada y salida del convertidor al rango de tensiones requerido a la entrada del ADC.

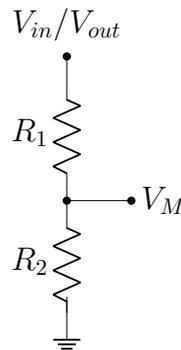


Figura 3.10: Circuito del divisor resistivo.

Teniendo en cuenta el rango de escala completa del ADC ($V_{FS} = 3\text{ V}$), se diseñaron los divisores para que la tensión medida en condiciones nominales esté en torno a 2–2.1 V para un buen aprovechamiento del rango útil y margen de seguridad suficiente para evitar saturación.

Para la tensión de entrada se adoptó un divisor con resistencias de 180 k Ω y 10 k Ω ; y para la tensión de salida se seleccionó un divisor con 270 k Ω y 7.5 k Ω .

3.2.2.3. Conexión con el ADC

En la Figura 3.11 se muestra el modelo equivalente de entrada para el ADC SAR del TMS320F28377S en modo de entrada única. El modelo incluye la resistencia de la llave de muestreo $R_{on} = 425\ \Omega$, el capacitor de retención: $C_h = 14.5\ \text{pF}$ y la capacitancia parásita de entrada C_p , variable según el canal [21].

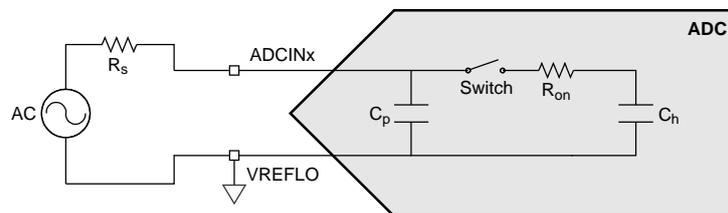


Figura 3.11: Modelo de entrada única para el ADC.

Durante la fase de adquisición, el capacitor C_h se carga a través de un circuito externo, cuya respuesta debe garantizar un error de establecimiento inferior a medio bit menos significativo (*Least Significant Bit, LSB*) al final de la ventana de adquisición. Para realizar el diseño del circuito de acondicionamiento se adopta la solución propuesta para la familia de microcontroladores C2000™ por su fabricante, Texas Instruments. Se optó por esta propuesta por tratarse de una solución documentada, validada y orientada a la familia del dispositivo que se va a utilizar.

El circuito se presenta en la Figura 3.12 y contiene un amplificador operacional y un filtro RC. El filtro actúa como una reserva de carga para alimentar el capacitor de muestreo interno C_h , mientras que el amplificador operacional actúa como *buffer* desacoplando la etapa anterior y proporcionando baja impedancia de salida. Dependiendo de la tasa de conversión, el periodo de adquisición puede ser muy corto y se puede tener una mayor exigencia sobre el requerimiento del ancho de banda del amplificador operacional.

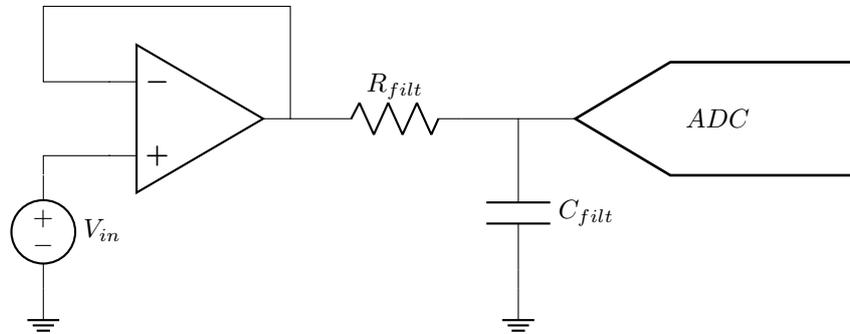


Figura 3.12: Circuito *driver* para el ADC.

Diseño del filtro RC y elección del amplificador operacional

Para el procesamiento de señales se decide trabajar a la máxima frecuencia de reloj $f_{SYSCLK} = 200 \text{ Mhz}$ y a la máxima frecuencia de reloj del ADC, $ADCCLK$, que para 12 bits y modo de entrada única es $f_{ADCCLK} = 50 \text{ Mhz}$ [21].

En este punto del desarrollo no se había profundizado aún en la implementación completa del sistema de control, por lo que inicialmente se consideró que como máximo se tomaría una frecuencia de muestreo 10 veces superior a la frecuencia de conmutación del convertidor, $f_{sw} = 60 \text{ kHz}$, por lo que se elige $f_s = 600 \text{ kHz}$.

Según la información disponible en la hoja de datos del ADC [21] el periodo de muestreo queda definido por la suma del tiempo de muestreo y retención t_{SH} y el tiempo de latencia t_{LAT} .

$$T_s = t_{SH} + t_{LAT} = 1/f_s \quad (3.5)$$

Para el modo 12 bits, y con una relación de 4 entre $ADCCLK$ y $SYSCLK$, $t_{LAT} = 220 \text{ ns}$. De ese modo, considerando una frecuencia de muestreo de 600 kHz, se determinó una duración máxima de la ventana de adquisición de $t_{SH} = 1.44 \mu\text{s}$. Siguiendo el procedimiento de diseño de [22] se determina que es necesario un producto ancho de banda-ganancia mínimo de 2.5 MHz para el amplificador operacional. Se eligió el TL082CDT, disponible en el LIC, que cumple con el requisito. Si bien su alimentación con fuente partida incrementó la complejidad circuital, ya era necesario implementar una alimentación de $\pm 15 \text{ V}$ para los sensores de corriente LEM LA25-NP.

A partir del análisis mediante simulación, considerando el modelo SPICE del amplificador operacional, se seleccionan los valores $R_{filt} = 220 \Omega$ y $C_{filt} = 330 \text{ pF}$. El capacitor debe ser cerámico C0G (NP0) para minimizar la distorsión de la señal a adquirir. Detalles adicionales del procedimiento pueden encontrarse en la Especificación Técnica [4].

3.2.2.4. Circuito final de la etapa de sensado

La Figura 3.13 muestra el circuito final implementado para el sensado de tensión del panel fotovoltaico y del banco de baterías. Se previó el agregado de un filtro anti-aliasing, de ser necesario, mediante los *jumpers* R_{f1} y R_{f2} . Los capacitores C_{f1} y C_{f1} se dejaron inicialmente sin popular, para poder

incorporarlos posteriormente según la necesidad de filtrado adicional. Durante la etapa de pruebas, se soldaron capacitores de filtro de 4.7 nF y resistencias de $1\text{ k}\Omega$ para obtener atenuación de la componente de la frecuencia de conmutación de 60 kHz .

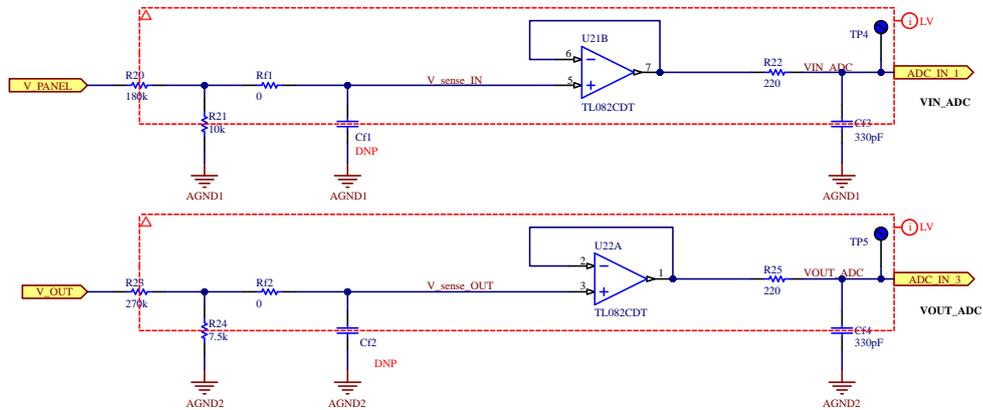


Figura 3.13: Circuito final para el sensado de tensión del panel fotovoltaico y las baterías.

El circuito final para el sensado de corriente del inductor y de salida puede observarse en la figura 3.14. En este caso no se incorporó un filtro antialiasing, ya que los sensores LA25-NP tienen un ancho de banda limitado que contribuye al filtrado. Además, se contempló la posibilidad de aplicar filtrado digital en etapas posteriores del procesamiento.

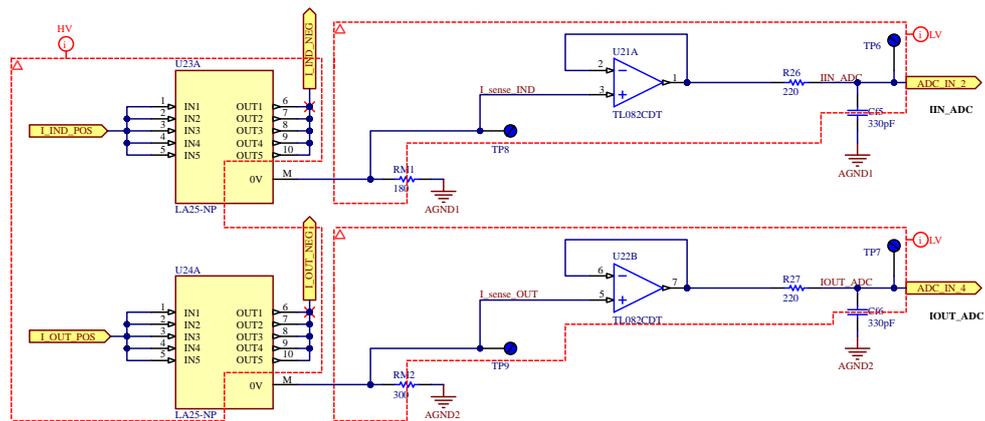


Figura 3.14: Circuito final para el sensado de corriente de salida y del inductor.

3.2.3. Etapa de alimentación

Dados los circuitos auxiliares del convertidor, presentados en las secciones 3.2.1.2 y 3.2.2, se establecieron los requerimientos para el diseño de la alimentación. Además, durante la planificación inicial del proyecto se planteó que la alimentación del sistema derive de la fuente de entrada del sistema (panel fotovoltaico) o del banco de baterías.

En base al análisis de disponibilidad de componentes en el mercado local para los rangos de tensión del panel fotovoltaico y del banco de baterías, y considerando que la operación del sistema no resulta de interés si el panel no se encuentra activo, se decidió que la alimentación de los circuitos auxiliares derive del panel fotovoltaico. Para maximizar la eficiencia, se evita el uso de reguladores lineales y se opta por convertidores conmutados. Desde la tensión del panel se generan $+5\text{ V}$, a partir de los cuales se obtienen las tensiones $\pm 15\text{ V}$ necesarias para los sensores y amplificadores. La alimentación de la etapa de salida del *driver* se genera de forma independiente, sin derivar de los $\pm 15\text{ V}$. Finalmente, se incluyen *jumpers*

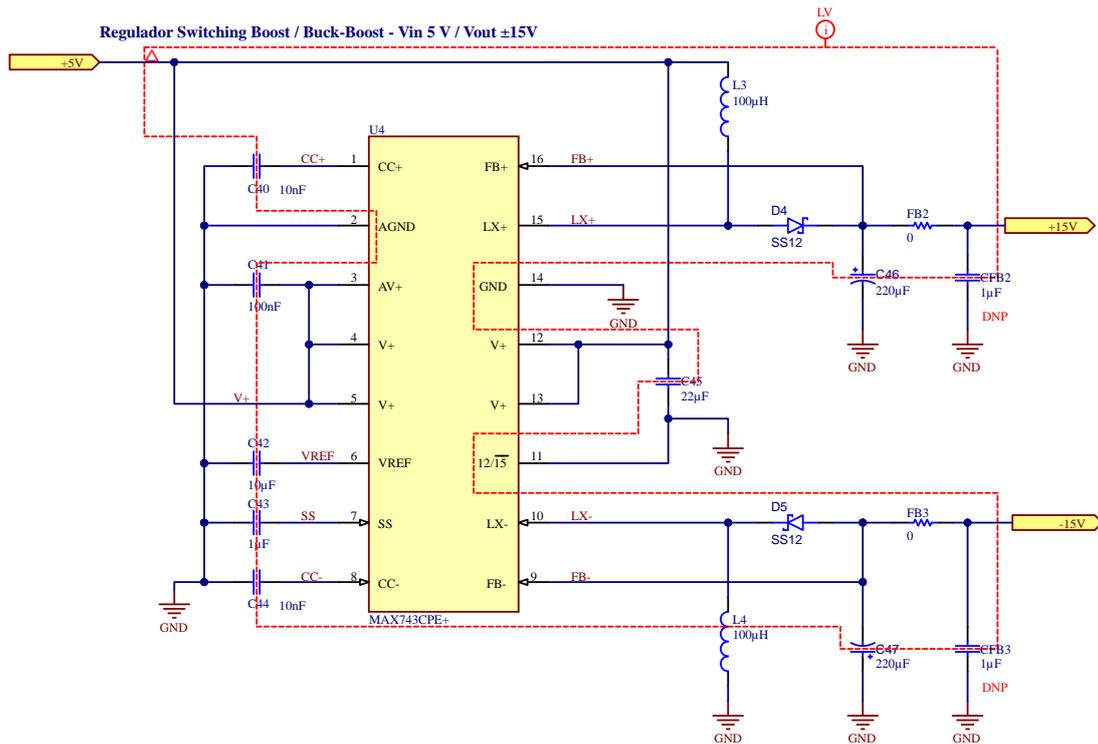
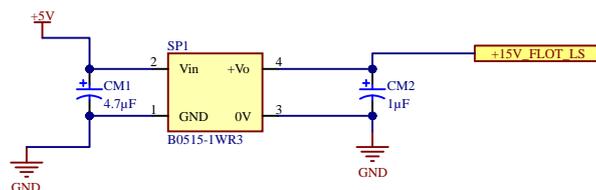


Figura 3.16: Esquemático del MAX743 con sus componentes externos.

Generación de +15 V para los *drivers*

En el caso de la topología sincrónica se requiere una fuente flotante para alimentar el *driver* del interruptor superior (HS), dado que su terminal de referencia oscila entre la tensión de salida y GND. Si bien esta solución complejiza el ruteo de la PCB, se prefirió frente a un circuito *bootstrap* por su simplicidad y por la ventaja de permitir la operación en ciclos de trabajo bajos. Para la alimentación de los *drivers* se emplean módulos aislados que elevan la tensión de 5 V hasta +15 V. El módulo elegido es el B0515S, de 1 W, que es presentado en la Figura 3.17.

Módulo aislado 5V-15V LOW SIDE



Módulo aislado 5V-15V HIGH SIDE

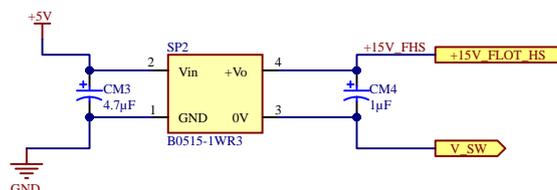


Figura 3.17: Esquemático de los módulos B0515 con sus capacitores de entrada y de salida.

3.2.3.2. Circuito final de la etapa de alimentación

En la Figura 3.18 se presenta el esquemático final del circuito de alimentación, que incluye los jumpers J12 a J15 utilizados para seleccionar entre alimentación interna o externa. El análisis de pérdidas

generadas por los integrados, teniendo en cuenta el punto de operación, se detalla en la Especificación Técnica [4].

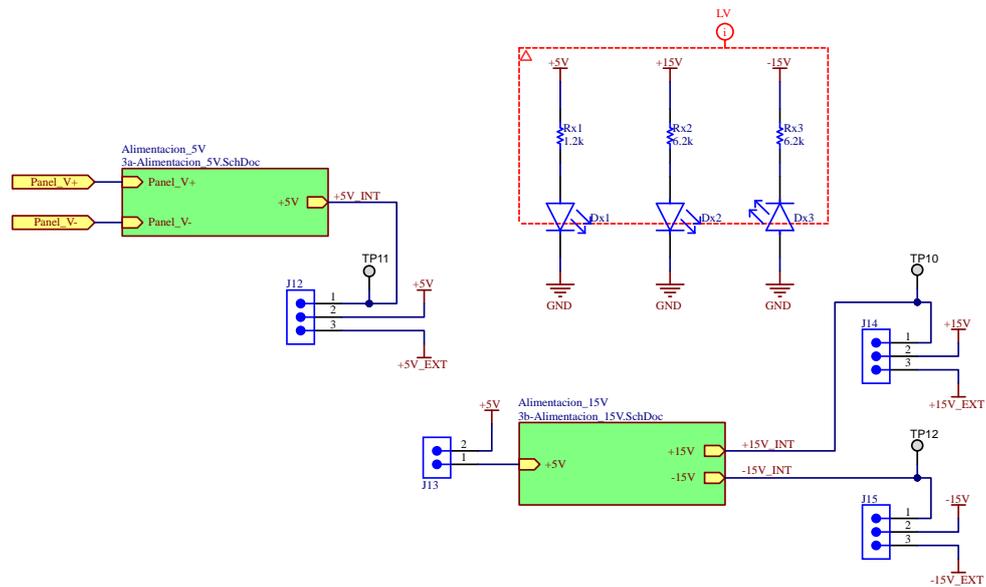


Figura 3.18: Esquemático con la conexión entre los componentes para la generación de las tensiones de alimentación.

3.2.4. Diseño final y eficiencia estimada

El esquemático completo puede encontrarse en el Apéndice A. Se incorporaron conectores de tornillo para permitir la conexión con el banco de baterías, el panel fotovoltaico y conectores MOLEX para permitir la conexión con el microcontrolador. Considerando las dimensiones del inductor construido, se agregaron conectores tornillo para su conexión externa a la PCB. Debido a que el dispositivo se construye con fines de investigación y también para facilitar la etapa de pruebas, se agregaron puntos de prueba y se contempló el agregado posterior de componentes como los *snubbers*.

A partir del análisis de pérdidas realizado para la topología asincrónica, cuyos detalles se presentan en la Especificación Técnica [4], se construyó la Tabla 3.1, que resume la potencia disipada en cada uno de los elementos del convertidor. Con esta información, se obtiene una eficiencia teórica del sistema del 96.67%, en condiciones nominales de operación.

| Componente | Pérdidas |
|---------------------------|----------------|
| MOSFET | 5.81 W |
| Diodo | 3.96 W |
| Inductor | 4.55 W |
| Capacitor | 183 mW |
| Circuitos auxiliares | 1.15 W |
| Circuitos de alimentación | 0.984 W |
| TOTAL | 16.64 W |

Tabla 3.1: Pérdidas totales en el convertidor Boost asincrónico.

Este diseño constituyó la base para la etapa de implementación, en la cual se evaluó su desempeño real y se verificó la validez de las estimaciones realizadas en esta etapa.

3.2.5. Simulaciones de la etapa de potencia

El diseño fue evaluado mediante simulaciones empleando el software NL5 de Sidelinesoft para validar el comportamiento del convertidor en condiciones de operación nominal y analizar efectos asociados a los elementos parásitos. En estas simulaciones se consideró una carga resistiva para simplificar el análisis y poder comparar las formas de onda con la carga que se utiliza para la validación experimental del requerimiento de eficiencia.

En la Figura 3.19 se muestra el circuito utilizado para simular el comportamiento del convertidor bajo un ciclo de trabajo fijo. Se consideró una tensión de entrada fija, de 40 V y una carga resistiva de 10.86 Ω de modo de operar en la condición de máxima potencia establecida en la Sección 3.1.2.1. El detalle del modelado de cada componente se puede encontrar en la Especificación Técnica [4].

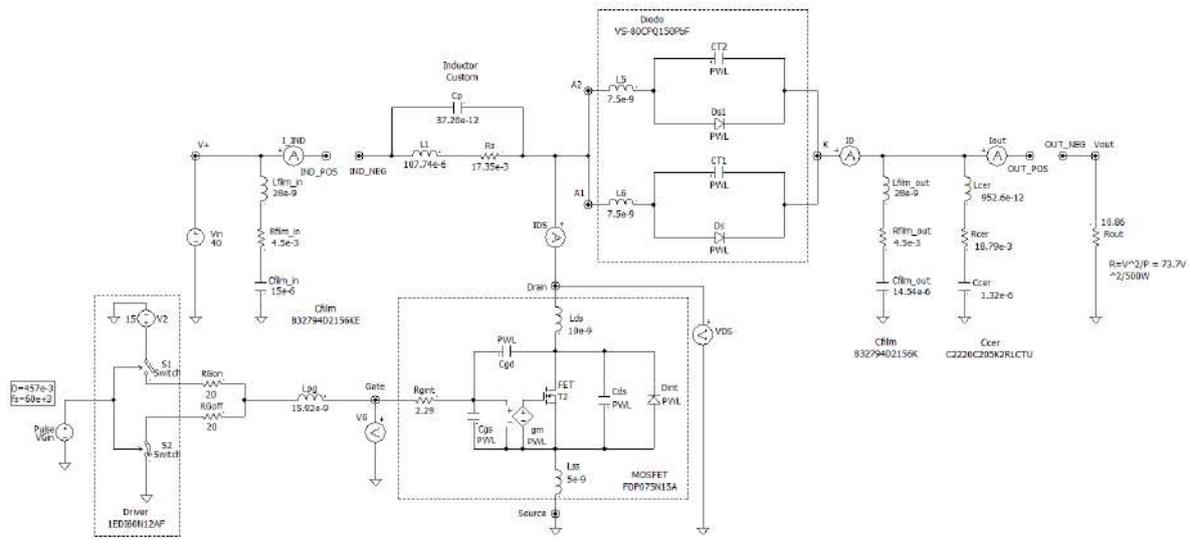


Figura 3.19: Modelo del convertidor Boost con elementos parásitos utilizado en la simulación en NL5.

Las formas de onda obtenidas se muestran en las Figuras 3.20, 3.21 y 3.22.

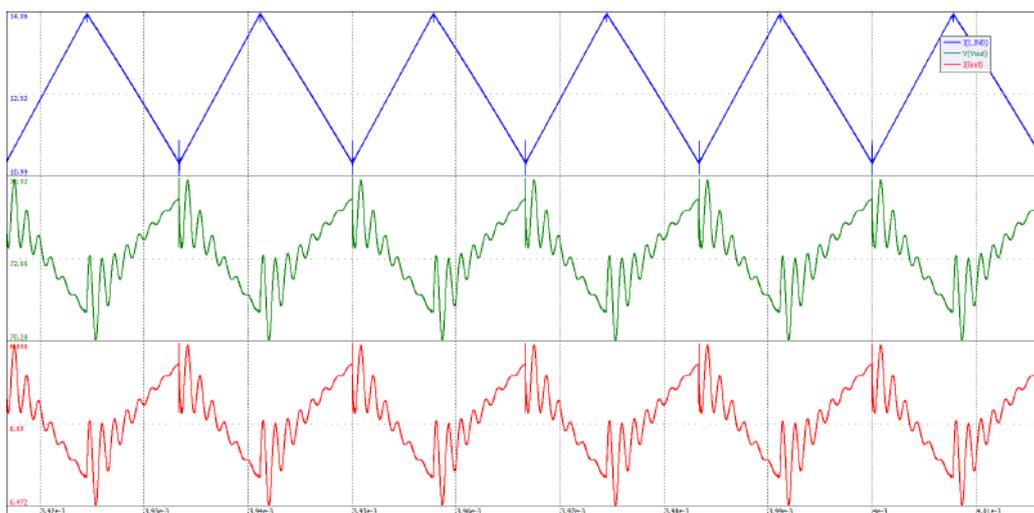


Figura 3.20: Formas de onda de la corriente del inductor (azul), tensión de salida (verde) y corriente de salida (rojo) de la simulación a ciclo de trabajo $D=0.457$ y carga resistiva.

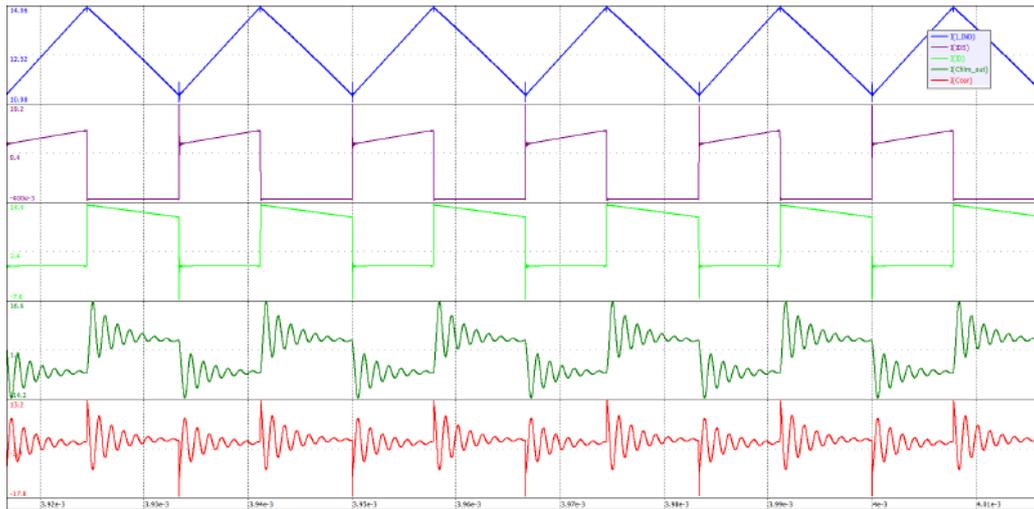


Figura 3.21: Formas de onda de las corrientes en la simulación a ciclo de trabajo $D=0.457$ y carga resistiva. De arriba hacia abajo: corriente del inductor, corriente del MOSFET, corriente del diodo, corriente del capacitor de film, corriente del capacitor cerámico.

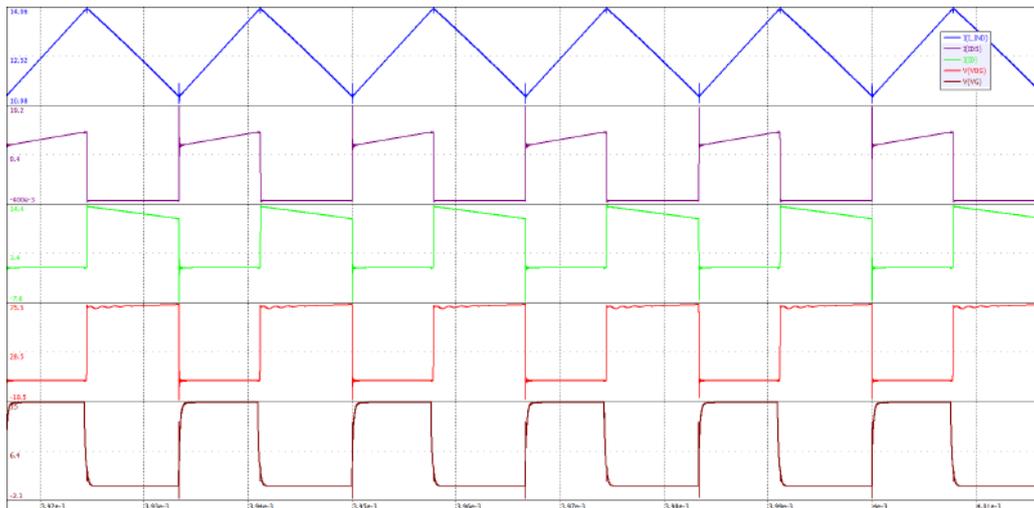


Figura 3.22: Formas de onda de la simulación a ciclo de trabajo $D=0.457$ y carga resistiva. De arriba hacia abajo: corriente del inductor, corriente del MOSFET, corriente del diodo, tensión drain-source, tensión del gate.

La oscilación de alta frecuencia observada en la tensión y corriente de salida, de 856 kHz, se atribuye a la resonancia entre el capacitor de film y el capacitor cerámico. Los picos de corriente en los dispositivos semiconductores se deben principalmente a la descarga de la capacitancia del diodo sobre el MOSFET durante en el encendido. Esta hipótesis se verificó al eliminar el componente del modelo, lo que eliminó el sobrepico. Durante la transición de apagado se observa una frecuencia de resonancia de 44.44 MHz y durante la transición de encendido se observa una resonancia de 46.66 MHz. Se obtuvieron valores de *ripple* pico a pico de corriente del inductor del 24.44 % y de tensión del 6.5 %, ambos valores porcentuales con respecto al valor medio. Debido a los efectos de las resonancias, estos valores son superiores a los valores estimados durante el diseño teórico, del 4.35 % para el *ripple* de tensión y 22.6 % para el de corriente.

Dado que los valores simulados no exceden los límites seguros de operación del dispositivo, y a que se cuenta con protección ante picos de tensión, se consideró válida esta configuración para su posterior validación experimental.

3.2.6. Construcción

3.2.6.1. Diseño de la PCB

Antes de iniciar el diseño, se contactó al fabricante elegido para determinar las restricciones impuestas a la PCB. Se definió que la PCB tendría dos capas con espesor de cobre de $35\ \mu\text{m}$ (1 oz), construida en material FR4 con TG de 140°C , y con dimensiones máximas de $2\ \text{dm}^2$. Una vez establecidas las condiciones principales, se establecieron las reglas de diseño, teniendo en cuenta las limitaciones del fabricante, reglas de *clearence* y consideraciones térmicas. El software utilizado para el diseño fue Altium Designer. Se definieron anchos de trazos y áreas de polígonos según la norma IPC-2221B, y se agruparon redes en clases según su nivel de tensión. Se calculó la cantidad de vías a colocar en paralelo en la etapa de potencia en función de la corriente máxima esperada, aplicando IPC-2152. Se utilizó la capa inferior como plano de referencia, evitando cortes en ella, y se minimizó el área de lazos críticos. Se organizó el diseño de la placa en secciones funcionales, como muestra la Figura 3.23, para separar los caminos de retorno de las señales y para también facilitar el proceso de ruteo ya que solo se contaba con la capa superior para hacerlo..

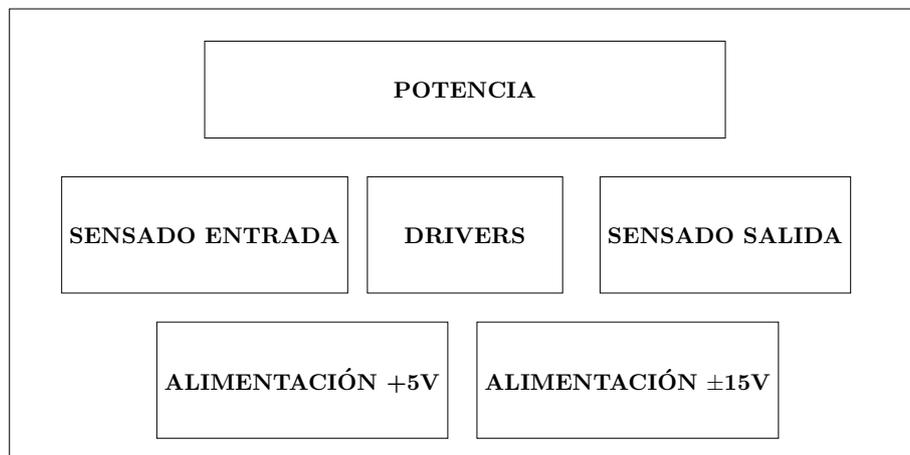


Figura 3.23: Diagrama en bloques representativo de la distribución de las distintas secciones en la PCB.

Las Figuras 3.24 y 3.25 muestran las vistas superior 2D y 3D, respectivamente, del diseño final de la PCB. Para facilitar la identificación de los distintos conectores, se numeraron y se detallan a continuación. En el Apéndice B se incluye una versión ampliada de la vista 2D superior e inferior. Las dimensiones finales de la placa resultaron ser de $140\ \text{mm} \times 175\ \text{mm}$.

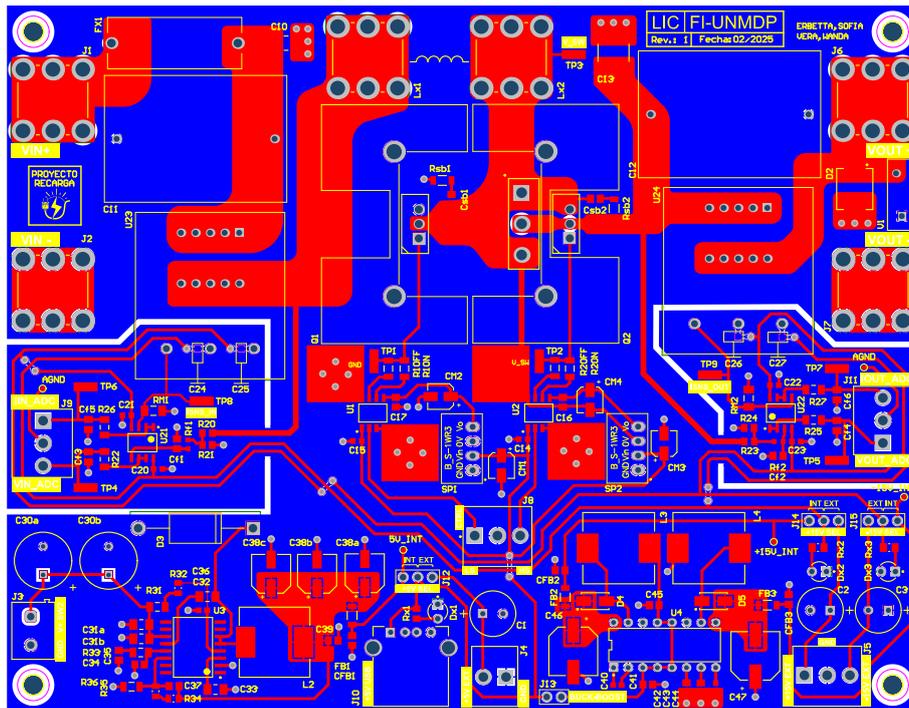


Figura 3.24: Vista 2D superior de la PCB.

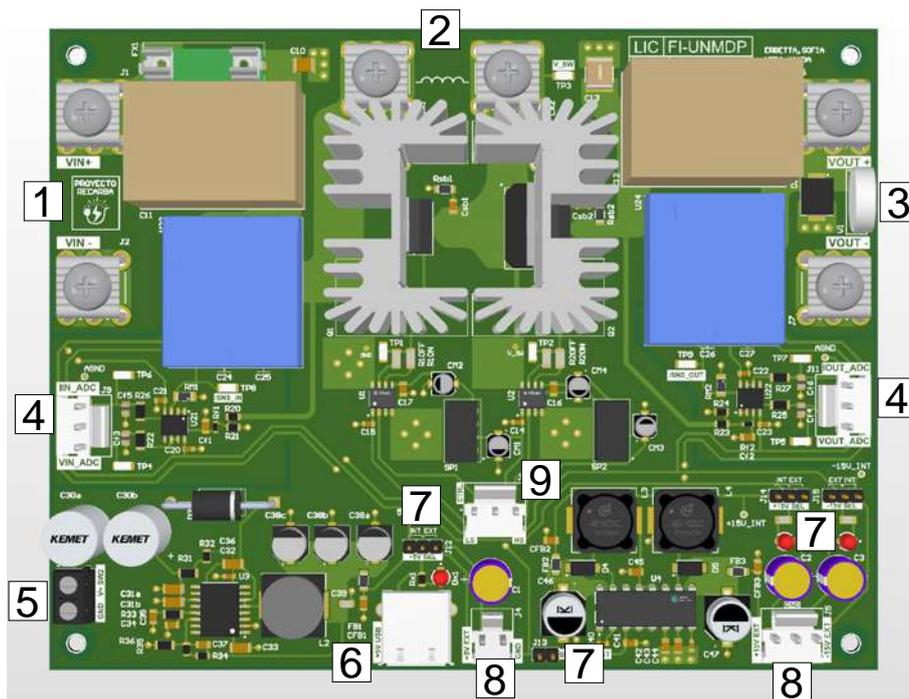


Figura 3.25: Vista 3D superior de la PCB.

- [1] Conectores de tornillo para la conexión de tensión del panel.
- [2] Conectores de tornillo para la conexión del inductor.
- [3] Conectores de tornillo para la conexión con la carga.
- [4] Conectores tipo MOLEX para la conexión de las señales sensadas con el ADC del microcontrolador.

- [5] Bornera de conexión con la tensión de entrada del panel para las alimentaciones.
- [6] Conector USB para alimentación de la placa de desarrollo.
- [7] Jumpers de selección para la habilitación de la alimentación interna o externa.
- [8] Conectores tipo MOLEX para la conexión de la alimentación externa.
- [9] Conector tipo MOLEX para la conexión de las señales de comando para los interruptores de conmutación provenientes del microcontrolador.

3.2.6.2. Montaje final del prototipo

En las Figuras 3.26 y 3.27 se encuentran las fotografías de la placa de circuito impreso fabricada. Luego de la inspección para descartar defectos de fabricación, se soldaron los componentes. Para facilitar la etapa de pruebas, la placa fue instalada sobre una base de madera, donde también se incorporaron interruptores para la conexión y desconexión de las fuentes de entrada y la carga a la salida. Esto se puede observar en la Figura 3.28.

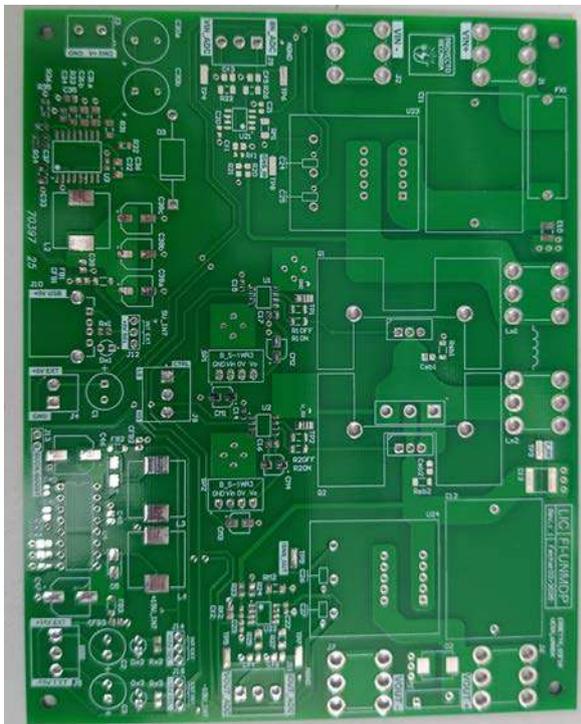


Figura 3.26: Placa de circuito impreso fabricada, vista superior.

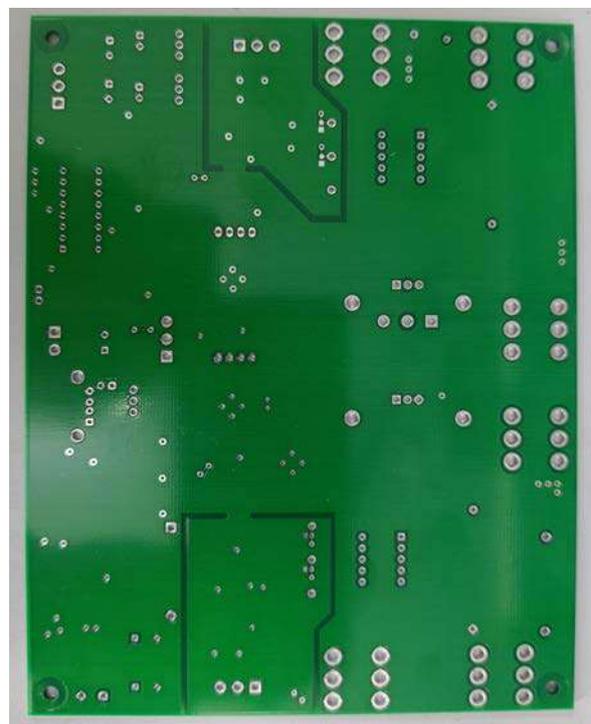


Figura 3.27: Placa de circuito impreso fabricada, vista inferior.

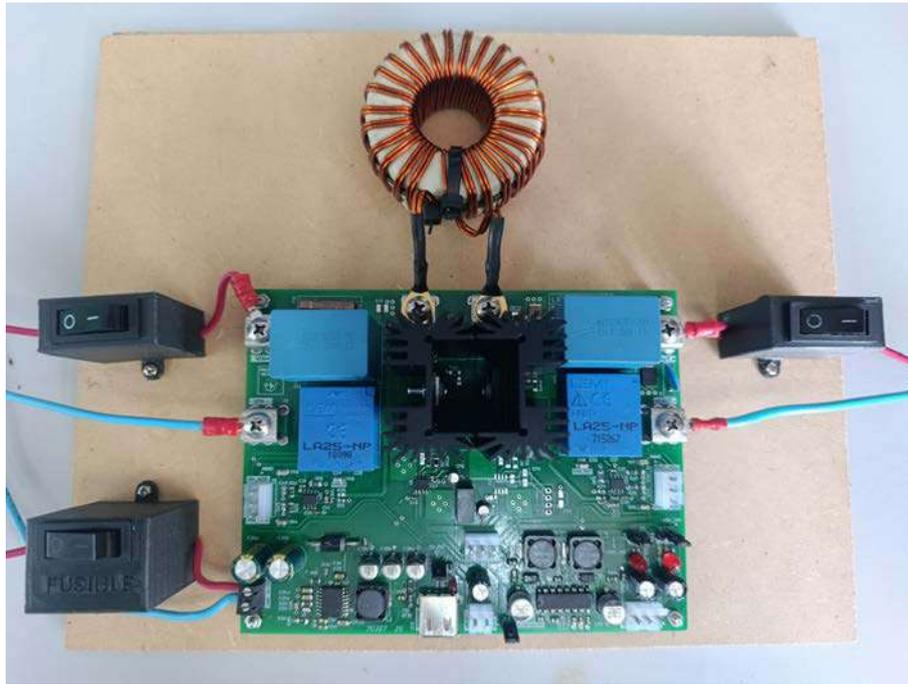


Figura 3.28: Montaje del prototipo sobre base de madera con interruptores.

3.3. Firmware

3.3.1. Diseño del sistema de control

3.3.1.1. Estrategia de control

El sistema de control digital tiene como objetivo regular la corriente de salida del convertidor ante variaciones en las condiciones de entrada o carga, garantizando la carga a corriente constante de las baterías. Para ello, se implementa una estrategia de control en modo de corriente (*Current Mode Control, CMC*) mediante dos lazos de control anidados. El lazo interno regula la corriente en el inductor actuando sobre el ciclo de trabajo, y un lazo externo ajusta la referencia del lazo interno en función de la corriente de salida.

Dado que la aplicación requiere controlar el valor promedio de la corriente de salida, se adopta el control en modo de corriente promedio (*Average Current Mode Control, ACMC*). En esta técnica, el lazo interno compara el valor promedio de la corriente del inductor con una referencia interna I_{LREF} , ajustando el ciclo de trabajo para su seguimiento. El lazo externo determina I_{LREF} a partir de la referencia de corriente de carga I_{BREF} , que debe ajustarse considerando la corriente máxima de carga para la batería.

Se optó por implementar estrategias de control basadas en el diseño de compensadores continuos, a fin de analizar la respuesta en frecuencia mediante diagramas de Bode y verificar el cumplimiento de los márgenes de estabilidad, rechazo a perturbaciones y demás especificaciones. Para ello, es necesario modelar la planta a controlar.

El convertidor Boost, tiene una estructura circuital variable en el tiempo, que se presentó en la Figura 3.4, por lo que no es un sistema invariante en el tiempo. Se debe caracterizar la planta en función de cada entrada, lo que se realiza a partir de un modelo en pequeña señal obtenido mediante la técnica de promediación de estados. El sistema resultante no es lineal, por lo que se debe linealizar en torno a un punto de operación definido.

Además, dado que el control se implementa de forma digital, el modelo continuo es discretizado

para tener en cuenta el efecto de la cuantización temporal, que afecta la dinámica de pequeña señal del sistema introduciendo retardos adicionales. Para esto se emplea la transformación bilineal que realiza una transformación del plano z discreto al plano w continuo. Este método, también conocido como método de *Tustin*, mapea las singularidades contenidas dentro del círculo unitario al semiplano izquierdo del plano w que posee características compartidas con el dominio de Laplace. Su característica principal es que preserva la respuesta en frecuencia del sistema en magnitud y fase pero la transformación del eje de frecuencias sufre una distorsión (*warping*). Las expresiones de transformación se muestran a continuación, en las ecuaciones 3.6, 3.7 y 3.8.

$$s \rightarrow \frac{2}{T} \cdot \frac{1 - z^{-1}}{1 + z^{-1}} \quad \text{transformación bilineal} \quad (3.6)$$

$$z \rightarrow \frac{1 + \frac{T}{2}s}{1 - \frac{T}{2}s} \quad \text{transformación bilineal inversa} \quad (3.7)$$

$$\omega_z = \frac{2}{T} \cdot \tan^{-1} \left(\frac{\omega_s T}{2} \right) \quad \text{warping} \quad (3.8)$$

Consideraciones para el modelado de los lazos de control anidados

La estructura de lazos anidados permite aprovechar la diferencia de dinámica entre el lazo interno y el externo, desacoplando el diseño de cada uno de los compensadores. El lazo interno, asociado a la corriente en el inductor, presenta una dinámica más rápida que la del lazo externo, vinculado a la corriente de carga de las baterías.

Para analizar el comportamiento dinámico del sistema y diseñar los compensadores se presenta el diagrama de bloques de la Figura 3.29, donde se modelan todas las etapas relevantes del lazo de control. Los bloques que constituyen el diagrama son:

- $G_{c1}(z)$, $G_{c2}(z)$: transferencias de los compensadores digitales.
- ROC : retenedor de orden cero con periodo igual al periodo de conmutación T_{sw} .
- $G_{p1}(s)$, $G_{p2}(s)$: transferencias de la planta caracterizada mediante el modelo promediado en el espacio de estados, linealizadas entorno a un punto de operación.
- $H1_{sense}(s)$, $H2_{sense}(s)$: transferencias asociadas al sensor de corriente y al circuito de acondicionamiento de señal.
- ADC : Conversor analógico-digital con un periodo de muestreo T_s .
- $FIR(z)$: filtro digital implementado para obtener el valor promedio de la señal adquirida.

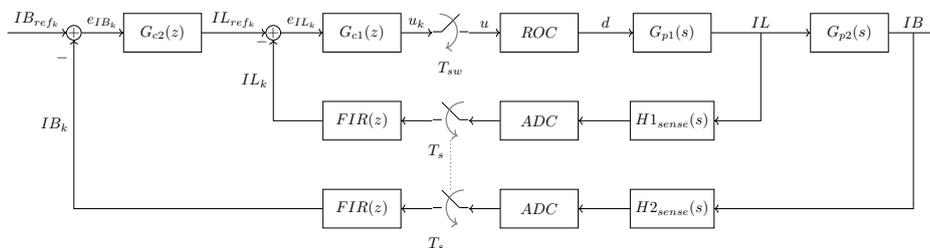


Figura 3.29: Diagrama en bloques del lazo de control de corriente de salida

Los criterios empleados para el modelado de estos bloques están sujetos a las características de la implementación y tienen como finalidad obtener un modelado en tiempo discreto del sistema. Estos criterios son los siguientes:

- La acción de control se ejecuta con un modulador de ancho de pulso digital (*Digital Pulse Width Modulator, DPWM*) simétrico, que actualiza el ciclo de trabajo una vez por periodo de conmutación T_{sw} . Para modelar este efecto se recurre a un muestreador ideal seguido de un retenedor de orden cero (ROC), cuya transferencia en el plano s se presenta en la Ecuación 3.9 siguiendo la teoría expuesta para control digital de convertidores de potencia [23].

$$G_{ROC}(s) = \frac{(1 - e^{-sT_{sw}})}{s} \quad (3.9)$$

- La transferencias asociadas al sensado (Ec. 3.10 y Ec. 3.11) contemplan la limitación de ancho de banda del sensor de corriente y el circuito de acondicionamiento de señal, que fueron presentados previamente en la Sección 3.2.2.

$$H1_{sense}(s) = \frac{K_{H1}}{(1 + s/(2\pi \cdot 150 \cdot 10^3 Hz))}, \text{ con } K_{H1} = 180 \text{ m}\Omega. \quad (3.10)$$

$$H2_{sense}(s) = \frac{K_{H2}}{(1 + s/(2\pi \cdot 150 \cdot 10^3 Hz))}, \text{ con } K_{H2} = 300 \text{ m}\Omega. \quad (3.11)$$

- El conversor analógico digital se modela como la conexión en cascada de un muestreador ideal y un cuantizador uniforme de n bits, siendo $n = 12$ para el caso del ADC empleado. Los valores de amplitud de la señal muestreada se codifican adoptando un valor dentro de un conjunto finito de valores. La Ecuación 3.12 se emplea para modelar la ganancia del ADC. Los errores de cuantización no son modelados en esta instancia.

$$G_{ADC} = \frac{2^n}{F_{SR}} = \frac{2^{12}}{3 \text{ V}} \quad (3.12)$$

- La adquisición de las señales se implementa tomando tres muestras equiespaciadas por ciclo de conmutación, con la primera muestra sincronizada al inicio del periodo del PWM. De ese modo, el periodo de conmutación es tres veces mayor que el periodo de muestreo, $T_{sw} = 3 \cdot T_s$. Cada vez que se obtiene una muestra, se aplica un filtro digital FIR (*Finite Impulse Response*) diseñado para calcular el valor promedio de la corriente. Una vez completada la conversión de la tercera muestra por parte del ADC, el microcontrolador ejecuta el algoritmo de control, que determina la corriente de referencia para el lazo interno y el ciclo de trabajo correspondiente para el próximo ciclo de conmutación. El nuevo valor de ciclo de trabajo se carga en el registro *shadow* del microcontrolador y se transfiere al comparador del PWM únicamente al finalizar el ciclo de conmutación. Como consecuencia de esta implementación, se introduce un retardo adicional asociado al algoritmo de control, que corresponde al intervalo entre el muestreo de la señal y la aplicación efectiva de la acción de control. Este retardo se considera como $t_d = T_s = \frac{T_{sw}}{3}$, y su estimación se detalla en la Sección 3.3.2.4, junto con la descripción completa de la implementación.
- El algoritmo de control permite ajustar las ganancias de las variables de manera que u_k representa directamente el ciclo de trabajo sin factores de escala adicionales.
- En el análisis de la transferencia a lazo cerrado de la planta se consideran ganancias K_H y G_{ADC} unitarias y se obtienen las ecuaciones en diferencias de los compensadores. Luego, estos compensadores son multiplicados por los factores de escala correspondientes a través del algoritmo de control. Independizarse de estas constantes resulta útil debido a que las ganancias efectivas de los sensores y los circuitos de acondicionamiento son calibradas en la instancia posterior a la construcción.

A continuación se muestra, en las Figuras 3.30 y 3.31, un esquema simplificado para cada lazo de control.

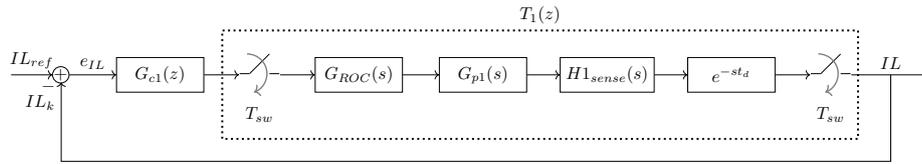


Figura 3.30: Diagrama en bloques simplificado del lazo interno de control de corriente en el inductor IL .

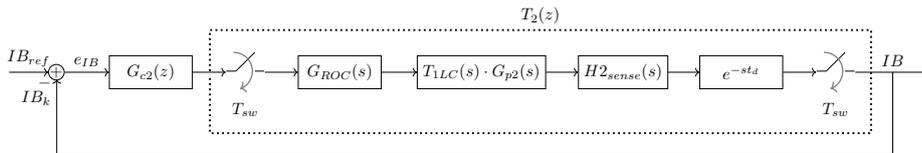


Figura 3.31: Diagrama en bloques simplificado del lazo de control de corriente de salida IB .

El objetivo de esta simplificación es modelar la transferencia a lazo abierto sin compensar $T(z)$, con un modelo discreto equivalente, para luego diseñar los compensadores $G_{c1}(z)$ y $G_{c2}(z)$.

3.3.1.2. Modelo de la transferencia de la planta $G_{p1}(s)$

Para obtener el modelo promediado, se modelan las baterías como un sistema compuesto por una resistencia en serie r_b con un generador de tensión ideal V_b , que representa su tensión a circuito abierto.

En la Figura 3.32 se presenta el esquema circuital de la planta. La transferencia $G_{p1}(s)$ se obtiene a partir de un modelo simplificado, luego de validar que la influencia de r_C , r_L , r_{DSon} y V_D , es despreciable a los efectos del diseño del control. Esto se debe a que sus valores son lo suficientemente bajos como para afectar significativamente en la respuesta en frecuencia del sistema.

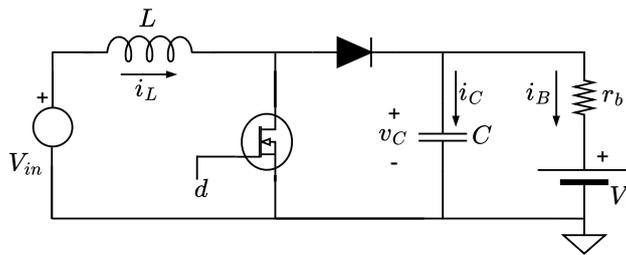


Figura 3.32: Esquema circuital para obtener el modelo promediado de la planta.

Del esquema circuital de la Figura 3.32 se obtiene el sistema de ecuaciones del modelo promediado (Ec. 3.13) y sus matrices en el espacio de estados (Fig. 3.33).

$$\begin{cases} \dot{i}_L = \frac{v_{in}}{L} - \frac{(1-d) \cdot v_C}{L} \\ \dot{v}_C = \frac{(1-d) \cdot i_L}{C} - \frac{v_C}{r_b} + \frac{V_b}{C \cdot r_b} \end{cases} \quad (3.13)$$

El sistema resultante es no lineal, por lo que se linealiza en torno a un punto de operación (i_{L0}, v_{C0}) que debe ser seleccionado considerando el peor caso para la compensación desde el punto de vista de la estabilidad. A partir de este modelo se obtiene la transferencia de pequeña señal de la corriente en el inductor \tilde{i}_L respecto a la variación del ciclo de trabajo \tilde{d} , que se presenta en la Ecuación 3.14.

$$\text{Variables de estado: } \mathbf{x} = \begin{bmatrix} i_L \\ v_C \end{bmatrix}, \quad \text{Entradas: } \mathbf{u} = \begin{bmatrix} V_{in} \\ d \\ V_{bat} \end{bmatrix}$$

$$\mathbf{A}_m = \begin{bmatrix} 0 & -\frac{1-D}{L} \\ \frac{1-D}{C} & -\frac{1}{Cr_b} \end{bmatrix}$$

$$\mathbf{B}_m = \begin{bmatrix} \frac{1}{L} & \frac{v_{C0}}{L} & 0 \\ 0 & -\frac{i_{L0}}{C} & \frac{1}{Cr_b} \end{bmatrix}$$

$$\mathbf{C}_m = [1 \quad 0],$$

$$\mathbf{D}_m = [0 \quad 0 \quad 0]$$

Figura 3.33: Matrices del modelo promediado en el espacio de estados.

$$Gp_{i_L}(s) = \frac{\tilde{i}_L(s)}{\tilde{d}(s)} = \frac{\left(s + \frac{1}{C \cdot r_b}\right) \frac{v_{C0}}{L} + \frac{(1-D) \cdot i_{L0}}{L \cdot C}}{s^2 + \frac{1}{C \cdot r_b} s + \frac{(1-D)^2}{L \cdot C}} \quad (3.14)$$

Se analizan las singularidades de la planta y se deduce la expresión en la cual los polos de la planta son reales (Ec. 3.15). Se obtiene que la condición más desfavorable para la planta es cuando el polo dominante se encuentra más cercano al origen y la ganancia es máxima. Esta situación se corresponde al caso en el que las baterías están descargadas, con resistencia $r_{b,min}$ y se está en una condición de ciclo de trabajo máximo $D_{máx}$.

$$\frac{1}{\sqrt{L \cdot C}} < \frac{1}{2 \cdot C \cdot r_b (1-D)} \quad (3.15)$$

Evaluación del modelo de la planta en las condiciones de prueba

Para evaluar el comportamiento de la planta en distintas condiciones es necesario caracterizar la batería utilizada como carga. En el Laboratorio de Instrumentación y Control se dispone de baterías ELPRA 6-DZF-20. Como se indicó en la Sección 3.1.1, las baterías VRLA se cargan típicamente con corrientes comprendidas entre el 13 % y el 20 % de su capacidad nominal, expresada en Ah.

Dado que no se cuenta con la hoja de datos de las ELPRA 6-DZF-20 no se tiene una recomendación del fabricante con respecto a la corriente máxima de carga. Por lo tanto, se tiene en cuenta su capacidad nominal de 20 Ah y se adopta como referencia una corriente de $I_{bat} = 2.5$ A considerando un criterio conservador. Debido a esta limitación de la corriente, no es posible realizar la prueba de carga a la condición de 500 W para la que fue diseñado el convertidor. En su lugar, se efectúa el diseño del control considerando el material disponible para realizar las pruebas, considerando un banco de baterías de 48 V.

Los valores de la resistencia serie r_b y la tensión a circuito abierto V_b de las baterías utilizados se basaron en los resultados experimentales obtenidos en el proyecto final "Diseño y construcción de una microrred de CC" [5]. Los resultados, obtenidos a partir de un ensayo descarga-reposo-descarga, se presentan en la Tabla 3.2.

A continuación se listan las premisas que se tuvieron en cuenta para el modelado del circuito promediado y su posterior representación en el espacio de estados.

| Parámetro | Batería 12 V | Banco 48 V |
|--------------|--------------------|---------------------|
| r_b | 45 – 109 $m\Omega$ | 180 – 436 $m\Omega$ |
| $V_b(100\%)$ | 13.1 V | 52.4 V |
| $V_b(0\%)$ | 11.8 V | 47.2 V |

Tabla 3.2: Parámetros de la batería ELPRA 6-DZF-20

- Tensión de entrada $V_{MP_{panel}} = 39\text{ V} < V_{IN_{panel}}|_{STC} < V_{OC_{panel}} = 46.1\text{ V}$
- Tensión de circuito abierto del banco de baterías $V_{b_{min}} = 47.2\text{ V} < V_b < V_{b_{máx}} = 52.4\text{ V}$
- Resistencia serie del banco de baterías $r_{b_{min}} = 180\text{ m}\Omega < r_b < r_{b_{máx}} = 436\text{ m}\Omega$
- Corriente de carga de las baterías $I_{bat} < I_{bat,máx} = 2.5\text{ A}$
- Valores de los componentes del convertidor $L = L_{op} = 107.7\text{ }\mu\text{H}$ y $C = C1_{ef} + C2_{ef} = 15.86\text{ }\mu\text{F}$

En la Figura 3.34 se muestra un barrido con los diagramas de Bode de la planta $G_{pIL}(s)$ para distintos puntos de operación; se corrobora la condición de peor caso (curva punteada) y se procede a calcular la transferencia de la planta $G_{p1}(s)$ (Ec. 3.16).

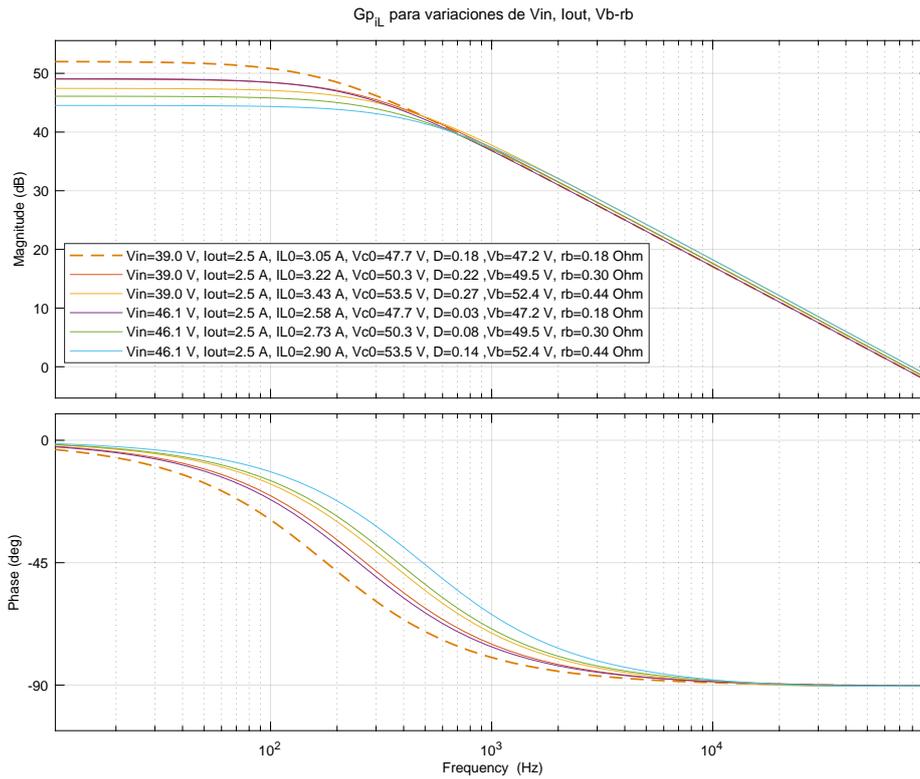


Figura 3.34: Diagrama de Bode de $G_{pIL}(s)$ en distintos puntos de operación.

$$G_{p1}(s) = G_{pIL}(s) = \frac{398.71 \cdot (1 + s/(2\pi \cdot 56.28 \cdot 10^3 \text{ Hz}))}{(1 + s/(2\pi \cdot 180 \text{ Hz}))(1 + s/(2\pi \cdot 55.57 \cdot 10^3 \text{ Hz}))} \quad (3.16)$$

3.3.1.3. Diseño del lazo de control de la corriente en el inductor

Conociendo la transferencia de la planta $G_{p1}(s)$ se calcula la ganancia de lazo abierto sin compensar discreta $T_1(z)$ aplicando la transformación al plano z , como se detalla en la Ec. 3.17. Para la expresión exponencial del modelo de retardo se utiliza la aproximación de Padé de primer orden y se hace uso de la herramienta de cálculo *Matlab*. Se considera un retardo $t_d = \frac{T_{sw}}{3} = 5.55 \mu s$ y el periodo de conmutación $T_{sw} = 16.66 \mu s$.

$$T_1(z) = Z \left[e^{-st_d} \cdot \left(\frac{1 - e^{-sT_{sw}}}{s} \right) \cdot G_{p1}(s) \cdot \frac{1}{1 + s/(2\pi \cdot 150 \cdot 10^3 Hz)} \right] \quad (3.17)$$

$$T_1(z) = (1 - z^{-1}) \cdot Z \left[e^{-st_d} \cdot \frac{G_{p1}(s)}{s} \cdot \frac{1}{1 + s/(2\pi \cdot 150 \cdot 10^3 Hz)} \right]$$

Como se planteó en la Sección 3.3.1.1, es necesario realizar la transformación al plano w con la Ec. 3.7, y se debe considerar que la frecuencia de corte deseada en z (w_z) primero debe caracterizarse en el plano w a través de la Ec. 3.8. Al evaluar el efecto de distorsión de frecuencia se calcula que para frecuencias menores a $6 kHz$ $T_1(z) \approx T_1(w)$, con un error menor al 10% por lo que por simplicidad se modela $G_{C1}(w)$ con la curva de $T_1(w)$.

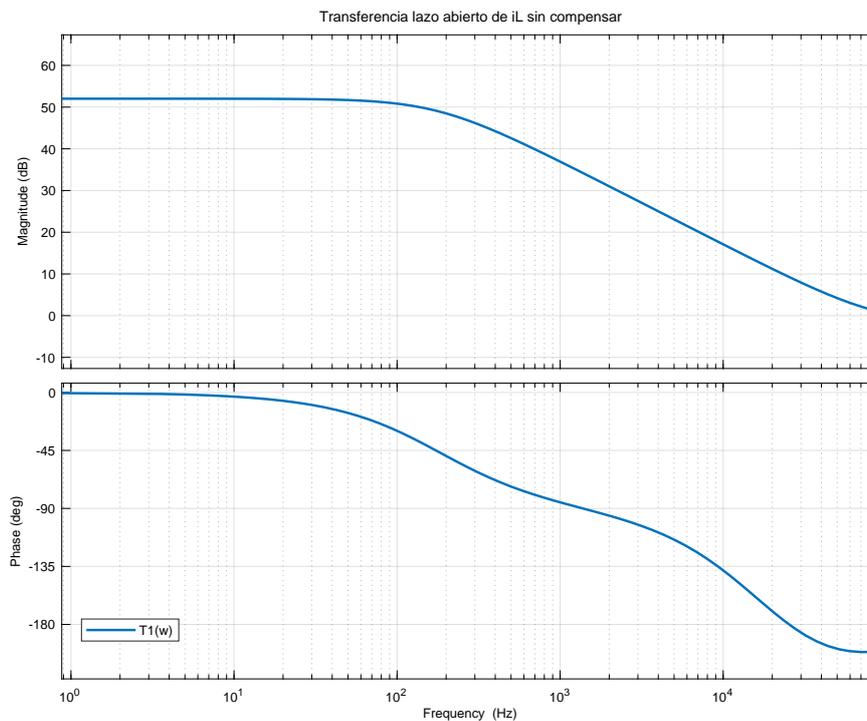


Figura 3.35: Transferencia $T_1(w)$

Diseño del controlador $G_{c_{IL}}$

Los requerimientos de diseño fijados fueron los siguientes:

- Error nulo en la respuesta al escalón.
- Maximizar ancho de banda.
- Margen de fase $> 60^\circ$ para asegurar estabilidad adoptando un criterio conservador.

Se diseñó un controlador PI a partir $T_1(w)$. Se colocó el cero del compensador a la frecuencia del polo dominante de la planta y luego se ajustó la ganancia para ajustar la frecuencia de cruce por 0 dB de manera de asegurar el margen de fase deseado.

$$G_{C1}(w) = \frac{89.1251 \cdot (1 + jw/1100)}{jw} \quad (3.18)$$

Luego se aplicó la transformada bilineal para obtener $G_{C1}(z)$ (Ec.3.19) y luego poder aplicar la ecuación en diferencias dentro del algoritmo de control.

$$G_{C1}(z) = \frac{0.08177 \cdot z - 0.08028}{z - 1} \quad (3.19)$$

En la Figura 3.36 se observan los diagramas de Bode de la transferencia a lazo abierto $GH_1(z)$ con la frecuencia de corte en $w_{z,c} = 2\pi \cdot 5.5 \text{ kHz}$ y con $M_\phi = 60^\circ$; y la transferencia de lazo cerrado $T_{LC_{IL}}$ de la cual obtiene que el ancho de banda resultante es $BW_{IL} = 11.2 \text{ kHz}$

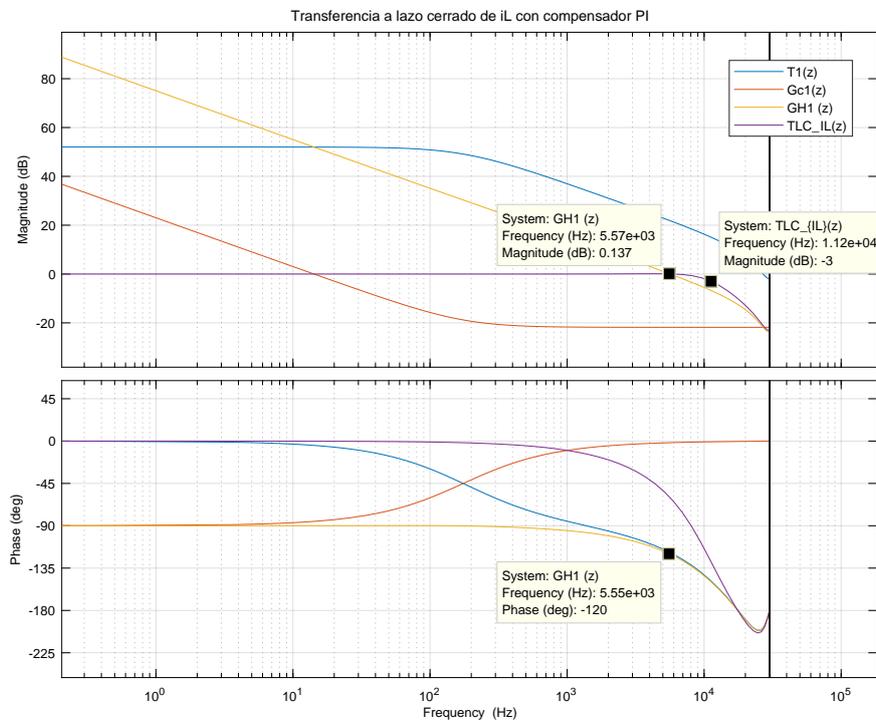


Figura 3.36: Transferencia de lazo cerrado $T_{LC_{IL}}(z)$

3.3.1.4. Diseño del lazo de control de corriente en las baterías

En la Figura 3.37 se plantea un esquema circuital para obtener el modelo de la planta del lazo externo de control. Se realiza el mismo procedimiento que se utilizó en el desarrollo de $G_{p1}(s)$, obteniendo el modelo promediado y linealizando entorno a un punto de operación para obtener la transferencia de la planta que se presenta en la Ec. 3.20.

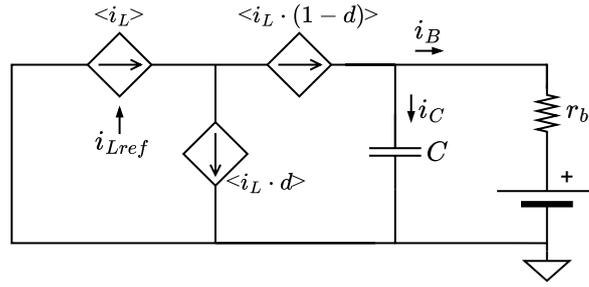


Figura 3.37: Esquema circuital de la planta a compensar.

$$G_{pib}(s) = \frac{\tilde{i}_b(s)}{\tilde{i}_L e(s)} = \frac{(1-D)}{1 + C \cdot r_b \cdot s} \quad (3.20)$$

De manera análoga al análisis de peor caso de la planta $G_{p1}(s)$, se evaluó que la condición más desfavorable para compensar el lazo externo es cuando la ganancia de la planta $G_{p2}(s) = G_{pib}(s)$ es máxima, es decir, con $D_{\min} = 0.05$ y $r_{b,\min} = 180 \text{ m}\Omega$. Se obtuvo así la transferencia de $G_{p2}(s)$, presentada en la Ecuación 3.21, para calcular $T_2(z)$ (Ec. 3.22).

$$G_{p2}(s) = G_{pib}(s) = \frac{0.95}{1 + s/(2\pi \cdot 55.77 \cdot 10^3 \text{ Hz})} \quad (3.21)$$

$$T_2(z) = Z \left[e^{-st_d} \cdot \left(\frac{1-e^{-sT_{sw}}}{s} \right) \cdot T_{LCiL}(s) \cdot G_{p2}(s) \cdot \frac{1}{1+s/(2\pi \cdot 150 \cdot 10^3 \text{ Hz})} \right] \quad (3.22)$$

$$T_2(z) = (1 - z^{-1}) \cdot Z \left[e^{-st_d} \cdot T_{LCiL}(s) \frac{G_{p2}(s)}{s} \cdot \frac{1}{1+s/(2\pi \cdot 150 \cdot 10^3 \text{ Hz})} \right]$$

Aplicando la transformación bilineal se obtiene el modelo continuo del sistema que se va a compensar. Los efectos de distorsión debido al mapeo entre el dominio discreto y el continuo en las frecuencias que resultan de interés son despreciables.

Diseño del controlador G_{CIB}

Los requerimientos de diseño fijados fueron los siguientes:

- Error nulo en la respuesta al escalón.
- Ancho de banda 10 veces menor al ancho de banda del lazo interno.
- Margen de fase $> 60^\circ$.

Se diseñó un controlador integral para compensar $T_2(w)$ y obtener una respuesta con error nulo al escalón. A diferencia del diseño de $G_{C1}(w)$, donde la limitación está dada por el margen de fase, en este caso la limitante es el requerimiento de ancho de banda. Por este motivo, el controlador $G_{C2}(w)$ (Ec. 3.23) implementado no fue un PI.

$$G_{C2}(w) = \frac{8413.95}{jw} \quad (3.23)$$

Luego, se aplicó la transformada bilineal para obtener $G_{C2}(z)$ (Ec.3.24) y finalmente poder aplicar la ecuación en diferencias dentro del algoritmo de control.

$$G_{C2}(z) = \frac{0.07012 \cdot z - 0.07012}{z - 1} \quad (3.24)$$

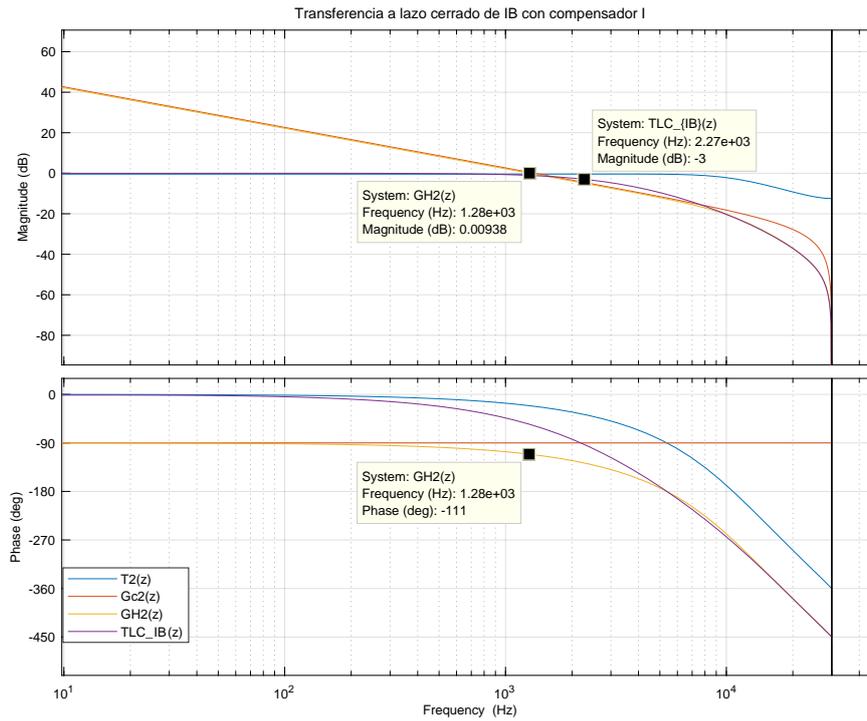


Figura 3.38: Transferencia lazo cerrado $T_{LC_{IB}}(z)$

En la Figura 3.38 se observan los diagramas de Bode de la transferencia a lazo abierto compensada, $GH_2(z)$, con la frecuencia de corte en $w_{z,c} = 2\pi \cdot 1.28 \text{ kHz}$ y margen de fase $M_\phi = 69^\circ$. De la transferencia de lazo cerrado $T_{LC_{IB}}$ se extrae el ancho de banda del sistema $BW_{IL} = 2.27 \text{ kHz}$.

Finalmente los compensadores diseñados y sus características se presentan resumidos en la Tabla 3.3.

| | $G_{c1}(z)$ | $G_{c2}(z)$ |
|---------------|---|---|
| Transferencia | $G_{C1}(z) = \frac{0.08177 \cdot z - 0.08028}{z - 1}$ | $G_{C2}(z) = \frac{0.07012 \cdot z - 0.07012}{z - 1}$ |
| M_ϕ | 60° | 69° |
| BW | 11.2 kHz | 2.27 kHz |

Tabla 3.3: Compensadores diseñados.

3.3.2. Implementación del sistema de control

3.3.2.1. Microcontrolador y entorno de desarrollo

Como se indicó en la Sección 3.2.2, para la implementación del sistema de control digital del convertidor Boost se utilizó la placa de desarrollo LaunchPad™ LAUNCHXL-F28377S de Texas Instruments (TI) basada en el microcontrolador TMS320F28377S, que se muestra en la Figura 3.39. El firmware fue desarrollado en lenguaje C, empleando el entorno de desarrollo integrado (IDE) Code Composer Studio™ (CCS), provisto por TI. Para la configuración y el control de los periféricos del dispositivo se utilizó la librería *DriverLib*.



Figura 3.39: Placa de desarrollo LAUNCHXL-F28377S.

3.3.2.2. Estructura general del programa

En la implementación del sistema de control digital la adquisición de señales y la ejecución del lazo de control se sincronizan con la señal de conmutación del convertidor.

Tras la etapa de inicialización, el programa principal (Figura 3.40) entra en un bucle de espera de la rutina de servicio de interrupción (*Interrupt Service Routine, ISR*), que se ejecuta de forma periódica al completarse una conversión del ADC (*End Of Conversion, EOC*).

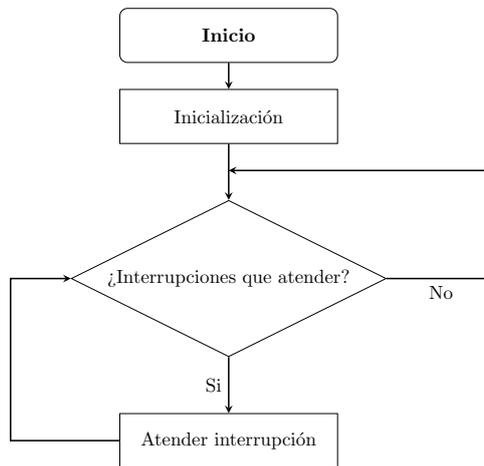


Figura 3.40: Diagrama de flujo del programa principal.

El funcionamiento de los módulos ePWM del microcontrolador C2000™ se basa en la comparación entre un contador interno (*Time-Base Counter Register, TBCTR*) y un registro de comparación (*CoMPare, CMP*). La configuración de TBCTR permite fijar la frecuencia de conmutación de la señal PWM. El valor del ciclo de trabajo se actualiza mediante el uso del registro *shadow*, que actúa como un buffer. El nuevo valor de CMP se transfiere al registro activo únicamente en momentos sincronizados con TBCTR para evitar condiciones de actualización asincrónica.

Para realizar un filtrado digital de tres muestras por ciclo de conmutación, se generan tres eventos de conversión analógica-digital en cada ciclo. Estos eventos de inicio de conversión (*Start Of Conversion, SOC*) son disparados por un módulo ePWM auxiliar sincronizado con el ePWM de control, pero con frecuencia tres veces superior. Este módulo genera el evento SOC cuando su contador TBCTR es igual a cero.

Con el primer evento EOC, se filtran las señales adquiridas y se evalúa si corresponde activar el mecanismo de protección por subtensión de entrada (*Under-Voltage Lock-Out, UVLO*). Si la tensión de entrada permanece por debajo del umbral definido durante varios ciclos, el sistema se deshabilita. La

operación se reanuda únicamente cuando la tensión supera un segundo umbral, también sostenido en el tiempo.

En paralelo, se monitorean condiciones de falla como sobrecorriente o sobretensión mediante la función de protección por *Trip Zone*. Este mecanismo permite que el módulo ePWM responda con mínima latencia forzando su salida a nivel bajo, independientemente del estado del lazo de control. Para evitar falsas detecciones durante el arranque, estas protecciones se habilitan solo una vez superada la condición UVLO.

Con el segundo y tercer evento EOC, se ejecuta la rutina principal de control (Figura 3.42), en la cual se filtran digitalmente las variables, se evalúa el algoritmo de control, se calcula el nuevo ciclo de trabajo y se actualiza el registro de comparación *shadow* del módulo ePWM.

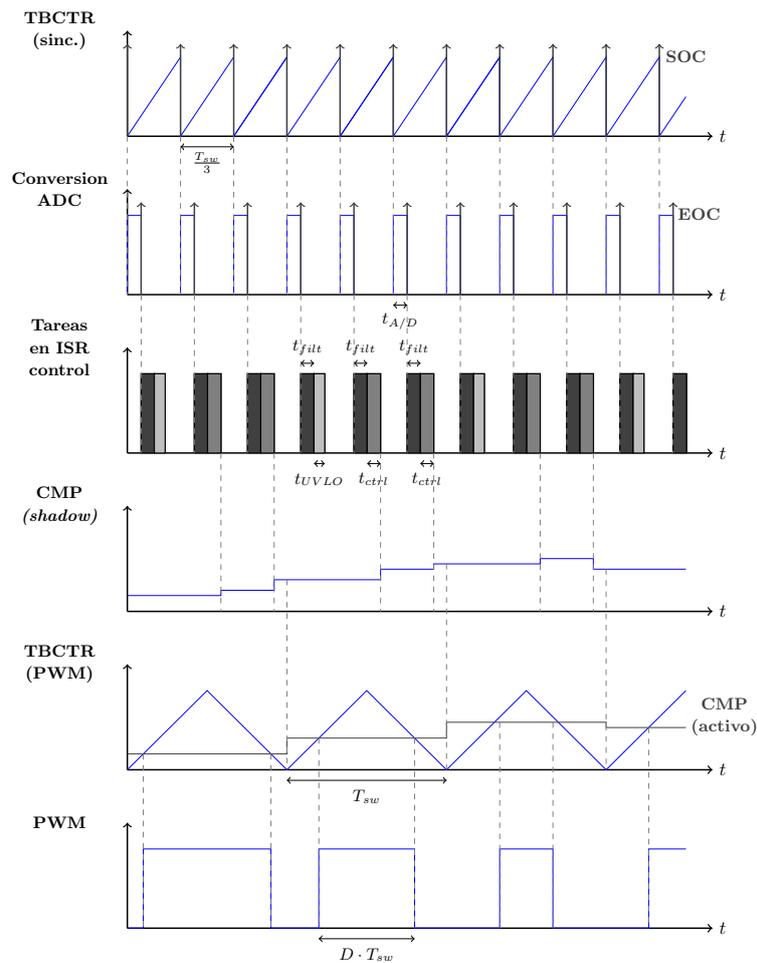


Figura 3.41: Diagrama temporal de las formas de onda de la implementación.

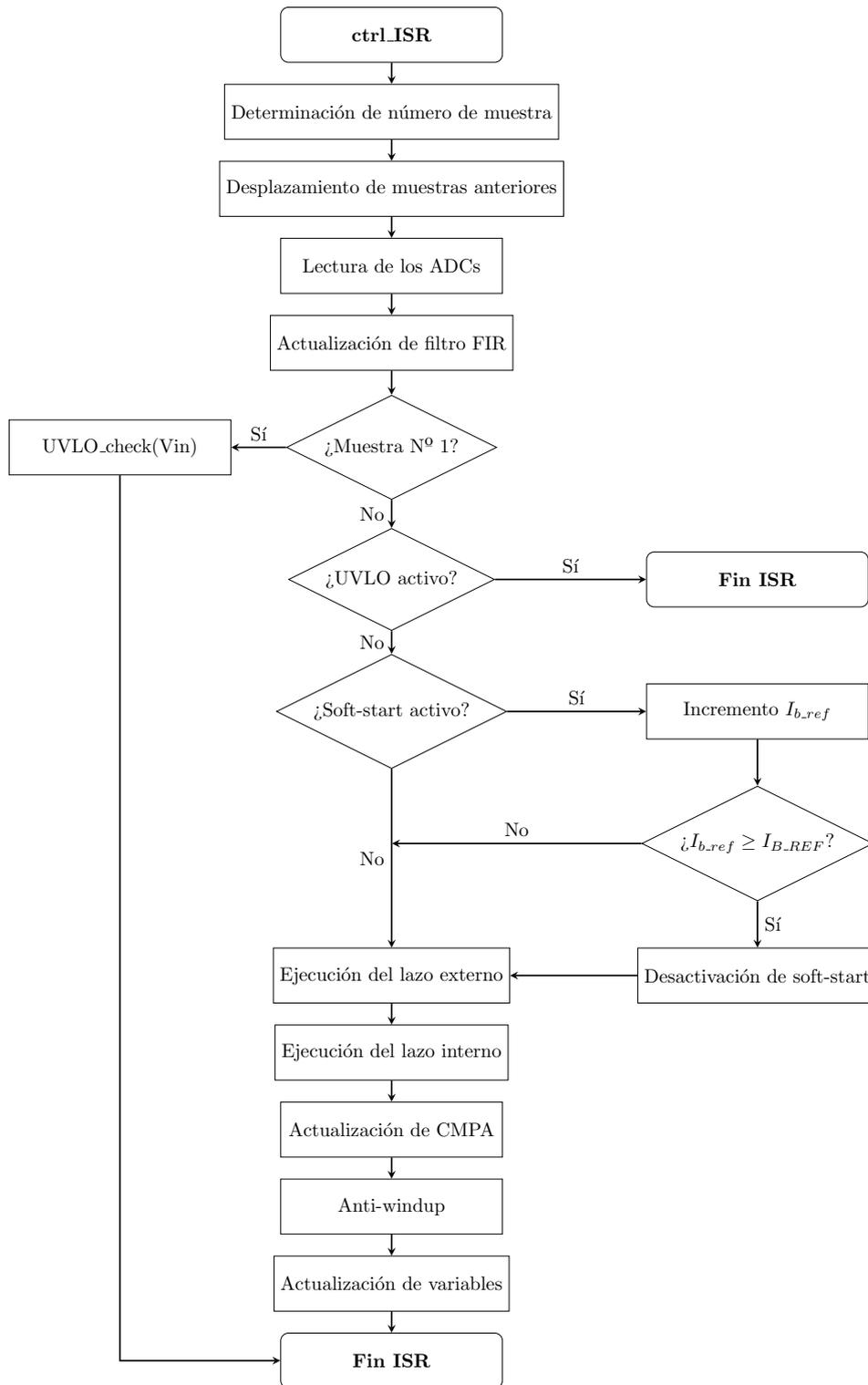


Figura 3.42: Diagrama de flujo de la ISR de control.

Como puede observarse en la Figura 3.41, donde se muestran las formas de onda relevantes de la implementación, la estructura del firmware permite mantener la sincronización entre la adquisición, el control y la actualización del actuador. El código completo del programa principal y la información sobre la configuración de los periféricos se puede encontrar en la Especificación Técnica.

3.3.2.3. Rutina de interrupción de control

La rutina de control se ejecuta al completarse la conversión de uno de los ADC, cuando se genera el evento EOC correspondiente. Este evento dispara la interrupción INT1 que está asociada a la ISR de control digital.

Cada vez que se activa la ISR, se leen los valores adquiridos por los cuatro módulos ADC utilizados. Las señales medidas, de corriente y tensión de entrada; y de corriente y tensión de salida, se almacenan para su procesamiento mediante un filtrado digital. Se aplica un filtro digital FIR tipo notch con el objetivo de atenuar la componente de 60 kHz asociada a la frecuencia de conmutación del convertidor. El filtro tiene la forma:

$$H_{FIR}(z^{-1}) = \frac{2}{3} + \frac{1}{3}z^{-1} + \frac{1}{3}z^{-2} - \frac{1}{3}z^{-3} \quad (3.25)$$

Su respuesta en frecuencia se presenta en la Figura 3.43. Este tipo de filtro introduce un retardo, sin embargo, la estabilidad del sistema no se ve comprometida, ya que la frecuencia de cruce del lazo de control se encuentra por debajo de la frecuencia de conmutación. De este modo, se preserva el margen de fase del sistema y se atenúa la componente de la frecuencia de conmutación de 60 kHz.

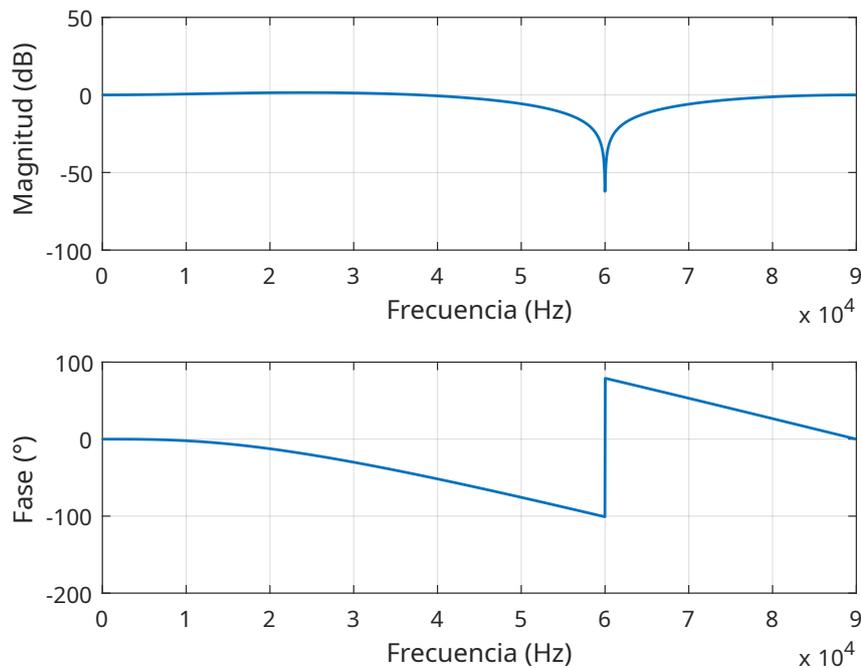


Figura 3.43: Respuesta en frecuencia del filtro FIR implementado.

Como se mostró en la Figura 3.41, en la primera muestra del ciclo que activa la ISR se evalúa la condición de UVLO. En la segunda y tercera muestra, si no se detecta como activa esta condición, se continúa con la ejecución del lazo de control.

El control digital implementado, cuyo diseño se presentó en la Sección 3.3.1, se basa en una estructura en cascada de dos lazos: un lazo externo de corriente de salida y un lazo interno de corriente del inductor. El compensador del lazo de corriente del inductor es un PI, y el del lazo de corriente de salida es un integrador. Por lo tanto, se incorporaron algoritmos de *anti-windup* para evitar la acumulación de error en los integradores en situaciones de saturación.

El ciclo de trabajo calculado se utiliza para actualizar el valor de CMPA en el registro *shadow*. Es transferido al registro activo del comparador del módulo ePWM que controla la conmutación cuando su

contador de base de tiempo (TBCTR) es igual a cero. Finalmente, se actualizan las variables del control para el siguiente ciclo y se limpian las banderas de interrupción.

3.3.2.4. Retardo del lazo de control

Como se mencionó en la Sección 3.3.1, el retardo considerado en el diseño del lazo de control comprende el intervalo de tiempo entre el inicio de la adquisición del ADC y la actualización efectiva del valor de CMPA en el registro activo. En la Figura 3.44 se muestran las formas de onda que ilustran este retardo.

Inicialmente, se decidió ejecutar el control luego del procesamiento de la segunda y tercera muestra, con el objetivo de evitar que una posible latencia adicional en el procesamiento de la tercera provoque un retardo adicional de un ciclo completo, al impedir la actualización a tiempo del registro *shadow*.

Sin embargo, al medir la duración efectiva de la ISR, se comprobó que, con un nivel de optimización 2 del compilador, los tiempos de ejecución son lo suficientemente bajos: $t_{filt} + t_{ctrl} = 1.5 \mu s$. Sumando el tiempo de conversión del ADC, $t_{A/D} = 1.66 \mu s$, se obtiene una latencia total inferior a $T_{sw}/3 = 5.55 \mu s$. Por lo tanto, el retardo se mantiene en $t_d = T_{sw}/3$, ya que la actualización de CMPA ocurre dentro del mismo ciclo.

Esto permite liberar el tiempo luego del procesamiento de la segunda muestra para la ejecución de otras tareas en futuras versiones del sistema, como la incorporación de un esquema de control maestro que seleccione entre control de tensión, corriente o un algoritmo MPPT.

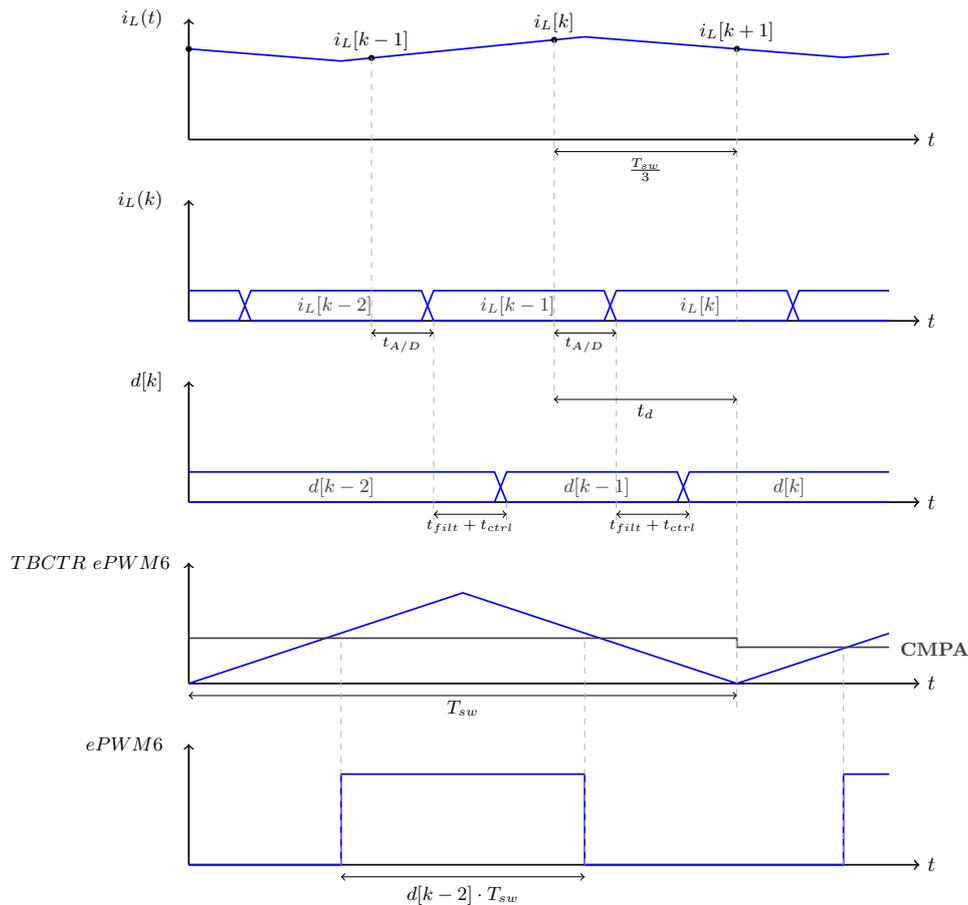


Figura 3.44: Formas de onda con los retardos del lazo de control digital.

3.3.3. Simulación del sistema de control

En la Figura 3.45 se muestran los componentes del modelo empleado para la simulación del convertidor Boost con el sistema de control digital.

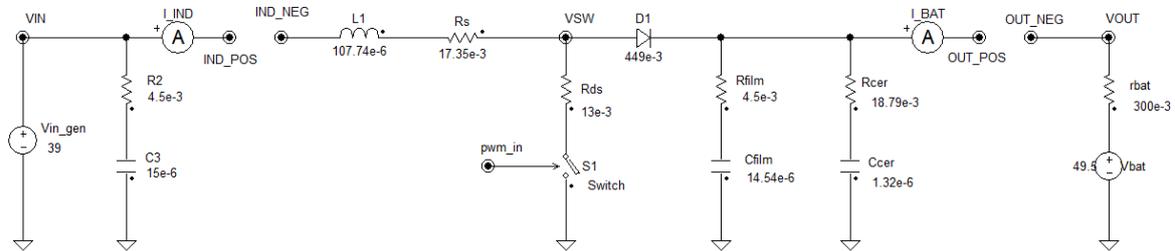


Figura 3.45: Modelo simplificado del circuito del convertidor Boost.

Se utilizó una representación simplificada de la etapa de potencia para reducir los tiempos de simulación al incorporar la lógica de control y adquisición que emula el comportamiento detallado en la Sección 3.3.2. Se priorizó modelar el sincronismo entre la señal de comando del MOSFET y la adquisición mediante bloques en lenguaje C, con el fin de representar los retardos y el comportamiento del sistema. La batería se modeló como una fuente de tensión en serie con una resistencia interna. El valor de resistencia y el valor de tensión del generador que representa la tensión a circuito abierto fueron ajustados en función de las observaciones experimentales. De este modo, se buscó simular el sistema en la condición que se encontraba al momento de hacer la prueba experimental. Se consideró la tensión de entrada de 39 V, $V_b = 49.5 \text{ V}$ y $r_b = 300 \text{ m}\Omega$. El detalle del modelado de la implementación del control, con los retardos que introduce, puede encontrarse en la Especificación Técnica [4].

Se obtuvo la respuesta al escalón de referencia de corriente en la batería de 0.5 A que se muestra en la Figura 3.46. Este cambio se refleja en la forma de onda de la corriente del inductor como se puede ver en la Figura 3.47.

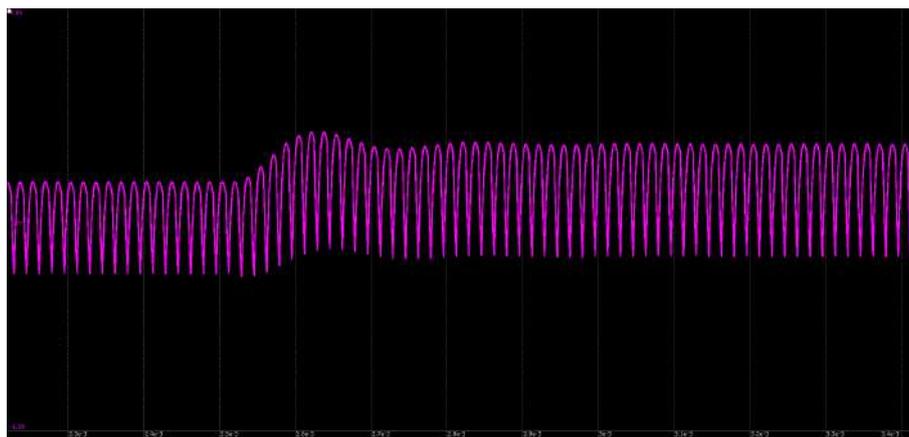


Figura 3.46: Forma de onda de la respuesta de corriente en la batería ante un cambio de escalón en su referencia de 0.5 A.

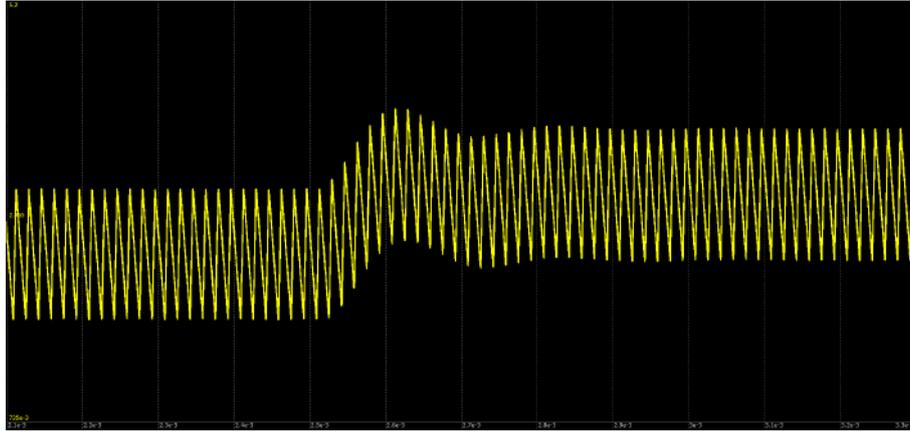


Figura 3.47: Forma de onda de la corriente en el inductor ante un cambio de escalón de referencia de corriente de batería de 0.5 A.

4. Pruebas y resultados

Para validar el desempeño del dispositivo construido, se realizaron ensayos siguiendo un plan de pruebas. Todas las pruebas se llevaron a cabo en el Laboratorio de Instrumentación y Control. El detalle completo de los procedimientos, resultados y modificaciones sobre el diseño original, realizadas a partir de las mediciones, puede consultarse en el documento Plan de Pruebas [24].

4.1. Pruebas

4.1.1. Pruebas de circuitos auxiliares

Durante la etapa de construcción se efectuaron pruebas parciales para verificar el correcto funcionamiento de los módulos auxiliares que componen el sistema.

4.1.1.1. Pruebas de la etapa de alimentación

La etapa de alimentación fue diseñada para generar los niveles de tensión requeridos por los distintos bloques del circuito, a partir de la tensión del panel fotovoltaico. Las pruebas consistieron en verificar que cada una de las fuentes auxiliares generara correctamente su nivel nominal de tensión. Se comprobaron las salidas del regulador Buck L4971D, la fuente flotante de 15 V para el *driver* y el módulo MAX743 utilizado para obtener ± 15 V. Las tensiones medidas estuvieron dentro de los márgenes esperados según las especificaciones en las hojas de datos de los módulos.

4.1.1.2. Pruebas de generación y adquisición

Se ensayó la funcionalidad de los periféricos del microcontrolador involucrados en la generación y adquisición de señales. Utilizando un osciloscopio, se verificó que las salidas digitales generadas presentaran la forma de onda, frecuencia y nivel lógico esperados. Además, se evaluó la conversión analógica-digital, constatando que las señales digitalizadas se correspondieran con la tensión analógica sensada.

Respecto al sistema de sensado, se evaluaron los circuitos de acondicionamiento conectando una tensión en la entrada del convertidor y una resistencia a su salida, pero manteniendo el ciclo de trabajo en cero. De esa forma, se obtuvieron condiciones conocidas de corriente y tensión. Las señales de salida de cada amplificador operacional se midieron y se verificó su relación con la variable física sensada. Las pendientes obtenidas se utilizaron posteriormente para definir las ganancias aplicadas en el *firmware*.

Finalmente, se probó el *driver* aplicando señales de prueba a su entrada y monitoreando su salida hacia el MOSFET de potencia. Se detectaron problemas de compatibilidad lógica debido a diferencias en las tensiones de alimentación. Este inconveniente fue resuelto ajustando la amplitud de la señal de entrada a 5 V, lo que permitió una conmutación adecuada y la obtención de una señal de *gate* de 15 V de amplitud. El detalle de esta solución se documenta en la Especificación Técnica [4].

4.1.2. Prueba de la etapa de potencia

Una vez verificado el correcto funcionamiento de los circuitos auxiliares, se procedió a realizar el ensayo con la etapa de potencia del convertidor. Para ello, se utilizó como carga un arreglo de resistencias

calefactoras de 10.9Ω , se aplicó una tensión constante a la entrada del convertidor y se incrementó progresivamente el ciclo de trabajo hasta alcanzar una potencia de entrada de 500 W.

Durante este proceso, se llevaron a cabo pruebas de desempeño orientadas a evaluar la respuesta del convertidor en régimen permanente. Se analizó la presencia de fenómenos de *ringing* en los nodos críticos del circuito y la influencia de la colocación de un capacitor cerámico en paralelo con el capacitor de film de salida. Además, se realizaron ensayos variando el valor de la resistencia de *gate* del MOSFET, con el objetivo de optimizar los tiempos de conmutación sin comprometer la integridad de los dispositivos. Finalmente, se conservaron los valores planteados originalmente, $R_{gate} = R_{gate} = 20 \Omega$, ya que se validó que las transiciones de encendido y apagado en el *gate* del MOSFET presentaban un comportamiento adecuado respecto a *ringing* y tiempo de establecimiento. Se continuó con la decisión de colocar el capacitor cerámico en paralelo con el de film ya que, a pesar de que introduce una componente de resonancia adicional, permite una disminución del *ripple* de tensión.

Una vez definida la configuración final, se efectuó la medición de eficiencia del convertidor con una potencia de entrada de 500 W y carga resistiva de 10.9Ω . Además, se determinaron los niveles de *ripple* en la tensión de salida y en las señales de corriente, comparando sus valores con aquellos estimados durante el diseño.

Finalmente, se realizó la prueba del sistema a lazo cerrado, utilizando la placa de desarrollo LaunchPad LaunchXL F28377S, con un banco de baterías de 48 V conformado por cuatro baterías ELPRA 6-DZF-20. Se observaron las formas de onda y se obtuvieron conclusiones para el banco de 60 V.

4.2. Resultados

4.2.1. Pruebas de la etapa de potencia

Se realizó la prueba de validación de eficiencia de la etapa de potencia con una tensión de entrada de 40 V, generada a partir de una fuente DC programable Twintex TPW-6015. La carga utilizada fue resistiva, de 10.9Ω . Para compensar la caída de tensión en los cables, se ajustó la fuente hasta obtener 40 V directamente en la bornera de entrada del convertidor.

Posteriormente, se incrementó el ciclo de trabajo de la señal PWM, obtenida a partir de un generador de funciones Rigol DG1032, hasta alcanzar una tensión de salida de 73.7 V. Las tensiones de entrada y salida fueron medidas con multímetro, y el ciclo de trabajo necesario fue de $D = 0.455$. Las corrientes fueron medidas con sondas de corriente Rigol RP1001C, y las formas de onda de tensión y corriente se observaron en un osciloscopio Rigol MSO5204.

Los valores medios y los *ripples* pico a pico medidos durante la prueba se resumen en la Tabla 4.1, donde los valores porcentuales están referidos al valor medio correspondiente. La eficiencia del sistema se calculó según la Ecuación 4.1, utilizando los valores eficaces de las señales medidas. La potencia total de entrada fue de 500.52 W, de los cuales 3.42 W corresponden a la etapa de alimentación. La potencia de salida resultó ser de 478.42 W.

$$\eta = \frac{P_{out}}{P_{in_{POT}} + P_{in_{Alimentación}}} \cdot 100\% = 95.58\% \quad (4.1)$$

Además, se pueden hacer las siguientes observaciones sobre las formas de onda presentadas en las Figuras 4.1, 4.2, 4.3 y 4.4:

- La componente de resonancia en la tensión de salida es de 952.3 kHz y es atribuida a la interacción entre los capacitores de salida y elementos parásitos. En la simulación, que se puede encontrar en la Especificación Técnica [4], se había estimado una frecuencia de 856 kHz.

- Sobrepico en la tensión drain-source del MOSFET durante la transición de apagado del 10.41 %, y una componente de frecuencia de resonancia de 44.44 MHz debido a la interacción de los componentes parásitos como la inductancia parásita en el drain y en el gate.
- Resonancia en la tensión drain-source del MOSFET durante la transición de encendido de 48.78 MHz. Por simulación, se observó una frecuencia de 46.66 MHz atribuida a la interacción de la capacitancia del diodo con los demás componentes parásitos, ya que al eliminar la capacitancia del modelo ya no se encontraba presente.
- Las formas de onda obtenidas son similares a las obtenidas por simulación, con algunas diferencias en los valores medios obtenidos para una misma condición de ciclo de trabajo. La amplitud pico a pico de la tensión de salida medida es de 4.4 V en comparación a la amplitud de 3.21 V estimada. Al igual que en la simulación, se obtuvo que el valor de *ripple* es mayor al estimado de forma teórica debido a la resonancia entre los dos capacitores de salida.



Figura 4.1: Forma de onda de la tensión de salida, con carga resistiva.

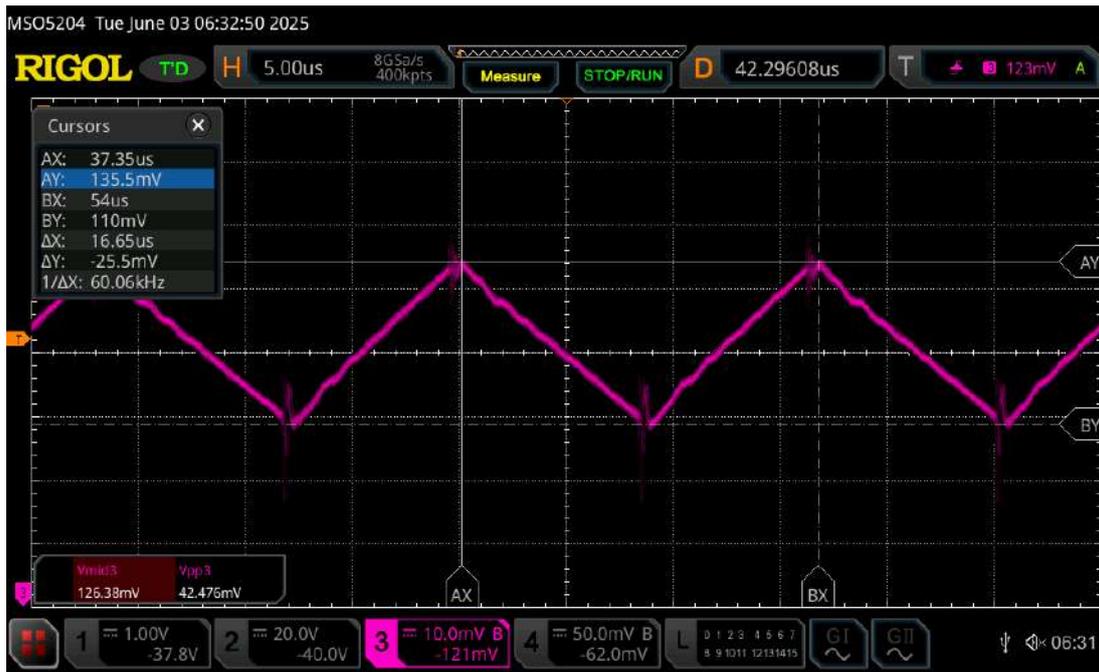


Figura 4.2: Forma de onda de la corriente en el inductor.

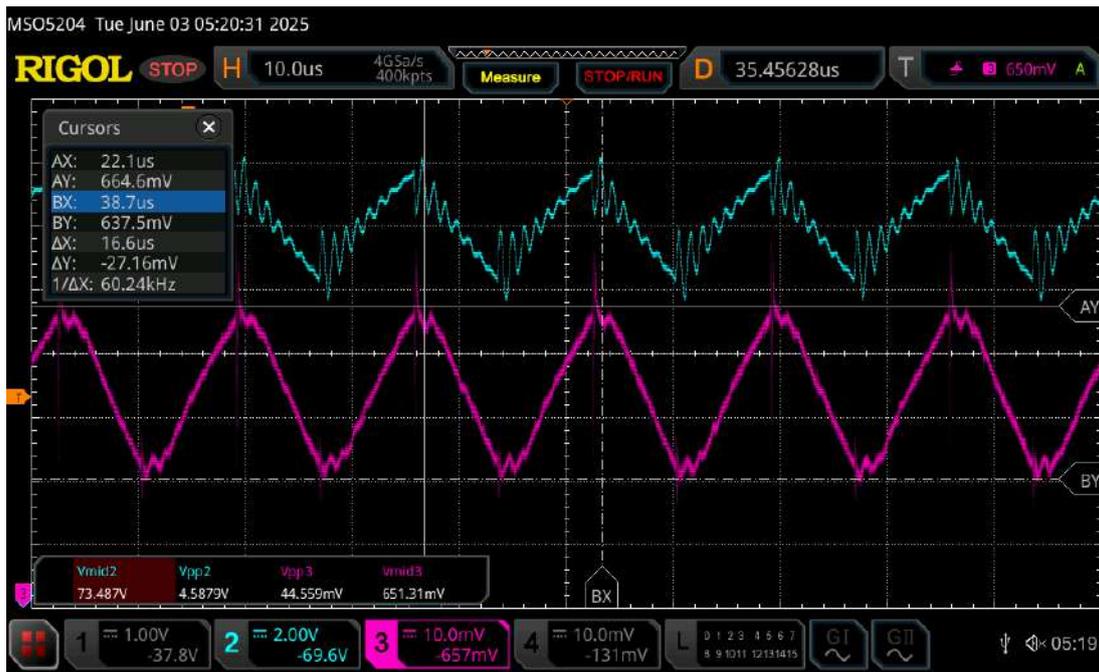
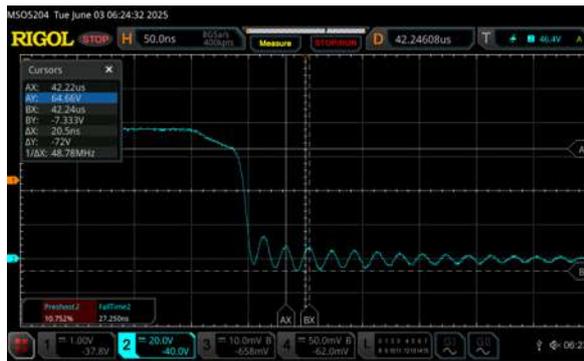
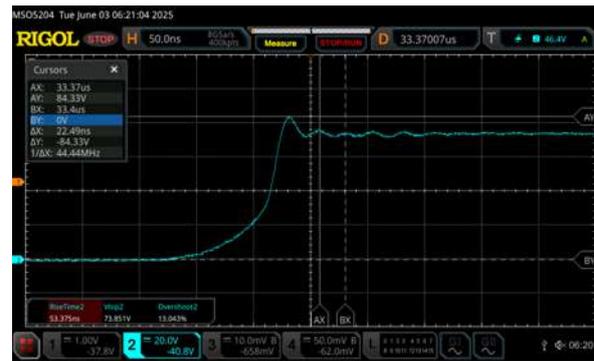


Figura 4.3: Forma de onda de la corriente y tensión de salida con carga resistiva.



(a)



(b)

Figura 4.4: (a) Tensión del nodo de conmutación durante la transición de encendido. (b) Tensión del nodo de conmutación durante la transición de apagado .

| Parámetro | Ripple pico a pico | Valor medio |
|------------------------|--------------------|-------------|
| Tensión de entrada | 1.06 V (2.66 %) | 39.89 V |
| Corriente de entrada | 2.87 A (23.14 %) | 12.4 A |
| Corriente del inductor | 2.55 A (20.78 %) | 12.27 A |
| Tensión de salida | 4.4 V (5.98 %) | 73.48 V |
| Corriente de salida | 271 mA (4.16 %) | 6.51 A |

Tabla 4.1: Resultados numéricos de la medición con carga resistiva de 10.9Ω y 500 W de potencia de entrada.

Se tomaron imágenes térmicas para evaluar el desempeño del sistema. La Figura 4.5 muestra la distribución general de temperatura. Las Figuras 4.6 y 4.7 presentan detalles en la distribución de temperatura de los dispositivos semiconductores y en el inductor. Ningún componente superó su temperatura de operación máxima en condiciones de convección natural.

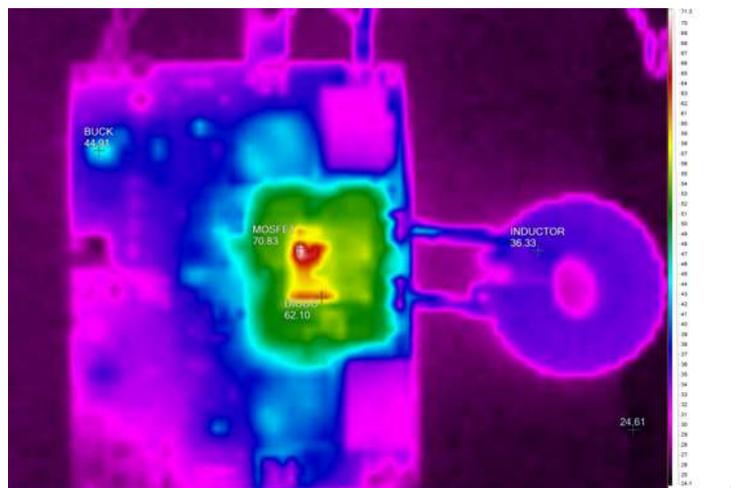


Figura 4.5: Imagen térmica general del dispositivo.

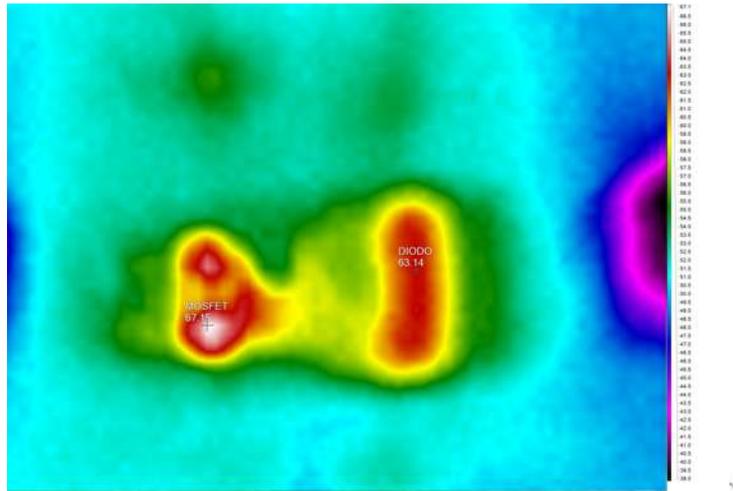


Figura 4.6: Imagen térmica del MOSFET y el diodo de potencia.

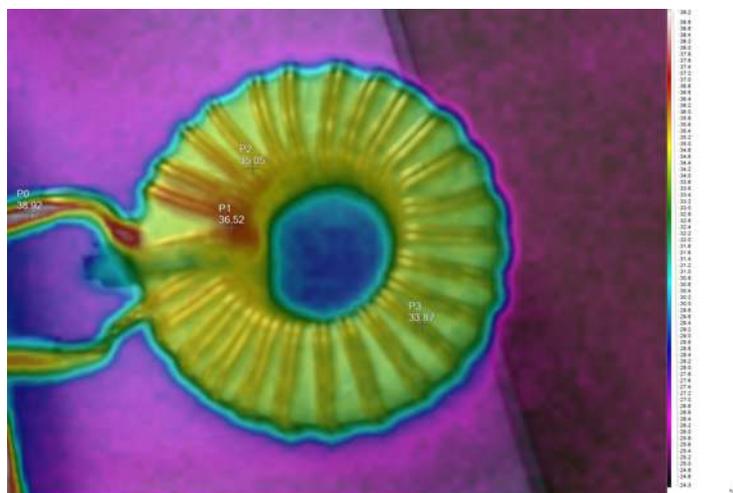


Figura 4.7: Imagen térmica del inductor.

4.2.2. Prueba de carga de las baterías

Para la prueba del sistema de control se conectó como carga del convertidor el banco de cuatro baterías de plomo-ácido de 12 V ELPRA 6-DZF-20, previamente descargadas.

Con una tensión de entrada de 39 V, se obtuvieron las formas de onda que se pueden ver en la Figura 4.8. En la Tabla 4.2 se muestran los resultados numéricos de la medición, donde los valores porcentuales son con respecto al valor medio.

Durante el proceso de diseño de la etapa de potencia no fue estimado el *ripple* de corriente resultante en las baterías. Debido a esto, se analizan las recomendaciones de la IEEE (*Institute of Electrical and Electronics Engineers*) para la carga de baterías VRLA. Según [25], se suele establecer un límite de 5 A_{rms} por cada 100 Ah de capacidad nominal. Para las baterías ELPRA 6-DZF-20 el límite equivalente es de 1 A_{rms}, considerando su capacidad de 20 Ah. Si se aproxima la forma de onda de corriente a una señal senoidal, este valor corresponde a un máximo de 1.41 A pico. En la medición se obtuvo 487.5 mA pico por encima del valor medio, por lo que se consideran adecuados los valores obtenidos en la condición medida. Para validar que se cumpla con este límite en la condición de operación con el banco de baterías de 60 V, es necesario un rediseño debido a que el ciclo de trabajo incrementa y en consecuencia aumenta el *ripple* de la corriente de carga. En el Apéndice C se desarrolla una alternativa de implementación futura sobre

el convertidor para poder cumplir con los lineamientos expuestos en [25].

El valor medio de corriente medido, 2.47 A, presenta una desviación del 1.2% respecto al valor de referencia objetivo. Esta diferencia se atribuye al filtrado insuficiente en la medición, ya que el filtro FIR notch implementado está diseñado para atenuar la frecuencia de conmutación y no atenúa suficientemente otras componentes espectrales. Sin embargo, este filtro presenta ventajas como baja latencia de ejecución, ausencia de retardo de fase y capacidad para preservar información de la dinámica del sistema.

Considerando que, para la aplicación de carga de baterías, esta pequeña variación de la corriente media con respecto a la corriente de referencia no afecta el funcionamiento, se considera aceptable. La precisión podría incrementarse reduciendo la amplitud del *ripple* de corriente en las baterías, sin perder las ventajas mencionadas.

| Parámetro | Ripple pico a pico | Valor medio |
|------------------------|--------------------|-------------|
| Corriente del inductor | 1.22 A (36.8 %) | 3.32 A |
| Tensión de salida | 1 V (1.97 %) | 50.76 V |
| Corriente de salida | 975 mA (39.47 %) | 2.47 A |

Tabla 4.2: Resultados numéricos de la medición con tensión de entrada de 39 V y con un banco de baterías de 48 V como carga, conformado por cuatro baterías ELPRA 6-DZF-20.

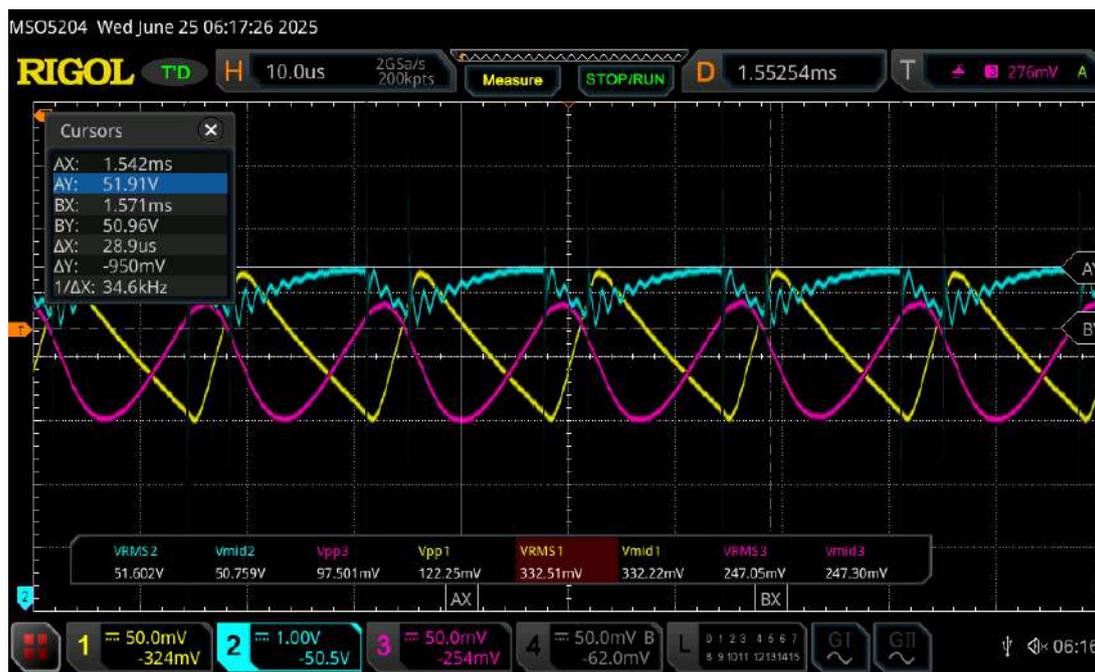


Figura 4.8: Forma de onda con el banco de baterías de 48 V como carga, para una tensión de entrada de 39 V. Tensión de salida (celeste), corriente de salida (rosa), corriente del inductor (amarillo).

Se evaluó la respuesta al escalón de referencia de corriente de batería, que se muestra en la Figura 4.9, para un escalón de referencia de 0.5 A. Por simulación se había obtenido un tiempo de crecimiento de aproximadamente 125 μs , que son coherentes con los 130 μs que se pueden observar en la captura de la medición. El cambio en la referencia de la corriente de batería genera la variación en la forma de onda de la corriente en el inductor que se ve en la Figura 4.10.

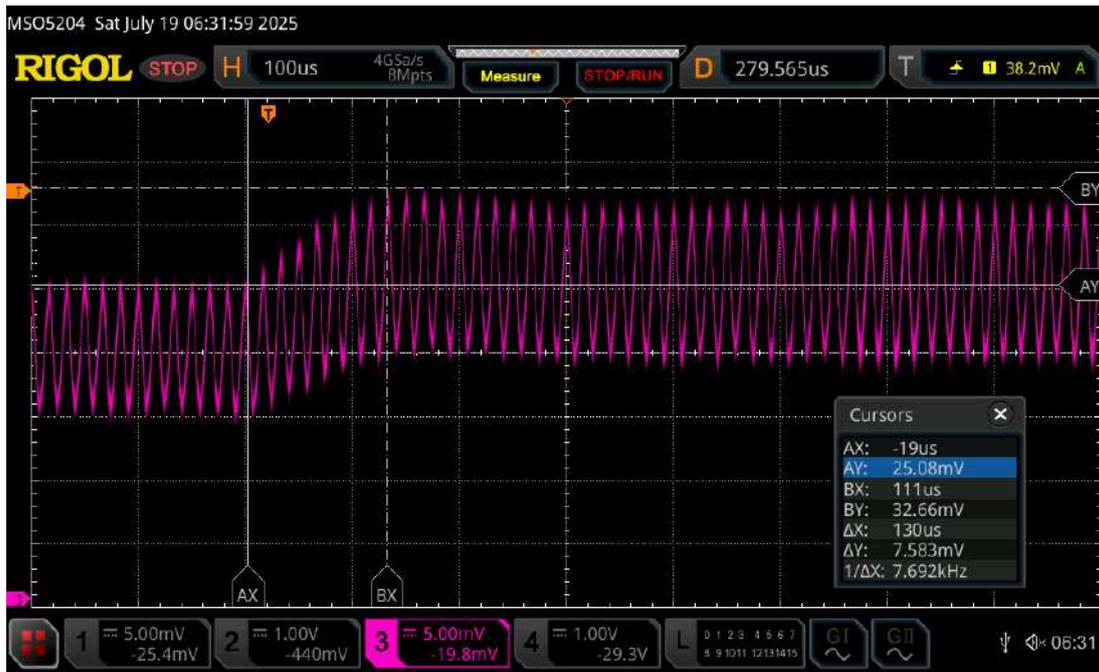


Figura 4.9: Respuesta de la corriente de la batería ante un escalón de referencia de corriente de batería de 0.5 A.

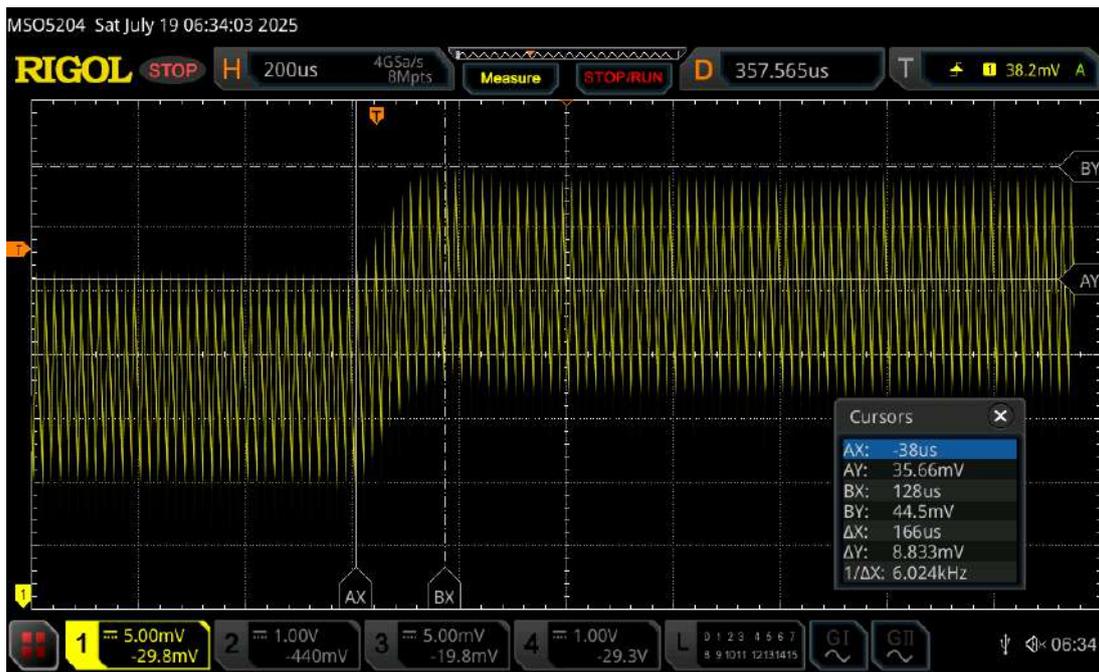


Figura 4.10: Respuesta de la corriente en el inductor ante un escalón de referencia de corriente de batería de 0.5 A.

5. Conclusiones

El desarrollo de este Proyecto Final de la carrera de Ingeniería Electrónica permitió integrar y reafirmar los conocimientos adquiridos durante la formación académica. Además, permitió incorporar nuevas habilidades, de las cuales no se tenían conocimientos previos, como herramientas de gestión de proyectos, diseño de circuitos de electrónica de potencia, diseño de placas de circuito impreso, y programación de microcontroladores en lenguaje C.

El objetivo principal fue diseñar y construir un convertidor DC/DC Boost para el almacenamiento de energía fotovoltaica en baterías. Se diseñaron dos topologías, una asincrónica y otra sincrónica, y se implementó y se evaluó la topología asincrónica. La PCB fue diseñada para incluir ambas configuraciones, quedando la prueba de la versión sincrónica como trabajo futuro. El convertidor alcanzó una eficiencia máxima del 95,58 % en las condiciones definidas por la Especificación de Requerimientos [2], superando el objetivo de eficiencia del 90 %.

Si bien se cumplieron varios de los requerimientos establecidos, como se mencionó en la sección de resultados, la etapa de control no se completó en su totalidad debido a una reducción en el alcance del proyecto frente a su extensión. Queda pendiente el desarrollo del control por tensión y la implementación de un algoritmo MPPT. El convertidor demostró un desempeño funcional en condiciones de laboratorio; sin embargo, para su funcionamiento óptimo en todos los puntos de operación, será necesario aplicar modificaciones y ajustes, los cuales se detallan en la sección de Trabajo Futuro.

Uno de los principales desafíos fue el proceso de aprendizaje, dado que muchas decisiones de diseño debieron tomarse en etapas tempranas, cuando aún no se contaba con la experiencia y conocimientos necesarios. Estas decisiones iniciales condicionaron algunos resultados, pero también representaron una oportunidad para desarrollar criterios técnicos más sólidos. El proyecto permitió cumplir objetivos técnicos y fortaleció la capacidad de planificación, adaptación y resolución de problemas propios del ejercicio profesional.

5.1. Trabajo futuro

Quedan diversas líneas de trabajo abiertas que permitirían optimizar el sistema y completar su funcionalidad:

- Realizar ensayos con un banco de baterías de 60 V que permita la carga a corrientes más elevadas, con el fin de evaluar el convertidor en su punto de operación nominal. Para este caso, se deberá reducir el *ripple* de tensión y corriente de salida. Como se analiza en el Apéndice C, esto podría lograrse mediante el aumento del valor del capacitor de salida o de la frecuencia de conmutación.
- Implementar el lazo de control de tensión, complementando el lazo de control de corriente promedio ya desarrollado, para obtener una regulación completa del proceso de carga del banco de baterías. En caso de emplear un banco de 60 V, se deberá reevaluar el control de corriente promedio para adaptarlo al nuevo punto de operación.
- Incorporar un algoritmo de seguimiento del punto de máxima potencia (MPPT) para optimizar el aprovechamiento energético del panel fotovoltaico. Su validación podrá realizarse mediante la conexión a un panel real o a un emulador como fuente de entrada.

- Abordar el análisis de la topología sincrónica intercambiando el diodo por el MOSFET *High Side*. Se deberá realizar su validación experimental y diseñar e implementar su correspondiente sistema de control.

5.2. Conclusiones sobre la gestión del proyecto

La finalización del proyecto estaba inicialmente prevista para fines del año 2024, cuando se anticipaba una mayor disponibilidad horaria para su desarrollo. Sin embargo, debido a compromisos laborales y situaciones personales, la fecha de finalización debió postergarse hasta agosto de 2025, dedicándose el último mes exclusivamente a la elaboración de la documentación final.

La utilización de una bitácora a lo largo del proyecto resultó fundamental para registrar las decisiones tomadas en cada etapa, permitiendo la trazabilidad sobre las decisiones realizadas bajo distintos niveles de conocimiento.

Si bien las horas dedicadas al proyecto fueron mayores a las registradas, se cuenta con 2500 horas registradas, distribuidas como muestra la Figura 5.1. Esta información permite analizar el tiempo destinado a cada etapa del proyecto. La mayor parte de las horas se concentró en el aprendizaje y diseño de la etapa de potencia, la programación de la placa de desarrollo y el diseño de la PCB, áreas en las que no se contaba con experiencia previa. Además, se fortalecieron habilidades de modelado y simulación, lo que formó parte del proceso de diseño.

El avance del proyecto estuvo ligado a un proceso de aprendizaje continuo. El diseño se desarrolló de manera iterativa, evolucionando a medida que se profundizaba la comprensión del problema y se incorporaban nuevas herramientas de análisis y diseño.

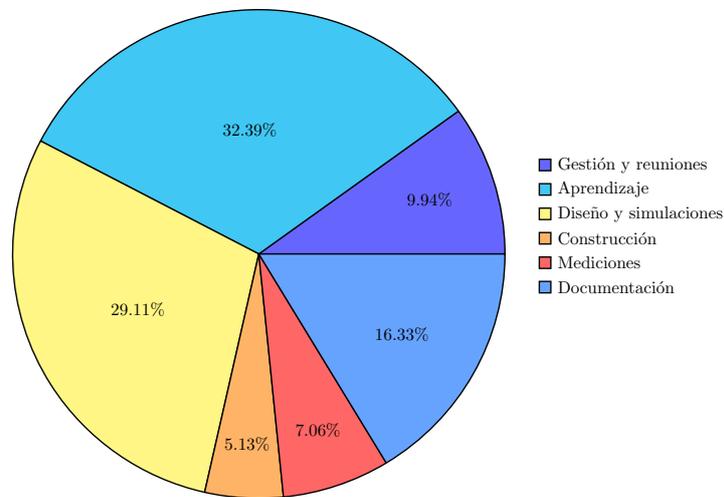
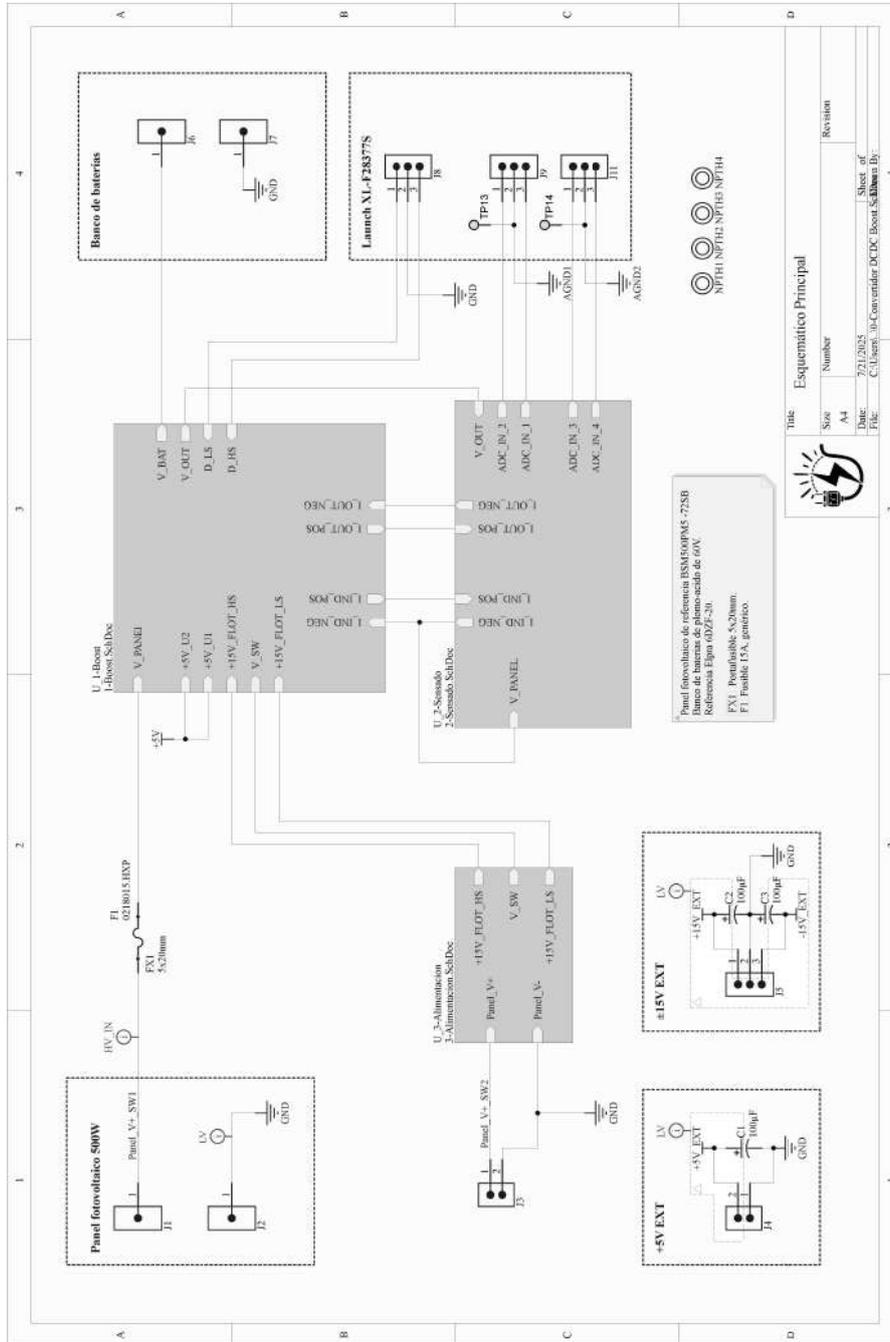
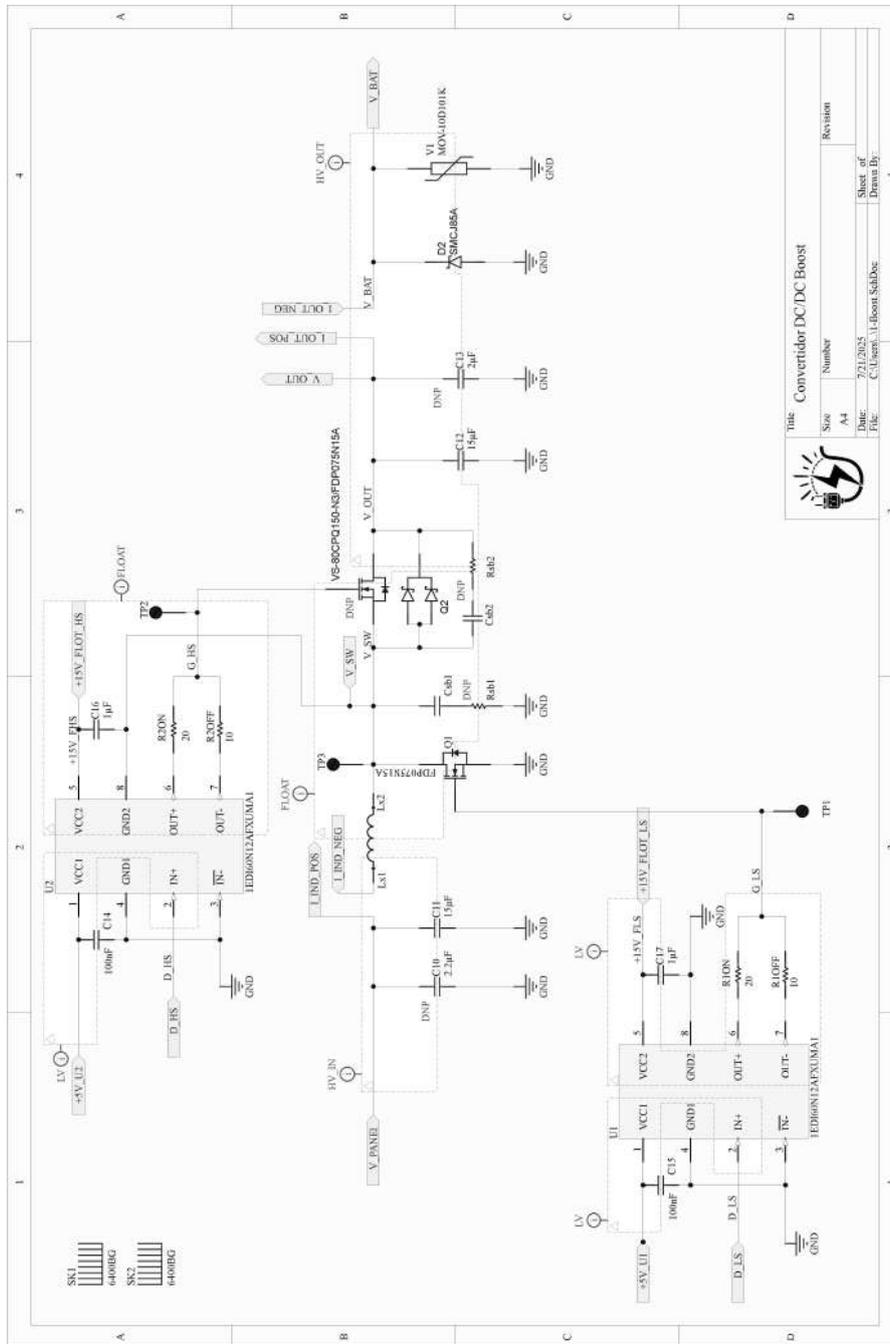


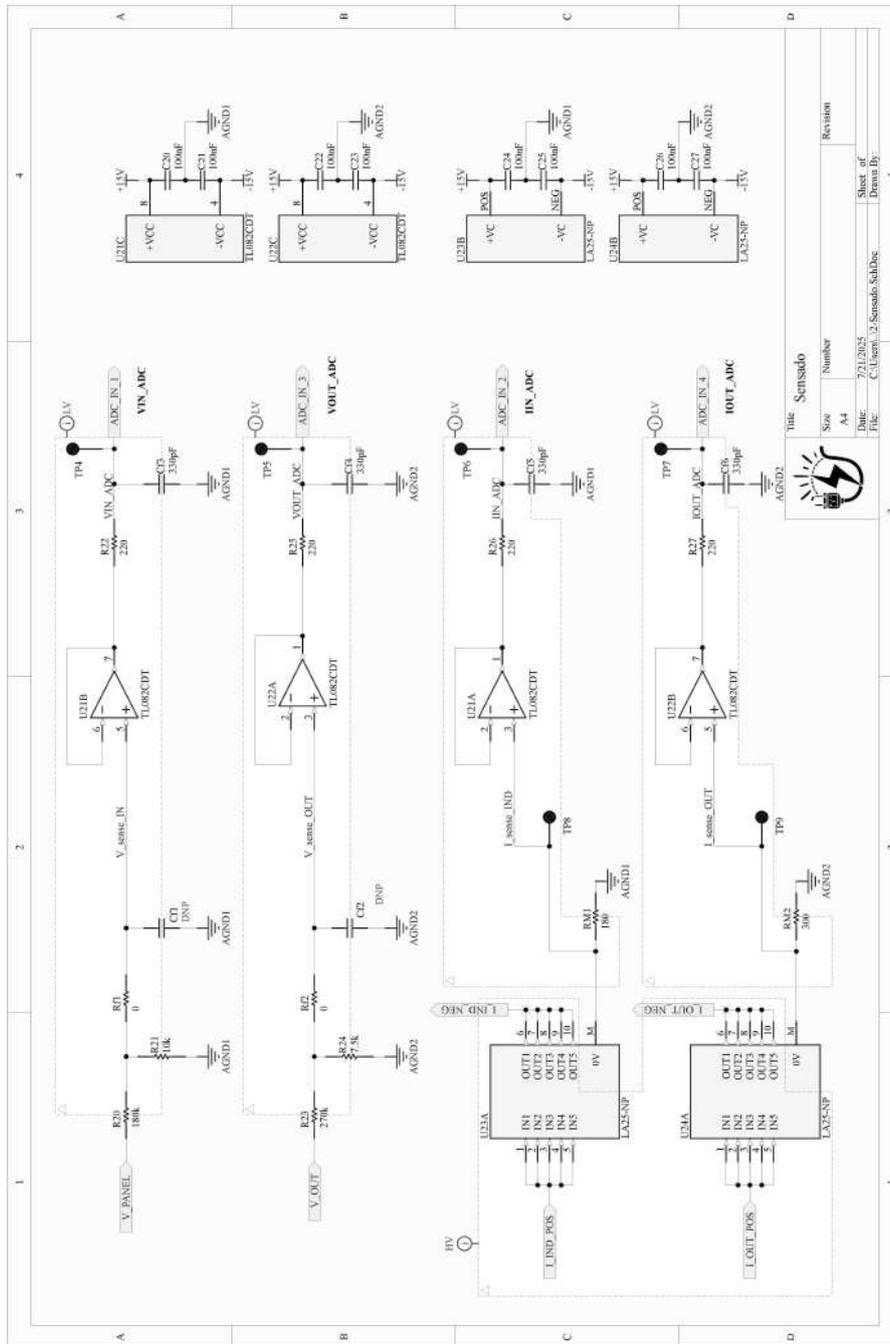
Figura 5.1: Distribución porcentual del tiempo invertido en cada tarea del proyecto.

A. Esquemático



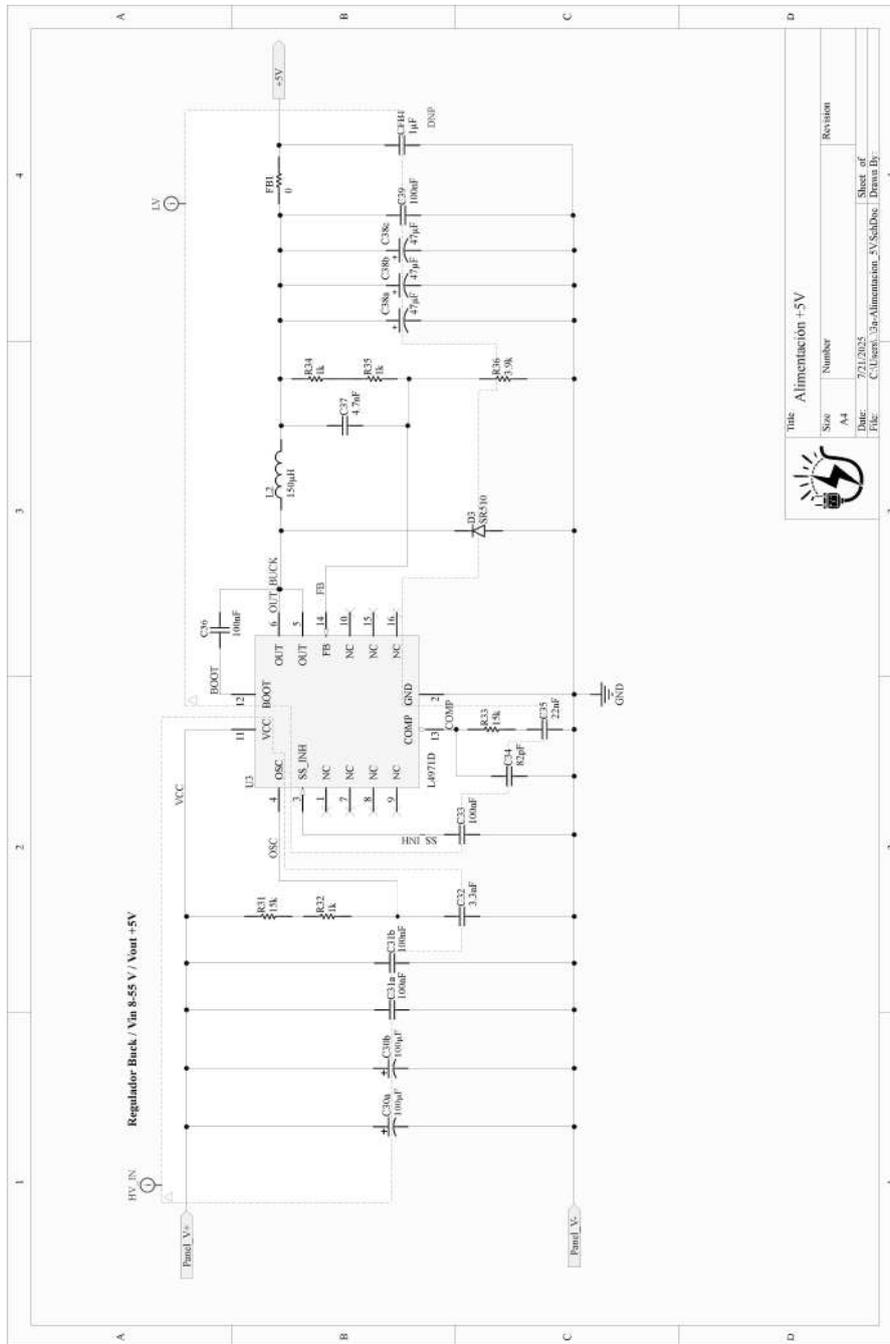


| | | | |
|---|-----------------|------------------------------------|--|
| | | Title Converter DC/DC Boost | |
| Size A4 | Number | Revision | |
| Date 7/21/2025 | Sheet of | Drawn By | |
| File C:\Users\j.l.flores\Documents | | | |



| Title: SenSado | | Number | Revision |
|----------------|-----------------------------|--------|----------|
| Size | A4 | | |
| Date: | 7/21/2025 | | |
| File: | C:\Users\j2.Sensado\Scalble | | |

Sheet of: 4
 Drawn by:



| | |
|---|-------------|
| Title: Alimentación +5V | |
| Size: A4 | Number: 1 |
| Date: 7/21/2025 | Revision: 1 |
| File: C:\Users\3m\Documents\5V\SchDoc_Drwna.Dwg | Sheet of: 4 |

B. PCB

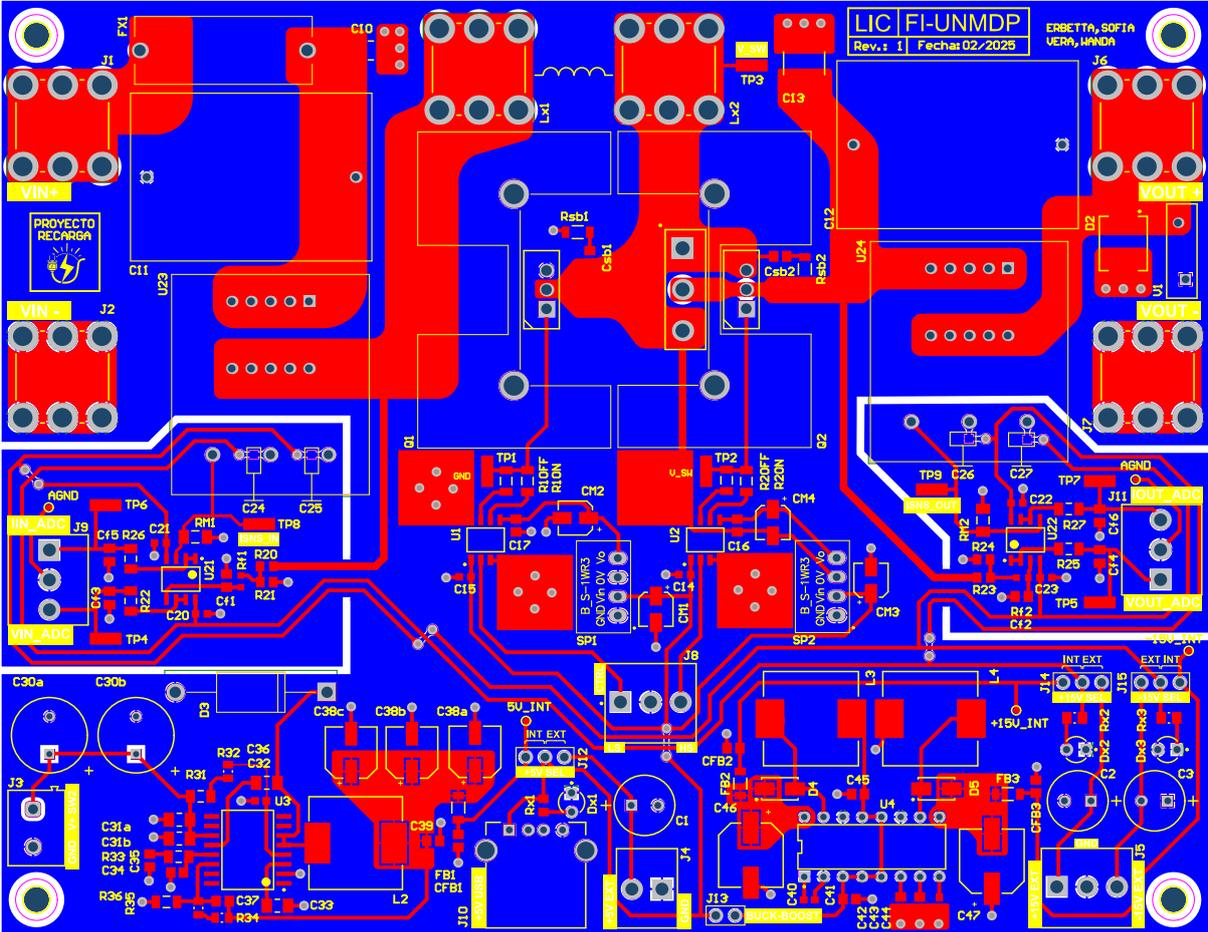


Figura B.1: Vista 2D superior de la PCB.

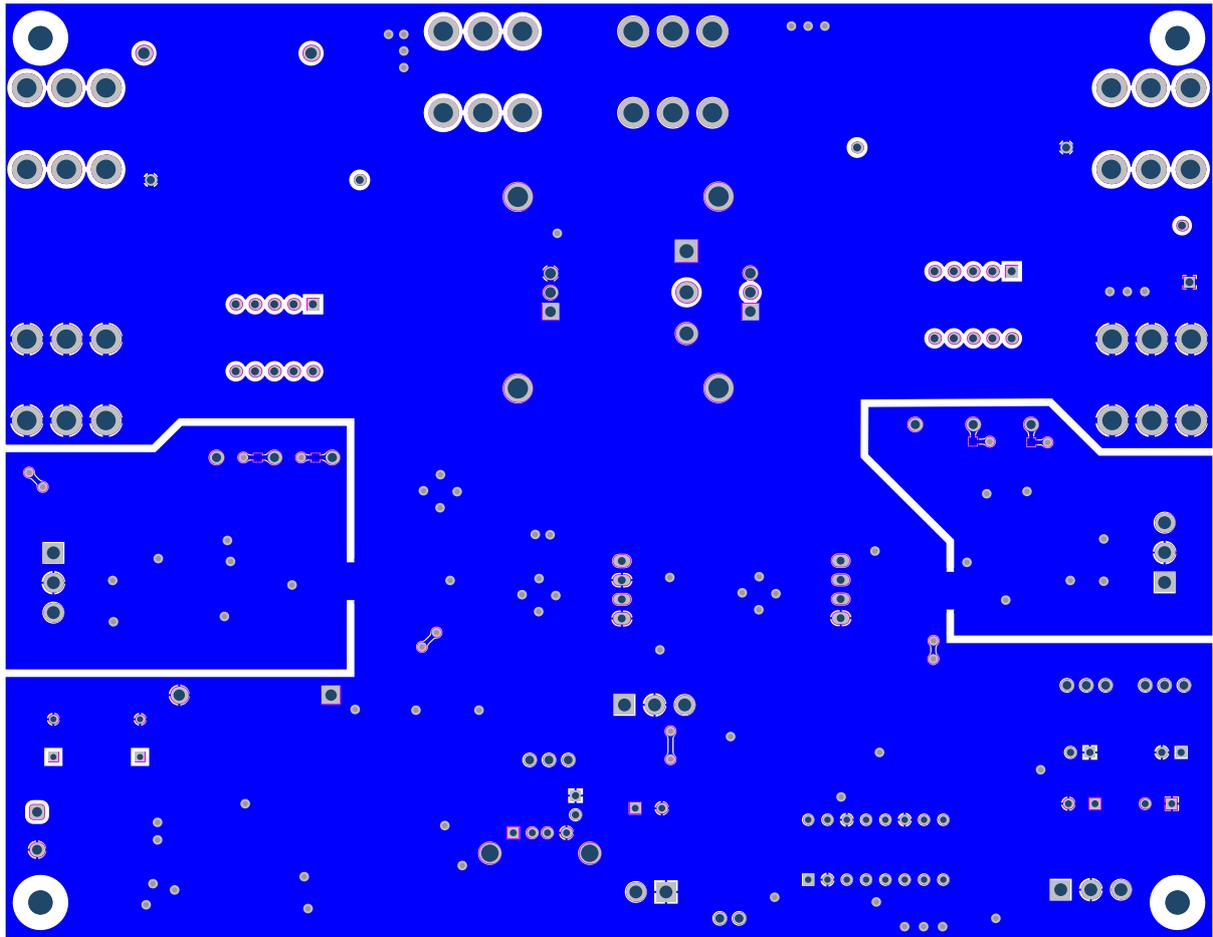


Figura B.2: Vista 2D de la capa inferior de la PCB.

C. Rediseño del capacitor de salida

En función de los resultados obtenidos con la prueba de la carga de baterías a corriente constante se identificó la necesidad de modificar el capacitor de salida. El diseño inicial contempló la limitación del *ripple* de tensión por debajo de un valor especificado, pero no consideró el efecto del *ripple* de corriente durante la carga a corriente constante, que se ve acentuado por la baja impedancia de las baterías.

Según [25], los fabricantes de baterías VRLA suelen establecer un límite de $5 A_{\text{rms}}$ por cada 100 Ah de capacidad nominal. Por lo tanto, para una batería de 20 Ah el límite recomendado es de $1 A_{\text{rms}}$, que puede aproximarse a 1.41 A pico. Con las mediciones realizadas sobre el banco de baterías de 48 V, se obtuvo una amplitud pico de 487.5 mA, por lo que se cumplió la recomendación para esa condición de carga.

Sin embargo, dado que el *ripple* de corriente se incrementa con el ciclo de trabajo y con el valor medio de la corriente de salida, esta condición podría no cumplirse con un banco de baterías de 60 V operando a la corriente máxima de diseño. Las mediciones también mostraron que a la salida la tensión adelanta a la corriente, lo que indica la presencia de un comportamiento inductivo. El circuito equivalente de salida adoptado para el rediseño del capacitor de salida se presenta en la Figura C.1, donde se incorporó una inductancia L_p y el modelo de resistencia y generador de tensión en serie para la batería.

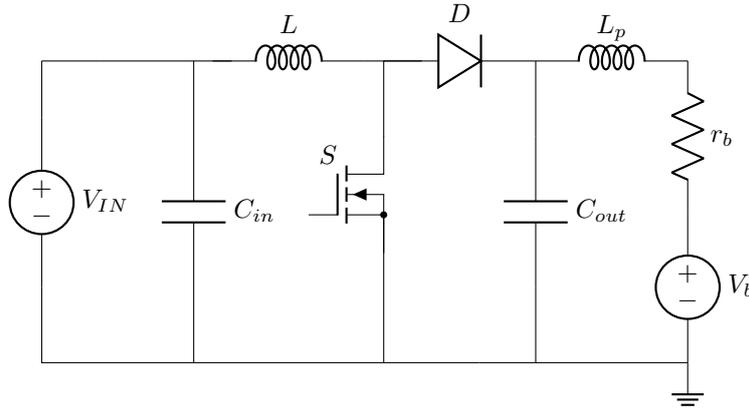


Figura C.1: Modelo equivalente del convertidor *Boost* con impedancia de salida.

Para la estimación, se considera un banco de baterías de 60 V y 40 Ah en condiciones alejadas de la transición a modo tensión constante, de modo de contemplar un peor caso en el cual la impedancia interna de la batería sea mínima y se requiera suministrar la corriente máxima de 6.78 A establecida en el diseño original. Los 6.78 A se encuentran entre el rango típico de carga de 13 % a 20 % de la capacidad nominal de la batería. Aplicando la regla de $5 A_{\text{rms}}$ por 100 Ah, la corriente pico máxima del *ripple* es de 2.82 A. Se asumen además una inductancia parásita $L_p = 1 \mu\text{H}$, tensión de entrada $V_{IN} = 39 \text{ V}$, resistencia interna $r_b = 225 \text{ m}\Omega$ y tensión de batería $V_b = 59 \text{ V}$.

Con estos valores, la impedancia equivalente a la frecuencia de conmutación f_{sw} es:

$$|Z_{load}(f_{sw})| = \sqrt{(2 \cdot \pi \cdot f_{sw} \cdot L_p)^2 + r_b^2} = 0.439 \Omega \quad (\text{C.1})$$

lo que produce un *ripple* de tensión pico de:

$$\Delta V_{C_{out}pico} = \Delta I_{b,max} \cdot |Z_{load}(f_{sw})| = 1.24 \text{ V} \quad (\text{C.2})$$

Mediante simulación se estima la variación de carga en el capacitor de salida, y se obtiene $\Delta Q \approx 52.45 \text{ uC}$. De este modo, considerando el valor de *ripple* pico a pico de tensión, se puede estimar el valor mínimo requerido para el capacitor de salida como:

$$C_{out} > \frac{\Delta Q}{\Delta V_{Cout}} = 21.2 \mu\text{F} \quad (\text{C.3})$$

En la Figura C.2 se muestra la forma de onda simulada de la corriente de batería, para un valor medio $I_{bat} = 6.78 \text{ A}$ y las condiciones mencionadas. La curva roja corresponde al capacitor de $15 \mu\text{F}$ del diseño original, con un *ripple* de 3.77 A pico mientras que la curva azul corresponde a un capacitor de $21.2 \mu\text{F}$, con un *ripple* de 2.36 A pico.

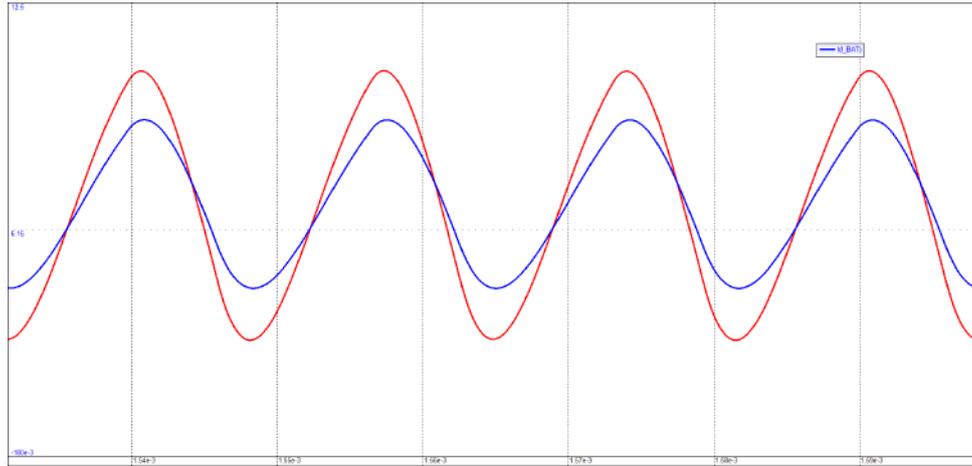


Figura C.2: Forma de onda de la corriente de batería en la simulación con un capacitor de $21.2 \mu\text{F}$ (curva azul) y con un capacitor de $15 \mu\text{F}$ (curva roja).

Si bien el cálculo presentado y la simulación permiten estimar un nuevo valor para el capacitor de salida, la variación de la impedancia interna de la batería en función del estado de carga dificulta predecir con exactitud el comportamiento real mediante un modelo simplificado. El análisis constituye un punto de partida para el dimensionamiento del capacitor, sobre el cual pueden realizarse ajustes a partir de mediciones experimentales en condiciones de operación representativas. Otra alternativa para la reducción del *ripple* puede ser el aumento de la frecuencia de conmutación del convertidor f_{sw} , lo que requiere la reevaluación de las pérdidas del sistema. Mediante alguna de estas dos estrategias, sería posible la disminución del *ripple* de tensión y corriente en trabajos futuros que empleen el convertidor.

D. Referencias

- [1] Vitor Fernão Pires, Armando Pires y Armando Cordeiro. “DC microgrids: benefits, architectures, perspectives and challenges”. En: *Energies* 16.3 (2023), pág. 1217.
- [2] Sofía Erbetta y Wanda Vera. *Convertidor DC/DC Boost para Almacenamiento de Energía Solar Fotovoltaica en Baterías. Especificación de Requerimientos*. Universidad Nacional de Mar del Plata, 2025. URL: <https://drive.google.com/file/d/1lNuNjrPiaY3S6Llvriz9G9QWAlp28Cz/view?usp=sharing>.
- [3] Sofía Erbetta y Wanda Vera. *Convertidor DC/DC Boost para Almacenamiento de Energía Solar Fotovoltaica en Baterías. Especificación Funcional*. Universidad Nacional de Mar del Plata, 2025. URL: <https://drive.google.com/file/d/15VvDdoyd-7UbRhiAjB09yTcJ8L5cGjai/view?usp=sharing>.
- [4] Sofía Erbetta y Wanda Vera. *Convertidor DC/DC Boost para Almacenamiento de Energía Solar Fotovoltaica en Baterías. Especificación Técnica*. Universidad Nacional de Mar del Plata, 2025. URL: <https://drive.google.com/file/d/1HfTb1390BJN15L0951WeF-0-rBLLi-Hm/view?usp=sharing>.
- [5] Facundo Ferrari y Federico Ruggeri. *Diseño y construcción de una microrred de CC*. <https://rinfi.fi.mdp.edu.ar/handle/123456789/672>. Universidad Nacional de Mar del Plata, 2022.
- [6] Sofía Erbetta y Wanda Vera. *Convertidor DC/DC Boost para Almacenamiento de Energía Solar Fotovoltaica en Baterías. Plan de Proyecto*. Universidad Nacional de Mar del Plata, 2023. URL: <https://drive.google.com/file/d/1pzICGs7QQrlUBXg56YKvoWxFfW9yFBdf/view?usp=sharing>.
- [7] Bluesun. *Hoja de datos del módulo BSM500PM5-72SB*. URL: <https://bluesunpv.pl/lib/l12if1/bluesun500shingled-llvyn0o5.pdf> (visitado 30-07-2025).
- [8] SILFAB Solar. *Hoja de datos del módulo SIL-500 HM*. URL: <https://silfabsolar.com/wp-content/uploads/2025/05/Silfab-SIL-500-HM-Data-Final.pdf> (visitado 30-07-2025).
- [9] JA Solar. *Hoja de datos del módulo AM66S30 480-505/MR/1500V*. URL: <https://www.jasolar.com/uploadfile/2022/0928/20220928044113690.pdf> (visitado 30-07-2025).
- [10] Canadian Solar. *Hoja de datos del módulo CS6W-520MB-AG*. URL: https://static.csisolar.com/wp-content/uploads/sites/3/2023/03/24152313/CS-Datasheet-BiHiKu6_CS6W-MB-AG_v2.411_F42_P1_NA.pdf (visitado 30-07-2025).
- [11] Henry Louie. *Off-Grid Electrical Systems in Developing Countries*. Springer, 2018.
- [12] Chilwee. *Hoja de datos de batería 6-DZF-20*. URL: <https://www.chilweebattery.com/Content/upload/pdf/20209560/Chilwee-6-DZF-20-Battery.pdf?rnd=874> (visitado 30-07-2025).
- [13] Kijo Battery. *Hoja de datos de batería 6-DZF-20*. URL: <https://www.kijo-battery.com/uploads/file/6-dzf-20l-6.10kg-electric-vehicle-battery-expert.pdf> (visitado 30-07-2025).
- [14] Ultracell. *Hoja de datos de batería UCG 20-12*. URL: <https://www.123accu.nl/pdf/AUL00035.pdf> (visitado 30-07-2025).
- [15] Marian K. Kazimierczuk. *Pulse-Width Modulated DC-DC Power Converters*. 2.^a ed. Wiley, 2016.
- [16] Ned Mohan, Tore M. Undeland y William P. Robbins. *Power electronics: converters, applications, and design*. John Wiley & Sons, 2003.

- [17] Robert W. Erickson y Dragan Maksimovic. *Fundamentals of power electronics*. 3.^a ed. Springer Cham, 2020.
- [18] Sanjaya Maniktala. *Switching Power Supplies A-Z*. Elsevier, 2012.
- [19] Peter B. Green y Liz Zheng. “Gate drive for power MOSFETs in switching applications”. En: *Infineon Application Note 1* (2022).
- [20] Micrometals Inc. *T250-18 Toroidal Core Datasheet*. <https://datasheets.micrometals.com/T250-18-DataSheet.pdf>. Accessed: 2025-07-26. 2023.
- [21] *TMS320F2837xS Real-Time Microcontrollers datasheet (Rev. K)*. <https://www.ti.com/lit/ds/symlink/tms320f28379s.pdf?ts=1730348326971>. Texas Instruments, 2024.
- [22] *ADC Input Circuit Evaluation for C2000 MCUs (using TINA-TI simulation tool)*. <https://www.ti.com/lit/an/spract6a/spract6a.pdf?ts=1730742070371>. Texas Instruments, 2020.
- [23] Simone Buso y Paolo Mattavelli. *Digital control in power electronics*. Springer Nature, 2022.
- [24] Sofía Erbetta y Wanda Vera. *Convertidor DC/DC Boost para Almacenamiento de Energía Solar Fotovoltaica en Baterías. Plan de Pruebas*. Universidad Nacional de Mar del Plata, 2025. URL: <https://drive.google.com/file/d/1FcwJd-LEKZmHY0lSSYEt34L18IQx1sIR/view?usp=sharing>.
- [25] IEEE Standard Association et al. “IEEE guide for selection and use of battery monitoring equipment in stationary applications”. En: *IEEE Std* (2012), págs. 1491-2012.