

CURRENT CONTROL ON MULTIPHASE POWER CONVERTERS

Eng. Pablo Daniel Antoszczuk

This Thesis work was submitted to the Electronics Department,
School of Engineering, National University of Mar del Plata
on March 20, 2015 in partial fulfillment of the requirements for the degree of
PhD in Electronics Engineering

Thesis supervisors:

Dr. Marcos Funes and Dr. Rogelio García Retegui



RINFI es desarrollado por la Biblioteca de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata.

Tiene como objetivo recopilar, organizar, gestionar, difundir y preservar documentos digitales en Ingeniería, Ciencia y Tecnología de Materiales y Ciencias Afines.

A través del Acceso Abierto, se pretende aumentar la visibilidad y el impacto de los resultados de la investigación, asumiendo las políticas y cumpliendo con los protocolos y estándares internacionales para la interoperabilidad entre repositorios



Esta obra está bajo una [Licencia Creative Commons Atribución- NoComercial-CompartirIgual 4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/).

CURRENT CONTROL ON MULTIPHASE POWER CONVERTERS

Eng. Pablo Daniel Antoszczuk

This Thesis work was submitted to the Electronics Department,
School of Engineering, National University of Mar del Plata
on March 20, 2015 in partial fulfillment of the requirements for the degree of
PhD in Electronics Engineering

Thesis supervisors:

Dr. Marcos Funes and Dr. Rogelio García Retegui

This thesis work has been carried out in the Instrumentation and Control Laboratory, School of Engineering, National University of Mar del Plata.

Abstract

Multiphase power converters have become a very attractive solution for the current control on high power applications, due to the power dissipation reduction in the active and passive components, and the improvement in the total ripple characteristics.

These applications, which commonly arise in the high-energy physics field, require the control of high current (on the order of kiloamperes) with high precision (on the order of several hundreds of ppm). Additionally, large variations in the current reference and perturbations in the input or output voltages are present. These variations generate transient errors that have to be corrected in several hundreds of microseconds. Given the current level and the technological limitations of the semiconductor devices, the maximum allowable switching frequency implies transient times on the order of a few switching periods. Under these conditions, several requirements arise that cannot be satisfied by the existent current control techniques, due to their limited transient response, or sensitivity to the converter operating point or parasitic elements.

According to these problematics, the present thesis studies the current control in multiphase power converters, and proposes solutions to achieve the transient and precision requirements above mentioned.

The first proposal is the current ripple characterization, as a function of the differences across each phase inductance value. This characterization allows to

find expressions for the total ripple that, unlike the methodologies present in the literature, are valid for any number of phases and duty cycle. These expressions allow to calculate others magnitudes, such as peak value, RMS value and the harmonic content of the total current ripple.

The proposed characterization allows to develop a mitigation methodology that significantly improves the total current ripple in practical conditions, with respect to the only methodology present in the literature based on the same principle. This improvement is achieved without significantly increasing the calculation complexity.

Finally, a current control for multiphase power converters is proposed. The proposed control is able to precisely track the current reference, and achieve transient times on the order of a few switching periods, under changes on the current reference or perturbations in the converter input or output voltages.

The proposals have been validated by means of simulations or experimental measurements on a low-scale prototype.

CONTROL DE CORRIENTE EN CONVERTIDORES MULTIFÁSICOS DE POTENCIA

Ing. Pablo Daniel Antoszczuk

Este Trabajo de Tesis fue presentado al Departamento de Electrónica
de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata
el 20 de marzo de 2015, como requisito parcial para la obtención del título de

Doctor en Ingeniería orientación Electrónica

Director: Dr. Marcos Funes

Co-Director: Dr. Rogelio García Retegui

El presente trabajo de tesis fue realizado en el Laboratorio de Instrumentación y Control del Departamento de Electrónica, Facultad de Ingeniería, Universidad Nacional de Mar del Plata.

Índice general

Agradecimientos	XIX
Resumen	XXI
Nomenclatura	XXIII
1. Introducción	1
1.1. Introducción general	1
1.2. Efecto de no idealidades en convertidores multifásicos	3
1.3. Control de corriente en convertidores multifásicos	7
1.4. Objetivos de la tesis	9
2. Ripple en Convertidores Multifásicos	11
2.1. Introducción	11
2.2. Ripple en condiciones ideales	12
2.3. Ripple en condiciones no ideales	14
2.3.1. Enfoques existentes para mitigar diferencias de amplitud .	19
2.4. Conclusiones del capítulo	27
3. Controles de Corriente Para Convertidores Multifásicos	29
3.1. Introducción	29
3.2. Estrategia de Control Modo Corriente Pico	30

3.2.1. Simulaciones	33
3.3. Estrategias de Control Modo Corriente Media	38
3.3.1. Simulaciones	40
3.4. Estrategia de Control de Cruce por Cero Sincronizado	44
3.4.1. Análisis del error producto de elementos parásitos	48
3.4.2. Simulaciones	52
3.5. Estrategia de Control de Punto de Cruce Proyectado	55
3.5.1. Análisis del error producto de elementos parásitos	59
3.5.2. Simulaciones	62
3.6. Conclusiones del capítulo	65
4. Método de Caracterización de Ripple en Estado Estacionario	67
4.1. Introducción	67
4.2. Método de caracterización propuesto	68
4.3. Características del ripple total a partir del método propuesto	77
4.3.1. Amplitud máxima del ripple de la corriente total	77
4.3.2. Valor RMS del ripple de la corriente total	77
4.3.3. Contenido armónico del ripple de la corriente total	80
4.4. Resultados experimentales	85
4.5. Conclusiones del Capítulo	89
5. Mitigación de Diferencias de Amplitud Entre Ripples de Fase	91
5.1. Introducción	91
5.2. Método de Ordenamiento Propuesto	92
5.3. Simulaciones	97
5.4. Conclusiones del capítulo	102

6. Control de Corriente Propuesto	103
6.1. Introducción	103
6.2. Control de corriente propuesto	103
6.2.1. Perturbaciones de gran señal	112
6.3. Análisis de errores	120
6.3.1. Error en la detección de cruces	120
6.3.2. Efecto de cuantificación en la medición de tiempos	122
6.3.3. Retardo de encendido y apagado de las llaves	128
6.4. Resultados experimentales	131
6.4.1. Implementación	131
6.4.2. Ensayos experimentales	135
6.5. Conclusiones del capítulo	140
7. Conclusiones	141
7.1. Trabajos Futuros	144
7.2. Publicaciones Derivadas de la Tesis	147
A. Exigencias en Fuentes Para Física de Altas Energías	159
A.1. Introducción	159
A.2. Fuentes de corriente pulsada	159
A.3. Fuentes para moduladores para klystron	162
A.4. Resumen de las exigencias en fuentes para física de altas energías	163
B. Cálculo de Pérdidas en Convertidores Multifásicos	165
B.1. Introducción	165
B.2. Pérdidas en el inductor de fase	166
B.3. Pérdidas en los dispositivos semiconductores	166
B.3.1. Pérdidas por conducción	167

B.3.2. Pérdidas por conmutación	170
B.4. Pérdidas totales	172
C. Esquemáticos del Control de Corriente Propuesto	173
C.1. Introducción	173
D. Publicaciones	179
D.1. Introducción	179
D.2. Optimized Implementation of a Current Control Algorithm for Multiphase Interleaved Power Converters	183
D.3. Characterization of Steady-State Current Ripple in Interleaved Po- wer Converters Under Inductance Mismatches	192
D.4. Control Digital de Corriente para Convertidores Interleaved	202
D.5. Método de Ordenamiento de Secuencia de Disparo de Llaves Para Convertidores Interleaved	208
D.6. Control de Corriente Para Convertidores Interleaved con Cancela- ción de Armónicos Basada en el Ajuste de Las Fases de los Ripples	216
D.7. Current Control for High-Dynamic High-Power Multiphase Buck Converters	224
D.8. Improved Control Strategy for Active Bouncers used in Klystron Modulators	229

Índice de tablas

3.1. Parámetros de simulación del PCMC.	35
4.1. Amplitud pico del ripple de fase en función del ciclo de trabajo. .	71
4.2. Inductancias y amplitudes normalizadas.	86
4.3. Resultados experimentales. $P_x^\pm$ Denormalizados.	87
5.1. Atenuación del ripple de tensión para $N = 10$ y $N = 20$	101
6.1. Estados del control de corriente.	117
6.2. Transiciones completas de la máquina de estados.	119
6.3. Parámetros del banco experimental. Parte 1.	133
6.4. Parámetros del banco experimental. Parte 2.	134
6.5. Error en la corriente media. Cambio en la carga.	137
6.6. Error en la corriente media. Cambio en escalón de i_{Ref}	139

Índice de figuras

1.1. Convertidor multifásico, ejemplo con estructuras buck.	2
2.1. Ripples de fase, Δi_T , y contenido armónico de Δi_T en condiciones ideales.	13
2.2. Amplitud de Δi_T en función de D para distinto número de fases. .	14
2.3. Ripples de fase, Δi_T , y contenido armónico de Δi_T con diferencias entre las amplitudes de los ripples de fase.	16
2.4. Atenuación del ripple de tensión en el caso ideal y con diferencias en la inductancia de una fase.	17
2.5. Ripples de fase y Δi_T para $D < 0,5$, $D = 0,5$ y $D > 0,5$	19
2.6. Diagrama fasorial de la componente de f_{sw} con y sin ajuste del desfase.	21
2.7. Ripple total para distintos ordenamientos de los ripples de fase. .	23
2.8. Diagrama fasorial de la componente de f_{sw} para dos ordenamientos de fases.	25
2.9. Características de Δi_T para un ordenamiento aleatorio y mediante el método de Garcia <i>et al.</i> [25].	25
2.10. Características de Δi_T para un segundo ordenamiento aleatorio y mediante el método de Garcia <i>et al.</i> [25].	26
3.1. PCMC: Diagrama en bloques y formas de onda	31

3.2. PCMC, evolución de perturbaciones para $D > 0,5$	32
3.3. PCMC, evolución de perturbaciones para $D > 0,5$ con rampa de compensación.	32
3.4. Diagrama en bloques del PCMC en un convertidor buck multifásico.	35
3.5. PCMC: Cambio en escalón en V_0 en $t = 2$ ms. $i_{Ref} = 500$ A.	37
3.6. PCMC: Cambio en escalón de 500 A en i_{Ref} en $t = 0$	38
3.7. Diagrama en bloques del control ACMC.	39
3.8. Control ACMC de un convertidor buck multifásico.	41
3.9. ACMC: Cambio en escalón en V_0 en $t = 2$ ms. $i_{Ref} = 500$ A.	42
3.10. ACMC: Cambio en escalón de 500 A en i_{Ref} en $t = 0$, para dos condiciones de tensión de salida.	43
3.11. Principio de sincronización de cruces por cero.	45
3.12. Análisis del SZCC en un ciclo de conmutación.	46
3.13. Error en el valor medio debido a las aproximaciones en la medición de las pendientes.	49
3.14. Control SZCC de un convertidor buck multifásico.	52
3.15. SZCC. Cambio en escalón en V_0 en $t = 2$ ms. $i_{Ref} = 500$ A.	53
3.16. SZCC. Cambio en escalón de 500 A en i_{Ref} en $t = 0$	54
3.17. Principio de funcionamiento del PCPC	55
3.18. Principio de funcionamiento del PCPC a partir de la función auxiliar.	57
3.19. Diagrama en bloques simplificado del PCPC.	58
3.20. Error en el valor medio debido a error en pendientes.	60
3.21. Control PCPC de un convertidor de cuatro fases.	62
3.22. PCPC. Cambio en escalón en V_0 en $t = 2$ ms. $i_{Ref} = 500$ A.	63
3.23. PCPC: Cambio en escalón de 500 A en i_{Ref} en $t = 0$	64

4.1. Ripple de fase normalizado (sup) y ripple total (inf) para un convertidor buck.	69
4.2. $f^+(t)$ (línea de puntos) y f_k^+ (puntos).	72
4.3. Determinación de P_x^+ . (a): Ripple de fases. (b): Ripple total. . . .	73
4.4. Cálculo del valor RMS normalizado.	78
4.5. Cálculo de los coeficientes de Fourier para el intervalo correspondiente a la fase x y $x + 1$	82
4.6. Banco experimental.	85
4.7. Comprobación experimental del cálculo de los picos del ripple total. . .	86
4.8. Resultados experimentales correspondientes a la máxima amplitud y valor RMS del ripple total.	88
4.9. Contenido armónico del ripple total. Resultados experimentales y curvas analíticas.	89
5.1. Diagrama de flujo del algoritmo genético.	93
5.2. Mejor ajuste y ajuste promedio de cada generación.	99
5.3. Δi_T (sup) y espectro de Δi_T (inf). Optimizado mediante el método propuesto, mediante [25] y peor caso.	100
5.4. Atenuación del ripple de tensión en función de N	101
6.1. Principio de sincronización de cruces por cero.	104
6.2. Cálculo del tiempo de conmutación cuando ocurre un cruce por cero con pendiente negativa en i_{e_x}	106
6.3. Cálculo del tiempo de conmutación cuando ocurre un cruce por cero con pendiente positiva en i_{e_x}	108
6.4. Determinación de las pendientes de i_{e_x} mediante cruce por bandas para el cálculo de $t_{sw}^-(k + 1)$	109

6.5. Determinación de las pendientes de i_{e_x} mediante cruce por bandas para el cálculo de $t_{sw}^+(k+1)$	111
6.6. Transitorio ante cambio en escalón en i_{Ref}	113
6.7. Ajuste con $Sync_x$ en condiciones de errores de sincronismo de gran magnitud.	114
6.8. Identificación de los diferentes estados del sistema.	116
6.9. Transiciones de estado ante un escalón en i_{Ref} en t_0	118
6.10. Diagrama en bloques del control propuesto.	120
6.11. Respuesta a detección errónea de cruce en $t = t_0$	121
6.12. Cuantificación en la medición de tiempos.	123
6.13. Error de sincronismo debido a cuantificación en la medición de tiempos.	125
6.14. Error debido al retardo de las llaves.	128
6.15. Diagrama en bloques del banco experimental.	131
6.16. Banco experimental.	132
6.17. Respuesta del error de corriente a variaciones en la tensión de carga con i_{Ref} constante. $V_{01} = 17,5\text{ V}$, $V_{02} = 5\text{ V}$	136
6.18. Respuesta ante cambios en la carga. Error de corriente de fase (sup) y error de corriente media (inf).	137
6.19. Respuesta del error de corriente a escalón en i_{Ref} con carga constante. $i_{Ref1} = 2\text{ A}$, $i_{Ref2} = 10\text{ A}$	138
6.20. Respuesta ante cambios en la referencia. Error de corriente de fase (sup) y error de corriente media (inf).	139
A.1. Fuente de corriente multiestructura.	160
A.2. Fuente para klystron.	162
B.1. Convertidor buck multifásico.	165

B.2. Modelo del IGBT para el cálculo de las pérdidas por conducción. .	168
C.1. Placa de medición de corriente.	174
C.2. Placa de acondicionamiento de señales y detección de cruces. . . .	174
C.3. Placa de interconexión trasera (backplane).	174
C.4. Esquemático de placa de medición de corriente.	175
C.5. Esquemático de placa de acondicionamiento de señales y detección de cruces (bloques).	176
C.6. Esquemático de placa de acondicionamiento de señales y detección de cruces.	177
C.7. Esquemático de placa de interconexión (backplane).	178

Índice de algoritmos

4.1. Pseudocódigo para la determinación de $P_x^\pm$ para un dado D	76
4.2. Pseudocódigo para determinar del valor RMS para un dado D , a partir de los $P_x^\pm$	80
4.3. Pseudocódigo para determinar los coeficientes de Fourier de orden h , a partir de los $P_x^\pm$	84

Agradecimientos

Esta Tesis Doctoral fue realizada gracias al apoyo de innumerables personas, dentro y fuera del ámbito académico.

En primer lugar quiero agradecer a mi novia Cecilia, mis padres, familia y amigos, quienes supieron brindarme el amor, comprensión y apoyo que tanto necesité durante estos últimos años. Y a mi hermano Diego por haberme dejado un ejemplo a donde aspirar, en cuanto a calidad de persona, dedicación y esmero en todos los aspectos de la vida.

Quiero agradecer también la invaluable guía proporcionada por mis directores de tesis, Dr. Marcos Funes y Dr. Rogelio García Retegui. Su dedicación, experiencia y compromiso hicieron posible la realización de cada etapa de esta tesis.

Mis colegas del Laboratorio de Instrumentación y Control merecen un reconocimiento muy especial, ya que siempre están presentes para brindar opinión y apoyo en los momentos más necesarios.

Finalmente, quiero agradecer a los integrantes del grupo TE-EPC del CERN, particularmente el Ing. Miguel Cerqueira Bastos, y el Dr. Michele Martino, por el apoyo brindado durante mi estadía, que me nutrió enormemente tanto a nivel personal como profesional. También agradezco al proyecto EPLANET por hacer posible esa estadía.

Pablo Daniel Antoszczuk

Mar del Plata, 11 de diciembre de 2014.

Resumen

Los convertidores multifásicos se han convertido en una solución muy atractiva para el control de corriente en aplicaciones de alta potencia, debido a la reducción de las pérdidas en los elementos activos y pasivos del convertidor, y la mejora en las características del *ripple* total.

En estas aplicaciones, comúnmente presentes en el campo de física de altas energías, es necesario controlar corrientes del orden del kiloampere, con una precisión del orden de cientos de partes por millón. Además, existen grandes cambios en la referencia de corriente y perturbaciones en las tensiones de entrada y salida, los cuales generan errores transitorios que se deben corregir en algunos cientos de microsegundos. Debido a los niveles de corriente y a las capacidades tecnológicas de los dispositivos semiconductores, los tiempos de establecimiento requeridos se traducen a unos pocos ciclos de conmutación. Bajo estas condiciones, se generan exigencias que no pueden ser completamente satisfechas por los controles de corriente existentes, debido a su limitada respuesta transitoria, sensibilidad a los elementos parásitos del convertidor o al punto de operación.

En virtud de estas problemáticas, en esta tesis se realiza un estudio del control de corriente en convertidores multifásicos, y se proponen soluciones tendientes a satisfacer las especificaciones de respuesta dinámica y precisión antes mencionadas.

En primer lugar, se propone una caracterización del ripple de la corriente

total, en función de diferencias entre los valores de los inductores de fase. Esta caracterización permite hallar expresiones para el ripple de la corriente total que, a diferencia de los enfoques presentes en la literatura, son de carácter general, válidas para cualquier número de fases y ciclo de trabajo. A partir de estas expresiones se derivan magnitudes tales como valor pico, valor RMS y contenido armónico del ripple total.

La caracterización propuesta permite el desarrollo de un método de mitigación que mejora en forma significativa el ripple de la corriente total en condiciones prácticas, respecto al único método presente en la literatura basado en el mismo principio, sin incrementar en forma significativa el esfuerzo computacional.

Finalmente se propone un control de corriente para convertidores multifásicos, que permite un seguimiento preciso del valor medio de la referencia de corriente, en conjunto con tiempos transitorios del orden de unos pocos ciclos de conmutación ante cambios en la referencia o perturbaciones en las tensiones de entrada o salida del convertidor.

Las propuestas fueron validadas a través de simulaciones y ensayos experimentales en un prototipo a baja escala.

Nomenclatura

CCM	Modo de conducción continua <i>(Continuous Conduction Mode)</i>
DCM	Modo de conducción discontinua <i>(Discontinuous Conduction Mode)</i>
PWM_x	Señal de comando de la llave de la fase x
$PCMC$	Control modo corriente pico <i>(Peak Current Mode Control)</i>
$ACMC$	Control modo corriente media <i>(Average Current Mode Control)</i>
$PCPC$	Control de punto de cruce proyectado <i>(Projected Cross Point Control)</i>
$SZCC$	Control de cruce por cero sincronizado <i>(Synchronized Zero Crossing Control)</i>
$IGBT$	Transistor bipolar de puerta aislada <i>(Insulated Gate Bipolar Transistor)</i>
$MOSFET$	Transistor de efecto de campo metal-óxido-semiconductor <i>(Metal-Oxide-Semiconductor Field-Effect Transistor)</i>
$FPGA$	Arreglo de compuertas programable en campo <i>(Field Programmable Gate Array)</i>

Capítulo 1

Introducción

1.1. Introducción general

Un convertidor multifásico es la asociación en paralelo de N convertidores iguales, los cuales individualmente se denominan fases. En la Fig. 1.1 se muestra un ejemplo de una estructura clásica de este tipo de convertidores: el convertidor buck multifásico. Como se puede apreciar, la corriente total está determinada por la suma de la corriente de cada fase, i.e., $i_T = \sum_{x=1}^N i_x$. Por lo tanto, para una dada i_T , la corriente de cada fase es inversamente proporcional a N , lo cual permite reducir las pérdidas en los dispositivos semiconductores y los elementos pasivos del convertidor [1, 2, 3]. Adicionalmente, a partir de un adecuado desfase de las señales PWM _{x} , se busca intercalar el ripple de las corrientes de fase de forma tal de mejorar las características del ripple de la corriente total, Δi_T . Estas mejoras, que consisten en la reducción de la amplitud de Δi_T y en el aumento de su frecuencia a N veces la frecuencia de conmutación f_{sw} , permiten reducir las exigencias de filtrado del convertidor [3, 4, 5].

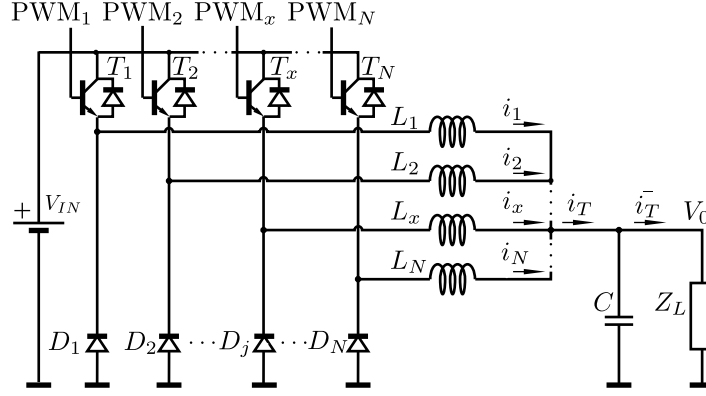


Figura 1.1: Convertidor multifásico, ejemplo con estructuras buck.

Los convertidores multifásicos se utilizan normalmente en aplicaciones tales como inversores conectados a la red [6], sistemas de almacenamiento para vehículos híbridos [1, 7], conversores de corrección de factor de potencia (*Power Factor Correction*, PFC) [8, 9, 10], módulos reguladores de tensión (*Voltage Regulation Modules*, VRM) [11, 12] y equipamiento industrial específico [13, 14].

La capacidad de estos convertidores para distribuir las pérdidas y reducir el ripple, ha sido considerada también en la implementación de fuentes de corriente para física de altas energías [15, 16, 17, 18]. Sin embargo, este segmento de alta potencia y altas prestaciones posee requerimientos aún más exigentes que los antes mencionados. Entre estos requerimientos, que se detallan en el Apéndice A, se deben destacar la regulación de la corriente con elevada precisión, del orden de cientos de ppm, y tiempos de establecimiento reducidos, del orden de algunos cientos de microsegundos.

Respecto a los requerimientos de precisión, se debe minimizar el ripple de la corriente total en estado estacionario, el cual se puede dimensionar a partir de los parámetros y componentes ideales del convertidor [4, 5]. Sin embargo, las no idealidades presentes en estos componentes afectan las características finales del ripple total, lo cual puede llevar a resultados fuera de los límites esperados. Más

aún, estas no idealidades pueden influir en el seguimiento del valor medio de la referencia de corriente, generando errores que impidan cumplir con la precisión deseada.

Relativo al tiempo de establecimiento, es común inferir que un aumento en la frecuencia de conmutación permite incrementar la respuesta dinámica del sistema, y obtener de este modo una reducción en los tiempos transitorios. En el segmento de potencia de las fuentes mencionadas, las llaves semiconductoras deben manejar, de forma individual, cientos de amperes y varias centenas de volts. Por ello, su máxima frecuencia de conmutación está limitada a unas decenas de kilohertz, lo cual compromete el cumplimiento de las especificaciones de tiempo de establecimiento. Esto implica que el control de corriente del convertidor debe ser capaz de recuperar la condición de estado estacionario en unos pocos ciclos de conmutación, ante cambios en la referencia de corriente o perturbaciones en las tensiones de entrada o salida del convertidor.

En las siguientes secciones se realiza un análisis de los aspectos antes mencionados, en relación a la aplicación de los convertidores multifásicos a fuentes de corriente de alta potencia, con requerimientos de alta precisión y dinámica.

1.2. Efecto de no idealidades en convertidores multifásicos

Las no idealidades en un convertidor multifásico están vinculadas a las características no ideales de los componentes activos y pasivos del convertidor, tales como tolerancias, dispersiones y elementos parásitos. Si bien el impacto de estas no idealidades en el desempeño del convertidor depende de las capacidades particulares del control de corriente, es posible clasificarlos en: pérdidas de potencia

en los dispositivos, impacto sobre el valor medio de la corriente de fase, e impacto sobre el ripple de la corriente total.

A partir del análisis de estos convertidores y de sus elementos parásitos, es posible determinar que las pérdidas en los dispositivos del convertidor dependen fuertemente del número de fases. Si se asume que la corriente total se divide en forma equitativa entre las fases, se puede establecer que las pérdidas por conmutación son inversamente proporcionales a N , y las pérdidas por conducción disminuyen a razón de N^2 . Sin embargo, si la distribución de la corriente no se realiza en forma equitativa se incrementan las exigencias sobre algunos dispositivos, lo cual puede derivar en la necesidad de sobredimensionar el sistema, con la consecuente reducción de las ventajas obtenidas al dividir la corriente. El análisis de las pérdidas en convertidores DC/DC está ampliamente abordado en la literatura [19, 20], y su extensión a convertidores multifásicos está descrita en el Apéndice B.

Respecto del error en el valor medio de la corriente de fase, se pueden identificar dos escenarios: distribución asimétrica de corriente en las diversas fases, y error en el seguimiento del valor medio de la referencia de corriente. La distribución asimétrica de la corriente incrementa las exigencias en aquellas fases cuyo valor medio de corriente es mayor, lo cual introduce la necesidad de sobredimensionar los elementos, reduciendo las ventajas obtenidas al dividir la corriente total. Normalmente, este problema surge en aplicaciones automotrices o de consumo, donde se prioriza la reducción de costos y volumen del convertidor. Como en estas aplicaciones se realiza el control del convertidor a través de una única medición sobre la corriente total, es necesario estimar los elementos parásitos del convertidor, o utilizar mecanismos particulares de compensación para generar las señales de control adecuadas [21, 22, 23, 24].

Una solución más general a este problema consiste en realizar el control midiendo la corriente de cada fase, a expensas de un mayor costo debido a la utilización de N sensores de corriente y sus circuitos asociados [5, 25, 26]. Si bien esta metodología posibilita una distribución simétrica de la corriente, no garantiza el correcto seguimiento de la referencia de corriente, que depende de la estrategia de control de corriente utilizada. En este sentido, el control de corriente debe ser capaz de seguir el valor medio de la referencia de corriente, independientemente de los elementos parásitos del convertidor, de la variación en el valor de sus componentes, y de las tensiones de entrada y salida.

Las características del ripple total, por su parte, son afectadas principalmente por dos factores: desfase no ideal entre fases y diferencias de amplitud entre los ripples de cada fase. Estos factores introducen en el ripple total componentes de la frecuencia de conmutación y sus armónicos, i.e., $(f_{sw}, 2f_{sw}, (N-1)f_{sw})$, que no están presentes en el caso ideal. Estas componentes incrementan las exigencias de filtrado en el punto común entre fases, deteriorando en parte las ventajas de este tipo de convertidores.

El desfase no ideal entre fases se produce principalmente por diferencias entre los retardos de encendido y apagado de las llaves de las distintas fases. Normalmente, si se utilizan llaves semiconductoras y drivers del mismo tipo en todas las fases, este fenómeno es despreciable [25]. Sin embargo, mediante el uso de técnicas de control que permitan ajustar el intercalado entre las fases [3, 27, 28], es posible mitigar eventuales desviaciones del desfase ideal.

Por otro lado, las diferencias de amplitud entre los ripples de fase se producen principalmente por tolerancias en el valor de los inductores de fase, y generan un deterioro en el ripple total que no puede ser totalmente eliminado mediante el control de corriente [17, 25, 26]. El impacto producido por las tolerancias ha sido abordado por distintos autores. En Zhang *et al.* [29] se propone realizar

un análisis estadístico de montecarlo, para determinar la amplitud del ripple en determinadas condiciones de tolerancias. Por otra parte, en Garcia *et al.* [25] se asume diferencias de amplitud en sólo una fase, y se determina la amplitud del ripple de corriente y de tensión en estas condiciones. Finalmente, Aguglia [17] propone dividir en distintos segmentos un período de conmutación, y calcular la máxima amplitud del ripple de corriente a partir de las pendientes resultantes. Si bien estas propuestas permiten obtener ciertas características del ripple total en condiciones particulares, no han podido determinar en forma general las mismas para cualquier condición de diferencias entre los inductores, número de fases y ciclo de trabajo.

Respecto del deterioro producido por la diferencia de amplitud entre los ripples de fase en el ripple total, existen metodologías tendientes a minimizar este efecto recurriendo a dos principios fundamentales: ajustar el desfase entre fases [30] o alterar el orden en el que se activan las llaves de cada fase [25]. En Schuck y Pilawa-Podgurski [30], se propone ajustar el desfase entre fases de forma de cancelar la componente de f_{sw} en el ripple total, en convertidores con diferente tensión de entrada en cada fase. Sin embargo, su implementación práctica en convertidores con igual tensión de entrada en todas las fases resulta dificultosa, debido a que el tiempo de corrección puede ser del orden de los retardos presentes en el sistema. En Garcia *et al.* [25], se propone un método que permite reducir el impacto de las diferencias de amplitudes a partir de alterar el orden de los ripples de fase. Este método permite reducir el ripple de la corriente total cuando existen diferencias de amplitud en sistemas con $N > 3$. La magnitud de la reducción depende de las diferencias relativas de amplitud, y es más notoria en sistemas con un número elevado de fases. Sin embargo, tiene la desventaja de que sólo es válido para un número par de fases y que no necesariamente proporciona la mejor solución.

A partir de lo expuesto, se puede concluir que es necesario un análisis general del ripple, en las condiciones mencionadas, para evaluar el impacto real de esta problemática sobre las características del convertidor. Además, este análisis podría proporcionar herramientas esenciales para el desarrollo de técnicas que permitan mitigar este problema de forma más general y eficiente que las estrategias presentes en la literatura.

1.3. Control de corriente en convertidores multifásicos

Existen numerosas alternativas en la literatura para el control de corriente en convertidores multifásicos. Sin embargo, para satisfacer los requerimientos presentes en las aplicaciones de alta potencia antes descritas, el control de corriente debe ser capaz de corregir perturbaciones en unos pocos ciclos de conmutación, y seguir de forma precisa el valor medio de la referencia de corriente, independientemente del punto de operación, elementos parásitos o impedancia de carga. Estas restricciones hacen que los controles presentes en la literatura no sean capaces de proveer una solución a la totalidad los requerimientos antes mencionados. A continuación, se resumen las principales características de las estrategias de control más utilizadas.

Las estrategias basadas en el control de corriente de modo pico (*Peak Current Mode Control* PCMC), tales como [31, 32, 33], son de simple implementación y proveen protección de corriente de forma inherente. Sin embargo, debido al principio de control, el valor medio de la corriente de fase depende de la amplitud del ripple y, por lo tanto, de la inductancia de fase, las tensiones de entrada y salida, y

la frecuencia de conmutación. Adicionalmente, este tipo de control requiere compensación de pendiente para asegurar la estabilidad en el rango completo de ciclo de trabajo. Esta compensación incrementa el tiempo transitorio a niveles que dificultan el cumplimiento de los requerimientos de tiempo de establecimiento, cuando existen cambios en la referencia de corriente o perturbaciones de tensión. Por lo tanto, debido a la dependencia del valor medio de la corriente con el punto de operación y los parámetros del sistema, y a las limitaciones en la respuesta transitoria, este tipo de controles no son adecuados para las aplicaciones antes descritas.

Las estrategias basadas en el principio de control de corriente de modo promedio (*Average Current Mode Control* ACMC), tales como [28, 34, 35, 36, 37], son capaces de seguir de forma precisa la referencia de corriente, y proveen buena inmunidad al ruido, que previene falsos disparos en los instantes de conmutación. Sin embargo, el máximo ancho de banda se debe ajustar en función de la frecuencia de conmutación, de modo de asegurar la estabilidad del lazo de control. En el caso de las aplicaciones de potencia antes descritas, las limitaciones en la frecuencia de conmutación dan lugar a sistemas con un ancho de banda por debajo del requerido para cumplir con las especificaciones de tiempo de establecimiento.

Finalmente, las estrategias de control basadas en principios de proyección del error de corriente, tales como Control de Cruce por Cero Sincronizado (*Synchronized Zero Crossing Control* SZCC) [27] y Control Punto de Cruce Proyectado (*Projected Cross Point Control* PCPC) [38], proporcionan rápida respuesta dinámica, son estables en el rango completo de ciclo de trabajo y son capaces de controlar el valor medio de la corriente en una amplia gama de aplicaciones. El SZCC es un primer esfuerzo del grupo de trabajo del cual el autor de esta tesis forma parte, tendiente a cumplir con las exigencias mencionadas previamente. Esta técnica usa la diferencia de tiempo entre los cruces por cero del error de corriente

y una señal de sincronismo, de forma tal de calcular los instantes de conmutación que anulen este error, y en consecuencia el error en el valor medio de la corriente, en unos pocos ciclos de conmutación. Adicionalmente, la sincronización de los cruces por cero del error de corriente, permite optimizar la respuesta dinámica de cada fase de forma individual, y proporcionar el correcto intercalado entre fases. El PCPC, por otra parte, calcula los instantes de conmutación comparando el error de corriente con una función proyectada, que se formula para anular el error en el valor medio de la corriente. Sin embargo, ambas estrategias de control dependen de la aproximación de las pendientes del error de corriente a través de la medición de las tensiones de entrada y salida del convertidor, despreciando las caídas de tensión en los dispositivos semiconductores y en la resistencia serie de los inductores de fase. Esta aproximación, si bien es válida en un amplio rango de aplicaciones, incrementa el error en el valor medio de la corriente en estado estacionario cuando las caídas de tensión serie son comparables con las tensiones de entrada o salida del convertidor. Debido a esta limitación, no es posible utilizar estas técnicas de control en el rango completo de las aplicaciones antes descritas. No obstante, y pese a sus limitaciones, las ventajas en cuanto a respuesta dinámica de estas estrategias, pueden proporcionar un punto de partida para el desarrollo de una técnica de control de corriente que satisfaga en su totalidad las exigencias antes mencionadas.

1.4. Objetivos de la tesis

Esta tesis tiene dos objetivos principales. El primero es realizar una caracterización general del ripple total en estado estacionario en casos donde existan diferencias entre la amplitud del ripple de cada fase. El segundo es diseñar un método de control de corriente capaz de cumplir con los requerimientos antes

expuestos.

El propósito de la caracterización del ripple de la corriente total es cuantificar los efectos producidos por las diferencias entre la amplitud del ripple de cada fase, de forma de determinar su impacto en las principales características del convertidor. Esta cuantificación puede permitir el desarrollo de técnicas que permitan mitigar este problema de forma eficiente.

El diseño de un control de corriente, por su parte, busca cubrir los requerimientos presentes en convertidores de alta potencia y altas prestaciones. En particular se busca limitar el tiempo transitorio a algunos ciclos de conmutación, a fin de obtener un tiempo de establecimiento reducido. Adicionalmente, es necesario proporcionar un correcto seguimiento de la referencia de corriente en estado estacionario, en cualquier punto de operación del convertidor e independientemente de los parámetros del mismo.

Capítulo 2

Ripple en Convertidores Multifásicos

2.1. Introducción

La influencia sobre el ripple de la corriente total ha sido identificada en la bibliografía como un problema que impacta en gran medida en el diseño de convertidores multifásicos [25, 30], y particularmente en aplicaciones de alta potencia y altas prestaciones [17, 26, 39]. Este impacto se debe a que, relativo al caso ideal, la amplitud del ripple se incrementa, y se introducen componentes de la frecuencia de conmutación y sus armónicos. De esta forma, resulta necesario dimensionar los elementos de filtrado para este ripple de mayor amplitud y menor frecuencia, con la consecuente reducción en las características dinámicas de la corriente total, e incremento en las pérdidas sobre los elementos del filtro. En este sentido, una caracterización del ripple total en condiciones no ideales, permitiría determinar en forma cuantitativa el deterioro del ripple total y proporcionar herramientas de diseño del convertidor, en base a la magnitud esperada de las no idealidades.

En el presente capítulo se realiza una revisión de los distintos aportes tendientes a caracterizar este problema y, adicionalmente, se revisan las estrategias existentes para mitigar los problemas que surgen en condiciones no ideales, con el objeto de identificar sus principales ventajas y limitaciones.

2.2. Ripple en condiciones ideales

Debido a que el ripple de la corriente total, Δi_T , está determinado por la suma vectorial de los ripples de fase, sus características dependen de la amplitud, ciclo de trabajo y desfase relativo entre ellos [5]. La amplitud del ripple depende a su vez del valor de la tensión de entrada, el inductor de fase, el ciclo de trabajo y la frecuencia de conmutación. Por su parte, el desfase relativo establece mediante el control de las señales de disparo de las llaves. En condiciones ideales, el ciclo de trabajo, amplitud y frecuencia del ripple de cada fase son iguales, y el desfase entre ellos es igual a $\frac{2\pi}{N}$. En estas condiciones, la suma de los ripples de fase resulta en la cancelación de las componentes ($f_{sw}, 2f_{sw}, \dots, (N \infty 1)f_{sw}$) en Δi_T [4, 5, 17, 25]. Por lo tanto, la mínima frecuencia en Δi_T es Nf_{sw} , y su amplitud es siempre menor que la amplitud del ripple de una fase. Para ilustrar esta característica, en la Fig. 2.1 se muestra la forma de onda de los ripples de fase y del ripple total, en conjunto con el contenido armónico de Δi_T , en un convertidor de $N = 4$ fases. Como se puede apreciar, la amplitud del ripple total es menor que la amplitud del ripple de fase, y la mínima componente de frecuencia en Δi_T es $Nf_{sw} = 4f_{sw}$.

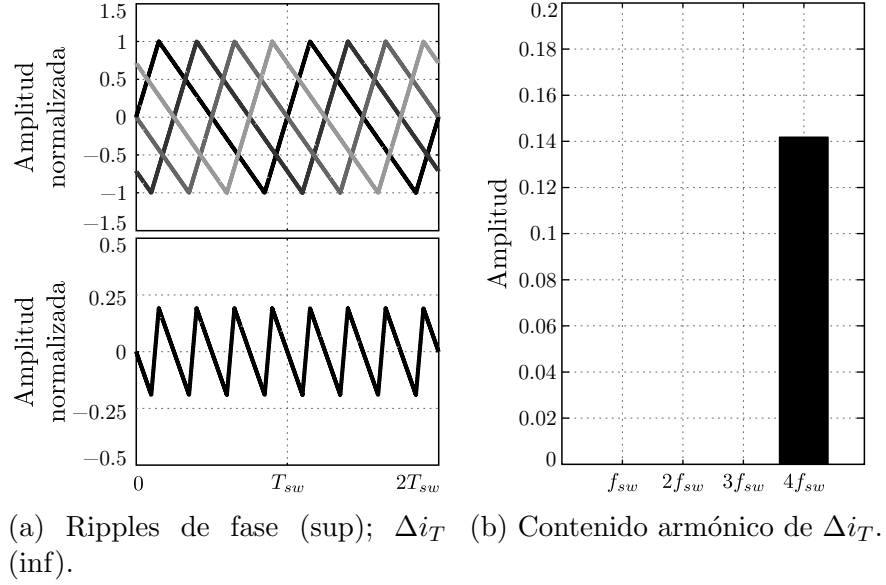


Figura 2.1: Ripples de fase, Δi_T , y contenido armónico de Δi_T en condiciones ideales.

En Chang y Knights [4] se realiza un análisis del ripple en estado estacionario, donde se determina la relación entre la amplitud de Δi_T y el ciclo de trabajo D en condiciones ideales. En la Fig. 2.2 se muestra la amplitud de Δi_T en función de D para un convertidor de 2, 3 y 6 fases, normalizada respecto a la amplitud del ripple de una fase. Como se puede observar, además de la reducción en la amplitud del ripple total, existen valores particulares de ciclo de trabajo, que se denominan D_C , para los cuales la amplitud del ripple en la corriente total se cancela totalmente [4, 5]. La cantidad y ubicación de estos ciclos de trabajo particulares, para una determinada cantidad de fases N , se determinan mediante

$$D_C = \frac{i}{N} \quad ; \quad i = 1, 2, \dots, (N \infty 1). \quad (2.1)$$

Adicionalmente, a partir del análisis presentado en [4], se puede apreciar que la amplitud de los lóbulos, contenidos entre los puntos de cancelación D_C , es

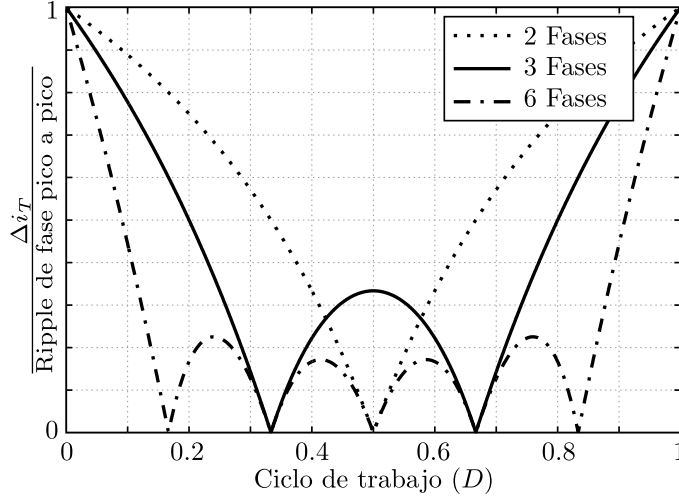


Figura 2.2: Amplitud de Δi_T en función de D para distinto número de fases.

menor a medida que se incrementa el número de fases.

De esta forma, el incremento en la frecuencia y la disminución en la amplitud de Δi_T permiten reducir las exigencias de filtrado, lo cual proporciona una reducción en el volumen del filtro conectado al punto común entre fases para una dada especificación de ripple, sin necesidad de aumentar f_{sw} [5, 17, 25].

2.3. Ripple en condiciones no ideales

Como se mencionó anteriormente, la amplitud y la frecuencia de Δi_T se ven afectados, principalmente, por el desfase no ideal entre los ripples de fase o diferencias entre las amplitudes del ripple de cada fase.

El desfase no ideal se debe principalmente a diferencias en los retardos de encendido y apagado de los dispositivos semiconductores entre las fases. Si bien este fenómeno suele ser despreciable frente a otros factores [25], su impacto en las características de Δi_T se puede mitigar mediante el uso de técnicas de control, como las propuestas en [8, 9, 10, 27]. En estas técnicas, el control preciso de los instantes de conmutación mediante el uso de plataformas digitales [40], permite

establecer el correcto desfase entre los ripples de cada fase.

Por su parte, las diferencias de amplitud entre los ripples de fase se producen, principalmente, por diferencias entre los valores de los inductores [17, 25]. El origen de estas diferencias depende de distintos factores, según el tipo de inductor utilizado. En el caso de inductores sin entrehierro, la causa más importante es la tolerancia en la permeabilidad magnética (normalmente del orden de $\pm 5\%$ a $\pm 10\%$), y las diferencias en el proceso de bobinado (tales como la presión mecánica o distribución) [41]. Por otro lado, para inductores con entrehierro, la principal causa de la tolerancia es la variación en el tamaño del entrehierro. El tamaño del entrehierro puede variar por diversos motivos, como tolerancia en el proceso de corte, o espesor del pegamento utilizado para unir las mitades del núcleo. Teniendo en cuenta estas consideraciones, se pueden esperar tolerancias del orden de $\pm 10\%$ en un diseño estándar [42].

Para ilustrar el impacto de las diferencias de amplitud entre de los ripples de fase, se presenta un ejemplo utilizando un convertidor de $N = 4$ fases. En la Fig. 2.3 se muestran los ripples de fase, Δi_T y el contenido armónico de Δi_T . Como se puede observar, debido a las diferencias entre las amplitudes de los ripples, las componentes $(f_{sw}, 2f_{sw}, \dots, (N \infty 1)f_{sw})$ no se cancelan totalmente en Δi_T . Por lo tanto, para satisfacer los requerimientos de precisión en la corriente o en la tensión sobre la carga sin incrementar la frecuencia de conmutación, resulta necesario reducir la frecuencia de corte del filtro conectado al punto común entre fases, de forma tal de considerar las componentes armónicas de menor frecuencia y el incremento en la amplitud del ripple total. En consecuencia, debido a la reducción en la frecuencia de corte del filtro, las características dinámicas de la corriente sobre la carga se ven deterioradas. Por otro lado, el incremento en la amplitud y en el valor *RMS* del ripple, aumenta las pérdidas en los componentes del filtro.

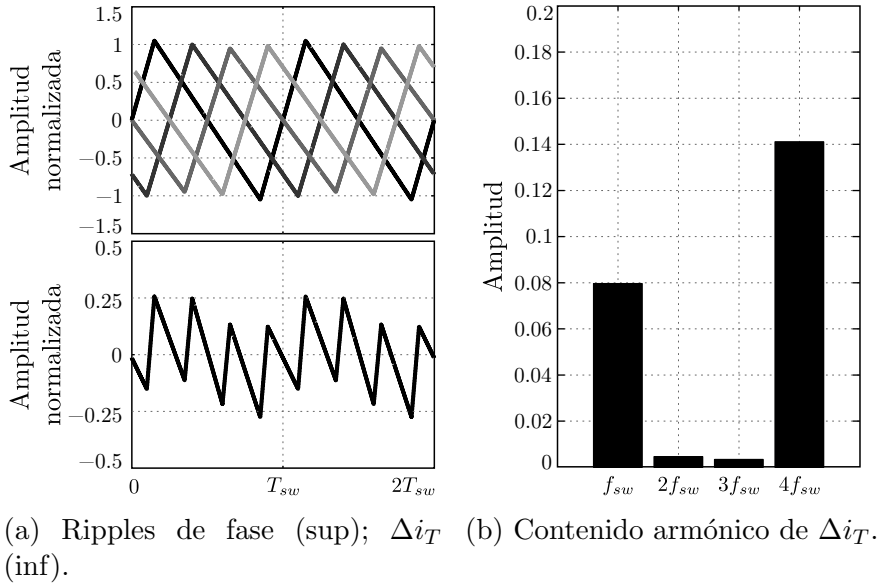


Figura 2.3: Ripples de fase, Δi_T , y contenido armónico de Δi_T con diferencias entre las amplitudes de los ripples de fase.

El efecto de las diferencias entre las amplitudes de los ripples fase sobre las características de filtrado en el punto común entre fases, se puede ilustrar para diferentes N evaluando el ripple de tensión que se genera sobre un filtro dado. Considerando que el objetivo es evaluar el efecto de las diferencias entre los ripples para distinto número de fases, la frecuencia de conmutación se mantiene constante para todo N . En la Fig. 2.4 se muestra el ripple de tensión en el punto común entre fases en función de N , normalizado respecto al ripple de tensión generado por una fase, $\Delta V_{0_N}/\Delta V_{0_1}$, donde se presenta el caso ideal, y los casos con diferencia de 1 % y 5 % solo en el valor de uno de los inductores. Respecto al caso ideal, la relación $\Delta V_{0_N}/\Delta V_{0_1}$ disminuye a medida que aumenta N . Sin embargo, cuando existen diferencias entre los ripples de fase, la atenuación $\Delta V_{0_N}/\Delta V_{0_1}$ se deteriora debido a la existencia de componentes armónicas de baja frecuencia, y al incremento en la amplitud de Δi_T . Se puede observar que, en el caso no ideal, la amplitud del ripple de tensión en el filtro permanece en un valor constante a partir de un determinado

valor de N . De esta forma, las tolerancias en el valor de los inductores producen que incrementos en el número de fases no se correspondan con reducciones en el ripple de tensión en el punto común. Adicionalmente, la amplitud del ripple de tensión en el filtro resulta mayor a medida que se incrementan las diferencias entre las amplitudes de los ripples de fase.

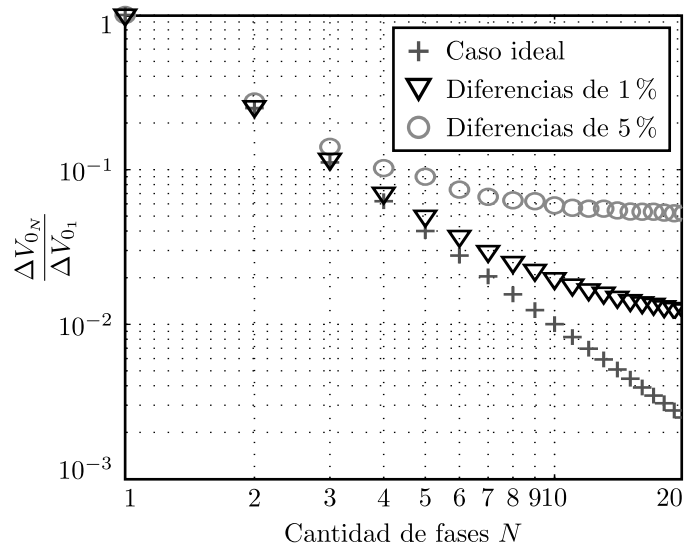


Figura 2.4: Atenuación del ripple de tensión en el caso ideal y con diferencias en la inductancia de una fase.

Algunos autores han realizado propuestas para caracterizar el ripple de la corriente total en estas condiciones. En Zhang *et al.* [29] se propone realizar un análisis de montecarlo, para determinar la magnitud de Δi_T en función de la tolerancia en los inductores de fase. Este análisis es un método estadístico, que consiste en variar los parámetros del sistema de forma aleatoria, y evaluar la características de Δi_T para cada ensayo. De esta forma se obtiene una distribución de Δi_T en función de las tolerancias de los inductores de fase. Si bien este método permite estimar el impacto de las tolerancias en el ripple total, no es posible determinar en forma eficiente las características de Δi_T para una determinada

condición de valor de inductores, ciclo de trabajo y número de fases.

Por otro lado, en Garcia *et al.* [25], se desarrolló un método para determinar Δi_T y el ripple en la tensión de salida del convertidor, para casos en donde existe diferencia de amplitud en sólo una fase. Si se considera que la fase j posee diferente amplitud que las $N \infty 1$ fases restantes, es posible expresar el ripple total como

$$\Delta i_T = \Delta i_{T_{ideal}} + \Delta i_{j_{perturbacion}} \quad (2.2)$$

donde $\Delta i_{j_{perturbacion}}$ es la diferencia entre la amplitud real del ripple de la fase j y la amplitud ideal sin tolerancias. Es importante notar que, mediante esta representación, $\Delta i_{T_{ideal}}$ corresponde a un ripple con frecuencia igual a Nf_{sw} , mientras que $\Delta i_{j_{perturbacion}}$ corresponde a un ripple con frecuencia igual a f_{sw} . En estas condiciones, y asumiendo que el ripple total circula en su totalidad por un capacitor C ideal, el ripple en la tensión de salida, Δv_0 , se calcula mediante

$$\Delta v_0 \approx \Delta v_{0_{ideal}} + \Delta v_{0_{perturbacion}} = \frac{\Delta i_{T_{ideal}}}{8Nf_{sw}C} + \frac{\Delta i_{T_{perturbacion}}}{8f_{sw}C} . \quad (2.3)$$

Dado que este método asume diferencias de amplitud en solo una fase, no es posible determinar las características de Δi_T en casos más generales.

En Aguglia [17], por su parte, se realizó un desarrollo para evaluar la amplitud máxima de Δi_T en función de las diferencias de amplitud entre los ripples de fase, en convertidores multifásicos aplicados a moduladores para klystron (Apéndice A). Este desarrollo consiste en dividir Δi_T en distintos segmentos, delimitados por el instante de conmutación de cada fase, como se muestra en la Fig. 2.5 para un convertidor de $N = 2$ fases.

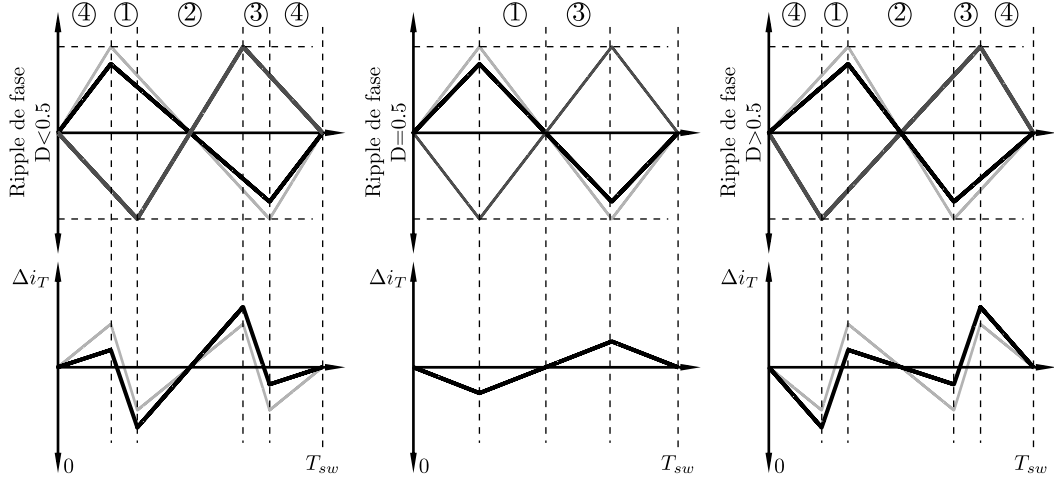


Figura 2.5: Ripples de fase y Δi_T para $D < 0,5$, $D = 0,5$ y $D > 0,5$.

Luego, se evalúa la pendiente del ripple de cada fase en los distintos segmentos. Dado que la pendiente del ripple total es igual a la suma de las pendientes de los ripples de fase, la amplitud del ripple total se determina multiplicando la duración del período por la pendiente resultante en el peor caso. En el caso analizado, el peor caso corresponde al segmento 2 si $D < 0,5$ o al segmento 4 si $D > 0,5$.

Si bien este enfoque permite determinar la amplitud del ripple en casos sencillos con un número reducido de fases, el procedimiento de cálculo resulta poco práctico en sistemas con mayor número de fases. Adicionalmente, este procedimiento solo permite obtener la amplitud máxima del ripple, con la cual no es posible determinar otras características de interés como el valor *RMS* y contenido armónico de Δi_T .

2.3.1. Enfoques existentes para mitigar diferencias de amplitud

Existen dos enfoques en la literatura que permiten mitigar el deterioro en las características de Δi_T , producto de diferencias entre las amplitudes de los

ripples de fase. Estos enfoques consisten en realizar un ajuste del desplazamiento angular entre fases, o alterar el orden de los ripples de fase. A continuación, se resumen las características más relevantes de cada uno, con el objeto de evaluar su aplicabilidad en las aplicaciones de interés.

Enfoque de ajuste del desfase entre ripples de fase

Como se mencionó anteriormente, en condiciones de operación ideal, el desfase óptimo resulta $\frac{2\pi}{N}$, debido a que permite la cancelación de las componentes $(f_{sw}, 2f_{sw}, \dots, (N \infty 1)f_{sw})$ en Δi_T . Sin embargo, si existen diferencias entre las amplitudes de los ripples, es posible realizar un ajuste del desfase, de forma de cancelar la componente de la frecuencia de conmutación en Δi_T . En la Fig. 2.6 se muestra un ejemplo a partir del diagrama fasorial correspondiente a la componente de frecuencia de conmutación para un convertidor de tres fases, donde la amplitud de $A1$ es mayor que la de $A2$ y $A3$. Como se puede apreciar, en la Fig. 2.6a el desfase es igual a $\frac{2\pi}{N}$ y, debido a la diferencia de amplitud entre los ripples de fase, existe una componente de f_{sw} en Δi_T , denominada AT . Por otro lado, a partir de los ajustes de fase $\Delta\phi_2$ y $\Delta\phi_3$ que se muestran en la Fig. 2.6b, es posible cancelar esta componente en Δi_T . Luego, surgen dos problemáticas asociadas a este enfoque: determinar el ángulo de corrección $\Delta\phi$ de cada fase, y establecer estos ángulos mediante el control de corriente.

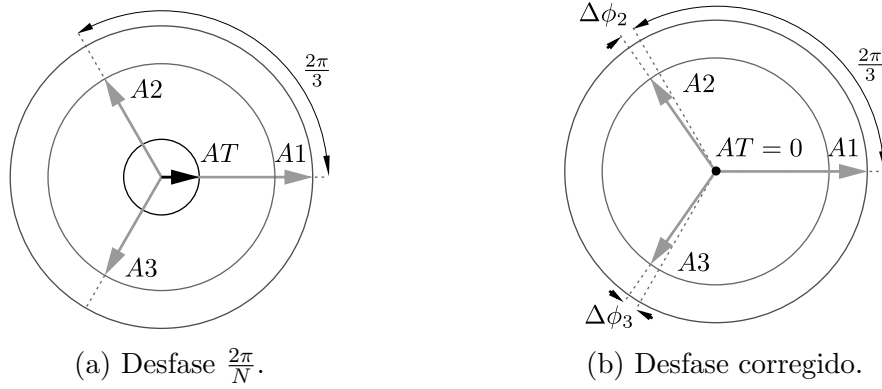


Figura 2.6: Diagrama fasorial de la componente de f_{sw} con y sin ajuste del desfase.

En Schuck y Pilawa-Podgurski [30] se presentan las ecuaciones para determinar los $\Delta\phi$ que permiten eliminar un número dado de componentes armónicas en convertidores multifásicos asimétricos, los cuales poseen diferente tensión de entrada por cada fase. Si se considera el caso clásico, de igual tensión de entrada y salida, la eliminación del armónico de orden h en Δi_T , se logra planteando:

$$\begin{aligned} \sum_{x=1}^N A_x \cos(h\phi_x) &= 0 \\ \sum_{x=1}^N A_x \sin(h\phi_x) &= 0 \end{aligned} \quad (2.4)$$

donde A_x es la amplitud del ripple de la fase x , y ϕ_x es su fase, dada por:

$$\phi_x = \frac{2\pi(x-1)}{N} + \Delta\phi_x. \quad (2.5)$$

y $\Delta\phi_x$ es el ángulo de corrección de la fase x . Las expresiones (2.4) conforman un sistema de 2 ecuaciones con N incógnitas, para cada armónico h . Por lo tanto, es posible eliminar $N/2$ armónicos en un convertidor con N fases.

Con el objetivo de analizar la magnitud de los ángulos de corrección necesarios, se evalúan las expresiones anteriores para un convertidor con $N = 3$, que posee

tolerancias en el valor de los inductores de fase del orden de ± 10 %, resultando:

$$L_1 = 242 \mu\text{H}$$

$$L_2 = 249 \mu\text{H}$$

$$L_3 = 263 \mu\text{H}$$

En estas condiciones y tomando cómo referencia la fase $x = 1$, los ángulos de corrección necesarios, relativos al período de conmutación, resultan:

$$\begin{aligned}\Delta\phi_1 = 0^\circ &\leadsto \Delta\phi_{1r} = \frac{\Delta\phi_1}{360^\circ} 100 = 0 \% \\ \Delta\phi_2 = 3,13^\circ &\leadsto \Delta\phi_{2r} = \frac{\Delta\phi_2}{360^\circ} 100 = 0,87 \% \\ \Delta\phi_3 = 8,23^\circ &\leadsto \Delta\phi_{3r} = \frac{\Delta\phi_3}{360^\circ} 100 = 2,28 \%\end{aligned}$$

Como se puede apreciar, los ángulos de corrección, necesarios para corregir diferencias de esta magnitud en los inductores de fase, son del orden de 1 % del período de conmutación. Si se toma como ejemplo una frecuencia de conmutación $f_{sw} = 12 \text{ kHz}$, los tiempos de corrección asociados a estos ángulos resultan:

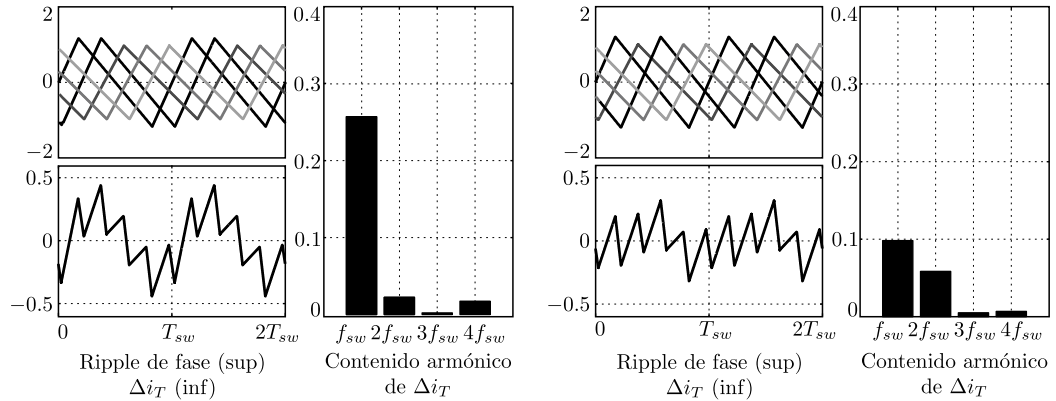
$$\begin{aligned}\Delta\phi_1 = 0^\circ &\leadsto \Delta t_{01} = \frac{\Delta\phi_1}{360^\circ f_{sw}} = 0 \mu\text{s} \\ \Delta\phi_2 = 3,13^\circ &\leadsto \Delta t_{02} = \frac{\Delta\phi_2}{360^\circ f_{sw}} = 0,72 \mu\text{s} \\ \Delta\phi_3 = 8,23^\circ &\leadsto \Delta t_{03} = \frac{\Delta\phi_3}{360^\circ f_{sw}} = 1,9 \mu\text{s}\end{aligned}$$

Sin embargo, la implementación práctica de este método es dificultosa dado que estos tiempos son del orden de los retardos existentes en el sistema, tales como retardos de encendido y apagado de los dispositivos semiconductores, tiempos muertos e incertezas en la detección de cruce de moduladores de ancho de pulso

PWM. Se debe notar además que, a medida que se incrementa el número de fases o la frecuencia de conmutación, esta condición tiende a empeorar. Esto se debe a que un incremento en el número de fases reduce los $\Delta\phi_x$ resultantes, y un incremento en f_{sw} reduce los tiempos asociados a estos ángulos de corrección.

Enfoque de redistribución de los ripples de fase

Otro enfoque para mitigar las diferencias entre las amplitudes de los ripples consiste en alterar el orden de los mismos, durante la puesta a punto o arranque del convertidor. Con el objetivo de ilustrar esta influencia, en la Fig. 2.7 se muestra el ripple de las fases, Δi_T y el contenido armónico de Δi_T para dos ordenamientos de fase distintos, en un convertidor con $N = 5$.



(a) Ordenamiento 1: (A1 A2 A3 A4 A5). (b) Ordenamiento 2: (A1 A3 A2 A4 A5).

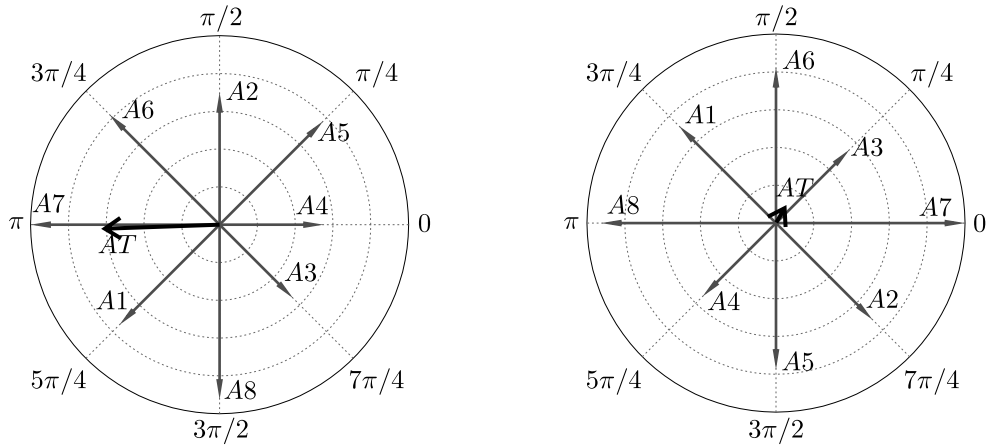
Figura 2.7: Ripple total para distintos ordenamientos de los ripples de fase.

La amplitud pico del ripple de cada fase es $(A1 \ A2 \ A3 \ A4 \ A5) = (1,2 \ 1,2 \ 1 \ 1 \ 1)$, donde $A1$, $A2$, $A3$, $A4$ y $A5$ son las amplitudes de los ripples asociadas a los inductores L_1 , L_2 , L_3 , L_4 y L_5 , respectivamente. Se puede observar que, en el caso del ordenamiento 1 (Fig. 2.7a), los ripples de mayor amplitud están ordenados de forma consecutiva, mientras que en el ordenamiento 2 (Fig. 2.7b), los ripples de

cada fase se ubican en diferente secuencia: (A1 A3 A2 A4 A5). Se puede notar en la figura que el ordenamiento 1 produce un contenido de componente f_{sw} en Δi_T significativamente mayor que el ordenamiento 2.

De este análisis se puede establecer que, como las características de Δi_T dependen del orden de los ripples de fase, existe un ordenamiento óptimo que minimiza el contenido de los armónicos ($f_{sw}, 2f_{sw}, \dots, (N \infty 1)f_{sw}$) en el ripple total. Sin embargo, la búsqueda de este ordenamiento mediante la evaluación de todos los casos posibles se torna poco práctica a medida que aumenta el número de fases. Esto se debe a que la cantidad de posibles soluciones se incrementa con el factorial de N .

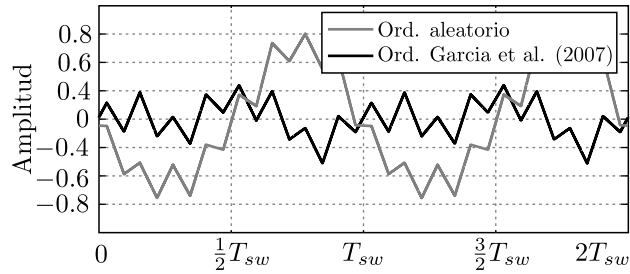
En Garcia *et al.* [25] se presentó un método que permite ordenar los ripples de fase sin necesidad de evaluar todos los casos. Este método consiste en colocar en contrafase los ripples con amplitudes similares, lo cual permite reducir la amplitud de la componente de frecuencia de conmutación en el ripple total. Para ilustrar este concepto, se recurre al ejemplo presentado en [25] sobre un convertidor de $N = 8$. En la Fig. 2.8 se muestran los diagramas de conmutación para dos ordenamientos de fase. En estos diagramas polares, el módulo y la fase de cada vector representa la amplitud y la fase de un determinado ripple, respectivamente. De esta forma, la suma de dichos vectores es proporcional a la amplitud de la componente de frecuencia de conmutación en Δi_T . En la Fig. 2.8a se muestra el diagrama de conmutación para un ordenamiento de fases aleatorio, donde se puede observar que la suma vectorial AT es significativamente mayor que la correspondiente al ordenamiento de la Fig. 2.8b, donde los vectores con amplitudes similares están ubicados a 180° entre sí.



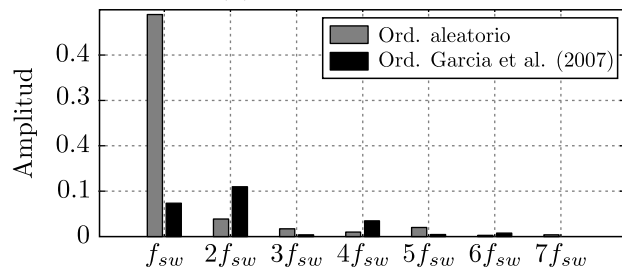
(a) Distribución aleatoria de ripples. (b) Ripples con amplitudes similares en contrafase.

Figura 2.8: Diagrama fasorial de la componente de f_{sw} para dos ordenamientos de fases.

En la Fig. 2.9a y 2.9b se muestran las formas de onda y el contenido armónico de Δi_T , respectivamente, para el caso previamente presentado.



(a) Ripple total.

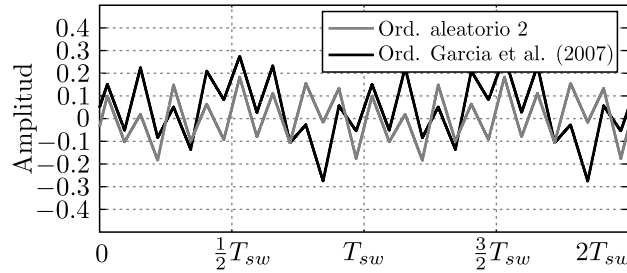


(b) Contenido armónico del ripple total.

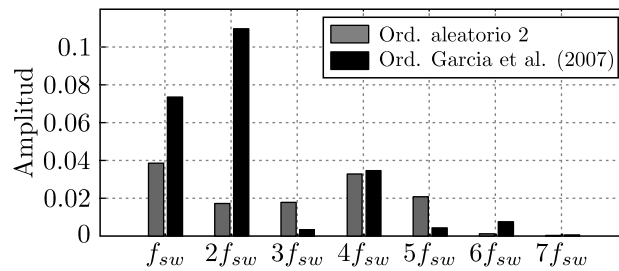
Figura 2.9: Características de Δi_T para un ordenamiento aleatorio y mediante el método de Garcia *et al.* [25].

Como se puede apreciar, el ordenamiento propuesto en [25] reduce significativamente la amplitud de la componente de frecuencia de conmutación en el ripple total, respecto del ordenamiento aleatorio de la Fig. 2.8a.

Sin embargo, la distribución de fases que se logra por este método no es necesariamente la óptima. En este caso, por ejemplo, existe una distribución que logra mejorar las características de Δi_T . El ripple resultante en este caso se muestra en la Fig. 2.10, donde se puede observar que se reduce la componente de f_{sw} a la mitad, y la componente de $2f_{sw}$ aproximadamente 6 veces, respecto del ordenamiento propuesto por Garcia *et al.* [25]. Adicionalmente, dado que este método depende de la simetría del problema, su aplicación no contempla la minimización del ripple en sistemas con un número impar de fases.



(a) Ripple total.



(b) Contenido armónico del ripple total.

Figura 2.10: Características de Δi_T para un segundo ordenamiento aleatorio y mediante el método de Garcia *et al.* [25].

2.4. Conclusiones del capítulo

En este capítulo se realizó una revisión del impacto de los elementos parásitos del convertidor sobre el ripple de la corriente total. Este ripple se ve afectado principalmente por la tolerancia de los inductores de fase, que generan diferencias entre la amplitud del ripple de las distintas fases, e introducen en consecuencia componentes de frecuencia de conmutación y sus armónicos en el ripple total.

Existen en la literatura estudios tendientes a cuantificar el ripple de la corriente total. Sin embargo, estos estudios no son de carácter general y, por lo tanto, no permiten obtener las características del ripple de la corriente total para cualquier condición de diferencias entre el valor de los inductores, cantidad de fases y ciclo de trabajo.

Adicionalmente, se evidencian en la literatura dos enfoques para mitigar este efecto. Estos enfoques consisten en ajustar el desfase relativo entre los ripples, o alterar el orden entre los ripples de fase. La utilización práctica del primer enfoque está limitada por la magnitud de las correcciones necesarias, que son del orden de los retardos involucrados en el sistema. Por otro lado, la dificultad para optimizar el segundo enfoque radica, principalmente, en la falta de una caracterización general que permita cuantificar Δi_T a partir de las amplitudes del ripple de cada fase. Esto se debe a que una caracterización general permitiría desarrollar métodos que realicen el ordenamiento de fases a partir de una función objetivo, que contemple la totalidad de las componentes armónicas y sea aplicable a cualquier número de fases.

Capítulo 3

Controles de Corriente Para Convertidores Multifásicos

3.1. Introducción

En el Capítulo 1 se introdujeron los principales requerimientos de las aplicaciones de alta potencia y altas prestaciones: controlar la corriente con elevada precisión y reducir el tiempo transitorio a unos pocos ciclos de conmutación. Estos requerimientos, en conjunto con las problemáticas que se detallan en el Apéndice A (grandes cambios en la referencia de corriente y perturbaciones en la tensión de salida), conforman las características que debe poseer el control de corriente asociado a estas aplicaciones:

- Correcto intercalado de los ripples de fase.
 - Para mejorar las características del ripple total.
- Correcto seguimiento de la referencia de corriente.
 - Para garantizar la correcta distribución de la corriente total entre las fases.
 - Para cumplir con los requerimientos de precisión.

- Tiempos transitorios del orden de algunos ciclos de conmutación.
 - Para satisfacer los requerimientos de tiempo de establecimiento, a pesar de la reducida frecuencia de conmutación.

En este capítulo se revisan los principales controles para convertidores multifásicos presentes en la literatura. El objetivo de esta revisión es exponer las ventajas y limitaciones de cada control, de modo de determinar su viabilidad en las aplicaciones de interés.

3.2. Estrategia de Control Modo Corriente Pico

Las estrategias basadas en el control modo corriente pico (*Peak Current Mode Control*, PCMC), tales como [31, 32, 33], utilizan una señal de referencia y una señal de reloj, CLK , para definir los instantes de conmutación. En la Fig. 3.1 se muestra el principio de funcionamiento de este control en un convertidor buck de una fase. La llave T pasa al estado *OFF* (llave abierta) cuando la corriente en el inductor alcanza el valor de referencia ($i_L = i_{Ref}$), y al estado *ON* (llave cerrada) en los instantes fijados por la señal CLK . De este modo, la señal CLK determina la frecuencia y la fase instantánea del ripple de corriente en estado estacionario; por lo tanto, permite proveer el correcto intercalado entre los ripples de fase en convertidores multifásicos.

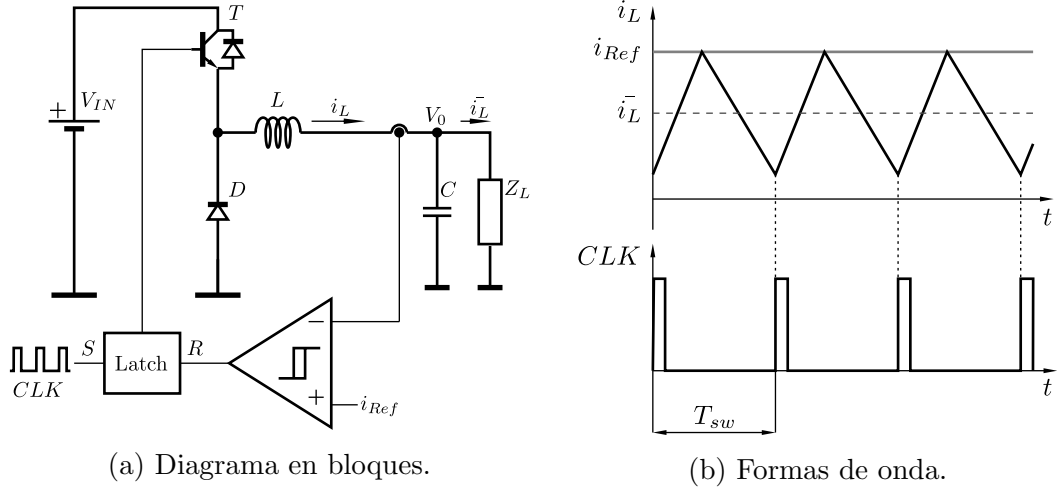


Figura 3.1: PCMC: Diagrama en bloques y formas de onda

El control así descrito puede presentar, en determinadas condiciones, problemas de estabilidad. La condición de estabilidad se puede analizar a partir de la evolución de una perturbación a lo largo de sucesivos instantes de la señal CLK [43]. Considerando que $\Delta i(0)$ es la condición inicial de la perturbación, esta evolución se puede expresar como:

$$\Delta i(k \cdot T_{sw}) = \Delta i(0) \cdot \left(\frac{D}{D-1} \right)^k = \Delta i(0) \cdot \alpha^k. \quad (3.1)$$

En esta expresión, el parámetro α se denomina relación de rechazo a perturbaciones y determina la estabilidad del control. Como se puede apreciar, la amplitud de la perturbación converge solo si $\alpha = \left| \frac{D}{D-1} \right| \leq 1$, lo cual establece que el sistema es inestable si $D > 0,5$. En la Fig. 3.2 se muestra la evolución de una perturbación en este caso, donde se puede observar que su amplitud no converge a un valor estable a lo largo de sucesivos instantes de muestreo. En forma general, si $\alpha > 1$, pueden existir oscilaciones sub-armónicas o comportamiento caótico en el ripple de corriente [33, 44].

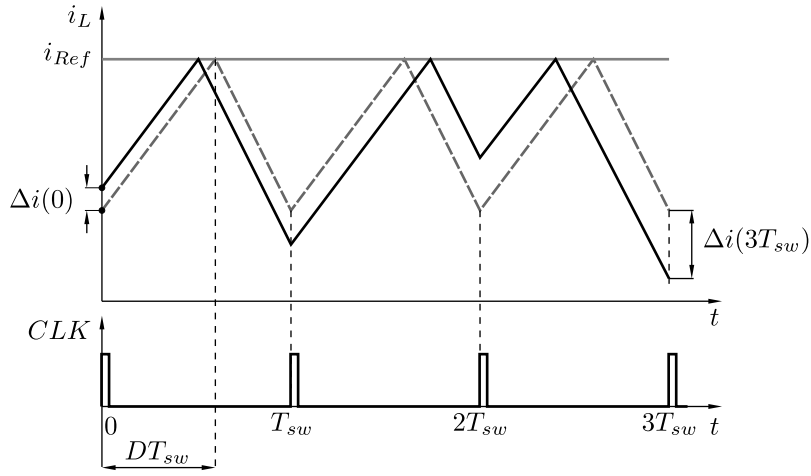


Figura 3.2: PCMC, evolución de perturbaciones para $D > 0,5$.

El problema de estabilidad en el PCMC se resuelve mediante la adición de una rampa de compensación en la referencia de corriente i_{Ref} , que modifica el instante de comparación [43]. Dicha rampa, que se puede considerar como un control de ganancia, modifica la amplitud del ripple de corriente y, en consecuencia, su valor medio.

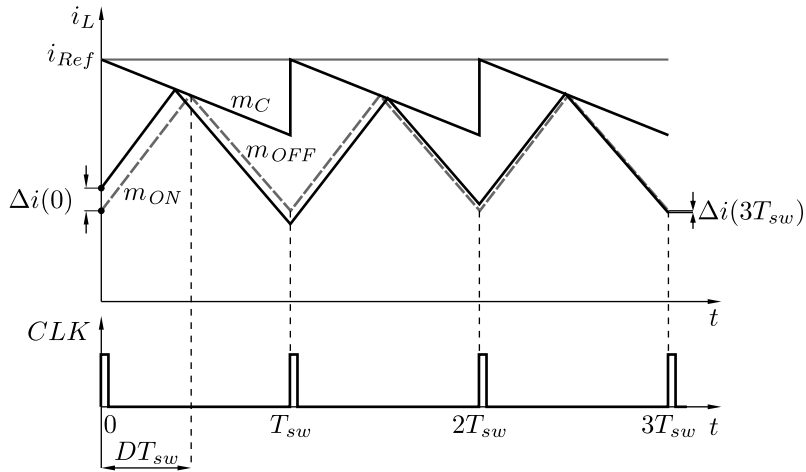


Figura 3.3: PCMC, evolución de perturbaciones para $D > 0,5$ con rampa de compensación.

La evolución de una perturbación $\Delta i(0)$, considerando la rampa de compensación, se calcula mediante

$$\Delta i(k \cdot T_{sw}) = \Delta i(0) \cdot \left(\frac{m_C \propto m_{OFF}}{m_C + m_{ON}} \right)^k = \Delta i(0) \cdot \alpha_c^k \quad (3.2)$$

donde m_{ON} es la pendiente de la corriente en el estado ON, m_{OFF} la pendiente en el estado OFF y m_C la pendiente de la rampa de compensación. La relación de rechazo a perturbaciones para el caso compensado, α_c , toma diferentes valores dependiendo del valor de m_C . Particularmente, si $m_C \geq m_{OFF}/2$ se garantiza la estabilidad en todo el rango de ciclo de trabajo.

Si bien este mecanismo de compensación asegura la estabilidad para todo D , también se incrementa la diferencia entre el valor pico y el valor medio de la corriente en estado estacionario. Planteando las ecuaciones de estado estacionario a partir de la Fig. 3.3, se determina la siguiente expresión para calcular la diferencia entre i_{Ref} y el valor medio de la corriente, denominada $\bar{i}_e$:

$$\bar{i}_e = DT_{sw} \left(m_C \propto \frac{m_{ON}}{2} \right) = \frac{V_0}{V_{IN}} T_{sw} \left(m_C \propto \frac{V_{IN} \propto V_0}{2L} \right). \quad (3.3)$$

Como se puede apreciar, $\bar{i}_e$ es función de la amplitud del ripple y de la pendiente de la rampa de compensación. Por lo tanto, la diferencia entre i_{Ref} y el valor medio resultante, depende de las tensiones de entrada y salida, del valor de los inductores de fase, de la frecuencia de conmutación y de m_C .

3.2.1. Simulaciones

El control de corriente debe ser capaz de rechazar las perturbaciones presentes en las aplicaciones de interés (Apéndice A), de forma de cumplir con los requerimientos de precisión y respuesta transitoria sin incrementar las exigencias sobre

el resto de las etapas del sistema. Con el objetivo de evaluar la respuesta del PCCMC ante estas perturbaciones, se simula un convertidor multifásico de cuatro fases. Debido a que se requiere evaluar el comportamiento funcional del control de corriente, se utilizan para la simulación llaves sin retardos e inductores de igual valor en todas las fases. La plataforma de simulación seleccionada es el simulador de circuitos analógicos NL5 [45], que permite evaluar sistemas conmutados en las condiciones requeridas sin problemas de convergencia numérica. Finalmente, se seleccionó un paso de simulación igual a $T_{sw}/1000$, que permite evaluar la funcionalidad del control sin la adición de errores debidos a la plataforma de simulación.

En la Fig. 3.4 se muestra el diagrama en bloques utilizado para la simulación. Como se puede apreciar, el control multifásico está compuesto por cuatro bloques idénticos de control de corriente, con una señal CLK independiente para cada uno de ellos, que determina el desfase relativo entre los ripples de fase. Adicionalmente, se reemplazó la carga por una fuente de tensión V_0 , lo que permite simular perturbaciones en la tensión de salida sin modificar la referencia de corriente; y cambios en i_{Ref} sin perturbar las tensiones de entrada y salida. De este modo, es posible evaluar el rechazo que provee el control de corriente a estas perturbaciones en forma individual. Los parámetros utilizados en la simulación se resumen en la Tabla 3.1.

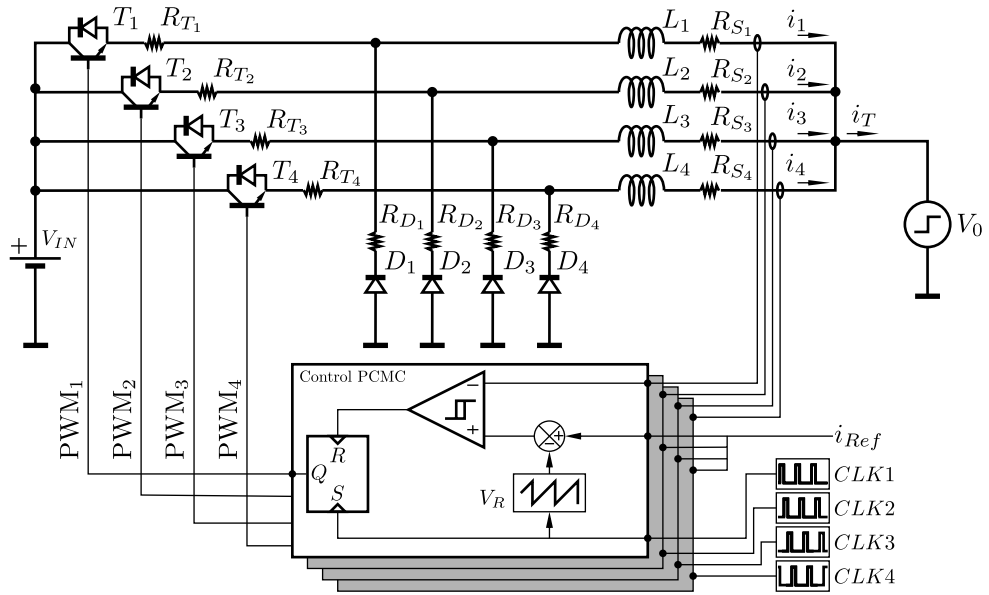


Figura 3.4: Diagrama en bloques del PCMC en un convertidor buck multifásico.

Tabla 3.1: Parámetros de simulación del PCMC.

Parámetro	Valor
Tensión de entrada, V_{IN}	500 V
Tensión de salida, V_0	30 V a 300 V
Frecuencia de conmutación, f_{sw}	10 kHz
Referencia de corriente de fase i_{Ref}	500 A
Tensión de saturación de la llave, V_T	0,82 V
Resistencia de la llave j , R_{T_j}	15,9 mΩ
Caída en directa del diodo, V_{D_j}	0,91 V
Resistencia del diodo j , R_{D_j}	9,2 mΩ
Inductancia de la fase j , L_j	100 μH
Resistencia serie del inductor j , R_{S_j}	50 mΩ

El primer ensayo consiste en evaluar la respuesta del control a un cambio en

escalón en la tensión de salida, desde $V_0 = 30 \text{ V}$ a $V_0 = 300 \text{ V}$. Debido a que este cambio implica que el convertidor opera en un amplio rango de ciclos de trabajo, es necesario definir una rampa de compensación para garantizar la estabilidad del control. Para obtener la mejor respuesta dinámica, se establece una pendiente de compensación m_C igual a la máxima pendiente de caída en las corrientes de fase, es decir

$$m_C = m_{OFF_{max}} = \infty \frac{V_{0_{max}}}{L_j}. \quad (3.4)$$

En la Fig. 3.5 se muestra la respuesta del PCMC ante un cambio en V_0 en $t = 2 \text{ ms}$, manteniendo constante $i_{Ref} = 500 \text{ A}$. A modo de referencia, se muestra además la rampa de compensación correspondiente a la fase 1, V_{R_1} , cuya pendiente se calculó mediante (3.4). Como se puede observar, el cambio en V_0 modifica las pendientes de la corriente y, en consecuencia, el valor medio de las corrientes de fase, tal como se indica en (3.3). La variación en el valor medio de la corriente introduce la necesidad de adicionar mecanismos externos de compensación, tales como un lazo externo de corriente o un filtro activo. En el primer caso, la adición del lazo de corriente que corrija el valor medio de i_T , implica un proceso de promediación que genera un detrimento en la respuesta dinámica de i_T . En el segundo caso, el filtro activo debe suministrar una corriente media igual a la diferencia entre el valor medio deseado y el valor medio obtenido, lo cual incrementa sus exigencias y limita la máxima frecuencia de conmutación. Por lo tanto, la dependencia del valor medio de la corriente con el punto de operación hace que este tipo de control se vea fuertemente condicionado para las aplicaciones de interés.

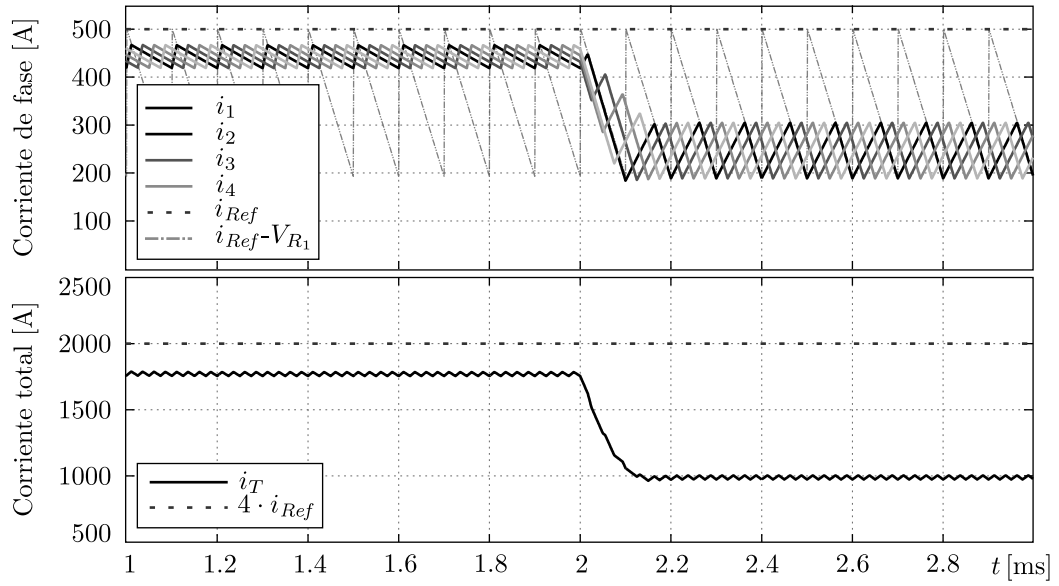


Figura 3.5: PCMC: Cambio en escalón en V_0 en $t = 2$ ms. $i_{Ref} = 500$ A.

Adicionalmente, es de interés evaluar la respuesta del control a un cambio de gran magnitud en la referencia de corriente. En la Fig. 3.6 se muestra un cambio en escalón de 500 A en i_{Ref} , en $t = 0$. Como se puede notar, debido a la presencia de las rampas de compensación, existen conmutaciones antes de que la corriente de fase alcance el valor de referencia. Este fenómeno incrementa el tiempo de convergencia al valor final, por lo cual resulta necesario incrementar la frecuencia de conmutación para satisfacer los requerimientos de tiempo de establecimiento. Sin embargo, como se mencionó en el Capítulo 1, no siempre es posible incrementar la frecuencia de conmutación en este tipo de aplicaciones, debido a las limitaciones tecnológicas de los dispositivos semiconductores.

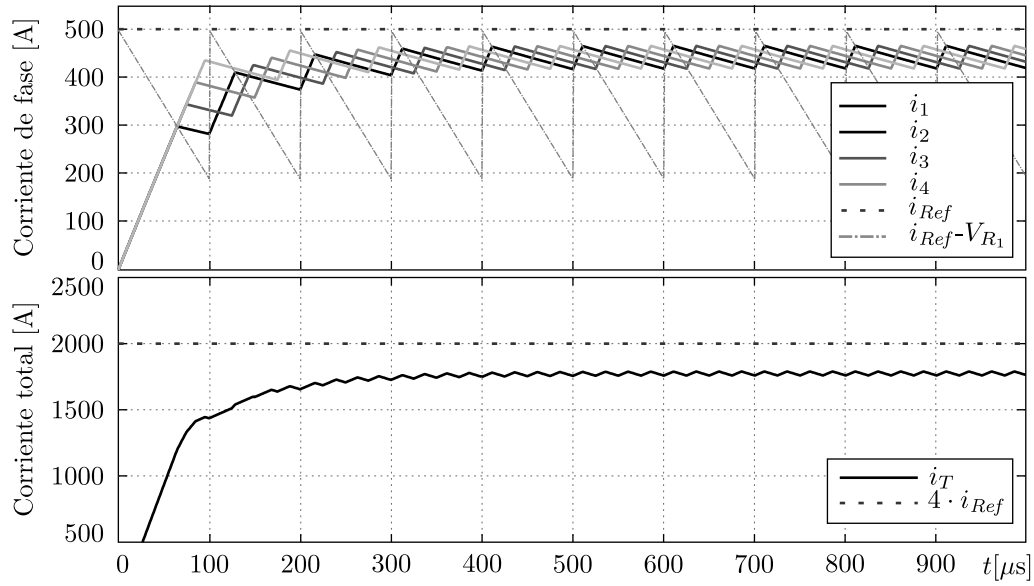


Figura 3.6: PCMC: Cambio en escalón de 500 A en i_{Ref} en $t = 0$.

Las principales ventajas del PCMC se pueden resumir en:

- Protección inherente de corriente.
- Simple implementación.

Mientras que sus principales limitaciones son:

- Necesidad de un mecanismo de compensación para asegurar estabilidad en todo D , que limita la respuesta transitoria.
- El valor medio de la corriente depende del punto de operación del convertidor.

3.3. Estrategias de Control Modo Corriente Media

Las estrategias basadas en Control Modo Corriente Media (*Average Current Mode Control*, ACMC), tales como [28, 34, 36, 37] son capaces de seguir en forma

precisa la referencia de corriente y proveen excelente inmunidad al ruido. Para ilustrar el principio de funcionamiento de este tipo de control, en la Fig. 3.7 se muestra un diagrama del lazo de control de corriente para un convertidor buck de una fase. Como se puede observar, el sistema de control mide la corriente en el inductor y la compara con un valor de referencia i_{Ref} , de forma tal de generar la señal de error que ingresa al controlador G_C . La salida del controlador se compara con una señal diente de sierra de frecuencia fija, V_R , para generar el comando de la llave. Debido a la alta ganancia de $G_C(s)$ en bajas frecuencias, el ACMC permite seguir la referencia de corriente con muy bajo error en estado estacionario.

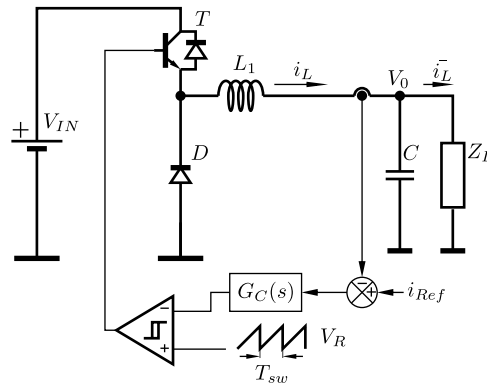


Figura 3.7: Diagrama en bloques del control ACMC.

La señal de comparación V_R determina la frecuencia de conmutación y la fase del ripple en estado estacionario. Por lo tanto, en convertidores multifásicos, es necesario generar un desfase de $\frac{2\pi}{N}$ entre las señales de comparación de cada fase, de forma tal de lograr el correcto intercalado de los ripples de fase.

El bloque de control $G_C(s)$ se debe diseñar para evitar inestabilidad y oscilaciones sub-armónicas en el lazo de corriente. El diseño de $G_C(s)$ se realiza a partir de un modelo de pequeña señal de la etapa de potencia, en el cual las variables del sistema se promedian en un ciclo de conmutación para un punto

de operación determinado. El procedimiento para determinar $G_C(s)$ en función de los parámetros del sistema y las especificaciones de diseño, está ampliamente estudiado en la literatura [46, 47]. Es importante destacar que, como consecuencia del proceso de promediación de las variables, el ancho de banda resultante condiciona fuertemente la respuesta dinámica del sistema [38].

3.3.1. Simulaciones

Con el objetivo de evaluar la respuesta de este tipo de control ante perturbaciones en la tensión de salida o cambios en la referencia de corriente, se simula un convertidor multifásico de cuatro fases en las mismas condiciones que las descritas en la Sección 3.2. El diagrama en bloques utilizado para la simulación se muestra en la Fig. 3.8, y los principales parámetros se resumen en la Tabla 3.1. El compensador $G_C(s)$ se diseñó de acuerdo al procedimiento presentado en [46], de forma tal de optimizar la respuesta al escalón cuando $V_0 = 300$ V y garantizar la estabilidad en todo el rango de operación. Se debe destacar que, debido a que $G_C(s)$ se diseña a partir de un modelo de pequeña señal, los cambios de gran señal en V_0 o i_{Ref} implican un cambio en el punto de operación y, en consecuencia, la respuesta dinámica obtenida no se corresponde con la del modelo de pequeña señal original.

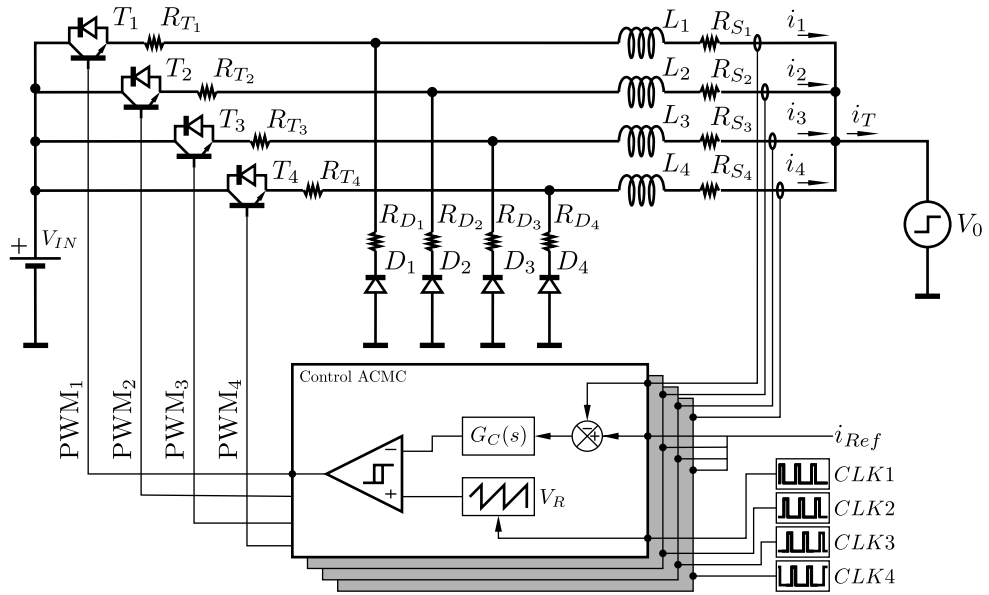


Figura 3.8: Control ACMC de un convertidor buck multifásico.

En la Fig. 3.9 se muestra la respuesta del ACMC a una perturbación en forma de escalón en la tensión de salida, de $V_0 = 30\text{ V}$ a $V_0 = 300\text{ V}$. Como se puede apreciar, debido a que el controlador $G_C(s)$ tiene un polo en el origen, se obtiene error nulo en el valor medio de la corriente en estado estacionario, para las distintas condiciones de tensión de salida. Sin embargo, el tiempo de establecimiento ante esta perturbación es de algunas decenas de períodos de conmutación. Por lo tanto, si se tienen en cuenta los valores admisibles de frecuencia de conmutación, este tipo de control no permite satisfacer los requerimientos de tiempo de establecimiento en las aplicaciones de interés.

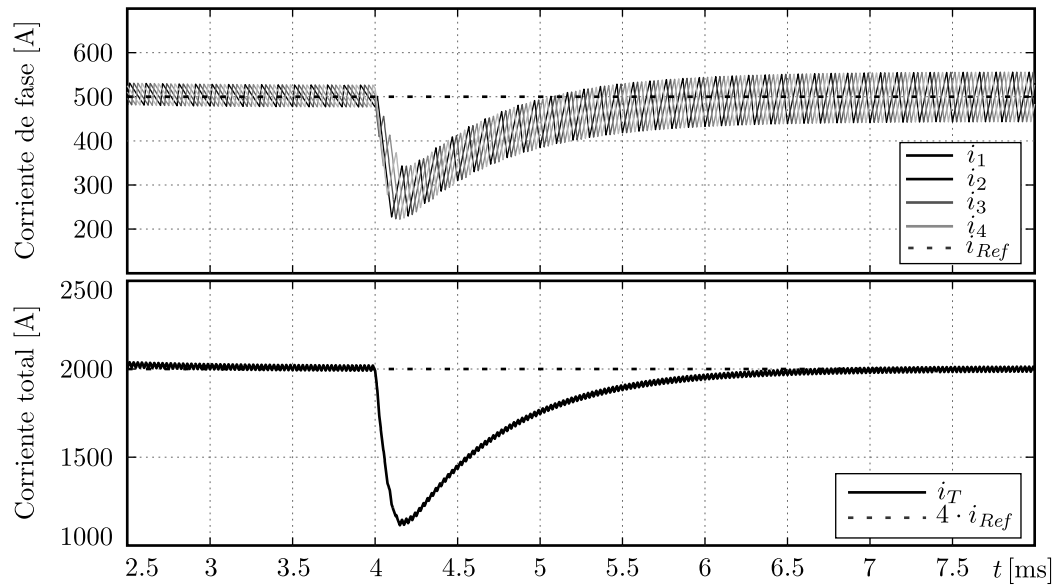


Figura 3.9: APMC: Cambio en escalón en V_0 en $t = 2$ ms. $i_{Ref} = 500$ A.

En la Fig. 3.10 se muestra la respuesta del APMC a un cambio en forma de escalón en la referencia de corriente, para dos condiciones de tensión de salida. Como se mencionó anteriormente, el control $G_C(s)$ fue optimizado para la condición de $V_0 = 300$ V. Por lo tanto, debido a que la ganancia del lazo depende de las tensiones de entrada y salida del convertidor, la repuesta dinámica es diferente para las dos condiciones de V_0 . La dependencia de las características dinámicas con el punto de operación hace que este tipo de controles no sea adecuado para las aplicaciones de interés, donde se requiere que el convertidor opere en un amplio rango de tensiones de entrada y salida.

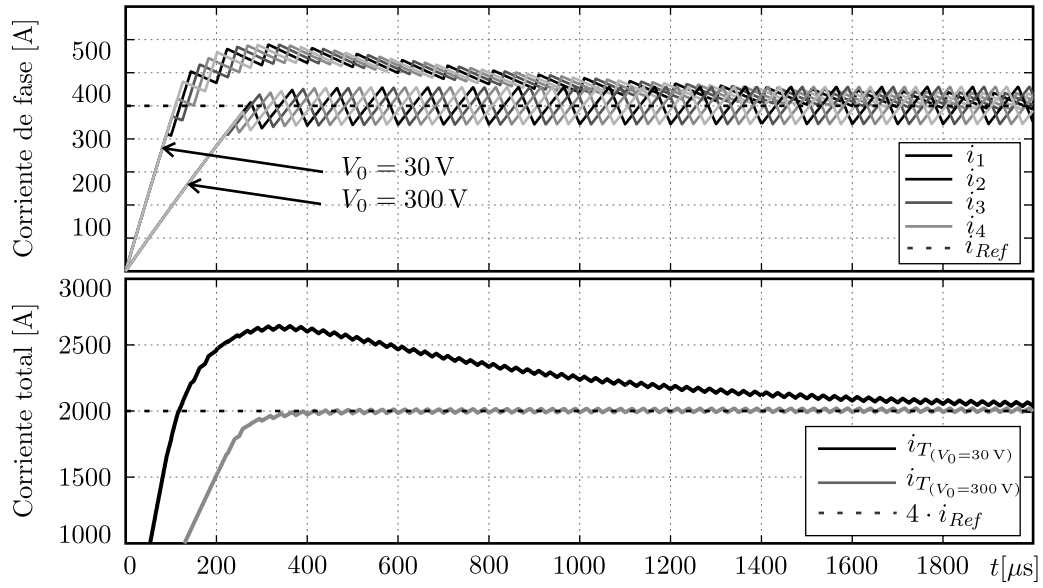


Figura 3.10: ACMC: Cambio en escalón de 500 A en i_{Ref} en $t = 0$, para dos condiciones de tensión de salida.

La principal ventaja del ACMC es:

- Capacidad de definir un controlador $G_c(s)$ que permita garantizar error nulo en la corriente media en estado estacionario.

Por otro lado, sus principales desventajas son:

- La respuesta dinámica del control se encuentra limitada por el máximo ancho de banda del lazo, el cual está condicionado a ser menor que la frecuencia de conmutación.
- La respuesta dinámica del lazo depende del punto de operación del convertidor.

3.4. Estrategia de Control de Cruce por Cero Sincronizado

La estrategia de control de cruce por cero sincronizado (*Synchronized Zero Crossing Control*, SZCC) fue presentado en Garcia Retegui *et al.* [27] como solución a la limitada respuesta transitoria de los controles presentes en la literatura. Este control fue especialmente formulado para convertidores multifásicos, con el objetivo de recuperar la correcta condición de desfase entre ripples con mínimo tiempo transitorio, ante cambios en la referencia de corriente o perturbaciones en las tensiones de entrada y salida.

El SZCC tiene como objetivo sincronizar los cruces por cero del error de corriente de cada fase (i_{ex}), con una señal de sincronismo individual por fase, compuesta por deltas positivas y negativas ($Sync_x$), como se muestra en la Fig. 3.11 para un sistema de tres fases. El instante de la señal de sincronismo define el instante de cruce por cero de i_{ex} , mientras su signo (indicado por el sentido de las deltas) define el signo de la pendiente con la que se debe efectuar dicho cruce. Luego, el SZCC sincroniza los cruces por cero con pendiente positiva considerando los pulsos de sincronismo positivos, y viceversa. El ajuste de los cruces por cero con la señal de sincronismo se realiza a partir del calculo del tiempo de conmutación, el cual se define como el tiempo entre el cruce y el instante de conmutación.

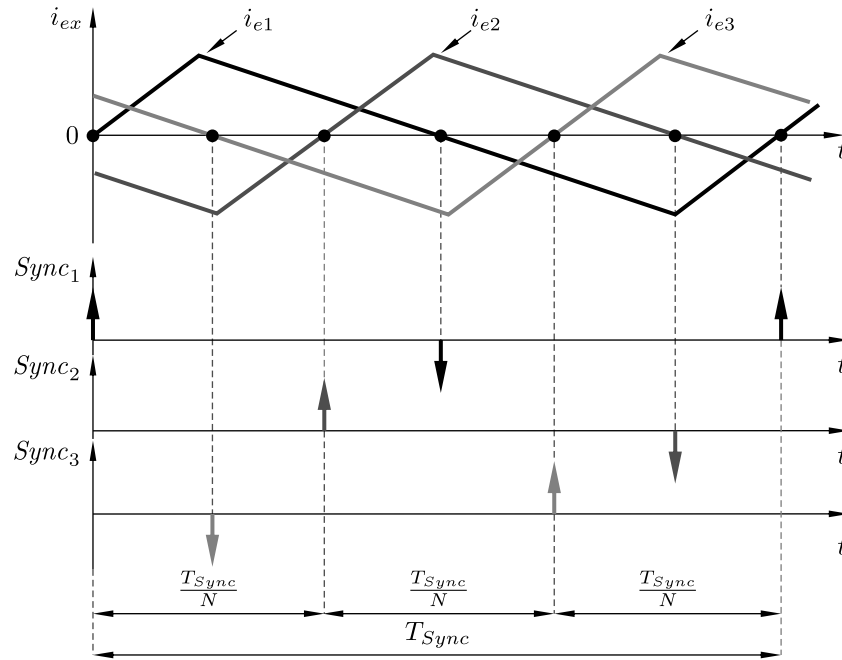


Figura 3.11: Principio de sincronización de cruces por cero.

En este método se asume que la constante de tiempo asociada a la componente inductiva y resistiva de los inductores de fase es mucho mayor que el período de conmutación, por lo cual el ripple de corriente se aproxima por segmentos rectos. En la Fig. 3.12 se muestra el error de corriente i_e , junto con la señal de sincronismo de una fase, compuesta de pulsos negativos y positivos espaciados $T_{sw}/2$. Los instantes $(k-1)$, k y $(k+1)$ se definen simultáneos con los pulsos de sincronismo.


$$t_{sw}^+(k+1) = \frac{\infty_{S_n}}{s_p \infty_{S_n}} \cdot t_{hp}(k+1) \quad (3.5)$$
$$t_{hp}(k+1) = \frac{T_{sw}}{2} \propto t_e(k). \quad (3.6)$$

En la expresión (3.6), $t_e(k)$ puede ser negativo o positivo dependiendo de si el cruce por cero del error de corriente ocurre antes o después del correspondiente pulso de sincronismo.

Análogamente, el tiempo de conmutación cuando el cruce por cero ocurre con pendiente negativa, $t_{sw}^-(k+1)$, esta dado por

$$t_{sw}^-(k+1) = \frac{s_p}{s_p \propto s_n} \cdot t_{hp}(k+1). \quad (3.7)$$

La estabilidad del control está ligada a la evolución de un error de sincronismo a lo largo de sucesivos cruces por cero. En Garcia Retegui *et al.* [27] se analiza la evolución de un error en la detección del cruce por cero y su impacto en el seguimiento del valor medio a lo largo de sucesivos instantes de sincronismo. En dicho análisis se determina que, como no existe un proceso acumulativo del error $t_e(k)$, un pequeño error en la detección del cruce se corrige en el próximo ciclo de conmutación, lo cual implica que el control es estable para todo el rango de operación del convertidor.

El cálculo de (3.5) y (3.7) requiere contar con el valor de las pendientes del error de corriente. Los autores proponen recurrir a las tensiones de entrada y salida para estimar estas pendientes, bajo la suposición de que la caída de tensión en la resistencia serie de los inductores de fase y en los dispositivos semiconductores es despreciable. Para un convertidor buck, se pueden establecer las pendientes aproximadas mediante

$$\tilde{s}_p = \frac{V_{IN} \propto V_0}{L} \quad (3.8)$$

$$\tilde{s}_n = \propto \frac{V_0}{L}. \quad (3.9)$$

Luego, reemplazando (3.8) y (3.9) en (3.5) y (3.7) se obtiene:

$$t_{sw}^-(k+1) = \left(1 \propto \frac{V_0}{V_{IN}}\right) \cdot t_{hp}(k+1) \quad (3.10)$$

$$t_{sw}^+(k+1) = \left(\frac{V_0}{V_{IN}}\right) \cdot t_{hp}(k+1). \quad (3.11)$$

De esta forma, es posible determinar el tiempo de conmutación a partir de la medición del error de sincronismo $t_e(k)$ y de las tensiones de entrada y salida del convertidor.

3.4.1. Análisis del error producto de elementos parásitos

La aproximación de las pendientes a partir de las tensiones de entrada y salida permiten calcular en forma simple el tiempo de conmutación. Sin embargo, esta aproximación puede no ser válida en aplicaciones de alta corriente, donde la caída de tensión en los elementos parásitos no puede ser considerada despreciable. Para determinar este error, se plantean las pendientes reales para un convertidor buck, la cuales están dadas por

$$s_p = \frac{V_{IN} \propto V_T \propto \bar{i}_L (R_S + R_T) \propto V_0}{L} \quad (3.12)$$

$$s_n = \frac{\propto V_D \propto \bar{i}_L (R_S + R_D) \propto V_0}{L} \quad (3.13)$$

donde

- V_T y R_T son la tensión de saturación y la resistencia serie de la llave, respectivamente.
- V_D y R_D son la caída de tensión en directa y la resistencia serie del diodo, respectivamente.
- R_S es la resistencia serie equivalente del inductor de fase.

- $\bar{i}_L$ es la corriente media del inductor de fase.

Combinando (3.12) y (3.13) con (3.8) y (3.9), se obtiene:

$$s_p = \frac{V_{IN}-V_0}{L} \propto \frac{V_T + \bar{i}_L(R_S+R_T)}{L} = \tilde{s}_p \propto \frac{V_T + \bar{i}_L(R_S+R_T)}{L} = \tilde{s}_p + \Delta s_p \quad (3.14)$$

$$s_n = \frac{V_0}{L} \propto \frac{V_D + \bar{i}_L(R_S + R_D)}{L} = \tilde{s}_n \propto \frac{V_D + \bar{i}_L(R_S + R_D)}{L} = \tilde{s}_n + \Delta s_n. \quad (3.15)$$

A partir de (3.14) y (3.15), se puede determinar que las aproximaciones de las pendientes son válidas únicamente si $\Delta s_p \ll \tilde{s}_p$ y $\Delta s_n \ll \tilde{s}_n$. Esta condición se cumple si la caída de tensión en la llave y en R_S es despreciable frente a $V_{IN} \propto V_0$, y la caída de tensión en el diodo y en R_S es despreciable frente a V_0 . En caso contrario, las pendientes utilizadas en el cálculo difieren de las reales. Esta situación se ilustra en la Fig. 3.13, donde se muestra la corriente real, en línea sólida, y la ideal sin caídas de tensión en los elementos parásitos, en línea punteada. En esta figura, se asume que solo existe error debido a las aproximaciones de las pendientes, es decir, la referencia de corriente, V_{IN} y V_0 se mantienen constantes.

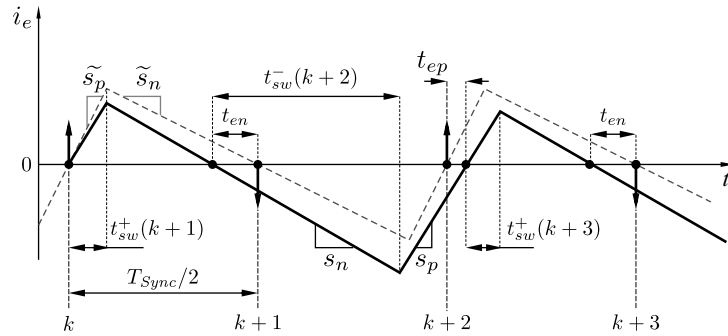


Figura 3.13: Error en el valor medio debido a las aproximaciones en la medición de las pendientes.

El error en el valor medio se puede determinar analizando la Fig. 3.13. En el instante k , el error de sincronismo es cero, por lo tanto el control realiza el cálculo

de $t_{sw}^+(k+1)$ a partir de las expresiones (3.8) y (3.11), que resulta:

$$t_{sw}^+(k+1) = \left(\frac{\infty \tilde{s}_n}{\tilde{s}_p \infty \tilde{s}_n} \right) \frac{T_{Sync}}{2}. \quad (3.16)$$

Si se considera el intervalo $t_{sw}^+(k+1)$ y las pendientes reales, es posible obtener la siguiente relación entre el segmento de subida y el de bajada en estado estacionario:

$$t_{sw}^+(k+1)s_p = \left(\frac{T_{Sync}}{2} \infty t_{sw}^+(k+1) \infty t_{en} \right) (\infty s_n). \quad (3.17)$$

Combinando (3.16) y (3.17), se obtiene el error de sincronismo en el instante de cruce con pendiente negativa, t_{en} , que resulta:

$$t_{en} = \frac{T_{Sync}}{2} \left[1 \infty \left(\frac{\infty \tilde{s}_n}{\tilde{s}_p \infty \tilde{s}_n} \right) \left(\frac{s_p \infty s_n}{\infty s_n} \right) \right]. \quad (3.18)$$

Operando de forma análoga para t_{ep} , se obtiene:

$$t_{ep} = \frac{T_{Sync}}{2} \left[1 \infty \left(\frac{\tilde{s}_p}{\tilde{s}_p \infty \tilde{s}_n} \right) \left(\frac{s_p \infty s_n}{s_p} \right) \right]. \quad (3.19)$$

Como se puede notar en las expresiones (3.18) y (3.19), los errores de sincronismo son nulos si las pendientes aproximadas y las reales son iguales. El error en el valor medio de la corriente se puede calcular a partir de los errores de sincronismo y las pendientes reales del error de corriente como

$$\bar{i}_e = t_{en}s_n = t_{ep}s_p = \frac{T_{Sync}}{2} \left[\frac{\infty \tilde{s}_n}{\tilde{s}_p \infty \tilde{s}_n} s_p \infty \frac{\tilde{s}_p}{\tilde{s}_p \infty \tilde{s}_n} (\infty s_n) \right]. \quad (3.20)$$

Luego, dado que $s_p = \tilde{s}_p + \Delta s_p$ y $s_n = \tilde{s}_n + \Delta s_n$:

$$\bar{i}_e = \frac{T_{sync}}{2} \frac{1}{\tilde{s}_p \propto \tilde{s}_n} (\propto \tilde{s}_n \Delta s_p + \tilde{s}_p \Delta s_n). \quad (3.21)$$

Este error depende de las pendientes aproximadas y del error entre las pendientes aproximadas y las reales. Combinando (3.21) con las pendientes aproximadas (3.8) y (3.9), y con las pendientes reales (3.14) y (3.15), se obtiene:

$$\bar{i}_e = \propto \frac{T_{sync}}{2} \left[\frac{V_0}{V_{IN}} \frac{V_T + \bar{i}_L R_T}{L} + \left(1 \propto \frac{V_0}{V_{IN}} \right) \frac{V_D + \bar{i}_L R_D}{L} + \frac{\bar{i}_L R_S}{L} \right]. \quad (3.22)$$

La expresión (3.22) esta compuesta por tres términos, dependientes de la caída de tensión en la llave, en el diodo y en el inductor de fase, respectivamente. Si $V_0 \ll V_{IN}$, el término dependiente de la caída de tensión en el diodo toma preponderancia frente al término dependiente de la caída de tensión en la llave. El caso inverso se da para $V_0 \approx V_{IN}$, donde el término dependiente de la caída de tensión en la llave toma preponderancia frente al término dependiente de la caída de tensión en el diodo. Por otro lado, la influencia de la resistencia serie del inductor de fase en el error de la corriente media no depende de las tensiones de entrada y salida del convertidor.

Es importante destacar que el error en el valor medio de la corriente total está determinado por la suma de los errores de cada fase. Por lo tanto, si se asume que los elementos parásitos de todas las fases tienen magnitudes similares, el error en el valor medio de la corriente total se puede aproximar como N veces el error de una dada fase, es decir

$$\bar{i}_{eT} = \bar{i}_T \propto N \bar{i}_{Ref} = N \bar{i}_e. \quad (3.23)$$

3.4.2. Simulaciones

Con el objeto de evaluar la respuesta dinámica y el seguimiento de la referencia ante perturbaciones en las tensiones de entrada y salida, y cambios en la referencia de corriente, se simula un convertidor multifásico de cuatro fases. En la Fig. 3.14 se muestra el modelo utilizado para la simulación, donde se utilizan los parámetros presentados en la Tabla. 3.1.

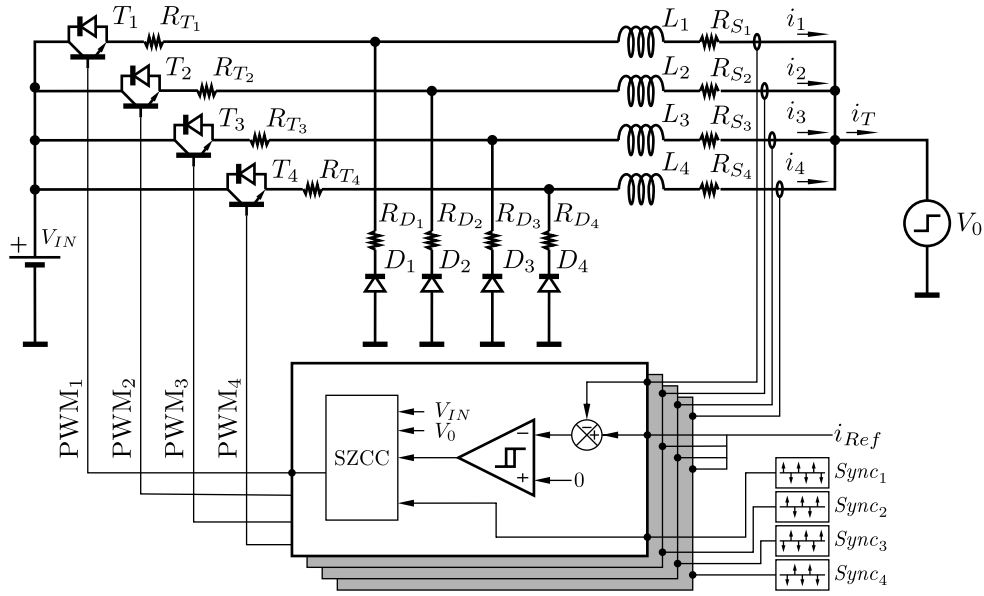


Figura 3.14: Control SZCC de un convertidor buck multifásico.

En la Fig. 3.15 se muestra la respuesta del SZCC a un cambio en escalón en la tensión de salida, de $V_0 = 30\text{ V}$ a $V_0 = 300\text{ V}$, manteniendo constante la referencia de corriente en $i_{Ref} = 500\text{ A}$. Como se puede apreciar, el control recupera la condición de estado estacionario en aproximadamente dos ciclos de conmutación, luego de ocurrida la perturbación en V_0 . Sin embargo, existe un error en el valor medio de la corriente debido a la diferencia entre las pendientes reales y las utilizadas para el cálculo. La magnitud de este error se puede calcular

en función del valor de los elementos parásitos y de los parámetros del convertidor, a partir de (3.22), para ambos casos de V_0 :

$$\bar{i}_{eT(V_0=30\text{ V})} = N\bar{i}_{e(V_0=30\text{ V})} = 4 \cdot (\approx 14,09\text{ A}) = \approx 56,36\text{ A} \quad (3.24)$$

$$\bar{i}_{eT(V_0=300\text{ V})} = N\bar{i}_{e(V_0=300\text{ V})} = 4 \cdot (\approx 14,11\text{ A}) = \approx 56,44\text{ A} . \quad (3.25)$$

Si bien este error puede parecer reducido en comparación con el valor medio de la corriente, es necesario adicionar mecanismos externos de compensación para corregirlo, tales como un lazo externo de corriente o un filtro activo. En el primer caso, la adición de un lazo de compensación del valor medio impacta negativamente en la respuesta dinámica de i_T . En el segundo caso, el error en el valor medio implica que el filtro activo debe proporcionar una corriente media no nula, lo cual incrementa sus exigencias y, en consecuencia, limita su máxima frecuencia de conmutación.

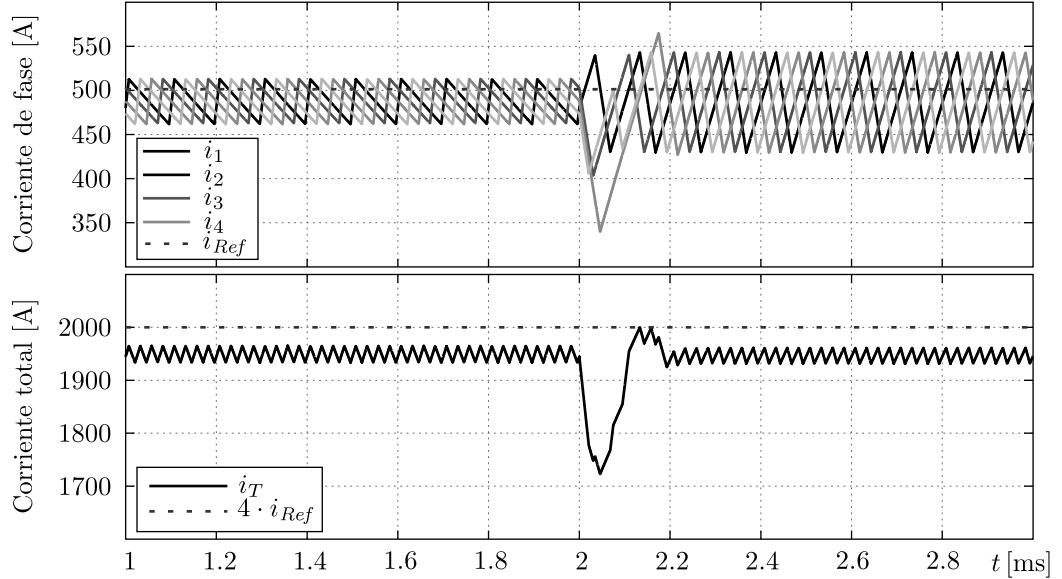


Figura 3.15: SZCC. Cambio en escalón en V_0 en $t = 2$ ms. $i_{Ref} = 500$ A.

Adicionalmente, se evalúa la respuesta de gran señal del control mediante un cambio en forma de escalón en i_{Ref} , tal como se muestra en la Fig. 3.16. Como se puede apreciar, una vez detectado el cruce con la referencia, el control alcanza la condición de estado estacionario dentro de un período de conmutación, gracias a la sincronización de los cruces por cero del error de corriente. Sin embargo, de la misma forma que en el ensayo anterior, se puede observar un error entre el valor medio de la corriente e i_{Ref} .

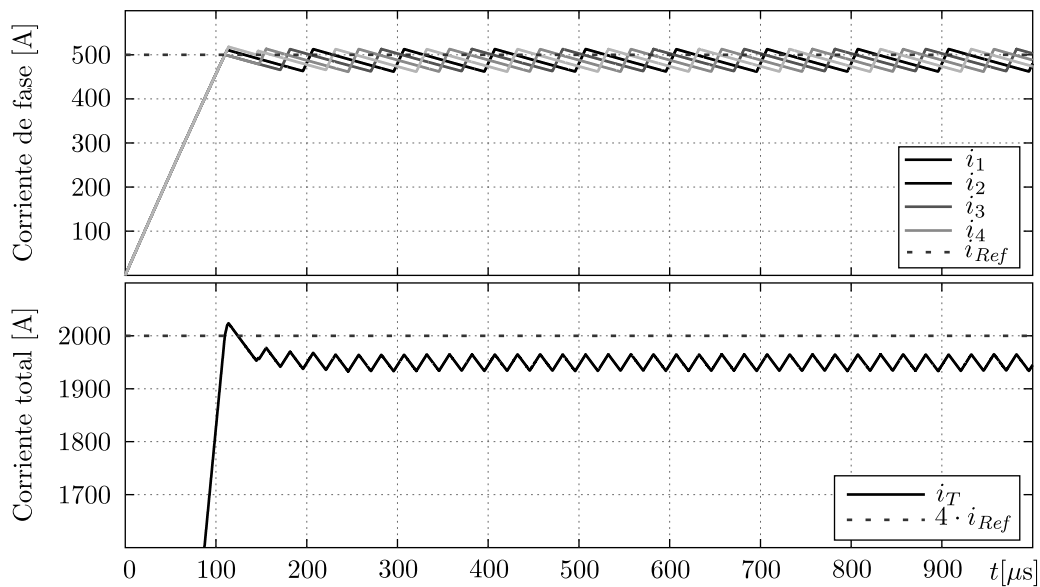


Figura 3.16: SZCC. Cambio en escalón de 500 A en i_{Ref} en $t = 0$.

Finalmente, las ventajas más relevantes del SZCC se pueden resumir en:

- Es estable en todo el rango de operación.
- Se logra un ajuste del intercalado de los ripples en pocos ciclos de conmutación.

Mientras que sus principal desventaja es:

- Posee error en el valor medio cuando las caídas de tensión en los elementos parásitos no son despreciables.

3.5. Estrategia de Control de Punto de Cruce Proyectado

La estrategia de control de punto de cruce proyectado (*Projected Cross Point Control, PCPC*), presentado en Khazraei y Ferdowsi [38], se basa en detectar el instante de cruce entre el ripple de corriente y una función ficticia $f(t)$ para realizar la conmutación de las llaves. El criterio utilizado para construir dicha función consiste en proyectar el punto de conmutación, de forma tal de anular el error en el valor medio de la corriente. Para ilustrar el principio de funcionamiento del PCPC, la Fig. 3.17 muestra la evolución de la corriente i_L durante un ciclo de conmutación. En esta figura, $i_L(0)$ es la corriente al inicio del período de conmutación, $i_L(t_{on})$ es la corriente al final del período *ON* de la llave, e $i_L(T_{sw})$ es la corriente al final del período de conmutación.

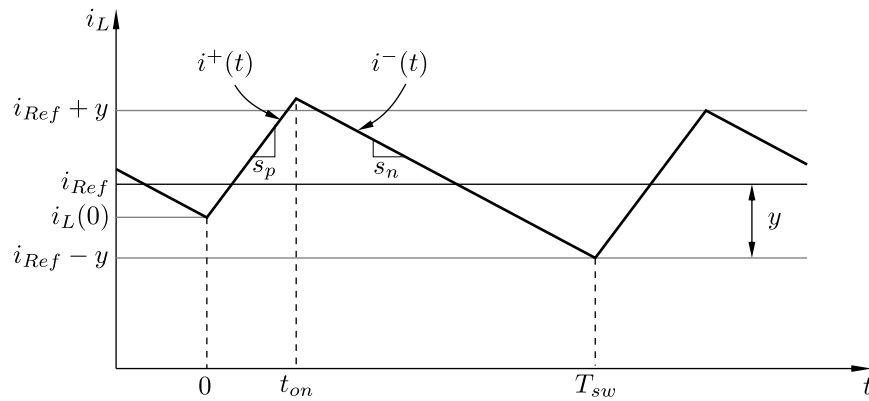


Figura 3.17: Principio de funcionamiento del PCPC

A partir de la Fig. 3.17 es posible establecer las ecuaciones correspondientes a la condición de estado estacionario. Esta condición es tal que la amplitud del segmento creciente del ripple de corriente, $i_L(t_{on}) \propto i_L(0)$, es igual a la amplitud del segmento de decreciente, $i_L(t_{on}) \propto i_L(T_{sw})$. Adicionalmente, si no existe error en el

valor medio de corriente, se puede expresar la amplitud del segmento decreciente como $i_L(t_{on}) \propto i_L(T_{sw}) = 2(i_{Ref} \propto i_L(T_{sw})) = 2(i_{Ref} \propto y)$, es decir, el ripple de corriente y la referencia tienen el mismo valor medio. Esta condición se puede expresar como:

$$i_{Ref} \propto i_L(T_{sw}) = \frac{1}{2} [i_L(t_{on}) \propto i_L(0)] \quad (3.26)$$

El objetivo del PCPC es entonces determinar el instante de conmutación t_{on} , de forma que (3.26) se cumpla para cualquier condición inicial.

Al igual que en la estrategia anterior, en esta estrategia se asume que la constante de tiempo asociada al inductor y su parte resistiva es mucho mayor que el período de conmutación, por lo tanto se aproxima el ripple de corriente como segmentos rectos. De esta forma, se pueden definir las ecuaciones que representan el segmento creciente $i^+(t)$, y el decreciente, $i^-(t)$ del ripple de corriente:

$$i^+(t) = i_L(0) + s_p t \quad (3.27)$$

$$i^-(t) = i_{Ref} \propto \frac{s_p t_{on}}{2} + s_n(t \propto T_{sw}) \quad (3.28)$$

Como se puede apreciar en la Fig. 3.17, estas ecuaciones deben ser iguales en el instante t_{on} , $i^+(t_{on}) = i^-(t_{on})$. Luego, el instante de conmutación se calcula determinando el instante en el que estas funciones se igualan, es decir, su punto de cruce. Sin embargo, debido a que t_{on} forma parte de (3.28), no es posible determinar el punto de cruce de esta forma. Para solucionar este inconveniente se define una función auxiliar $f(t)$, reemplazando el término $\frac{s_p t_{on}}{2}$ de (3.28) por $\frac{s_p t}{2}$, tal como se indica en (3.29).

$$f(t) = i_{Ref} \propto \frac{s_p t}{2} + s_n(t \propto T_{sw}) \quad (3.29)$$

Como se puede notar, las expresiones (3.28) y (3.29) son iguales solo en el

instante t_{on} . Sin embargo, dado que a los efectos de determinar el instante de conmutación, el tiempo t_{on} es el único de interés, hallar el cruce entre $i^+(t)$ y $f(t)$ es igual a hallar el cruce entre $i^+(t)$ e $i^-(t)$. Esta situación se ilustra en la Fig. 3.18, donde se muestra la evolución de una perturbación en la corriente i_L , en trazo negro, junto con la corriente sin perturbar, en trazo gris.

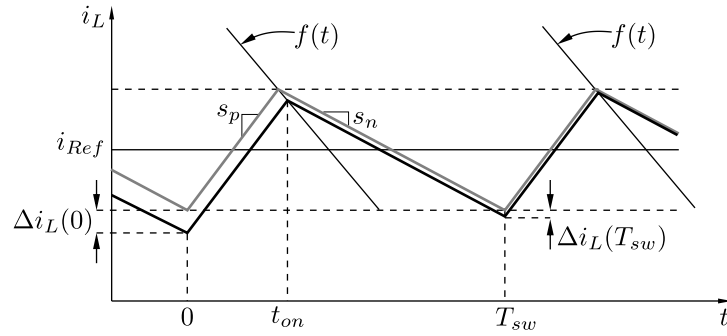


Figura 3.18: Principio de funcionamiento del PCPC a partir de la función auxiliar.

En $t = 0$, la corriente difiere de su valor ideal en una magnitud $\Delta i_L(0)$. Luego, el instante de conmutación t_{on} se determina a partir de la condición antes descrita, es decir, a partir del instante en el que se satisface $i_L(t) \geq f(t)$. De esta forma, la perturbación al final del período de conmutación toma el valor $\Delta i_L(T_{sw})$. La relación entre $\Delta i_L(T_{sw})$ y $\Delta i_L(0)$, denominada relación de rechazo a perturbaciones, se puede determinar a partir de las pendientes de la corriente y de las relaciones de estado estacionario para una dada topología [38]. Esta relación para el caso de un convertidor buck se puede expresar como:

$$\frac{\Delta i_L(T_{sw})}{\Delta i_L(0)} = \frac{1 \propto D}{3 \propto D} \quad (3.30)$$

Debido a que la relación de rechazo a perturbaciones (3.30) es siempre menor que la unidad, el control de cruce proyectado es estable para todo el rango de

ciclo de trabajo.

Es importante notar que, para definir la función $f(t)$, es necesario conocer las pendientes de la corriente. De forma similar al SZCC, los autores proponen aproximar estas pendientes recurriendo a la medición de las tensiones de entrada y salida del convertidor, y al conocimiento del valor del inductor. Particularmente, para un convertidor buck:

$$\tilde{s}_p = \frac{V_{IN} \propto V_0}{L} \quad (3.31)$$

$$\tilde{s}_n = \propto \frac{V_0}{L} \quad (3.32)$$

A partir de estas aproximaciones, la función $f(t)$ se puede expresar como

$$f(t) \approx i_{Ref} \propto \frac{V_{IN} + V_0}{2L} t + \frac{V_0}{L} T_{sw} \quad (3.33)$$

En la Fig. 3.19 se muestra el diagrama en bloques simplificado del PCPC. En este diagrama se puede apreciar que la señal PWM se activa en los instantes fijados por la señal CLK , y se desactiva cuando $f(t)$ es mayor que i_L .

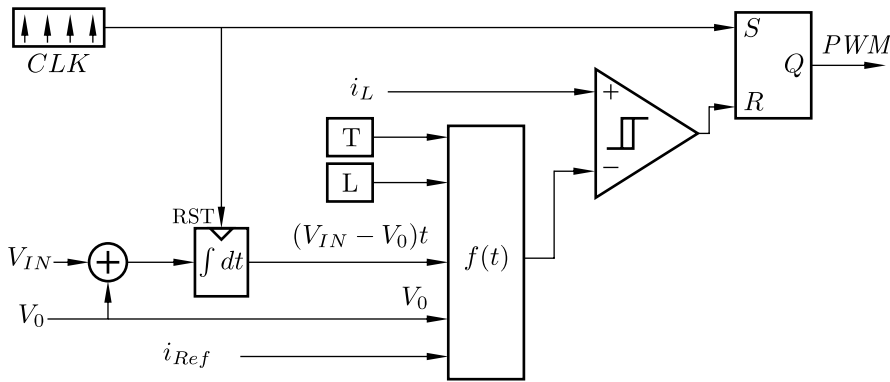


Figura 3.19: Diagrama en bloques simplificado del PCPC.

3.5.1. Análisis del error producto de elementos parásitos

De la misma forma que el SZCC, la validez de la aproximación está limitada a los casos en donde las caídas de tensión serie en los dispositivos semiconductores, y la resistencia serie de los inductores de fase no generan una diferencia significativa entre las pendientes aproximadas y reales. Los autores de [38] no realizan un análisis del error que se genera si no se cumple esta aproximación.

Para analizar el error producto de las caídas de tensión en los elementos parásitos, se plantea la relación entre las pendientes reales s_p y s_n , y las aproximadas $\tilde{s}_p$ y $\tilde{s}_n$ como

$$s_p = \frac{V_{IN}-V_0}{L} \propto \frac{V_T + \bar{i}_L(R_S+R_T)}{L} = \tilde{s}_p \propto \frac{V_T + \bar{i}_L(R_S+R_T)}{L} = \tilde{s}_p + \Delta s_p \quad (3.34)$$

$$s_n = \propto \frac{V_0}{L} \propto \frac{V_D + \bar{i}_L(R_S + R_D)}{L} = \tilde{s}_n \propto \frac{V_D + \bar{i}_L(R_S + R_D)}{L} = \tilde{s}_n + \Delta s_n \quad (3.35)$$

En la Fig. 3.20 se muestra la evolución de $i_L \propto i_{Ref}$, en trazo negro, cuando existen diferencias entre las pendientes reales y las aproximadas. Adicionalmente, la figura muestra la corriente que corresponde al caso sin error de aproximación, en trazo gris, y la función $f(t)$ que se construye a partir de (3.29), recurriendo a las aproximaciones de pendientes (3.31) y (3.32). Como se puede observar, debido a que las pendientes reales no se corresponden con las utilizadas para generar $f(t)$, el instante de comparación que determina t_{on} difiere del ideal. Esta situación genera un error en el valor medio de la corriente $\bar{i}_e$, el cual se puede calcular a partir de los valores picos del ripple de corriente en estado estacionario, es decir:

$$\bar{i}_e = \frac{|i_L(t_{on})| \propto |i_L(T_{sw})|}{2}. \quad (3.36)$$

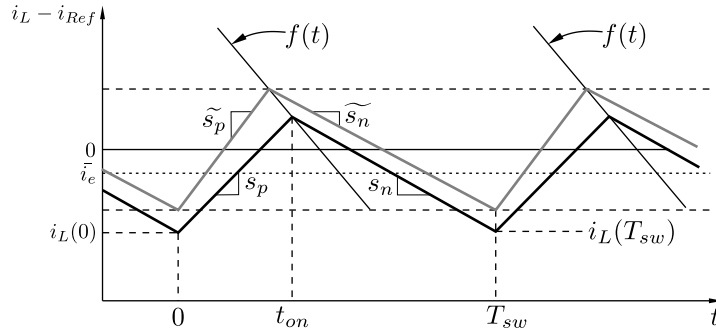


Figura 3.20: Error en el valor medio debido a error en pendientes.

Luego, para evaluar (3.36) se requiere el valor de $i_L(t_{on})$ e $i_L(T_{sw})$ en estado estacionario, para lo cual es necesario calcular el instante de conmutación, en función de las pendientes reales y las aproximadas. Este instante de conmutación se calcula buscando la intersección entre la función $f(t)$ y la corriente $i_L(t)$:

$$\begin{aligned} i_L(t_{on}) &= f(t_{on}) \\ i_L(0) + s_p t_{on} &= \infty \left(\frac{\tilde{s}_p}{2} \propto \tilde{s}_n \right) t_{on} \propto \tilde{s}_n T_{sw}. \end{aligned} \quad (3.37)$$

Luego, t_{on} se determina como:

$$t_{on} = \frac{\infty i_L(0) \propto \tilde{s}_n T_{sw}}{s_p + \frac{\tilde{s}_p}{2} \propto \tilde{s}_n}. \quad (3.38)$$

Por su parte, la corriente al final del período de conmutación, $i_L(T_{sw})$, se puede calcular a partir de

$$\begin{aligned} i_L(T_{sw}) &= i_L(t_{on}) + s_n (T_{sw} \propto t_{on}) \\ i_L(T_{sw}) &= i_L(0) \left[\frac{s_n + \frac{\tilde{s}_p}{2} \propto \tilde{s}_n}{s_p + \frac{\tilde{s}_p}{2} \propto \tilde{s}_n} \right] + T_{sw} \left[\frac{s_p (s_n \propto \tilde{s}_n) + \frac{\tilde{s}_p}{2} s_n}{s_p + \frac{\tilde{s}_p}{2} \propto \tilde{s}_n} \right]. \end{aligned} \quad (3.39)$$

Debido a que en estado estacionario $i_L(0) = i_L(T_{sw})$, es posible reescribir (3.39)

como

$$i_L(T_{sw}) = i_L(0) = T_{sw} \frac{s_p(s_n \infty \tilde{s}_n) + \frac{\tilde{s}_p}{2} s_n}{s_p \infty s_n}. \quad (3.40)$$

Luego, la expresión (3.36) toma la forma

$$\begin{aligned} \bar{i}_e &= \frac{|i_L(t_{on})| \infty |i_L(T_{sw})|}{2} = \frac{2i_L(T_{sw}) + s_p t_{on}}{2} \\ \bar{i}_e &= T_{sw} \frac{s_n s_p + s_n \tilde{s}_p \infty 2s_p \tilde{s}_n}{2(s_p \infty s_n)}. \end{aligned} \quad (3.41)$$

Dado que $s_p = \tilde{s}_p + \Delta s_p$ y $s_n = \tilde{s}_n + \Delta s_n$, la expresión anterior resulta

$$\bar{i}_e = T_{sw} \frac{\Delta s_p \Delta s_n \infty \Delta s_p \tilde{s}_n + 2\Delta s_n \tilde{s}_p}{2(\tilde{s}_p + \Delta s_p \infty \tilde{s}_n \infty \Delta s_n)}. \quad (3.42)$$

Para un convertidor buck, utilizando las expresiones (3.34) en (3.41), el error en el valor medio se puede expresar como

$$\begin{aligned} \bar{i}_e &= \frac{T_{sw}}{L} \left[\left(1 \infty \frac{V_0}{V_{IN}}\right) (V_D + \bar{i}_L R_D) + \frac{V_0}{2V_{IN}} (V_T + \bar{i}_L R_T) + \right. \\ &\quad \left. + \bar{i}_L R_S \left(1 \infty \frac{V_0}{2V_{IN}}\right) \infty \frac{(V_D + \bar{i}_L (R_S + R_D)) (V_T + \bar{i}_L (R_S + R_T))}{2V_{IN}} \right]. \end{aligned} \quad (3.43)$$

Como se puede apreciar, el error en el valor medio de la corriente es nulo para el caso ideal, donde no existen caídas de tensión en los dispositivos semiconductores y en la resistencia serie del inductor.

Un inconveniente adicional del PCPC es que se requiere el conocimiento del valor del inductor para el cálculo de la función $f(t)$. En el caso en el que el valor real del inductor y el utilizado para los cálculos no sean iguales, se produce un error similar al descrito para las caídas de tensión en los elementos parásitos del sistema. Como solución a este problema, se recurre a la técnica de compensación propuesta en [48]. Esta técnica consiste en corregir el valor del inductor, a partir

de integrar el error entre el valor medio de la corriente y su referencia. Si bien esta compensación reduce el efecto antes mencionado, sigue siendo necesario contar con una primera aproximación del valor este componente. Adicionalmente, se debe resaltar que esta compensación no contempla errores en las pendientes debido a la caída de tensión en los elementos parásitos del convertidor.

3.5.2. Simulaciones

Con el objetivo de evaluar la respuesta transitoria y el seguimiento del valor medio ante perturbaciones en la tensión de salida y cambios en la referencia de corriente, se simula un convertidor multifásico de cuatro fases, Fig. 3.21, utilizando los parámetros listados en la Tabla 3.1.

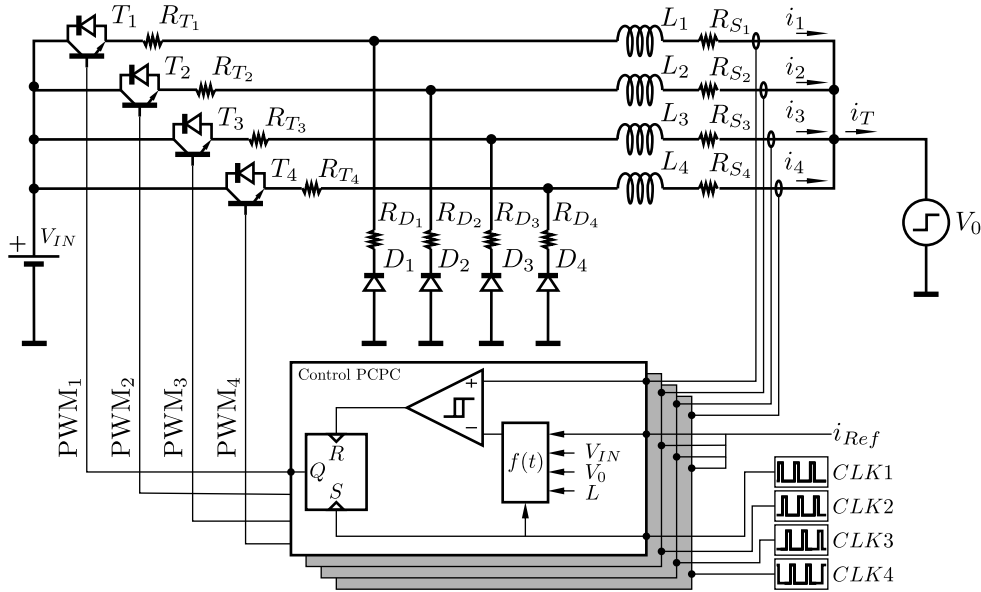


Figura 3.21: Control PCPC de un convertidor de cuatro fases.

En la Fig. 3.22 se muestra la respuesta del PCPC a un cambio en escalón en la tensión de salida, de $V_0 = 30\text{ V}$ a $V_0 = 300\text{ V}$ en $t = 2\text{ ms}$, manteniendo i_{Ref} constante en 500 A . Como se puede notar, el control recupera la condición

de estado estacionario dentro de tres períodos de conmutación, luego de la perturbación en la tensión de salida. Sin embargo, de la misma forma que el SZCC, existe un error en el valor medio de la corriente producto de las caídas de tensión en los elementos parásitos del convertidor. Este error se puede calcular a partir de la expresión (3.43), para ambas condiciones de tensión de salida:

$$\bar{i}_{eT}(V_0=30\text{ V}) = N\bar{i}_{e(V_0=30\text{ V})} = 4 \cdot (\infty 26,55\text{ A}) = \infty 106,2\text{ A} \quad (3.44)$$

$$\bar{i}_{eT}(V_0=300\text{ V}) = N\bar{i}_{e(V_0=300\text{ V})} = 4 \cdot (\infty 18,95\text{ A}) = \infty 75,8\text{ A} \quad (3.45)$$

De forma similar que con el SZCC, este error implica la necesidad de adicionar mecanismos externos de compensación. Estos mecanismos pueden impactar en la respuesta dinámica, en el caso de utilizar lazos externos de corriente, u operar en condiciones sobre exigidas, si se utiliza un filtro activo que proporciona una corriente media no nula en estado estacionario.

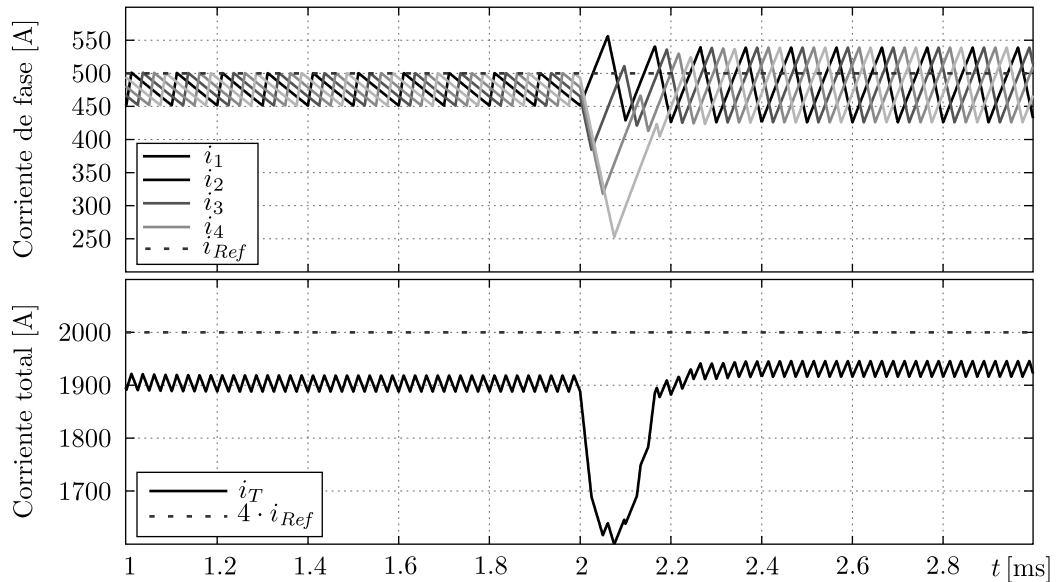


Figura 3.22: PCPC. Cambio en escalón en V_0 en $t = 2$ ms. $i_{Ref} = 500$ A.

Por otro lado, se evalúa la respuesta de gran señal del control ante grandes cambios en la referencia de corriente. En la Fig. 3.23 se muestra la respuesta a un escalón de 500 A en i_{Ref} , en $t = 0$. Como se puede apreciar, debido a que el PCPC realiza la conmutación de la llave en el instante de cruce entre la corriente de fase y la función $f(t)$, existen conmutaciones antes de que la corriente alcance el valor de referencia. Estas conmutaciones incrementan el tiempo de establecimiento al valor final, y pueden introducir la necesidad de incrementar la frecuencia de conmutación para satisfacer los requerimientos dinámicos en las aplicaciones de interés. Sin embargo, no siempre es posible incrementar la frecuencia de conmutación en este tipo de aplicaciones, debido a las limitaciones tecnológicas de los dispositivos semiconductores.

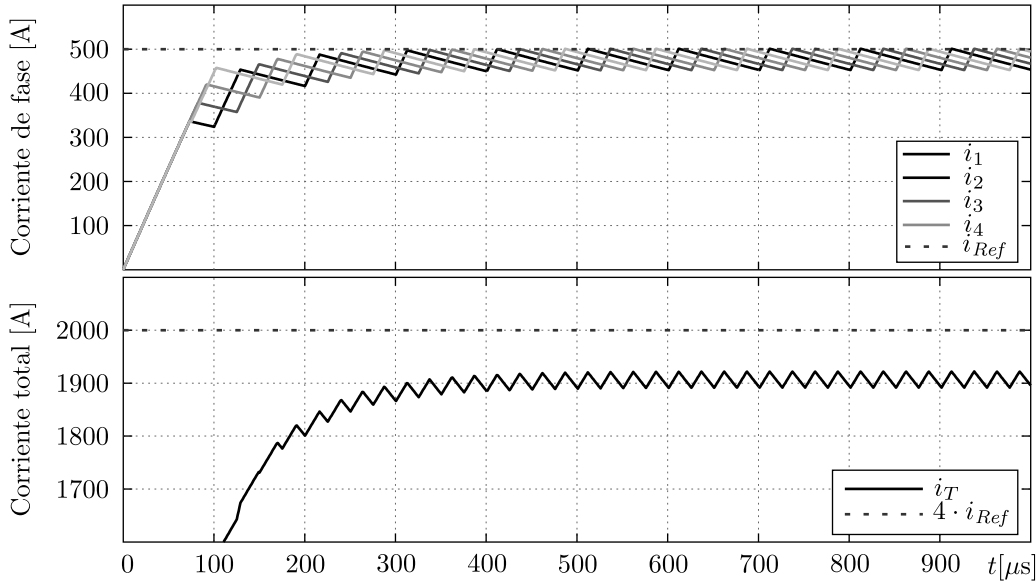


Figura 3.23: PCPC: Cambio en escalón de 500 A en i_{Ref} en $t = 0$.

Las ventajas más relevantes del PCPC se pueden resumir en:

- Es estable en todo el rango de operación.
- Permite sincronizar el ripple de corriente mediante una señal de reloj.

Por otro lado, las principales desventajas son:

- Existe error en el valor medio, producto de las caídas de tensión en los elementos parásitos, o diferencias entre el valor del inductor real y el utilizado para el cálculo.
- La respuesta dinámica de gran señal se ve reducida por la presencia de la función de comparación $f(t)$.

3.6. Conclusiones del capítulo

En este capítulo se realizó una revisión de las principales estrategias de control de corriente existentes, con el objeto de determinar su viabilidad en aplicaciones de alta potencia, con requerimientos de alta precisión y dinámica. A partir de esta revisión se pudo determinar que los controles existentes no son capaces de afrontar satisfactoriamente todos los requerimientos presentes en estas aplicaciones. Las estrategias basadas en PCMC, presentan dependencia del valor medio de la corriente con los parámetros del sistema y el punto de operación, y su respuesta transitoria comprende varios ciclos de conmutación. Las estrategias basadas en APMC, no son capaces de proveer la respuesta dinámica necesaria debido a la característica de promediación involucrada en el lazo de control. El PCPC provee buena respuesta dinámica, pero depende de la validez de las aproximaciones para el cálculo de las pendientes y del conocimiento del valor de los inductores para su correcto funcionamiento. Finalmente, el SZCC, provee la respuesta dinámica requerida pero, al igual que PCPC, requiere de la validez de la aproximación de las pendientes para controlar el valor medio de la corriente sin error. Por lo tanto, se evidencia la necesidad de desarrollar un control de corriente que permita satisfacer los requerimientos de estas aplicaciones. Particularmente, se requiere reducir el tiempo transitorio a algunos ciclos de conmutación, proporcionar un

correcto seguimiento de la referencia de corriente en estado estacionario, y reducir la dependencia de los parámetros y los elementos parásitos del convertidor.

Capítulo 4

Método de Caracterización de Ripple en Estado Estacionario

4.1. Introducción

En capítulos anteriores se describió que las diferencias entre el valor de los inductores de fase incrementan la amplitud de Δi_T , y evitan que las componentes $(f_{sw}, 2f_{sw}, \dots, (N-1)f_{sw})$ se cancelen completamente. Adicionalmente, se evidenció que no existen estudios que permitan caracterizar Δi_T en forma general, para cualquier condición de diferencias entre los inductores, numero de fases y ciclo de trabajo.

En este capítulo se propone un método de caracterización de Δi_T en función del ciclo de trabajo y para cualquier condición de diferencias entre los inductores de fase. El objetivo de este método es proveer expresiones que permitan determinar en forma numérica diferentes características de Δi_T . Estas expresiones tienen como objetivo proporcionar parámetros de diseño del convertidor en función de la tolerancia esperada en los inductores de fase y, además, posibilitar el desarrollo de técnicas tendientes a mitigar este problema.

4.2. Método de caracterización propuesto

El método parte del análisis del ripple de cada fase en el dominio temporal. Para llevar a cabo este análisis se asume que:

- El convertidor está operando en modo de conducción continua (CCM) y en estado estacionario.
- Las caídas de tensión en los dispositivos semiconductores y en las resistencias parásitas son similares a lo largo de todas las fases, con lo cual el ciclo de trabajo D puede ser considerado igual en todas las fases [1].
- El ripple de la corriente se puede aproximar por segmentos de recta, debido a que la constante de tiempo, asociada a los inductores y a su componente resistiva, es normalmente mucho mayor que el período de conmutación [27, 38].
- El error de fase, con respecto al desfase ideal ($\frac{2\pi}{N}$), puede reducirse mediante el control de corriente, por lo cual se asume despreciable [3, 49].

Bajo estas consideraciones, las posibles diferencias entre las amplitudes del ripple de cada fase dependen principalmente de la tolerancia de los inductores. Además, la aproximación por segmentos de recta permite definir el ripple de cada fase a partir de sus valores pico, y del instante en el que estos picos aparecen.

En la Fig. 4.1 se muestra un ejemplo de los ripples de fase normalizados, $r_x(t)$, y el ripple normalizado de la corriente total, $r_T(t)$, de un convertidor buck multifásico con tolerancias en los inductores de fase. El propósito de esta figura es ilustrar un punto de partida, para desarrollar la caracterización del ripple basada en un caso general.

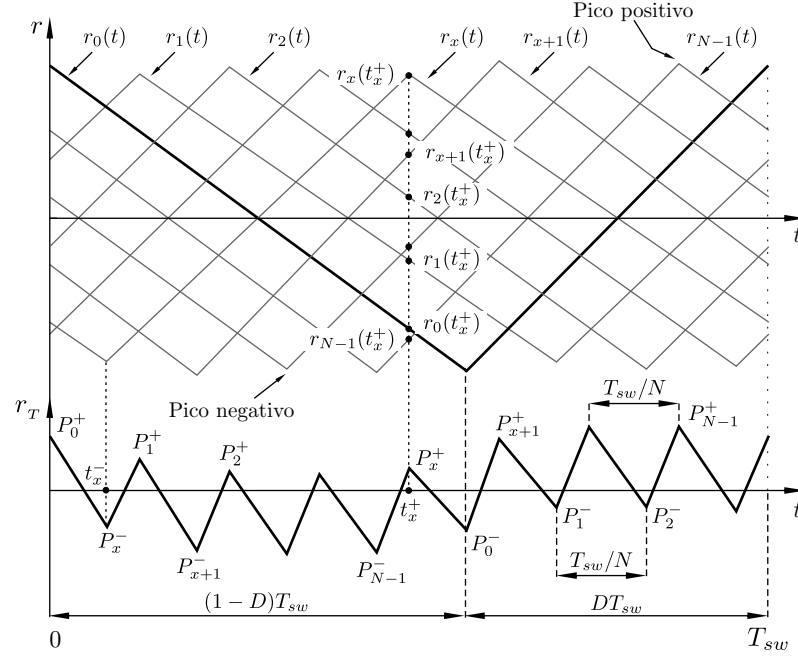


Figura 4.1: Ripple de fase normalizado (sup) y ripple total (inf) para un convertidor buck.

Como se puede observar, debido a las formas de onda, los picos en r_T ocurren en el mismo instante que los picos en r_x . Estos picos se definen como positivos cuando la pendiente de la corriente cambia de positivo a negativo, o negativos en el caso contrario donde la pendiente del ripple cambia de negativo a positivo. Los picos positivos se indican con un superíndice $+$, mientras que los negativos con un superíndice $-$. De esta forma, un pico positivo en la fase x produce un pico positivo P_x^+ en r_T , mientras que un pico negativo en la misma fase produce el pico negativo P_x^- en el ripple total. Dado que r_T se determina a partir de la suma de los ripples de fase, el pico positivo P_x^+ que ocurre en el instante t_x^+ , se puede expresar como:

$$P_x^+ = r_0(t_x^+) + r_1(t_x^+) + \cdots + r_x(t_x^+) \cdots r_{N-1}(t_x^+). \quad (4.1)$$

Análogamente, el pico negativo en el ripple total P_x^- , que ocurre en el instante t_x^- , está dado por:

$$P_x^- = r_0(t_x^-) + r_1(t_x^-) + \cdots + r_x(t_x^-) \cdots r_{N-1}(t_x^-). \quad (4.2)$$

Dado que los instantes $t_x^\pm$ se pueden calcular de forma analítica, los instantes en los que ocurren los picos en r_T se pueden definir de forma precisa. Como las fases se encuentran desfasadas $\frac{2\pi}{N}$ y tienen igual ciclo de trabajo, el intervalo entre picos del mismo signo en los ripples de fase, y en consecuencia en el ripple total, es constante e igual a $\frac{T_{sw}}{N}$. Si se toma como referencia el instante en el que ocurre el pico positivo en la fase cero, que genera el pico P_0^+ en r_T , es posible determinar el instante en el que ocurre un pico positivo en la fase x como:

$$t_x^+ = \frac{xT_{sw}}{N} \quad (4.3)$$

Asimismo, considerando que la ocurrencia de un pico positivo y de uno negativo están relacionadas por el ciclo de trabajo, el instante en el que ocurre un pico negativo en la fase x está dado por:

$$t_x^- = \begin{cases} \frac{xT_{sw}}{N} \propto DT_{sw} & \text{si } \frac{x}{N} < D \\ \frac{xT_{sw}}{N} \propto DT_{sw} + T_{sw} & \text{si } \frac{x}{N} > D \end{cases} \quad (4.4)$$

El cálculo de las expresiones (4.1) y (4.2) requiere determinar el valor de los ripples de fase en los instantes t_x^+ y t_x^- . Estos valores se pueden determinar a partir de una representación genérica del ripple de la corriente de fase, basada en la periodicidad y simetría del sistema. En esta representación, el ripple de corriente de la fase x se define como una función $f(t)$, de forma triangular, con período T_{sw} y pesada por una amplitud normalizada A_x . Esta amplitud está

relacionada con el valor pico asociado a la fase x , $\hat{I}_x$, y el valor pico nominal, $\hat{I}_n$:

$$r_x(t) = A_x f(t) = \frac{\hat{I}_x}{\hat{I}_n} f(t). \quad (4.5)$$

En la Tabla 4.1 se muestran las expresiones para determinar $\hat{I}_x$ e $\hat{I}_n$ en función del ciclo de trabajo, para las topologías buck y boost. Como se puede apreciar, $\hat{I}_x$ depende de la inductancia asociada a la fase x , denominada L_x . Por otro lado, $\hat{I}_n$ es función de la inductancia nominal L_n , la cual se define en base a las especificaciones de diseño.

Tabla 4.1: Amplitud pico del ripple de fase en función del ciclo de trabajo.

	$\hat{I}_x$	$\hat{I}_n$
Boost	$\frac{V_i D T_{sw}}{2L_x}$	$\frac{V_i D T_{sw}}{2L_n}$
Buck	$\frac{V_i (1-D) D T_{sw}}{2L_x}$	$\frac{V_i (1-D) D T_{sw}}{2L_n}$

Para calcular P_x^+ , es conveniente expresar la función $f(t)$ con su máximo positivo en $t = 0$. Esta función, denominada $f^+(t)$, esta representada por dos secciones con diferente pendiente, separadas por el instante $t = (1 \propto D)T_{sw}$:

$$f^+(t) = \begin{cases} 1 \propto \frac{2}{(1-D)T_{sw}} t & 0 \leq t \leq (1 \propto D)T_{sw} \\ 1 + \frac{2}{DT_{sw}} t \propto \frac{2(1-D)}{D} & (1 \propto D)T_{sw} < t \leq T_{sw} \end{cases} \quad (4.6)$$

Tal como se indica en la expresión (4.1), el cálculo de P_x^+ requiere solo de los valores de las fases en los instantes de picos positivos. Por lo tanto, se define una nueva función f_k^+ a partir del muestreo de $f^+(t)$ en estos instantes, como se

muestra en la Fig. 4.2. De esta forma:

$$\begin{aligned}
 f_0^+ &= f^+(0) \\
 f_1^+ &= f^+\left(\frac{T_{sw}}{N}\right) \\
 f_2^+ &= f^+\left(\frac{2T_{sw}}{N}\right) \\
 &\dots \\
 f_{(N-1)}^+ &= f^+\left(\frac{(N-1)T_{sw}}{N}\right).
 \end{aligned} \tag{4.7}$$

Estas expresiones se pueden expresar en forma general como:

$$f_k^+ = \begin{cases} 1 - \frac{2k}{(1-D)N} & \text{si } 0 \leq k \leq (1-D)N \\ 1 - \frac{2k}{DN} & \text{si } (1-D)N < k \leq N \end{cases} \tag{4.8}$$

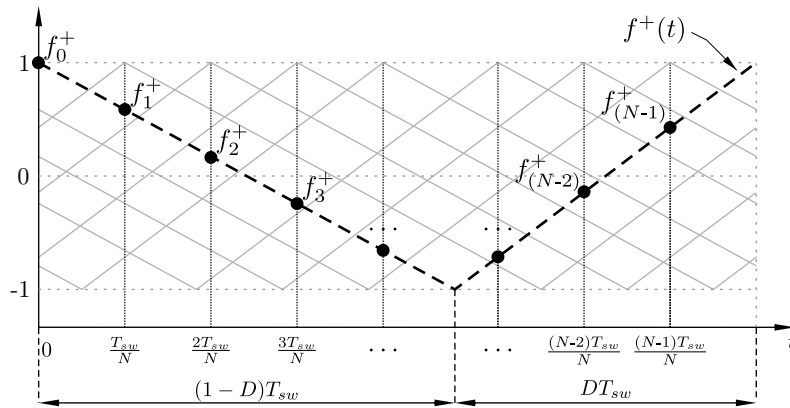


Figura 4.2: $f^+(t)$ (línea de puntos) y f_k^+ (puntos).

El uso de esta representación para el cálculo de P_x^+ se ilustra en la Fig. 4.3, donde se muestran los ripples de fase y el ripple total para un ciclo de conmutación.

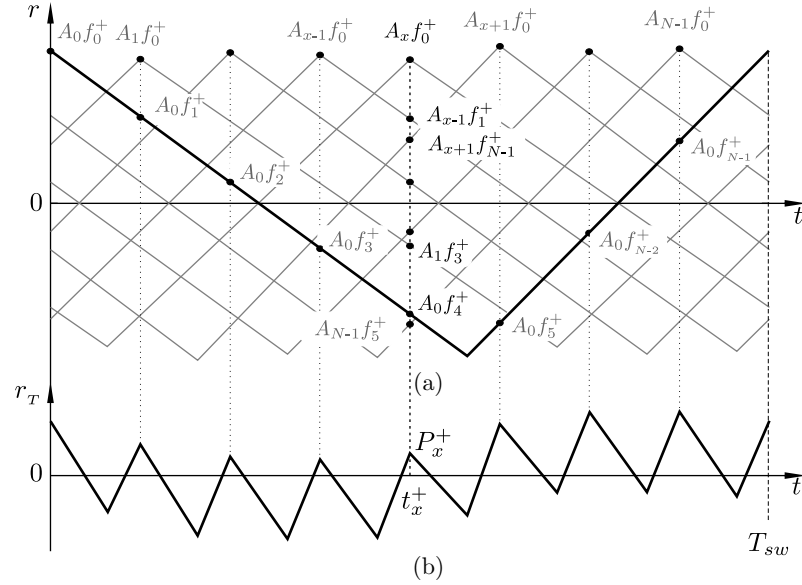


Figura 4.3: Determinación de P_x^+ . (a): Ripple de fases. (b): Ripple total.

Como se puede notar, cada fase tiene su propio índice k , con el origen en su respectivo pico positivo. De esta forma, dado que el instante en el que se produce P_x^+ coincide con el del pico positivo de la fase x , la contribución de esta fase a P_x^+ se determina ponderando f_0^+ por la amplitud normalizada A_x . Por otro lado, la fase $x \infty 1$ está desplazada en $\propto \frac{T_{sw}}{N}$ respecto de t_x^+ , por lo que su contribución a P_x^+ se determina ponderando la función f_1^+ por su amplitud normalizada, A_{x-1} . Operando de forma análoga con el resto de las fases, se puede inferir que P_x^+ esta

dado por:

$$\begin{aligned}
 P_x^+ &= A_x f_0^+ + A_{x-1} f_1^+ \dots + A_1 f_3^+ + A_0 f_4^+ + A_{N-1} f_5^+ + \dots + A_{x+1} f_{N-1}^+ \\
 &= \sum_{k=0}^{N-1} A_{x-k} \cdot f_k^+.
 \end{aligned} \tag{4.9}$$

Se debe notar que en (4.9), $x \propto k$ se puede tornar negativo. En este caso, dada la periodicidad del problema, se debe considerar $x \propto k + N$.

Operando con (4.8) y (4.9), se obtiene la expresión de P_x^+ :

$$\begin{aligned}
 P_{x(D)}^+ &= \sum_{k=0}^{N-1} A_{x-k} \cdot f_k^+ = \sum_{k=0}^{N-1} A_{(x-k)} \left[1 \propto \frac{2k}{(1 \propto D)N} \right] + \\
 &+ \sum_{k > N(1-D)}^{N-1} A_{(x-k)} \left[\frac{2k}{(1 \propto D)DN} \propto \frac{2}{D} \right].
 \end{aligned} \tag{4.10}$$

En el caso de picos negativos, P_x^- , es conveniente expresar la función $f(t)$ con su máximo negativo en $t = 0$. Esta función, denominada $f^-(t)$, esta representada por dos secciones de diferente pendiente, separadas por el instante $t = DT_{sw}$. Operando de forma análoga que para el cálculo de P_x^+ , la expresión para P_x^- resulta:

$$\begin{aligned}
 P_{x(D)}^- &= \sum_{k=0}^{N-1} A_{x-k} \cdot f_k^- = \propto \sum_{k=0}^{N-1} A_{(x-k)} \left[1 \propto \frac{2k}{DN} \right] \propto \\
 &\propto \sum_{k > N \cdot D}^{N-1} A_{(x-k)} \left[\frac{2k}{(1 \propto D)DN} \propto \frac{2}{(1 \propto D)} \right].
 \end{aligned} \tag{4.11}$$

Analizando (4.10) y (4.11), se puede observar que los sumandos en la primer sumatoria son válidos para cualquier k ; mientras que en la segunda sumatoria, debido a que la función f está definida por tramos y a la relación entre k y D , solo son válidos los sumandos que verifican la expresión en los límites de la sumatoria.

Es importante destacar que los valores de D que definen las zonas de validez de cada sección coinciden con los casos de cancelación de ripple en el caso ideal.

A partir de las N amplitudes de los ripples de un sistema de N fases, se obtienen los N picos positivos y los N picos negativos del ripple total, lo cual conforma un vector de $2N$ valores. Con el objetivo de ilustrar en forma práctica el método propuesto, a continuación se presenta un pseudocódigo, que permite obtener el valor de $P_x^\pm$ para un determinado D :

Algoritmo 4.1 Pseudocódigo para la determinación de $P_x^\pm$ para un dado D .

```

1: for  $x = 0$  to  $(N \infty 1)$  do           ▷ Picos asociados a fase  $x$  (desde 0 a  $N \infty 1$ )
2:    $P_x^+ = 0$                                ▷ Inicialización de variables
3:    $P_x^- = 0$ 
4:   for  $k = 0$  to  $(N \infty 1)$  do       ▷ Suma de los ripples en el pico de la fase  $x$ 
5:     if  $x \infty k < 0$  then
6:        $k = x \infty k + N$ 
7:     end if
8:      $S1p = A_{(x-k)} \left[ 1 \infty \frac{2k}{(1-D)N} \right]$            ▷ 1° sumando de (4.10)
9:     if  $D > 1 \infty k/N$  then
10:       $S2p = A_{(x-k)} \left[ \frac{2k}{(1-D)DN} \infty \frac{2}{D} \right]$        ▷ 2° sumando de (4.10)
11:    else
12:       $S2p = 0$ 
13:    end if
14:     $S1n = \infty A_{(x-k)} \left[ 1 \infty \frac{2k}{DN} \right]$            ▷ 1° sumando de (4.11)
15:    if  $D < k/N$  then
16:       $S2n = \infty A_{(x-k)} \left[ \frac{2k}{(1-D)DN} \infty \frac{2}{(1-D)} \right]$    ▷ 2° sumando de (4.11)
17:    else
18:       $S2n = 0$ 
19:    end if
20:     $P_x^+ = P_x^+ + S1p + S2p$ 
21:     $P_x^- = P_x^- + S1n + S2n$ 
22:  end for
23: end for

```

El conocimiento del valor numérico de $P_x^\pm$, determinado a través del algoritmo 4.1, y la secuencia de aparición de estos picos, dada por (4.3) y (4.4), determinan el ripple de la corriente total para cualquier condición de diferencias entre los inductores de fase. Luego, una vez definido el ripple, es posible evaluar aspectos de interés en Δi_T y su impacto en el diseño del convertidor.

4.3. Características del ripple total a partir del método propuesto

Con el objeto de ilustrar la versatilidad del método propuesto, en la presente sección se presentan ejemplos de aplicación de algunos de los aspectos más relevantes del ripple total, tales como máxima amplitud, contenido armónico y valor RMS.

4.3.1. Amplitud máxima del ripple de la corriente total

El máximo valor del ripple de la corriente total se puede obtener, en función del ciclo de trabajo, a partir del cálculo de los valores pico del ripple total. El procedimiento se basa en calcular los $P_x^\pm$, para $x = (0, 1, \dots, N \infty 1)$, usando el Algoritmo 4.1, y buscar el máximo valor de $P_x^\pm$ para un dado D ,

$$P_T(D) = \max \left(|P_{x^+}^+(D)|, |P_{x^-}^-(D)| \right). \quad (4.12)$$

Esta ecuación evalúa el valor absoluto del ripple, de forma tal que la amplitud se puede analizar independientemente del signo de $P_x^\pm$.

4.3.2. Valor RMS del ripple de la corriente total

El valor RMS del ripple de la corriente total se puede calcular como:

$$r_{rms} = \sqrt{\frac{1}{T} \int_0^T [r_T(\tau)]^2 d\tau}. \quad (4.13)$$

El conocimiento de los valores pico del ripple total, $P_x^\pm$, permite segmentar el cálculo del valor RMS en intervalos, para luego calcular el valor final a partir de la suma de los diferentes intervalos. Estos intervalos se definen incluyendo un pico

positivo, delimitado por dos picos negativos consecutivos, como se muestra en la Fig. 4.4. Esta figura muestra los ripples de fase y el ripple total, donde se resalta el intervalo que incluye el pico positivo asociado a la fase x . Este pico positivo, que está relacionado con el instante DT_{sw} , está ubicado dentro del intervalo dado por $(j\frac{T_{sw}}{N} \leq DT_{sw} < (j+1)\frac{T_{sw}}{N})$. Por lo tanto, P_x^+ se ubica entre los picos negativos del ripple total P_{x+j}^- y P_{x+j+1}^- .

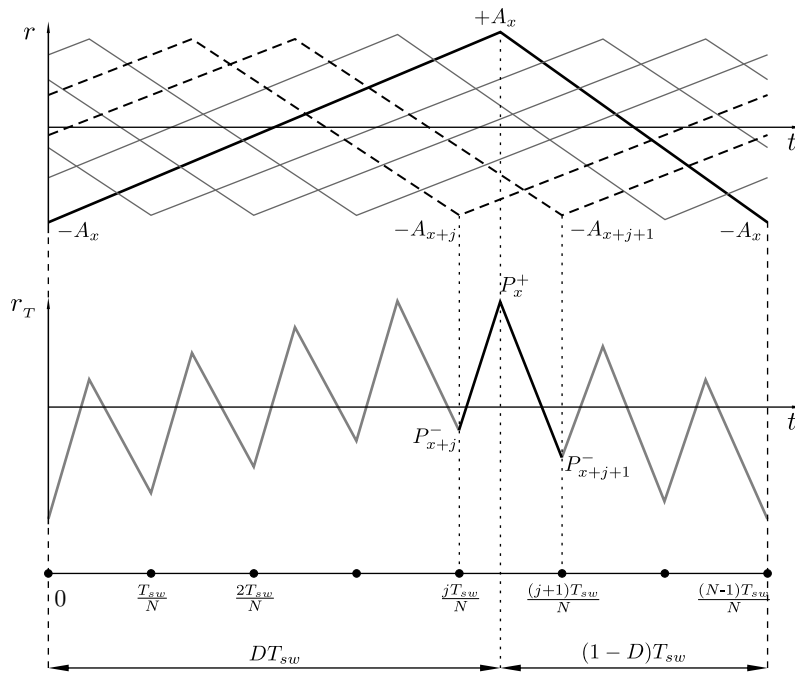


Figura 4.4: Cálculo del valor RMS normalizado.

Luego, el valor RMS del intervalo asociado al pico positivo de la fase x se puede calcular como:

$$r_{T \text{ RMS } (x,D)} = \sqrt{\frac{1}{T_{sw}} \left[\int_{j\frac{T_{sw}}{N}}^{DT_{sw}} [r_{Tx}^p(\tau)]^2 d\tau + \int_{DT_{sw}}^{(j+1)\frac{T_{sw}}{N}} [r_{Tx}^n(\tau)]^2 d\tau \right]} \quad (4.14)$$

donde r_{Tx}^p y r_{Tx}^n son las expresiones de los segmentos con pendiente positiva y negativa, respectivamente, de r_T en el intervalo analizado. Estas expresiones están

dadas por:

$$r_{Tx}^p(\tau) = m_x^p(\tau \propto t_{0x}^p) + q_x^p \quad (4.15)$$

$$r_{Tx}^n(\tau) = m_x^n(\tau \propto t_{0x}^n) + q_x^n. \quad (4.16)$$

donde,

$$\begin{aligned} m_x^p &= \frac{P_x^+ \propto P_{x+j}^-}{DT_{sw} \propto j \frac{T_{sw}}{N}} & q_x^p &= P_{x+j}^- & t_{0x}^p &= j \frac{T_{sw}}{N} \\ m_x^n &= \frac{P_{x+j+1}^- \propto P_x^+}{(j+1) \frac{T_{sw}}{N} \propto DT_{sw}} & q_x^n &= P_x^+ & t_{0x}^n &= DT_{sw}. \end{aligned} \quad (4.17)$$

A partir de la Fig. 4.4, se puede notar que el valor de j no es arbitrario, sino que cambia basado en el valor de DT_{sw} . Dado que $DT_{sw} > j \frac{T_{sw}}{N}$ en el intervalo bajo análisis y que j es un entero, el valor de j se determina como el mayor entero menor o igual a ND . Esta relación se puede expresar como:

$$j = \max\{j \in \mathbb{Z} \mid j \leq ND\} = \text{floor}(ND). \quad (4.18)$$

Luego, el valor RMS del ripple de la corriente total, en función del ciclo de trabajo, se obtiene sumando los resultados obtenidos previamente para cada intervalo:

$$r_{T RMS(D)} = \sqrt{\sum_{x=0}^{N-1} r_{RMS(x,D)}^2} \quad (4.19)$$

$$\begin{aligned} r_{T RMS(D)}^2 &= \sum_{x=0}^{N-1} \left(\frac{ND \propto j}{3N} [(P_x^+ \propto P_{x+j}^-)^2 + P_x^+ P_{x+j}^-] \right. \\ &\quad \left. + \frac{1 \propto ND + j}{3N} [(P_x^+ \propto P_{x+j+1}^-)^2 + P_x^+ P_{x+j+1}^-] \right). \end{aligned} \quad (4.20)$$

Se debe notar que (4.20) es una función de D únicamente, dado que j y D están relacionados por (4.18).

De esta forma, se puede calcular el valor RMS del ripple total a partir de los valores pico $P_x^\pm$, obtenidos mediante el método propuesto. El procedimiento para determinar el valor RMS para un dado D se resume en el siguiente pseudocódigo:

Algoritmo 4.2 Pseudocódigo para determinar del valor RMS para un dado D , a partir de los $P_x^\pm$.

```

1:  $j = \text{floor}(ND)$ 
2:  $r_{T\,RMS}^2 = 0$ 
3: for  $x = 0$  to  $(N \infty 1)$  do
4:    $r_{T\,RMS1}^2 = \frac{ND-j}{3N} [(P_x^+ \infty P_{x+j}^-)^2 + P_x^+ P_{x+j}^-] +$ 
      $+ \frac{1-ND+j}{3N} [(P_x^+ \infty P_{x+j+1}^-)^2 + P_x^+ P_{x+j+1}^-]$ 
5:    $r_{T\,RMS}^2 = r_{T\,RMS}^2 + r_{T1\,RMS}^2$ 
6: end for
7:  $r_{T\,RMS} = \sqrt{r_{T\,RMS}^2}$ 

```

4.3.3. Contenido armónico del ripple de la corriente total

El contenido armónico del ripple de la corriente total en estado estacionario se puede calcular a partir de la expansión en series de Fourier de $r_T(t)$, que se determina a partir de:

$$r_T(t) = \sum_{h=1}^{\infty} |r_T h| \cos\left(\frac{h2\pi t}{T_{sw}} \infty \theta_h\right). \quad (4.21)$$

En la expresión (4.21), $|r_T h|$ representa el módulo de la componente armónica de orden h y θ_h representa su fase, los cuales están dados por:

$$|r_T h| = \sqrt{a_h^2 + b_h^2} \quad (4.22)$$

$$\theta_h = \arctan\left(\frac{b_h}{a_h}\right) \quad (4.23)$$

donde a_h y b_h son la parte real e imaginaria de la componente número h , respectivamente, las cuales se calculan como:

$$a_h = \frac{2}{T_{sw}} \int_0^{T_{sw}} r_T(t) \cos\left(\frac{h\pi t}{T_{sw}}\right) dt \quad (4.24)$$

$$b_h = \frac{2}{T_{sw}} \int_0^{T_{sw}} r_T(t) \sin\left(\frac{h\pi t}{T_{sw}}\right) dt. \quad (4.25)$$

Tal como se propone en la Sección 4.3.2, la función $r_T(t)$ se puede segmentar, de forma tal de incluir un pico positivo delimitado por dos picos negativos consecutivos ($j\frac{T_{sw}}{N} \leq t \leq (j+1)\frac{T_{sw}}{N}$), lo cual permite calcular (4.24) y (4.25) por intervalos. En la Fig. 4.5 se muestran los intervalos correspondientes al pico positivo de las fases x y $x+1$, donde se puede observar que, para cada intervalo, se toma como origen el instante en el que ocurre el pico negativo de la fase analizada. Por lo tanto, para analizar el intervalo correspondiente al pico positivo de la fase $x+1$, P_{x+1}^+ , se realiza una traslación del eje temporal igual a $\frac{T_{sw}}{N}$, respecto del pico negativo de la fase x .

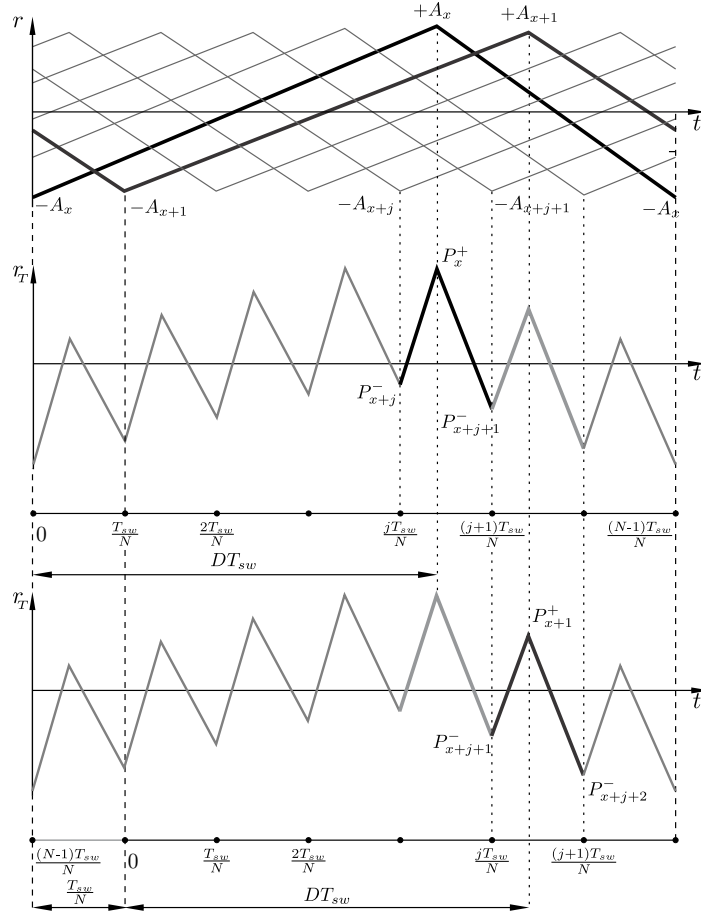


Figura 4.5: Cálculo de los coeficientes de Fourier para el intervalo correspondiente a la fase x y $x + 1$.

A partir del análisis de la figura, y recurriendo a las expresiones (4.15) y (4.16) para determinar el segmento positivo, r_{Tx}^p , y negativo, r_{Tx}^n , del ripple total dentro del intervalo, es posible reescribir (4.24) y (4.25) como:

$$\begin{aligned}
 a_h &= \sum_{x=0}^{N-1} \frac{2}{T_{sw}} \int_{j \frac{T_{sw}}{N}}^{(j+1) \frac{T_{sw}}{N}} r_T(t) \cos \left(\frac{h\pi}{T_{sw}} \left(t + \frac{xT_{sw}}{N} \right) \right) dt = \\
 &= \sum_{x=0}^{N-1} \frac{2}{T_{sw}} \left[\int_{j \frac{T_{sw}}{N}}^{DT_{sw}} r_{Tx}^p(t) \cos \left(\frac{h\pi}{T_{sw}} \left(t + \frac{xT_{sw}}{N} \right) \right) dt + \right. \\
 &\quad \left. + \int_{DT_{sw}}^{(j+1) \frac{T_{sw}}{N}} r_{Tx}^n(t) \cos \left(\frac{h\pi}{T_{sw}} \left(t + \frac{xT_{sw}}{N} \right) \right) dt \right] = \sum_{x=0}^{N-1} \frac{a_{hx}}{h\pi} \quad (4.26)
 \end{aligned}$$

$$\begin{aligned}
b_h &= \sum_{x=0}^{N-1} \frac{2}{T_{sw}} \int_{j \frac{T_{sw}}{N}}^{(j+1) \frac{T_{sw}}{N}} r_T(t) \sin \left(\frac{h\pi}{T_{sw}} \left(t + \frac{xT_{sw}}{N} \right) \right) dt = \\
&= \sum_{x=0}^{N-1} \frac{2}{T_{sw}} \left[\int_{j \frac{T_{sw}}{N}}^{DT_{sw}} r_{Tx}^p(t) \sin \left(\frac{h\pi}{T_{sw}} \left(t + \frac{xT_{sw}}{N} \right) \right) dt + \right. \\
&\quad \left. + \int_{DT_{sw}}^{(j+1) \frac{T_{sw}}{N}} r_{Tx}^n(t) \sin \left(\frac{h\pi}{T_{sw}} \left(t + \frac{xT_{sw}}{N} \right) \right) dt \right] = \sum_{x=0}^{N-1} \frac{b_{hx}}{h\pi}. \quad (4.27)
\end{aligned}$$

Es importante destacar que, para considerar la traslación del eje temporal en el cálculo de los coeficientes de Fourier mediante intervalos, las funciones seno y coseno en (4.26) y (4.27) poseen un desplazamiento igual a $\frac{xT_{sw}}{N}$. Luego, resolviendo los términos de la integral para cada segmento y simplificando las expresiones resultantes, a_{hx} y b_{hx} resultan

$$\begin{aligned}
a_{hx} &= (P_x^+ \propto P_{x+j+1}^-) \text{sinc} \left(\frac{(j+1 \propto ND)h\pi}{N} \right) \sin \left(\frac{(2x + ND + j+1)h\pi}{N} \right) + \\
&\quad + (P_{x+j}^- \propto P_x^+) \text{sinc} \left(\frac{(j \propto ND)h\pi}{N} \right) \sin \left(\frac{(2x + ND + j)h\pi}{N} \right) + \\
&\quad + P_{x+j+1}^- \sin \left(\frac{2(x+j+1)h\pi}{N} \right) \propto P_{x+j}^- \sin \left(\frac{2(x+j)h\pi}{N} \right) \quad (4.28)
\end{aligned}$$

$$\begin{aligned}
b_{hx} &= (P_x^+ \propto P_{x+j+1}^-) \text{sinc} \left(\frac{(j+1 \propto ND)h\pi}{N} \right) \cos \left(\frac{(2x + ND + j+1)h\pi}{N} \right) + \\
&\quad + (P_{x+j}^- \propto P_x^+) \text{sinc} \left(\frac{(j \propto ND)h\pi}{N} \right) \cos \left(\frac{(2x + ND + j)h\pi}{N} \right) + \\
&\quad + P_{x+j+1}^- \cos \left(\frac{2(x+j+1)h\pi}{N} \right) \propto P_{x+j}^- \cos \left(\frac{2(x+j)h\pi}{N} \right). \quad (4.29)
\end{aligned}$$

Como se puede apreciar, el cálculo de las expresiones anteriores requieren solo el conocimiento de los valores pico del ripple total, que se determinan utilizando el método propuesto.

A modo de resumen, se listan los pasos a seguir para determinar la componente armónica de orden h del ripple total, los cuales se muestran además en el Algoritmo 4.3:

1. Calcular los valores pico del ripple total para un determinado D , $P_x^\pm$, utilizando el método propuesto.
2. Calcular a_{hx} y b_{hx} mediante (4.28) y (4.29) para las N fases.
3. Utilizar (4.26) y (4.27) para sumar los valores obtenidos en el ítem anterior, y determinar los coeficientes de Fourier del armónico de orden h .

Algoritmo 4.3 Pseudocódigo para determinar los coeficientes de Fourier de orden h , a partir de los $P_x^\pm$.

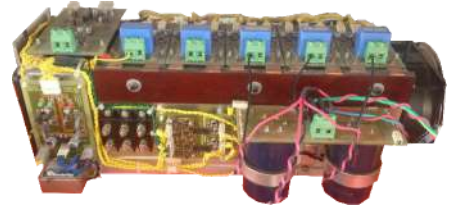
- 1: $a_h = 0$
 - 2: $b_h = 0$
 - 3: $j = \text{floor}(ND)$
 - 4: $C_1 = \text{sinc}\left(\frac{(j+1-ND)h\pi}{N}\right)$
 - 5: $C_2 = \text{sinc}\left(\frac{(j-ND)h\pi}{N}\right)$
 - 6: **for** $x = 0$ **to** $(N \infty 1)$ **do**
 - 7: $\phi_1 = \frac{(2x+ND+j)h\pi}{N}$
 - 8: $\phi_2 = \frac{(2x+ND+j+1)h\pi}{N}$
 - 9: $\phi_3 = \frac{2(x+j)h\pi}{N}$
 - 10: $\phi_4 = \frac{2(x+j+1)h\pi}{N}$
 - 11: $a_{hx} = (P_x^+ \infty P_{x+j+1}^-) C_1 \sin(\phi_2) + (P_{x+j}^- \infty P_x^+) C_2 \sin(\phi_1) +$
 $+ P_{x+j+1}^- \sin(\phi_4) \infty P_{x+j}^- \sin(\phi_3)$
 - 12: $b_{hx} = (P_x^+ \infty P_{x+j+1}^-) C_1 \cos(\phi_2) + (P_{x+j}^- \infty P_x^+) C_2 \cos(\phi_1) +$
 $+ P_{x+j+1}^- \cos(\phi_4) \infty P_{x+j}^- \cos(\phi_3)$
 - 13: $a_h = a_h + a_{hx}$
 - 14: $b_h = b_h + b_{hx}$
 - 15: **end for**
 - 16: $|r_T h| = \sqrt{a_h^2 + b_h^2}$
-

4.4. Resultados experimentales

Con el objetivo de validar el método de caracterización propuesto y las expresiones correspondientes a la máxima amplitud, valor RMS y contenido armónico del ripple total, se llevaron a cabo ensayos experimentales en un convertidor buck de 3 fases, que se muestra en la Fig. 4.6, y se compararon con los resultados analíticos.



(a) Placas de control.



(b) Convertidor buck de tres fases.

Figura 4.6: Banco experimental.

La tensión de entrada del convertidor es $V_{IN} = 25\text{ V}$, y se opera con un período de conmutación $T_{sw} = 81,9\text{ }\mu\text{s}$. El valor nominal de la inductancia de fase se determina a partir de las especificaciones de ripple dadas por diseño, en este caso se seleccionó una amplitud pico igual a $\hat{I}_n = 1\text{ A}$. Dado que el máximo ripple ocurre para $D = 0,5$, el valor nominal de inductancia resulta:

$$L_n = \frac{V_i(1 \infty D)DT_{sw}}{2\hat{I}_n} = 256\text{ }\mu\text{H} \quad (4.30)$$

Los inductores de fase se construyeron con núcleos doble-E con entrehierro, lo cual permite obtener inductancias aproximadamente constantes en todo el rango evaluado [50] y, por lo tanto, considerar constantes los valores de A_x . El valor resultante de los inductores y las amplitudes normalizadas se presentan en la Tabla 4.2.

Tabla 4.2: Inductancias y amplitudes normalizadas.

Número de fase	Inductancia	Amp. normalizada
Fase 0	$L_0 = 239 \mu\text{H}$	$A_0 = 1,07$
Fase 1	$L_1 = 255 \mu\text{H}$	$A_1 = 1,004$
Fase 2	$L_2 = 273 \mu\text{H}$	$A_2 = 0,937$

Con el objetivo de validar las expresiones de $P_x^\pm$, se realiza un ensayo experimental para $D = 0,25$, y se comparan los valores pico del ripple total con los obtenidos analíticamente mediante el método propuesto (Algoritmo 4.1). En la Fig. 4.7 se muestran las formas de onda experimentales de los ripples de fase y del ripple total en las condiciones antes descritas, los valores experimentales y analíticos de $P_x^\pm$ se resumen en la Tabla 4.3, donde se puede apreciar la alta correlación entre los valores medidos y los obtenidos analíticamente.

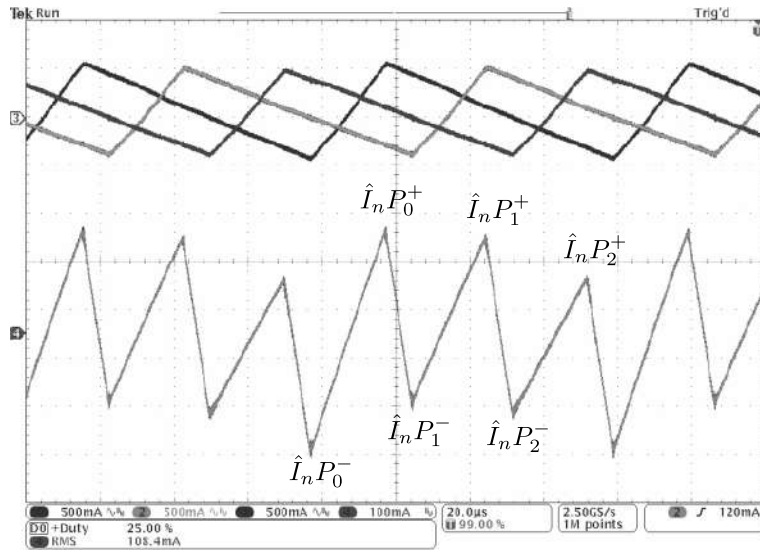


Figura 4.7: Comprobación experimental del cálculo de los picos del ripple total.

Tabla 4.3: Resultados experimentales. $P_x^\pm$ Denormalizados.

	$D = 0,25, V_{in} = 17,8 \text{ V}, \hat{I}_n = 0,539 \text{ A}$	
$\hat{I}_n P_x$	Calculado [mA]	Medido [mA]
$\hat{I}_n P_0^+$	206	210
$\hat{I}_n P_1^+$	207	197
$\hat{I}_n P_2^+$	113	112
$\hat{I}_n P_0^-$	-238	-241
$\hat{I}_n P_1^-$	-145	-144
$\hat{I}_n P_2^-$	-144	-157

Las expresiones correspondientes a la amplitud del ripple total y su valor *RMS*, se pueden validar generando las curvas de estas características para el rango completo de ciclo de trabajo y comparándolas con mediciones para una serie de puntos de dicha curva. Este ensayo se muestra en la Fig. 4.8, donde es posible apreciar que los resultados obtenidos coinciden con las curvas analíticas. Estas curvas fueron generadas buscando el máximo $P_x^\pm$, para el caso de la máxima amplitud; y mediante el Algoritmo 4.2, para el caso del valor *RMS*. El caso ideal se incluye en las figuras a modo de referencia, con el objetivo de ilustrar las diferencias entre este caso y los casos estudiados.

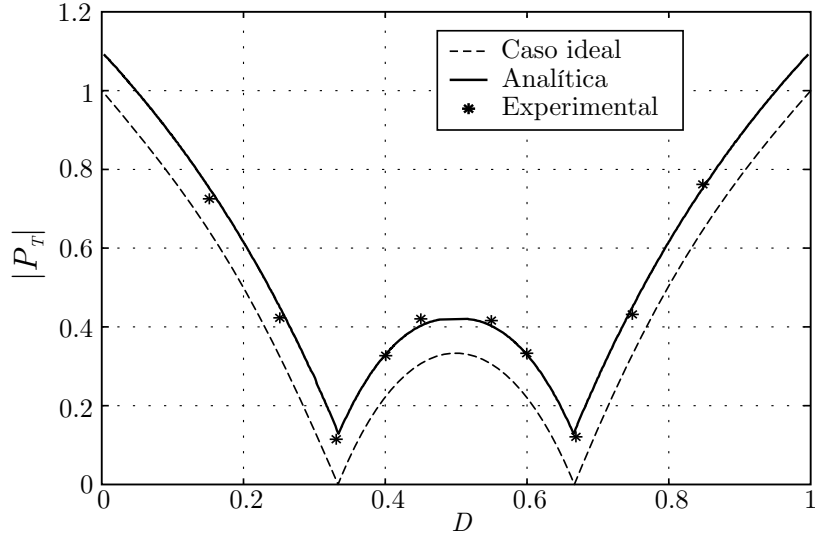
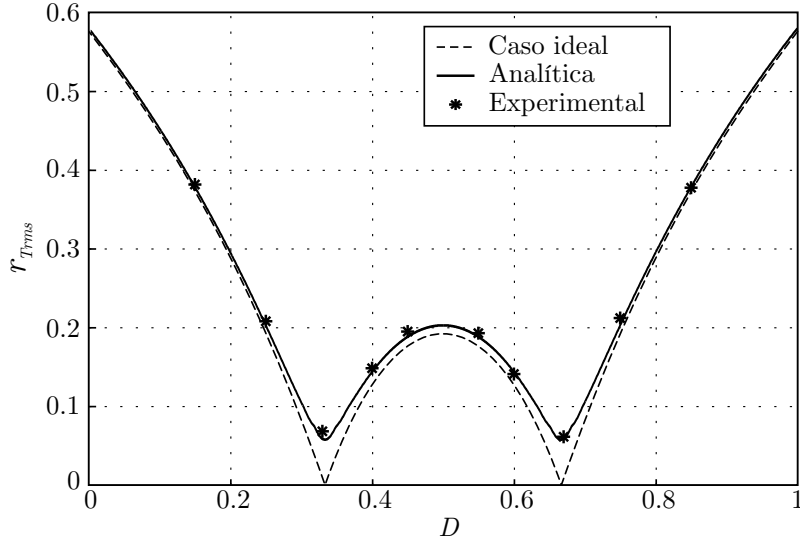
(a) Amplitud máxima del ripple normalizada $|P_T|$ (b) Valor *RMS* normalizado del ripple total $r_{T\text{RMS}}$.

Figura 4.8: Resultados experimentales correspondientes a la máxima amplitud y valor RMS del ripple total.

Finalmente, en la Fig. 4.9 se muestra la validación de las expresiones correspondientes al contenido armónico del ripple de la corriente total. Como se puede apreciar, las mediciones experimentales coinciden con el valor analítico de las componentes armónicas de frecuencia f_{sw} ($|r_{T1}|$), $2f_{sw}$ ($|r_{T2}|$), y $3f_{sw}$ ($|r_{T3}|$), obtenidas a partir del Algoritmo 4.3.

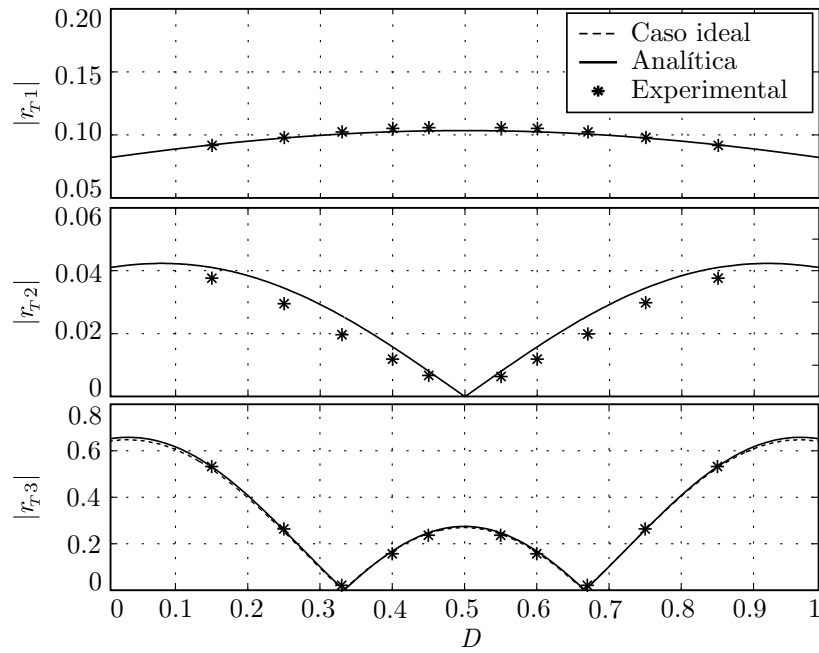


Figura 4.9: Contenido armónico del ripple total. Resultados experimentales y curvas analíticas.

4.5. Conclusiones del Capítulo

La diferencia entre el valor de los inductores de fase, producto de imperfecciones en el proceso de fabricación o en las propiedades magnéticas del núcleo, deterioran de manera significativa las características del ripple total. Estas diferencias implican ripples de fase con distinta amplitud, lo cual incrementa la amplitud del ripple de la corriente total, y evita la cancelación de la componente de frecuencia de conmutación y sus armónicos. En este capítulo se presentó un método general de análisis para la caracterización del ripple de la corriente total en estado estacionario, para cualquier condición de diferencias entre los inductores de fase. Esta caracterización, basada en el análisis en el dominio del tiempo de cada fase, permite determinar los picos en el ripple de la corriente total y el

instante en el que estos picos aparecen. La propuesta permite obtener una expresión general para el ripple total en función del ciclo de trabajo, lo cual permite obtener diferentes características asociadas al mismo, sin necesidad de simular el convertidor para cada punto en particular. Utilizando el método propuesto se obtuvieron expresiones para evaluar la máxima amplitud del ripple total, su valor *RMS* y su contenido armónico. La contrastación de estas expresiones con resultados experimentales, realizados con un convertidor de tres fases, permitió verificar la validez de las mismas.

Capítulo 5

Mitigación de Diferencias de Amplitud Entre Ripples de Fase

5.1. Introducción

A partir de la revisión efectuada en la Sección 2.3, se pudo determinar que las diferencias de amplitud entre los ripples de fase es el principal factor en el deterioro de las características del ripple total. Adicionalmente, se determinó que el orden en el que se ubican los ripples de fase influye en el ripple de la corriente total y, por lo tanto, existe un ordenamiento óptimo que minimiza este ripple. La principal problemática en la búsqueda del ordenamiento óptimo radica en la cantidad de casos posibles, que es igual al factorial del número de fases.

En este capítulo se propone un método de ordenamiento de los ripples de fase, que permite obtener una solución cercana a la óptima sin necesidad de evaluar todos los casos. Esto se logra haciendo uso del método de caracterización propuesto en el Capítulo 4, el cual se utiliza como función objetivo para realizar la optimización a partir de algoritmos genéticos.

5.2. Método de Ordenamiento Propuesto

Dada la dificultad de encontrar el ordenamiento óptimo mediante métodos analíticos, los algoritmos genéticos, basados en la mecánica de selección natural y supervivencia del más apto, permiten la búsqueda de una solución cercana a la óptima sin necesidad de evaluar todos los casos posibles [51, 52, 53].

En los algoritmos genéticos, una población de potenciales soluciones, denominadas cromosomas o individuos, evoluciona a lo largo de sucesivas iteraciones, denominadas *generaciones*. Cada individuo tiene asociado un nivel de ajuste respecto de la solución buscada. El nivel de ajuste se determina por medio de una función de costo, denominada función objetivo. Asimismo, la evolución a lo largo sucesivas generaciones se lleva a cabo utilizando operadores genéticos tales como cruces y mutaciones. El cruce genera una descendencia a partir del intercambio de información entre dos individuos de la generación actual. Por su parte, la mutación es un operador, con baja probabilidad, que altera alguna propiedad de un individuo en forma aleatoria antes de introducirlo en la nueva generación. El cruce y la mutación cumplen distintos roles dentro del algoritmo. La descendencia obtenida por cruce tiende a mejorar la calidad promedio de la población, mediante la exploración de los espacios ya presentes. La mutación, sin embargo, ayuda a explorar otros espacios, evitando así óptimos locales. Adicionalmente, es deseable preservar los individuos más aptos a lo largo de generaciones sucesivas. En este sentido, se selecciona una cierta cantidad de individuos que mejor ajusten a la función de costo, denominados *elite*, que pasan a la siguiente generación sin sufrir cambios.

En la Fig. 5.1 se muestra el ciclo básico del algoritmo genético. El mismo parte de una población inicial generada aleatoriamente. Luego, se evalúan los individuos que integran la población y se les asigna un nivel de ajuste mediante la función de

costo. Seguidamente, se seleccionan los individuos a partir de los cuales se crea la próxima generación, y se aplican los operadores genéticos antes descritos. Una nueva evaluación devuelve la población a su tamaño original, mediante la selección de los individuos más aptos. El ciclo continúa hasta cumplirse un criterio de finalización. Este criterio puede ser la cantidad máxima de generaciones, una cota de error, o la falta de cambios de una generación respecto de la anterior.

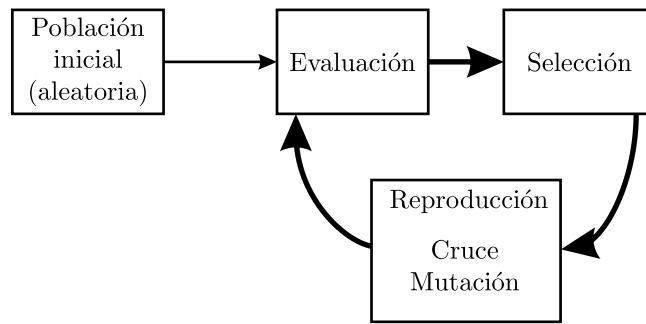


Figura 5.1: Diagrama de flujo del algoritmo genético.

A continuación, se detalla el modelado del problema, la función objetivo y los operadores genéticos antes mencionados.

Modelado y codificación del problema

Las potenciales soluciones del problema se modelan mediante un conjunto de parámetros, denominados *genes*, de forma tal de representar el cromosoma o individuo. Como el problema de optimización de Δi_T es un problema de ordenamiento, cada individuo está conformado por un vector ordenado compuesto por la amplitud del ripple de cada fase. Por ejemplo, el individuo

$$I_1 = (A1 \ A2 \ A3 \ A4 \ A5 \ A6 \ A7 \ A8) \quad (5.1)$$

corresponde a un convertidor de 8 fases, y representa el caso en el que el ripple asociado al inductor de fase L_1 precede al ripple asociado a L_2 , y así sucesivamente. Por otro lado, en el individuo

$$I_2 = (A2 \ A1 \ A3 \ A4 \ A5 \ A6 \ A7 \ A8) \quad (5.2)$$

se invirtió el orden de los ripples asociados a $L1$ y $L2$ de forma tal que, en este nuevo individuo, $A2$ precede a $A1$.

Es importante destacar que, debido a la naturaleza del problema, la composición del individuo esta sujeta a restricciones que garanticen su validez. En primer lugar, la amplitud del ripple de todas las fases debe estar presentes en cada individuo. En (5.3) se muestra un individuo que no contiene la amplitud de fase $A3$ y, por consiguiente, no representa un ordenamiento de fases válido.

$$I_{erroneo1} = (A1 \ A2 \ A4 \ A5 \ A6 \ A7 \ A8) \quad (5.3)$$

En segundo lugar, no pueden existir amplitudes repetidas dentro de un mismo individuo. En (5.4), se muestra un ejemplo en el que la fase $A1$ se ubica simultáneamente en la primera y tercera posición, determinando así un estado no válido de ordenamiento.

$$I_{erroneo2} = (A1 \ A2 \ A1 \ A3 \ A4 \ A5 \ A6 \ A7 \ A8) \quad (5.4)$$

De los ejemplos antes expuestos se determina que la cantidad de *genes* en un individuo es igual a la cantidad de fases, y que no existen repeticiones dentro de un mismo individuo. Estas restricciones pueden ser consideradas de dos maneras:

- Mediante penalización en el valor de ajuste de los individuos no válidos.

- Mediante operadores genéticos apropiados, que generen en todo momento individuos válidos.

Se adopta la segunda estrategia, debido a que no se desperdicia esfuerzo de cómputo en la generación y evaluación de individuos que no representan un estado válido del sistema.

Función objetivo

La función objetivo, denominada $f_{fit}(I_j)$, debe entregar un valor que indique el ajuste del individuo I_j , respecto al criterio de optimización seleccionado. En este caso, el objetivo es minimizar las componentes $(f_{sw}, 2f_{sw}, \dots, (N-1)f_{sw})$ en Δi_T . Esta función se puede construir a partir de la caracterización propuesta en el Capítulo 4, mediante la suma ponderada de las componentes f_{sw} a $(N-1)f_{sw}$:

$$f_{fit}(I_j) = \sum_{h=1}^{N-1} \alpha_h r_{Th} \quad (5.5)$$

donde I_j es el individuo a evaluar, r_{Th} es el armónico de orden h y α_h es su factor de ponderación. La ponderación se efectúa de forma tal de penalizar en mayor medida aquellos armónicos de menor frecuencia, de forma tal de concentrar el esfuerzo de optimización en los armónicos que son menos atenuados por el filtro.

La magnitud de los r_{Th} se determina a partir de las amplitudes de los ripples de fase, utilizando los Algoritmos 4.1 y 4.3.

Función de cruce

La función de cruce intercambia información entre dos individuos de la generación actual, denominados padres, para generar un nuevo individuo, denominado descendencia. La función de cruce ordenado (*order crossover*) es muy atractiva para esta aplicación, debido a que permite intercambiar la información de orden

y posición entre dos individuos [54, 55]. Esta función toma una subsecuencia de fases de uno de los padres y preserva el orden relativo del segundo. Por ejemplo, a partir de los padres P_1 y P_2 , se seleccionan dos puntos de corte al azar, señalizados por “ | ”, tal como se indica en (5.6).

$$\begin{aligned} P_1 &= (A1 \ A2 \ |A3 \ A4 \ A5| \ A6 \ A7 \ A8) \\ P_2 &= (A3 \ A4 \ |A2 \ A5 \ A1| \ A6 \ A8 \ A7) \end{aligned} \tag{5.6}$$

La descendencia, O_1 se genera de la siguiente forma. En primer lugar, los subconjuntos contenidos entre los puntos de corte de P_1 se copian a la descendencia, respetando el orden y la posición, como se muestra en (5.7).

$$O_1 = (\infty \ \infty \ |A3 \ A4 \ A5| \ \infty \ \infty \ \infty) \tag{5.7}$$

Luego, se seleccionan las fases del otro padre a partir del segundo punto de corte, respetando el orden, y se descartan las fases ya presentes en O_1 (5.8).

$$A6 \ A8 \ A7 \ A3 \ A4 \ A2 \ A5 \ A1 \tag{5.8}$$

Seguidamente, se completa la descendencia desde el segundo punto de corte, recomenzando desde el principio si se alcanza el final del individuo (5.9)

$$O_1 = (A2 \ A1 \ |A3 \ A4 \ A5| \ A6 \ A8 \ A7) \tag{5.9}$$

Adicionalmente, se puede generar otra descendencia invirtiendo el orden de los padres.

Función de mutación

La función de mutación altera los genes de un individuo, seleccionado de forma aleatoria, antes de colocarlo en una nueva generación. La mutación se realiza invirtiendo el orden de dos fases, de forma tal de generar un nuevo ordenamiento que explore otros campos y evite la convergencia a mínimos locales. Por ejemplo, a partir del individuo P_1 , se genera O_1 invirtiendo las fases $A3$ y $A7$, tal como se ilustra en (5.10) y (5.11).

$$P_1 = (A1 \ A2 \ \underline{A3} \ A4 \ A5 \ A6 \ \underline{A7} \ A8) \quad (5.10)$$

$$O_1 = (A1 \ A2 \ \underline{A7} \ A4 \ A5 \ A6 \ \underline{A3} \ A8) \quad (5.11)$$

5.3. Simulaciones

En esta sección se presentan simulaciones que evalúan el desempeño y validan el método propuesto. Este método se aplicó a un convertidor de $N = 8$ fases, con una diferencia entre los inductores de fase comprendida entre $\Delta L = \pm 10$ %.

De forma tal de evaluar el ajuste de un individuo dado, con el objetivo de minimizar las exigencias de filtrado en el punto común entre fases, la función de costo (5.5) se evalúa con $\alpha_h = 1$, tal como se indica en (5.12). Este valor de α_h se selecciona debido a que existe una ponderación inherente, es decir, los armónicos de menor frecuencia tienen mayor amplitud y, por lo tanto, influyen en mayor medida en la función de costo.

$$f_{fit}(I_j) = \sum_{h=1}^7 r_{Th} \quad (5.12)$$

El algoritmo genético se configura con una población de 50 individuos por generación, el 96 % de los mismos se crean mediante la función de cruce, y el

4 % restante mediante mutaciones. Los dos individuos más aptos de la población pasan a la siguiente generación sin sufrir cambios.

El criterio de finalización consiste en evaluar el cambio relativo en el mejor individuo de cada generación, respecto de las anteriores. Si no se detectan variaciones a lo largo de 20 generaciones, se considera que el algoritmo convergió a un ordenamiento óptimo y se detiene la búsqueda.

En la Fig. 5.2 se muestra el valor de ajuste, según la función de costo (5.12), del mejor individuo y el promedio del valor de ajuste de los individuos de la generación, a lo largo de sucesivas iteraciones. Se puede observar que el algoritmo converge en 34 generaciones. Esta convergencia se detecta debido a que el mejor individuo no sufre cambios a lo largo de las últimas 20 generaciones. Luego, el mejor individuo, que representa el ordenamiento de fases que minimiza la suma de las primeras 7 componentes armónicas en Δi_T , es:

$$I_B = (A6 \ A8 \ A4 \ A7 \ A5 \ A1 \ A3 \ A2) \quad (5.13)$$

Es importante notar que el ajuste promedio no es monotónicamente decreciente. Este comportamiento es generado por la función de mutación, la cual perturba individuos en la población, y puede ocasionar que el ajuste promedio de la generación actual se vea empeorado respecto de las anteriores. Sin embargo, como se mencionó anteriormente, esta función evita la convergencia a mínimos locales.

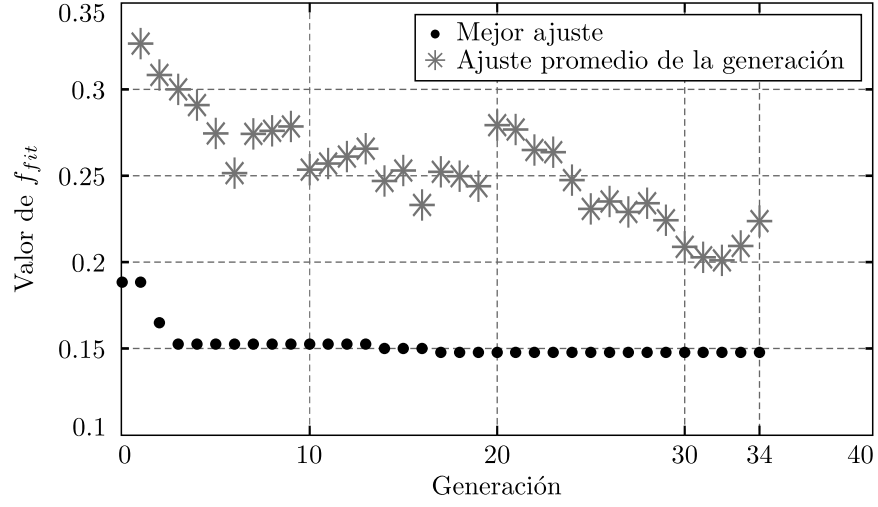


Figura 5.2: Mejor ajuste y ajuste promedio de cada generación.

A modo ilustrativo, en la Fig. 5.3 se muestra la forma de onda de Δi_T y sus 7 primeros armónicos para diferentes casos de optimización, correspondientes al convertidor ensayado anteriormente operando con $D = 0,3$. Dichos casos se corresponden con el ordenamiento de fases obtenido mediante método propuesto (expresión (5.13)), el ordenamiento propuesto en [25], y el peor caso de ordenamiento. Este último se obtiene aplicando el método propuesto para maximizar la función de costo, es decir, se minimiza la expresión

$$f_{wc}(I_j) = 1 \propto \sum_{h=1}^7 r_{Th}. \quad (5.14)$$

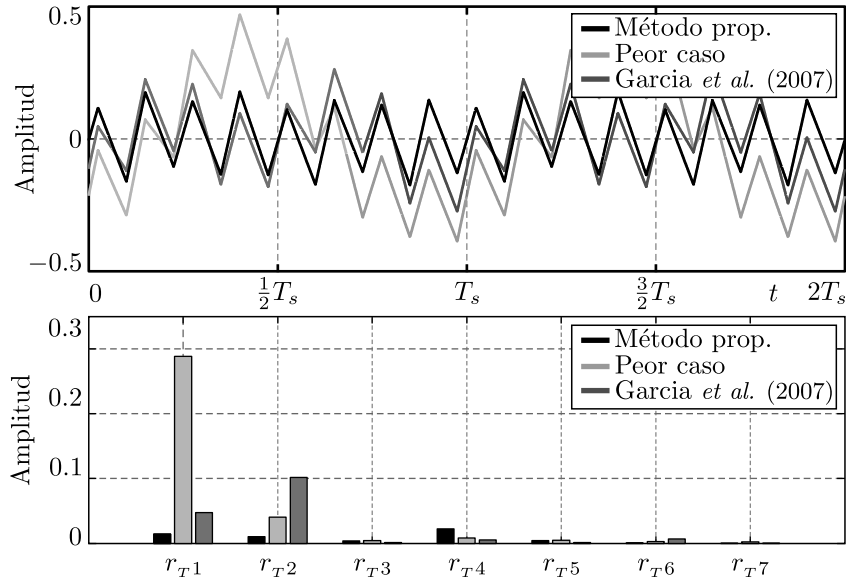


Figura 5.3: Δi_T (sup) y espectro de Δi_T (inf). Optimizado mediante el método propuesto, mediante [25] y peor caso.

Se puede observar que, si bien el método de [25] logra una notable mejora en el contenido de frecuencia de conmutación, la segunda armónica se ve deteriorada respecto del peor caso. Por otro lado, el método propuesto logra reducir el contenido armónico en Δi_T respecto de ambos casos de ordenamiento. La amplitud de la componente f_s se reduce 3,35 veces, mientras que la amplitud de la componente $2f_s$ se atenúa 10 veces, respecto de la optimización propuesta en [25].

Por otro lado, se analizó la atenuación del ripple de tensión en el punto común entre fases, V_{0N}/V_{01} , en función de N para una dada tolerancia en los inductores de fase. En la Fig. 5.4 se muestra este análisis para un $\Delta L = \pm 5\%$. Es importante destacar que la frecuencia de conmutación y el filtro conectado al punto común entre fases se mantienen constantes para todos los valores de N . Se presentan los ordenamientos de fase correspondientes al caso ideal sin desbalances, al peor caso (obtenido mediante (5.14)), al método de [25], cuando es aplicable, y al método propuesto. Se puede observar que, para $N \leq 3$, V_{0N}/V_{01} es independiente del

orden de fases. Se puede notar que, para $N = 4$, los resultados obtenidos mediante el método de [25] no presentan diferencias respecto los obtenidos mediante el método propuesto. Para N más elevados, sin embargo, la atenuación provista por el método propuesto se incrementa, mientras que el método de Garcia *et al.* [25] no proporciona mejoras adicionales a partir de $N = 10$. Particularmente, la atenuación para $N = 10$ y $N = 20$ se muestra en la Tabla 5.1. Como se puede observar, la atenuación obtenida mediante el método propuesto es significativamente mayor que utilizando [25].

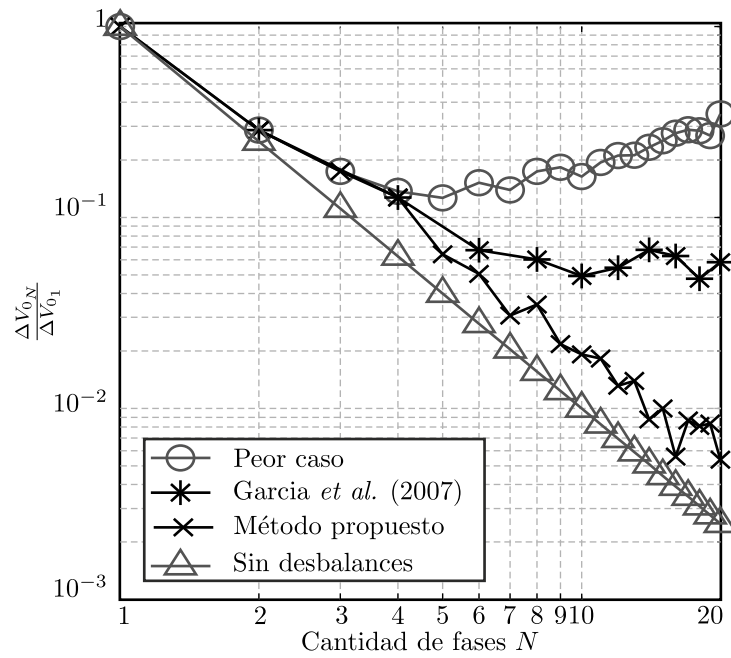


Figura 5.4: Atenuación del ripple de tensión en función de N .

Tabla 5.1: Atenuación del ripple de tensión para $N = 10$ y $N = 20$.

N	Atenuación			
	Ideal	Met. Propuesto	Garcia <i>et al.</i> [25]	Peor caso
10	1/100	1/50	1/20	1/6
20	1/400	1/185	1/17	1/4

5.4. Conclusiones del capítulo

En este capítulo se presentó un método de ordenamiento de los ripples de fase, que permite reducir el deterioro en el ripple de la corriente total, generado en condiciones de diferencias entre las amplitudes de los ripples de fase.

El método propuesto se basa en algoritmos genéticos y en la utilización de una función de costo, obtenida a partir del método de caracterización propuesto en el Capítulo 4. El método propuesto tiene la ventaja de lograr un ordenamiento eficiente, que minimiza el contenido de componentes de frecuencia de conmutación y sus armónicos en el ripple total. Esta minimización se realiza en un número muy reducido de iteraciones, respecto de las necesarias para obtener el ordenamiento óptimo mediante la evaluación de todos los casos posibles. La función de costo utilizada permite considerar todas las componentes armónicas en el proceso de optimización, lo cual permitió obtener mejores resultados que la única estrategia existente en la literatura que se basa en el mismo principio.

Capítulo 6

Control de Corriente Propuesto

6.1. Introducción

A partir de la revisión de las principales estrategias de control presentes en la literatura, se pudo determinar que estos controles no son capaces de solucionar satisfactoriamente todas las problemáticas presentes en las aplicaciones de alta potencia, con requerimientos de alta precisión y dinámica. Como solución a este problema, en este capítulo se propone un control de corriente interleaved para convertidores multifásicos con alta dinámica, capaz de proveer un seguimiento preciso de la referencia de corriente en todo el rango de operación del convertidor. Adicionalmente, el control propuesto se formula para minimizar la influencia de los elementos parásitos del convertidor, de modo que su funcionamiento no sea dependiente del punto de operación.

6.2. Control de corriente propuesto

El control propuesto se basa en el principio de cruce por cero sincronizado (*Synchronized Zero Crossing Control*, SZCC). Este principio, que se introduce

en [27], consiste en sincronizar los cruces por cero del error de corriente de una determinada fase x , i_{e_x} , con una señal de sincronismo propia de dicha fase, $Sync_x$. En la Fig. 6.1 se ilustra esta metodología a través de un ejemplo de un convertidor de tres fases ($N = 3$). Como se puede apreciar, cada fase está asociada a una señal de sincronismo de período T_{Sync} , la cual define el instante deseado de cruce por cero de i_{e_x} y el signo de la pendiente con la que se debe efectuar dicho cruce. De esta forma, los cruces por cero de i_{e_x} con pendiente positiva se sincronizan con los flancos positivos de $Sync_x$, mientras que los cruces con pendiente negativa se sincronizan con los flancos negativos de dicha señal. Adicionalmente, el desfase entre las señales de sincronismo se ajusta en $\frac{T_{Sync}}{N}$, de modo de garantizar el correcto intercalado entre fases.

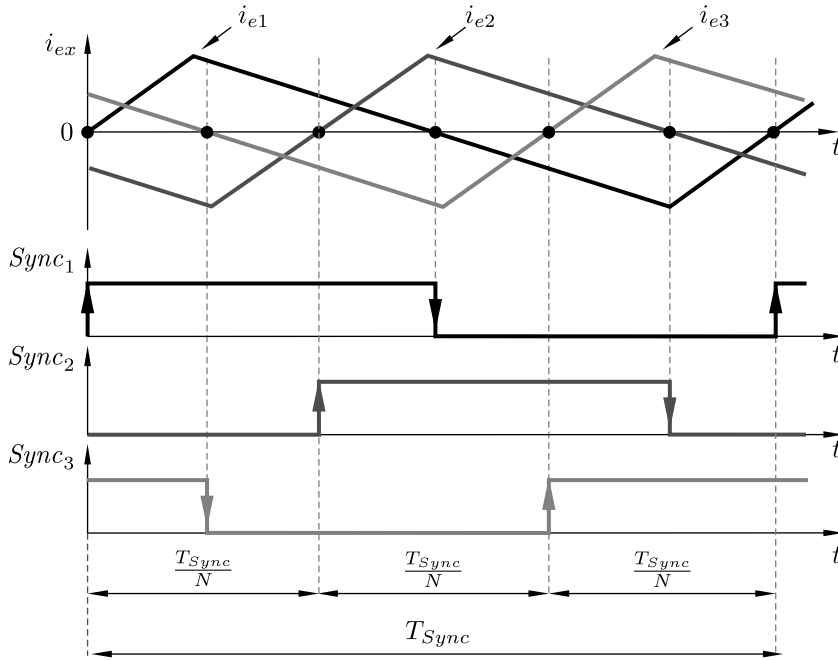


Figura 6.1: Principio de sincronización de cruces por cero.

Este esquema de sincronización realiza el ajuste del error de corriente con su señal de sincronismo en forma independiente por fase, por lo tanto es posible

realizar la descripción del método para una fase, y posteriormente generalizarlo a un sistema de N fases. Adicionalmente, para realizar los cálculos del control, se asume que la constante de tiempo asociada al inductor y su parte resistiva es mucho mayor que el período de conmutación, por lo cual es posible aproximar el ripple de la corriente mediante segmentos de recta [17, 27, 30, 38].

Con el objetivo de describir el proceso de ajuste entre el cruce por cero de i_{e_x} y los flancos de $Sync_x$, se recurre a una condición transitoria en la cual, en un dado instante, estos eventos no ocurren en forma simultánea, es decir, i_{e_x} se encuentra fuera de sincronismo. En la Fig. 6.2, se muestra el error de corriente i_{e_x} , la señal de sincronismo $Sync_x$, y la señal de cruce por cero C_{0x} , que se define como

$$C_{0x} = \begin{cases} 1 & \text{si } i_{e_x} > 0 \\ 0 & \text{si } i_{e_x} \leq 0 \end{cases} \quad (6.1)$$

En la situación ilustrada en la Fig. 6.2, i_{e_x} cruza por cero con pendiente positiva en los instantes t_0 y t_2 , los cuales se indican por la ocurrencia de flancos positivos en la señal C_{0x} , y con pendiente negativa en t_1 , indicado por el flanco negativo de C_{0x} . El error de sincronismo $t_e(k)$ se define como la diferencia de tiempo entre la ocurrencia de flancos del mismo signo en $Sync_x$ y C_{0x} . Por ejemplo, para el cruce por cero en t_1 , el error de sincronismo está dado por:

$$t_e(k) = t_k \propto t_1. \quad (6.2)$$

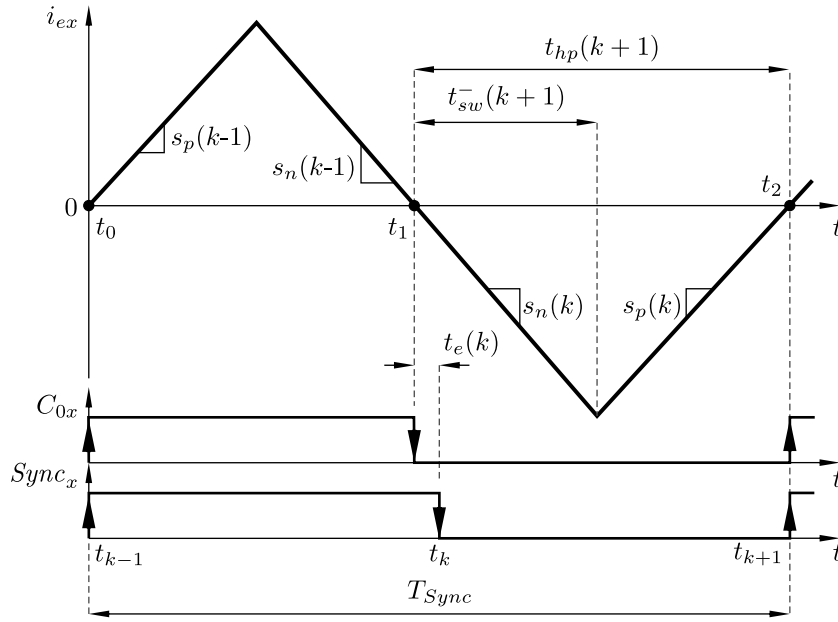


Figura 6.2: Cálculo del tiempo de conmutación cuando ocurre un cruce por cero con pendiente negativa en i_{ex} .

Como se puede notar, en el instante t_0 , i_{ex} cruza por cero con pendiente positiva en forma simultánea con el flanco positivo de la señal $Sync_x$ presente en t_{k-1} , por lo tanto el error de sincronismo es cero, i.e., $t_e(k \infty 1) = 0$. En el instante t_1 , por otro lado, debido a una pequeña perturbación en i_{ex} , el flanco negativo de C_{0x} ocurre un instante antes que el flanco negativo de $Sync_x$ en t_k , i.e., $t_e(k) \neq 0$. A partir de $t_e(k)$ se plantea la condición para lograr que el próximo cruce por cero, en t_2 , ocurra en forma simultánea con el flanco positivo de $Sync_x$, en t_{k+1} . Esta condición se determina a partir del hecho de que la amplitud del segmento comprendido entre t_1 y el instante de conmutación es igual a la amplitud comprendida entre el instante de conmutación y t_2 , es decir,

$$\infty t_{sw}^-(k+1) s_n(k) = (t_{hp}(k+1) \infty t_{sw}^-(k+1)) s_p(k) \quad (6.3)$$

donde $s_p(k)$ y $s_n(k)$ son la pendiente positiva y negativa asociadas al sincronismo

k , y $t_{hp}(k+1)$ es la duración del próximo semiperíodo, definido como

$$t_{hp}(k+1) = \frac{T_{Sync}}{2} + t_e(k). \quad (6.4)$$

A partir de (6.3) se puede determinar el instante de conmutación que permite recuperar la condición de sincronismo en t_2 . Este instante, medido desde el cruce por cero con pendiente negativa, se denomina tiempo de conmutación $t_{sw}^-(k+1)$ y se puede calcular como

$$\begin{aligned} t_{sw}^-(k+1) &= \frac{s_p(k)}{s_p(k) \oslash s_n(k)} \cdot t_{hp}(k+1) \\ &= \frac{s_p(k)}{s_p(k) \oslash s_n(k)} \left(\frac{T_{Sync}}{2} + t_e(k) \right). \end{aligned} \quad (6.5)$$

La situación de cruce por cero de con pendiente positiva se muestra en la Fig. 6.3. En esta figura se puede apreciar que, debido a que no es necesario conocer errores de sincronismo previos para el cálculo del tiempo de conmutación actual, el instante de sincronismo k se redefine convenientemente en el flanco positivo de sincronismo más cercano al cruce por cero actual. Operando en forma análoga que para el cálculo de (6.5), el tiempo de conmutación para el caso de cruce por cero con pendiente positiva, $t_{sw}^+(k+1)$, que sincroniza el próximo cruce por cero en t_2 con el instante de sincronismo t_{k+1} , se puede calcular como

$$\begin{aligned} t_{sw}^+(k+1) &= \frac{\oslash s_n(k)}{s_p(k) \oslash s_n(k)} \cdot t_{hp}(k+1) \\ &= \frac{\oslash s_n(k)}{s_p(k) \oslash s_n(k)} \left(\frac{T_{Sync}}{2} + t_e(k) \right). \end{aligned} \quad (6.6)$$

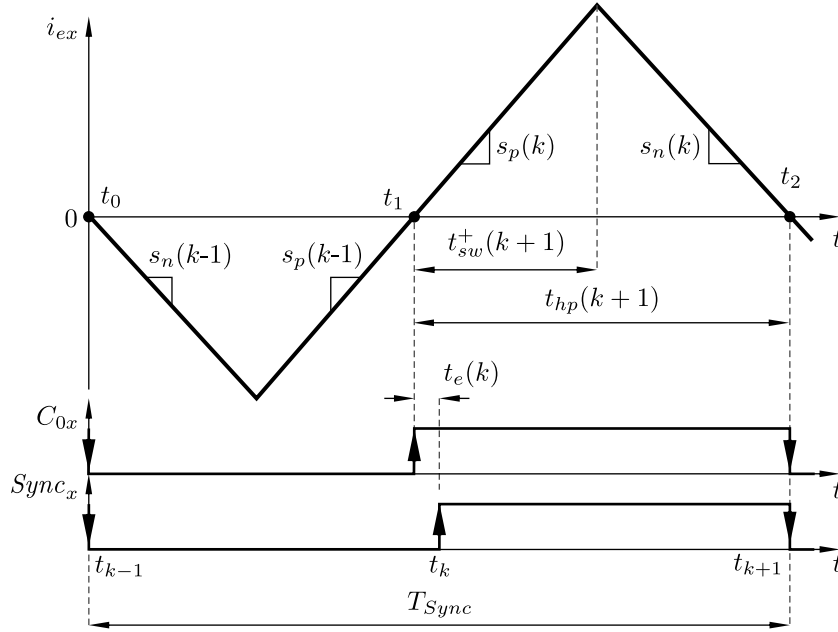


Figura 6.3: Cálculo del tiempo de conmutación cuando ocurre un cruce por cero con pendiente positiva en i_{ex} .

Como se puede observar, para el cálculo de (6.5) y (6.6) es necesario conocer las pendientes del error de corriente, $s_n(k)$ y $s_p(k)$. Para determinar estas pendientes, se propone emplear bandas fijas de comparación y medir los tiempos de cruce por dichas bandas. Esta metodología permite conocer las pendientes del error de corriente sin realizar aproximaciones ligadas al valor de los elementos parásitos o los parámetros del convertidor, como las que se describen en la Sección 3.4.1 para el SZCC clásico, o en la Sección 3.5.1 para el PCPC. De esta forma se evita que el desempeño del control de corriente dependa de factores como caídas de tensión en los dispositivos semiconductores, o en la resistencia serie asociada a los inductores de fase. En la Fig. 6.4 se muestra el error de corriente y las tres bandas de comparación, en conjunto con las señales de cruce C_{0x} , C_{lx} y C_{ux} . De forma análoga a C_{0x} , las señales de cruce inferior y superior, C_{lx} y C_{ux} , respectivamente,

se definen como

$$C_{lx} = \begin{cases} 1 & \text{si } i_{ex} > \infty B \\ 0 & \text{si } i_{ex} \leq \infty B \end{cases} \quad C_{ux} = \begin{cases} 1 & \text{si } i_{ex} > +B \\ 0 & \text{si } i_{ex} \leq +B \end{cases} \quad (6.7)$$

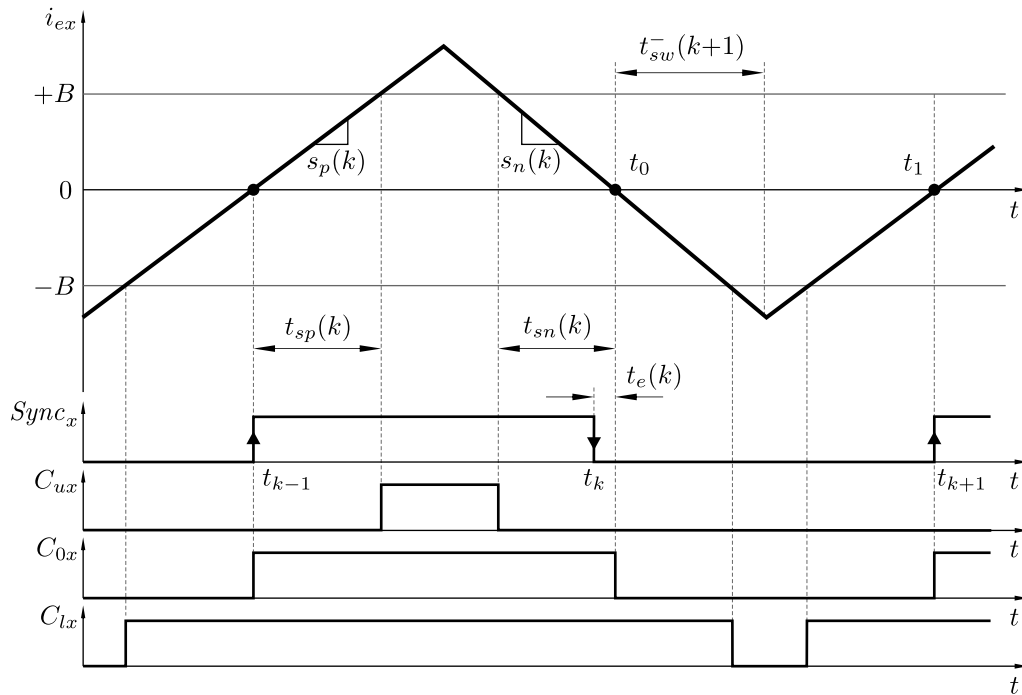


Figura 6.4: Determinación de las pendientes de i_{ex} mediante cruce por bandas para el cálculo de $t_{sw}^-(k+1)$.

En esta figura se puede apreciar que las diferencias de tiempo entre los flancos de las señales de cruce están relacionadas con la amplitud de las bandas $\pm B$ y con las pendientes de i_{ex} . Luego, la magnitud de $s_p(k)$ y $s_n(k)$, requeridas para el cálculo de $t_{sw}^-(k+1)$ en el instante t_0 , se pueden determinar a partir de la amplitud de la banda superior y de los tiempos de cruce como:

$$s_p(k) = \frac{+B}{t_{sp}(k)}; \quad s_n(k) = \frac{+B}{t_{sn}(k)}. \quad (6.8)$$

Es importante notar que, para que sea posible determinar las pendientes a partir de este método, la amplitud del ripple de fase en estado estacionario debe ser mayor que $\pm B$. Esta condición se debe establecer como un criterio de diseño, con base en el conocimiento aproximado del valor del inductor de fase, la frecuencia de conmutación y el rango de tensiones de entrada y salida. El procedimiento detallado para dimensionar la amplitud de las bandas de comparación se desarrollará en la Sección 6.3.2.

Combinando (6.5) y (6.8), se obtiene una nueva expresión para el cálculo de $t_{sw}^-(k+1)$, que requiere únicamente mediciones de tiempo:

$$\begin{aligned} t_{sw}^-(k+1) &= \frac{\frac{+B}{t_{sp}(k)}}{\frac{+B}{t_{sp}(k)} + \frac{+B}{t_{sn}(k)}} \cdot t_{hp}(k+1) = \\ &= \frac{t_{sn}(k)}{t_{sp}(k) + t_{sn}(k)} \cdot t_{hp}(k+1). \end{aligned} \quad (6.9)$$

Por otra parte, en la Fig. 6.11 se muestra el caso de un cruce por cero con pendiente positiva en t_0 . En este caso, las pendientes del error de corriente se pueden determinar a partir de la amplitud de la banda inferior y de los tiempos de cruce como:

$$s_p(k) = \frac{\infty B}{t_{sp}(k)}; \quad s_n(k) = \infty \frac{B}{t_{sn}(k)}. \quad (6.10)$$

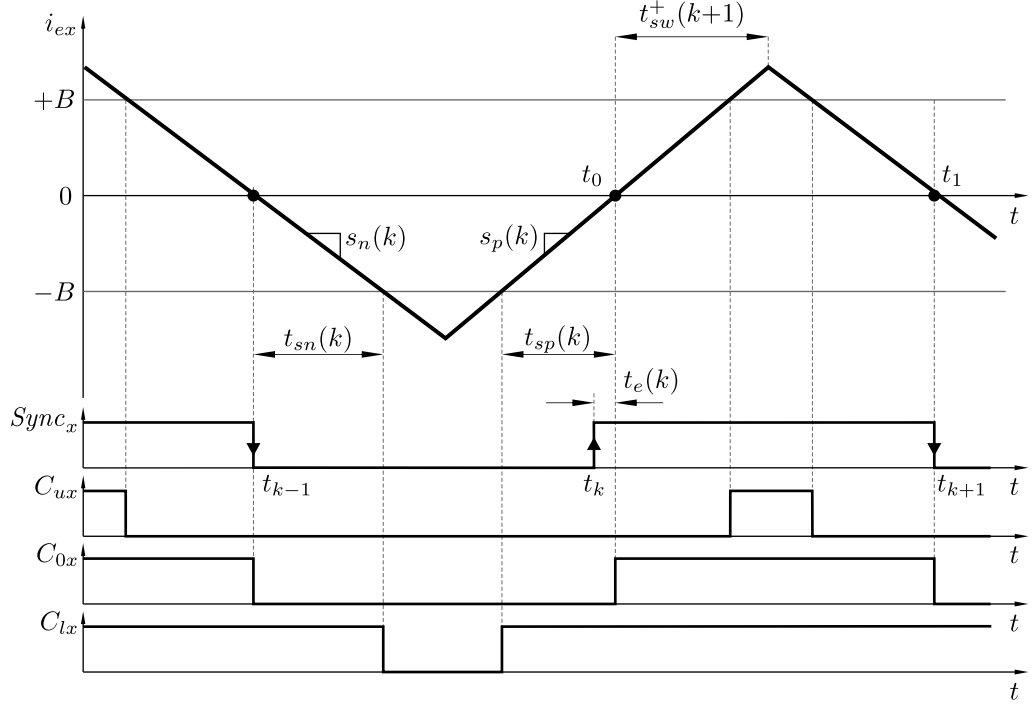


Figura 6.5: Determinación de las pendientes de i_{ex} mediante cruce por bandas para el cálculo de $t_{sw}^+(k+1)$.

Luego, combinando (6.6) y (6.10), se obtiene la siguiente expresión para el cálculo de $t_{sw}^+(k+1)$:

$$\begin{aligned}
 t_{sw}^+(k+1) &= \frac{\frac{-B}{t_{sn}(k)}}{\frac{-B}{t_{sp}(k)} + \frac{-B}{t_{sn}(k)}} \cdot t_{hp}(k+1) \\
 &= \frac{t_{sp}(k)}{t_{sp}(k) + t_{sn}(k)} \cdot t_{hp}(k+1)
 \end{aligned} \tag{6.11}$$

Como se puede apreciar, la amplitud de la banda se cancela en las operaciones anteriores, por lo que no es necesario conocer el valor de $\pm B$ para realizar las operaciones. Adicionalmente, es importante resaltar que para el cálculo de $t_{sw}^-(k+1)$ se utiliza información correspondiente a la banda superior $+B$, mientras que para el cálculo de $t_{sw}^+(k+1)$ se utiliza información de ∞B . Por lo tanto, la simetría de las bandas de comparación no constituye un factor crítico para el

correcto funcionamiento del control.

Si bien a partir de (6.9) y (6.11) se recupera la condición de sincronismo independientemente de la magnitud de $t_e(k)$, es posible utilizar la información provista por las bandas de comparación y por la señal de sincronismo para optimizar los tiempos transitorios ante perturbaciones de gran señal, tales como grandes cambios en i_{Ref} o en las tensiones de entrada y salida del convertidor.

6.2.1. Perturbaciones de gran señal

Ante grandes cambios en la referencia de corriente o en las tensiones de entrada y salida, se generan transitorios que ocasionan cruces por cero del error de corriente en diferentes instantes respecto de la señal de sincronismo. En tal sentido, al no existir una relación entre el momento de la perturbación y la señal $Sync_x$, se pueden generar errores de sincronismo de gran magnitud. En la Fig. 6.6 se muestra el error de corriente, la señal de sincronismo y las señales de cruce ante un cambio en forma de escalón en i_{Ref} en $t = t_0$. Como se puede apreciar, el tiempo transitorio está dado por la suma de los intervalos Δt_1 , denominado transitorio de cruce, y Δt_2 , denominado transitorio de sincronización. El transitorio de cruce es el tiempo que transcurre desde el instante en el que ocurre la perturbación, hasta que se detecta un cruce por cero en i_{ex} . Por otro lado, el transitorio de sincronismo es el tiempo transcurrido entre el cruce por cero y la recuperación de la condición de sincronismo.

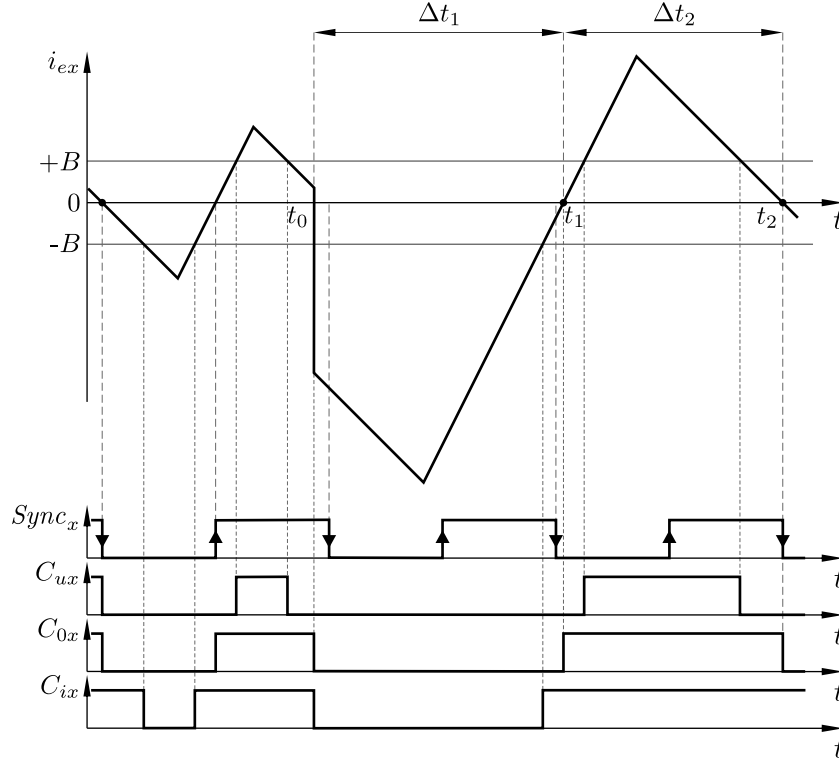


Figura 6.6: Transitorio ante cambio en escalón en i_{Ref} .

A continuación se analiza con más detalle la forma en la que el control propuesto puede reducir los tiempos transitorios.

Reducción del transitorio de sincronización

La reducción del transitorio de sincronización, indicado como Δt_2 en la Fig. 6.6, consiste en minimizar el tiempo entre el primer cruce por cero posterior a la perturbación y el instante de recuperación de la condición de sincronismo. Dada la periodicidad de la señal de sincronismo, es conveniente definir límites para $t_e(k)$ comprendidos entre

$$\infty T_{Sync}/2 \leq t_e(k) \leq T_{Sync}/2. \quad (6.12)$$

Estos límites se corresponden con los casos en donde el cruce por cero de i_{ex}

es simultáneo con un flanco de la señal de sincronismo con signo opuesto. Por lo tanto, la condición $|t_e(k)| \geq T_{Sync}/4$ permite detectar el caso en que el cruce por cero del error se encuentra cercano a un flanco de la señal de sincronismo con pendiente opuesta.

En la Fig. 6.7 se muestra i_{ex} , $Sync_x$ y C_{0x} cuando se produce un cambio en forma de escalón en i_{Ref} en el instante t_0 . Como se puede observar, el escalón en i_{Ref} produce que el cruce por cero de i_{ex} con pendiente negativa esté ubicado en $t = t_1$, por lo tanto el error de sincronismo es $t_e(k) = t_{ea} > T_{Sync}/4$. Si se opera con este error, el control calcula el tiempo de conmutación de forma tal de sincronizar el error de corriente en el próximo flanco positivo de la señal de sincronismo, como se muestra en línea punteada. Esta característica puede ocasionar que se generen transitorios de gran amplitud, lo cual produce desviaciones en el seguimiento del valor medio de la referencia.

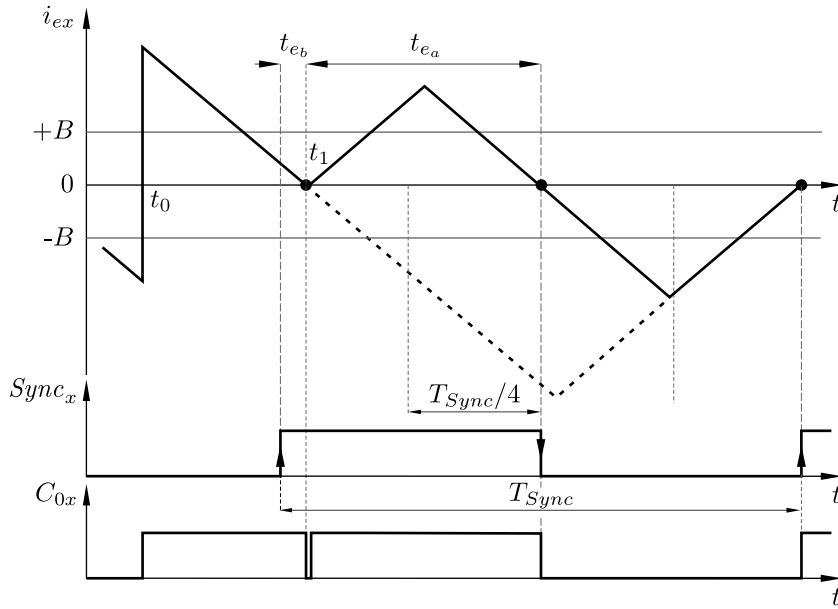


Figura 6.7: Ajuste con $Sync_x$ en condiciones de errores de sincroniso de gran magnitud.

Este problema se puede reducir considerando la periodicidad de la señal de sincronismo antes expuesta. La condición $t_e(k) = t_{e_a} > T_{Sync}/4$ indica que el instante de cruce por cero es más cercano a un sincronismo con pendiente opuesta. Luego, si se realiza una conmutación de la corriente en este instante, es posible considerar el cruce por cero como ocurrido con pendiente positiva y, por lo tanto, calcular el tiempo conmutación utilizando el error de sincronismo respecto del flanco positivo de $Sync_x$, indicado como t_{e_b} . De esta forma, se recupera la condición de sincronismo en el próximo flanco negativo de $Sync_x$, como se muestra en línea sólida.

Es importante resaltar que este procedimiento permite reducir el transitorio de sincronización, ante grandes errores de sincronismo, producidos por perturbaciones de gran señal, sin necesidad de modificar las operaciones básicas del control.

Reducción del transitorio de cruce

El transitorio de cruce, Δt_1 en la Fig. 6.6, depende de la magnitud de la perturbación y de los parámetros del sistema, tales como las tensiones de entrada-salida y el valor del inductor de fase. Sin embargo, Δt_1 se puede optimizar mediante la detección de la perturbación en el error de corriente, recurriendo a la información provista por las bandas de comparación. Esta detección no es posible en el SZCC clásico, debido a que solo se cuenta con la señal de cruce en un único punto. Luego, a partir de la información de amplitud proporcionada por las señales de cruce por las bandas, se puede definir la acción más conveniente para cada condición transitoria particular.

Dada la diversidad de casos transitorios posibles a analizar, se modela el control de corriente como una máquina de estados finitos (*Finite State Machine*, FSM). Los diferentes estados de la FSM surgen de analizar los distintos casos

por los que evoluciona el error de corriente. Estos casos, que se indican en la Fig. 6.8, están diferenciados por cambios en las señales de detección de cruce por las bandas y el signo de la pendiente de i_{ex} .

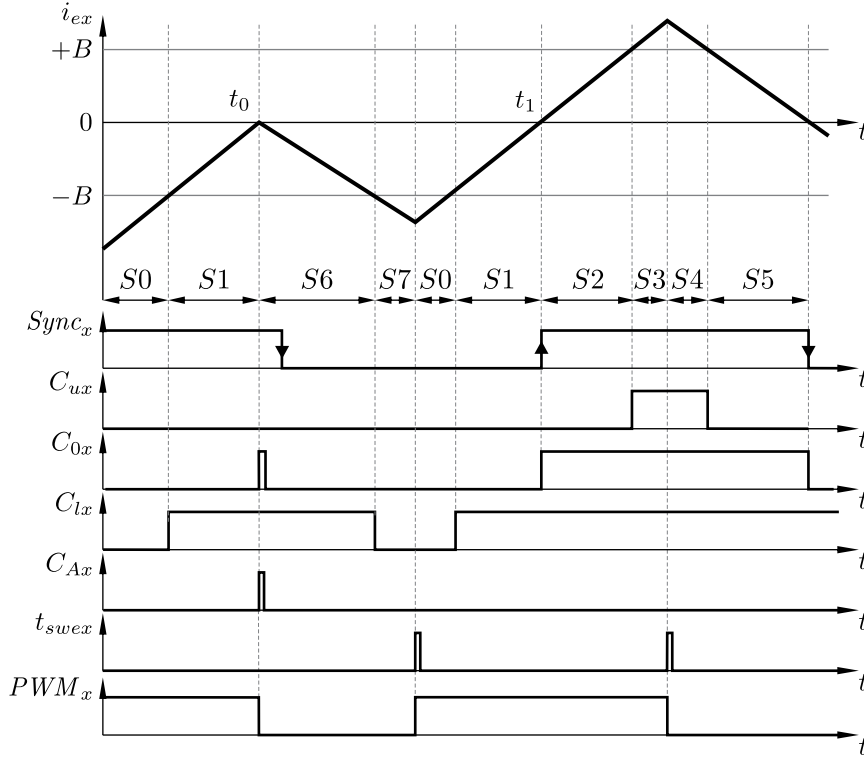


Figura 6.8: Identificación de los diferentes estados del sistema.

En esta figura, la señal $C_{Ax} = 1$ indica que $t_e(k) > T_{Sync}/4$, lo cual implica que es necesario aplicar el procedimiento mostrado en la Fig. 6.7. Por otro lado, la señal t_{swe_x} indica que el tiempo de conmutación $t_{sw}^\pm(k+1)$ ha transcurrido, por lo cual es necesario efectuar una conmutación. Luego, el vector de entrada, que define las transiciones de la FSM, está dado por $(C_{ux} \ C_{0x} \ C_{lx} \ C_{Ax} \ t_{swe_x})$. La salida de la máquina de estados corresponde a la señal PWM_x , la cual se utiliza para comandar la llave de la fase x . Como se puede notar, el cruce por cero de i_{ex} en el instante t_0 (flanco positivo de C_{0x}), ocurre próximo a un flanco

negativo de la señal $Sync_x$, tal como se indica a través de $C_{Ax} = 1$. Por lo tanto, la señal PWM_x se conmuta inmediatamente, de forma tal de minimizar el transitorio de sincronismo. Los instantes de conmutación, calculados a partir de las expresiones (6.9) y (6.11), se indican mediante $t_{swex} = 1$.

El análisis de esta figura permite definir ocho estados diferentes, dependiendo de las señales de comparación y del signo de la pendiente de i_{ex} , que se determina a partir de la señal de salida PWM_x . Estos estados se resumen en la Tabla 6.1.

Tabla 6.1: Estados del control de corriente.

Estado	$(C_{ux} \ C_{0x} \ C_{lx})$	Pendiente de i_{ex}
$S0$	(0 0 0)	Positiva
$S1$	(0 0 1)	Positiva
$S2$	(0 1 1)	Positiva
$S3$	(1 1 1)	Positiva
$S4$	(1 1 1)	Negativa
$S5$	(0 1 1)	Negativa
$S6$	(0 0 1)	Negativa
$S7$	(0 0 0)	Negativa

A partir de este modelo, es posible detectar variaciones en forma de escalón en i_{ex} , y definir la acción más conveniente para optimizar el transitorio de cruce. Estas variaciones se pueden identificar a partir de la detección de un cambio simultáneo en dos o mas señales de cruce por las bandas. Una vez identificadas, se define la transición de estados más conveniente de forma tal de optimizar el seguimiento de la referencia y reducir el tiempo transitorio. En la Fig. 6.9 se muestra un ejemplo particular, en el cual se produce un cambio en escalón en i_{Ref} en el instante t_0 . En este caso, i_{ex} cruza por cero y por la banda inferior

en un tiempo muy pequeño, por lo que C_{0x} y C_{lx} cambian simultáneamente a $C_{0x} = C_{lx} = 0$. Existen dos acciones posibles a seguir: pasar al estado $S7$ y calcular t_{sw} utilizando información previa a t_0 (como se muestra en línea punteada), o conmutar la salida PWM_x pasando al estado $S0$ y esperar el próximo cruce por cero (como se muestra en línea sólida). En este caso, la transición óptima es pasar al estado $S0$, dado que genera menor tiempo entre el transitorio y el cruce por cero. Una vez detectado el cruce en $t = t_1$, se calcula el tiempo de conmutación de modo de sincronizar el error de corriente en t_2 .

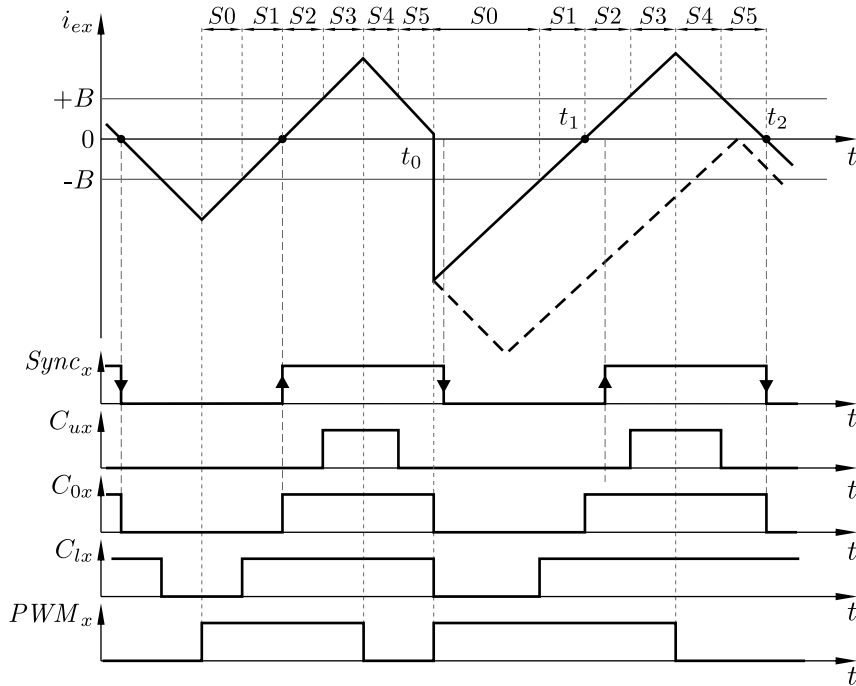


Figura 6.9: Transiciones de estado ante un escalón en i_{Ref} en t_0 .

Analizando de forma análoga todos los posibles cambios en forma de escalón en i_{Ref} y la acción óptima en cada caso, se obtiene la máquina de estados completa, que se detalla en la Tabla 6.2.

Tabla 6.2: Transiciones completas de la máquina de estados.

Estado actual	Vector de entrada	Estado siguiente	Estado actual	Vector de entrada	Estado siguiente
$S0$	$000xx$	$S0$	$S4$	$000xx$	$S0$
$S0$	$001xx$	$S1$	$S4$	$001xx$	$S6$
$S0$	$011xx$	$S2$	$S4$	$011xx$	$S5$
$S0$	$111xx$	$S4$	$S4$	$111xx$	$S4$
$S1$	$000xx$	$S0$	$S5$	$000xx$	$S0$
$S1$	$001xx$	$S1$	$S5$	$0010x$	$S6$
$S1$	$0110x$	$S2$	$S5$	$0011x$	$S2$
$S1$	$0111x$	$S6$	$S5$	$011xx$	$S5$
$S1$	$111xx$	$S4$	$S5$	$111xx$	$S4$
$S2$	$000xx$	$S0$	$S6$	$000xx$	$S7$
$S2$	$001xx$	$S1$	$S6$	$001x0$	$S6$
$S2$	$011x0$	$S2$	$S6$	$001x1$	$S1$
$S2$	$011x1$	$S5$	$S6$	$011xx$	$S5$
$S2$	$111xx$	$S3$	$S6$	$111xx$	$S4$
$S3$	$000xx$	$S0$	$S7$	$000x0$	$S7$
$S3$	$001xx$	$S1$	$S7$	$000x1$	$S0$
$S3$	$011xx$	$S2$	$S7$	$001xx$	$S6$
$S3$	$111x0$	$S3$	$S7$	$011xx$	$S5$
$S3$	$111x1$	$S4$	$S7$	$111xx$	$S4$

El diagrama en bloques del control propuesto, para la fase x , se muestra en la Fig. 6.10, donde se representan las operaciones descritas anteriormente. El bloque de cálculo de $t_{sw}^{\pm}(k+1)$ y C_{Ax} indica, a partir del error de sincronismo $t_e(k)$, el instante de conmutación dado por (6.9) y (6.11), y el caso de gran error de sincronismo $t_e(k) > T_{Sync}/4$. Por otra parte, la máquina de estados utiliza estas señales en conjunto con las de cruce, para generar la señal de comando de la llave PWM _{x} .

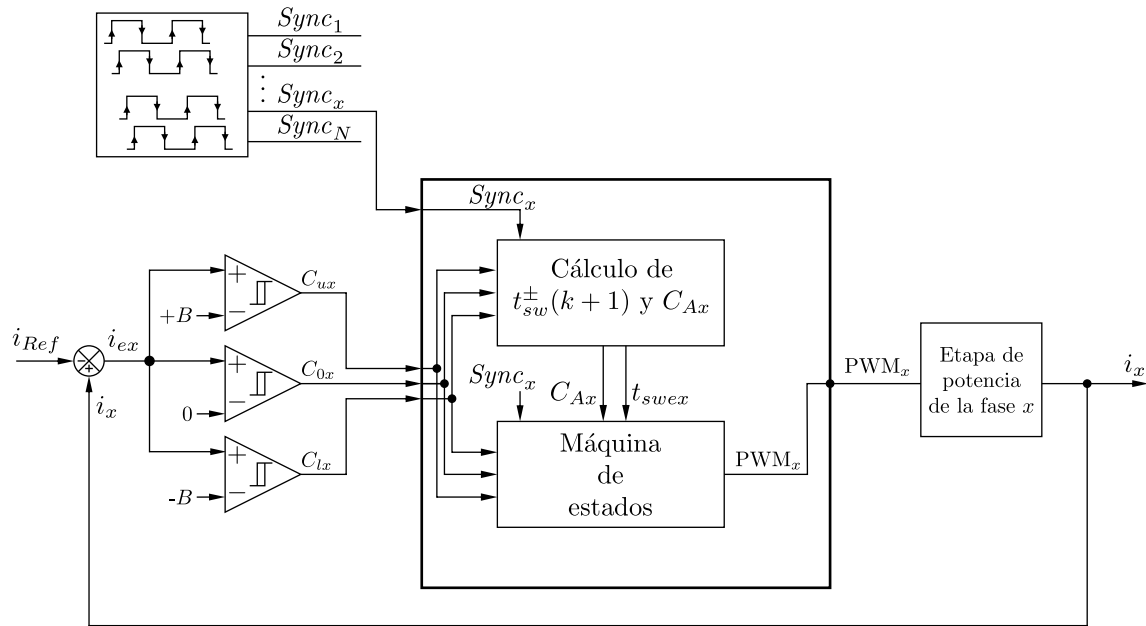


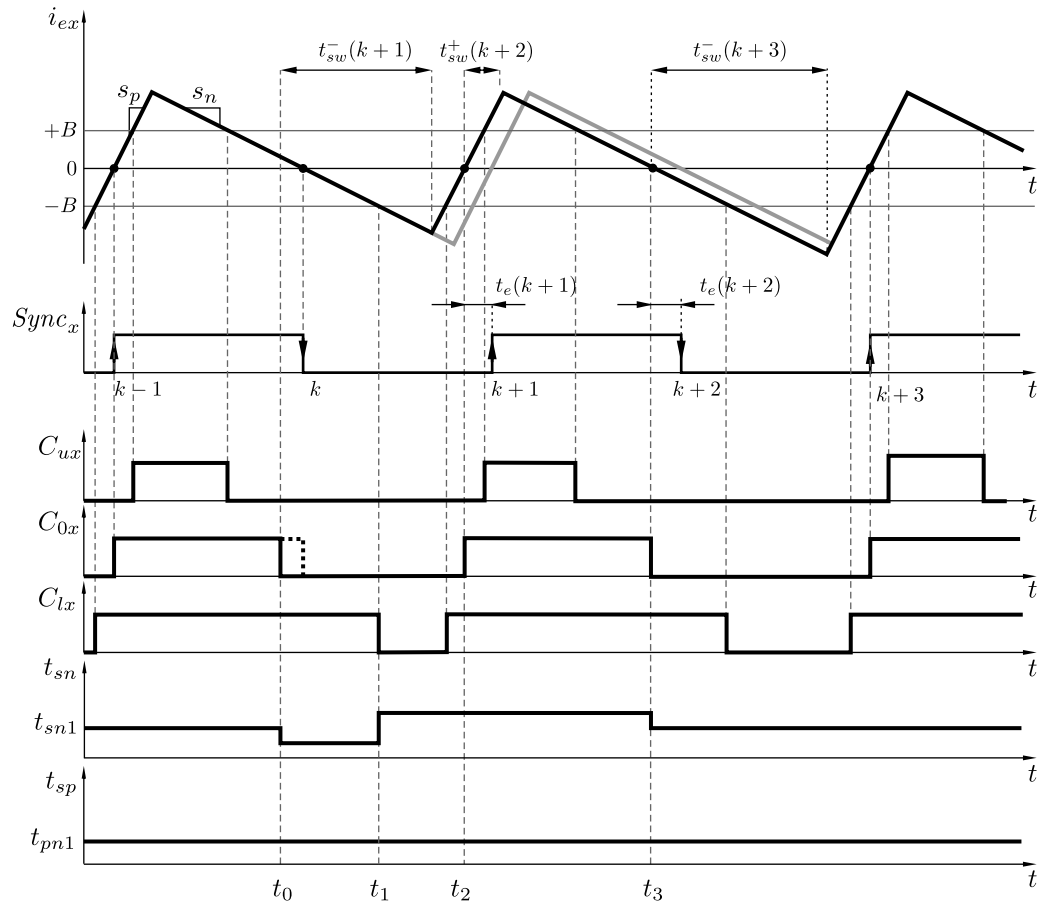
Figura 6.10: Diagrama en bloques del control propuesto.

6.3. Análisis de errores

En esta sección se analizan las principales fuentes de error a las que está sujeto el control propuesto, tales como errores en la detección de cruces por las bandas, cuantificación en la medición de los tiempos, y retardos de encendido y apagado de las llaves. Este análisis tiene como objetivo evaluar el impacto de estas fuentes de error y establecer soluciones.

6.3.1. Error en la detección de cruces

La detección del cruce por cero y por las bandas de comparación está sujeta a errores debido a ruido captado por el circuito de medición en las cercanías del punto de cruce. En la Fig. 6.11 se muestra la respuesta transitoria originada por una detección errónea del cruce por cero en $t = t_0$.


 Figura 6.11: Respuesta a detección errónea de cruce en $t = t_0$.

Como se puede observar en la Fig. 6.11, el flanco negativo de C_{0x} , que ocurre en el instante t_0 , es previo al cruce por cero real del error de corriente, debido a ruido en la medición. Esta detección errónea produce un error en la medición de los tiempos asociados a la pendiente negativa. Adicionalmente, dado que esta detección se produjo en el cruce por cero, el control mide un error de sincronismo entre este cruce y el flanco negativo de $Sync_x$, ubicado en el instante k . Si se asume que no ocurren nuevos errores de detección, el control calcula $t_{sw}^-(k+1)$ con información incorrecta, tanto de error de sincronismo como de la pendiente negativa. Por lo tanto, el cruce por cero en t_2 es previo a su correspondiente flanco de sincronismo en $k+1$, lo cual genera un error de sincronismo $t_e(k+1)$.

A partir de este error, el control calcula $t_{sw}^+(k+2)$ para sincronizar el cruce por cero con el flanco de sincronismo en $k+2$. Sin embargo, dado que la información correspondiente a la pendiente negativa no se actualiza hasta el próximo cruce por cero en t_3 , se produce un nuevo error de sincronismo $t_e(k+2)$. A partir de $t_e(k+2)$, y de la información actualizada de las pendientes, se calcula $t_{sw}^-(k+3)$ de forma de sincronizar el cruce por cero y el flanco positivo de $SynC_x$ en $k+3$.

Debido a que el cálculo del tiempo de conmutación se realiza a partir de la información contenida dentro del semiperíodo de sincronismo previo, se puede concluir que los errores producidos por detecciones erróneas de cruce no son acumulativos. Por otro lado, la naturaleza aleatoria del ruido, da lugar a pequeños errores aleatorios de sincronismo en estado estacionario.

6.3.2. Efecto de cuantificación en la medición de tiempos

El uso de plataformas digitales es una alternativa muy atractiva para la implementación del control de corriente propuesto, debido a la precisión requerida para generar las señales de disparo en convertidores multifásicos, y al tipo de operaciones presentes en el control [40, 56]. Sin embargo, el uso de este tipo de plataforma implica una resolución finita en la medición de los tiempos de cruce por las bandas, relacionada con el período de reloj utilizado, T_{CLK} . Por lo tanto, debido a este proceso de cuantización existirá un error de sincronismo en estado estacionario.

Para calcular el error de sincronismo, se recurre a la situación que se muestra en la Fig. 6.12. Como se puede observar, la medición de tiempos asociada a los eventos de cruce por las bandas se realiza empleando un contador B_{count} , que se comanda en función de las señales de cruce C_{ux} , C_{0x} y C_{lx} . De esta forma, el valor del contador N_{sp} y N_{sn} es un indicador de los tiempos t_{sp} y t_{sn} , respectivamente.

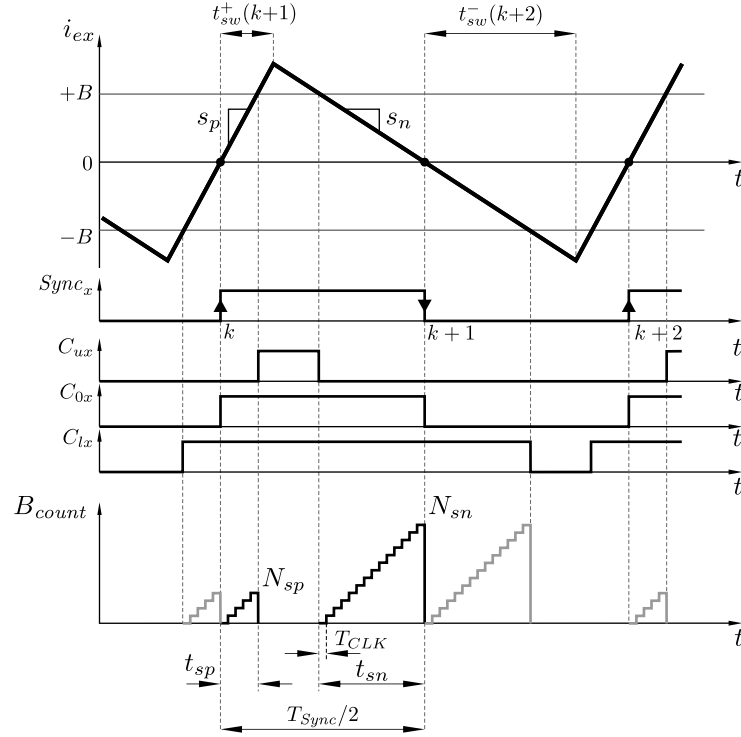


Figura 6.12: Cuantificación en la medición de tiempos.

Los tiempos de cruce medidos por el contador digital, t_{sp_d} y t_{sn_d} se pueden expresar en función de los tiempos reales t_{sp} y t_{sn} , considerando que la máxima diferencia entre ellos es de un período de reloj,

$$t_{sp_d} = N_{sp}T_{CLK} = t_{sp} \pm \frac{T_{CLK}}{2} \quad (6.13)$$

$$t_{sn_d} = N_{sn}T_{CLK} = t_{sn} \pm \frac{T_{CLK}}{2}. \quad (6.14)$$

A partir de los tiempos t_{sp_d} y t_{sn_d} , es posible calcular $t_{sw}^+(k+1)$ mediante la expresión (6.11),

$$t_{sw_d}^+(k+1) = \frac{t_{sp_d}}{t_{sp_d} + t_{sn_d}} \cdot t_{hp}(k+1) \quad (6.15)$$

Luego, el error relativo en el tiempo de conmutación, debido a la cuantificación en la medición de tiempos, se puede obtener mediante (6.16). En esta expresión

se asume que la suma de los tiempos de cruce es mucho mayor que T_{CLK} , es decir, $t_{sp} + t_{sn} \gg T_{CLK}$.

$$e_{t_{sw}^+} = \frac{t_{sw_d}^+(k+1) \propto t_{sw}^+(k+1)}{t_{sw}^+(k+1)} \approx \pm \frac{T_{CLK}}{2t_{sp}} \quad (6.16)$$

Operando de forma análoga, es posible obtener el error en $t_{sw}^-(k+2)$:

$$e_{t_{sw}^-} = \frac{t_{sw_d}^-(k+2) \propto t_{sw}^-(k+2)}{t_{sw}^-(k+2)} \approx \pm \frac{T_{CLK}}{2t_{sn}} \quad (6.17)$$

De esta forma, se pueden calcular los errores de sincronismo a partir de (6.16) y (6.17), en función de las pendientes del error de corriente y del período de conmutación. En la Fig. 6.13 se muestran el error de corriente y la señal de sincronismo correspondientes a la fase x . Inicialmente, en el instante k , el cruce por cero con pendiente positiva coincide con el flanco positivo de la señal de sincronismo. Luego, el control calcula el tiempo de conmutación $t_{sw}^+(k+1)$, que sincroniza el próximo cruce por cero con pendiente negativa y el flanco negativo de la señal de sincronismo en $k+1$. Como se puede observar, debido al error que produce la cuantificación en la medición de las pendientes, el instante real de conmutación tiene lugar dentro del intervalo $t_{sw}^+(k+1) e_{t_{sw}^+}$. Esta indeterminación en el instante de conmutación produce que el punto de cruce por cero con pendiente negativa este situado dentro del intervalo Δt_{en} .

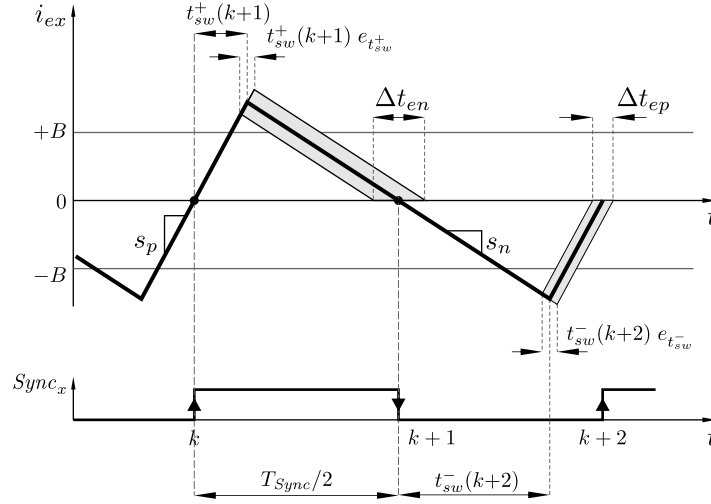


Figura 6.13: Error de sincronismo debido a cuantificación en la medición de tiempos.

A partir de la situación ilustrada en la Fig. 6.13 es posible establecer la siguiente relación de estado estacionario:

$$s_p t_{sw}^+(k+1) e_{t_{sw}^+} = \infty s_n \left(\frac{\Delta t_{en}}{2} \infty t_{sw}^+(k+1) e_{t_{sw}^+} \right) \quad (6.18)$$

Luego, resolviendo para Δt_{en} y combinando con (6.6):

$$\Delta t_{en} = 2 \frac{s_p \infty s_n}{\infty s_n} t_{sw}^+(k+1) e_{t_{sw}^+} \approx \frac{T_{sync}}{2} \frac{T_{CLK}}{t_{sp}} \quad (6.19)$$

Operando de forma análoga para Δt_{ep} :

$$\Delta t_{ep} = 2 \frac{s_p \infty s_n}{s_p} t_{sw}^-(k+2) e_{t_{sw}^-} \approx \frac{T_{sync}}{2} \frac{T_{CLK}}{t_{sn}} \quad (6.20)$$

Como se puede observar, el error de sincronismo depende de la relación entre T_{CLK} y los tiempos de cruce, es decir, de la cantidad de pulsos de reloj con la cual se realiza la medición de los tiempos. Esta cantidad de pulsos de reloj depende

a su vez, en estado estacionario, de las pendientes del error de corriente y de la amplitud de las bandas de comparación, $\pm B$. Por lo tanto, es posible definir $\pm B$ en función del máximo error de sincronismo tolerable, tal como se desarrolla a continuación.

Amplitud de las bandas de comparación

La amplitud de las bandas de comparación se debe dimensionar en función del valor de los elementos del convertidor, la frecuencia de conmutación y el período T_{CLK} . A partir de la Fig. 6.12, es posible expresar la amplitud de las bandas en estado estacionario como

$$B = s_p t_{sp} = \infty s_n t_{sn}. \quad (6.21)$$

Para garantizar que la amplitud del ripple en estado estacionario sea mayor que las bandas de comparación, se define el valor máximo de las bandas B_{max} , en función de la amplitud mínima del ripple Δi_{min} :

$$B_{max} < \frac{\Delta i_{min}}{2} \quad (6.22)$$

En el caso particular de un convertidor buck, B_{max} se puede expresar como:

$$B_{max} < \frac{V_{IN}(1 - D_m)D_m T_{Sync}}{2L} \quad (6.23)$$

donde D_m es el ciclo de trabajo correspondiente a la menor amplitud del ripple Δi_{min} , el cual depende de los rangos de tensión de entrada y salida.

Por otro lado, existe una amplitud mínima de las bandas, B_{min} , relacionada con el período de reloj del contador B_{count} . En tal sentido, para la medición de los tiempos de cruce por las bandas, se debe definir el máximo error de sincronismo Δt_{emax} , a partir de las expresiones (6.19) y (6.20). Luego, la amplitud mínima de

la banda se determina como

$$B_{min} = t_{s_{dmin}} s_{max} = \left(t_s \pm \frac{T_{CLK}}{2} \right) s_{max} = \quad (6.24)$$

$$= \frac{T_{CLK}}{2} s_{max} \left(\frac{T_{Sync}}{\Delta t_{e_{max}}} \pm 1 \right) \quad (6.25)$$

donde s_{max} es la máxima pendiente del ripple. Esta pendiente depende del valor del inductor de fase, el período de conmutación y el rango de ciclos de trabajo. El peor caso en (6.25), que determina la amplitud mínima de la banda, se establece usando el signo positivo en la expresión entre paréntesis, es decir:

$$B_{min} = \frac{T_{CLK}}{2} s_{max} \left(\frac{T_{Sync}}{\Delta t_{e_{max}}} + 1 \right) \quad (6.26)$$

Para el caso de un convertidor buck, las pendientes están dadas por:

$$|s_{p_{buck}}| = \frac{V_{IN}(1 \infty D)}{L} \quad (6.27)$$

$$|s_{n_{buck}}| = \frac{V_{IN}D}{L} \quad (6.28)$$

Debido a la simetría de la amplitud del ripple en esta topología, el ciclo de trabajo correspondiente a la máxima pendiente coincide con el ciclo de trabajo correspondiente a Δi_{min} , es decir, $D = D_m$. Luego, s_{max} se puede determinar a partir de:

$$s_{max} = \max \left(\frac{V_{IN}(1 \infty D_m)}{L}, \frac{V_{IN}D_m}{L} \right) \quad (6.29)$$

De esta forma, la amplitud de la bandas de comparación debe estar comprendida entre B_{min} , determinada por (6.26), y B_{max} , que se determina a partir de (6.23).

6.3.3. Retardo de encendido y apagado de las llaves

El retardo en el encendido y apagado de las llaves semiconductoras puede producir errores de sincronización, debido a que el instante real de la conmutación difiere del calculado a partir de las expresiones (6.9) y (6.11). Este error de sincronización genera a su vez errores en el valor medio de la corriente de fase, que depende de las pendientes de la corriente y la magnitud de los retardos. En la Fig. 6.14 se muestra la evolución del error de corriente de una fase, cuando existen retardos de encendido, t_{on} , y de apagado, t_{off} , en las llaves del convertidor. A modo de referencia, en la figura se muestra el error de corriente para el caso ideal sin retardos, en línea punteada.

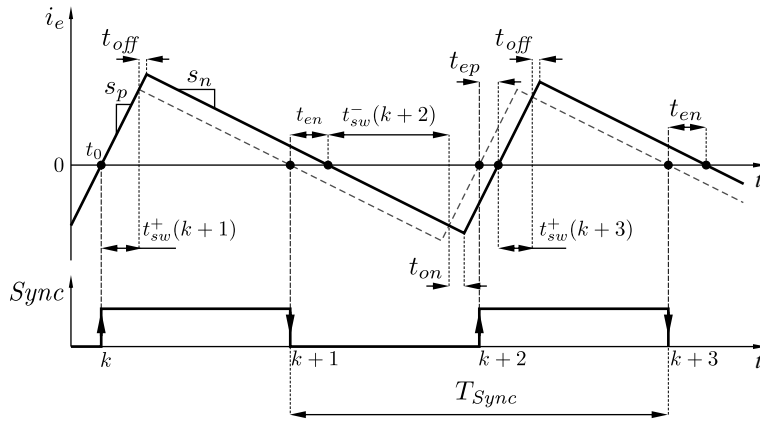


Figura 6.14: Error debido al retardo de las llaves.

Inicialmente, en t_0 , el control opera sin error de sincronización y calcula el tiempo de conmutación $t_{sw}^+(k+1)$, de forma tal de que el próximo cruce por cero coincida con el flanco descendente de la señal de sincronismo en $k+1$. Sin embargo, debido al retardo de apagado t_{off} , el próximo cruce por cero ocurre en un instante posterior al flanco de sincronismo, lo cual ocasiona un error de sincronización t_{en} . A partir de este error se calcula el tiempo de conmutación

$t_{sw}^-(k+2)$, para sincronizar el próximo cruce por cero con el flanco positivo de $Sync_x$ en $k+2$, donde se produce un nuevo error de sincronismo, t_{ep} , debido al retardo de encendido t_{on} .

Si se considera que las pendientes del error de corriente se mantienen constantes, y no existen variaciones en i_{Ref} , los errores de sincronización se pueden calcular a partir de las pendientes s_p y s_n , y de los tiempos t_{on} y t_{off} , tal como se indica en (6.30) y (6.31). Es importante notar que, debido que solo se analiza el efecto de los retardos, el instante de cruce por cero es siempre posterior a su correspondiente sincronismo. Por lo tanto, de acuerdo con la definición (6.2), los tiempos t_{en} y t_{ep} son negativos.

$$t_{off}s_p = \infty(\infty t_{en} \infty t_{off})s_n \infty \rightarrow t_{en} = \infty \frac{s_p \infty s_n}{\infty s_n} t_{off} \quad (6.30)$$

$$\infty t_{on}s_n = (\infty t_{ep} \infty t_{on})s_p \infty \rightarrow t_{ep} = \infty \frac{s_p \infty s_n}{s_p} t_{on} \quad (6.31)$$

Para calcular el error en el valor medio es necesario conocer los picos de la corriente en el instante de apagado y de encendido de la llave, denominados i_{off} e i_{on} , respectivamente. Estos picos se pueden calcular mediante las expresiones del tiempo de conmutación, los retardos de encendido y apagado, y las pendientes de la corriente, como:

$$i_{off} = t_{sw}^+(k+3)s_p + t_{off}s_p = \frac{\infty s_n s_p}{s_p \infty s_n} \left(\frac{T_{Sync}}{2} \infty \frac{s_p \infty s_n}{s_p} t_{on} \right) + t_{off}s_p \quad (6.32)$$

$$i_{on} = t_{sw}^-(k+2)s_n + t_{on}s_n = \frac{s_n s_p}{s_p \infty s_n} \left(\frac{T_{Sync}}{2} \infty \frac{s_p \infty s_n}{\infty s_n} t_{off} \right) + t_{on}s_n. \quad (6.33)$$

Luego, el error en el valor medio de la corriente en estado estacionario, se puede calcular mediante:

$$i_{err} = \frac{i_{off} + i_{on}}{2} = s_n t_{on} + s_p t_{off} \quad (6.34)$$

En un convertidor buck, a partir de la condición de estado estacionario, se puede establecer la siguiente relación entre las pendientes:

$$DT_{sw}s_p = \infty(1 \infty D)T_{sw}s_n \infty \rightarrow s_n = \infty \frac{1 \infty D}{D}s_p. \quad (6.35)$$

Reemplazando (6.35) en (6.34), y dado que en un convertidor buck $s_p = \frac{V_{IN}(1-D)}{L}$:

$$i_{err} = 2 \frac{V_{IN}}{L} (t_{off}(1 \infty D) \infty t_{onD}) \quad (6.36)$$

De (6.36) se puede observar que el error en el valor medio en estado estacionario depende del ciclo de trabajo. Particularmente, el error es positivo para $D \approx 0$, y negativo cuando $D \approx 1$. Si $D = 0,5$, las pendientes s_p y s_n son iguales, y el error esta determinado por la resta entre el tiempo de apagado y el tiempo de encendido de las llaves.

Debido que el control propuesto calcula ambos tiempos de conmutación, es posible modificar las expresiones (6.9) y (6.11) para considerar los tiempos de encendido y apagado de las llaves, lo cual evita el error en el valor medio de la corriente debido a este fenómeno:

$$t_{sw}^-(k+1) = \frac{t_{sn}(k)}{t_{sp}(k) + t_{sn}(k)} \cdot t_{hp}(k+1) \infty t_{onC} \quad (6.37)$$

$$t_{sw}^+(k+1) = \frac{t_{sp}(k)}{t_{sp}(k) + t_{sn}(k)} \cdot t_{hp}(k+1) \infty t_{offC} \quad (6.38)$$

donde t_{onC} y t_{offC} son los tiempos de encendido y apagado de corrección. Estos tiempos se pueden determinar a partir de las especificaciones de las llaves semiconductoras y los drivers utilizados, o mediante mediciones en la etapa de puesta a punto del convertidor.

6.4. Resultados experimentales

Con el objetivo de validar el control propuesto, se llevaron a cabo ensayos experimentales en un convertidor buck de 3 fases. Estos ensayos se centran en evaluar las dos características principales del control: seguimiento de la referencia de corriente y respuesta dinámica.

6.4.1. Implementación

El banco experimental se muestra en forma esquemática en la Fig. 6.15, y una fotografía del prototipo implementado en la Fig 6.16. El banco está compuesto por la etapa de potencia, circuitos de sensado y detección de cruce, y una carga RC variable para producir cambios en la tensión de salida a i_{Ref} constante. Para la implementación digital del control de corriente, se utiliza un arreglo de compuertas programables (*Field Programmable Gate Array*, FPGA), debido a la capacidad de estos dispositivos de aprovechar la característica modular del control de corriente [40].

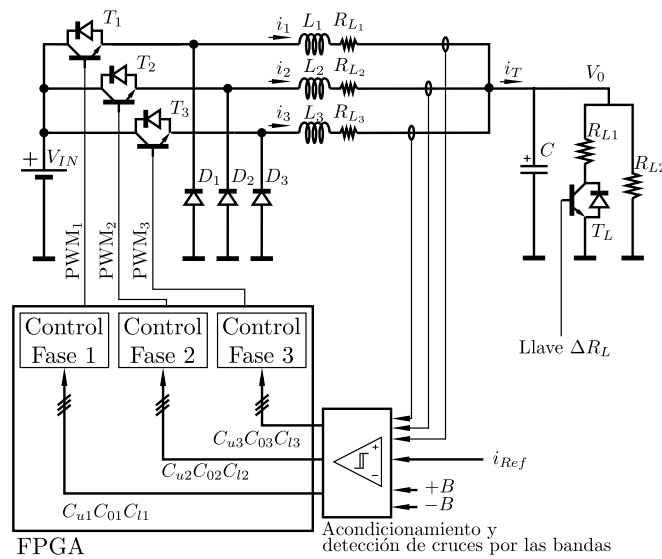
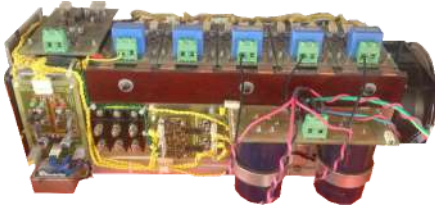


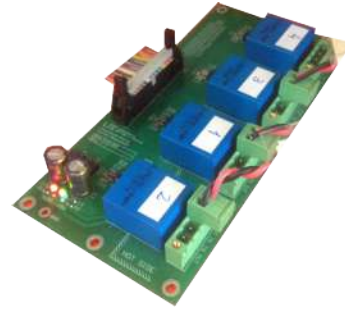
Figura 6.15: Diagrama en bloques del banco experimental.



(a) Placas de acondicionamiento, detección de cruces y control.



(b) Convertidor buck de tres fases.



(c) Placa de sensado de corriente.

Figura 6.16: Banco experimental.

La implementación del circuito de acondicionamiento y detección de cruces, cuyos circuitos esquemáticos se muestran en el Apéndice C, se realiza teniendo en cuenta las posibles interferencias entre fases. La corriente de cada fase se mide utilizando transductores de corriente de efecto hall, LEM LA25-NP, con salida en corriente. La salida del transductor de corriente de cada fase se mide en forma diferencial utilizando una resistencia $R_{shunt} = 100 \Omega$, en conjunto con un amplificador de instrumentación AD8250, para determinar la caída de tensión $V_s = iR_{shunt}$. El amplificador AD8250 posee alto rechazo al ruido de modo común a alta frecuencia, lo cual permite el correcto desacople de los módulos a f_{sw} y Nf_{sw} . Una tensión proporcional al error de corriente, V_{ie} , se genera restando la tensión proporcional a la referencia de corriente, V_{iRef} , de la tensión medida, $V_{ie} = V_s \propto V_{iRef}$, usando el mismo tipo de amplificadores de instrumentación. La

detección de cruce por las bandas se realiza utilizando comparadores analógicos. Estos comparadores están provistos de una banda de histéresis lo suficientemente pequeña como para evitar falsas detecciones sin agregar retardos significativos.

Los parámetros más relevantes del prototipo se resumen en las Tablas 6.3 y 6.4.

Tabla 6.3: Parámetros del banco experimental. Parte 1.

Descripción	Valor
Frec. de conmutación, f_{sw}	12 KHz
Tensión de entrada, V_{IN}	30 V
Tensión de salida, V_0	2 V a 20 V
Impedancia de carga, R_L	400 m Ω a 1,45 Ω
Máxima corriente total, $i_{T_{max}}$	30 A
Inductancia de fase 1, L_1	260 μ H
Inductancia de fase 2, L_2	253 μ H
Inductancia de fase 3, L_3	240 μ H
Resistencia serie del inductor, R_{L_j}	100 m Ω
Resistencia serie de la llave, R_{SON}	70 m Ω
Tensión de sat. de la llave, V_{SON}	1,9 V
Resistencia serie del diodo, R_{DON}	90 m Ω
Retardo de encendido, t_{on}	1 μ s
Retardo de apagado, t_{off}	2 μ s
Tensión en directa del diodo, V_{DON}	1,3 V

Tabla 6.4: Parámetros del banco experimental. Parte 2.

Descripción	Valor
Transductor de corriente	LEM LA25-NP
Ganancia del transductor, G_T	1 mA/A
Resistencia de med., R_{shunt}	$100 \Omega \pm 1 \%$
Ancho de banda del transductor	150 kHz
Precisión del transductor, ε_A	$\pm 0,5 \%$
Linealidad del transductor, ε_L	$< 0,2 \%$
Offset típico del transductor, I_{OS}	$\pm 0,05 \text{ mA}$
FPGA	Xilinx XC3S1600E (Spartan 3E-1600)
Longitud de palabra, M	10 bits
Frecuencia de reloj, T_{CLK}	$T_{sw}/2^M$

En base a las especificaciones de la Tabla 6.3, se puede determinar que la mínima amplitud del ripple de fase es aproximadamente $\Delta i_{min} \approx 600 \text{ mA}$, la cual determina el máximo valor de las bandas B_{max} de acuerdo a (6.23). El mínimo valor de las bandas de comparación se calcula mediante (6.26), a partir del máximo error de sincronismo tolerable, dado por (6.19) y (6.20). Luego, para un error máximo $\Delta t_{e_{max}} = \pm 0,01 T_{Sync}$, la amplitud B esta dada por:

$$\frac{V_{IN} \propto V_{0min}}{L} \frac{T_{Sync}}{2\Delta t_{e_{max}}} T_{CLK} < B < \frac{V_{IN} \propto V_{0min}}{2L} \frac{V_{0min}}{V_{IN}} T_{Sync}$$

$$220 \text{ mA} < B < 300 \text{ mA} \quad (6.39)$$

En base a estos resultados, se adopta $B = 250 \text{ mA}$.

Existen además errores debidos a las tolerancias y las no idealidades de los dispositivos que componen los circuitos de medición. El offset en la corriente medida está determinado principalmente por el offset del transductor de corriente, el

cual posee un valor típico $i_{x_{OS}} = I_{OS}/G_T = \pm 50 \text{ mA}$. Por otro lado, se espera un error dependiente de la magnitud de la corriente, producto de las alinealidades, la precisión y la tolerancia en la ganancia del transductor de corriente y sus componentes asociados. El error de ganancia, ε_G , está determinado principalmente por la tolerancia de la resistencia de medición R_{shunt} , la cual es $\varepsilon_G = \pm 1 \%$ en este caso. Por lo tanto, para la máxima corriente de fase, el error de medición está comprendido entre:

$$e_x = \frac{\varepsilon_L + \varepsilon_A + \varepsilon_G}{100} \frac{i_{T_{max}}}{3} = \pm 130 \text{ mA} / + 170 \text{ mA}. \quad (6.40)$$

6.4.2. Ensayos experimentales

La evaluación del control propuesto consta de dos ensayos experimentales. El primer ensayo evalúa un cambio abrupto en la carga, que genera una variación en la tensión de salida del convertidor manteniendo la corriente constante. En el segundo ensayo se realiza un cambio en escalón en i_{Ref} manteniendo constante la carga, lo cual genera un cambio en las corrientes de fase y en la tensión de salida. En ambos casos se evalúa la respuesta transitoria y el error en el valor medio de la corriente de fase para los distintos casos de i_{Ref} y V_0 .

En el primer ensayo, se recurre a la llave T_L para realizar el cambio en la resistencia de salida, de $R_L \approx 1,45 \Omega$ a $R_L \approx 0,4 \Omega$. La referencia de corriente se fija en $i_{Ref} = 4 \text{ A}$, i.e., $i_T = 3i_{Ref} = 12 \text{ A}$. En la Fig. 6.17 se muestra el error de corriente y la tensión de carga, junto con la señal de sincronismo y la señal de cruce por cero de cada fase. Como se puede observar, previo a $t = t_0$, la tensión de carga se encuentra estable a $V_{01} = 17,5 \text{ V}$. Luego del cambio en la carga se produce una variación en escalón en la tensión $\Delta V_0 = V_{01} - V_{02} = 12,5 \text{ V}$, que

modifica las pendientes del error de corriente, lo que produce un error de sincronismo transitorio. Cada fase determina la transición de estado más conveniente de forma tal de minimizar su tiempo transitorio, y recuperar la condición de sincronismo cuando se actualiza la información de las pendientes. Como resultado, se obtiene un tiempo transitorio menor a dos ciclos de conmutación, lo cual permite satisfacer los requerimientos de respuesta dinámica ante perturbaciones, cuando se requieren reducidos tiempos de establecimiento y existen limitaciones en la frecuencia de conmutación.

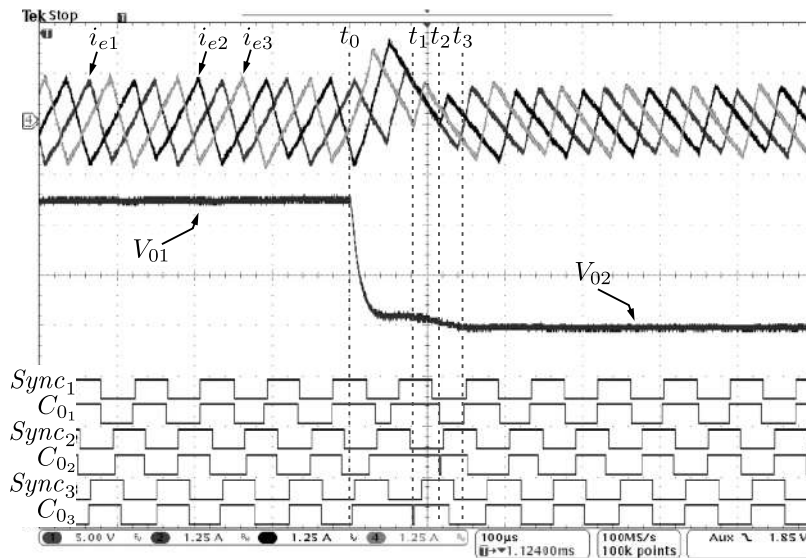


Figura 6.17: Respuesta del error de corriente a variaciones en la tensión de carga con i_{Ref} constante. $V_{01} = 17,5 \text{ V}$, $V_{02} = 5 \text{ V}$

En la Fig. 6.18 se muestra el error de corriente medio, calculado mediante una ventana deslizante con duración igual a un período de conmutación. El error resultante en las corrientes de fase, para ambas condiciones de carga, se muestra en la Tabla 6.5.

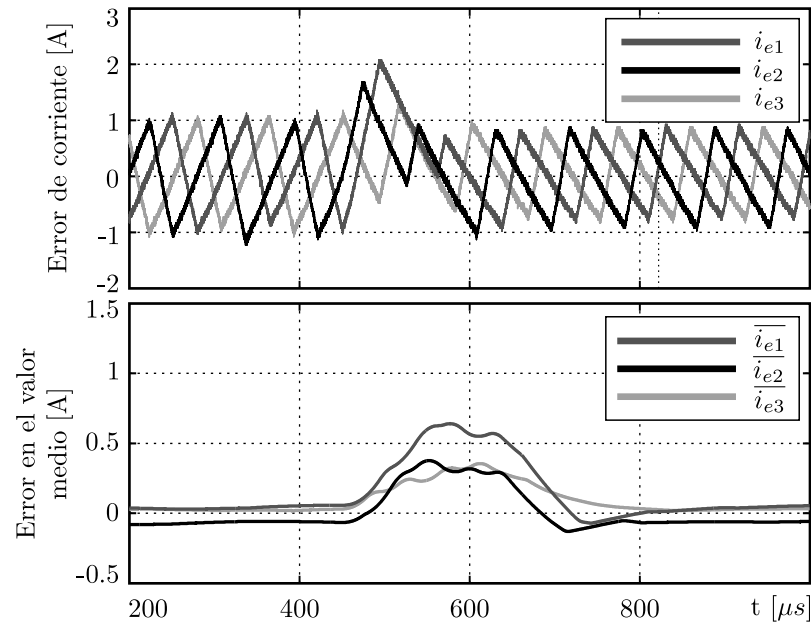


Figura 6.18: Respuesta ante cambios en la carga. Error de corriente de fase (sup) y error de corriente media (inf).

Tabla 6.5: Error en la corriente media. Cambio en la carga.

Fase	Error de corriente	
	$i_{Ref} = 4 \text{ A } V_{01} = 17,5 \text{ V}$	$i_{Ref} = 4 \text{ A } V_{02} = 5 \text{ V}$
Fase1	23,3 mA	30,3 mA
Fase2	36,5 mA	45,3 mA
Fase3	67,5 mA	61,9 mA

Como se puede observar, el error medio de cada fase, y por consiguiente la distribución de corriente entre las fases, no se ven afectadas significativamente por la variación en la carga. Los errores medidos, que están dados por el offset y la precisión de los circuitos de medición y transductores, se encuentran dentro del rango esperado.

El segundo ensayo evalúa la respuesta del convertidor de tres fases a escalones en i_{Ref} . En la Fig. 6.19 se muestra el error en las corrientes de fase i_{e_x} , la tensión de salida V_0 y las señales de sincronismo y cruce por cero de cada fase, cuando la referencia de corriente se modifica de $i_{Ref1} = 2\text{ A}$ a $i_{Ref2} = 10\text{ A}$ en $t = t_0$. Es importante destacar que la modificación en la corriente total produce una variación en V_0 , debido a la operación del convertidor como fuente de corriente, lo cual modifica las pendientes y la amplitud de los ripples de fase.

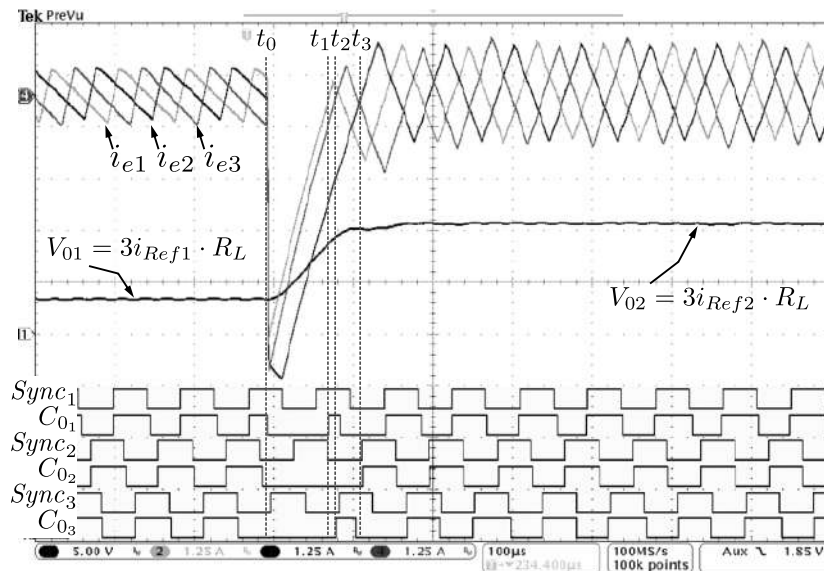


Figura 6.19: Respuesta del error de corriente a escalón en i_{Ref} con carga constante. $i_{Ref1} = 2\text{ A}$, $i_{Ref2} = 10\text{ A}$

Cuando se detecta el primer cruce por cero del error de corriente posterior a la perturbación, cada fase determina la transición de estado más conveniente, de forma tal de minimizar su tiempo transitorio, el cual resulta del orden de un ciclo de conmutación.

En la Fig. 6.20 se muestra el error medio en las corriente de fase, calculado utilizando la ventana deslizante. Como se puede observar, a pesar del cambio

en i_{Ref} y la variación asociada en V_0 , el sistema recupera el valor medio con error despreciable dentro de unos pocos ciclos de conmutación. En la Tabla 6.6 se muestra el error en el valor medio de cada fase para ambas condiciones de referencia de corriente. El error inicial y la variación en el error se encuentran dentro del rango esperado, según las tolerancias y errores propios del sistema de medición.

Tabla 6.6: Error en la corriente media. Cambio en escalón de i_{Ref} .

Fase	Error de corriente	
	$i_{Ref} = 2 \text{ A } V_0 \approx 2,5 \text{ V}$	$i_{Ref} = 10 \text{ A } V_0 \approx 10 \text{ V}$
Fase1	49,4 mA	108,9 mA
Fase2	99,8 mA	121,9 mA
Fase3	$\approx 29,6 \text{ mA}$	4,6 mA

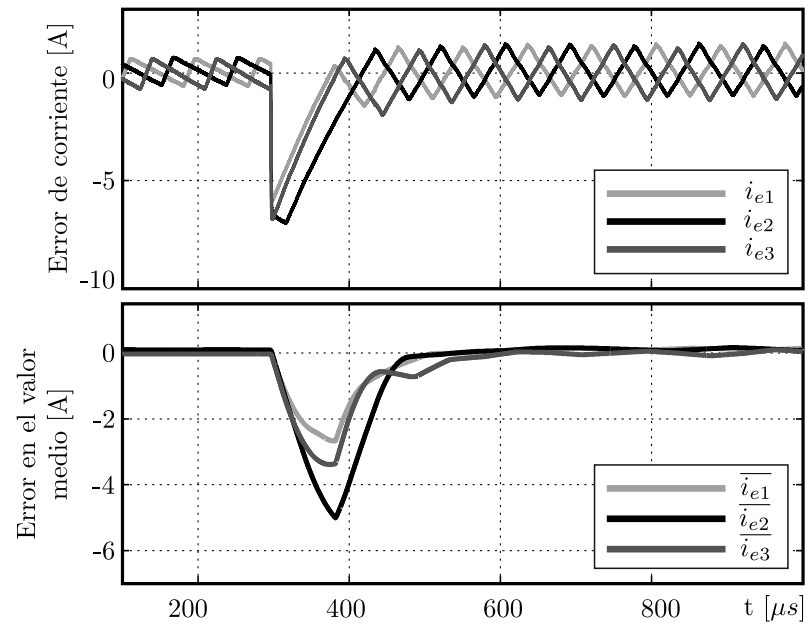


Figura 6.20: Respuesta ante cambios en la referencia. Error de corriente de fase (sup) y error de corriente media (inf).

6.5. Conclusiones del capítulo

En este capítulo se presentó un control de corriente interleaved para convertidores multifásicos, basado en un esquema de sincronismo y de determinación de los tiempos de conmutación mediante bandas de comparación. El control calcula los instantes de conmutación, para corregir diferencias de tiempo entre el cruce por cero del error de corriente y una señal de sincronismo. Este cálculo se realiza a partir de la información provista por la señal de sincronismo, y por el cruce del error de corriente por las bandas de comparación. Adicionalmente, estas bandas permiten detectar y optimizar casos transitorios producidos por cambios abruptos en el error de corriente.

La propuesta fue evaluada mediante ensayos experimentales, que verifican que el control propuesto no se ve afectado por el punto de operación del convertidor o los parámetros del sistema, tales como resistencias parásitas de los inductores de fase, caídas de tensión en los dispositivos semiconductores o impedancia de carga. Adicionalmente, estos ensayos muestran que el control es capaz de recuperar la condición de intercalado entre fases luego de grandes cambios en la referencia de corriente o perturbaciones en la tensión de salida, con una respuesta transitoria de unos pocos ciclos de conmutación. Esta respuesta permite satisfacer los requerimientos dinámicos en las aplicaciones de interés.

Capítulo 7

Conclusiones

En esta tesis se ha abordado la temática de convertidores multifásicos para aplicaciones de alta potencia y altas prestaciones, presentes normalmente en el campo de física de altas energías. Este campo posee dos requerimientos principales: elevada precisión en la corriente sobre la carga, del orden de cientos de ppm; y reducidos tiempos transitorios, del orden de algunos cientos de microsegundos.

Estos requerimientos son muy exigentes si se considera la potencia a la que opera el convertidor. La elevada magnitud de la corriente condiciona la máxima frecuencia de conmutación debido a las limitaciones tecnológicas de los dispositivos semiconductores, lo cual limita fuertemente la máxima precisión y respuesta dinámica alcanzable en el control de la corriente. En tal sentido, el uso de convertidores multifásicos proporciona dos beneficios que permiten cubrir estas demandas. En primer lugar, a partir de la división de la corriente total entre las N fases, se reducen las exigencias sobre los dispositivos semiconductores de cada fase. Por otra parte, el adecuado desfase entre los ripples de cada fase permite reducir el ripple de la corriente total, sin necesidad de incrementar la frecuencia de conmutación.

Si bien la reducción en las exigencias sobre los dispositivos semiconductores

permite incrementar la frecuencia de conmutación, los niveles de corriente y tensión por cada fase limitan esta frecuencia a algunas decenas de kilohertz. Por lo tanto, ante cambios en la referencia de corriente o perturbaciones en las tensiones de entrada y salida, el control de corriente debe recuperar la condición de máxima reducción de ripple y seguimiento preciso de la referencia de corriente en unos pocos ciclos de conmutación.

Una problemática adicional es que las características ventajosas antes expuestas se ven deterioradas en condiciones de operación no ideales. Con el objetivo de definir el impacto en estas condiciones, se realizó un estudio del efecto de los componentes parásitos y las no idealidades en las principales características de los convertidores multifásicos. Se determinó, a partir de la revisión bibliográfica, que estos factores afectan principalmente el valor medio y el ripple de la corriente total, ambas características de fundamental interés en las aplicaciones descriptas.

Respecto al ripple de la corriente total, se determinó que el factor predominante en su deterioro son las diferencias entre el valor de los inductores de fase, principalmente si se tiene en cuenta que su efecto no se puede eliminar totalmente por medio de estrategias de control. Adicionalmente, no se evidenciaron en la literatura estudios que permitan cuantificar este deterioro en cualquier condición de tolerancias en los inductores, lo cual dificulta determinar las características del ripple total en forma general y, en consecuencia, el diseño de estrategias tendientes a mitigar este problema en forma eficiente.

Con el objetivo de cuantificar el efecto de las diferencias entre los inductores de fase, se presentó un método que permite caracterizar el ripple de la corriente total bajo cualquier condición de diferencias entre los inductores. Esta caracterización permitió encontrar expresiones generales para el ripple de la corriente total y, a partir de estas expresiones, derivar magnitudes tales como su valor pico, valor RMS y contenido armónico. La validación del método de caracterización

propuesto se realizó a partir de ensayos experimentales sobre un convertidor multifásico de tres fases, los cuales muestran que las expresiones obtenidas predicen adecuadamente el ripple de la corriente total en un caso real.

Esta caracterización permitió además el desarrollo de un método para mitigar el problema generado por diferencias en el valor de los inductores, basado en ajustar la secuencia de sincronización de las fases. El método propuesto se basa en algoritmos genéticos y en una función de costo generada a partir de la caracterización antes propuesta, para obtener la secuencia de disparo de llaves que minimice el contenido de frecuencia de conmutación y de sus armónicos en el ripple total. A partir de simulaciones, se pudo determinar que el método propuesto obtiene mejores resultados que la única estrategia, existente en la literatura, que utiliza el mismo principio. Respecto de esta estrategia, el método propuesto permitió, por ejemplo, una reducción superior a 3 veces en la componente de frecuencia de conmutación, y 10 veces en la segunda armónica de esta componente en el ripple total, en un convertidor de ocho fases con una tolerancia en los inductores de 10 %. Adicionalmente, se evaluó el ripple de tensión en un filtro conectado al punto común entre fases para distinto número de fases, comparando los resultados del método propuesto con el peor caso y con los obtenidos mediante la estrategia propuesta en la literatura. Particularmente, para 10 fases se obtuvo una mejora en la amplitud del ripple de tensión de 88 %, respecto al peor caso, y de 60 %, respecto a la estrategia propuesta en la literatura.

Por otro lado, se determinó que la precisión en el valor medio de la corriente, así como también el impacto de los elementos parásitos sobre esta característica, está directamente relacionada con el control de corriente utilizado. En este sentido, se evaluaron las principales estrategias de control presentes en la literatura, para determinar su precisión en el valor medio y su respuesta dinámica. Como

conclusión, se determinó que los controles existentes no son capaces de satisfacer, en forma conjunta, todos los requerimientos presentes en las aplicaciones de interés. Se determinó que para algunas de estas estrategias de control, el tiempo de establecimiento ante perturbaciones abarca varios ciclos de conmutación y, en otras estrategias, el valor medio de la corriente resulta dependiente de los parámetros del sistema y de sus elementos parásitos.

Como solución a este problema, se presentó un control de corriente que permite satisfacer los requerimientos de dinámica y seguimiento del valor medio de la referencia en todo el rango de operación del convertidor. El control propuesto se basa en sincronizar los cruces por cero del error de corriente con una señal de sincronismo independiente por fase y en la utilización de tres bandas de comparación. Estas bandas se utilizan para determinar las pendientes del error de corriente, sin utilizar aproximaciones ligadas al valor de los elementos parásitos del convertidor, y para optimizar la respuesta dinámica mediante la detección de las diferentes condiciones transitorias. La propuesta fue validada mediante ensayos experimentales sobre el prototipo de un convertidor de tres fases. Se comprobó que el control propuesto recupera la condición de estado estacionario en menos de dos ciclos de conmutación, lo cual permite satisfacer los requerimientos transitorios en las aplicaciones de interés. Adicionalmente, el máximo error medido en el valor medio se encuentra dentro de los valores esperados, respecto a las tolerancias, dispersiones y alinealidades del transductor de corriente y sus circuitos asociados.

7.1. Trabajos Futuros

Los avances realizados en esta tesis pueden ser extendidos a aplicaciones relacionadas con la inyección de energía a la red eléctrica proveniente de fuentes

fotovoltaicas. Las investigaciones realizadas muestran que los convertidores multifásicos son aptos para estas aplicaciones, ya que permiten mejorar aspectos esenciales tales como eficiencia del convertidor y el seguimiento del punto de máxima transferencia de potencia (MPPT), entre otros.

La eficiencia del convertidor depende principalmente de las pérdidas de potencia por conducción y conmutación de las llaves semiconductoras. Los convertidores multifásicos permiten ajustar el balance entre éstas pérdidas, en función de la demanda de carga, mediante el control de la cantidad de fases activas. Un desafío de esta estrategia es realizar dicho ajuste, reduciendo el tiempo transitorio necesario para reconfigurar el adecuado desfase de señales de control, de modo de mantener una buena característica de atenuación del ripple de la corriente total. Adicionalmente, la problemática de la eficiencia del convertidor se ha abordado mediante el uso de técnicas de control de corriente que operan al límite entre el modo de conducción continua (CCM) y discontinua (DCM). Estas técnicas tienen como objetivo efectuar la conmutación de las llaves con corriente nula para reducir las pérdidas por conmutación. Sin embargo, tienen el inconveniente de generar un ripple de gran amplitud cuando se requieren elevados valores medio de corriente, por lo cual el correcto intercalado entre los ripples de fase resulta esencial, y las dispersiones en los componentes del convertidor toman gran preponderancia en las características de filtrado.

En relación a la máxima transferencia de potencia, existen dos aspectos importantes a satisfacer. En primer lugar, es necesario que el convertidor tenga una buena respuesta dinámica que permita recuperar la condición de MPPT ante perturbaciones en la carga y/o en la fuente de entrada. En segundo lugar, se busca que durante la operación en estado estacionario el convertidor presente un funcionamiento lo más próximo posible al punto de MPPT, es decir que el ripple de la corriente tomada de la fuente de entrada sea lo más pequeño posible, de modo

de reducir el corrimiento respecto a este punto de operación y las exigencias sobre los elementos de filtrado. En tal sentido, los convertidores boost multifásicos han mostrado características ventajosas en torno a estos dos aspectos. Sin embargo, resulta de interés evaluar en qué medida las ventajas de este convertidor se ven afectadas por la existencia inevitable de dispersiones de los componentes. Luego, el desafío con esta problemática es el desarrollo de nuevos métodos de control que mitiguen los efectos de dispersión de los componentes, y permitan así maximizar la transferencia de potencia en todo momento, y reducir las pérdidas y el costo en los elementos de filtrado del convertidor. Esta reducción en las exigencias sobre los elementos de filtrado puede, además, mejorar la vida útil y el tiempo medio entre fallas de este tipo de convertidores.

Otra problemática en el empleo de convertidores multifásicos para estas aplicaciones se presenta en el caso de emplear un arreglo paralelo de paneles fotovoltaicos cada uno de los cuales se encuentra sometido a diferentes condiciones de radiación, temperatura, y humedad. En tal sentido, cada fase del convertidor puede operar con diferentes niveles de corriente y ciclos de trabajo. En este caso la principal problemática es el desarrollo de un sistema de control que permita la operación en condiciones asimétricas entre fases, minimizando el ripple de corriente total para cualquier punto de operación.

Como puntos salientes, se vislumbran los siguientes aspectos a resolver:

- Control dinámico del balance entre pérdidas de conmutación y conducción mediante el ajuste del número de fases activas.
- Minimización de las pérdidas por conmutación del convertidor mediante nuevos métodos de control y/o configuraciones topológicas.
- Optimización de la respuesta dinámica y seguimiento de la referencia ante variaciones en la fuente de entrada y/o en la carga.

- Minimización del ripple total en condiciones de asimetrías entre fases, cuando se emplean fuentes de entradas basadas en arreglo de paneles fotovoltaicos.

Cada uno de estos aspectos es un campo de trabajo importante en el cual se pueden realizar aportes novedosos, tanto desde la óptica académica como de su potencial desarrollo aplicado.

7.2. Publicaciones Derivadas de la Tesis

- P.D. Antoszczuk, R.G. Retegui, M. Funes, y D. Carrica. Optimized implementation of a current control algorithm for multiphase interleaved power converters. *IEEE Transactions on Industrial Informatics*, 10(4):2224–2232, Nov 2014. ISSN 1551-3203. doi: 10.1109/TII.2014.2362071
- P.D. Antoszczuk, R.G. Retegui, N. Wassinger, S. Maestri, M. Funes, y M. Benedetti. Characterization of steady-state current ripple in interleaved power converters under inductance mismatches. *IEEE Transactions on Power Electronics*, 29(4):1840–1849, 2014. ISSN 0885-8993. doi: 10.1109/TPEL.2013.2270005
- Pablo Antoszczuk, Rogelio Garcia Retegui, Sebastian Maestri, Marcos Funes, Nicolas Wassinger, y Jorge Arean Olivares. Control digital de corriente para convertidores interleaved. In *XV Reunión de Trabajo en Procesamiento de la Información y Control, 16 al 20 de septiembre de 2013*, 2013
- Pablo Antoszczuk, Rogelio Garcia Retegui, Marcos Funes, Sebastian Maestri, y Nicolas Wassinger. Método de ordenamiento de secuencia de disparo de llaves para convertidores interleaved. In *XXIV Congreso Argentino de Control Automático, AADECA 2014. ISBN: 978-950-99994-8-0*, 2014

- Pablo Antoszczuk, Nicolas Wassinger, Marcos Funes, Rogelio Garcia Retegui, y Sebastian Maestri. Control de corriente para convertidores interleaved con cancelación de armónicos basada en el ajuste de las fases de los ripples. In *XXIV Congreso Argentino de Control Automático, AADECA 2014*. ISBN: 978-950-99994-8-0, 2014
- R. Garcia Retegui, M. Benedetti, M. Funes, P. Antoszczuk, y D. Carrica. Current control for high-dynamic high-power multiphase buck converters. *IEEE Transactions on Power Electronics*, 27(2):614–618, February 2012. ISSN 0885-8993. doi: 10.1109/TPEL.2011.2158658
- S. Maestri, R.G. Retegui, P. Antoszczuk, M. Benedetti, D. Aguglia, y D. Nisbet. Improved control strategy for active bouncers used in klystron modulators. In *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, pages 1 –7, 30 2011-sept. 1 2011

Bibliografía

- [1] Liqin Ni, D.J. Patterson, y J.L. Hudgins. High power current sensorless bidirectional 16-phase interleaved DC-DC converter for hybrid vehicle application. *IEEE Transactions on Power Electronics*, 27(3):1141–1151, March 2012. ISSN 0885-8993. doi: 10.1109/TPEL.2011.2165297.
- [2] M. Gerber, J.A. Ferreira, I.W. Hofsjager, y N. Seliger. Interleaving optimization in synchronous rectified DC/DC converters. In *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, volume 6, pages 4655–4661 Vol.6, June 2004. doi: 10.1109/PESC.2004.1354823.
- [3] O. Garcia, P. Zumel, A. De Castro, y J.A. Cobos. Automotive DC-DC bidirectional converter made with many interleaved buck stages. *IEEE Transactions on Power Electronics*, 21(3):578–586, May 2006. ISSN 0885-8993. doi: 10.1109/TPEL.2006.872379.
- [4] Chin Chang y M.A. Knights. Interleaving technique in distributed power conversion systems. *Trans. Circuits Syst. I, Fundam. Theory Appl.*, 42(5): 245–251, May 1995. ISSN 1057-7122. doi: 10.1109/81.386158.
- [5] W. Chen. High efficiency, high density, polyphase converters for high current applications. Technical report, Linear Technology : AN77, 1999.

- [6] M.A. Abusara y S.M. Sharkh. Design and control of a grid-connected interleaved inverter. *IEEE Transactions on Power Electronics*, 28(2):748–764, February 2013. ISSN 0885-8993. doi: 10.1109/TPEL.2012.2201505.
- [7] O. Hegazy, J. Van Mierlo, y P. Lataire. Analysis, modeling, and implementation of a multidevice interleaved DC/DC converter for fuel cell hybrid electric vehicles. *IEEE Transactions on Power Electronics*, 27(11):4445–4458, November 2012. ISSN 0885-8993. doi: 10.1109/TPEL.2012.2183148.
- [8] Hangseok Choi. Interleaved boundary conduction mode (BCM) buck power factor correction (PFC) converter. *IEEE Transactions on Power Electronics*, 28(6):2629–2634, June 2013. ISSN 0885-8993. doi: 10.1109/TPEL.2012.2222930.
- [9] Xiaojun Xu, Wei Liu, y A.Q. Huang. Two-phase interleaved critical mode PFC boost converter with closed loop interleaving strategy. *IEEE Transactions on Power Electronics*, 24(12):3003–3013, 2009. ISSN 0885-8993. doi: 10.1109/TPEL.2009.2019824.
- [10] Kung-Min Ho, Chia-An Yeh, y Yen-Shin Lai. Novel digital-controlled transition current-mode control and duty compensation techniques for interleaved power factor corrector. *IEEE Transactions on Power Electronics*, 25(12):3085–3094, 2010. ISSN 0885-8993. doi: 10.1109/TPEL.2010.2062538.
- [11] F. Forest, T.A. Meynard, J.-J. Huselstein, D. Flumian, C. Rizet, y A. Lacarroy. Design and characterization of an eight-phase-137-kw intercell transformer dedicated to multicell DC-DC stages in a modular UPS. *IEEE Transactions on Power Electronics*, 29(1):45–55, Jan 2014. ISSN 0885-8993. doi: 10.1109/TPEL.2013.2248755.

- [12] J. Quintero, A. Barrado, M. Sanz, C. Fernandez, y P. Zumel. Impact of linear nonlinear control in multiphase VRM design. *IEEE Transactions on Power Electronics*, 26(7):1826–1831, July 2011. ISSN 0885-8993.
- [13] Ray-Lee Lin, Cheng-Ching Hsu, y Shih-Kuen Changchien. Interleaved four-phase buck-based current source with center-tapped energy-recovery scheme for electrical discharge machining. *IEEE Transactions on Power Electronics*, 26(1):110–118, Jan 2011. ISSN 0885-8993. doi: 10.1109/TPEL.2010.2052070.
- [14] Yusi Liu, Chris Farnell, Juan Carlos Balda, y H. Alan Mantooth. Topology, cost and efficiency comparisons of a 2 MW DC supply using interleaved DC-DC converter. In *Power Electronics for Distributed Generation Systems (PEDG), 2014 IEEE 5th International Symposium on*, pages 1–6, June 2014. doi: 10.1109/PEDG.2014.6878695.
- [15] E. Dallago, G. Venchi, S. Rossi, M. Pullia, T. Fowler, y U. Nielsen. The power supply for a medical synchrotron beam chopper system. In *Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE*, pages 1016–1020, Nov 2008. doi: 10.1109/IECON.2008.4758093.
- [16] N. Wassinger, S. Maestri, R.G. Retegui, J.-M. Cravero, M. Benedetti, y D. Carrica. Multiple-stage converter topology for high-precision high-current pulsed sources. *IEEE Transactions on Power Electronics*, 26(5):1316–1321, May 2011. ISSN 0885-8993. doi: 10.1109/TPEL.2010.2064792.
- [17] D. Aguglia. 2 MW active bouncer converter design for long pulse klystron modulators. In *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, pages 1–10, Aug 2011.
- [18] Houxiu Xiao, Yue Ma, Yiliang Lv, Tonghai Ding, Song Zhang, Fei Hu, Liang Li, y Yuan Pan. Development of a high-stability flat-top pulsed magnetic

- field facility. *IEEE Transactions on Power Electronics*, 29(9):4532–4537, Sept 2014. ISSN 0885-8993. doi: 10.1109/TPEL.2013.2285125.
- [19] Dušan Graovac. IGBT power losses calculation using the data-sheet parameters. Technical report, Infineon, 2009.
- [20] International Rectifier. Application note an-983. IGBT characteristics. Technical report, International Rectifier, 2012.
- [21] R.F. Foley, R.C. Kavanagh, y M.G. Egan. Sensorless current estimation and sharing in multiphase buck converters. *IEEE Transactions on Power Electronics*, 27(6):2936 –2946, june 2012. ISSN 0885-8993. doi: 10.1109/TPEL.2010.2042072.
- [22] Younghoon Cho, A. Koran, H. Miwa, B. York, y Jih-Sheng Lai. An active current reconstruction and balancing strategy with DC-link current sensing for a multi-phase coupled-inductor converter. *IEEE Transactions on Power Electronics*, 27(4):1697–1705, April 2012. ISSN 0885-8993. doi: 10.1109/TPEL.2011.2170590.
- [23] O. Garcia, P. Zumel, A. de Castro, P. Alou, y J.A. Cobos. Current self-balance mechanism in multiphase buck converter. *IEEE Transactions on Power Electronics*, 24(6):1600–1606, June 2009. ISSN 0885-8993. doi: 10.1109/TPEL.2009.2013859.
- [24] J.A Abu-Qahouq, L. Huang, y D. Huard. Sensorless current sharing analysis and scheme for multiphase converters. *IEEE Transactions on Power Electronics*, 23(5):2237–2247, Sept 2008. ISSN 0885-8993. doi: 10.1109/TPEL.2008.2001897.

- [25] O. Garcia, A. de Castro, P. Zumelis, y J.A. Cobos. Digital-control-based solution to the effect of nonidealities of the inductors in multiphase converters. *IEEE Transactions on Power Electronics*, 22(6):2155–2163, November 2007. ISSN 0885-8993. doi: 10.1109/TPEL.2007.909406.
- [26] F. Cabaleiro Magallanes, D. Aguglia, C. de Almeida Martins, y P. Viarouge. Review of design solutions for high performance pulsed power converters. In *Power Electronics and Motion Control Conference (EPE/PEMC), 2012 15th International*, 2012. doi: 10.1109/EPEPEMC.2012.6397283. URL <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=6397283>.
- [27] R. Garcia Retegui, M. Benedetti, M. Funes, P. Antoszczuk, y D. Carrica. Current control for high-dynamic high-power multiphase buck converters. *IEEE Transactions on Power Electronics*, 27(2):614–618, February 2012. ISSN 0885-8993. doi: 10.1109/TPEL.2011.2158658.
- [28] S. Kolluri y N.L. Narasamma. Analysis, modeling, design and implementation of average current mode control for interleaved boost converter. In *Power Electronics and Drive Systems (PEDS), 2013 IEEE 10th International Conference on*, pages 280–285, April 2013. doi: 10.1109/PEDS.2013.6527029.
- [29] Yang Zhang, Xu Zhang, R. Zane, y D. Maksimovic. Wide-bandwidth digital multi-phase controller. In *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE*, pages 1–7, June 2006. doi: 10.1109/PESC.2006.1712243.
- [30] M. Schuck y R.C.N. Pilawa-Podgurski. Current ripple cancellation for asymmetric multiphase interleaved dc-dc switching converters. In *Power and Energy Conference at Illinois (PECI), 2013 IEEE*, pages 162–168, Feb 2013. doi: 10.1109/PECI.2013.6506052.

- [31] L. Huber, B.T. Irving, y M.M. Jovanovic. Open-loop control methods for interleaved DCM/CCM boundary boost PFC converters. *IEEE Transactions on Power Electronics*, 23(4):1649–1657, July 2008. ISSN 0885-8993. doi: 10.1109/TPEL.2008.924611.
- [32] Yang Qiu, Juanjuan Sun, Ming Xu, Kisun Lee, y F. C. Lee. Bandwidth improvements for peak-current controlled voltage regulators. *IEEE Transactions on Power Electronics*, 22(4):1253–1260, 2007. doi: 10.1109/TPEL.2007.900482.
- [33] T. Saito, S. Tasaki, y H. Torikai. Interleaved buck converters based on winner-take-all switching. *IEEE Transactions on Circuits and Systems—Part I: Fundamental Theory and Applications*, 52(8):1666–1672, Aug 2005. ISSN 1549-8328. doi: 10.1109/TCSI.2005.851676.
- [34] Yu Gu y Donglai Zhang. Interleaved boost converter with ripple cancellation network. *IEEE Transactions on Power Electronics*, 28(8):3860–3869, Aug 2013. ISSN 0885-8993. doi: 10.1109/TPEL.2012.2228505.
- [35] J.C. Rosas-Caro, J.E. Valdez-Resendiz, J.C. Mayo-Maldonado, R. Salas-Cabrera, J.M. Ramirez-Arredondo, y J. Salome-Baylon. Interleaved power converter with current ripple cancelation at a selectable duty cycle. In *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE*, pages 122 –126, sept. 2011. doi: 10.1109/ECCE.2011.6063758.
- [36] Ruqi Li. Modeling average-current-mode-controlled multi-phase buck converters. In *Proc. IEEE Power Electronics Specialists Conf. PESC 2008*, pages 3299–3305, 2008. doi: 10.1109/PESC.2008.4592463.
- [37] G. Garcera, M. Pascual, y E. Figueres. Robust average current-mode control of multimodule parallel DC-DC PWM converter systems with improved

- dynamic response. *IEEE Transactions on Industrial Electronics*, 48(5):995–1005, Oct 2001. ISSN 0278-0046. doi: 10.1109/41.954564.
- [38] M. Khazraei y M. Ferdowsi. Modeling and analysis of projected cross point control - a new current-mode-control approach. *IEEE Transactions on Industrial Electronics*, 60(8):3272–3282, Aug 2013. ISSN 0278-0046. doi: 10.1109/TIE.2012.2201429.
- [39] S. Maestri, R.G. Retegui, P. Antoszczuk, M. Benedetti, D. Aguglia, y D. Nisbet. Improved control strategy for active bouncers used in klystron modulators. In *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, pages 1 –7, 30 2011-sept. 1 2011.
- [40] E. Monmasson, L. Idkhajine, M.N. Cirstea, I. Bahri, A. Tisan, y M.W. Naouar. FPGAs in industrial control applications. *IEEE Transactions on Industrial Informatics*, 7(2):224–243, May 2011. ISSN 1551-3203. doi: 10.1109/TII.2011.2123908.
- [41] Micrometals Iron Powder Cores. Electronic references, 2013. URL <http://www.micrometals.com/>.
- [42] R. Lenk. *Practical Design of Power Supplies*. Wiley-IEEE Press, 2005.
- [43] Robert W Erickson y Dragan Maksimovic. *Fundamentals of power electronics*. Springer, 2001.
- [44] J. S. Batchvarov, V. C. Valchev, D. D. Yudov, y J. L. Duarte. Investigation of chaos in interleaved power converters. In *Intelligent Systems, 2002. Proceedings. 2002 First International IEEE Symposium*, volume 1, pages 79–83, 2002. doi: 10.1109/IS.2002.1044232. URL <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=1044232>.

- [45] NI5 analog electronic circuit simulator. <http://nl5.sidelinesoft.com/index.php?lang=en>.
- [46] W. Tang, F.C. Lee, y R.B. Ridley. Small-signal modeling of average current-mode control. *IEEE Transactions on Power Electronics*, 8(2):112–119, Apr 1993. ISSN 0885-8993. doi: 10.1109/63.223961.
- [47] Lloyd Dixon. Average current mode control of switching power supplies. Technical report, 1990.
- [48] Kai Wan y M. Ferdowsi. Self-tuned projected cross point - an improved current-mode control technique. In *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pages 3407–3411, June 2008. doi: 10.1109/PESC.2008.4592482.
- [49] A. de Castro, T. Riesgo, O. Garcia, y J. Uceda. A methodology to design custom hardware digital controllers for switching power converters. In *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, volume 6, pages 4676–4681 Vol.6, June 2004. doi: 10.1109/PESC.2004.1354826.
- [50] Jennifer D Pollock, Weyman Lundquist, y Charles R Sullivan. Predicting inductance roll-off with dc excitations. In *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE*, pages 2139–2145. IEEE, 2011.
- [51] David E Goldberg. Genetic algorithms in search, optimization, and machine learning. *ISBN: 0-201-15767-5*, 1989.

- [52] S. Sharma y K. Gupta. Solving the traveling salesmen problem through genetic algorithm with new variation order crossover. In *Emerging Trends in Networks and Computer Communications (ETNCC), 2011 International Conference on*, pages 274–276, April 2011. doi: 10.1109/ETNCC.2011.6255903.
- [53] P. Larranaga, C.M.H. Kuijpers, R.H. Murga, y Y. Yurramendi. Learning bayesian network structures by searching for the best ordering with genetic algorithms. *IEEE Transactions on Systems, Man, and Cybernetics—Part A: Systems and Humans*, 26(4):487–493, Jul 1996. ISSN 1083-4427. doi: 10.1109/3468.508827.
- [54] Lawrence Davis. Applying adaptive algorithms to epistatic domains. In *IJCAI*, volume 85, pages 162–164, 1985.
- [55] Kusum Deep y Hadush Mebrahtu Adane. New variations of order crossover for travelling salesman problem. *International Journal of Combinatorial Optimization Problems and Informatics*, 2(1):2–13, 2010.
- [56] A.V. Peterchev, J. Xiao, y S.R. Sanders. Architecture and IC implementation of a digital VRM controller. *IEEE Transactions on Power Electronics*, 18(1):356–364, Jan 2003. ISSN 0885-8993. doi: 10.1109/TPEL.2002.807099.
- [57] P.D. Antoszczuk, R.G. Retegui, M. Funes, y D. Carrica. Optimized implementation of a current control algorithm for multiphase interleaved power converters. *IEEE Transactions on Industrial Informatics*, 10(4):2224–2232, Nov 2014. ISSN 1551-3203. doi: 10.1109/TII.2014.2362071.
- [58] P.D. Antoszczuk, R.G. Retegui, N. Wassinger, S. Maestri, M. Funes, y

- M. Benedetti. Characterization of steady-state current ripple in interleaved power converters under inductance mismatches. *IEEE Transactions on Power Electronics*, 29(4):1840–1849, 2014. ISSN 0885-8993. doi: 10.1109/TPEL.2013.2270005.
- [59] Pablo Antoszczuk, Rogelio Garcia Retegui, Sebastian Maestri, Marcos Funes, Nicolas Wassinger, y Jorge Arean Olivares. Control digital de corriente para convertidores interleaved. In *XV Reunión de Trabajo en Procesamiento de la Información y Control, 16 al 20 de septiembre de 2013*, 2013.
- [60] Pablo Antoszczuk, Rogelio Garcia Retegui, Marcos Funes, Sebastian Maestri, y Nicolas Wassinger. Método de ordenamiento de secuencia de disparo de llaves para convertidores interleaved. In *XXIV Congreso Argentino de Control Automático, AADECA 2014. ISBN: 978-950-99994-8-0*, 2014.
- [61] Pablo Antoszczuk, Nicolas Wassinger, Marcos Funes, Rogelio Garcia Retegui, y Sebastian Maestri. Control de corriente para convertidores interleaved con cancelación de armónicos basada en el ajuste de las fases de los ripples. In *XXIV Congreso Argentino de Control Automático, AADECA 2014. ISBN: 978-950-99994-8-0*, 2014.

Apéndice A

Exigencias en Fuentes Para Física de Altas Energías

A.1. Introducción

Los convertidores multifásicos pueden proporcionar una alternativa muy atractiva en el segmento de aplicaciones de alta potencia y altas prestaciones, donde se requiere controlar corrientes del orden de cientos o miles de amperes, con exigentes especificaciones de precisión y respuesta transitoria. Este tipo de requerimientos se presenta, por ejemplo, en convertidores utilizados en física de altas energías [15, 16, 17, 18]. Sin embargo, en estas aplicaciones, existen desafíos muy exigentes en cuanto al control de la corriente.

A.2. Fuentes de corriente pulsada

En el campo de fuentes de corriente pulsada, como las presentadas en [15, 16, 18], se requiere generar pulsos de corriente de forma trapezoidal, con elevada precisión, sobre una carga inductiva. La amplitud del pulso de corriente es del

orden del kiloampere, y la duración de la parte plana (*flat-top*) de algunos milisegundos. Por otra parte, los tiempos de ascenso y descenso son del orden del milisegundo. En estas aplicaciones, para controlar la corriente de forma eficiente, se recurre a una topología compuesta por múltiples estructuras que se conectan secuencialmente en el tiempo. Estas estructuras, que se ilustran en la Fig. A.1a, poseen diferentes capacidades de tensión y corriente, dependiendo de la etapa del pulso en la que operan, Fig. A.1b.

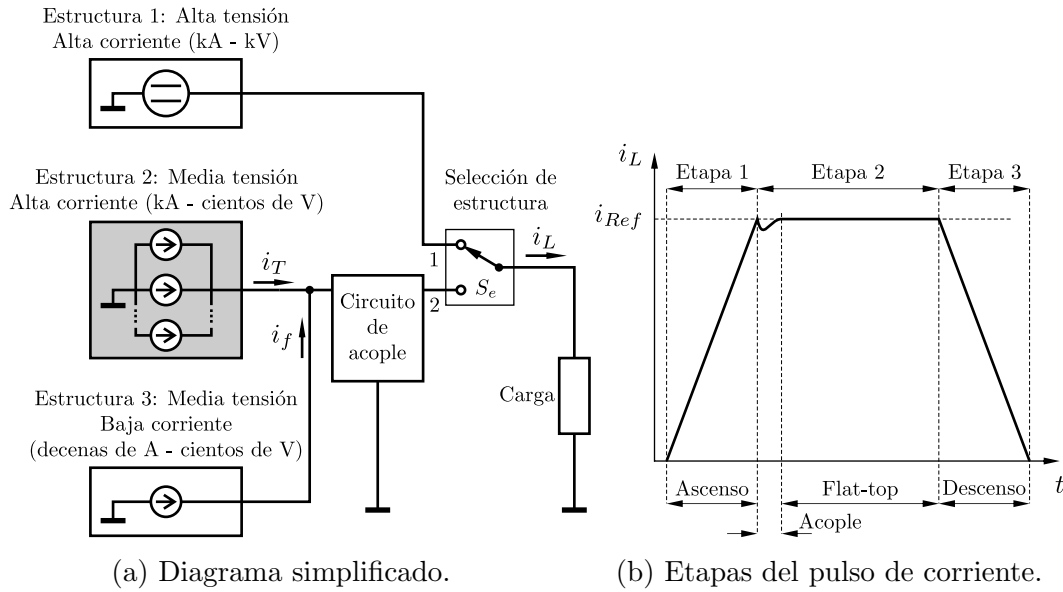


Figura A.1: Fuente de corriente multiestructura.

En esta aplicación, se requiere alcanzar una corriente elevada con un tiempo de ascenso reducido, por lo que las pendientes de la corriente en la etapa de ascenso y descenso son muy elevadas. Por lo tanto, debido a la naturaleza inductiva de la carga, la tensión necesaria para generar estas pendientes es muy elevada. Luego, en estas etapas se utiliza la estructura 1, que entrega la tensión necesaria a la carga y posee gran capacidad de corriente. Debido a que esta estructura se

conecta solo durante el tiempo de ascenso y descenso, su frecuencia de conmutación es muy reducida (del orden del período del pulso) y, por lo tanto, puede ser implementada con dispositivos con gran capacidad de corriente y tensión. Por otro lado, la tensión necesaria en la etapa 2 (flat-top) está determinada solo por la parte resistiva del inductor de carga, por lo que se seleccionan las estructuras 2 y 3, de menor tensión. La estructura 2 proporciona una corriente i_T , con un valor medio igual al valor de flat-top (i_{Ref}), que permite controlar la corriente en la carga con moderada precisión. Debido a la elevada magnitud de i_{Ref} , es posible utilizar un convertidor multifásico para la implementación de esta estructura, ya que permite reducir las exigencias sobre los dispositivos semiconductores y, por lo tanto, operar a una frecuencia de conmutación del orden de algunas decenas de kilohertz. Por su parte, la estructura 3 es un filtro activo que suministra la diferencia entre i_T e i_{Ref} , lo cual busca satisfacer los requerimientos finales de precisión y tiempo de establecimiento. Por lo tanto, esta estructura se diseña para operar a baja tensión y corriente, de forma de obtener elevadas frecuencias de conmutación. Si bien la metodología de múltiples estructuras permite controlar eficientemente la corriente sobre la carga, en el instante de conmutación entre estructuras se produce un transitorio de acople, como se puede observar en la Fig. A.1b. La reducción de este transitorio por medio del convertidor multifásico permite limitar las exigencias sobre el filtro activo y, por lo tanto, obtener la frecuencia de conmutación necesaria para satisfacer los requerimientos de precisión. De esta forma, el control del convertidor multifásico debe ser capaz de recuperar el correcto intercalado entre las fases en unos pocos ciclos de conmutación. Una exigencia adicional en este tipo de aplicaciones es la disminución en la tensión de entrada del convertidor durante el flat-top, debida a la descarga del capacitor conectado en este punto. Por lo tanto, para limitar los requerimientos de corriente media sobre el filtro activo, el control del convertidor multifásico debe ser capaz

de seguir el valor medio de la referencia y mantener el correcto intercalado entre los ripples de fase, a pesar de la variación en la tensión de entrada del convertidor.

A.3. Fuentes para moduladores para klystron

Otro ejemplo donde la utilización de convertidores multifásicos resulta atractiva, se puede observar en moduladores para klystron [17, 39]. El klystron es un dispositivo que se utiliza, en física de altas energías, para generar una potencia de radio frecuencia (RF) constante, mediante la aplicación de una tensión constante a su entrada. En estas aplicaciones, para reducir el consumo y el volumen del sistema, se aplica la potencia en el klystron solo cuando es requerida, es decir, en forma pulsada. En la Fig. A.2a se muestra un diagrama en bloques del modulador para klystron, mientras que la Fig. A.2b muestra las formas de tensión del capacitor principal V_m , de la tensión sobre la carga V_{ky} , y de la tensión y corriente de una fuente serie denominada bouncer activo V_B e i_B , respectivamente.

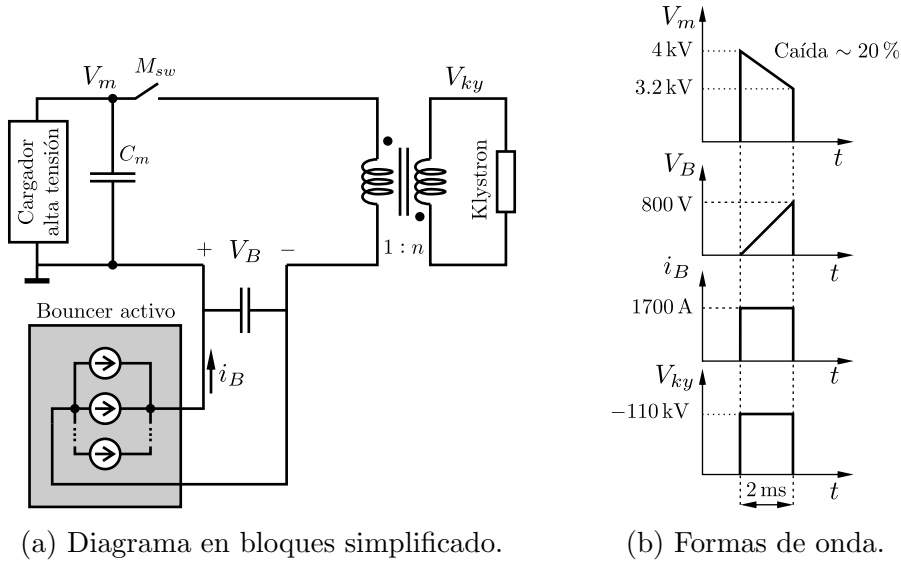


Figura A.2: Fuente para klystron.

En el instante inicial del pulso, se cierra el interruptor principal M_{sw} , lo cual aplica la tensión V_m al primario del transformador de pulsos. Debido a la descarga de C_m , la tensión V_m cae con el tiempo. El propósito del bouncer activo es compensar esta caída de tensión en V_m , y la caída producto de la respuesta del transformador de pulsos, de forma de lograr una tensión constante en V_{ky} . Por lo tanto, el bouncer activo es una fuente de tensión cuya salida varía desde cero a algunos cientos de volts, y con requerimientos de corriente del orden de varios cientos de amperes.

Debido a los requerimientos de corriente y a la necesidad de un ripple reducido durante el pulso, los convertidores multifásicos proporcionan una solución para la implementación del bouncer activo. La principal problemática en el control de corriente de esta fuente radica en lograr un control preciso en la zona plana del pulso, en forma conjunta con la respuesta dinámica requerida. Adicionalmente, es necesario reducir tanto como sea posible el ripple de la tensión, de forma tal de minimizar el contenido armónico de la señal de salida. Por lo tanto, el control de corriente del bouncer activo debe ser capaz de mantener el correcto intercalado del ripple, y el seguimiento del valor medio de la referencia de corriente, a pesar del cambio en forma de rampa en la tensión de salida y de las variaciones abruptas en la referencia de corriente.

A.4. Resumen de las exigencias en fuentes para física de altas energías

En las aplicaciones antes descriptas, los requerimientos y exigencias sobre los convertidores multifásicos se pueden resumir en:

- Reducido tiempo de establecimiento: del orden del ciclo de conmutación,

ante perturbaciones en las tensiones de entrada y salida o cambios en la referencia de corriente.

- Seguimiento preciso del valor medio de la referencia de corriente: inmunidad a la variación de parámetros del convertidor, tensiones de entrada y salida, e impedancia de carga.
- Reducido ripple en la corriente total: correcto intercalado de los ripples de fase en todo el rango de operación.

El principal desafío en estas aplicaciones es satisfacer estos requerimientos en forma simultánea, los cuales en principio pueden generar relaciones de compromiso entre las especificaciones de precisión y respuesta dinámica del control de corriente.

Apéndice B

Cálculo de Pérdidas en Convertidores Multifásicos

B.1. Introducción

Las pérdidas más significativas en el convertidor multifásico se pueden resumir en pérdidas en el inductor de fase y pérdidas en las llaves semiconductoras. Para el cálculo de las pérdidas se considera el caso particular de un convertidor buck multifásico, como el ilustrado en la Fig. B.1.

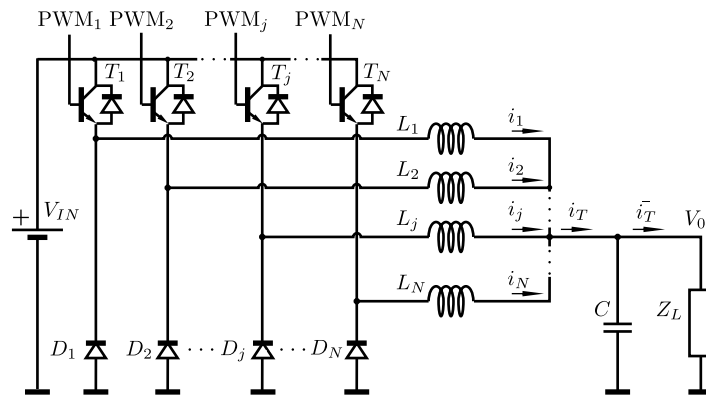


Figura B.1: Convertidor buck multifásico.

B.2. Pérdidas en el inductor de fase

Las pérdidas en el inductor de fase se deben principalmente a la potencia disipada en su resistencia serie equivalente ESR_L . La corriente RMS en el inductor de fase L_j se puede expresar como:

$$i_{Lj_{RMS}} = \sqrt{\bar{i}_j^2 + \Delta i_{j_{RMS}}^2} \quad (B.1)$$

donde $\bar{i}_j$ el valor medio de la corriente de la fase j , y $\Delta i_{j_{RMS}}$ es el valor RMS del ripple de corriente en dicha fase. Luego, para el caso de un convertidor buck de N fases, $i_{Lj_{RMS}}$ se puede expresar como:

$$i_{Lj_{RMS}}(N, D) = \sqrt{\bar{i}_j^2 + \left(\frac{1}{2\sqrt{3}}\right)^2 \left(\frac{V_{IN}D(1-D)T_{sw}}{L_j}\right)^2} \quad (B.2)$$

La potencia disipada en la resistencia serie equivalente del inductor ESR_{L_j} está dada por:

$$P_{L_j} = i_{Lj_{RMS}}^2 ESR_{L_j} = \left(\bar{i}_j^2 + \left(\frac{1}{2\sqrt{3}}\right)^2 \left(\frac{V_{IN}D(1-D)T_{sw}}{L_j}\right)^2\right) ESR_{L_j} \quad (B.3)$$

B.3. Pérdidas en los dispositivos semiconductores

En aplicaciones de alta potencia, normalmente se seleccionan transistores bipolares de puerta aislada (IGBT, del inglés *Insulated Gate Bipolar Transistor*), debido a su mayor tensión de bloqueo [19]. Las pérdidas en el convertidor se pueden dividir en:

- Pérdidas por conducción: $P_{cond} = P_{condT} + P_{condD}$, donde P_{condT} son las

pérdidas en el IGBT y P_{condD} son las pérdidas en el diodo.

- Pérdidas por conmutación: $P_{sw} = P_{swT} + P_{swD}$, donde P_{swT} son las pérdidas en el IGBT y P_{swD} son las pérdidas en el diodo.

por lo tanto, $P_T = P_{cond} + P_{sw}$.

B.3.1. Pérdidas por conducción

Las pérdidas por conducción del IGBT se pueden calcular usando un modelo aproximado del dispositivo. Este modelo consiste en una fuente de tensión (V_{CE0}) con una resistencia serie (r_c). El valor de estos parámetros se puede calcular a partir de las curvas provistas en la hoja de datos de cada dispositivo en particular, tal como se ejemplifica en la Fig. B.2. En estas condiciones, la caída de tensión colector-emisor, V_{CE} , en el IGBT de una fase dada se puede expresar como:

$$V_{CE} = V_{CE0} + r_c i_c \quad (\text{B.4})$$

donde i_c es la corriente de colector.

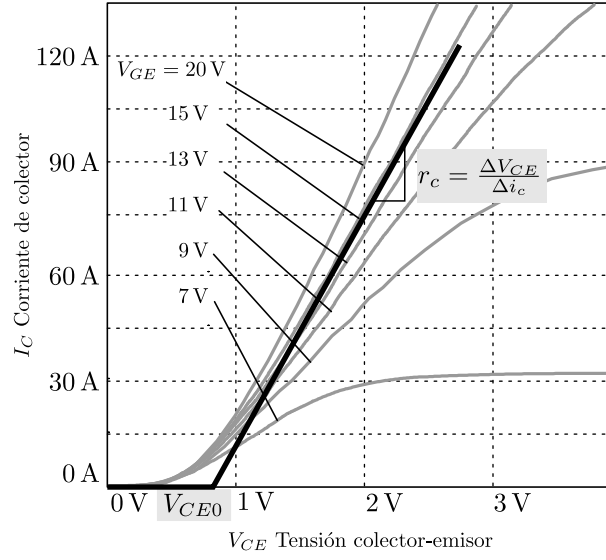


Figura B.2: Modelo del IGBT para el cálculo de las pérdidas por conducción.

De forma análoga, y utilizando la misma aproximación, la caída de tensión en el diodo de rueda libre, V_D , se puede expresar como:

$$V_D = V_{D0} + r_D i_D \quad (\text{B.5})$$

donde i_D es la corriente del diodo polarizado en directa.

La potencia media del IGBT, en el intervalo D de un período de conmutación, se puede expresar como:

$$\begin{aligned} P_{CT} &= D \frac{1}{T_{sw}} \int_0^{T_{sw}} V_{CE} i_c dt = D \frac{1}{T_{sw}} \int_0^{T_{sw}} (V_{CE0} i_c + r_c i_c^2) dt \\ &= D (V_{CE0} \bar{i}_c + r_c i_{c_{RMS}}^2) \end{aligned} \quad (\text{B.6})$$

donde $\bar{i}_c$ es la corriente de colector media e $i_{c_{RMS}}$ es el valor RMS de la corriente de colector. Asumiendo que la corriente total i_T se divide en forma equitativa entre las corrientes de fase, y operando de forma análoga que para el cálculo de

la corriente en el inductor de fase:

$$\bar{i}_c = \frac{\bar{i}_T}{N} \quad (\text{B.7})$$

$$i_{c_{RMS}} = \sqrt{\left(\frac{\bar{i}_T}{N}\right)^2 + \left(\frac{1}{2\sqrt{3}}\right)^2 \left(\frac{V_{IN}D(1 \propto D)T_{sw}}{L}\right)^2} \quad (\text{B.8})$$

Luego, reemplazando (B.7) y (B.8) en (B.6):

$$P_{CT} = DV_{CE0} \frac{\bar{i}_T}{N} + Dr_c \left(\left(\frac{\bar{i}_T}{N}\right)^2 + \left(\frac{1}{2\sqrt{3}}\right)^2 \left(\frac{V_{IN}D(1 \propto D)T_{sw}}{L}\right)^2 \right) \quad (\text{B.9})$$

Análogamente, la potencia media en el diodo, que conduce durante el intervalo $(1 \propto D)$ del período de conmutación, están dadas por:

$$P_{CD} = (1 \propto D)V_{D0} \frac{\bar{i}_T}{N} + (1 \propto D)r_D \left(\left(\frac{\bar{i}_T}{N}\right)^2 + \left(\frac{1}{2\sqrt{3}}\right)^2 \left(\frac{V_{IN}D(1 \propto D)T_{sw}}{L}\right)^2 \right) \quad (\text{B.10})$$

En las expresiones (B.9) y (B.10) se puede observar que existen dos términos principales que determinan la potencia disipada por conducción en estos dispositivos. El primer término es proporcional a la tensión V_{CE0} o V_{D0} y a la inversa del número de fases $1/N$. El segundo término, por otra parte, representa la disipación de potencia en la resistencia serie del IGBT, r_c , o del diodo, r_D , determinada por el valor RMS del ripple de fase. De forma similar a las pérdidas en el inductor de fase, este término se divide a su vez en dos términos, el primero es proporcional a $1/N^2$ y el segundo depende de las características del ripple de fase.

De la misma forma que con las pérdidas en el inductor de fase, las expresiones (B.9) y (B.10) muestran que es necesario distribuir en forma equitativa la corriente total entre las N fases, para distribuir las pérdidas por conducción de igual forma entre todos los componentes del convertidor.

B.3.2. Pérdidas por conmutación

Las pérdidas por conmutación se pueden calcular a partir de la energía de encendido y apagado del IGBT y del diodo de rueda libre. La energía involucrada en el proceso de encendido del IGBT, E_{onT} , se puede determinar mediante la suma entre la energía de encendido sin considerar el proceso de recuperación inversa del diodo de rueda libre E_{onTi} , y la energía producto de esta recuperación inversa E_{onDrr} , tal como se muestra en (B.11). Estas magnitudes se proporcionan por los fabricantes en las hojas de datos de cada dispositivo.

$$E_{onT} = E_{onTi} + E_{onDrr} \quad (\text{B.11})$$

El fenómeno de recuperación inversa del diodo se da cuando el IGBT realiza una transición del estado de apagado al estado de encendido. Durante esta transición, el diodo no es capaz de bloquear la tensión negativa hasta que se agota la carga almacenada en la juntura y se carga la capacidad de la zona de deserción, la carga total involucrada en este proceso se denomina carga de recuperación inversa, Q_{rr} . Por lo tanto, durante este intervalo, denominado tiempo de recuperación inversa t_{rr} , la tensión colector-emisor del IGBT es aproximadamente igual a la tensión de entrada V_{IN} . Luego, la energía de recuperación inversa esta dada por:

$$E_{onDrr} = Q_{rr} V_{IN} \quad (\text{B.12})$$

La energía involucrada en el proceso de apagado del IGBT, E_{offT} también es un dato suministrado por los fabricantes de semiconductores a través de sus hojas de datos. La energía del diodo en este proceso normalmente es despreciable, $E_{offD} \approx 0$.

Luego, las pérdidas por conmutación están dadas por:

$$P_{swT} = (E_{onT} + E_{offT}) f_{sw} \quad (\text{B.13})$$

$$P_{swD} = (E_{onD} + E_{offD}) f_{sw} \approx E_{onD} f_{sw} \quad (\text{B.14})$$

Con el objetivo de determinar la dependencia de las pérdidas por conmutación con el número de fases del convertidor multifásico, se puede asumir que, para una dada temperatura, resistencia de gate y tensión colector-emisor del IGBT, las energías son proporcionales a la corriente [19, 20]. Luego, si i_{on} es la corriente en el instante en el que el IGBT conmuta del estado apagado al estado encendido, e i_{off} el caso contrario:

$$P_{swT} = \left(\frac{E_{onT}}{i_{nomT}} i_{on} + \frac{E_{offT}}{i_{nomT}} i_{off} \right) f_{sw} \quad (\text{B.15})$$

$$P_{swD} \approx \frac{E_{onD}}{i_{nomD}} i_{on} f_{sw} \quad (\text{B.16})$$

donde i_{nomT} e i_{nomD} son las corrientes nominales para las cuales las energías del IGBT y del diodo, respectivamente, fueron especificadas en las hojas de datos. Las corrientes i_{on} e i_{off} dependen de la topología utilizada. Para el caso de un convertidor buck multifásico, y asumiendo que $\bar{i}_T$ se divide en forma equitativa entre las N fases, los valores de estas corrientes están dados por:

$$i_{on} = \frac{\bar{i}_T}{N} \propto \frac{\Delta I}{2} = \frac{\bar{i}_T}{N} \propto \frac{V_{IN} D(1 - D) T_{sw}}{L} \quad (\text{B.17})$$

$$i_{off} = \frac{\bar{i}_T}{N} + \frac{\Delta I}{2} = \frac{\bar{i}_T}{N} + \frac{V_{IN} D(1 - D) T_{sw}}{L} \quad (\text{B.18})$$

Luego, las pérdidas por conmutación para una dada $\bar{i}_T$ en función de N se

pueden calcular mediante:

$$P_{swT} = \left(\frac{E_{onT} + E_{offT}}{i_{nomT}} \frac{\bar{i}_T}{N} + \frac{E_{offT} \propto E_{onT}}{i_{nomT}} \frac{V_{IN} D (1 \propto D)}{2L} T_{sw} \right) f_{sw} \quad (B.19)$$

$$P_{swD} \approx \left(\frac{E_{onD}}{i_{nomD}} \frac{\bar{i}_T}{N} \propto \frac{E_{onD}}{i_{nomD}} \frac{V_{IN} D (1 \propto D)}{2L} T_{sw} \right) f_{sw} \quad (B.20)$$

A partir de (B.19) y (B.20) se puede determinar que, si la amplitud del ripple es mucho menor que el valor medio de la corriente de fase, las pérdidas por conmutación dependen de $1/N$, para una determinada f_{sw} .

B.4. Pérdidas totales

Para determinar las pérdidas totales en los elementos semiconductores y el inductor de fase, en función del número de fases N , se suman las contribuciones de conducción y conmutación para cada dispositivo:

$$P_T = P_{condT} + P_{swT} \quad (B.21)$$

$$P_D = P_{condD} + P_{swD} \quad (B.22)$$

La reducción en las pérdidas posee numerosos beneficios,

- Permite disminuir el volumen y peso del inductor de fase.
- Permite disminuir el volumen de los elementos de refrigeración, necesarios para mantener los dispositivos operando en una zona segura.
- Permite reemplazar los dispositivos por alternativas con menores capacidades de corriente, los cuales pueden reducir el costo y el área necesaria para el montaje.
- Permite incrementar la frecuencia de conmutación de cada fase.

Apéndice C

Esquemáticos del Control de Corriente Propuesto

C.1. Introducción

La implementación de los circuitos de medición, acondicionamiento de señales y detección de cruces, correspondientes al control propuesto en el Capítulo 6, se realizó en formato de carta europa 3U (220 mm × 100 mm). A continuación se presentan los diagramas esquemáticos correspondientes a la placa de sensado, la placa de acondicionamiento y detección de cruces, y el backplane (panel trasero de interconexión), cuyas fotografías se muestran en las figuras [C.1](#), [C.2](#) y [C.3](#), respectivamente.

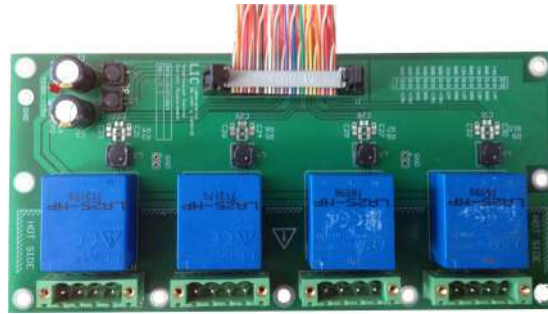


Figura C.1: Placa de medición de corriente.

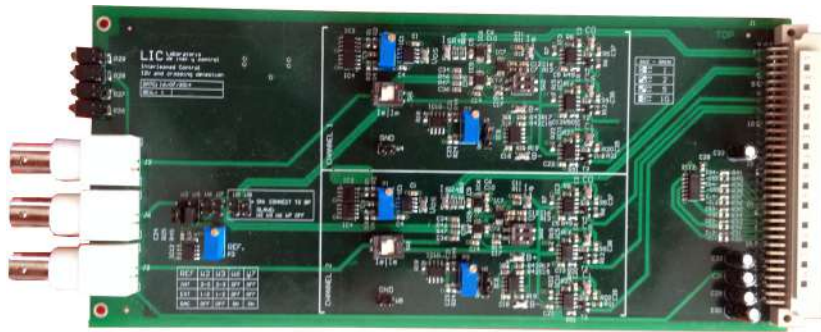


Figura C.2: Placa de acondicionamiento de señales y detección de cruces.



Figura C.3: Placa de interconexión trasera (backplane).



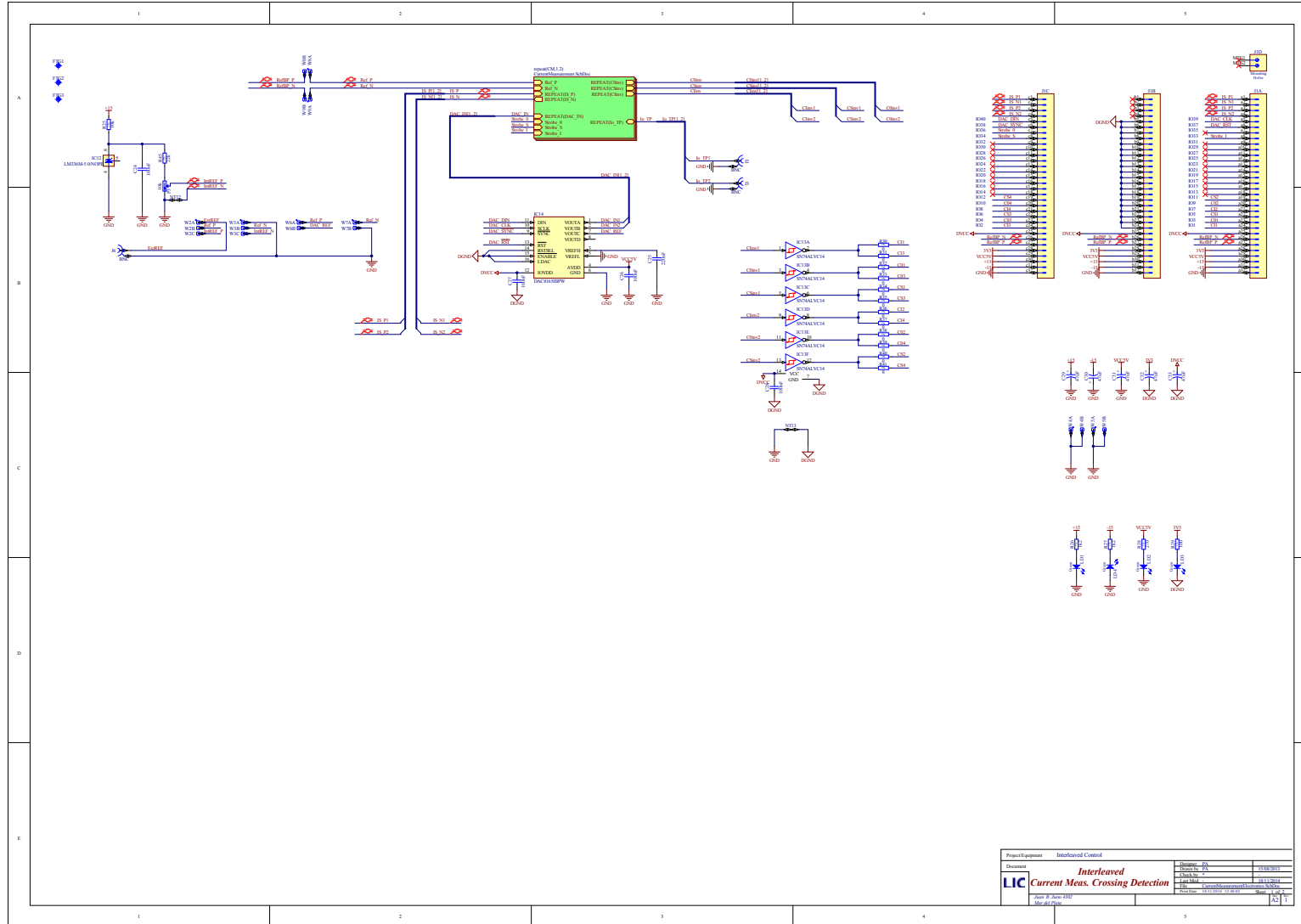
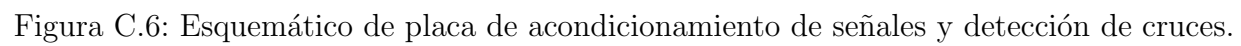


Figura C.5: Esquemático de placa de acondicionamiento de señales y detección de cruces (bloques).



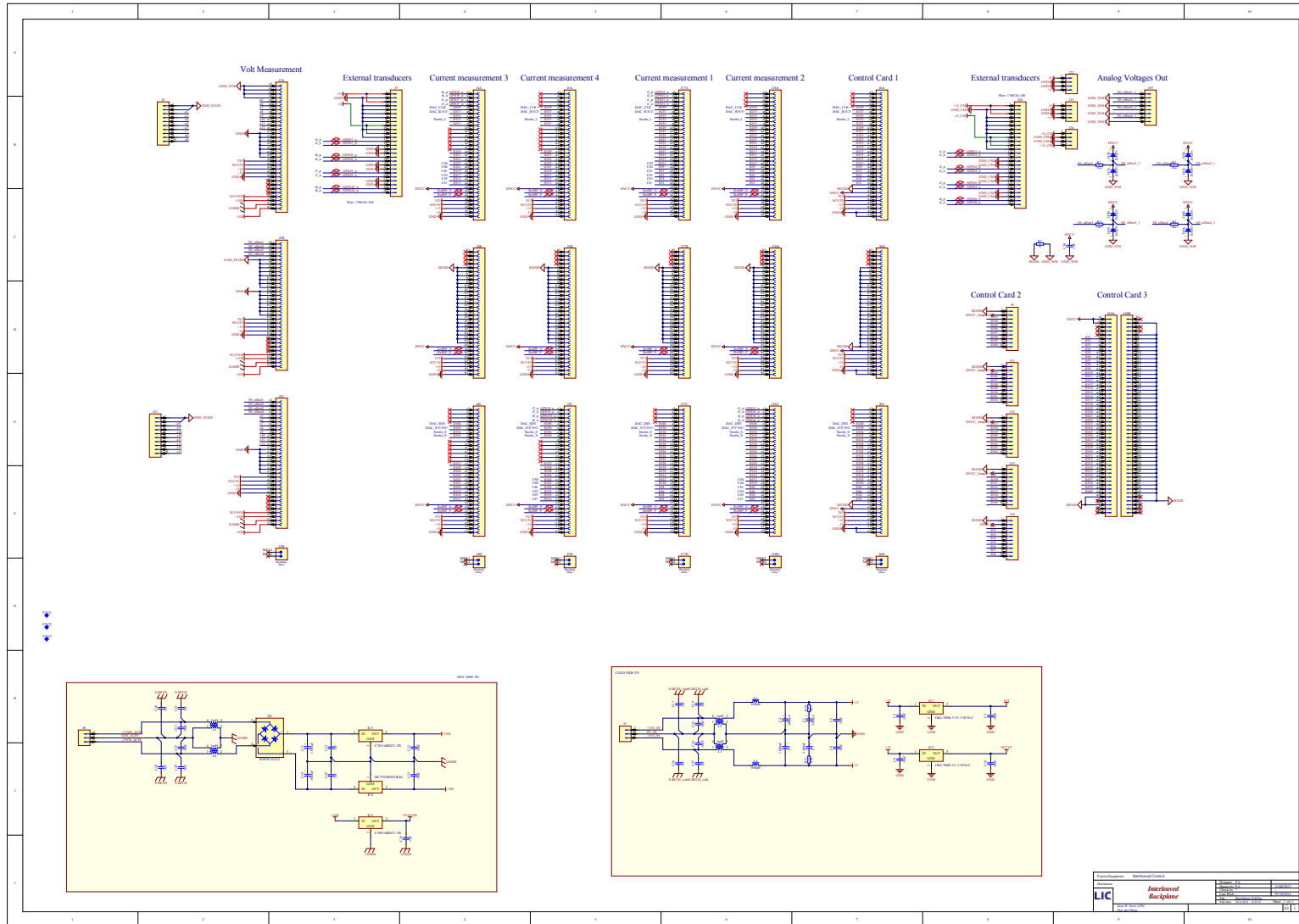


Figura C.7: Esquemático de placa de interconexión (backplane).

Apéndice D

Publicaciones

D.1. Introducción

Los trabajos que se presentan a continuación, ordenados cronológicamente, resumen la investigación realizada durante el desarrollo de la presente tesis.

P.D. Antoszczuk, R.G. Retegui, M. Funes, y D. Carrica. Optimized implementation of a current control algorithm for multiphase interleaved power converters. *IEEE Transactions on Industrial Informatics*, 10(4):2224–2232, Nov 2014. ISSN 1551-3203. doi: 10.1109/TII.2014.2362071

En este trabajo se presentan las principales problemáticas asociadas a la implementación del control de corriente propuesto en Garcia Retegui *et al.* [27] en dispositivos lógicos programables. Adicionalmente, se presentan optimizaciones tendientes a mejorar la utilización de recursos en la implementación del control. Los conceptos desarrollados en este trabajo fueron ampliados y utilizados en la implementación del control propuesto en esta tesis.

P.D. Antoszczuk, R.G. Retegui, N. Wassinger, S. Maestri, M. Funes, y M. Benedetti. Characterization of steady-state current ripple in interleaved power converters under inductance mismatches. *IEEE Transactions on Power Electronics*, 29(4):1840–1849, 2014. ISSN 0885-8993. doi: 10.1109/TPEL.2013.2270005

En este trabajo se desarrolla un método que permite caracterizar el ripple de la corriente total, cuando existen diferencias entre los ripples de fase. Este método utiliza los valores pico y la ubicación de los ripples de fase, para determinar la amplitud y el instante de ocurrencia de los picos locales en el ripple total. A partir de este método es posible obtener características de interés tales como amplitud máxima, valor RMS o contenido armónico del ripple total.

Pablo Antoszczuk, Rogelio Garcia Retegui, Sebastian Maestri, Marcos Funes, Nicolas Wassinger, y Jorge Arean Olivares. Control digital de corriente para convertidores interleaved. In *XV Reunión de Trabajo en Procesamiento de la Información y Control, 16 al 20 de septiembre de 2013*, 2013

En este trabajo se presenta un control de corriente para convertidores multifásicos basado en el principio de cruce por cero sincronizado. El control propuesto permite recuperar la condición de estado estacionario en unos pocos ciclos de conmutación ante perturbaciones en las tensiones de entrada o salida, o cambios en la referencia de corriente. Adicionalmente, debido a que no se recurre a aproximaciones ligadas al valor de los elementos parásitos del sistema, el control es capaz de seguir la referencia en forma precisa en todo el rango de operación

del convertidor.

Pablo Antoszczuk, Rogelio Garcia Retegui, Marcos Funes, Sebastian Maestri, y Nicolas Wassinger. Método de ordenamiento de secuencia de disparo de llaves para convertidores interleaved. In *XXIV Congreso Argentino de Control Automático, AADECA 2014. ISBN: 978-950-99994-8-0, 2014*

En este trabajo se presenta un método de ordenamiento de secuencia de disparo de las llaves de cada fase basado en algoritmos genéticos y en el método de caracterización propuesto en esta tesis. Este método permite encontrar un ordenamiento de fases que reduce el contenido armónico del ripple total en un número reducido de iteraciones.

Pablo Antoszczuk, Nicolas Wassinger, Marcos Funes, Rogelio Garcia Retegui, y Sebastian Maestri. Control de corriente para convertidores interleaved con cancelación de armónicos basada en el ajuste de las fases de los ripples. In *XXIV Congreso Argentino de Control Automático, AADECA 2014. ISBN: 978-950-99994-8-0, 2014*

En este trabajo se presenta una modificación a la generación de sincronismo del control propuesto en esta tesis, que permite cancelar $N/2$ armónicos en el ripple total a partir del ajuste del desfase entre los ripples. La implementación práctica de este método presenta el desafío de implementar una corrección de fase de pequeña magnitud, que puede ser del orden de los retardos presentes en el sistema.

R. Garcia Retegui, M. Benedetti, M. Funes, P. Antoszczuk, y D. Carrica. Current control for high-dynamic high-power multiphase buck converters. *IEEE Transactions on Power Electronics*, 27(2):614–618, February 2012. ISSN 0885-8993. doi: 10.1109/TPEL.2011.2158658

En este trabajo se presenta un control de corriente para convertidores multifásicos con alta dinámica. Este control se basa en sincronizar los cruces por cero de cada con una señal de sincronismo, y tiene la principal característica de recuperar la condición de estado estacionario en unos pocos ciclos de conmutación. Para realizar los cálculos, se recurre a la aproximación de las pendientes del error de corriente a partir de las tensiones de entrada y salida del convertidor.

S. Maestri, R.G. Retegui, P. Antoszczuk, M. Benedetti, D. Aguglia, y D. Nisbet. Improved control strategy for active bouncers used in klystron modulators. In *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, pages 1 –7, 30 2011-sept. 1 2011

En este trabajo se presentan las problemáticas asociadas al diseño de los lazos de control en moduladores para Klystron. Particularmente, se introduce el uso de convertidores multifásicos en la implementación de una fuente serie, que tiene como objetivo compensar la caída de tensión producto de la descarga del capacitor de entrada y de la respuesta del transformador de pulsos.

Optimized Implementation of a Current Control Algorithm for Multiphase Interleaved Power Converters

Pablo D. Antoszczuk, *Student Member, IEEE*, Rogelio Garcia Retegui, Marcos Funes, *Member, IEEE*, and Daniel Carrica, *Senior Member, IEEE*

Abstract—Multiphase converters have become an attractive alternative for high-current power converters due to their inherent reduction of semiconductor stress. Additionally, total current ripple frequency can be increased and its amplitude decreased by the phases ripple interleaving. These converters require a different number of phases and control specifications depending on the application. A wide range of applications imposes challenging requirements in the control algorithm and its implementation, such as digital platforms and resources optimization. A previous proposal presented a current control algorithm developed to provide a solution to the highly demanding constraints present in high-power applications, where short settling times are required when fast transients in the current reference or the load voltage are present. This work presents the implementation of the above-mentioned algorithm and its optimizations, aimed to obtain a modular and efficient design. The proposed implementation and system scalability are evaluated by means of an experimental setup.

Index Terms—Current control, current ripple, field programmable gate array (FPGA) implementation, interleaved power converters, power conversion.

I. INTRODUCTION

IN THE FIELD of power current sources, such as in grid-connected inverters, automotive applications, power factor correction (PFC) converters, and voltage regulator modules (VRM) among others [1]–[6], multiphase buck converters (Fig. 1) have become an attractive alternative to deliver high currents. The use of N phases allows the distribution of high current among different paths, thereby reducing the conduction and commutation losses of switching devices. Additionally, the control of these converters allows to interleave the phases ripple so as to reduce the total ripple amplitude and increase its frequency. This feature is depicted in Fig. 2 for a multiphase converter operating in continuous conduction mode (CCM), where

Manuscript received March 07, 2014; revised August 06, 2014 and June 03, 2014; accepted October 03, 2014. Date of publication October 08, 2014; date of current version November 04, 2014. This work was supported in part by the Universidad Nacional de Mar del Plata (UNMDP); in part by the National Scientific and Technical Research Council (CONICET); in part by the Ministry of Science; in part by Technology and Productive Innovation (MINCYT); in part by the National Agency of Scientific and Technological Promotion, Argentina; in part by the European Organization for Nuclear Research (CERN), Switzerland; and in part by the European Particle Physics Latin American Network (EPLANET). Paper no. TII-14-0290.

The authors are with the Instrumentation and Control Laboratory, Universidad Nacional de Mar del Plata, Mar del Plata 7600, Argentina (e-mail: pablo_ant@fi.mdp.edu.ar; rgarcia@fi.mdp.edu.ar; mfunes@fi.mdp.edu.ar; carrica@fi.mdp.edu.ar).

Digital Object Identifier 10.1109/TII.2014.2362071

the relationship between the steady-state phase current ripple and the total current ripple for a two-, three- and six-phase converter is shown [7]. The number of phases in multiphase power converters can then be selected according to each particular application, in order to improve the output ripple characteristics, reduce the stress of the semiconductor devices, or improve fault tolerance by increasing the parallel stages [8]–[11].

The control of multiphase converters must ensure the even distribution of the current among phases, and the correct interleaving of the current ripple. Numerous control techniques have been published. Peak current mode control (PCMC) and its modifications provide intrinsic current protection, and are simple to implement [12], [13]. On the other hand, average current mode control (ACMC) and its modifications have good stability, noise immunity, and fast response [14]–[16]. These techniques are capable of correcting perturbations in the current reference and disturbances in the load voltage along several switching periods [17], [18].

In high power applications, such as high current-pulsed power converters and the internal current-controlled loops of high voltage power converters, the switching frequency is limited due to the semiconductor devices technological limitations [18]–[20]. Additionally, in these applications, disturbances such as major changes in the current reference and load voltage are present. Load voltage perturbations, which are a consequence of current reference or load variations, modify ripple slopes and amplitude. The use of the aforementioned current control techniques in the applications where the described disturbances are present, produces nonacceptable transitory times. In order to solve these settling-time limitations, Garcia Retegui *et al.* [21] presented a current control based on synchronism reference signals in order to adjust the zero-crossing of the phase current error. This algorithm is capable of recovering the interleaving among phases with a reduced-transitory time and error.

Even though the calculations required by [21] are simple and not highly demanding, requirements and system complexity increase with the number of phases. These calculations may, therefore, limit the maximum number of phases and switching frequency for a given digital platform. Resources optimization and digital platform selection are consequently important issues that must be addressed for implementation.

Regarding the digital platform, different choices to perform the algorithm computation are available, such as digital signal processors (DSPs) or programmable logic devices (PLDs). The main drawback of DSPs is the difficulty in taking advantage of

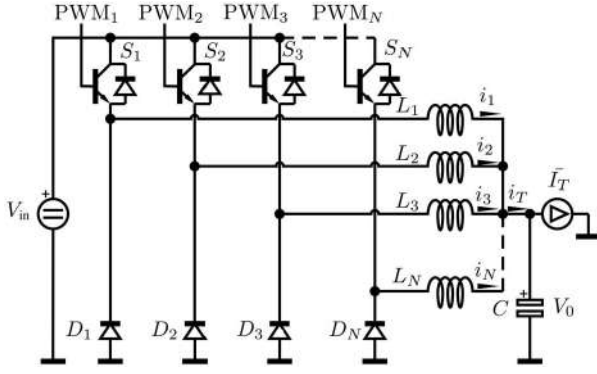


Fig. 1. Parallel buck converter topology.

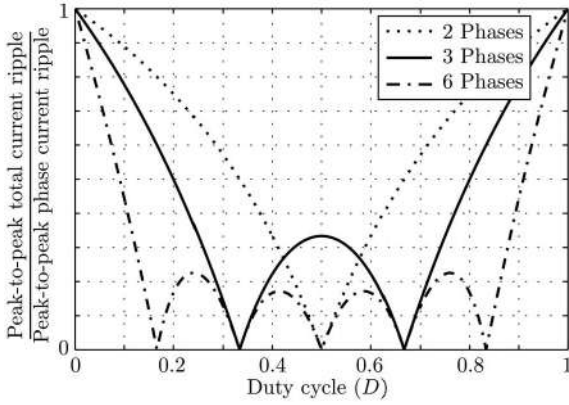


Fig. 2. Total ripple attenuation in CCM as a function of the duty cycle, for different phase numbers.

the potential parallelism of the current control algorithm [22]. This drawback may limit the system flexibility when different number of phases are required. On the other hand, the parallel processing capabilities of programmable logic devices allow to implement the control in a modular way, increasing the flexibility and easing optimization. Particularly, field programmable gate array (FPGA) is an attractive solution given its simplicity and availability as a standard component. The use of this technology to develop and improve digital control systems has been well documented and exemplified in the literature [23]–[26].

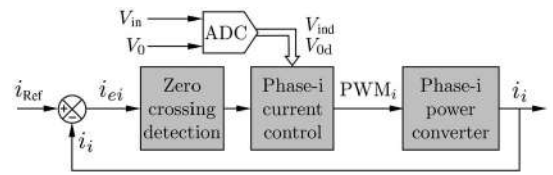
In this work, practical implementation aspects for the algorithm proposed in [21] are presented. The optimizations required for the efficient utilization of the available resources are dealt with. These optimizations focus on algorithm implementation for converters with different number of phases, without degrading the switching frequency. The optimizations and practical implementation approaches described may be extended to different control algorithms. The proposed control algorithm implementation and scalability are evaluated by means of an experimental setup.

II. CURRENT CONTROL ALGORITHM

The current control algorithm proposed in [21] is based on the independent control of each phase switching instants, for converters operating in CCM. Switching instants are calculated to match each phase current-error zero-crossings with a synchronism signal, generated internally by the current control.

TABLE I
CURRENT CONTROL NOMENCLATURE

i_{Ref}	Current reference
i_i	Phase- i phase current
i_{ei}	Phase- i current error $i_{ei} = i_{\text{Ref}} - i_i$
PWM_i	Phase- i switch driving signal
V_{in}, V_0	Input and output voltage
$V_{\text{ind}}, V_{\text{Od}}$	Digital input and output voltage
Sync_i	Phase- i synchronization signal
T_{Sync}	Synchronization signal period
T_S	Switching period
$t_e(k)$	Time error between i_e zero crossing and synchronization signal at instant k
$t_{\text{hp}}(k+1)$	Next semi-period time: $t_{\text{hp}}(k+1) = \frac{T_{\text{Sync}}}{2} - t_e(k)$
$t_{\text{sw}}(k+1)$	Interval between i_e zero crossing and PWM_i switching instant

Fig. 3. Phase i control block diagram.

For the sake of clarity, Table I shows the nomenclature of [21]. Additionally, in order to illustrate the current control input signals, Fig. 3 shows the block diagram corresponding to phase- i current control. Current error i_{ei} is generated by subtracting the phase current from the current reference, i.e., $i_{ei} = i_{\text{Ref}} - i_i$. The zero-crossing instants of i_{ei} are detected by the zero-crossing circuitry. Current control block uses this zero-crossing information, and the acquired input and output voltages V_{ind} and V_{Od} for the algorithm calculations. It is worth noting that, by using the above-mentioned definitions, steady-state total mean current is $\bar{I}_T = N i_{\text{Ref}}$.

The control algorithm calculates, for each phase, the time that the switch must remain in its current state before commutation, measured from i_e zero-crossings. This time, defined as switching time t_{sw} , is calculated so as to adjust i_e zero-crossings with its corresponding synchronism signal, in such a way that the steady-state switching period is equal to the synchronism period $T_S = T_{\text{Sync}}$. Additionally, in the synchronized condition, the phase-shift between phases ripple is determined by the phase-shift of the synchronism signals. As an example, Fig. 4 shows the current error ($i_{e1,2,3}$) and the corresponding synchronism signals ($\text{Sync}_1, \text{Sync}_2, \text{Sync}_3$) for a three-phase converter operating in steady-state condition. It should be noted that the synchronism signals are not only a time reference for the i_e zero-crossing instants, but also indicate the correct i_e slope sign in those instants.

Assuming that the time constant associated with the inductors and their resistive component is much higher than the switching period, the current ripple can be approximated by linear segments. Fig. 5 illustrates i_e and the synchronism signal for a single phase, where the instants $(k-1)$, (k) , and $(k+1)$ are defined at the same instants as the synchronism signal. As it can be seen, at $(k-1)$, the zero-crossing with positive slope occurs simultaneously with a positive synchronism signal, thus, the synchronization error $t_e(k-1) = 0$. At time (k) , however,

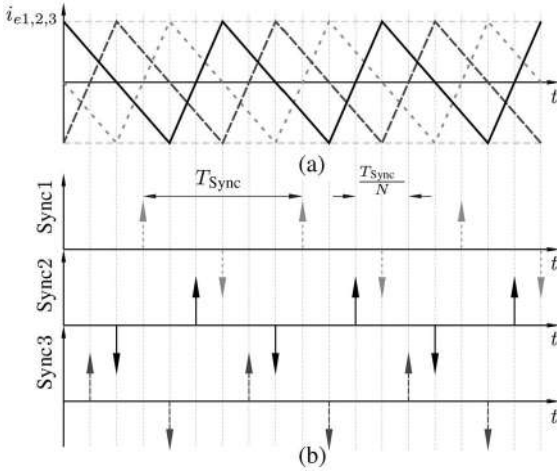


Fig. 4. (a) i_{ei} in ideal interleaved operation. (b) Synchronization signals.

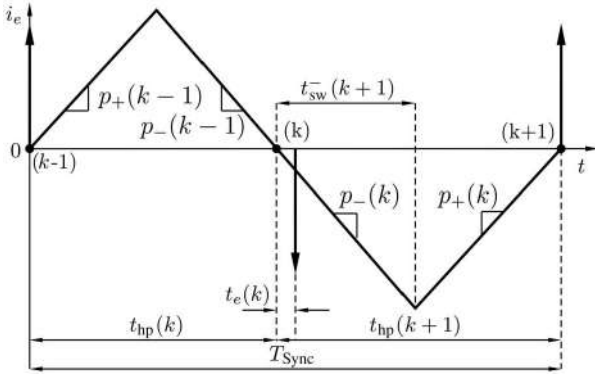


Fig. 5. Switching time calculation for small i_e perturbations.

due to a small perturbation in i_e , the zero-crossing with negative slope occurs at a different instant than the corresponding synchronism signal, i.e., $t_e(k) \neq 0$. Then, the switching time, which adjusts the zero-crossing at $(k+1)$, measured from the negative-slope zero-crossing at (k) , is calculated as

$$t_{sw}^-(k+1) = \frac{p_+(k)}{p_+(k) - p_-(k)} \cdot t_{hp}(k+1) \quad (1)$$

where $p_+(k)$ and $p_-(k)$ are the positive and negative slopes, and $t_{hp}(k+1)$ is the duration of the next semiperiod, defined as

$$t_{hp}(k+1) = \frac{T_{Sync}}{2} - t_e(k). \quad (2)$$

The synchronization error $t_e(k)$ can be negative or positive depending on whether the zero-crossing occurs before or after the synchronism signal.

Assuming that the voltage drop in the semiconductor devices and parasitic components is negligible with respect to the input and output voltages, slopes $p_+(k)$, and $p_-(k)$ are approximated as a function of the input and output voltages, measured in the i_e zero-crossing point, as

$$p_+(k) = \frac{V_{in}(k) - V_0(k)}{L_1} \quad (3)$$

$$p_-(k) = -\frac{V_0(k)}{L_1} \quad (4)$$

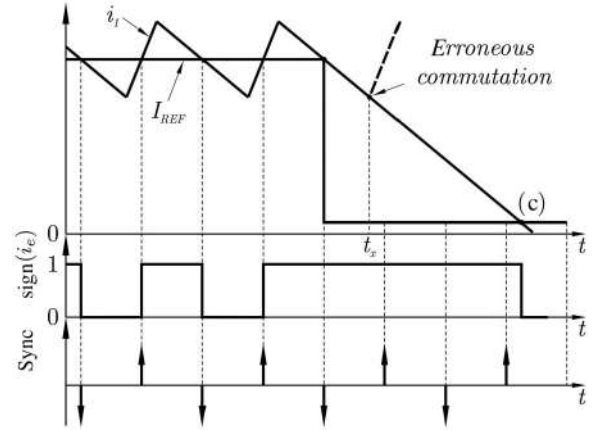


Fig. 6. Current reference tracking.

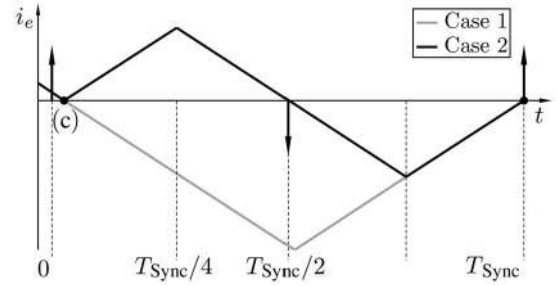


Fig. 7. Interleaving recovery after major synchronization error.

then, (1) becomes

$$t_{sw}^-(k+1) = \left(1 - \frac{V_0(k)}{V_{in}(k)}\right) \cdot t_{hp}(k+1). \quad (5)$$

Analogously, the calculation of the switching time when the i_e zero-crossing occurs with positive slope $t_{sw}^+(k+1)$ is calculated as

$$t_{sw}^+(k+1) = \frac{V_0(k)}{V_{in}(k)} \cdot t_{hp}(k+1). \quad (6)$$

Expressions (5) and (6) allow to synchronize the i_e zero-crossings with the synchronism signals. Additionally, the control algorithm takes into account situations that may arise under large i_{Ref} variations, or disturbances in the load voltage produced by said i_{Ref} modification, in order to determine the correct action to: 1) ensure the i_{Ref} tracking; and 2) optimize the recovery of the synchronism after transitory conditions.

These situations are illustrated in Fig. 6, where a negative i_{Ref} step, which occurs immediately after the i_e zero-crossing with negative slope, is shown. As it can be seen, by using (5), the system calculates the next commutation instant t_x leading to a commutation opposite to i_{Ref} tracking. These erroneous commutations can be detected by checking the coincidence between the slope of the current and the sign of the error, so as to inhibit the commutation and repeat the calculation at (c).

At (c), however, the i_e zero-crossing with negative slope occurs close to a synchronism corresponding to the opposite slope. By calculating the switching time using (5), the system recovers the synchronized condition in the next positive synchronism signal, as illustrated in Fig. 7 (Case 1). As it can

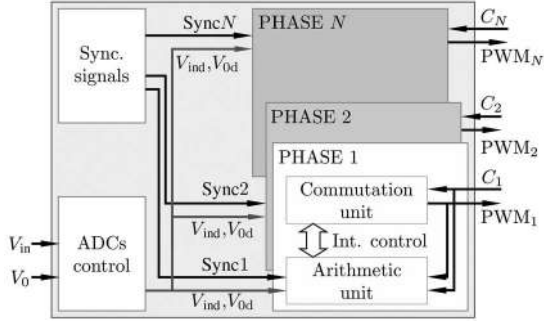


Fig. 8. Current control implementation block diagram.

be seen, this condition generates a bigger transient amplitude and setup time than Case 2, in which an anticipated commutation is performed in (c), and (6) is used for the computation of the switching time. The anticipated commutation is performed when $t_e(k) > T_{\text{Sync}}/4$, reducing the transient time and amplitude.

III. DIGITAL IMPLEMENTATION

The advantage of implementing the current control algorithm in a programmable logic device lies in the fact that it allows the control tasks parallelization. Additionally, and given its formulation, the current control algorithm implementation can be designed for one phase and then easily replicated to an N -phase system, providing modularity to the control system.

Fig. 8 shows a simplified-block diagram of the proposed algorithm implementation. Each phase is composed of a commutation unit, which commands the pulse width modulation (PWM) signal as a function of the current state of the system; and an arithmetic unit, which is controlled by the commutation unit to compute expressions (5) and (6). The commutation and arithmetic units share information via internal control signals. The synchronism signal for each phase is generated by the Sync signals generator block. Input and output voltages, V_{ind} and V_{0d} , required for i_e slope calculation, are provided by the analog to digital converters (ADCs) control block.

A. Synchronism Signals Generation

The Sync. signals block generates N synchronism signals, one for each phase. The time-shift between each signal is used to interleave the steady-state phases ripples in order to obtain optimal total ripple attenuation. Fig. 9 illustrates the generation of phases 1 and i synchronism signals, Sync1 and Synci for an N -phase system. As it can be seen, the synchronism signals are generated by taking the most significant bit (MSB) of each b -bits Ramp counter, which generates a square wave with period T_{Sync} . The rising and falling edges of Sync signals represent the positive and negative synchronization signals, respectively. The correct time-shift between the N binary counters, therefore, the synchronism signals, is performed by loading an initial value at system start-up

$$\text{Ramp}_i(0) = 2^b \frac{i-1}{N} \quad (7)$$

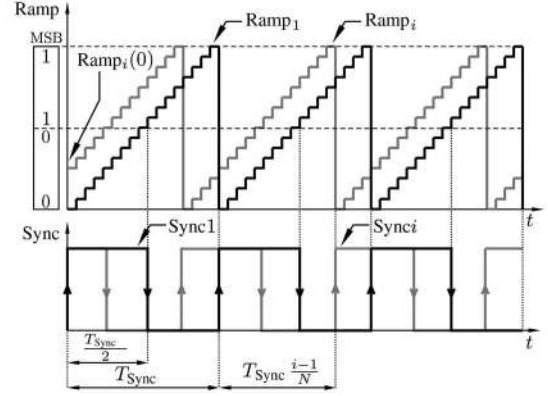


Fig. 9. Synchronism signals generation.

where $\text{Ramp}_i(0)$ is the phase- i Ramp counter initial value and i is the phase number $1 < i < N$.

It should be noted that in case the counter module is not divisible by N , there exists an error in the phase shift between the synchronism signals. In this case, the maximum phase shift error e_ϕ is the error corresponding to the least significant bit relative to the counter module, as depicted in (8)

$$e_\phi = 2\pi \frac{1}{2^b}. \quad (8)$$

Ramp_i counters further provide the time-base reference for all the computations required by the control of each phase. The precision for the calculation of t_{sw} , and therefore the PWM_i output, is then defined by the counter module. Additionally, the steady-state switching frequency $f_S = 1/T_S$ is determined both by the counter module and clock frequency, as shown

$$f_S = \frac{f_{\text{CLK}}}{2^b} \quad (9)$$

Therefore, for a given switching frequency, if the precision is to be increased, the clock frequency must be increased accordingly, i.e., f_{CLK} must be doubled for each additional bit in the counters. In this way, as maximum f_{CLK} is determined by the efficiency of the design, maximum f_S is directly affected by the algorithm optimizations.

B. Arithmetic Unit

Equation (5) or (6) must be computed at every i_e zero-crossing for the determination of the next switching time. Solving these equations requires one product, one division and one additional subtraction in (5). The practical implementation, however, must take into consideration the particular capabilities of the digital platform in order to optimize the available resources.

The algorithm computation can be modified to profit from the parallelization capabilities of the FPGA. By analyzing (5) and (6), a generic t_{sw} calculation can be defined as

$$t_{\text{sw}}(k+1) = \left(\frac{K_2(k)}{V_{\text{ind}}(k)} \right) \cdot t_{\text{hp}}(k+1) \quad (10)$$

where $K_2(k)$ is $(V_{\text{ind}}(k) - V_{0d}(k))$ or $V_{0d}(k)$ depending on i_e slope sign at the zero-crossing instant, and $V_{\text{ind}}(k)$ and $V_{0d}(k)$

are the input and output voltages provided by the ADCs control block at every i_e zero-crossing instant.

The computation of (10) can be performed by increasing t_{sw} in every clock pulse and comparing this variable with the right-side terms of the equation. Variable t_{sw} is then implemented by means of a rising counter, t_{sw} counter, which restarts at every i_e zero-crossing points. The instant at which t_{sw} is equal to (or greater than) the right side of (10) indicates that the state of the PWM_i output can be changed. It is worth noting that, as t_{sw} counters have the same module as $Ramp_i$ counters, precision in the PWM_i output is also determined by the counters module 2^b .

The computation can be further optimized for the implementation in programmable logic devices by avoiding the quotient $K_2(k)/V_{ind}(k)$ calculation. Rewriting (10) as (11), and performing the procedure described, the quotient is transformed into two multiplications. Since division is a very expensive operation and most programmable logic devices include embedded multipliers, this modification leads to resources optimization

$$V_{ind}(k) \cdot t_{sw}(k+1) \geq K_2(k) \cdot t_{hp}(k+1). \quad (11)$$

The computation of $V_{ind}(k) \cdot t_{sw}(k+1)$ is performed at each clock instant, and $K_2(k) \cdot t_{hp}(k+1)$ is calculated in each i_e zero-crossing. $V_{ind}(k)$ and $V_{0d}(k)$ are updated when the i_e zero-crossing points are detected. Voltage acquisition period should be $T_{sample} \leq T_{sync}/(2N)$, in order to provide updated information for each phase zero-crossing points that span over one synchronism period.

Equation (11) requires the t_{hp} value calculation when the i_e zero-crossing point is detected. This value is computed using (2) and the time reference provided by $Ramp_i$ counter. Considering that $t_e(k)$ can be positive or negative and the two possible slope sign at the i_e zero-crossing instant, four different cases for the computation of $t_{hp}(k+1)$ arise.

- 1) Case 1: i_e slope > 0 , $t_e > 0 \Rightarrow t_{hp}(k+1) = \frac{M}{2} - r_1$.
- 2) Case 2: i_e slope > 0 , $t_e < 0 \Rightarrow t_{hp}(k+1) = \frac{3M}{2} - r_2$.
- 3) Case 3: i_e slope < 0 , $t_e < 0 \Rightarrow t_{hp}(k+1) = M - r_3$.
- 4) Case 4: i_e slope < 0 , $t_e > 0 \Rightarrow t_{hp}(k+1) = M - r_4$.

where r_1, r_2, r_3 , and r_4 are the values of the $Ramp_i$ counter when the i_e zero-crossing is detected, for each case, and $M = 2^b - 1$ is the counter final count. These cases are illustrated in Fig. 10, where C_i is the zero-crossing signal of i_{ei} . It can be noted that t_{hp} value is calculated by subtracting the $Ramp_i$ counter value from a constant, when i_e zero-crossing is detected.

Fig. 11 summarizes the arithmetic unit used to compute the commutation instant for a single phase of the modulator. In this figure, signals $START_TSW_i$ and END_TSW_i are internal control signals shared between the commutation and arithmetic units, indicated as Int. Control in Fig. 8. $START_TSW_i$ is generated by the commutation unit to initiate the t_{sw} counter, and END_TSW_i is generated by the arithmetic unit when (11) is satisfied, which indicates the commutation instant.

C. Commutation Unit

The commutation unit is composed of two subunits: *commutation rules* and *commutation state machine*.

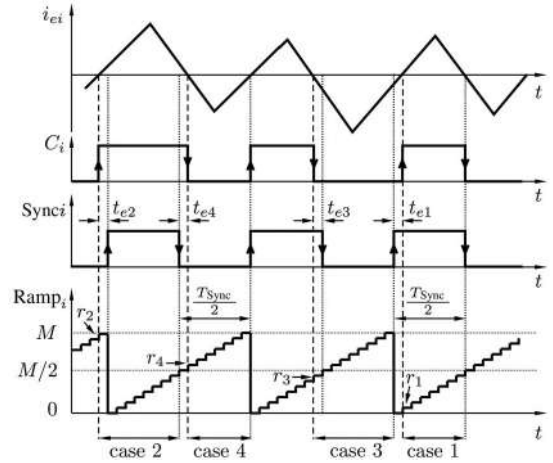


Fig. 10. Possible combinations of t_e sign and i_e slope sign for t_{hp} computation.

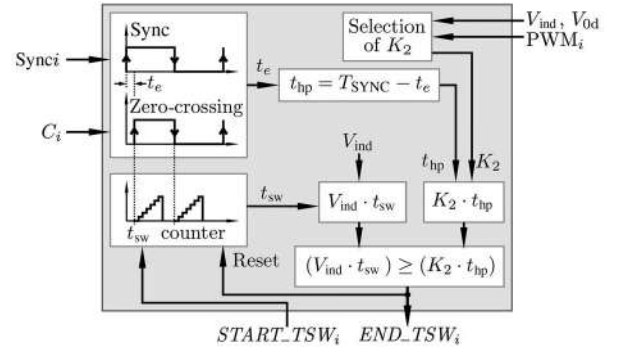


Fig. 11. Phase- i arithmetic unit detailed block diagram.

1) *Commutation Rules*: Commutation rules provide information about the optimal action that the control should perform when the i_e zero-crossing is detected, or when t_{sw} has elapsed.

As shown in Fig. 6, the commutation is enabled only when there is a coincidence between the sign and the slope of i_e , in order to ensure the correct i_{Ref} tracking. As the sign of the i_{ei} slope is determined by the PWM_i signal, and C_i signal indicate the i_{ei} sign, they can be combined to determine whether the commutation is enabled or not. The switching enable flag for phase iSW_EN_i is, therefore, implemented by performing the exclusive NOR (XNOR) function between PWM_i and C_i signals

$$SW_EN_i = \overline{PWM_i \oplus C_i}. \quad (12)$$

SW_EN_i is, therefore, used by the commutation state machine to decide whether the PWM_i state must be changed or not when (11) is satisfied.

As previously stated, an anticipated commutation should be performed in order to optimize the transient response if the synchronization error $t_e(k) > T_{sync}/4$. This condition can be determined by performing the comparison between the synchronization error and the constant $T_{sync}/4$ by means of a digital comparator, when a zero-crossing in i_e is detected.

The detection of the aforementioned condition can be optimized by avoiding the implementation of the digital

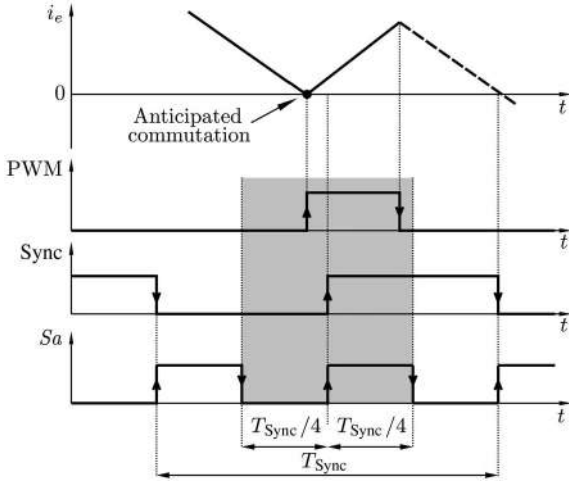


Fig. 12. Determination of the anticipated commutation condition.

comparator. Ramp*i* counter provides the synchronism signal by taking its MSB bit, the next bit will, therefore, generate a signal S_{a_i} with half the period of Sync_i , as shown in Fig. 12. As it can be seen, as S_{a_i} level is constant at $T_{\text{Sync}}/4$ intervals, it can be combined with Sync_i and PWM_i signals in order to determine whether the synchronization error is greater than $T_{\text{Sync}}/4$. If this scenario is detected, $\text{ANT_COMM}_i = 1$ indicates that an anticipated commutation should be performed in order to optimize the transient response. All possible combinations among these three signals are summarized in Table II, which is implemented as the three-input XNOR function shown in (13). ANT_COMM_i state is verified by the commutation state machine at every i_e zero-crossing, in order to determine if the anticipated commutation must be performed.

This methodology allows to reduce the required resources with respect to the implementation of a comparator and it is independent from the counter module

$$\text{ANT_COMM}_i = \overline{\text{PWM}_i \oplus \text{Sync}_i \oplus S_{a_i}}. \quad (13)$$

2) *Commutation State Machine*: This block controls the state of the PWM_i output and starts the t_{sw} computation when necessary. Fig. 13 depicts the phase-*i* state machine model, based on the following input signals.

- 1) $X_0 = \text{END_TSW}_i$: Indicates the instant in which (11) is satisfied.
- 2) $X_1 = \text{SW_EN}_i$: Indicates if the PWM_i switching is enabled.
- 3) $X_2 = C_i$: Sign of i_{ei} .
- 4) $X_3 = \text{ANT_COMM}_i$: Indicates if an anticipated commutation is necessary when the i_{ei} zero-crossing is detected.

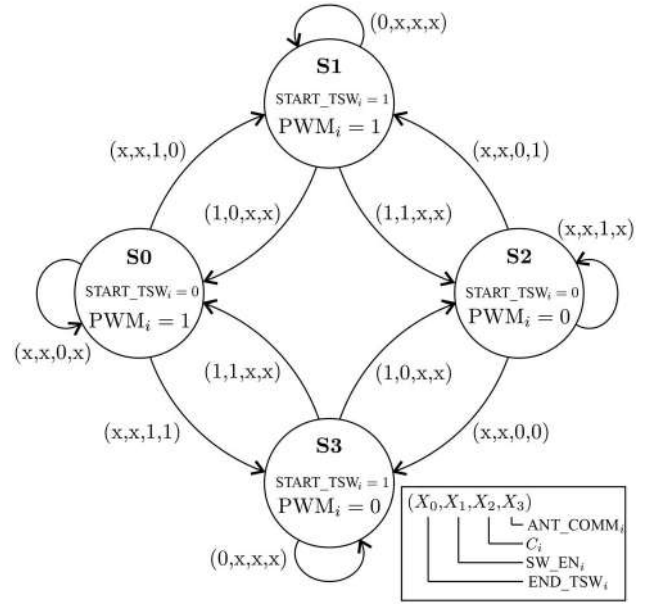
Fig. 13 also depicts the phase-*i* state machine model, based on the following outputs.

- 1) PWM_i : Phase-*i* switch driving signal.
- 2) START_TSW_i : Indicates to the arithmetic unit that t_{sw} calculation must be initiated.

The transition between the four states is determined by the input signals and the current state. The state machine remains in the states S_0 and S_2 until a change in the input X_2 is detected,

TABLE II
ANT_COMM_i TRUTH TABLE

PWM _i	Sync _i	S _{a_i}	ANT_COMM _i
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Fig. 13. Phase-*i* commutation state machine diagram.

indicating a zero-crossing in i_e . Once the zero-crossing is detected, the state machine changes the state to S_1 or S_3 , depending on X_3 input, which indicates if an anticipated commutation is necessary. The state machine stays on S_1 or S_3 until the end of t_{sw} , which is indicated by the input $X_0 = 1$. The system shifts to states S_0 or S_2 depending on whether the switching is enabled or not (X_1 input state). Table III lists the state transitions corresponding to Fig. 13.

It should be noted that the phase control structure described is independent of the control of the remaining phases, as no information or resources are shared among them. By making use of this characteristic and taking advantage of FPGA parallelization capacity, it is possible to obtain a modular and scalar multiphase control.

IV. DESIGN EVALUATION

In order to evaluate the control optimization, the design was implemented on an Xilinx FPGA Spartan 3E XC3S1600E. This device can run at synchronous system clock rates of up to 200 MHz and supports 14 752 slices. This FPGA contains dedicated resources such as 8 digital clock managers (DCMs) and 36 18-bit embedded multipliers.

TABLE III
DESCRIPTION OF STATE TRANSITIONS

Present state	Inputs $X_{[0...3]}$	Future state
S_0	XX0X	S_0 does not detect zero crossing
PWM _i = 1	XX10	S_1 zero crossing with correct slope
START_TSW _i = 0	XX11	S_3 zero crossing with incorrect slope
S_1	0XXX	S_0 t_{sw} does not end
PWM _i = 1	10XX	S_1 end of t_{sw} . Switching disabled
START_TSW _i = 1	11XX	S_3 end of t_{sw} . Switching enabled
S_2	XX1X	S_0 does not detect zero crossing
PWM _i = 0	XX00	S_1 zero crossing with correct slope
START_TSW _i = 0	XX01	S_3 zero crossing with incorrect slope
S_3	0XXX	S_0 t_{sw} does not end
PWM _i = 0	10XX	S_1 end of t_{sw} . Switching disabled
START_TSW _i = 1	11XX	S_3 end of t_{sw} . Switching enabled

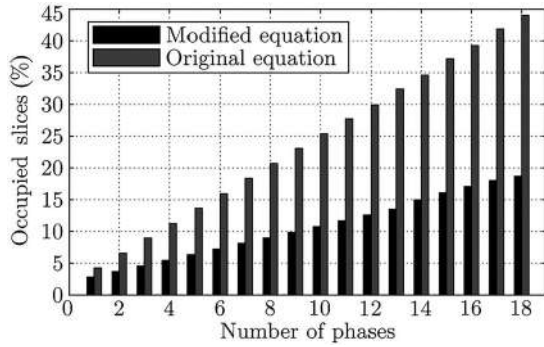


Fig. 14. Spartan 3E resources utilization with and without optimization.

The design evaluation consists of two experimental tests.

- 1) The design optimization is evaluated by comparing the optimized and nonoptimized implementations.
- 2) The behavior of the optimized current control implementation is evaluated on a three-phase interleaved buck converter.

The optimizations described in the several control tasks, such as the optimization of (10) and the commutation rules depicted in (12) and (13), were implemented and compared to the nonoptimized version of the control implementation. Fig. 14 shows the percentage of occupied slices, when different number of phases are implemented with the original equation (10), and the modified equation (11) using $b = 10$ bits for both cases. As shown, by avoiding the implementation of the division in (10), the device utilization is greatly improved. On the other hand, the maximum clock frequency that meets the timing constraints is approximately $f_{CLK_MAX} = 60$ MHz for both implementations. This frequency can, nevertheless, be significantly increased by switching to faster families of FPGAs. Xilinx Spartan 6, for instance, yields a maximum clock frequency of $f_{CLK_MAX} = 250$ MHz when the same project is implemented.

In order to evaluate the implemented algorithm behavior on a practical buck converter, experimental tests were carried out on a system whose main parameters are listed in Table IV. The experimental tests are intended to verify the proposed current control implementation.

TABLE IV
POWER CONVERTER AND IMPLEMENTATION CHARACTERISTICS

Parameters	
Number of phases (N)	3
Phase inductance (L_f)	250 μ H
Input voltage (V_{in})	30 V
Maximum output current (I_{MAX})	10 A
Load resistance (R_L)	2 Ω
Load capacitance (C_L)	40 μ F
Resolution bits (b)	10 bits
Switching frequency (f_S)	12.2 KHz
V_0 and V_{in} sample period (T_{Sample})	13.6 μ s

By using the parameters listed in Table IV, 669 out of 14 752 slices, 6 embedded multipliers, and 1 DCM are used. Additionally, the phase shift error can be calculated for this implementation using (7), as the counter module is not divisible by N (14). This result should be added to the error produced by turn-ON and turn-OFF delays in the switching devices and zero-crossing detection delays

$$e_\phi = 2\pi \frac{1}{2^{10}} = 6.14 \times 10^{-3} = 0.35^\circ. \quad (14)$$

Phase current is measured with LEM LA-25NP hall-effect current transducers. Transducer output current i_s is sensed by using $R_s = 100 \Omega$ shunt resistor. Voltage drop in the shunt resistor $V_s = i_s R_s$ is measured with the AD8250 instrumentation amplifier. This amplifier features high common-mode voltage rejection up to high frequency, thus, reducing modules crosstalk and improving noise margin. Current error i_e is generated by subtracting V_s from V_{i_Ref} , which represents the current reference in the same units as V_s , using the same type of instrumentation amplifier. Current error zero-crossing detection is performed using analog voltage comparators. The hysteresis band present in said comparators is small enough to prevent unwanted switching, without adding significant delay to the zero-crossing detection.

In order to evaluate the different commutation rules, generated in the commutation unit, and the state machine operation, one phase current response to an i_{Ref} step is evaluated. Fig. 15 depicts the current evolution of phase 1, along with internal control signals such as Sync, S_a , C , and the PWM output. As it can be seen, before the i_{Ref} step, C and Sync signals are synchronized. At time t_0 , the system calculates the next switching time for instant t_1 using (11). Equation (12) is not satisfied at t_1 as $C \neq PWM$; the commutation is, therefore, disabled and the system remains in the current state until the zero-crossing at t_2 is detected. As the zero-crossing at t_2 occurs close to a synchronism edge of opposite sign, which can be determined by using (13), the system performs an anticipated commutation in order to recover the synchronized condition at t_3 . The ripple amplitude and duty cycle modification that can be noticed in Fig. 15 are produced by the load voltage variation produced by the i_{Ref} modification.

In order to verify the multiphase system performance, a three-phase current control was implemented. This test is aimed to evaluate the correct current control of each phase and its

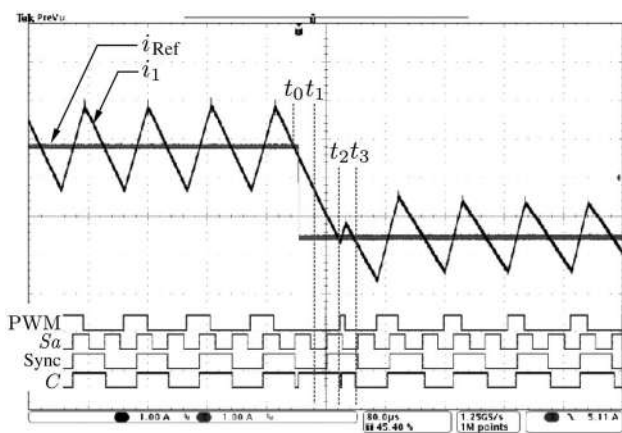


Fig. 15. Single-phase i_{Ref} step tracking. Phase current, i_{Ref} and digital control signals.

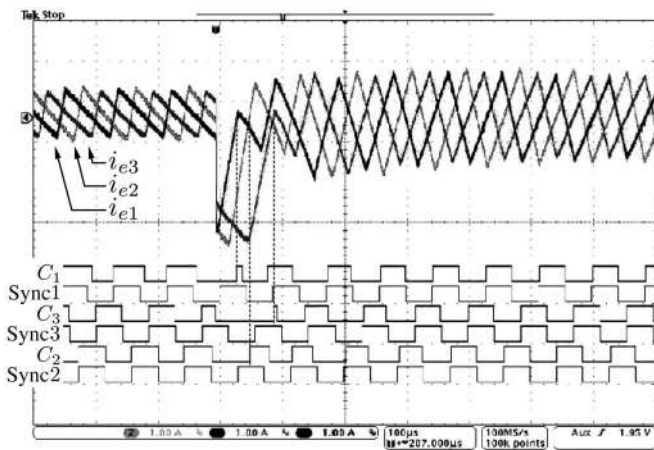


Fig. 16. Three-phase i_e transient response to i_{Ref} step change. Current errors, zero-crossing and synchronism signals.

independence from the remaining phases. Additionally, a step change in i_{Ref} is produced and the multiphase transient behavior is evaluated. Fig. 16 shows the current errors $i_{e1,2,3}$, the synchronism and the zero-crossing signals for the converter described. The phase current error is evaluated instead of the phase current, since it provides better insight of the transient error and recovery. It should be noted that, due to the operation of the converter in current mode, i_{Ref} perturbation produces variations in V_0 . Duty cycle and ripple amplitude change in agreement with the output capacitance charge after the current step is produced. As it can be seen, the commutation instants of a given phase are close to the zero-crossing instants of the remaining phases. The sense circuit, however, minimizes crosstalk between phases, which avoids the commutation of one phase to affect the zero-crossing detection of the remaining ones.

With respect to the multiphase transient behavior, the response of each phase current error to an i_{Ref} step is evaluated. Initially, in Fig. 16, the edges of each phase i_e zero-crossing signals are synchronized with the edges of the corresponding synchronization signal. This synchronized condition produces the correct phase interleaving in order to obtain optimal total ripple attenuation. After the i_{Ref} step change occurs, however,

the synchronized condition is temporarily lost. When the first i_e zero-crossing after the i_{Ref} step is detected, the control of each phase determines whether an anticipated commutation is needed. As it can be seen, phases 1 and 3 perform anticipated commutation as i_{e1} and i_{e3} zero-crossing points are close to the synchronism signal corresponding to the opposite sign. The control of each phase recovers the synchronized condition in the next zero-crossing point by calculating the switching time using (10). As it can be seen, the small synchronization error, present after the interleaved condition is recovered, is corrected in each zero-crossing until the output capacitance is fully charged and the voltage reaches the steady-state condition.

V. CONCLUSION

The digital control of power converters poses challenging issues when efficient implementations are required. Particularly, the complexity of multiphase converters increases with the number of required phases. Additionally, the wide range of applications of this type of converters adds flexibility requirements to the current control algorithm implementation. This work presented the FPGA implementation of a previously developed current control algorithm for multiphase converters. A modular approach with independent control for each phase, easily applicable to a particular number of phases, was developed with emphasis on the resource optimization of several control tasks. Arithmetic operations were adapted to profit from the FPGA architecture. Additionally, the implementation of complex digital devices, such as magnitude comparators, were avoided by performing different cases detection with logic functions. Although designed for a particular control algorithm, the proposed implementation and its optimizations could be extended and applied to different control algorithms. The proposed design and optimizations were validated on a three-phase buck converter.

REFERENCES

- [1] M. Abusara and S. Sharkh, "Design and control of a grid-connected interleaved inverter," *IEEE Trans. Power Electron.*, vol. 28, pp. 748–764, Feb. 2013.
- [2] L. Ni, D. Patterson, and J. Hudgins, "High power current sensorless bidirectional 16-phase interleaved dc-dc converter for hybrid vehicle application," *IEEE Trans. Power Electron.*, vol. 27, pp. 1141–1151, Mar. 2012.
- [3] O. Hegazy, J. Van Mierlo, and P. Lataire, "Analysis, modeling, and implementation of a multidevice interleaved dc/dc converter for fuel cell hybrid electric vehicles," *IEEE Trans. Power Electron.*, vol. 27, pp. 4445–4458, Nov. 2012.
- [4] H. Choi, "Interleaved boundary conduction mode (BCM) buck power factor correction (PFC) converter," *IEEE Trans. Power Electron.*, vol. 28, pp. 2629–2634, Jun. 2013.
- [5] J. Quintero, A. Barrado, M. Sanz, C. Fernandez, and P. Zumel, "Impact of linear nonlinear control in multiphase VRM design," *IEEE Trans. Power Electron.*, vol. 26, pp. 1826–1831, Jul. 2011.
- [6] B. Akin, M. Bhardwaj, and S. Choudhury, "An integrated implementation of two-phase interleaved PFC and dual motor drive using single MCU with CLA," *IEEE Trans. Ind. Informat.*, vol. 9, pp. 2082–2091, Nov. 2013.
- [7] P. Antoszczuk *et al.*, "Characterization of steady-state current ripple in interleaved power converters under inductance mismatches," *IEEE Trans. Power Electron.*, vol. 29, no. 4, pp. 1840–1849, 2014.
- [8] T. Ohata, S. Kirikawa, and T. Saito, "Fault tolerance of simplified parallel power converters with current sharing function," in *Proc. IEEE Asia Pacific Conf. Circuits Syst. (APCCAS)*, 2012, pp. 104–107.

- [9] S. Zhang and X. Yu, "A unified analytical modeling of the interleaved pulse width modulation (PWM) dc-dc converter and its applications," *IEEE Trans. Power Electron.*, vol. 28, pp. 5147–5158, Nov. 2013.
- [10] O. Garcia, P. Zumel, A. De Castro, and J. Cobos, "Automotive dc-dc bidirectional converter made with many interleaved buck stages," *IEEE Trans. Power Electron.*, vol. 21, pp. 578–586, May 2006.
- [11] O. Garcia, A. de Castro, P. Zumel, and J. Cobos, "Digital-control-based solution to the effect of nonidealities of the inductors in multiphase converters," *IEEE Trans. Power Electron.*, vol. 22, pp. 2155–2163, Nov. 2007.
- [12] T. Saito, S. Tasaki, and H. Torikai, "Interleaved buck converters based on winner-take-all switching," *IEEE Trans. Circuits Syst. I*, vol. 52, pp. 1666–1672, Aug. 2005.
- [13] Y. Qiu, J. Sun, M. Xu, K. Lee, and F. C. Lee, "Bandwidth improvements for peak-current controlled voltage regulators," *IEEE Trans. Power Electron.*, vol. 22, no. 4, pp. 1253–1260, Jul. 2007.
- [14] R. Foley, R. Kavanagh, and M. Egan, "Sensorless current estimation and sharing in multiphase buck converters," *IEEE Trans. Power Electron.*, vol. 27, pp. 2936–2946, Jun. 2012.
- [15] R. Li, "Modeling average-current-mode-controlled multi-phase buck converters," in *Proc. IEEE Power Electron. Spec. Conf. (PESC)*, 2008, pp. 3299–3305.
- [16] Y. Zhang, M. Yu, F. Liu, and Y. Kang, "Instantaneous current-sharing control strategy for parallel operation of UPS modules using virtual impedance," *IEEE Trans. Power Electron.*, vol. 28, pp. 432–440, Jan. 2013.
- [17] W. Guo and P. K. Jain, "Analysis and modeling of voltage mode controlled phase current balancing technique for multiphase voltage regulator to power high frequency dynamic load," in *Proc. 24th Annu. IEEE Appl. Power Electron. Conf. Expo. (APEC'09)*, 2009, pp. 1190–1196.
- [18] S. Maestri *et al.*, "Improved control strategy for active bouncers used in klystron modulators," in *Proc. 2011–14th Eur. Conf. Power Electron. Appl. (EPE'11)*, 2011, pp. 1–7.
- [19] N. Wassinger *et al.*, "Multiple-stage converter topology for high-precision high-current pulsed sources," *IEEE Trans. Power Electron.*, vol. 26, pp. 1316–1321, May 2011.
- [20] E. Dallago *et al.*, "The power supply for the beam chopper magnets of a medical synchrotron," in *Proc. 37th IEEE Power Electron. Spec. Conf. (PESC'06)*, 2006, pp. 1–5.
- [21] R. Garcia Retegui, M. Benedetti, M. Funes, P. Antoszczuk, and D. Carrica, "Current control for high-dynamic high-power multiphase buck converters," *IEEE Trans. Power Electron.*, vol. 27, pp. 614–618, Feb. 2012.
- [22] E. Monmasson *et al.*, "FPGAs in industrial control applications," *IEEE Trans. Ind. Informat.*, vol. 7, pp. 224–243, May 2011.
- [23] M. P. Aguirre, L. Calvino, and M. I. Valla, "Multilevel current-source inverter with FPGA control," *IEEE Trans. Ind. Electron.*, vol. 60, pp. 3–10, Jan. 2013.
- [24] C. Buccella, C. Cecati, and H. Latafat, "Digital control of power converters—A survey," *IEEE Trans. Ind. Informat.*, vol. 8, pp. 437–447, Aug. 2012.
- [25] N. Wassinger, R. Retegui, M. Funes, and M. Benedetti, "Digital control for a multiple-stage pulsed current source," *IEEE Trans. Ind. Informat.*, vol. 9, pp. 1122–1129, May 2013.
- [26] J. Juarez-Abad, J. Linares-Flores, E. Guzman-Ramirez, and H. Sira-Ramirez, "Generalized proportional integral tracking controller for a single-phase multilevel cascade inverter: An fpga implementation," *IEEE Trans. Ind. Informat.*, vol. 10, pp. 256–266, Feb. 2014.



Pablo D. Antoszczuk (S'11) was born in Argentina, in 1985. He received the Electronics Engineering degree from the Universidad Nacional de Mar del Plata (UNMDP), Mar del Plata, Argentina, in 2010, where he is currently working toward the Ph.D. degree in electronics engineering.

He is a Graduate Student Researcher with the National Scientific and Technical Research Council (CONICET), Buenos Aires, Argentina. He is a Researcher with the Instrumentation and Control Laboratory (LIC), UNMDP. His research interests

include power converters, current control, and high-precision measurements.



Rogelio Garcia Retegui was born in Argentina, in 1977. He received the Ph.D. degree in electronics engineering from the Universidad Nacional de Mar del Plata (UNMDP), Mar del Plata, Argentina, in 2002 and 2009, respectively.

He is currently working as a Researcher with the Instrumentation and Control Laboratory (LIC), UNMDP, and he is an Assistant Researcher with the National Scientific and Technical Research Council (CONICET), Buenos Aires, Argentina. Since 2003, he has been an Assistant Professor with the Control

Theory and Control Systems Course, UNMDP. His research interests include power electronics, current control, and pulsed-power converters for particle accelerators.



Marcos Funes (M'12) was born in Argentina, in 1974. He received the Ph.D. degree in electronics engineering from the Universidad Nacional de Mar del Plata (UNMDP), Mar del Plata, Argentina, in 1999 and 2007, respectively.

He is an Assistant Researcher with the Instrumentation and Control Laboratory (LIC), UNMDP, since 1999, and with the National Scientific and Technical Research Council (CONICET), Buenos Aires, Argentina, since 2009. His research interests

include high-density programmable logic devices, power converters control, power line communication, and digital signal processing.



Daniel Carrica (S'85–M'95–SM'08) received the B.S. degree in engineering from the Universidad Nacional de Mar del Plata (UNMDP), Mar del Plata, Argentina, in 1984; the M.Sc. degree in electronics from the Universidad Politécnica de Madrid, Madrid, Spain, in 1992; and the Ph.D. degree in electronics engineering from the UNMDP, in 2006.

He is currently the Director of the Instrumentation and Control Laboratory (LIC), UNMDP. He is a Researcher with the National Scientific and Technical Research Council (CONICET), Buenos

Aires, Argentina. His research interests include smart grids and power electronics.

Characterization of Steady-State Current Ripple in Interleaved Power Converters Under Inductance Mismatches

Pablo D. Antoszczuk, *Student Member, IEEE*, Rogelio Garcia Retegui, *Member, IEEE*, Nicolas Wassinger, *Student Member, IEEE*, Sebastian Maestri, Marcos Funes, *Member, IEEE*, and Mario Benedetti

Abstract—Interleaved power converters are used in high-current applications due to their inherent reduction of semiconductors stress and total ripple. Ripple reduction is accomplished by a correct phase shifting, and the filtering improvement explained by the increase in the ripple frequency. However, these benefits are wasted, among other reasons, by the mismatch of the phase inductor value. As a consequence, differences in the ripple amplitude among phases are produced, leading to a total current ripple significantly greater than the ideal case, the loss of the cancellation points and the generation of the switching frequency component and its harmonics. The works dealing with this subject matter have focused on particular cases, such as a given number of phases, a specific converter topology, or a particular case of inductance mismatch, disregarding a general analytical approach. This paper proposes an analytical method to characterize the total ripple in steady state as a function of the duty cycle and the number of phases under any condition on inductance mismatch. Experimental results validate the proposed method.

Index Terms—Current ripple, inductance tolerance, interleaved power converters.

I. INTRODUCTION

IN applications where the efficient control of high currents is required, like in grid-connected inverters, automotive applications, PFC converters, voltage regulator modules, and high-power applications, the use of an interleaved power converter is the most convenient solution [1]–[6]. The use of N phases allows the distribution of high current among phases, thereby reducing the conduction and commutation losses of switching devices. The control of said devices permits to interleave the phases ripples in such a way that their sum, defined as a total ripple, is minimized. Under ideal conditions, the amplitude, duty cycle, and frequency are the same for all phases, and the

phase shift is $\frac{2\pi}{N}$. Consequently, the frequency of the total ripple is increased to N times the switching frequency f_{sw} , which allows us to improve the filtering of the total current [7]–[9].

The benefits aforementioned are affected by tolerances and nonidealities in passive and active components (like switch on-resistance, driver delays, inductor parasitic resistance, and inductor values) [10], [11]. Most of these nonidealities cause dc current unbalance among phases, which can be mitigated by means of digital control [12]–[15]. Regarding the total ripple, its minimization deteriorates with respect to the ideal case due to two main causes: 1) improper phase shift among the different phase currents, and 2) differences between the peak amplitude of the phase currents. The error in the phase shift may be the result of the different turn-on delays in the switches, which leads to a total current ripple degradation that worsens as the difference between the time delays is comparable to the commutation period $T = f_{sw}^{-1}$ [16]. Even though phase-shift errors could generate remarkable differences on total ripple cancellation, there are strategies to mitigate these effects [4], [17]–[19]. With respect to the differences between the peak amplitude of the phase currents, the main cause is phase inductance mismatch. The origin of this mismatch may differ depending on whether ungapped or gapped inductors are analyzed. In the case of ungapped inductors, the most important causes of mismatch are tolerances in the magnetic permeability (usually $\pm 5\%$, $\pm 10\%$ for iron powder cores) and differences in the winding process (such as winding mechanical pressure or distribution) [20]. In the case of gapped inductors, the main cause of inductance mismatch is given by gap size tolerance, which is more critical in small gaps. The design-specified gap may change for several reasons, among them: tolerance in the grinding process if the gap is machined, thickness of the glue used to clamp the two core halves, or shrinking of potting material as it cures. Provided these considerations are taken into account, inductance tolerances within $\pm 10\%$ could be expected in a standard design [21].

Unlike the case of phase-shift error, mismatches among inductances generate differences in the current ripple amplitude among phases that cannot be eliminated by means of control strategies [22]. Compared to the ideal condition, under inductance mismatches, the total current ripple becomes significantly greater, and the switching frequency component and its harmonics are not canceled, which impacts on the overall system performance. For instance, the output capacitance in an interleaved buck converter must be sized based on the increased current ripple and lower frequency components, leading to an

Manuscript received April 8, 2013; revised June 4, 2013; accepted June 10, 2013. Date of current version October 15, 2013. This work was supported in part by the Universidad Nacional de Mar del Plata, Argentina, the National Scientific and Technical Research Council, Argentina, the Ministry of Science, Technology and Productive Innovation, Argentina, the National Agency of Scientific and Technological Promotion, Argentina, the European Organization for Nuclear Research, Switzerland, and the European Particle Physics Latin American Network. Recommended for publication by Associate Editor J. A. Cobos.

The authors are with the Instrumentation and Control Laboratory, Universidad Nacional de Mar del Plata, B7600, Mar del Plata, Argentina (e-mail: pablo_ant@fi.mdp.edu.ar; rgarcia@fi.mdp.edu.ar; nwassinger@fi.mdp.edu.ar; somaestri@fi.mdp.edu.ar; mfunes@fi.mdp.edu.ar; mbenedet@fi.mdp.edu.ar).

Digital Object Identifier 10.1109/TPEL.2013.2270005

increase in the capacitance value. With regard to the analysis of total current ripple due to inductance mismatches, only particular cases have been reported, such as a given number of phases, a specific converter topology, or a particular case of difference between inductances [16], [22]–[24]. Yet a general analytical approach remains to be determined.

This paper proposes a method to characterize the total current ripple in steady state as a function of the duty cycle for N -phase interleaved power converters under any condition on inductance mismatch. The characterization of the total current ripple is performed by analyzing the peak values of this current ripple, and the instant when these peak values appear. The proposed methodology leads to general analytical expressions that allow us to numerically evaluate different characteristics related to the total current ripple for the whole range of the duty cycle. This avoids simulating the converter for each value of the duty cycle. By using this approach, expressions for the maximum amplitude, RMS value, and harmonic content of the total current ripple, and the amplitude of the voltage ripple across the capacitor connected to the common connection point of the phases can be computed. These expressions were computed and verified with measurements on a three-phase interleaved buck converter.

II. PROPOSED METHOD

The proposed method characterizes the total current ripple in the interleaved power converters (i.e., the current ripple at the input in a boost converter or at the output in a buck converter), based on the analysis of each phase ripple in the time domain. To carry out this analysis, the following is assumed:

- 1) the interleaved power converter is operating in steady-state and continuous-conduction mode;
- 2) the voltage drop of the semiconductor devices and parasitic resistances among phases are similar, thus, the duty cycle D is the same for all phases;
- 3) the time constant, associated with the inductors and their resistive component, is usually much higher than the switching period, thus, the phase current can be approximated by linear segments;
- 4) the phase errors among phases, with respect to the ideal phase shift ($\frac{2\pi}{N}$), are small compared to the switching period; therefore, they are neglected.

Under these conditions, the possible differences in the ripple amplitude depend mainly on inductances tolerance. Moreover, given the linear approximation of the phase current waveform, the ripple of each phase current is defined by the peak values of the ripple and the instant in which these peaks appear.

Fig. 1 shows an example of the normalized phase current ripples, $r(t)$, and the total current ripple, $r_T(t)$, of an interleaved power converter with inductance mismatches. The aim of this figure is to illustrate a starting point to develop the ripple characterization based on a general case. As it can be observed, due to the ripple waveform, the peaks in the total ripple occur at the same time instant than the peaks in the phases ripple. These peaks are named positive (negative) when the current slope changes from positive to negative (from negative to pos-

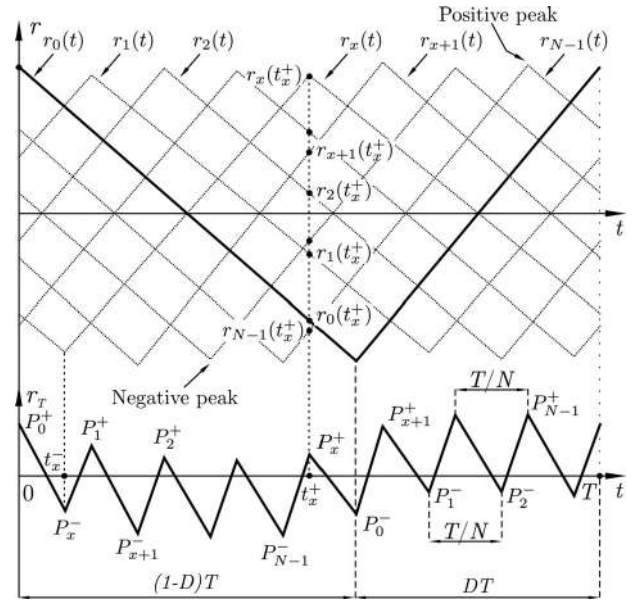


Fig. 1. Interleaved power converter. Normalized phase (top) and total current ripple (bottom).

itive). In the case of a positive (negative) peak the superscript $+$ ($-$) is used. Hence, P_x^+ (P_x^-) is the peak of the total current ripple when a positive (negative) peak in the phase x occurs.

In the figure, a generic positive peak P_x^+ , which occurs at time t_x^+ , can be computed as

$$P_x^+ = r_0(t_x^+) + r_1(t_x^+) + \dots + r_x(t_x^+) \dots r_{N-1}(t_x^+) \quad (1)$$

where $r_x(t_x^+)$ is the phase current ripple of the phase x in time t_x^+ .

The time instants $t_x^\pm$ are related to the occurrence of positive and negative peaks in the phase currents. Since the time when these peaks occur can be analytically calculated, the instants of the peaks in the total ripple can be precisely defined. In Fig. 1, it can be seen that the time elapsing between positive (negative) peaks in the phase or the total ripple is constant and equals $\frac{T}{N}$. If the time at which the positive peak of phase 0 (P_0^+) occurs is taken as a reference, the time at which the peak associated with a generic phase x , t_x^+ , occurs is equal to $\frac{xT}{N}$. It can also be noticed that the time instant at which the negative peak of phase x , t_x^- , occurs is equal to $\frac{xT}{N} - DT$. Notice that, due to the periodicity of the system, t_x^- is equal to $\frac{xT}{N} - DT + T$, when $\frac{xT}{N} - DT$ is negative.

In order to calculate the value of the phase current ripples when a positive or negative peak occurs in any of the phases, a generic representation of the phase current ripples is proposed, based on the system symmetry and periodicity. In this representation, the current ripple of a given phase x is defined as a triangular shaped function $f(t)$ of period T weighed by a normalized amplitude A_x

$$r_x(t) = A_x f(t) = \frac{\hat{I}_x}{\hat{I}_n} f(t) \quad (2)$$

where $\hat{I}_x$ and $\hat{I}_n$ are the maximum ripple amplitudes associated with phase x and the nominal amplitude, respectively. These

TABLE I
PHASE PEAK AMPLITUDE AS A FUNCTION OF THE DUTY CYCLE

	$\hat{f}_x$	$\hat{f}_n$
Boost	$\frac{V_i D T}{2L_x}$	$\frac{V_i D T}{2L_n}$
Buck	$\frac{V_i (1-D) D T}{2L_x}$	$\frac{V_i (1-D) D T}{2L_n}$

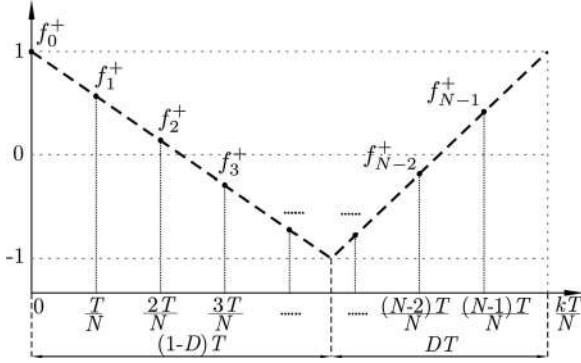


Fig. 2. $f^+(t)$ (dashed line) and f_k^+ (dots).

amplitudes are a function of the duty cycle and the type of converter used, as shown in Table I.

In Table I, L_x is the inductance associated with the phase x and L_n is the nominal inductance, which is defined based on the design specification. The remaining phases are generated using a delayed version of $f(t)$ weighed by their corresponding normalized amplitude.

In order to calculate P^+ , it is convenient to express the function $f(t)$ with its maximum positive at $t = 0$. This function, named $f^+(t)$, is represented by two sections with different slopes, separated by the instant $t = (1-D)T$, as shown by the dashed line in Fig. 2. Since only $f^+(t)$ value is required when a positive peak occurs, the function f_k^+ is defined by sampling $f^+(t)$ in the instants when the positive peaks of the phases occur (see Fig. 2). Then

$$f_k^+ = \begin{cases} 1 - \frac{2k}{(1-D)N}, & \text{if } 0 \leq k < N(1-D) \\ -1 + \frac{2k}{DN} - \frac{2(1-D)}{D}, & \text{if } N(1-D) < k \leq N-1. \end{cases} \quad (3)$$

By using this representation, Fig. 3 illustrates the phases ripple and the total current ripple for a switching period. Notice that each phase current ripple has its own k index, with the origin in its respective positive peak. From this figure, it can be inferred that P_x^+ is given by

$$\begin{aligned} P_x^+ &= A_x f_0^+ + A_{x-1} f_1^+ \cdots + A_1 f_{N-1}^+ + A_0 f_N^+ \\ &\quad + A_{N-1} f_5^+ + \cdots + A_{x+1} f_{N-1}^+ \\ &= \sum_{k=0}^{N-1} A_{x-k} \cdot f_k^+. \end{aligned} \quad (4)$$

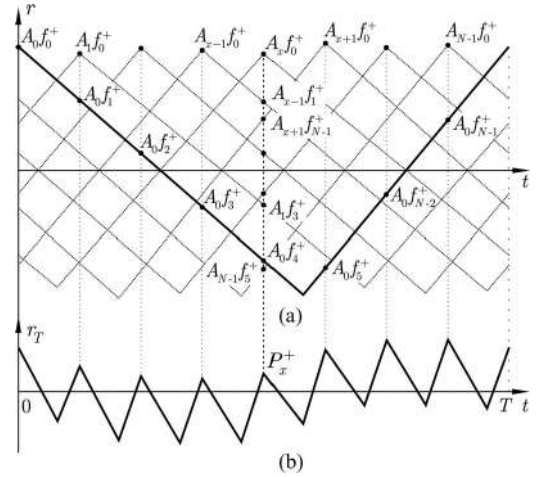


Fig. 3. Interleaved power converter. (a) Phase current ripple. (b) Total current ripple.

Notice that in (4), $x - k$ could become negative. In such case, due to the system periodicity, $x - k + N$ should be considered.

Operating with (3) and (4), the expression for P_x^+ is obtained

$$\begin{aligned} P_{x(D)}^+ &= \sum_{k=0}^{N-1} A_{x-k} \cdot f_k^+ = \sum_{k=0}^{N-1} A_{(x-k)} \left[1 - \frac{2k}{(1-D)N} \right] \\ &\quad + \sum_{k > N(1-D)}^{N-1} A_{(x-k)} \left[\frac{2k}{(1-D)DN} - \frac{2}{D} \right]. \end{aligned} \quad (5)$$

In the case of negative peaks, P_x^- , it is convenient to express the function $f(t)$ with its maximum negative on $t = 0$. This function, named $f^-(t)$, is represented by two sections with different slopes, separated by the instant $t = DT$. Operating in the same way as P_x^+ , the expression for P_x^- can be obtained

$$\begin{aligned} P_{x(D)}^- &= \sum_{k=0}^{N-1} A_{x-k} \cdot f_k^- = - \sum_{k=0}^{N-1} A_{(x-k)} \left[1 - \frac{2k}{DN} \right] \\ &\quad - \sum_{k > N \cdot D}^{N-1} A_{(x-k)} \left[\frac{2k}{(1-D)DN} - \frac{2}{(1-D)} \right]. \end{aligned} \quad (6)$$

Analyzing (5) and (6), it can be noticed that the summands in the first sum are valid for any k , while in the second sum, due to the piecewise nature of f and the relationship between k and D , only the summands that verify the expression in the limits of the sum are valid. It is worth considering that the values of D determining the validity zone of each section are coincident with the cases of ripple cancellation in the ideal case.

It should be noticed that, due to the nonlinear relationship between the magnetic field and the inductor current, the L_x used to calculate A_x can change with the current. In such case, to calculate expressions (5) and (6), the peak amplitudes of each phase should be evaluated taking into account their current dependence. In some cases, such as in current-source applications, current dependence is associated with duty cycle dependence. Then, the A_x value will change with D , and has to be updated in each computation of (5) and (6) based on the relationship

between L_x and D . In other cases, where the total current does not affect the steady-state duty cycle, e.g., voltage regulators under different loads, the A_x value to be used in (5) and (6) has to be computed according to its current dependence and is valid for every D . Hence, computing these expressions for several current values leads to a family of curves.

III. SOME APPLICATIONS OF THE PROPOSED METHOD

Knowing the numerical value and the sequence of appearance of $P_x^\pm$ allows us to characterize the total current ripple, which is useful when it comes to evaluating relevant aspects of the converter design. In this sense, this section presents the calculation of some of these aspects such as the maximum amplitude, the harmonic content, and the RMS value of the total current ripple, and the voltage variation that this ripple generates in the capacitor C connected to the common point of the phases. These parameters, which are used to define C size and technology, impact on the power loss and voltage ripple in the capacitor. With respect to the harmonic content, if the N -phase converter is ideal, the first $N - 1$ ripple harmonics are canceled relaxing the total current filtering specifications. However, in the nonideal case, this benefit is degraded, and consequently, an analysis of the first $N - 1$ harmonics becomes necessary. This section lies on the proposed method to determine the analytic expressions of the aforementioned parameters.

A. Maximum Total Current Ripple Amplitude

The maximum value of the total current ripple can be obtained as a function of the duty cycle, $P_T(D)$. The procedure relies on the calculation of the ripple peaks produced by each phase current peak for different values of D , i.e., $P_x^\pm(D)$ for $x = 0, 1, \dots, N - 1$, using (5) and (6), respectively. Then, the maximum ripple is obtained by considering the maximum value of $P_i^\pm$ for a given D , as indicated in the following:

$$P_T(D) = \max(|P_{x(D)}^+|, |P_{x(D)}^-|). \quad (7)$$

This equation evaluates the absolute value of the ripple, so that the amplitude of the total ripple can be analyzed regardless of the $P_x^\pm$ sign. As an example, the maximum total current ripple for the particular case of three-phase interleaved buck and boost converters was computed. The normalized total ripple was obtained using (5)–(7), and the total ripple for each particular converter was derived from $\hat{I}_n$ in Table I. In both cases, the main parameters are: $L_1 = 280.5\mu\text{H}$, $L_2 = 255\mu\text{H}$, $L_3 = 242\mu\text{H}$, $f_{sw} = 12.21\text{kHz}$, and input voltage $V_i = 50\text{V}$. Fig. 4 displays the obtained results together with the ideal case, where the loss of the cancellation points can be noted.

B. RMS Value of the Total Current Ripple

The RMS value of the total current ripple can be calculated as

$$r_{T\text{rms}} = \sqrt{\frac{1}{T} \int_0^T [r_T(\tau)]^2 d\tau} \quad (8)$$

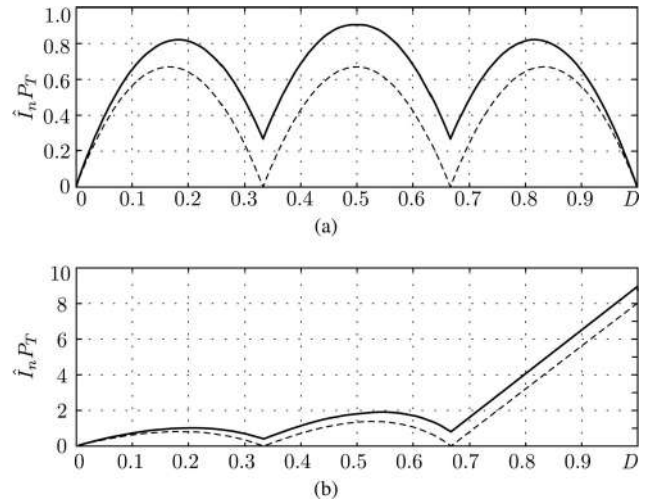


Fig. 4. Output current ripple. Ideal case (dashed). Non ideal case (solid). (a) Buck converter. (b) Boost converter.

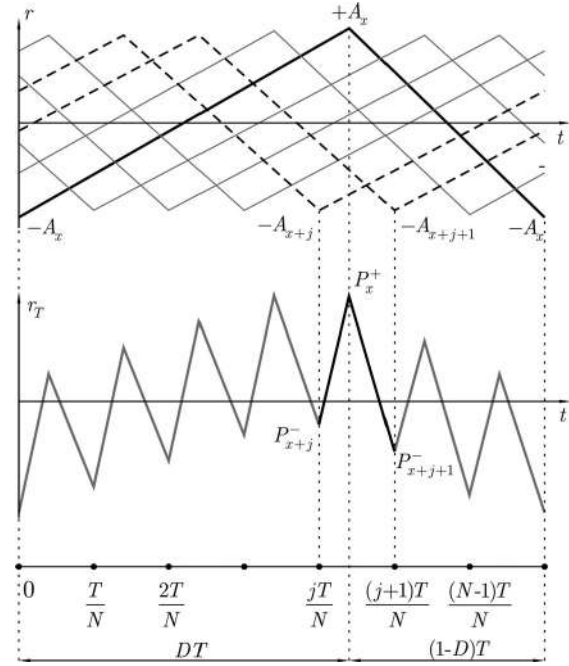


Fig. 5. Normalized RMS value calculation.

where r_T is the expression corresponding to the total current ripple, whose value in the peaks is given by the previously calculated $P_x^\pm$. Knowing these values allows us to segment the calculation of the RMS value in intervals. Then, the total RMS value is the sum of all the RMS values calculated in each interval. For this calculation, the intervals were defined as including a positive peak and being delimited by the appearance of two consecutive negative peaks, as shown in Fig. 5. This figure displays the phases ripple and the total ripple, where the interval including the positive peak associated with the phase x is highlighted. This positive peak, which is related to the instant DT , is located inside the interval given by $\frac{jT}{N} \leq DT < \frac{(j+1)T}{N}$. Thus, P_x^+ is located between the negative peaks of the total current P_{x+j}^- and P_{x+j+1}^- , as illustrated in the figure.

The expression of RMS current ripple in this interval is shown as

$$r_{T\text{rms}(x,D)} = \sqrt{\frac{1}{T} \left[\int_{\frac{jT}{N}}^{DT} [r_T^p(\tau)]^2 d\tau + \int_{DT}^{\frac{(j+1)T}{N}} [r_T^n(\tau)]^2 d\tau \right]} \quad (9)$$

with

$$\begin{aligned} r_T^p(\tau) &= m^p (\tau - t_0^p) + q^p \\ r_T^n(\tau) &= m^n (\tau - t_0^n) + q^n \end{aligned} \quad (10)$$

$$\begin{aligned} m^p &= \frac{P_x^+ - P_{x+j}^-}{DT - \frac{jT}{N}} = q^p P_{x+j}^- = t_0^p \frac{jT}{N} \\ m^n &= \frac{P_{x+j+1}^- - P_x^+}{\frac{(j+1)T}{N} - DT} = q^n P_x^+ = t_0^n DT \end{aligned} \quad (11)$$

where r_T^p and r_T^n are the expressions corresponding to the total current ripple in this interval for the positive and negative slope, respectively. From Fig. 5, it can be noticed that j value is not arbitrary, but changes based on DT value. Since $DT > \frac{jT}{N}$ in the interval under analysis and j is an integer, then, j is the largest integer less than or equal to ND . This relationship can be expressed as

$$j = \max\{j \in \mathbb{Z} \mid j \leq ND\}. \quad (12)$$

Then, the RMS value of the total current ripple as a function of the duty cycle is obtained by adding up the previous results of all the intervals, as shown in the following:

$$\begin{aligned} r_{T\text{rms}(D)} &= \sqrt{\sum_{x=0}^{N-1} r_{\text{rms}(x,D)}^2} \\ r_{T\text{rms}(D)}^2 &= \sum_{x=0}^{N-1} \left(\frac{ND-j}{3N} [(P_x^+ - P_{x+j}^-)^2 + P_x^+ P_{x+j}^-] \right. \\ &\quad \left. + \frac{1-ND+j}{3N} [(P_x^+ - P_{x+j+1}^-)^2 + P_x^+ P_{x+j+1}^-] \right). \end{aligned} \quad (13)$$

Notice that (13) is only a function of D , since j is related to D by (12).

C. Maximum Voltage Ripple Across the Capacitor

Knowing $P_x^\pm$ allows us to calculate the voltage ripple across the capacitor connected to the common point of the phase inductors, i.e., at the input or at the output depending on the converter topology. In the following, it is assumed that the ripple of the total current mainly flows through the capacitor.

The voltage ripple, $\Delta v(t)$, can be calculated by using

$$\begin{aligned} \Delta v(t) &= \frac{1}{C} \int_{t_0}^t \hat{I}_n r_T(\tau) d\tau + \left(\Delta v(t_0) - \hat{I}_n r_T(t_0) ESR \right) \\ &\quad + \hat{I}_n r_T(t) ESR \end{aligned} \quad (14)$$

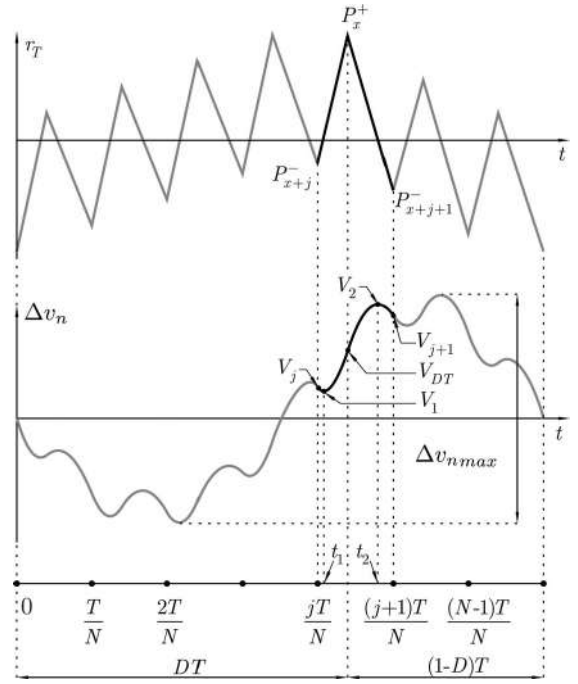


Fig. 6. Normalized voltage ripple calculation.

where ESR is the capacitor series resistance. The normalized version of Δv , defined as Δv_n , is shown as

$$\begin{aligned} \Delta v_n(t) &= \frac{\Delta v(t)}{\hat{I}_n Z_n} = \frac{1}{Z_n C} \int_{t_0}^t r_T(\tau) d\tau + \Delta v_n(t_0) \\ &\quad + [r_T(t) - r_T(t_0)] ESR_n \end{aligned} \quad (15)$$

where $Z_n = (2\pi f_{sw} C)^{-1}$ is the impedance of the capacitor at $f_{sw} = \frac{1}{T}$ and $ESR_n = \frac{ESR}{Z_n}$ is the normalized ESR . The maximum voltage swing across the capacitor, $\Delta v_{n\text{max}}$, is obtained for each D value and calculated from the difference between the maximum and the minimum values of $\Delta v_n(t)$ in a commutation period

$$\Delta v_{n\text{max}}(D) = \max(\Delta v_n) - \min(\Delta v_n). \quad (16)$$

For a given D , (16) is calculated using the same methodology as in the calculation of the RMS current ripple, i.e., the voltage ripple across the capacitor is analyzed by intervals. In each interval, the maximum and minimum $\Delta v_n(t)$ values are computed, and then, $\Delta v_{n\text{max}}$ is obtained by evaluating the maximum and minimum of all the intervals. To determine the maximum and minimum voltage inside each interval, $\Delta v_n(t)$ should be calculated for different points. These points allow us to concatenate the results of the different intervals and to establish the potential absolute maximum and minimum. Fig. 6 shows the total current ripple and the voltage ripple across the capacitor, Δv_n , where the interval associated with phase x is highlighted and the voltage corresponding to the previously mentioned points is shown. These points are: voltage at the beginning of the interval (V_j), voltage at time t_1 (V_1), voltage in the instant of change in the slope of r_T (V_{DT}), voltage at time t_2 (V_2), and voltage at the end of the interval (V_{j+1}). Note that the initial value of the voltage in the analyzed interval is the same as the voltage at the

end of the previous interval. Moreover, since t_1 and t_2 are the times corresponding to potential maximum or minimum values, they are obtained by making the first derivative of $\Delta v_n(t)$ equal to zero.

The expressions that allow us to calculate the different values of the voltage ripple, starting from an initial voltage V_j , are shown as follows:

$$\begin{aligned}
 V_1 &= \frac{1}{Z_n C} \int_{\frac{jT}{N}}^{t_1} \left[m^p \left(\tau - \frac{jT}{N} \right) + q^p \right] d\tau \\
 &\quad + V_j + m^p \left(t_1 - \frac{jT}{N} \right) ESR_n \\
 V_{DT} &= \frac{1}{Z_n C} \int_{\frac{jT}{N}}^{DT} \left[m^p \left(\tau - \frac{jT}{N} \right) + q^p \right] d\tau \\
 &\quad + V_j + m^p \left(DT - \frac{jT}{N} \right) ESR_n \\
 V_2 &= \frac{1}{Z_n C} \int_{DT}^{t_2} [m^n (\tau - DT) + q^n] d\tau \\
 &\quad + V_{DT} + m^n (t_2 - DT) ESR_n \\
 V_{j+1} &= \frac{1}{Z_n C} \int_{DT}^{\frac{(j+1)T}{N}} [m^n (\tau - DT) + q^n] d\tau \\
 &\quad + V_{DT} + m^n \left(\frac{(j+1)T}{N} - DT \right) ESR_n. \quad (17)
 \end{aligned}$$

In the interval under analysis, Δv_n could be monotonic; in such case, times t_1 or t_2 do not exist, and the described equations cannot be used for the calculation of V_1 and V_2 . If time t_1 does not exist, V_1 is then defined as $V_1 = V_j$, whereas if time t_2 does not exist, V_2 is defined as $V_2 = V_{j+1}$. The values for t_1 and t_2 can be calculated from the following equation, if they exist:

$$\begin{aligned}
 t_1 &= \frac{jT}{N} - \left(\frac{q^p}{m^p} + ESR_n Z_n C \right) \\
 t_2 &= DT - \left(\frac{q^n}{m^n} + ESR_n Z_n C \right). \quad (18)
 \end{aligned}$$

Operating with (17) and (18), the calculation of the different voltages are obtained

$$\begin{aligned}
 V_1 &= - \left(\frac{q^p}{Z_n C} + m^p ESR_n \right)^2 \frac{Z_n C}{2m^p} + V_j \\
 V_{DT} &= \left(DT - \frac{jT}{N} \right) \left[\frac{m^p}{2Z_n C} \left(DT - \frac{jT}{N} \right) \right. \\
 &\quad \left. + \frac{q^p}{Z_n C} + m^p ESR_n \right] + V_j \\
 V_2 &= - \left(\frac{q^n}{Z_n C} + m^n ESR_n \right)^2 \frac{Z_n C}{2m^n} + V_{DT} \\
 V_{j+1} &= \left(\frac{(j+1)T}{N} - DT \right) \left[\frac{m^n}{2Z_n C} \left(\frac{(j+1)T}{N} - DT \right) \right. \\
 &\quad \left. + \frac{q^n}{Z_n C} + m^n ESR_n \right] + V_{DT}. \quad (19)
 \end{aligned}$$

By evaluating (19) for each interval, the pair (V_1, V_2) is obtained and stored in vector V_C . Once the N intervals are evaluated, $\Delta v_{n\max}$ is calculated by considering the maximum and minimum vector values of V_C

$$\Delta v_{n\max}(D) = \max(V_C) - \min(V_C). \quad (20)$$

Below the procedure to compute $\Delta v_{n\max}$ is summarized:

- 1) for a given D , obtain j using (12);
- 2) update the index of the interval to be computed, i.e., x value;
- 3) given x and j values, and known the values of $P^\pm$, evaluate the expressions shown in (11);
- 4) evaluate (19) and store (V_1, V_2) in vector V_C ;
- 5) repeat steps 2–4 until computing N intervals, i.e., evaluate from the interval corresponding to $x = 0$ to that of $x = N - 1$;
- 6) obtain the maximum voltage swing across the capacitor using (20).

D. Harmonic Content of the Total Current Ripple

In this section, the harmonic content of the current ripple in the common point of the phase inductors is calculated as a function of $P_x^\pm$. This ripple can be written as a Fourier series, as shown in the following:

$$r_T(t) = \sum_{h=1}^{\infty} |r_{Th}| \cos \left(\frac{h2\pi t}{T} - \theta_h \right) \quad (21)$$

where

$$|r_{Th}| = \sqrt{a_h^2 + b_h^2} \quad (22)$$

being a_h and b_h the real and imaginary parts of the h th component, respectively, which are calculated as follows:

$$\begin{aligned}
 a_h &= \frac{2}{T} \int_0^T r_T(t) \cos \left(\frac{h\pi t}{T} \right) dt \\
 b_h &= \frac{2}{T} \int_0^T r_T(t) \sin \left(\frac{h\pi t}{T} \right) dt. \quad (23)
 \end{aligned}$$

As proposed in Section III-B, $r_T(t)$ function can be segmented, so as to include a positive peak in each segment and be delimited by the appearance of two consecutive negative peaks $\left(\frac{xT}{N} \leq t \leq \frac{(x+1)T}{N} \right)$, in order to calculate (23) by intervals, as

TABLE II
EXPRESSION FOR P_x^+ AS A FUNCTION OF D

$P_0^+(D)$	Condition
$A_0 - A_1 \frac{(D+1/3)}{(1-D)} - A_2 \frac{(D-1/3)}{(1-D)}$	$0 < D < 1/3$
$A_0 + A_1 \frac{(D-2/3)}{D} - A_2 \frac{(D-1/3)}{(1-D)}$	$1/3 < D < 2/3$
$A_0 + A_1 \frac{(D-2/3)}{D} + A_2 \frac{(D-4/3)}{D}$	$2/3 < D < 1$
$P_1^+(D)$	Condition
$-A_0 \frac{(D-1/3)}{(1-D)} + A_1 - A_2 \frac{(D+1/3)}{(1-D)}$	$0 < D < 1/3$
$-A_0 \frac{(D-1/3)}{(1-D)} + A_1 + A_2 \frac{(D-2/3)}{D}$	$1/3 < D < 2/3$
$A_0 \frac{(D-4/3)}{D} + A_1 + A_2 \frac{(D-2/3)}{D}$	$2/3 < D < 1$
$P_2^+(D)$	Condition
$-A_0 \frac{(D+1/3)}{(1-D)} - A_1 \frac{(D-1/3)}{(1-D)} + A_2$	$0 < D < 1/3$
$A_0 \frac{(D-2/3)}{D} - A_1 \frac{(D-1/3)}{(1-D)} + A_2$	$1/3 < D < 2/3$
$A_0 \frac{(D-2/3)}{D} + A_1 \frac{(D-4/3)}{D} + A_2$	$2/3 < D < 1$
$P_0^-(D)$	Condition
$-A_0 + A_1 \frac{(D-1/3)}{(1-D)} + A_2 \frac{(D+1/3)}{(1-D)}$	$0 < D < 1/3$
$-A_0 + A_1 \frac{(D-1/3)}{(1-D)} - A_2 \frac{(D-2/3)}{D}$	$1/3 < D < 2/3$
$-A_0 + A_1 \frac{(D-4/3)}{D} - A_2 \frac{(D-2/3)}{D}$	$2/3 < D < 1$
$P_1^-(D)$	Condition
$A_0 \frac{(D+1/3)}{(1-D)} - A_1 + A_2 \frac{(D-1/3)}{(1-D)}$	$0 < D < 1/3$
$-A_0 \frac{(D-2/3)}{D} - A_1 + A_2 \frac{(D-1/3)}{(1-D)}$	$1/3 < D < 2/3$
$-A_0 \frac{(D-2/3)}{D} - A_1 - A_2 \frac{(D-4/3)}{D}$	$2/3 < D < 1$
$P_2^-(D)$	Condition
$A_0 \frac{(D-1/3)}{(1-D)} + A_1 \frac{(D+1/3)}{(1-D)} - A_2$	$0 < D < 1/3$
$A_0 \frac{(D-1/3)}{(1-D)} + A_1 \frac{(D-2/3)}{D} - A_2$	$1/3 < D < 2/3$
$-A_0 \frac{(D-4/3)}{D} + A_1 \frac{(D-2/3)}{D} - A_2$	$2/3 < D < 1$

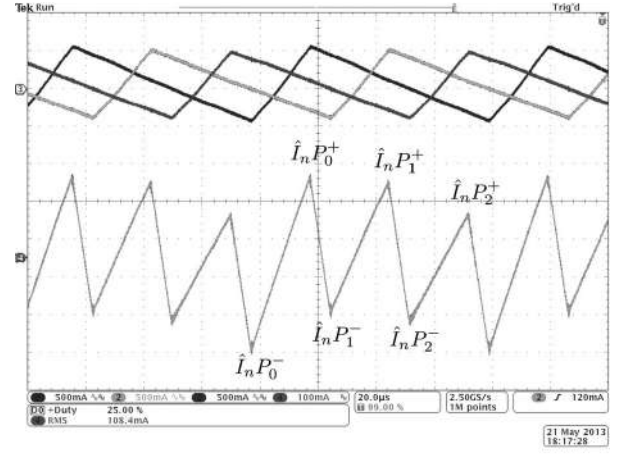
shown in the following:

$$a_h = \sum_{x=0}^{N-1} \frac{2}{T} \int_{\frac{xT}{N}}^{\frac{(x+1)T}{N}} r_T(t) \cos\left(\frac{h\pi t}{T}\right) dt = \sum_{x=0}^{N-1} \frac{a_{hx}}{h\pi}$$

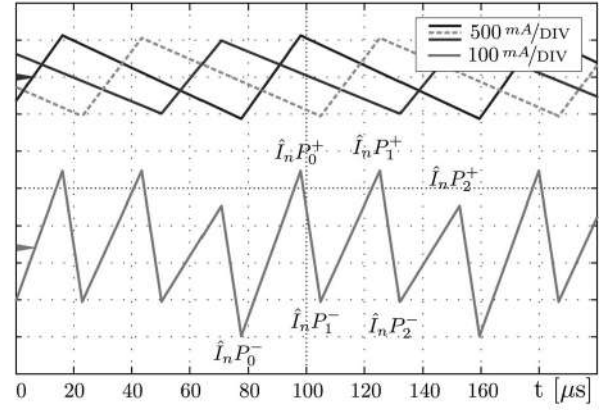
$$b_h = \sum_{x=0}^{N-1} \frac{2}{T} \int_{\frac{xT}{N}}^{\frac{(x+1)T}{N}} r_T(t) \sin\left(\frac{h\pi t}{T}\right) dt = \sum_{x=0}^{N-1} \frac{b_{hx}}{h\pi}. \quad (24)$$

Then, by solving the integral terms for each segment and by simplifying the resulting expressions, a_{hx} and b_{hx} are

$$a_{hx} = (P_x^+ - P_{x+j+1}^-) \text{sinc}\left(\frac{(j+1-ND)h\pi}{N}\right) \times \sin\left(\frac{(2x+ND+j+1)h\pi}{N}\right)$$



(a)



(b)

Fig. 7. Phase current and total ripple. Experimental and simulation results. (a) Experimental. (b) Simulated.

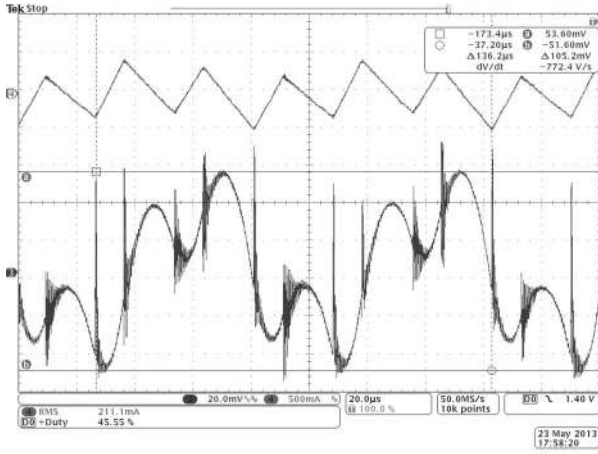
$$+ (P_{x+j}^- - P_x^+) \text{sinc}\left(\frac{(j-ND)h\pi}{N}\right) \sin\left(\frac{(2x+ND+j)h\pi}{N}\right) \\ + P_{x+j+1}^- \sin\left(\frac{2(x+j+1)h\pi}{N}\right) - P_{x+j}^- \sin\left(\frac{2(x+j)h\pi}{N}\right) \quad (25)$$

$$b_{hx} = (P_x^+ - P_{x+j+1}^-) \text{sinc}\left(\frac{(j+1-ND)h\pi}{N}\right) \times \cos\left(\frac{(2x+ND+j+1)h\pi}{N}\right) \\ + (P_{x+j}^- - P_x^+) \text{sinc}\left(\frac{(j-ND)h\pi}{N}\right) \cos\left(\frac{(2x+ND+j)h\pi}{N}\right) \\ + P_{x+j+1}^- \cos\left(\frac{2(x+j+1)h\pi}{N}\right) - P_{x+j}^- \cos\left(\frac{2(x+j)h\pi}{N}\right). \quad (26)$$

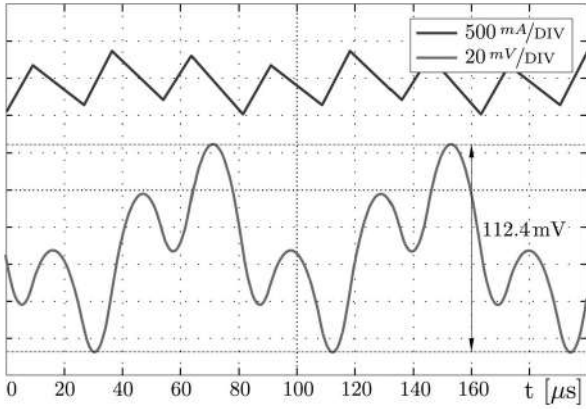
Once a_{hx} and b_{hx} are computed for each h and D , (22) can be computed through (24).

TABLE III
EXPERIMENTAL RESULTS

$I_n P_x$	$D = 0.25$, $V_{in} = 17.8$ V, $\hat{I}_n = 0.539$ A	
	Calculated [mA]	Measured [mA]
$\hat{I}_n P_0^+$	206	210
$\hat{I}_n P_1^+$	207	197
$\hat{I}_n P_2^+$	113	112
$\hat{I}_n P_0^-$	-238	-241
$\hat{I}_n P_1^-$	-145	-144
$\hat{I}_n P_2^-$	-144	-163

Denormalized $P_x^\pm$.

(a)

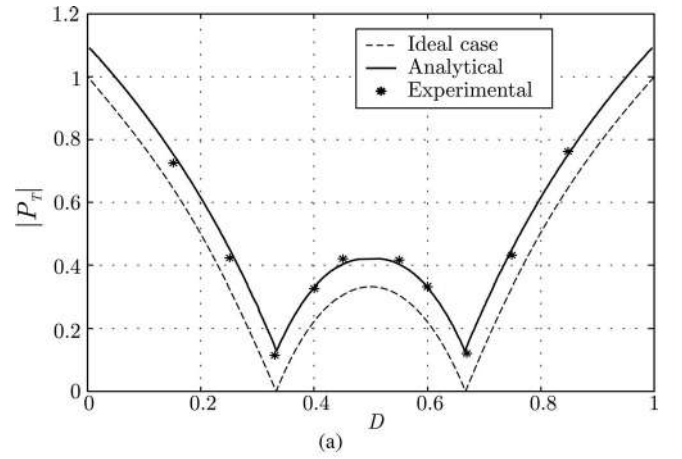


(b)

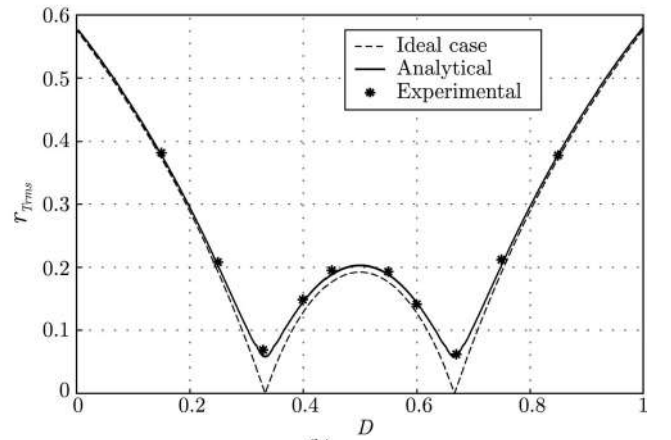
Fig. 8. Capacitor voltage ($D = 0.45$). Experimental and simulation results.

IV. EXPERIMENTAL RESULTS

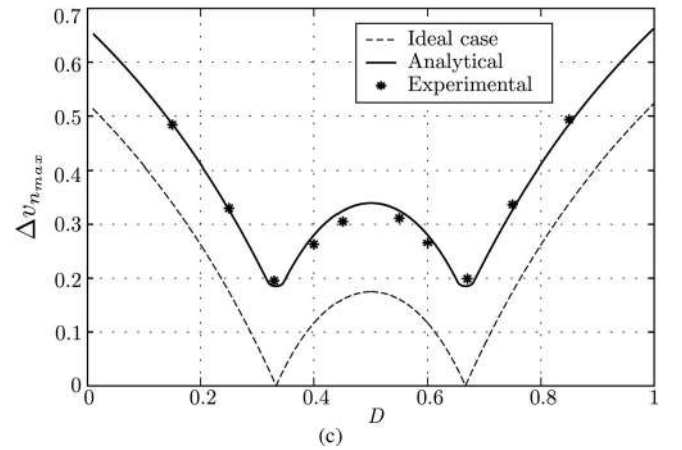
In order to validate the proposed method and the described applications, experimental results on a three-phase interleaved buck converter were conducted and compared to the computed results of the expressions using MATLAB software. The main specifications are: commutation period $T = 81.9 \mu\text{s}$ (i.e., $f_{sw} = T^{-1} = 12.21 \text{ kHz}$) and output capacitor $C = 40 \mu\text{F}$. The nominal phase inductance is sized according to the peak amplitude of the phase current ripple specified by the design, which was selected to be 1 A. Since the maximum ripple occurs at $D = 0.5$ and considering $V_i = 25 \text{ V}$, the nominal phase inductance is



(a)



(b)



(c)

Fig. 9. Experimental results. (a) Normalized maximum ripple amplitude $|P_T|$. (b) Normalized total rms current ripple $r_{T_{rms}}$. (c) Normalized capacitor maximum voltage ripple $\Delta v_{n_{max}}$.

tance is

$$L_n = \frac{V_i(1-D)DT}{2\hat{I}_n} = 256 \mu\text{H}. \quad (27)$$

The phase inductors are built with double-E gapped ferrite cores, leading to $\pm 7\%$ inductance tolerance: $L_0 = 239 \mu\text{H}$, $L_1 = 255 \mu\text{H}$, and $L_2 = 273 \mu\text{H}$. The use of gapped inductors allows us to obtain approximately constant inductances in the evaluated current range, thereby A_x values were considered

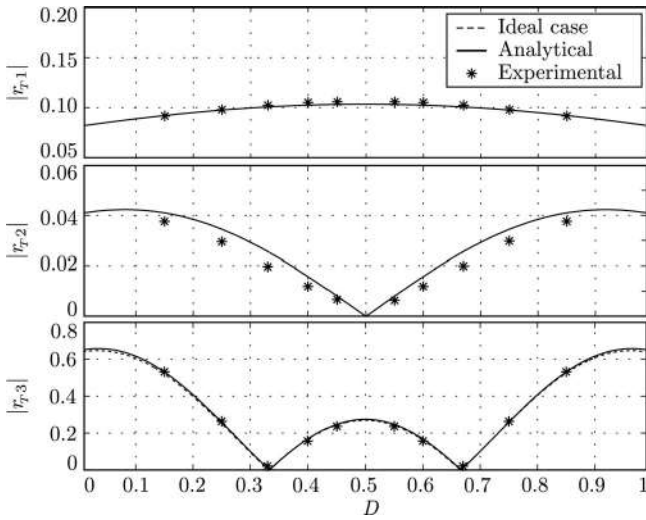


Fig. 10. Experimental results. Spectrum analysis.

constants for all D . The tolerances in the inductance produce mismatches in the amplitude of the phase ripples, leading to $A_0 = 1.07$, $A_1 = 1.004$, and $A_2 = 0.937$. Given the reduced number of phases, compact expressions for $P_x^\pm$ can be obtained by using (5) and (6). Table II shows the expressions for P_x .

Fig. 7 shows the experimental and simulated waveforms corresponding to the phase currents and the total current ripple obtained with $D = 0.25$. The peaks of the total current, which are the denormalized $P_x^\pm$, are identified in the figures. Table III summarizes the measured values, which are in close agreement with the calculated values.

The maximum voltage ripple was also evaluated. Fig. 8 displays the experimental and simulated waveforms of the total current ripple and the capacitor voltage ripple in the condition described. The case of $D = 0.45$ and $V_i = 28\text{V}$ was calculated and then simulated, leading to a peak-to-peak voltage ripple of 112.4mV , as shown in Fig. 8(b), which corresponds to a normalized voltage ripple of $\Delta v_{Cn\max} = 0.325$. On the other hand, the experimental measured peak-to-peak voltage ripple is 105.2mV , as shown in Fig. 8(a), which corresponds to a normalized value of $\Delta v_{Cn\max} = 0.305$. Notice that the ringing present in the experimental voltage waveform is produced by the commutation noise being picked up by the parasitic inductances of the experimental and measurement setup.

The analytical expressions developed in Section III were validated by means of experimental measurements on the power converter. Fig. 9 shows the validation of (7), (13), and (20). It can be seen that the experimental results obtained are in close agreement with the analytical curves obtained with the proposed method. The ideal case is also included in the figure as a reference, in order to illustrate the difference between this case and the analyzed one. Additionally, Fig. 10 illustrates the validation of (22). It can be appreciated that, due to the inductance mismatch, the spectral lines corresponding to f_{sw} ($|r_{T1}|$) and $2f_{sw}$ ($|r_{T2}|$) are no longer canceled in the output current. As a consequence, the ripple cancellation points are lost in r_T , although they are still present in the spectral line corresponding to Nf_{sw} ($|r_{T3}|$).

V. CONCLUSION

The benefits of interleaved power converters are degraded, among other causes, by phase inductance mismatch. This mismatch can be caused by tolerances in the manufacturing process or in the core magnetic properties, leading to differences in phase ripples amplitudes. Consequently, compared to the ideal case, the total current ripple becomes significantly greater, and the switching frequency component and its harmonics are not canceled, which impacts on the overall system performance. This paper presents a general analysis method for the characterization of the steady-state total current ripple for any inductance mismatch. This characterization, based on the analysis of each phase ripple in the time domain, allows us to determine the peak values of the total current ripple and the instant in which these peaks appear. The proposal permits to obtain a general expression for the total current ripple for the whole duty cycle range, which enables to compute different characteristics related to this ripple with no need to simulate the converter for each value of the duty cycle. Using the proposed method, expressions for the maximum amplitude, the harmonic content, and the RMS value of the total current ripple, and the voltage variation that this ripple generates in the capacitor connected to the common point of the phases, were obtained. The proposal was experimentally validated by means of measurements on a three-phase interleaved buck converter, displaying an outstanding correlation with the analytical expressions developed.

REFERENCES

- [1] M. Abusara and S. Sharkh, "Design and control of a grid-connected interleaved inverter," *IEEE Trans. Power Electron.*, vol. 28, no. 2, pp. 748–764, Feb. 2013.
- [2] L. Ni, D. Patterson, and J. Hudgins, "High power current sensorless bidirectional 16-phase interleaved dc-dc converter for hybrid vehicle application," *IEEE Trans. Power Electron.*, vol. 27, no. 3, pp. 1141–1151, Mar. 2012.
- [3] O. Hegazy, J. Van Mierlo, and P. Lataire, "Analysis, modeling, and implementation of a multidevice interleaved dc/dc converter for fuel cell hybrid electric vehicles," *IEEE Trans. Power Electron.*, vol. 27, no. 11, pp. 4445–4458, Nov. 2012.
- [4] H. Choi, "Interleaved boundary conduction mode (BCM) buck power factor correction (PFC) converter," *IEEE Trans. Power Electron.*, vol. 28, no. 6, pp. 2629–2634, Jun. 2013.
- [5] J. Quintero, A. Barrado, M. Sanz, C. Fernandez, and P. Zumel, "Impact of linear nonlinear control in multiphase VRM design," *IEEE Trans. Power Electron.*, vol. 26, no. 7, pp. 1826–1831, Jul. 2011.
- [6] R. Garcia Retegui, M. Benedetti, M. Funes, P. Antoszczuk, and D. Carrica, "Current control for high-dynamic high-power multiphase buck converters," *IEEE Trans. Power Electron.*, vol. 27, no. 2, pp. 614–618, Feb. 2012.
- [7] W. Chen, "High efficiency, high density, polyphase converters for high current applications," Linear Technology, Milpitas, CA, USA: Application Note AN77, 1999.
- [8] C. Chang and M. Knights, "Interleaving technique in distributed power conversion systems," *IEEE Trans. Circuits Syst. I*, vol. 42, no. 5, pp. 245–251, May 1995.
- [9] S. Zhang and X. Yu, "A unified analytical modeling of the interleaved pulse-width-modulation (PWM) dc-dc converter and its applications," *IEEE Trans. Power Electron.*, vol. 28, no. 11, pp. 5147–5158, Nov. 2013.
- [10] R. Foley, R. Kavanagh, and M. Egan, "Sensorless current estimation and sharing in multiphase buck converters," *IEEE Trans. Power Electron.*, vol. 27, no. 6, pp. 2936–2946, Jun. 2012.
- [11] Y. Cho, A. Koran, H. Miwa, B. York, and J.-S. Lai, "An active current reconstruction and balancing strategy with DC-link current sensing for a multi-phase coupled-inductor converter," *IEEE Trans. Power Electron.*, vol. 27, no. 4, pp. 1697–1705, Apr. 2012.

- [12] J.-T. Su and C.-W. Lin, "Auto-tuning scheme for improved current sharing of multiphase dc-dc converters," *IET Power Electron.*, vol. 5, no. 9, pp. 1605–1613, Nov. 2012.
- [13] S. Chae, Y. Song, S. Park, and H. Jeong, "Digital current sharing method for parallel interleaved DC-DC converters using input ripple voltage," *IEEE Trans. Ind. Informat.*, vol. 8, no. 3, pp. 536–544, Aug. 2012.
- [14] K. Hwu and Y. Chen, "Current sharing control strategy based on phase link," *IEEE Trans. Ind. Electron.*, vol. 59, no. 2, pp. 701–713, Feb. 2012.
- [15] Y. Zhang, M. Yu, F. Liu, and Y. Kang, "Instantaneous current-sharing control strategy for parallel operation of ups modules using virtual impedance," *IEEE Trans. Power Electron.*, vol. 28, no. 1, pp. 432–440, Jan. 2013.
- [16] L. Huber, B. Irving, and M. Jovanovic, "Open-loop control methods for interleaved DCM/CCM boundary boost PFC converters," *IEEE Trans. Power Electron.*, vol. 23, no. 4, pp. 1649–1657, Jul. 2008.
- [17] X. Xu, W. Liu, and A. Huang, "Two-phase interleaved critical mode PFC boost converter with closed loop interleaving strategy," *IEEE Trans. Power Electron.*, vol. 24, no. 12, pp. 3003–3013, Dec. 2009.
- [18] K.-M. Ho, C.-A. Yeh, and Y.-S. Lai, "Novel digital-controlled transition current-mode control and duty compensation techniques for interleaved power factor corrector," *IEEE Trans. Power Electron.*, vol. 25, no. 12, pp. 3085–3094, Dec. 2010.
- [19] H. Choi and L. Balogh, "A cross-coupled master slave interleaving method for boundary conduction mode (BCM) PFC converters," *IEEE Trans. Power Electron.*, vol. 27, no. 10, pp. 4202–4211, Oct. 2012.
- [20] Micrometals Iron Powder Cores. (2013). "Electronic references," [Online]. Available: <http://www.micrometals.com/>
- [21] R. Lenk, in *Practical Design of Power Supplies*, R. F. Hoyt, Ed. New York, NY, USA: Wiley-IEEE Press, 2005.
- [22] O. Garcia, A. de Castro, P. Zumelis, and J. Cobos, "Digital-control-based solution to the effect of nonidealities of the inductors in multiphase converters," *IEEE Trans. Power Electron.*, vol. 22, no. 6, pp. 2155–2163, Nov. 2007.
- [23] J. Abu-Qahouq, M. Batarseh, L. Huang, and I. Batarseh, "Analysis and small signal modeling of a non-uniform multiphase buck converter," in *Proc. IEEE Power Electron. Spec. Conf.*, Jun. 2007, pp. 961–967.
- [24] Y. Gu and D. Zhang, "Interleaved boost converter with ripple cancellation network," *IEEE Trans. Power Electron.*, vol. 28, no. 8, pp. 3860–3869, Aug. 2013.



Pablo D. Antoszczuk (S'11) was born in Mar del Plata, Argentina, in 1985. He received the Electronics Engineering degree from the Universidad Nacional de Mar del Plata (UNMDP), Mar del Plata, in 2010, where he is currently working toward the Ph.D. degree in electronics engineering.

He is currently a Graduate Student Researcher at the National Scientific and Technical Research Council, Buenos Aires, Argentina. He is a Researcher at the Instrumentation and Control Laboratory (LIC, UNMDP). His research interests are in the fields of power

converters, current control, and high precision measurements.



Rogelio Garcia Retegui (M'12) was born in Tandil, Argentina, in 1977. He received the Electronics Engineering degree and the Ph.D. degree in electronics engineering from the Universidad Nacional de Mar del Plata (UNMDP), Mar del Plata, Argentina, in 2002 and 2009, respectively.

He is currently with the Instrumentation and Control Laboratory (LIC, UNMDP), as a Researcher, and he is also an Assistant Researcher at the National Scientific and Technical Research Council, Buenos Aires, Argentina. Since 2003, he has been an Assistant Professor in the Control Theory and Control Systems course at the UNMDP.

His current research interests include power electronics, current control, and pulsed power converters for particle accelerators.



Nicolas Wassinger (S'11) was born in Buenos Aires, Argentina, in 1984. He received the Electronics Engineering degree and the Ph.D. degree in electronics engineering from the Universidad Nacional de Mar del Plata (UNMDP), Mar del Plata, Argentina, in 2008 and 2012, respectively.

He is currently with the Instrumentation and Control Laboratory (LIC, UNMDP) as a Researcher. He is also an Assistant Professor in the Control Systems course at the UNMDP. Since 2008, he has been a member of the National Scientific and Technical Research Council, Buenos Aires, Argentina. His research interests are in the fields of power converters for particle accelerators and digital signal processing.



Sebastian Maestri was born in Mar del Plata, Argentina, in 1978. He received the Electronics Engineering degree and the Ph.D. degree from the Universidad Nacional de Mar del Plata (UNMDP), Mar del Plata, in 2005 and 2009, respectively.

He is currently with the the Instrumentation and Control Laboratory (LIC, UNMDP), as a Researcher, and he is also an Assistant Researcher at the National Scientific and Technical Research Council, Buenos Aires, Argentina. Since 2005, he has been an Assistant Professor in the Control Theory course at the UNMDP. His research interests include power electronics, pulsed power converters for particle accelerators, and line-commutated converters control.



Marcos Funes (M'12) was born in Mar del Plata, Argentina, in 1974. He received the Electronics Engineering degree and the Ph.D. degree from the Universidad Nacional de Mar del Plata (UNMDP), Mar del Plata, in 1999 and 2007, respectively.

In 1999, he joined the Department of Electronics, Universidad Nacional de Mar del Plata, as an Assistant Professor and a Research Assistant. Since 2009, he has been working for the National Scientific and Technical Research Council, Buenos Aires, Argentina as a Research Assistant. His current research interests include high-density programmable logic devices, power converters control, power line communication, and digital signal processing.



Mario Benedetti was born in Italy, in 1945. He received the degree in telecommunications engineering from the Universidad Nacional de La Plata (UNLP), La Plata, Argentina, in 1968.

From 1968 to 1983, he was with the Laboratory of Industrial Electronics, Control and Instrumentation, (LEICI, UNLP), where he developed electronic instruments. From 1970 to 1983, he was an Associate Professor in the Department of Electrical Engineering, UNLP. He spent two years as a Fellow at the Conseil Européen pour la Recherche Nucleaire, Geneva, Switzerland. Since 1985, he has been a Full Professor in the Department of Electrical Engineering, Universidad Nacional de Mar del Plata (UNMDP), Mar del Plata, Argentina. He was the Director of the Instrumentation and Control Laboratory until 2012, Department of Electronics, UNMDP, and he is a member of the National Scientific and Technical Research Council, Buenos Aires, Argentina. He has served as a Lecturer at numerous short seminars granted to the industry sector and other universities. His current research interests include power electronics and electromagnetic compatibility.

Control Digital de Corriente para Convertidores Interleaved

P. Antoszczuk^{†,‡}

R. García Retegui^{†,‡}

N. Wassinger^{†,‡}

S. Maestri^{†,‡}

M. Funes^{†,‡}

J. Arean Olivares[†]

[†]Universidad Nacional de Mar del Plata

[‡]CONICET

pablo_ant@fi.mdp.edu.ar, rgarcia@fi.mdp.edu.ar

Resumen— Este trabajo presenta un control de corriente para convertidores interleaved que emplea una señal de sincronismo por fase y la medición del cruce por cero del error de corriente para ajustar el desfase entre los ripple de fase. Se emplean bandas fijas de comparación para medir las pendientes del ripple y calcular los tiempos de conmutación. Esta metodología permite el seguimiento de la referencia independientemente de la caída de tensión en las llaves semiconductoras y en la resistencia de los inductores de fase. Los transitorios de desajuste con la señal de sincronismo generados por cambios en la referencia o en las pendientes del ripple son corregidos en tiempo transitorio mínimo. Se presentan simulaciones para operación en estado estacionario y transitorio que validan el método propuesto.

Palabras Clave— Convertidores Interleaved, Control de Corriente, Inversores de Potencia.

1. INTRODUCCIÓN

Los convertidores DC/DC interleaved son muy utilizados cuando se requiere controlar elevadas corrientes de manera eficiente [1, 2, 3]. La ventaja de utilizar estos convertidores radica en la posibilidad de dividir la elevada corriente a controlar entre las diferentes fases, de forma de reducir el stress de los dispositivos semiconductores debido a las pérdidas de conducción y conmutación de las llaves. Adicionalmente, por medio de un adecuado desfase en las señales de control de las llaves, es posible decalar los ripples de las corrientes de fase de forma de minimizar el ripple de la corriente total de salida [4].

El uso de estos convertidores en aplicaciones de alta potencia, como [5, 6, 7], donde el nivel de corrientes a manejar es muy elevado, constituye una solución muy atractiva. Sin embargo, estas aplicaciones plantean desafíos muy exigentes tales como la existencia de grandes variaciones en la corriente de referencia o en la tensión de carga y la necesidad de tiempos transitorios muy cortos (del orden de algunos periodos de conmutación)

que hacen necesario considerar con especial atención la técnica de control de corriente a utilizar.

Existen varias técnicas de control de corriente como el modo corriente promedio (ACMC), el modo corriente pico (PCMC) y sus modificaciones utilizadas en estos convertidores [8, 9]. Sin embargo, los exigentes requerimientos de las aplicaciones de alta potencia no pueden ser cumplidos satisfactoriamente por estas técnicas convencionales [10].

En [2] se presentó un control de corriente basado en el empleo de señales de sincronismo por fase para ajustar el cruce por cero de los ripples de corriente, de forma de seguir la referencia y asegurar la correcta relación de fase entre los ripples. El control desarrollado calcula los tiempos de conmutación de cada fase en cada semiperiodo de PWM para realizar el ajuste con su respectiva señal de sincronismo. Si bien este control demostró tener un buen seguimiento de la corriente de referencia y presentar una excelente respuesta dinámica, existen aspectos que deben ser considerados para lograr el correcto ajuste del decalaje de los ripples. Por ejemplo, el cálculo de los tiempos de conmutación se basa en estimar las pendientes de los ripples de corriente a partir de la medición de las tensiones de entrada y salida. Dicha estimación resulta válida sólo en aquellos casos en que las caídas de tensión en los dispositivos semiconductores y en la resistencia de los inductores de fase son despreciables en relación con las tensiones de entrada y salida. Cuando esta condición no se cumple, se genera un error de estado estacionario en el seguimiento del valor medio de la referencia que es función de las tensiones de entrada y salida y de la corriente media por fase.

Como solución a esta problemática, en [11] se presentó un método de control de corriente que conserva el uso de una señal de sincronismo por fase para ajustar el decalaje entre los ripples, mientras que los tiempos de conmutación se calculan midiendo los tiempos de cruce del ripple con bandas de comparación fijas. Aunque esta estrategia permite determinar las pendientes de los ripples sin necesidad de usar aproximaciones, con lo cual se obtiene error nulo en estado estacionario, el método presenta una limitación en la respuesta dinámica de ajuste con el sincronismo. Esta limitación se debe a que el método fue diseñado para que las conmutaciones se realicen cuando

Este trabajo fue soportado por el LIC (Laboratorio de Instrumentación y Control - Universidad Nacional de Mar del Plata), el CONICET (Consejo Nacional de Investigaciones Científicas y Técnicas) y el MINCYT (Ministerio de Ciencia, Tecnología e Innovación Productiva).

el error de corriente se encuentren fuera de las bandas. Si bien en estado estacionario esta condición es inherente al método y no presenta inconvenientes, un cambio en el punto de operación del sistema podría generar errores transitorios con el patrón de sincronismo que requieran, para un ajuste óptimo, de una conmutación dentro de la banda. Debido a que esto no es posible, se produce una respuesta transitoria que se puede extender a varios ciclos de conmutación.

En este trabajo se propone un control de corriente que combina las ventajas de los controles presentados en [2] y [11]. El control propuesto utiliza la información de cruce por cero del error de corriente y del cruce por bandas fijas de comparación para ajustar el ripple de cada fase con su correspondiente señal de sincronismo. Esta información permite medir en forma directa el error de cruce con el sincronismo, medir las pendientes del ripple de corriente sin usar aproximaciones e identificar rápidamente cambios en la referencia o en las pendientes optimizando la respuesta dinámica de ajuste con el sincronismo.

2. CONTROL PROPUESTO

El control propuesto se basa en el cálculo de los tiempos de conmutación a partir de la información provista por el cruce del error de corriente por cero y por bandas de comparación, de forma de ajustar la fase de los ripples de corriente con un patrón de sincronismo. Dicho patrón esta formado por un conjunto de señales de sincronismo por fase, las cuales se encuentran convenientemente decaídas en T_s/n , siendo T_s el periodo de PWM y n el número de fases. El objetivo de este patrón es fijar una referencia para el correcto decaído de los ripples de fase de forma de minimizar el ripple total de salida. Para que la relación de fase entre los ripples sea la correcta, el patrón de sincronismo se define teniendo en cuenta además el signo de la pendiente del ripple de corriente al momento de cruce por cero. A modo de ejemplo, en la Fig. 1 se muestran los ripples de corriente ($i_{e1,2,3}$) y las señales de sincronismo de cada fase (sinc1, sinc2 y sinc3) para un convertidor de tres fases operando en estado estacionario.

El patrón de sincronismo así definido permite efectuar un cálculo independiente de los tiempos de conmutación de cada fase. Esta característica posibilita la descripción del método analizando sólo una fase. En la figura 2 se muestra el ripple de corriente de una fase con su correspondiente señal de sincronismo cuando se produce un error, $t_e(k)$, entre el cruce por cero del ripple de corriente y la señal de sincronismo en el instante de cruce indicado como (a).

La determinación del tiempo de conmutación se realiza en cada cruce por cero del ripple de corriente y se define entre dicho cruce y el instante de conmutación. Cuando el cruce por cero ocurre con pendiente positiva, el tiempo de conmutación se denomina $t_{sw}^+(k+1)$; mientras que cuando el cruce ocurre con pendiente negativa, se lo denomina $t_{sw}^-(k+1)$. Como se muestra en la figura, para el cálculo del tiempo de conmutación es necesario determi-

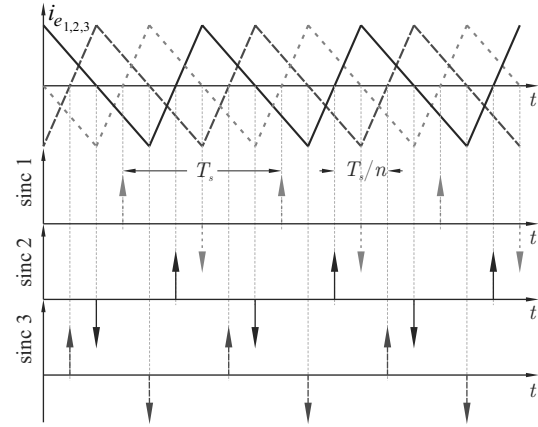


Figura 1: Ripples de corriente y señales de sincronismo en un convertidor de tres fases.

nar la duración del próximo semiperiodo, $t_{hp}(k+1)$, de forma de hacer nulo el error entre el próximo cruce por cero (instante (b)) y el respectivo pulso de sincronismo. Luego:

$$t_{hp}(k+1) = \frac{T_s}{2} - t_e(k) \quad (1)$$

$t_e(k)$ puede ser negativo o positivo dependiendo de si el cruce por cero del error de corriente ocurre antes o después del correspondiente pulso de sincronismo. Asumiendo que la constante de tiempo asociada a las componentes inductiva y resistiva de los inductores de fase es mucho mayor que el período de PWM, el ripple de corriente se puede aproximar por medio de rectas. En este sentido, si p^+ es la pendiente positiva y p^- la pendiente negativa, el tiempo de conmutación $t_{sw}^+(k+1)$ esta dado por:

$$t_{sw}^+(k+1) = \frac{-p^-}{p^+ - p^-} \cdot t_{hp}(k+1) \quad (2)$$

Usando el mismo razonamiento se obtiene la siguiente expresión para el calculo de $t_{sw}^-(k+1)$:

$$t_{sw}^-(k+1) = \frac{p^+}{p^+ - p^-} \cdot t_{hp}(k+1) \quad (3)$$

Para la determinación de las pendientes del ripple de corriente se propone usar una banda de comparación de

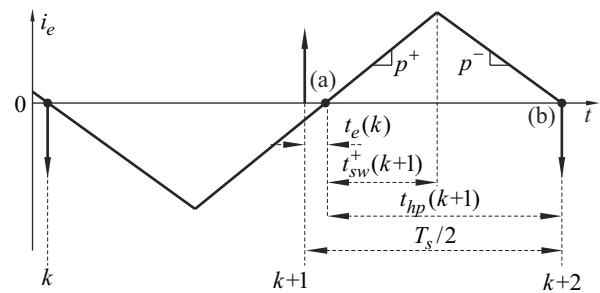


Figura 2: Cálculo del tiempo de conmutación para pequeños $t_e(k)$.

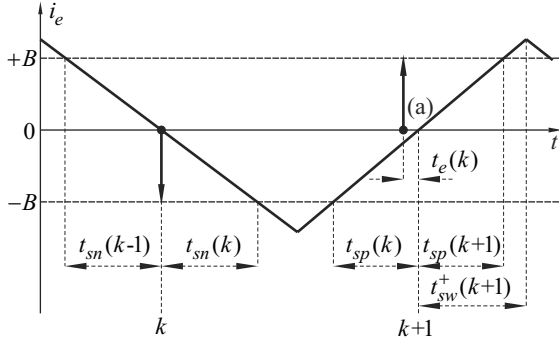


Figura 3: Medición de las pendientes por medio de bandas fijas de comparación.

amplitud $+B$ y otra de amplitud $-B$, y medir los tiempos entre el cruce por cero del ripple y el cruce por dichas bandas. La Fig. 3 muestra el ripple de corriente de una fase con las bandas de comparación y los tiempos asociados a la medición de las pendientes. Resulta evidente que para poder medir los tiempos de cruce por las bandas, la amplitud del ripple en estado estacionario debe ser mayor que la amplitud de las bandas. Esta condición se debe plantear como criterio de diseño, a partir del conocimiento de las inductancias de fase, la frecuencia de PWM y el rango de tensiones de entrada y salida.

Considerando el caso mostrado en la Fig. 3, las pendientes p^+ y p^- necesarias para calcular $t_{sw}^+(k+1)$, en el instante de cruce (a), se pueden determinar a partir de los últimos cruces por las bandas, es decir:

$$p^+(k) = \frac{B}{t_{sp}(k)}; \quad p^-(k) = \frac{-B}{t_{sn}(k)} \quad (4)$$

Combinando (2) con las expresiones mostradas en (4) se obtiene:

$$t_{sw}^+(k+1) = \frac{t_{sp}(k)}{t_{sp}(k) + t_{sn}(k)} \cdot t_{hp}(k+1) \quad (5)$$

Cuando el ripple de corriente cruza por la banda superior la expresión anterior se actualiza usando la última medición de la pendiente positiva, es decir:

$$t_{sw}^+(k+1) = \frac{t_{sp}(k+1)}{t_{sp}(k+1) + t_{sn}(k)} \cdot t_{hp}(k+1) \quad (6)$$

Siguiendo el mismo razonamiento, combinando las expresiones dadas en (3) y (4), se obtiene la siguiente expresión para $t_{sw}^-(k+1)$:

$$t_{sw}^-(k+1) = \frac{t_{sn}(k)}{t_{sp}(k) + t_{sn}(k)} \cdot t_{hp}(k+1) \quad (7)$$

Cuando el ripple de corriente cruza por la banda inferior, (7) se actualiza usando la última medición de la pendiente negativa como:

$$t_{sw}^-(k+1) = \frac{t_{sn}(k+1)}{t_{sp}(k) + t_{sn}(k+1)} \cdot t_{hp}(k+1) \quad (8)$$

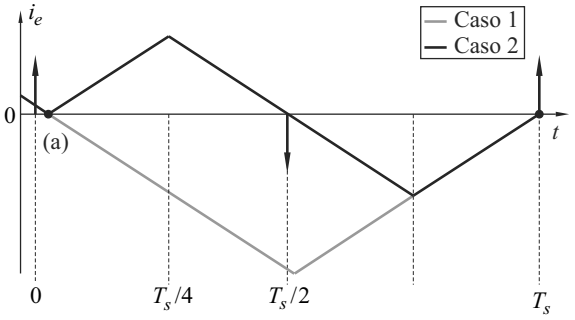


Figura 4: Ajuste del ripple en condición de cruce por cero con pendiente opuesta al patrón de sincronismo.

Eventuales cambios en la referencia de corriente o en las tensiones de entrada y salida pueden generar casos transitorios en los cuales el tiempo de conmutación conduzca a una conmutación dentro de la banda, impidiendo el cálculo de alguna de las pendientes. En dichos casos, el cálculo de las pendientes se efectúa con la última medición disponible del tiempo de cruce por las bandas.

Los cálculos presentados contemplan condiciones de ajuste del tiempo de conmutación independientemente de la magnitud de $t_e(k)$. En los casos en que el cruce por cero está muy alejado de su correspondiente pulso de sincronismo, el método se puede optimizar de forma tal de minimizar el transitorio de corriente. En la Fig. 4 se muestra una condición de cruce con pendiente negativa próxima a un sincronismo de signo positivo, instante (a), donde se indica la evolución de la corriente para dos posibles casos (caso 1 y caso 2). En el caso 1 se realiza el cálculo del tiempo de conmutación de forma habitual, considerando un cruce por cero con pendiente negativa. De esta forma, el tiempo de conmutación calculado produce un error importante en el seguimiento del valor medio. Esta condición se puede optimizar evaluando si el cruce por cero se produce a una distancia superior a $T_s/4$ del pulso de sincronismo de signo correcto ($t_e(k) > T_s/4$). En dicho caso, se realiza una conmutación anticipada en el instante de cruce por cero de modo de cambiar la pendiente y realizar el cálculo de $t_{sw}(k+1)$ en base al pulso de sincronismo más cercano (caso 2).

El análisis hasta aquí presentado describe los cálculos necesarios para sincronizar los cruces por cero del ripple de corriente con sus correspondientes señales de sincronismo. Adicionalmente, las bandas de comparación y la detección de cruce por cero proporcionan información adicional que permite detectar cambios abruptos en el error de corriente, lo que posibilita actuar en consecuencia de forma de asegurar el seguimiento de la referencia y reducir en algunos casos los errores transitorios. Dada la diversidad de casos que se pueden presentar a partir de diferentes condiciones de cruce por las bandas y de cambios en la referencia o en las tensiones de entrada y salida, es conveniente representar el control propuesto mediante una máquina de estados finitos.

Para poder determinar todos los estados posibles, es

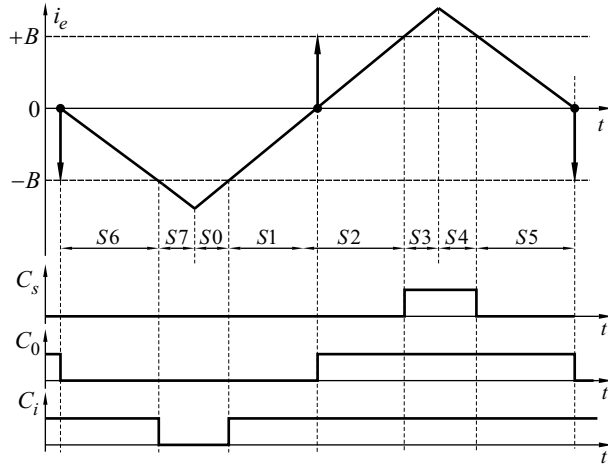


Figura 5: Evolución temporal del ripple de una fase y su representación en estados.

conveniente analizar la evolución temporal del ripple de corriente de una fase en estado estacionario, como se muestra en la Fig. 5. En la figura, se muestran las señales lógicas C_i , C_0 y C_s que resultan de la comparación de la amplitud instantánea del ripple de corriente con cada una de las bandas de comparación. Estas señales quedan definidas como:

- $C_i = 1$ si $i_e \geq -B$; $C_i = 0$ si $i_e < -B$
- $C_0 = 1$ si $i_e \geq 0$; $C_0 = 0$ si $i_e < 0$
- $C_s = 1$ si $i_e \geq +B$; $C_s = 1$ si $i_e < +B$

En la figura se pueden identificar 8 estados diferentes, dependiendo del nivel de las señales de comparación C_i , C_0 y C_s y del resultado del cálculo de t_{sw} antes descrito.

En la Fig. 6 se muestra la representación de la máquina de estados indicando el valor de la salida PWM asociada a cada estado, donde PWM=1 y PWM=0 se corresponden con las etapas de pendiente positiva y negativa del error de corriente, respectivamente. En dicha representación, por simplicidad, no se incluyen las transiciones debidas a cambios abruptos en la referencia de corriente, las cuales serán analizadas posteriormente.

La transición entre estados depende del vector de entrada compuesto por las señales C_s , C_0 , C_i , C_{ANT} y t_{sw_end} , donde C_{ANT} es un estado lógico que indica la condición de conmutación anticipada ($t_e(k) > T_s/4$) y t_{sw_end} es el estado lógico correspondiente al final del tiempo de conmutación.

Las transiciones entre estados consecutivos corresponden con la evolución temporal de estado estacionario mostrado en la Fig. 5. Sin embargo, la existencia de conmutaciones con amplitudes menores a las de las bandas de comparación o de conmutación anticipada dan lugar a transiciones entre estados no consecutivos. Por ejemplo, asumiendo un cruce por cero con pendiente positiva (estado S2); si el tiempo $t_{sw}(k+1)$ es tal que la conmutación se realiza con una amplitud del ripple inferior

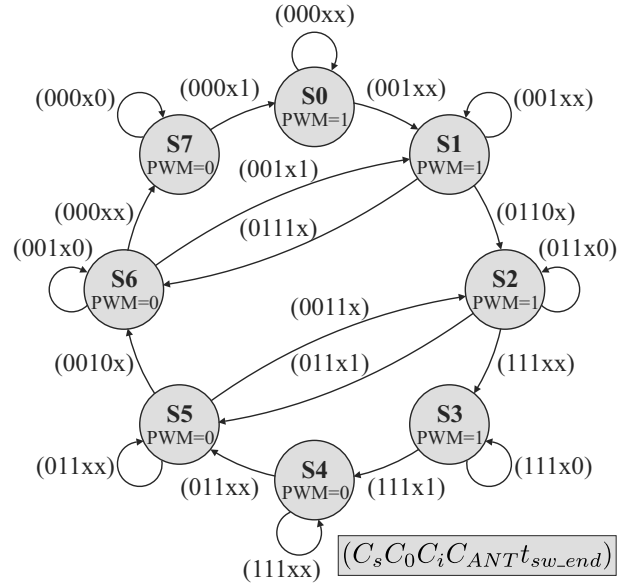


Figura 6: Máquina de estados finitos simplificada del control propuesto

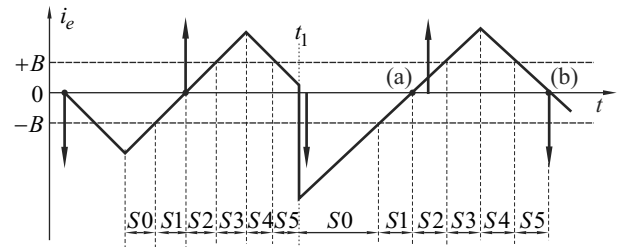


Figura 7: Ejemplo de cambio abrupto en la referencia de corriente

a la banda superior se realiza una transición hacia el estado S5, quedando el sistema a la espera de un cruce por cero. Por otra parte, un caso de conmutación anticipada corresponde a la transición entre el estado S1 y S6, en el cual se produce un cruce por cero con pendiente positiva próximo a un sincronismo de signo negativo.

Cambios abruptos en la referencia de corriente también derivan en transiciones entre estados no consecutivos, los cuales son fácilmente detectables debido a que dos o más señales de cruce (C_s , C_0 ó C_i) cambian simultáneamente. A partir de la detección de los diferentes casos, se establece cual es la transición de estados más conveniente que optimice el seguimiento a la referencia. A modo de ejemplo, en la Fig. 7 se muestra el error de corriente con un salto en escalón negativo de gran magnitud en $t = t_1$, debido a un cambio en la referencia. En este caso, C_0 y C_i cambian simultáneamente a $C_0 = C_i = 0$, con lo cual se impone una transición del estado S5 al estado S0. Mediante esta transición se asegura el seguimiento a la referencia y se corrige el cruce por cero del ripple de corriente en (b), a partir del error con el sincronismo detectado en (a).

Analizando de manera similar todos los casos posibles

de cambios abruptos en la referencia de corriente se obtiene la máquina de estado completa del control propuesto, cuyas transiciones se muestran en la Tabla 1. A los efectos de identificar estos nuevos casos, en la tabla se resaltan las transiciones de estados correspondientes a la Fig. 6.

3. SIMULACIONES

En esta sección se presentan las simulaciones del método propuesto aplicado a un convertidor buck interleaved de tres fases. En la Tabla 2 se muestran las principales características del sistema simulado. A partir de las especificaciones presentadas, la amplitud pico mínima del ripple de corriente en estado estacionario es de 4,5 A, con lo cual se adopta $B = 2$ A.

En la Fig. 8 se muestra, en la parte superior, la corriente de fase y su valor medio frente a un cambio en la tensión de salida de 100 V a 25 V. En la parte inferior se muestra el ripple de corriente y su correspondiente señal de sincronismo. Se puede observar que el cambio en la tensión modifica las pendientes del ripple, generando una respuesta transitoria con un caso de conmutación anticipada. El sistema recupera la condición de sincronismo una vez obtenida la información actualizada de las pendientes. En la parte superior se ve que el valor medio de la corriente de fase sigue a la referencia una vez recuperado el sincronismo.

En la Fig. 9 se muestra, en la parte superior, la corriente de fase y su valor medio ante un cambio abrupto en la referencia cuando la tensión de salida es de 25 V. El valor medio se calcula promediando la corriente durante un ciclo de PWM. En la parte inferior se muestra el

Tabla 2: Parámetros de simulación

Param.	Descripción	Valor
f_S	Frecuencia PWM	20 KHz
V_i	Tensión de entrada	200 V
V_0	Tensión de salida	20 V a 120 V
i_L	Corriente por fase	50 A a 200 A
L	Inductancia de fase	100 μ H
R_L	Resistencia serie de L	100 m Ω
$R_{S_{ON}}$	Res. ON de la llave	20 m Ω
$V_{S_{ON}}$	V_{SAT} de la llave	1,5 V
$R_{D_{ON}}$	Res. ON del diodo	8 m Ω
$V_{D_{ON}}$	V_γ del diodo	0,9 V
B	Bandas de comparación	2 A

ripple de corriente de fase con las bandas de comparación y su correspondiente señal de sincronismo. Se debe destacar que, en las condiciones simuladas, las caídas de tensión en R_L y en las llaves son del orden de la tensión de salida y varían significativamente con el cambio de la referencia. Se puede observar que, aún en estas condiciones, el valor medio de la corriente sigue a la referencia. En la parte inferior de la figura se muestra como el sistema detecta el cambio en la referencia mediante el cruce simultáneo por cero y por la banda superior, instante (a), y genera una conmutación inmediata optimizando el seguimiento con la referencia. En el instante (b) se produce una conmutación anticipada la cual reduce el transitorio de ajuste con la señal de sincronismo.

En la Fig. 10 se muestra la evolución de las corrientes de fase (parte superior) y la evolución de la corriente total (parte inferior) ante un cambio en la referencia de la corriente de fase de 150 A a 100 A. Se puede observar que la recuperación del sincronismo por fase, utilizando el signo de la pendiente del ripple de corriente al momento de cruce por cero, permite mantener el correcto decalado entre los ripples de cada fase.

Tabla 1: Tabla de transiciones de estados

Est. act.	Vect. de entrada	Est. sig.	Est. act.	Vect. de entrada	Est. sig.
S0	000xx	S0	S4	000xx	S0
S0	001xx	S1	S4	001xx	S6
S0	011xx	S2	S4	011xx	S5
S0	111xx	S4	S4	111xx	S4
S1	000xx	S0	S5	000xx	S0
S1	001xx	S1	S5	0010x	S6
S1	0110x	S2	S5	0011x	S2
S1	0111x	S6	S5	011xx	S5
S1	111xx	S4	S5	111xx	S4
S2	000xx	S0	S6	000xx	S7
S2	001xx	S1	S6	001x0	S6
S2	011x0	S2	S6	001x1	S1
S2	011x1	S5	S6	011xx	S5
S2	111xx	S3	S6	111xx	S4
S3	000xx	S0	S7	000x0	S7
S3	001xx	S1	S7	000x1	S0
S3	011xx	S2	S7	001xx	S6
S3	111x0	S3	S7	011xx	S5
S3	111x1	S4	S7	111xx	S4

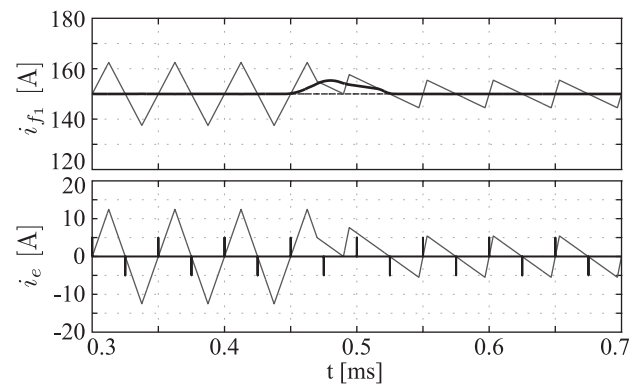


Figura 8: Evolución de una fase ante un cambio abrupto en la tensión de entrada salida.

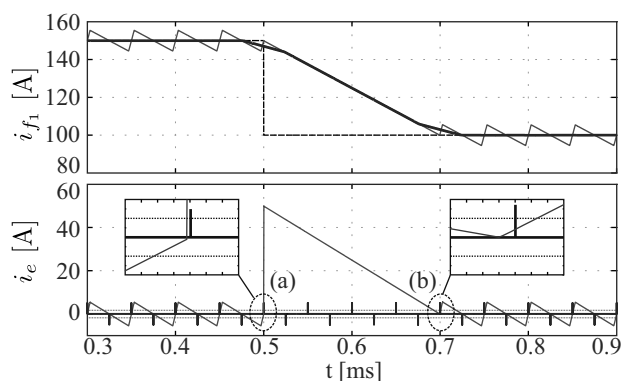


Figura 9: Evolución de una fase ante un cambio abrupto en la referencia.

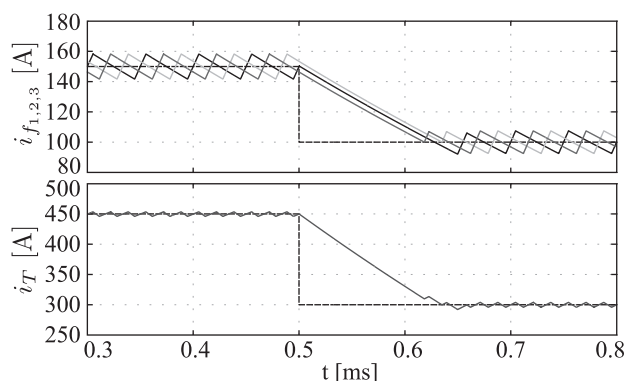


Figura 10: Evolución de las corrientes de fase y total ante un cambio abrupto en la referencia.

4. CONCLUSIONES

En este trabajo se presentó un control de corriente para convertidores interleaved que emplea una señal de sincronismo por fase para ajustar el correcto decalado de los ripples de fase. El ajuste con la señal de sincronismo se realiza calculando el tiempo de conmutación a partir de la información proporcionada por el cruce por cero del ripple de corriente y el cruce por las bandas de comparación. La información proporcionada por las bandas de comparación permite medir las pendientes del ripple de fase para el cálculo del tiempo de conmutación y detectar cambios abruptos en el error corriente de forma de optimizar el seguimiento a la referencia. En el control propuesto, el valor medio de las corrientes de fase no resulta afectado por las caídas de tensión en las llaves semiconductoras y en la resistencia asociada al inductor de fase. Los resultados de las simulaciones validaron el funcionamiento del control propuesto.

REFERENCIAS

[1] M. Abusara and S. Sharkh, "Design and control of a grid-connected interleaved inverter," vol. 28, no. 2, pp. 748–764, feb. 2013.

[2] R. Garcia Retegui, M. Benedetti, M. Funes, P. Antoszczuk, and D. Carrica, "Current control for high-dynamic high-power multiphase buck converters," *IEEE Transactions on Power Electronics*, vol. 27, no. 2, pp. 614–618, Feb. 2012.

[3] L. Ni, D. Patterson, and J. Hudgins, "High power current sensorless bidirectional 16-phase interleaved dc-dc converter for hybrid vehicle application," vol. 27, no. 3, pp. 1141–1151, march 2012.

[4] W. Chen, "High efficiency, high density, polyphase converters for high current applications," Linear Technology : AN77, Tech. Rep., 1999.

[5] N. Wassinger, S. Maestri, R. Garcia Retegui, J. M. Cravero, M. Benedetti, and D. Carrica, "Multiple-stage converter topology for high-precision high-current pulsed sources," *IEEE Transactions on Power Electronics*, vol. 26, no. 5, pp. 1316–1321, May 2011.

[6] D. Aguglia, "2 MW active bouncer converter design for long pulse klystron modulators," in *14th European Conference on Power Electronics and Applications, EPE 2011*, Birmingham, UK, Aug.30 2011.

[7] S. Maestri, R. Garcia Retegui, P. Antoszczuk, M. Benedetti, D. Aguglia, and D. Nisbet, "Improved control strategy for active bouncers used in klystron modulators," in *14th European Conference on Power Electronics and Applications, EPE 2011*, Birmingham, UK, Aug.30 2011.

[8] R. Li, "Modeling average-current-mode-controlled multi-phase buck converters," in *Proc. IEEE Power Electronics Specialists Conf. PESC 2008*, Jun.15-19 2008, pp. 3299–3305.

[9] Y. Qiu, J. Sun, M. Xu, K. Lee, and F. C. Lee, "Bandwidth improvements for peak-current controlled voltage regulators," *IEEE Transactions on Power Electronics*, vol. 22, no. 4, pp. 1253–1260, 2007.

[10] W. Guo and P. K. Jain, "Analysis and modeling of voltage mode controlled phase current balancing technique for multiphase voltage regulator to power high frequency dynamic load," in *Proc. Twenty-Fourth Annual IEEE Applied Power Electronics Conf. and Exposition APEC 2009*, 2009, pp. 1190–1196.

[11] N. Wassinger, R. Garcia Retegui, S. Maestri, G. Uicich, and M. Benedetti, "Control de corriente interleaved basado en detección de cruce por bandas," in *23 Congreso Argentino de Control Automático, AAECA 2012*, Buenos Aires, Argentina, 3–5 Oct 2012.

MÉTODO DE ORDENAMIENTO DE SECUENCIA DE DISPARO DE LLAVES PARA CONVERTIDORES INTERLEAVED

P. Antoszczuk^{*,**,**,1,2} R. Garcia Retegui^{**,***,1,3}
M. Funes^{**,***,1,3} S. Maestri^{**,***,1,3} N. Wassinger^{**,***,1,3}

* *pablo_ant@fi.mdp.edu.ar*

** *Universidad Nacional de Mar del Plata*

*** *CONICET*

Resumen: Las ventajas obtenidas mediante el uso de convertidores interleaved, como reducción en el ripple total Δi_T y aumento en su frecuencia, se ven deterioradas ante desbalances entre los inductores de fase. Consecuentemente, las exigencias de filtrado se incrementan. En este trabajo se presenta un método para mitigar este problema mediante el ordenamiento de la secuencia de las fases, en convertidores operando en modo de conducción continua, de forma tal de minimizar el contenido de frecuencia de conmutación y sus armónicos en Δi_T . El método propuesto plantea un ordenamiento eficiente de fases utilizando algoritmos genéticos, los cuales permiten contemplar las distintas componentes armónicas en Δi_T . La propuesta se validó mediante la simulación de distintos casos de desbalances.

Palabras Claves: Control de corriente, Ripple, Convertidores Interleaved.

1. INTRODUCCIÓN

Los convertidores DC/DC interleaved son muy utilizados cuando se requiere controlar elevadas corrientes de forma eficiente Abusara and Sharkh (2013); Garcia Retegui *et al.* (2012); Ni *et al.* (2012). La ventaja de utilizar estos convertidores radica en la posibilidad de dividir la elevada corriente entre N fases, de forma de reducir las exigencias térmicas de los dispositivos semiconductores. Adicionalmente, por medio de un adecuado desfase de las señales de control de las llaves, es posible intercalar los ripples de las corrientes de fase de forma de reducir el ripple de la corriente total, Δi_T , y aumentar su frecuencia N veces respecto de la frecuencia de

conmutación Chen (1999). Estas características permiten reducir las exigencias de filtrado, lo cual proporciona una reducción en el volumen de los filtros de entrada y salida para una dada especificación de ripple Garcia *et al.* (2006); Chang and Knights (1995); Zhang and Yu (2013).

Sin embargo, las ventajas antes mencionadas se ven afectadas por diversos factores de implementación práctica que pueden acarrear problemas de distribución no equitativa entre las corrientes de fases, conocido como *Current Sharing*, o afectar las características de Δi_T . Dichos factores incluyen tolerancias, dispersiones y elementos parásitos en los componentes activos y pasivos del convertidor, tales como resistencia de encendido de las llaves, retardo en los drivers, resistencia parásita de los inductores de fase, y desbalances en el valor de los inductores Foley *et al.* (2012); Cho *et al.* (2012).

La diferencia en la distribución media de la corriente por fase incrementa las exigencias de aquellas fases cuyo valor medio es mayor. Esto conduce a sobredimensionar los dispositivos semiconductores y los inductores de fase, con lo cual

¹ Docente de la UNMdP.

² Becario del CONICET.

³ Investigador del CONICET.

se pierden las ventajas obtenidas por dividir la corriente total. Este problema, sin embargo, se puede solucionar por medio de técnicas de control de corriente, como las presentadas en Cho *et al.* (2012); Su and Lin (2012); Chae *et al.* (2012); Hwu and Chen (2012).

Por otro lado, el ripple total se ve afectado principalmente por dos causas: desfase no ideal entre fases, y desbalances entre las amplitudes del ripple de cada fase. Estas causas introducen en Δi_T componentes de la frecuencia de conmutación, f_s , y sus $N-1$ armónicos, los cuales no están presentes en el caso ideal. Esto trae aparejado un incremento del ripple de tensión en el punto común entre fases, cuando se utiliza el filtro diseñado para el caso ideal, donde la mínima componente de frecuencia de Δi_T es Nf_s . Debido a que el aumento de esta componente es proporcional a N , esta problemática es más significativa a medida que aumenta el número de fases.

En el caso del desfase no ideal entre fases, los efectos en Δi_T se pueden mitigar mediante el uso de técnicas de control, como las propuestas en Choi (2013); Xu *et al.* (2009); Ho *et al.* (2010).

En relación con el desbalance de amplitud entre los ripples de fase, sus efectos se pueden mitigar reordenando los ripples de cada fase. Esta estrategia busca minimizar la suma fasorial de los ripples de fase, mediante la selección óptima de la secuencia de encendido de las llaves de las distintas fases. Sin embargo, la búsqueda del ordenamiento óptimo, mediante la evaluación de todos los casos posibles, se torna poco práctica principalmente en aplicaciones con un gran número de fases, tales como Ni *et al.* (2012); Garcia *et al.* (2006). Esto se debe a que la cantidad de posibles soluciones es igual al factorial de N .

En Garcia *et al.* (2007) se presentó un método que permite reordenar los ripples de fase sin necesidad de evaluar todos los casos. Dicho reordenamiento se realiza colocando los ripples de amplitudes similares en contrafase, con lo cual se logra reducir la componente de frecuencia f_s en el ripple total. Si bien este método logra mejorar la característica de Δi_T y es de simple implementación, la solución lograda no es necesariamente óptima. En primer lugar, la redistribución propuesta no considera las componentes armónicas comprendidas entre $2f_s$ y $(N-1)f_s$. Adicionalmente, este método no permite optimizar Δi_T cuando N es impar, limitando así su aplicabilidad.

En este trabajo se presenta un método de ordenamiento de fases basado en algoritmos genéticos, para convertidores interleaved operando en modo de conducción continua (CCM). El método propuesto permite considerar los $N-1$ armónicos en la optimización, mediante una función de costo,

de forma tal de minimizar su efecto en Δi_T . La función de costo puede considerar aspectos tales como la transferencia del filtro conectado al punto común entre fases, o necesidades particulares de una aplicación. Adicionalmente, el método de reordenamiento es independiente del método de control de corriente utilizado, con lo cual se puede aplicar en forma general.

2. REVISIÓN DE LA PROBLEMÁTICA

La principal causa de desbalances en las amplitudes de los ripples de fase, tal como se mencionó previamente, es la tolerancia en los inductores de fase. Dicha tolerancia puede alcanzar magnitudes de hasta $\pm 5\%$, si se utilizan inductores sin entrehierro, o $\pm 10\%$ en inductores con entrehierro. En el caso de inductores con entrehierro, la principal causa de la tolerancia son las variaciones en el tamaño del entrehierro; en tanto que en inductores sin entrehierro, la principal causa es la variación en la permeabilidad magnética Micrometals Iron Powder Cores (2013); Lenk (2005); Antoszczuk *et al.* (2014). El desbalance de amplitud entre los ripples de fase afecta al ripple total en dos aspectos: aumenta su amplitud e introduce componentes de frecuencia de conmutación y sus armónicos. Estos aspectos afectan el ripple de tensión en el punto de acoplamiento común entre fases.

Con el objetivo de ilustrar esta problemática, en la Fig. 1 se muestra el ripple de tensión en función del número de fases, normalizado respecto al ripple de tensión generado por una fase, $\Delta V_{0N}/\Delta V_{01}$. Es importante destacar que, en los casos expuestos, la frecuencia de conmutación y el filtro conectado al punto común entre fases se mantienen constantes para todos los valores de N . Los casos presentados son el caso ideal sin

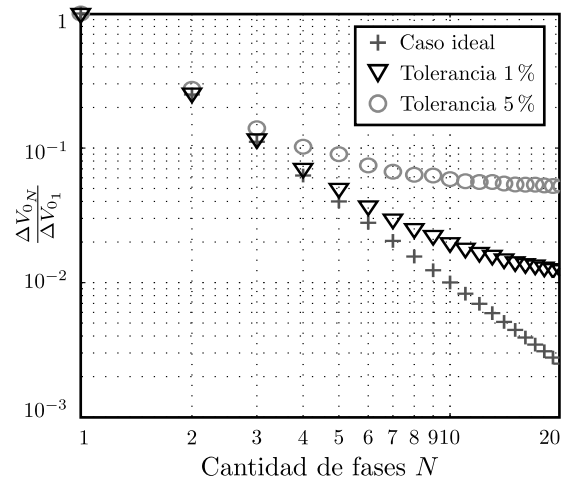


Figura 1. Atenuación del ripple de tensión en el caso ideal y con desbalance de amplitud en el ripple de corriente de una fase.

desbalance entre inductores de fase y los casos con desbalance de 1 % y 5 % en uno de los inductores de fase. Se puede apreciar que, en el caso ideal, la relación $\Delta V_{0N}/\Delta V_{01}$ disminuye a medida que aumenta N . Dicha reducción se debe principalmente a dos causas: la disminución de la amplitud de Δi_T y el aumento de su frecuencia a Nf_s . Bajo la existencia de desbalances, sin embargo, la atenuación $\Delta V_{0N}/\Delta V_{01}$ se deteriora debido a la existencia de componentes armónicas de baja frecuencia. Se puede observar que, ante aumentos en la tolerancia del inductor, incrementos adicionales en N no mejoran la atenuación del ripple de tensión respecto del ripple generado por una fase.

Adicionalmente, cuando existen desbalances en más de una fase, la magnitud de los $(N-1)$ armónicos depende del orden de los ripples de fase, el cual está determinado por la secuencia de activación de las llaves. A modo de ejemplo, la Fig. 2 muestra, para dos ordenamientos de fase diferentes, los ripples de fase, Δi_T y su contenido armónico, para un convertidor de $N = 5$ fases. La amplitud pico del ripple de cada fase es $(A1 \ A2 \ A3 \ A4 \ A5) = (1,2 \ 1,2 \ 1 \ 1 \ 1)$, donde cada A_i es la amplitud del ripple asociada al inductor L_i . Se puede observar que, en el caso del ordenamiento 1, los ripples de mayor amplitud están ordenados de forma consecutiva, es decir $(A1 \ A2 \ A3 \ A4 \ A5)$. Por otro lado, en el ordenamiento 2, los ripples de cada fase se ubican en diferente secuencia: $(A1 \ A3 \ A2 \ A4 \ A5)$. En estas condiciones, se puede observar que el ordenamiento 1 produce un contenido de componente f_s en Δi_T significativamente mayor que el ordenamiento 2. Por lo tanto, el orden de los ripples de fase afecta el contenido armónico de Δi_T , cuando existen desbalances en la amplitud del ripple en más de una fase.

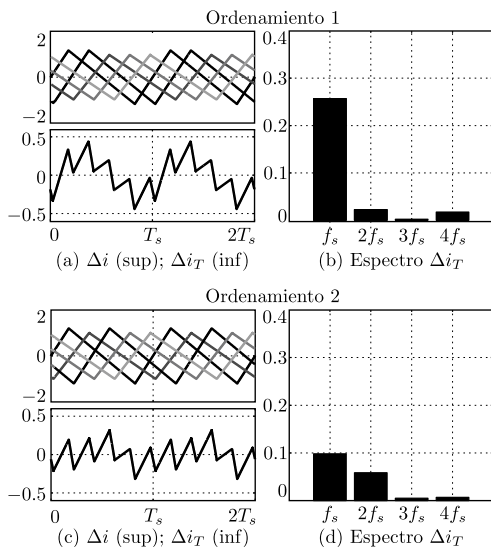


Figura 2. Ordenamiento 1: (A1 A2 A3 A4 A5);
Ordenamiento 2: (A1 A3 A2 A4 A5).

3. MÉTODO PROPUESTO

El método propuesto consiste en la búsqueda del ordenamiento de fases que minimice, según algún criterio, el ripple de la corriente total. Como se mencionó previamente, la búsqueda del mejor ordenamiento mediante la evaluación de todos los casos posibles no es práctica. Esto se debe a que la cantidad posible de permutaciones es igual al factorial del número de fases. A modo de ejemplo, un sistema con $N = 16$ fases presenta $N! = 20,92 \times 10^{12}$ ordenamientos diferentes.

Dada la dificultad de encontrar el ordenamiento óptimo mediante métodos analíticos, los algoritmos genéticos, basados en la mecánica de selección natural y supervivencia del más apto, permiten la búsqueda de una solución cercana a la óptima sin necesidad de evaluar todos los casos posibles Goldberg (1989); Sharma and Gupta (2011); Larranaga *et al.* (1996).

En los algoritmos genéticos, una población de potenciales soluciones, denominadas cromosomas o individuos, evoluciona a lo largo de sucesivas iteraciones, denominadas *generaciones*. Cada individuo tiene asociado un nivel de ajuste respecto de la solución buscada. El nivel de ajuste se determina por medio de una función de costo, denominada función objetivo. Asimismo, la evolución a lo largo de sucesivas generaciones se lleva a cabo utilizando operadores genéticos tales como cruces y mutaciones. El cruce genera una descendencia a partir del intercambio de información entre dos individuos de la generación actual. Por su parte, la mutación es un operador, con baja probabilidad, que altera alguna propiedad de un individuo en forma aleatoria antes de introducirlo en la nueva generación. El cruce y la mutación cumplen distintos roles dentro del algoritmo. La descendencia obtenida por cruce tiende a mejorar la calidad promedio de la población, mediante la exploración de los espacios ya presentes en la población. La mutación, sin embargo, ayuda a explorar otros espacios, evitando así óptimos locales. Adicionalmente, es deseable preservar los individuos más aptos a lo largo de generaciones sucesivas. En este sentido, se selecciona una cierta cantidad de individuos que mejor ajusten a la función de costo, denominados *elite*, que pasan a la siguiente generación sin sufrir cambios.

En la Fig. 3 se muestra el ciclo básico del algoritmo genético. El algoritmo parte de una población inicial generada aleatoriamente. Luego, se evalúan los individuos que integran la población y se les asigna un nivel de ajuste mediante la función de costo. Seguidamente, se seleccionan los individuos a partir de los cuales se crea la próxima generación, y se aplican los operadores genéticos antes descriptos. Una nueva evaluación devuelve la población a su tamaño original,

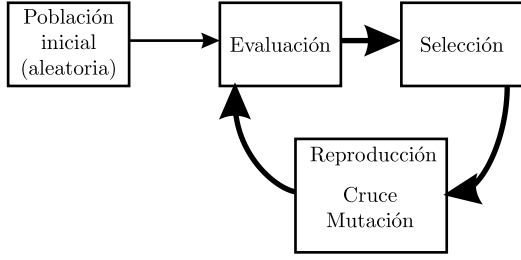


Figura 3. Diagrama de flujo del algoritmo genético.

mediante la selección de los individuos más aptos. El ciclo continúa hasta cumplirse un criterio de finalización. Este criterio puede ser la cantidad máxima de generaciones, una cota de error, o la falta de cambios de una generación respecto de la anterior.

A continuación, se detalla el modelado del problema, la función objetivo y los operadores genéticos antes mencionados.

3.1 Modelado y codificación del problema

Las potenciales soluciones del problema se modelan mediante un conjunto de parámetros, denominados *genes*, de forma tal de representar el cromosoma o individuo. Como el problema de optimización de Δi_T es un problema de ordenamiento, cada individuo esta conformado por un vector ordenado compuesto por la amplitud del ripple de cada fase. Por ejemplo, el individuo $I_1 = (A1 A2 A3 A4 A5 A6 A7 A8)$, correspondiente a un convertidor de 8 fases, representa el caso en el que el ripple asociado al inductor de fase L_1 precede al ripple asociado a L_2 , y así sucesivamente. Por otro, en $I_2 = (A2 A1 A3 A4 A5 A6 A7 A8)$ se invirtió el orden de los ripples asociados a L_1 y L_2 de forma tal de que, en este nuevo individuo, A_2 precede a A_1 .

Es importante destacar que, debido a la naturaleza del problema, la composición del individuo esta sujeta a restricciones, de modo de garantizar su validez. En primer lugar, las amplitudes de los ripples de todas las fases deben estar presentes en cada individuo. En (1) se muestra un individuo que no contiene la amplitud de fase A_3 y, por consiguiente, no representa un ordenamiento de fases válido.

$$I_{erroneo1} = (A1 A2 A4 A5 A6 A7 A8) \quad (1)$$

En segundo lugar, no pueden existir amplitudes repetidas dentro de un mismo individuo. En (2), se muestra un ejemplo en el que la fase A_1 se ubica simultáneamente en la primera y tercera posición, determinando así un estado no válido de ordenamiento.

$$I_{erroneo2} = (A1 A2 A1 A3 A4 A5 A6 A7 A8) \quad (2)$$

De los ejemplos antes expuestos se determina que la cantidad de *genes* en un individuo es igual a la cantidad de fases, y que no existen repeticiones dentro de un mismo individuo. Estas restricciones pueden ser consideradas de dos formas distintas.

- Mediante penalización en el valor de ajuste de los individuos no válidos.
- Mediante operadores genéticos apropiados, que generen en todo momento individuos válidos.

Se adopta la segunda estrategia, debido a que no se desperdicia esfuerzo de cómputo en la generación y evaluación de individuos que no representan un estado válido del sistema.

3.2 Función objetivo

La función objetivo debe entregar un valor que indique el ajuste de cada individuo respecto al criterio de optimización seleccionado. En este caso, el objetivo es minimizar de las exigencias de filtrado en el punto de acople común entre fases.

En Antoszczuk *et al.* (2014) se presentó un método de caracterización de Δi_T , para convertidores interleaved operando en CCM, en función del ciclo de trabajo D y en condiciones de balance o desbalance entre inductores de fase. Esta caracterización permite obtener diferentes propiedades de Δi_T , como su valor pico, RMS y su contenido armónico, a partir de las amplitudes del ripple de cada fase. Debido a que la caracterización se realiza a partir de las amplitudes del ripple de fase, es posible aplicarla tanto en convertidores buck como boost. En el caso de convertidores buck, se realiza la caracterización para el ripple de la corriente de salida, mientras que en la topología boost se realiza para el ripple de la corriente de entrada.

Las amplitudes relativas del ripple de cada fase, necesarias para el cálculo de las características de Δi_T , se pueden obtener mediante mediciones del ripple de fase en estado estacionario. Sin embargo, el valor de los inductores, y en consecuencia la amplitud de los ripples de fase, pueden variar en función de la corriente media Pollock *et al.* (2011). Por este motivo, el método de ordenamiento es aplicable cuando la relación entre el valor de los inductores no varía de forma significativa con la corriente media, como en convertidores que utilicen inductores con entrehierro, o aplicaciones con reducida variación en la corriente media.

Luego, para reducir las exigencias de filtrado en el punto común entre fases, se recurre a la cuantificación de las componentes de frecuencia

de Δ_{iT} , propuesta en Antoszczuk *et al.* (2014), y a la medición de las amplitudes relativas del ripple de cada fase. De esta forma, es posible enfocar el esfuerzo del algoritmo en minimizar la amplitud de la componente de frecuencia de conmutación y de sus armónicos en Δ_{iT} . La función objetivo se construye entonces mediante la suma ponderada de las componentes f_s a $(N-1)f_s$, como se muestra en (3), donde I_j es el individuo a evaluar, r_{Ti} es el armónico de orden i y α_i es su factor de ponderación. La ponderación se efectúa de forma tal de penalizar en mayor medida aquellos armónicos de menor frecuencia, de forma tal de concentrar el esfuerzo de optimización en los armónicos que son menos atenuados por el filtro.

$$f_{fit}(I_j) = \sum_{i=1}^{N-1} \alpha_i r_{Ti} \quad (3)$$

3.3 Función de cruce

La función de cruce intercambia información entre dos individuos de la generación actual, denominados padres, para generar un nuevo individuo, denominado descendencia. Si se considera que el orden de las fases, y no su posición, es importante para la optimización, la función de cruce ordenado (*order crossover*) es muy atractiva debido a su simplicidad y efectividad Davis (1985); Deep and Adane (2010). Esta función toma una subsecuencia de fases de uno de los padres y preserva el orden relativo del segundo. Por ejemplo, a partir de los padres P_1 y P_2 , se seleccionan dos puntos de corte al azar, señalizados por “|”, tal como se indica en (4).

$$\begin{aligned} P_1 &= (A1 \ A2 \ |A3 \ A4 \ A5| \ A6 \ A7 \ A8) \\ P_2 &= (A3 \ A4 \ |A2 \ A5 \ A1| \ A6 \ A8 \ A7) \end{aligned} \quad (4)$$

La descendencia, O_1 se genera de la siguiente forma. En primer lugar, los subconjuntos contenidos entre los puntos de corte de P_1 se copian a la descendencia, respetando el orden y la posición, como se muestra en (5).

$$O_1 = (- \ - \ |A3 \ A4 \ A5| \ - \ - \ -) \quad (5)$$

Luego, se seleccionan las fases del otro padre a partir del segundo punto de corte, respetando el orden, y se descartan las fases ya presentes en O_1 (6).

$$A6 \ A8 \ A7 \ A3 \ A4 \ A2 \ A5 \ A1 \quad (6)$$

Seguidamente, se completa la descendencia desde el segundo punto de corte, recomenzando desde el principio si se alcanza el final del individuo (7)

$$O_1 = (A2 \ A1 \ |A3 \ A4 \ A5| \ A6 \ A8 \ A7) \quad (7)$$

Adicionalmente, se puede generar otra descendencia invirtiendo el orden de los padres.

3.4 Función de mutación

La función de mutación altera los genes de un individuo, seleccionado de forma aleatoria, antes de colocarlo en una nueva generación. La mutación se realiza invirtiendo el orden de dos fases, de forma tal de generar un nuevo ordenamiento que explore otros campos y evite la convergencia a mínimos locales. Por ejemplo, a partir del individuo P_1 , se genera O_1 invirtiendo las fases A3 y A7, tal como se ilustra en (8) y (9).

$$P_1 = (A1 \ A2 \ A3 \ A4 \ A5 \ A6 \ A7 \ A8) \quad (8)$$

$$O_1 = (A1 \ A2 \ A7 \ A4 \ A5 \ A6 \ A3 \ A8) \quad (9)$$

3.5 Criterio de finalización

Dado que el algoritmo genético realiza la búsqueda del ordenamiento más adecuado mediante la iteración de sucesivas generaciones, es necesario contar con un criterio que indique la convergencia a una solución. Existen diversos criterios en la literatura para determinar el final del proceso iterativo, tales como una cota máxima de error, un número máximo de generaciones o la mejora relativa de una generación respecto de las anteriores.

En el caso del ordenamiento de los ripples de fase no es posible, en general, establecer una cota de error máximo. Esto se debe a que no se conoce con antelación el máximo o el mínimo Δ_{iT} esperable para una dada condición de desbalances. Por su parte, definir el fin del proceso iterativo a partir de un número máximo de iteraciones no es práctico, ya que es posible que se realicen más iteraciones que las necesarias, o que se detenga el proceso antes de obtener la solución óptima. Por otro lado, si se contrastan el mejor individuo de una generación con los de las generaciones previas, es posible determinar si existen mejoras en la calidad de la solución a lo largo de sucesivas iteraciones. De esta forma, se puede establecer una solución aceptable cuando no existen cambios a lo largo de una determinada cantidad de generaciones.

Es importante destacar que, mediante esta metodología, la solución obtenida no es necesariamente la mejor respecto a la totalidad de combinaciones posibles. Sin embargo, dado que el operador de mutación evita la convergencia a óptimos locales, se arriba a una solución cercana al óptimo global.

4. SIMULACIONES

En esta sección se presentan simulaciones que evalúan el desempeño y validan el método propuesto. Este método se aplicó a un convertidor de

$N = 8$ fases, con un desbalance $\Delta L = \pm 10\%$ en los inductores de fase.

De forma tal de evaluar el ajuste de un individuo dado, con el objetivo de minimizar las exigencias de filtrado en el punto común entre fases, la función de costo (3) se evalúa con $\alpha_i = 1$, tal como se indica en (10).

$$f_{fit}(I_j) = \sum_{i=1}^7 r_{Ti} \quad (10)$$

El algoritmo genético se configura con una población de 50 individuos por generación, el 96 % de los mismos se crean mediante la función de cruce, y el 4 % restante mediante mutaciones. Los dos individuos más aptos de la población pasan a la siguiente generación sin sufrir cambios.

El criterio de finalización consiste en evaluar el cambio relativo en el mejor individuo de cada generación, respecto de las anteriores. Si no se detectan variaciones a lo largo de 20 generaciones, se considera que el algoritmo convergió a un óptimo y se detiene la búsqueda.

En la Fig. 4 se muestra el valor de ajuste, según la función de costo (10), del mejor individuo y el promedio del valor de ajuste de los individuos de la población, a lo largo de sucesivas generaciones. Se puede observar que el algoritmo converge en 34 generaciones. Esta convergencia se detecta debido a que el mejor individuo no sufre cambios a lo largo de las últimas 20 generaciones. Luego, el mejor individuo, que representa el ordenamiento de fases que minimiza la suma de las primeras 7 componentes armónicas en Δi_T , es:

$$I_B = (A6 \ A8 \ A4 \ A7 \ A5 \ A1 \ A3 \ A2) \quad (11)$$

A modo ilustrativo, en la Fig. 5 se muestra la forma de onda de Δi_T y sus 7 primeros armónicos, para diferentes casos de optimización. Dichos casos se corresponden con el ordenamiento de fases (11), el ordenamiento propuesto en Garcia *et al.* (2007), y el peor caso de ordenamiento. El peor caso de ordenamiento se obtiene aplicando el

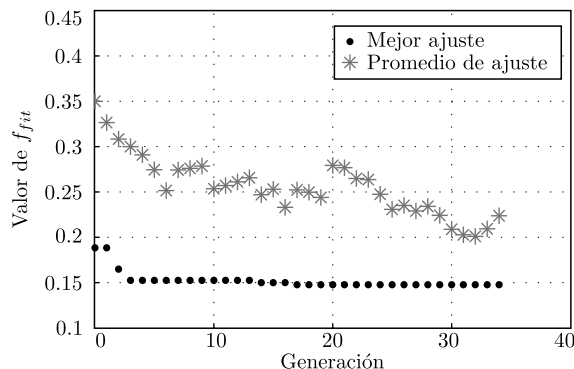


Figura 4. Mejor ajuste y ajuste promedio de cada generación.

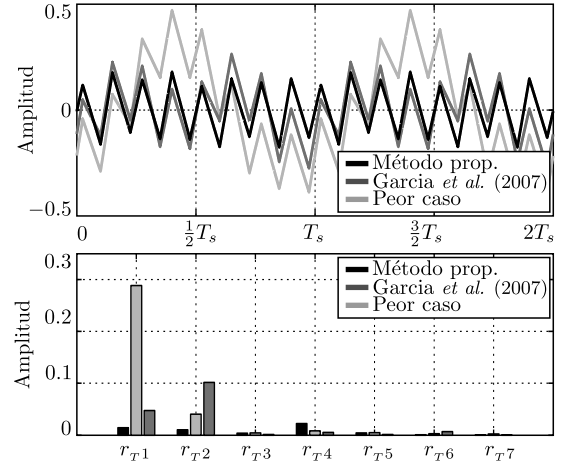


Figura 5. Δi_T y espectro de Δi_T . Optimizado mediante el método propuesto, mediante Garcia *et al.* (2007) y peor caso.

método propuesto para maximizar la función de costo, es decir, se minimiza la expresión (12).

$$f_{wc}(I_j) = 1 - \sum_{i=1}^7 r_{Ti} \quad (12)$$

Se puede observar que, si bien el método de Garcia *et al.* (2007) logra una notable mejora en el contenido de frecuencia de conmutación, la segunda armónica se ve deteriorada respecto del peor caso. Por otro lado, el método propuesto logra reducir el contenido armónico en Δi_T respecto de ambos casos. La amplitud de la componente f_s se reduce 3,35 veces, mientras que la amplitud de la componente $2f_s$ se atenua 10 veces, respecto de la optimización propuesta en Garcia *et al.* (2007).

En la Fig. 6 se muestra la atenuación del ripple de tensión en el punto común entre fases, V_{ON}/V_{O1} , en función de N . El desbalance entre inductores de fase es $\Delta L = \pm 5\%$. Es importante destacar que la frecuencia de conmutación y el filtro conectado al punto común entre fases se mantienen constantes para todos los valores de N . Se presentan los ordenamientos de fase correspondientes al caso ideal sin desbalances, al peor caso (obtenido mediante (12)), al método de Garcia *et al.* (2007), cuando es aplicable, y al método propuesto. Se puede observar que, para $N \leq 3$, V_{ON}/V_{O1} es independiente del orden de fases. Por otro lado, para $N = 4$, los resultados obtenidos mediante el método de Garcia *et al.* (2007) no presentan diferencias respecto los obtenidos mediante el método propuesto. Ante aumentos de N , sin embargo, la atenuación provista por el método propuesto se incrementa, mientras que el método de Garcia *et al.* (2007) no proporciona mejoras adicionales a partir de $N = 10$. Particularmente, la atenuación para $N = 10$ y $N = 20$ se muestra en la Tabla 1. Como se puede observar, la atenuación obtenida mediante el método propuesto

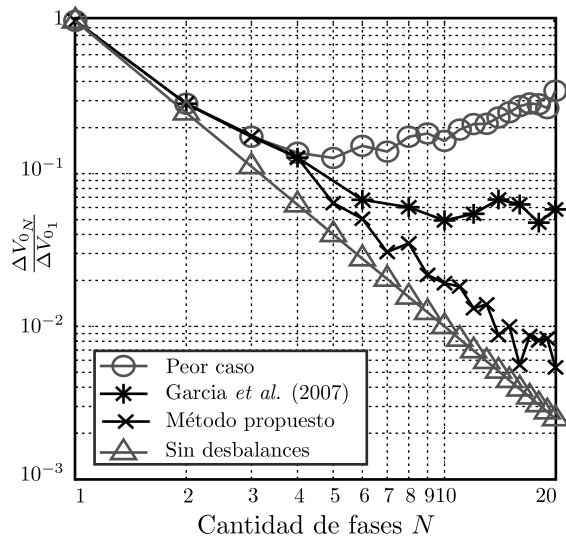


Figura 6. Atenuación del ripple de tensión en función de N .

es significativamente mayor que utilizando García *et al.* (2007).

Tabla 1. Atenuación del ripple de tensión para $N = 10$ y $N = 20$.

N	Atenuación			
	Ideal	Met. Propuesto	García	Peor
10	1/100	1/50	1/20	1/6
20	1/400	1/185	1/17	1/4

5. CONCLUSIONES

En los convertidores interleaved, la existencia de desbalances entre los inductores de fase produce una degradación en el ripple de la corriente total que incrementa las exigencias de filtrado en el punto de acoplamiento común entre fases. En este trabajo se presentó un método que permite mitigar los efectos de este problema, mediante el reordenamiento de la secuencia de encendido de las llaves de cada fase. Este método, basado en algoritmos genéticos, tiene la ventaja de lograr un ordenamiento eficiente, que minimiza el contenido de componentes de frecuencia de conmutación y sus armónicos en el ripple total, en un número muy reducido de iteraciones. Se presentaron resultados de simulación que validan la propuesta. Se evidenciaron, en convertidores con un gran número de fases, mejoras de un orden de magnitud en la atenuación del ripple de tensión, respecto de las metodologías presentes en la literatura.

AGRADECIMIENTOS

Los autores agradecen a la cátedra del curso de postgrado Inteligencia Computacional, compuesta

por Lucía I. Passoni, Ana Lucía Dai Pra y Gustavo Meschino, por su aporte y apoyo al presente trabajo.

¿i

REFERENCIAS

- Abusara, M.A. and S.M. Sharkh (2013). Design and control of a grid-connected interleaved inverter. *IEEE Trans. Power Electron.* **28**(2), 748–764.
- Antoszczuk, P.D., R.G. Retegui, N. Wassinger, S. Maestri, M. Funes and M. Benedetti (2014). Characterization of steady-state current ripple in interleaved power converters under inductance mismatches. *IEEE Trans. Power Electron.* **29**(4), 1840–1849.
- Chae, Suyong, Yujin Song, Sukin Park and Hakgeun Jeong (2012). Digital current sharing method for parallel interleaved dc-dc converters using input ripple voltage. *IEEE Trans. Ind. Informat.* **8**(3), 536–544.
- Chang, Chin and M.A. Knights (1995). Interleaving technique in distributed power conversion systems. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications* **42**(5), 245–251.
- Chen, W. (1999). High efficiency, high density, polyphase converters for high current applications. Technical report. Linear Technology : AN77.
- Cho, Younghoon, A. Koran, H. Miwa, B. York and Jih-Sheng Lai (2012). An active current reconstruction and balancing strategy with dc-link current sensing for a multi-phase coupled-inductor converter. *IEEE Trans. Power Electron.* **27**(4), 1697–1705.
- Choi, Hangseok (2013). Interleaved boundary conduction mode (BCM) buck power factor correction (PFC) converter. *IEEE Trans. Power Electron.* **28**(6), 2629–2634.
- Davis, Lawrence (1985). Applying adaptive algorithms to epistatic domains.. In: *IJCAI*. Vol. 85. pp. 162–164.
- Deep, Kusum and Hadush Mebrahtu Adane (2010). New variations of order crossover for travelling salesman problem. *International Journal of Combinatorial Optimization Problems and Informatics* **2**(1), 2–13.
- Foley, R.F., R.C. Kavanagh and M.G. Egan (2012). Sensorless current estimation and sharing in multiphase buck converters. *IEEE Trans. Power Electron.* **27**(6), 2936–2946.
- García, O., A. de Castro, P. Zumelis and J.A. Cobos (2007). Digital-control-based solution to the effect of nonidealities of the inductors in multiphase converters. *IEEE Trans. Power Electron.* **22**(6), 2155–2163.

- Garcia, O., P. Zumel, A. De Castro and J.A. Cobos (2006). Automotive dc-dc bidirectional converter made with many interleaved buck stages. *IEEE Trans. Power Electron.* **21**(3), 578–586.
- Garcia Retegui, R., M. Benedetti, M. Funes, P. Antoszczuk and D. Carrica (2012). Current control for high-dynamic high-power multiphase buck converters. *IEEE Trans. Power Electron.* **27**(2), 614–618.
- Goldberg, David E (1989). Genetic algorithms in search, optimization, and machine learning, 1989. ISBN: 0-201-15767-5.
- Ho, Kung-Min, Chia-An Yeh and Yen-Shin Lai (2010). Novel digital-controlled transition current-mode control and duty compensation techniques for interleaved power factor corrector. *IEEE Trans. Power Electron.* **25**(12), 3085–3094.
- Hwu, K. I. and Y. H. Chen (2012). Current sharing control strategy based on phase link. *IEEE Trans. Ind. Electron.* **59**(2), 701–713.
- Larranaga, P., C.M.H. Kuijpers, R.H. Murga and Y. Yurramendi (1996). Learning bayesian network structures by searching for the best ordering with genetic algorithms. *IEEE Trans. Syst., Man, Cybern. A* **26**(4), 487–493.
- Lenk, R. (2005). *Practical Design of Power Supplies*. Wiley-IEEE Press.
- Micrometals Iron Powder Cores (2013). Electronic references.
- Ni, Liqin, D.J. Patterson and J.L. Hudgins (2012). High power current sensorless bidirectional 16-phase interleaved DC-dc converter for hybrid vehicle application. *IEEE Trans. Power Electron.* **27**(3), 1141–1151.
- Pollock, Jennifer D, Weyman Lundquist and Charles R Sullivan (2011). Predicting inductance roll-off with dc excitations. In: *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE*. IEEE. pp. 2139–2145.
- Sharma, S. and K. Gupta (2011). Solving the traveling salesmen problem through genetic algorithm with new variation order crossover. In: *Emerging Trends in Networks and Computer Communications (ETNCC), 2011 International Conference on*. pp. 274–276.
- Su, J.-T. and C.-W. Lin (2012). Auto-tuning scheme for improved current sharing of multiphase dc-dc converters. *Power Electronics, IET* **5**(9), 1605–1613.
- Xu, Xiaojun, Wei Liu and A.Q. Huang (2009). Two-phase interleaved critical mode pfc boost converter with closed loop interleaving strategy. *IEEE Trans. Power Electron.* **24**(12), 3003–3013.
- Zhang, Saijun and Xiaoyan Yu (2013). A unified analytical modeling of the interleaved pulse width modulation (pwm) dc-dc converter and its applications. *IEEE Trans. Power Electron.* **28**(11), 5147–5158.

CONTROL DE CORRIENTE PARA CONVERTIDORES INTERLEAVED CON CANCELACIÓN DE ARMÓNICOS BASADA EN EL AJUSTE DE LAS FASES DE LOS RIPPLES

P. Antoszczuk ^{*,**,**,1,2} N. Wassinger ^{**,*,*,1,3}
M. Funes ^{**,*,*,1,3} R. García Retegui ^{**,*,*,1,3}
S. Maestri ^{**,*,*,1,3}

^{*} *pablo_ant@fi.mdp.edu.ar*

^{**} *Universidad Nacional de Mar del Plata*

^{***} *Consejo Nacional de Investigaciones Científicas y Técnicas*

Resumen: Los convertidores interleaved son utilizados para distribuir grandes corrientes entre N fases de modo de reducir las pérdidas de las llaves semiconductoras, y elevar N veces la frecuencia del ripple de corriente de salida de modo de facilitar su filtrado. En particular, el ripple de corriente se ve afectado principalmente por las tolerancias de los inductores conduciendo a la aparición de componentes de frecuencia de conmutación. En este trabajo, se propone una estrategia de compensación para mitigar este fenómeno, basada en el ajuste de las fases de los ripples, y su aplicación sobre un control de corriente existente. Esta solución utiliza como información la comparación de los ripples con bandas de comparación fijas sin necesidad de adquirir las corrientes de fase. La estrategia se valida por medio de simulaciones.

Palabras Claves: Control de Corriente, Convertidores Interleaved, Compensación de Desbalances

1. INTRODUCCIÓN

Los convertidores DC-DC interleaved son utilizados comúnmente en aplicaciones donde se requiere el control eficiente de grandes corrientes [Abusara and Sharkh (2013); Ni *et al.* (2012); Hegazy *et al.* (2012); Choi (2013); Quintero *et al.* (2011); García Retegui *et al.* (2012)]. El objetivo de estos convertidores es distribuir la corriente total i_T a través de N fases de modo de reducir las pérdidas de conducción y de conmutación de las llaves semiconductoras empleadas en cada fase. En caso de que la amplitud, el ciclo de trabajo y la frecuencia de conmutación, f_{sw} , del ripple de las diferentes fases sean iguales, condición denominada balanceada, un arreglo equidistante

de las señales de control de los dispositivos ($2\pi/N$) permite reducir al mínimo el ripple de i_T e incrementar N veces su frecuencia ($N \cdot f_{sw}$). Esta característica es muy deseada debido a que al incrementarse la frecuencia del ripple se puede obtener un mayor filtrado de la corriente i_T o menores requerimientos sobre el capacitor de filtrado [Chen (1999); Chang and Knights (1995); Zhang and Yu (2013)].

Esta clase de convertidores son una alternativa interesante en aplicaciones de elevada potencia donde la referencia de corriente o la tensión de carga presentan variaciones rápidas y de gran amplitud [Maestri *et al.* (2011); Wassinger *et al.* (2011); Guo and Jain (2009); Dallago *et al.* (2008)]. En estas aplicaciones, el control de corriente debe ser capaz de cubrir elevadas exigencias, tales como tiempos transitorios acotados a unos pocos períodos de conmutación, errores muy pequeños en estado estacionario o independencia con los parámetros del convertidor.

En [Antoszczuk *et al.* (2013)] se presentó un control capaz de cumplir con dichas especificaciones, el cual se basa en el uso de señales de sincronismo

¹ Docente de la UNMdP.

² Becario del CONICET.

³ Investigador del CONICET.

por fase, decaladas en $2\pi/N$, para el ajuste del intercalado de los ripples. El método presentado calcula los tiempos de conmutación de modo de ajustar el cruce por cero del ripple de cada fase con su correspondiente señal de sincronismo, utilizando información de la pendiente del ripple de corriente de cada fase. Para calcular el tiempo de conmutación, se realiza el sensado de la corriente de cada fase y se las compara con bandas fijas, de forma tal de determinar las pendientes a partir del tiempo de cruce por dichas bandas. Esta metodología permite determinar las pendientes sin necesidad de conocer el valor de la corriente, es decir sin necesidad de adquirir las corrientes de fase.

La existencia de no-idealidades como: resistencia de encendido de la llave, inductancias de fase, resistencia parásita de los inductores, entre otras, ocasionan la aparición de componentes armónicas en el ripple total que impactan sobre las características de filtrado en el punto de acoplamiento común entre fases [Foley *et al.* (2012); Cho *et al.* (2012); Antoszczuk *et al.* (2014)].

Respecto a las resistencias parásitas, si se considera que la caída de tensión en dichos elementos son despreciables en relación con la tensión de entrada y salida del convertidor, se puede asumir que los ciclos de trabajo de las diferentes fases son similares. De esta forma, el impacto de estos elementos parásitos sobre el ripple total puede considerarse despreciable.

Sin embargo, las diferencias entre las inductancias de fase, debidas a tolerancias en el proceso de fabricación que pueden ser del orden del $\pm 10\%$, producen amplitudes de ripples diferentes que tienen una incidencia directa en el ripple total. Estas diferencias pueden conducir a un ripple total significativamente mayor que en el caso balanceado, y con componentes armónicas inferiores a $N \cdot f_{sw}$ [Antoszczuk *et al.* (2014)]. Esto último tiene un impacto directo sobre el capacitor de filtrado, ya que éste normalmente es dimensionado para cumplir con determinados requerimientos de precisión.

Con el objeto de mitigar el desbalance ocasionado por los inductores, algunos autores proponen como método de compensación el reordenamiento de las corrientes de fase [Garcia *et al.* (2007)]. Este método busca encontrar un ordenamiento que minimice la componente fundamental del ripple de la corriente total. Sin embargo, en la mayoría de los casos no existe un ordenamiento que conduzca a una cancelación completa de esta componente. Además, este método de compensación no es válido para el caso de tres fases debido a que, por la simetría del problema, una inversión en el orden de las fases no modifica la amplitud del ripple en i_T .

Otro enfoque consiste en modificar el desplazamiento angular entre las fases. De forma clásica, los ripples de fase se intercalan en $\frac{2\pi}{N}$, que es óptimo en sistemas balanceados ya que conduce a una máxima cancelación del ripple. Sin embargo, esta situación no es la más adecuada para el caso desbalanceado, ya que es posible mejorar la reducción en el ripple resultante mediante un ajuste individual de las fases de los ripples, ϕ_n . En [Schuck and Pilawa-Podgurski (2013)] se presentan las ecuaciones para determinar los ϕ_n que eliminan la componente fundamental en convertidores con diferentes tensiones de entrada por fase. En esta propuesta, los ϕ_n se obtienen a partir de la medición de las amplitudes de los ripples de fase.

La aplicación de este concepto en [Antoszczuk *et al.* (2013)] resulta prometedora debido a que, la operación en base al patrón de sincronismo permite integrar de forma sencilla el ajuste de los ϕ_n . Se debe tener en cuenta que el método presentado en [Schuck and Pilawa-Podgurski (2013)] requiere conocer el valor pico de los ripples de fase, característica que implica la adquisición de las corrientes de fase con el consecuente incremento en el hardware requerido. Una posible solución radica en medir los ripples y ajustar los ϕ_n de forma off-line durante la puesta en operación inicial de la fuente. Sin embargo, variaciones en los componentes debidas al envejecimiento o a la reposición de piezas dañadas conducirían a la necesidad de un nuevo proceso de medición y cálculo de los ϕ_n .

En tal sentido, se propone modificar el control propuesto en [Antoszczuk *et al.* (2013)] de modo de inferir los ϕ_n a partir de los tiempos entre cruces de los ripples de corriente con las bandas de comparación, y realizar un ajuste on-line de los mismos. Esto permite al sistema auto ajustarse eliminando la necesidad de implementar un procedimiento de ajuste inicial. Adicionalmente, brinda la capacidad de compensar eventuales variaciones en los componentes dependientes del punto de operación. Dichas variaciones pueden ser generadas por diferencias en las características magnéticas de los núcleos, diferencia de temperatura de operación en los inductores, etc.

El presente trabajo se divide en cinco secciones: en la Sección 2 se establecen las ecuaciones para el cálculo de los ϕ_n , en la Sección 3 se describe el control propuesto, en la Sección 4 se presentan simulaciones del mismo aplicado sobre un convertidor buck interleaved de tres fases (Figura 1) y en la última sección se presentan las principales conclusiones del trabajo.

2. CANCELACIÓN DE ARMÓNICOS DEL RIPPLE TOTAL MEDIANTE AJUSTE DE FASE

En esta sección se presenta un procedimiento para el cálculo de los ϕ_n , los cuales permiten eliminar la componente fundamental del ripple de i_T .

El ripple de i_T esta compuesto por la suma de los ripples de las N corrientes de fase, i_n (Ecuación (1)).

$$i_T(t) = \sum_{n=1}^N i_n(t) \quad (1)$$

La descomposición de Fourier de i_n se puede escribir como:

$$i_n(t) = A_{n0} + \sum_{h=1}^{\infty} A_{nh} \cos\{h(\omega t - \phi_n) - \varphi_{nh}\} \quad (2)$$

donde el índice h es el indicador del orden armónico, A_{n0} es el valor medio de la corriente y, A_{nh} y φ_{nh} son la amplitud y la fase de la componente armónica h para la fase n . Si los ciclos de trabajo D_n son iguales para todas las fases, la amplitud de las armónicas puede ser calculada como $A_{nh} = A_n a_h$, donde A_n es la amplitud del ripple de la fase n y, a_h es la relación entre la amplitud de la componente armónica h y la amplitud del ripple de corriente. De forma equivalente, el valor de φ_{nh} es independiente de la fase, con lo cual se puede escribir como $\varphi_{nh} = \varphi_h$. En consecuencia, (2) puede ser escrita como:

$$i_n(t) = A_{n0} + A_n \sum_{h=1}^{\infty} a_h \cos\{h(\omega t - \phi_n) - \varphi_h\} \quad (3)$$

Luego, la corriente i_T se puede escribir como:

$$i_T(t) = \sum_{n=1}^N A_{n0} + \sum_{n=1}^N A_n \sum_{h=1}^{\infty} a_h \cos\{h(\omega t - \phi_n) - \varphi_h\} \quad (4)$$

La componente armónica h de la corriente total, i_{Th} , se puede escribir como:

$$i_{Th}(t) = a_h \sum_{n=1}^N A_n \cos\{h\omega t - \varphi_h - h\phi_n\} \quad (5)$$

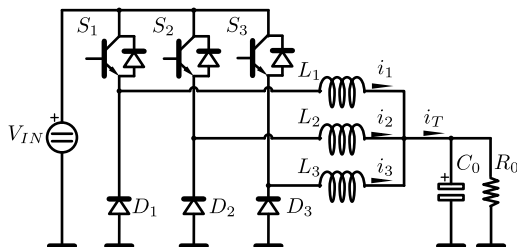


Figura 1. Convertidor Buck de tres fases.

Aplicando la identidad trigonométrica (6) a (5) y trabajando algebraicamente se obtiene (7).

$$\cos\{x - y\} = \cos\{x\} \cos\{y\} + \sin\{x\} \sin\{y\} \quad (6)$$

$$i_{Th}(t) = a_h \cos\{h\omega t - \varphi_h\} \sum_{n=1}^N A_n \cos\{h\phi_n\} + a_h \sin\{h\omega t - \varphi_h\} \sum_{n=1}^N A_n \sin\{h\phi_n\} \quad (7)$$

Por lo tanto, para eliminar la componente armónica h , se deben cumplir (8) y (9).

$$\sum_{n=1}^N A_n \cos\{h\phi_n\} = 0 \quad (8)$$

$$\sum_{n=1}^N A_n \sin\{h\phi_n\} = 0 \quad (9)$$

Suponiendo que la desviación del valor de ϕ_n respecto a la fase correspondiente al caso sin desbalances, ϕ_n^0 , es pequeña, las funciones trigonométricas seno y coseno pueden ser aproximadas por funciones polinómicas de primer orden aplicando Taylor:

$$f\{k\phi_n\} = f\{k\phi_n^0\} + k f'\{k\phi_n^0\} \Delta\phi_n \quad (10)$$

donde $\Delta\phi_n = \phi_n - \phi_n^0$ queda expresada en radianes.

Aplicando (10) en (8) y (9), se obtienen (11) y (12).

$$\sum_{n=1}^N A_n \cos\{h\phi_n^0\} - \sum_{n=2}^N h A_n \sin\{h\phi_n^0\} \Delta\phi_n = 0 \quad (11)$$

$$\sum_{n=1}^N A_n \sin\{h\phi_n^0\} + \sum_{n=2}^N h A_n \cos\{h\phi_n^0\} \Delta\phi_n = 0 \quad (12)$$

De aquí se desprende que existen 2 ecuaciones con N incógnitas por cada componente armónica que se requiera eliminar. Por lo tanto, para un arreglo con N fases, se pueden eliminar $N/2$ componentes armónicas.

Particularizando para eliminar la componente fundamental en un sistema de tres fases:

$$\sum_{n=1}^3 A_n \cos\{\phi_n^0\} - \sum_{n=1}^3 A_n \sin\{\phi_n^0\} \Delta\phi_n = 0 \quad (13)$$

$$\sum_{n=1}^3 A_n \sin\{\phi_n^0\} + \sum_{n=1}^3 A_n \cos\{\phi_n^0\} \Delta\phi_n = 0 \quad (14)$$

Dado que existen dos ecuaciones con tres incógnitas, uno de los $\Delta\phi_n$ puede ser fijado arbitrariamente. Por simplicidad, se utiliza la fase 1 como referencia adoptando $\phi_1^0 = 0$ y por lo tanto $\Delta\phi_1 =$

0. Las ecuaciones (13) y (14) se reducen entonces a (15) y (16).

$$A_1 + \sum_{n=2}^3 A_n \cos\{\phi_n^0\} - \sum_{n=2}^3 A_n \sin\{\phi_n^0\} \Delta\phi_n = 0 \quad (15)$$

$$\sum_{n=2}^3 A_n \sin\{\phi_n^0\} + \sum_{n=2}^3 A_n \cos\{\phi_n^0\} \Delta\phi_n = 0 \quad (16)$$

Reemplazando los valores de los ϕ_n^0 en (15) y (16), y trabajando algebraicamente se obtienen (17) y (18).

$$A_2 \sin \frac{2\pi}{3} \Delta\phi_2 + A_3 \sin \frac{4\pi}{3} \Delta\phi_3 = A_1 + A_2 \cos \frac{2\pi}{3} + A_3 \cos \frac{4\pi}{3} \quad (17)$$

$$A_2 \cos \frac{2\pi}{3} \Delta\phi_2 + A_3 \cos \frac{4\pi}{3} \Delta\phi_3 = -A_2 \sin \frac{2\pi}{3} - A_3 \sin \frac{4\pi}{3} \quad (18)$$

Resolviendo este sistema de ecuaciones compuesto y reemplazando posteriormente los valores de las funciones trigonométricas se obtienen las ecuaciones para el cálculo de $\Delta\phi_2$ y $\Delta\phi_3$ ((19) y (20)).

$$\Delta\phi_2 = \frac{\sqrt{3}}{3} \left(-1 - \frac{A_1}{A_2} + 2 \frac{A_3}{A_2} \right) \quad (19)$$

$$\Delta\phi_3 = \frac{\sqrt{3}}{3} \left(+1 + \frac{A_1}{A_3} - 2 \frac{A_2}{A_3} \right) \quad (20)$$

Para verificar el grado de validez de la aproximación indicada en (10), se evalúa una condición de desbalance extremo. En este ensayo, las amplitudes de las i_n son: en la fase uno igual al valor nominal y en las fases dos y tres, 10 % menor y mayor a la nominal, respectivamente. Como resultado, se obtiene un error en los $\Delta\phi_n$ cercano al 5 % y un residuo en la amplitud de i_{T1} cercana al 2 % del caso sin compensación de desbalances.

3. CONTROL PROPUESTO

El control propuesto se puede dividir en dos etapas funcionales. La primer etapa se encarga de generar el patrón de señales de sincronismo por fase y de controlar, a partir del desplazamiento temporal de las mismas, el correcto intercalado de los ripples. La segunda etapa realiza el control individual de la corriente por fase de modo de sincronizar el ripple con su correspondiente señal de sincronismo. A continuación, se realiza una descripción de cada una de estas etapas

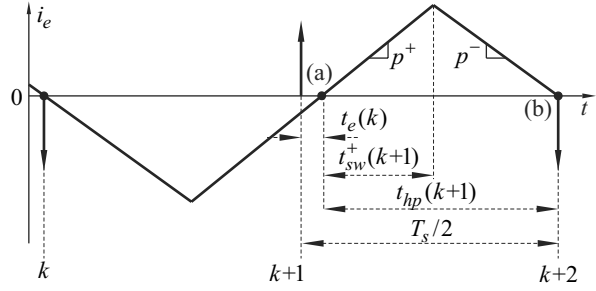


Figura 2. Cálculo del tiempo de conmutación para pequeños $t_e(k)$.

3.1 Control individual por fase.

En esta sección se realiza una breve descripción del control presentado en [Antoszczuk *et al.* (2013)]. El mismo opera de forma independiente para cada una de las fases, ajustando los instantes de conmutación de las llaves de forma que el ripple resultante se sincronice con su correspondiente señal de sincronismo. En la Figura 2 se muestra el ripple de corriente de una fase con su señal de sincronismo cuando se produce un error de sincronismo $t_e(k)$ en el instante de cruce indicado como (a). La señal de sincronismo se representa por medio de flechas, con dirección hacia arriba para indicar el instante donde el ripple debe cruzar por cero con pendiente positiva, y hacia abajo donde los cruces se deben realizar con pendiente negativa.

La determinación del tiempo de conmutación, t_{sw} , se realiza en cada cruce por cero del ripple y se define como el tiempo entre dicho cruce y el instante de conmutación. Cuando el cruce por cero ocurre con pendiente positiva, el tiempo de conmutación se denomina $t_{sw}^+(k+1)$; mientras que cuando el cruce ocurre con pendiente negativa, se lo denomina $t_{sw}^-(k+1)$. Como se muestra en la figura, para el cálculo del tiempo de conmutación es necesario determinar la duración del próximo semiperíodo, $t_{hp}(k+1)$, de forma de hacer nulo el error entre el próximo cruce por cero (instante (b)) y el respectivo pulso de sincronismo (Ecuación (21)).

$$t_{hp}(k+1) = \frac{T_s}{2} - t_e(k) \quad (21)$$

El tiempo $t_e(k)$ puede ser negativo o positivo dependiendo de si el cruce por cero del ripple ocurre antes o después del correspondiente pulso de sincronismo. Asumiendo que la constante de tiempo asociada a las componentes inductiva y resistiva de los inductores de fase es mucho mayor que el período de PWM, el ripple de corriente se puede aproximar por medio de rectas. En este sentido, si p^+ es la pendiente positiva y p^- la pendiente negativa, el tiempo de conmutación $t_{sw}^+(k+1)$ está dado por:

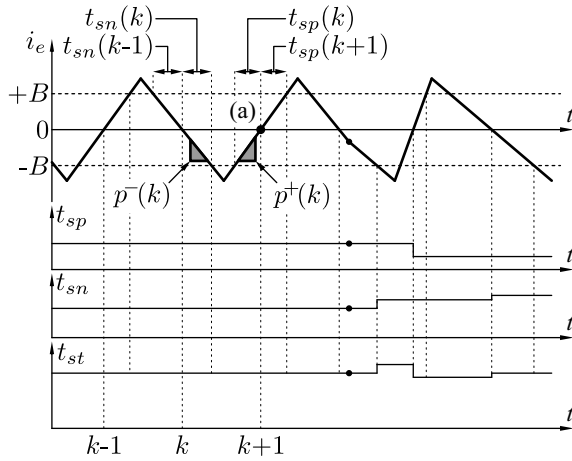


Figura 3. Medición de las pendientes de una fase por medio de bandas fijas de comparación.

$$t_{sw}^+(k+1) = \frac{-p^-}{p^+ - p^-} \cdot t_{hp}(k+1) \quad (22)$$

Usando el mismo razonamiento se obtiene la siguiente expresión para el cálculo de $t_{sw}^-(k+1)$:

$$t_{sw}^-(k+1) = \frac{p^+}{p^+ - p^-} \cdot t_{hp}(k+1) \quad (23)$$

La determinación de las pendientes p^+ y p^- se realiza a partir de la medición de los tiempos entre cruces por bandas de comparación ubicadas en cero y $\pm B$. En la Figura 3 se muestra el ripple de corriente de una fase con las bandas de comparación y se indican los tiempos asociados a la medición de los cruces por las mismas. Resulta evidente que para poder medir los tiempos de cruce por las bandas, la amplitud del ripple en estado estacionario debe ser mayor que la amplitud de las bandas. Esta condición se plantea como una característica de diseño.

Considerando el caso mostrado en la Figura 3, las pendientes p^+ y p^- necesarias para calcular $t_{sw}^+(k+1)$, en el instante de cruce (a), se pueden determinar a partir de los últimos cruces por las bandas (ecuaciones (24) y (25)).

$$p^+(k) = \frac{B}{t_{sp}(k)} \quad (24) \quad p^-(k) = \frac{-B}{t_{sn}(k)} \quad (25)$$

donde t_{sp} y t_{sn} son los tiempos de cruce con pendiente positiva y negativa, respectivamente. Como se muestra en la Figura 3, estos tiempos se actualizan luego de los cruces por cero y por la banda superior, en el caso de t_{sp} , y luego de los cruces por cero y por la banda inferior, en el caso de t_{sn} .

Combinando (22) con las expresiones mostradas en (24) y (25) se obtiene (26).

$$t_{sw}^+(k+1) = \frac{t_{sp}(k)}{t_{sp}(k) + t_{sn}(k)} \cdot t_{hp}(k+1) \quad (26)$$

Cuando el ripple de corriente cruza por la banda superior la expresión anterior se actualiza usando la última medición de la pendiente positiva, es decir:

$$t_{sw}^+(k+1) = \frac{t_{sp}(k+1)}{t_{sp}(k+1) + t_{sn}(k)} \cdot t_{hp}(k+1) \quad (27)$$

Siguiendo el mismo razonamiento, combinando las expresiones dadas en (23), (24) y (25), se obtiene la expresión (28) para $t_{sw}^-(k+1)$:

$$t_{sw}^-(k+1) = \frac{t_{sn}(k)}{t_{sp}(k) + t_{sn}(k)} \cdot t_{hp}(k+1) \quad (28)$$

Cuando el ripple de corriente cruza por la banda inferior, (28) se actualiza usando la última medición de la pendiente negativa como:

$$t_{sw}^-(k+1) = \frac{t_{sn}(k+1)}{t_{sp}(k) + t_{sn}(k+1)} \cdot t_{hp}(k+1) \quad (29)$$

Eventuales cambios en la referencia de corriente o en las tensiones de entrada y salida pueden generar casos transitorios en los cuales el tiempo de conmutación conduzca a una conmutación dentro de la banda, impidiendo el cálculo de alguna de las pendientes. En dichos casos, el cálculo de las pendientes se efectúa con la última medición disponible del tiempo de cruce por las bandas.

Los cálculos presentados contemplan condiciones de ajuste del tiempo de conmutación independientes de la magnitud de $t_e(k)$. Adicionalmente, el método contempla la existencia de perturbaciones de gran nivel tales como cambios en la referencia de corriente o en las tensiones de entrada y salida permitiendo la detección de estos eventos a partir de la información provista por los cruces por las bandas actuando en consecuencia de modo de minimizar el transitorio de corriente. Esta característica se describe en detalle en [Antoszczuk *et al.* (2013)].

3.2 Generación y ajuste del patrón de sincronismo

El conjunto de señales de sincronismo por fase conforma un patrón, en el cual la fase inicial de cada señal de sincronismo está definida por ϕ_n . En la Figura 4 se muestran los ripples de corriente de un convertidor de tres fases balanceado en condición de estado estacionario junto con las señales de sincronismo de cada fase. Se puede observar que los instantes de sincronismo establecen los puntos de cruce por cero del ripple de corriente y el signo de la pendiente con que se deben efectuar dichos cruces.

En esta etapa del control se realiza, a partir de la información provista por el conjunto de las fases, el cálculo de los ϕ_n que cancelan la componente fundamental del ripple de la corriente total. Tal

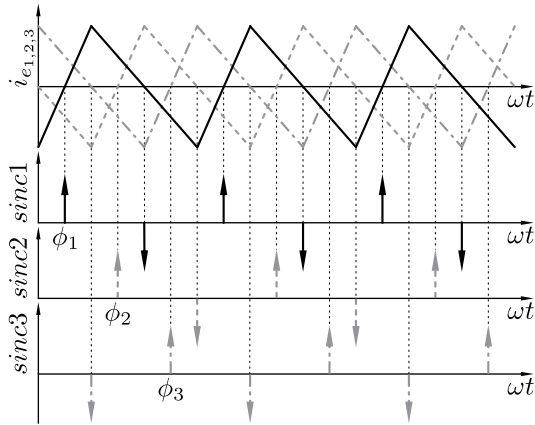


Figura 4. Ripples de corriente y señales de sincronismo en un convertidor de tres fases.

como se describió en la Sección 2, el cálculo de los ϕ_n requiere del conocimiento de las amplitudes de los ripples de fase. Estas amplitudes pueden ser determinadas a partir de los tiempos entre cruces del ripple por las bandas de comparación, aplicando (30).

$$\frac{A}{B} = \frac{T_s}{t_{st}} \quad (30)$$

donde $t_{st} = t_{sp} + t_{sn}$.

En la Figura 3 se muestra la evolución de t_{st} luego de un cambio en las pendientes. Se observa cómo, luego de un transitorio, t_{st} converge a su valor original. Para evitar un funcionamiento erróneo del algoritmo de compensación, los ϕ_n se actualizan utilizando los valores de estado estacionario de t_{st} . Esta condición se detecta evaluando si el valor de t_e se encuentra acotado dentro de un límite máximo de variación.

Reemplazando (30) en (19) y (20), y simplificando se obtienen las siguientes ecuaciones:

$$\Delta\phi_2 = \frac{\sqrt{3}}{3} \left(-1 - \frac{t_{st2}}{t_{st1}} + 2 \frac{t_{st2}}{t_{st3}} \right) \quad (31)$$

$$\Delta\phi_3 = \frac{\sqrt{3}}{3} \left(+1 + \frac{t_{st3}}{t_{st1}} - 2 \frac{t_{st3}}{t_{st2}} \right) \quad (32)$$

donde t_{stn} es el valor de t_{st} correspondiente a la fase n .

En la Figura 5 se muestran los ripples de i_n e i_T en un sistema interleaved de tres fases, donde la amplitud del ripple en una de éstas supera en un 10% al de las restantes. Se puede observar que, en este ensayo, la eliminación de la componente de frecuencia fundamental conduce a reducir la amplitud del ripple de i_T .

En la Figura 6 se muestran las representaciones fasoriales de las primeras tres componentes armónicas (ordenamiento horizontal) para cada una de las fases (parte superior) y para la corriente total (parte inferior). En dicha figura resulta evidente la eliminación de la componente de

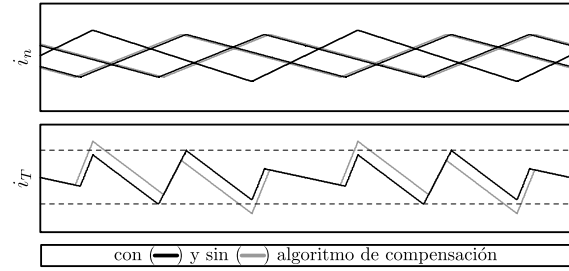


Figura 5. Sistema de tres fases con un desbalance del 10% en la amplitud de una de las fases.

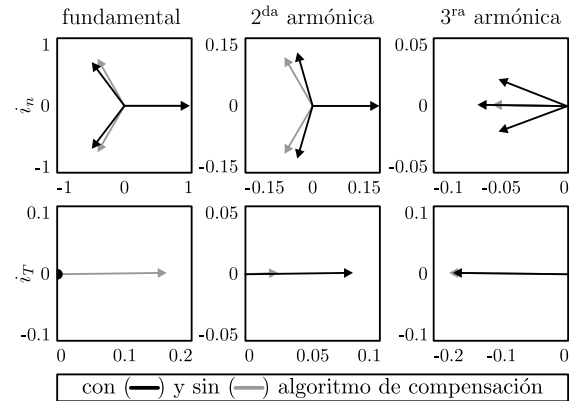


Figura 6. Representaciones fasoriales de las primeras tres componentes armónicas para los ripples de las corrientes de fase y total.

frecuencia fundamental de i_T . Por otra parte, se observa un incremento en la componente de 2^{da} armónica a causa del algoritmo. Sin embargo, dada la forma de onda de i_n , la amplitud de las componentes armónicas de orden superior suele ser muy inferior a la de la componente de frecuencia fundamental y, además, la etapa de filtrado atenúa mas significativamente a las componentes de mayor frecuencia.

4. SIMULACIONES

En la Figura 7 se muestra un esquema del sistema, el cual incluye al convertidor tipo Buck de tres fases, la etapa de detección de cruces, los bloques de control individuales por fase y el bloque de la generación del patrón de sincronismo con la compensación de desbalances.

La operación del sistema se ensaya mediante MATLAB-SIMULINK, utilizando los siguientes parámetros: $i_T = 30$ A, $v_{IN} = 30$ V y tensiones de salida de 7,5 V ($D = 1/3$) y 10 V ($D = 1/2$). Se utilizan estos valores de tensión de salida debido a que se corresponden con valores de ciclo de trabajo representativos de un mínimo de cancelación ($D = 1/2$) y un máximo de cancelación ($D = 1/3$). La inductancia de fase nominal es $L_n = 260 \mu\text{H}$. Teniendo en cuenta el rango de tensiones de entrada y salida, el valor de inductancia de fase

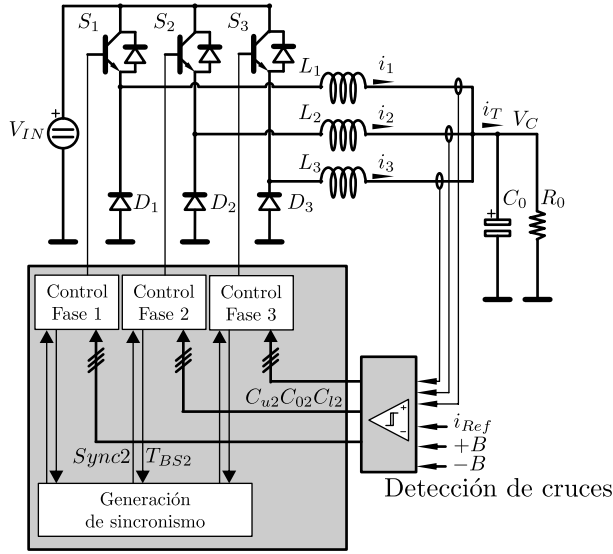


Figura 7. Esquema del sistema simulado.

y la frecuencia de conmutación, se ajustaron las bandas de comparación en $\pm 0,2$ A.

Las inductancias implementadas por simulación son $L_1 = 242 \mu\text{H}$ ($0,93L_n$), $L_2 = 284 \mu\text{H}$ ($1,09L_n$) y $L_3 = 249 \mu\text{H}$ ($0,96L_n$). Con estos desbalances se obtienen factores de corrección iguales a $\Delta\phi_2 = 3,56^\circ$ y $\Delta\phi_2 = 9,11^\circ$, lo que equivale, para $f_{sw} = 12 \text{ KHz}$, a retardos de $0,82 \mu\text{s}$ y $2,11 \mu\text{s}$, respectivamente. Se debe considerar que, en caso de generarse los retardos por medio de un contador digital de 10 bits, la resolución alcanzada es igual a $360/1024 = 0,36^\circ$.

En las figuras 8 y 9 se presentan las curvas correspondientes a la operación del sistema con $D \approx 1/2$ y $D \approx 1/3$, respectivamente.

En ambas figuras, en la parte (a) se muestran las corrientes individuales por fase, en (b) las corrientes totales de salida y en (c) los espectros de frecuencia de las corrientes totales. Aquí se observa que, como se indicó en la Sección 2, para los diferentes D se arriba a una reducción de la componente de frecuencia fundamental cercana al 92,5%, con un incremento admisible de la componente de segunda armónica. En (d) se muestran las tensiones, v_C , sobre el capacitor de salida, C_0 , el cual se ajustó para proveer, junto con la resistencia de salida, R_0 , una característica de filtrado con un ancho de banda cercano a 5 KHz. Aquí se evidencia la reducción en el ripple de tensión alcanzada por medio del algoritmo de corrección. Finalmente, en (e) se muestran los espectros de frecuencia de estas tensiones, donde se observa una mejora global en el contenido armónico de las componentes de frecuencia inferior a Nf_{sw} .

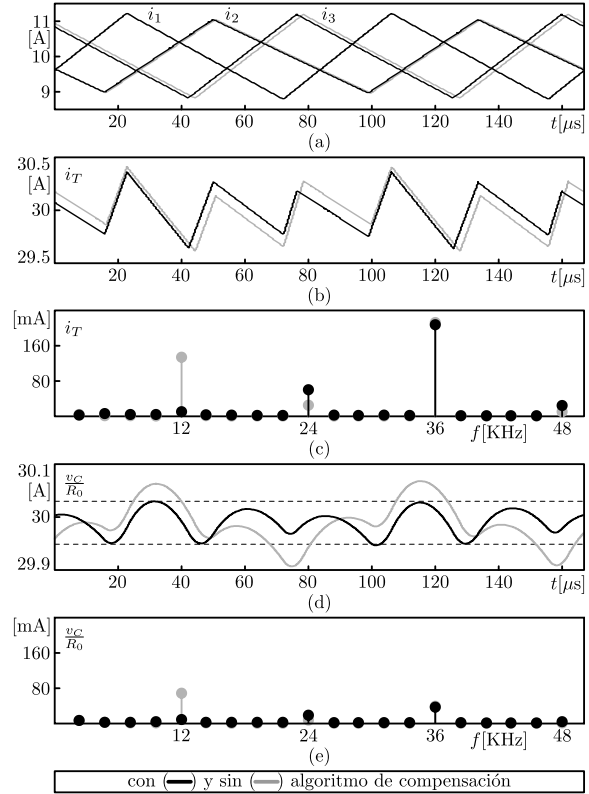


Figura 8. Corrientes de fase (a), corriente total (b) y su espectro de frecuencia (c), y tensión de salida (d) y su espectro de frecuencia para el caso $D \approx 1/2$.

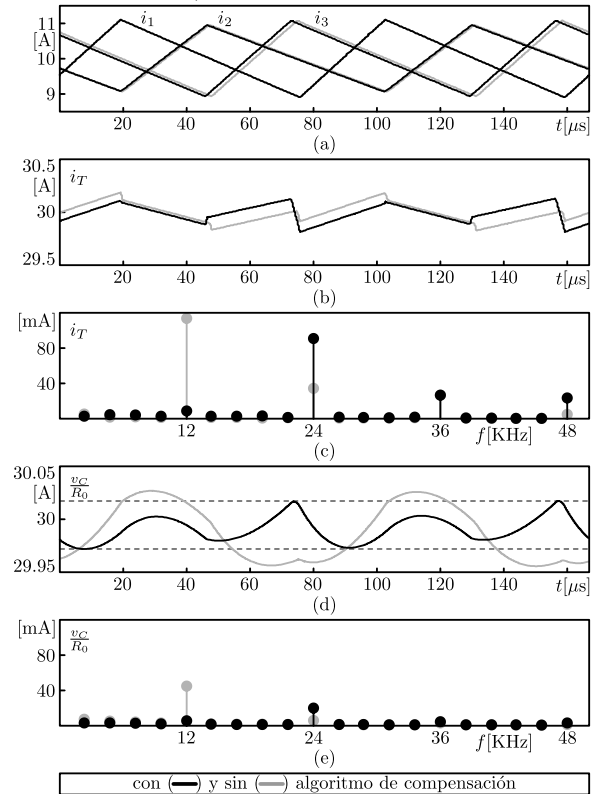


Figura 9. Corrientes de fase (a), corriente total (b) y su espectro de frecuencia (c), y tensión de salida (d) y su espectro de frecuencia para el caso $D \approx 1/3$.

CONCLUSIONES

En este trabajo se presentó un algoritmo de control de corriente para convertidores interleaved con capacidad de eliminar componentes armónicas presentes en el ripple de la corriente total debidas a desbalances entre las amplitudes de los ripples de las corrientes de fase. En este algoritmo se realiza el control individual de las corrientes de fase de forma de ajustar los ripples de las mismas con un patrón de señales de sincronismo. El control presentado calcula los instantes de conmutación de las llaves basado en la información proveniente de los tiempos entre cruces del ripple de corriente por bandas de comparación fijas. Con el objeto de eliminar la componente fundamental, presente en el ripple total, se implementó una estrategia de compensación que ajusta la diferencia de fase entre las señales de sincronismo, utilizando la información proveniente de los tiempos entre cruces. Se propuso una simplificación de dicha estrategia, la cual permitió reducir la complejidad de calculo. Esta simplificación consiste en aproximar las funciones trigonométricas por funciones polinómicas y es válida para el caso de desbalances pequeños. La utilización de las bandas de comparación permitió eliminar la necesidad de adquirir las corrientes de fase. Mediante simulaciones en MATLAB-SIMULINK se validó el control propuesto en un convertidor tipo buck de tres fases con un desbalance cercano al 10 % entre las amplitudes de los ripples de fase. El control se ajustó para mitigar la componente de frecuencia fundamental alcanzando una reducción superior al 90 %.

REFERENCIAS

- Abusara, M.A. and S.M. Sharkh (2013). Design and control of a grid-connected interleaved inverter. **28**(2), 748–764.
- Antoszczuk, Pablo, Rogelio Garcia Retegui, Sebastian Maestri, Marcos Funes, Nicolas Wassinger and Jorge Arean Olivares (2013). Control digital de corriente para convertidores interleaved. In: *XV Reunión de Trabajo en Procesamiento de la Información y Control, 16 al 20 de septiembre de 2013*.
- Antoszczuk, P.D., R. Garcia Retegui, N. Wassinger, S. Maestri, M. Funes and M. Benedetti (2014). Characterization of steady-state current ripple in interleaved power converters under inductance mismatches. *Power Electronics, IEEE Transactions on* **29**(4), 1840–1849.
- Chang, Chin and M.A. Knights (1995). Interleaving technique in distributed power conversion systems. **42**(5), 245–251.
- Chen, W. (1999). High efficiency, high density, polyphase converters for high current applications. Technical report. Linear Technology : AN77.
- Cho, Younghoon, A. Koran, H. Miwa, B. York and Jih-Sheng Lai (2012). An active current reconstruction and balancing strategy with dc-link current sensing for a multi-phase coupled-inductor converter. **27**(4), 1697–1705.
- Choi, Hangseok (2013). Interleaved boundary conduction mode (BCM) buck power factor correction (PFC) converter. **28**(6), 2629–2634.
- Dallago, E., G. Venchi, S. Rossi, M. Pullia, T. Fowler and U. Nielsen (2008). The power supply for a medical synchrotron beam chopper system. In: *Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE*. pp. 1016–1020.
- Foley, R.F., R.C. Kavanagh and M.G. Egan (2012). Sensorless current estimation and sharing in multiphase buck converters. **27**(6), 2936–2946.
- Garcia, O., A. de Castro, P. Zumelis and J.A. Cobos (2007). Digital-control-based solution to the effect of nonidealities of the inductors in multiphase converters. **22**(6), 2155–2163.
- Garcia Retegui, R., M. Benedetti, M. Funes, P. Antoszczuk and D. Carrica (2012). Current control for high-dynamic high-power multiphase buck converters. **27**(2), 614–618.
- Guo, Wennan and P.K. Jain (2009). Analysis and modeling of voltage mode controlled phase current balancing technique for multiphase voltage regulator to power high frequency dynamic load. In: *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*. pp. 1190–1196.
- Hegazy, O., J. Van Mierlo and P. Lataire (2012). Analysis, modeling, and implementation of a multidevice interleaved dc/dc converter for fuel cell hybrid electric vehicles. **27**(11), 4445–4458.
- Maestri, S., R.G. Retegui, P. Antoszczuk, M. Benedetti, D. Aguglia and D. Nisbet (2011). Improved control strategy for active bouncers used in klystron modulators. In: *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*. pp. 1–7.
- Ni, Liqin, D.J. Patterson and J.L. Hudgins (2012). High power current sensorless bidirectional 16-phase interleaved dc-dc converter for hybrid vehicle application. **27**(3), 1141–1151.
- Quintero, J., A. Barrado, M. Sanz, C. Fernandez and P. Zumel (2011). Impact of linear nonlinear control in multiphase VRM design. **26**(7), 1826–1831.
- Schuck, M. and R.C.N. Pilawa-Podgurski (2013). Current ripple cancellation for asymmetric multiphase interleaved dc-dc switching converters. In: *Power and Energy Conference at Illinois (PECI), 2013 IEEE*. pp. 162–168.
- Wassinger, N., S. Maestri, R.G. Retegui, J.-M. Cravero, M. Benedetti and D. Carrica (2011). Multiple-stage converter topology for high-precision high-current pulsed sources. *Power Electronics, IEEE Transactions on* **26**(5), 1316–1321.
- Zhang, Saijun and Xiaoyan Yu (2013). A unified analytical modeling of the interleaved pulse width modulation (pwm) dc-dc converter and its applications. *Power Electronics, IEEE Transactions on* **28**(11), 5147–5158.

Letters

Current Control for High-Dynamic High-Power Multiphase Buck Converters

Rogelio Garcia Retegui, Mario Benedetti, Marcos Funes, Pablo Antoszczuk, and Daniel Carrica

Abstract—When it comes to high-power current sources, multiphase buck converters become an attractive alternative to deliver high currents. However, large variations in current reference or load voltage lead to disturbances that require high dynamics in the transitory response of current control. This letter presents a current control for high-dynamic, high-power multiphase buck converters. The control proposed is based on the synchronization of zero-crossing current ripples with a time reference pattern. This control forces a correct interleaving and is capable of responding, with a reduced transitory time, to major changes in current reference and load voltage. Experimental results validate the proposal.

Index Terms—Current control, current source, multiphase buck converters.

I. INTRODUCTION

MULTIPHASE buck converters (see Fig. 1) can provide high currents with low ripple. The total output current i_T is distributed among n phases to reduce the stress of semiconductors and the output ripple [1]. These converters are widely used in low-voltage, high-current applications such as PC sources. In these applications, the low voltage and phase currents allow the use of high-speed devices (f_s of hundred of kilohertz) that grant a high-dynamic characteristic to these converters [2].

Additionally, multiphase buck converters constitute a worthwhile alternative to high-power current sources such as [3]–[5]. However, large variations in the current reference or load voltage lead to disturbances on the output current. This calls for a high-dynamic current control in the transitory response, particularly when strict i_T current accuracy is a requirement.

Several common control techniques such as average current mode control (ACMC), peak current mode control (PCMC), and their modifications have been applied to multiphase converters. ACMC features good stability and fast response [6]. PCMC is of simple implementation, and has a simple control of the output

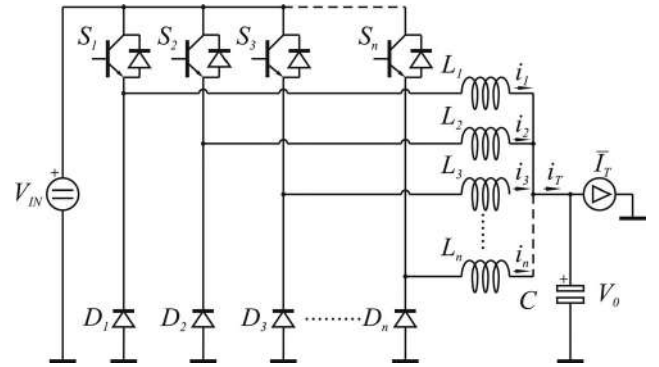


Fig. 1. Multiphase buck converter.

current and an inherent current protection function [1], [7]. With these control techniques, the effect of major changes in the current reference or load voltage can be corrected for as long as several switching periods [8]. Since converters use high-power devices, switching frequencies are low (less than 15 kHz) and produce an unacceptable transitory response time.

This letter proposes a current control based on the synchronization of the zero-crossing current ripples with a time reference pattern. This control forces a correct interleaving and is capable of responding to major changes in both current reference and load voltage with a reduced transitory time.

II. CURRENT CONTROL

The proposed pattern is composed of n synchronism signals of period T_s , interleaved at T_s/n . Fig. 2 shows the current ripples ($i_{e1,2,3}$) for an ideal stationary state and the reference pattern for a three-phase system. The control calculates the switching times t_{sw} that match the next zero crossings of the phase ripples. Calculation is based on both positive and negative slopes of the current ripples.

Since the pattern defines the zero crossing for each phase, t_{sw} can be calculated for each phase independently. Fig. 3 illustrates i_e and the reference pattern when a small variation of load voltage or of current reference produces a zero-crossing error $t_e(k)$ with $t_e(k) < \frac{T_s}{4}$.

In order to calculate $t_{sw}(k+1)$, the duration of the next half period $t_{hp}(k+1)$ is determined to annul $t_e(k+1)$:

$$t_{hp}(k+1) = \frac{T_s}{2} - t_e(k) \quad (1)$$

where $t_e(k)$ can be negative or positive depending on whether the crossing occurs before or after the reference pattern.

Manuscript received December 29, 2010; revised April 5, 2011; accepted May 22, 2011. Date of current version January 9, 2012. This work was supported by the Laboratory of Instrumentation and Control, Department of Electronics, School of Engineering, Universidad Nacional de Mar del Plata, Argentina, the National Scientific and Technical Research Council, and the Ministry of Science, Technology and Productive Innovation. Recommended for publication by Associate Editor M. A. E. Andersen.

The authors are with the Department of Facultad de Ingenier  a, Universidad Nacional de Mar del Plata, Mar del Plata, Buenos Aires 7600, Argentina (e-mail: rgarcia@fi.mdp.edu.ar; mbenedet@fi.mdp.edu.ar; mfunes@fi.mdp.edu.ar; pablo_ant@fi.mdp.edu.ar; carrica@fi.mdp.edu.ar).

Digital Object Identifier 10.1109/TPEL.2011.2158658

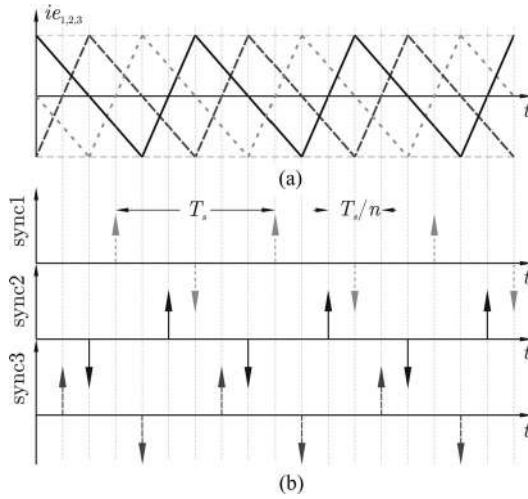


Fig. 2. (a) i_{e_i} in ideal interleaved operation. (b) Zero-crossing pattern reference.

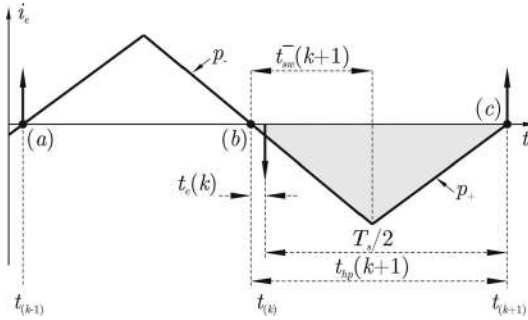


Fig. 3. Switching time calculation for small variations of load voltage or of current reference.

Time $t_{sw}(k+1)$ can be obtained from positive and negative slopes (p_+ , p_-) and from $t_{hp}(k+1)$. The calculation of $t_{sw}(k+1)$ depends on the i_e zero-crossing slope. For an i_e zero crossing with a negative slope, $t_{sw}(k+1)$, can be calculated as:

$$t_{sw}^-(k+1) = \frac{p_+}{p_+ - p_-} \cdot t_{hp}(k+1). \quad (2)$$

Assuming that the inductor equivalent serial resistance is negligible, slopes p_+ and p_- are calculated from the converter input–output voltages as

$$p_+ = \frac{V_{IN} - V_0}{L_1} \quad (3)$$

$$p_- = -\frac{V_0}{L_1}. \quad (4)$$

Substituting (3) and (4) into (2) gives

$$t_{sw}^-(k+1) = \left(1 - \frac{V_0}{V_{IN}}\right) \cdot t_{hp}(k+1). \quad (5)$$

A similar analysis for i_e zero crossings with positive slopes yields

$$t_{sw}^+(k+1) = \frac{V_0}{V_{IN}} \cdot t_{hp}(k+1). \quad (6)$$

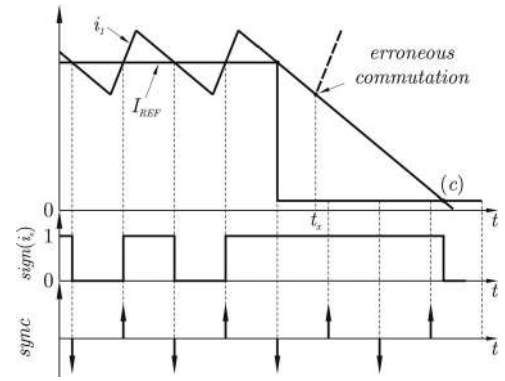


Fig. 4. Current reference tracking.

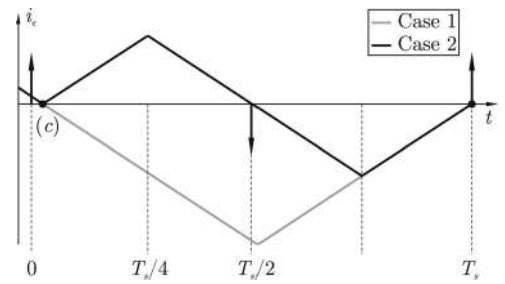


Fig. 5. Interleaving recovery after a reference current step.

The previous analysis was developed to ensure the phases ripple interleaving. However, major steps of the current reference can lead to undesired results. Fig. 4 shows a negative reference step, which occurs immediately after the i_e zero crossing. Once the crossing point is detected, the system calculates the next commutation instant t_x which corresponds with an erroneous commutation. Thus, it is necessary to inhibit this commutation and repeat the calculation of the next commutation time at point (c). The current ripple and the ripple slope signs are combined to enable or disable commutations. If the ripple slope is negative while the ripple is positive, the commutation is disabled. The commutation is enabled only when both slope and ripple signs coincide. This action will inhibit the erroneous commutation.

Fig. 5 illustrates the interleave recovery of one phase after the major step of Fig. 4. As an example, the zero crossing occurs next to a reference pulse that corresponds to an opposite slope. Regardless of the reference pattern slope, a large commutation time is obtained, which generates a positive semicycle greater than normal (see Case 1 in Fig. 5). This behavior produces an error in the current mean value that is difficult to be rapidly corrected by a control loop.

As the proposed control considers the slope provided in the reference pattern, the transitory is minimized as shown in Fig. 5 (Case 2). In this case, it is evaluated whether the zero crossing is at a distance greater than $T_s/4$ from the reference pulse pattern of the appropriate slope. If so, the system performs an anticipated commutation, immediately after the zero crossing to change the slope and to reach the synchronism in the next zero crossing. When the zero crossing occurs at a distance smaller than $T_s/4$, the system continues its evolution and corrects the

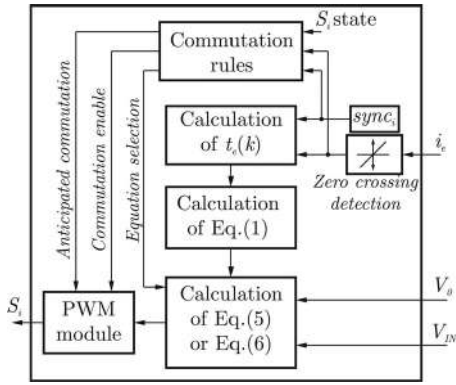


Fig. 6. Proposed current control scheme for a single phase.

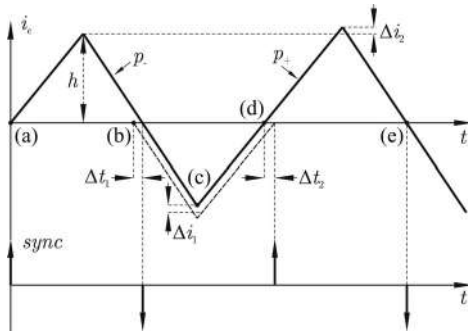


Fig. 7. Zero-crossing detection error.

error as a small variation case. Thus, as each phase adjusts to its pattern in the shortest time, the correct interleaving of the system is ensured. A similar analysis can be performed for major changes of load voltage, which, in this case, modify the current slopes.

Fig. 6 shows a block diagram of the proposed current control for a single phase. This diagram summarizes the operation principles of the proposed control, where V_{IN} , V_O , and i_e are the inputs of the system and the switching command S_i is the respective output.

III. ANALYSIS OF MEASUREMENT ERRORS

Since the proposed control is based on the measurement of a zero-crossing current ripple, this section analyzes the effects of an erroneous zero-crossing detection and an offset of the measured currents. Regarding the former, Fig. 7 depicts i_e in steady state, assuming a null zero-crossing error at point (a). Considering that an error Δt_1 occurs in the detection of the zero-crossing instant at point (b), the algorithm performs the calculation of the commutation time, assuming that the current evolution is that represented by the dotted line. As a consequence, this originates an anticipated commutation at point (c) that modifies the ripple amplitude with regards to the ideal case and produces a zero-crossing error (Δt_2) at point (d). Assuming that there are no new crossing detection errors, the system adjusts the commutation time to correct the zero crossing at point (e). As it can be seen, the detection error does not affect the control stability, as the

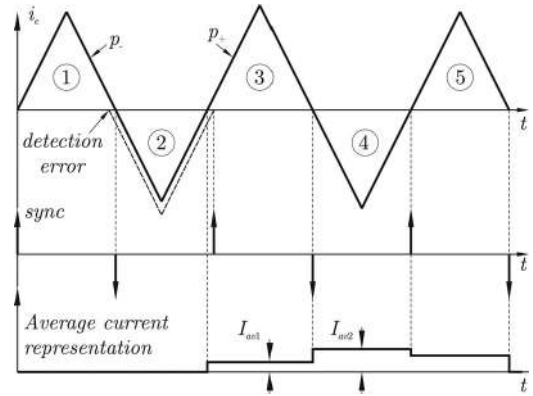


Fig. 8. Transitory error in the current mean value.

switching time calculation does not consider previous crossing errors.

After analyzing the current waveform, the equations to calculate the zero-crossing error and the amplitude errors generated by the erroneous detection can be obtained:

$$\Delta t_1 = -\frac{p_+}{p_-} \cdot \Delta t_2 \quad (7)$$

$$\Delta i_1 = \Delta i_2 = \left(-\frac{p_-^2}{p_- - p_+} \right) \Delta t_1. \quad (8)$$

Amplitude errors affect the mean value of the phase current (see Fig. 8). In order to evaluate the mean value maximum deviation, it is assumed that it is updated at every zero crossing. Then, the mean current deviation i_{av1} can be calculated from semicycles ① and ②, and i_{av2} from semicycles ② and ③. The maximum deviation with respect to the ideal mean value i_{av2} can be obtained from (7) and (8) as

$$i_{av2} = \left(-\frac{p_-^2}{p_- - p_+} \right) \Delta t_1 + \left(-\frac{p_-}{p_+} \right) \frac{\Delta t_1 \cdot h}{T_s} \quad (9)$$

where h is the ripple amplitude in a stationary state ideal condition. When the slopes are equal, $p_+ = p_- = p$, i_{av2} depends on the slopes value and the time error in the detection [see (10)]. This results in small variations in the average phase current

$$i_{av2} = \Delta t_1 \cdot p. \quad (10)$$

Another aspect to be analyzed is the effect produced by an offset in the current measurement. Fig. 9 illustrates the measured current with a dotted line, and the real current with a solid line.

In this case, the control cannot compensate the measurement offset. However, as the error is constant, it could be solved by adjusting the reference during commissioning with a zero current reference.

IV. EXPERIMENTAL RESULTS

In order to evaluate the proposed control, experimental tests were carried out on a prototype whose main parameters are listed in Table I. Fig. 10 shows the experimental setup for a three-phase converter. For experimental purposes, the load was composed of an accumulator bank in parallel with a resistor R_L . This resistor was included to avoid the variations of the

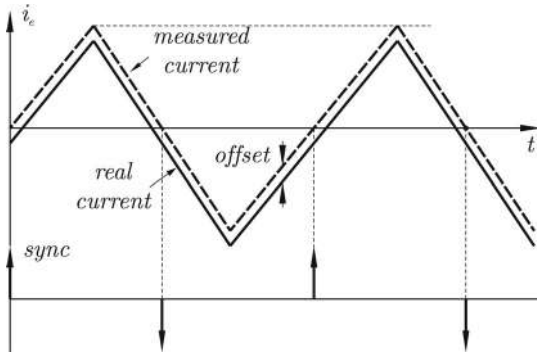


Fig. 9. Offset in the current measurement.

TABLE I
POWER CONVERTER CHARACTERISTICS

Parameters	
Number of Phases	3
Phase Inductance (L_f)	547 μ H
Load Resistance (R_L)	1 Ω
Input Voltage (V_{IN})	100 V
Accumulator Voltage (V_A)	30 V
Maximum Output Current	45 A
Switching Frequency	12 kHz

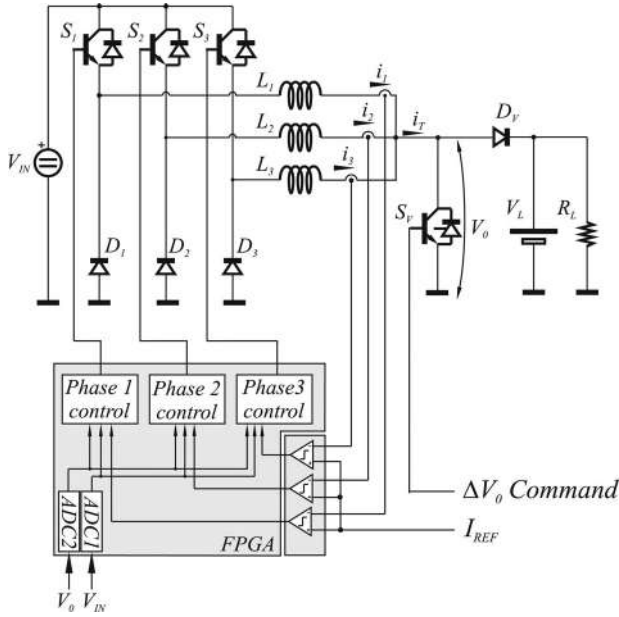


Fig. 10. Scheme of the experimental setup.

accumulator voltage due to changes in the output current. The switch S_V and a diode D_V were used to perform a load voltage change.

The first test evaluates the control response for a major change in the reference. Fig. 11 shows a phase current and the recovery of the synchronism for a reference step from 3.7 to 10.2 A (total output current step from 11.1 to 30.6 A). As it can be seen, the synchronism recovery involves two times: a crossing time t_c and an adjustment time t_a . The t_c time cannot be controlled by the algorithm because it depends on the change of amplitude and

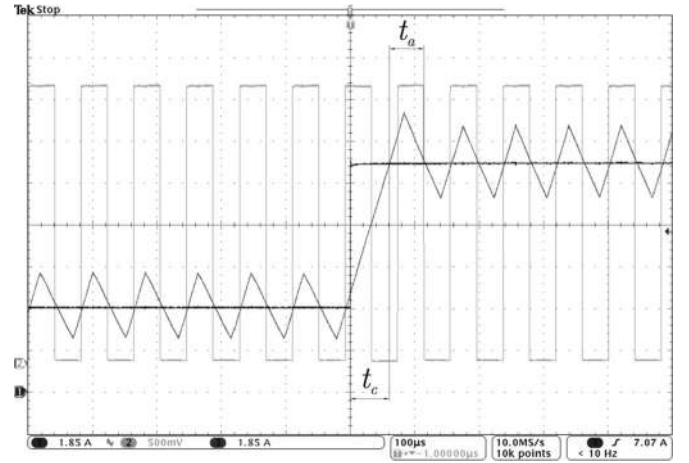


Fig. 11. Reference abrupt change. Ch1: Current reference. Ch2: Synchronism pattern. Ch3: Phase current.

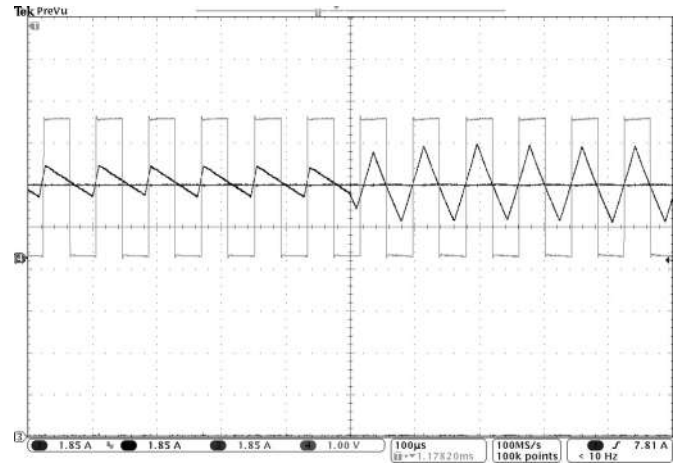


Fig. 12. Load voltage abrupt change. Ch1: Current reference. Ch2: Phase current. Ch3: Synchronism pattern.

inductance L of the converter. However, by using the proposed method, the zero-crossing synchronism is recovered in a minimum time t_a .

The second test evaluates the control response for a major change of the load voltage. Fig. 12 depicts the phase current and the recovery of the synchronism for a step change of the load voltage of 30 V. This change produces a variation in the phase current slopes and generates an anticipated zero crossing. From this crossing, the system corrects the switching time to recover the synchronism with the next reference pattern.

Fig. 13 shows in detail the transitory response in the phase current ripples and the total current for a major change in the output voltage. Note that the control adjusts the interleave current ripples and the mean output current in a short time, without an external control loop.

Finally, it can be noticed that for all tests, the proposed control recovers the synchronism with a maximum time of a switching period.

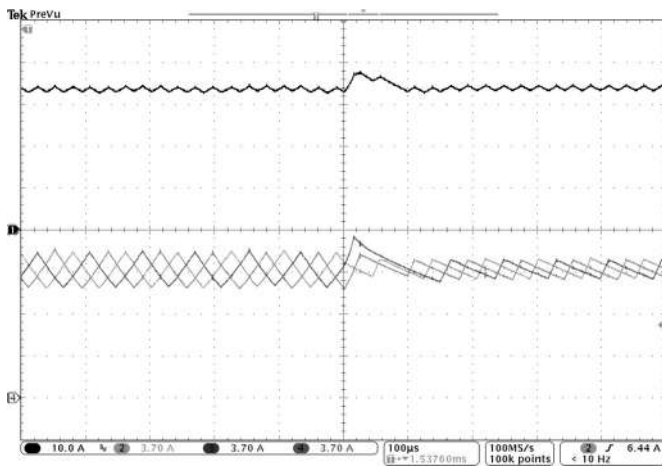


Fig. 13. Multiphase currents in the converter. Ch1–Ch3: Phase current. Ch4: Output current (i_T).

V. CONCLUSION

A new current control for multiphase buck converters is proposed. The correct interleaving among phases and the mean output current is forced by a time reference pattern that adjusts the zero crossing of the phase current ripple. The proposed control is capable of recovering the interleaving among phases with a reduced transitory time and a reduced error in the output current

when major changes in the reference or the load voltage occur. Experimental results validate the proposal and demonstrate that recovering time is minimum.

REFERENCES

- [1] W. Chen, "High efficiency, high density, polyphase converters for high current applications," Linear Technol., Milpitas, CA, Tech Rep. AN77, Sep. 1999.
- [2] J.-R. Tsai, T.-F. Wu, Y.-M. Chen, and M.-C. Lee, "Interleaving control schemes for critical-mode boost PFC," in *Proc. IEEE Power Electron. Spec. Conf.*, Jun. 17–21, 2007, pp. 2905–2911.
- [3] J.-M. Cravero, C. De Almeida Martins, R. G. Retegui, N. Wassinger, and M. Benedetti, "A new multiple-stage converter topology for high power and high precision fast pulsed current sources," in *Proc. 13th Eur. Conf. Power Electron. Appl.*, 2009, pp. 1–9.
- [4] E. Dallago, G. Venchi, S. Rossi, M. Pullia, T. Fowler, and U. Nielsen, "The power supply for a medical synchrotron beam chopper system," in *Proc. 34th Annu. Conf. IEEE Ind. Electron.*, 2008, pp. 1016–1020.
- [5] N. Wassinger, S. Maestri, R. Garcia Retegui, J. M. Cravero, M. Benedetti, and D. Carrica, "Multiple-stage converter topology for high-precision high-current pulsed sources," *IEEE Trans. Power Electron.*, vol. 26, no. 5, pp. 1316–1321, May 2011.
- [6] R. Li, "Modeling average-current-mode-controlled multi-phase buck converters," in *Proc. IEEE Power Electron. Spec. Conf.*, 2008, pp. 3299–3305.
- [7] Y. Qiu, J. Sun, M. Xu, K. Lee, and F. C. Lee, "Bandwidth improvements for peak-current controlled voltage regulators," *IEEE Trans. Power Electron.*, vol. 22, no. 4, pp. 1253–1260, Jul. 2007.
- [8] W. Guo and P. K. Jain, "Analysis and modeling of voltage mode controlled phase current balancing technique for multiphase voltage regulator to power high frequency dynamic load," in *Proc. 24th Annu. IEEE Appl. Power Electron. Conf. Expo.*, 2009, pp. 1190–1196.

Improved Control Strategy for Active Bouncers used in Klystron Modulators

[†]Sebastián Maestri, [†]Rogelio Garcia Retegui, [†]Pablo Antoszczuk, [†]Mario Benedetti,
[‡]Davide Aguglia and [‡]David Nisbet.

[†] UNIVERSIDAD NACIONAL
DE MAR DEL PLATA
L.I.C.
Juan B. Justo 4302
Mar del Plata, Argentina
Phone: +54 223 481 6600
Fax: +54 223 481 0046
Email: somaestri@fi.mdp.edu.ar
URL: <http://www3.fi.mdp.edu.ar>

[‡] EUROPEAN ORGANIZATION FOR
NUCLEAR RESEARCH - C.E.R.N.
TE-EPC GROUP
1211 Geneva 23
Geneva, Switzerland
Phone: +41 22 767 55 49
Fax: +41 22 766 83 01
Email: Davide.Aguglia@cern.ch
URL: <http://www.cern.ch>

Acknowledgments

This work was supported by CERN (European Organization for Nuclear Research), LIC (Laboratorio de Instrumentación y Control - Universidad Nacional de Mar del Plata, Argentina), CONICET (Consejo Nacional de Investigaciones Científicas y Técnicas de la República Argentina) and MINCYT (Ministerio de Ciencia, Tecnología e Innovación Productiva).

Keywords

<<Klystron modulators>>, <<Pulsed power converter>>, <<Particle accelerator>>.

Abstract

This paper introduces a closed-loop control system for klystron modulators. The system is based on the discharge of a capacitor into a step-up voltage transformer and an active bouncer implemented with a multiphase buck converter. In order to obtain a constant Klystron voltage at the flat-top, the active bouncer must compensate both the capacitor discharge and the pulse transformer characteristic. The proposed control includes an inner voltage regulation loop to control the active bouncer output voltage and an outer one to control the klystron voltage. The primary side current and main capacitor voltage are included in the regulation loops to simplify the controllers. Simulations show that the strategy adopted allows to obtain a precision better than 0.1% on a 110 kV klystron. Experimental tests show that the multiphase converter is able to track a high-dynamics reference even under a variable output voltage condition.

Introduction

In particle accelerators, klystron modulators are used to supply the radio frequency cavities, by means of high voltage and high power pulse mode operation [1]. Klystron modulator topologies were based on the discharge of several LC cells (named Pulse Forming Network) into a step-up high voltage pulse transformer by means of a thyatron tube. Due to thyatron disadvantages (size, considerable maintenance, short lifetime), topologies based on this device have been progressively replaced by new topologies based on high voltage/high power devices [2, 3].

In [1] a klystron modulator was presented, where a capacitor bank is discharged by means of a solid state main switch into a pulse transformer. To compensate the capacitor bank voltage drop

a “bouncer” circuit (BC) is used, which must be tuned according to the system parameters. Since this system operates in open loop, the output voltage will depend on the parameters variations.

In order to solve these problems, a klystron modulator based on an active bouncer is presented in [4]. The topology uses a multiphase buck converter to control the bouncer voltage and to compensate the main capacitor voltage drop. This work proposes a control strategy for this klystron modulator, which allows to compensate both the main capacitor discharge and the inherent drop effect due to the pulse transformer, leading to a zero steady state voltage error at flat-top.

Power supply topology. An overview

The concept of this topology is presented in [4], where aspects such as main structure design, active bouncer structure, output pulse requirements, technological issues and component sizing among others are included. To introduce the control strategy, a brief summary of this topology is provided in this section.

Figure 1 shows a simplified model of this topology. The pulse transformer is modeled by a primary series impedance represented by L_1 and r_1 , a secondary series impedance reflected to the primary side given by L_2' and $r_2'^1$ and parallel impedance formed by the magnetization inductance L_m and the iron core losses equivalent resistance r_{fe} . The load is modeled by a capacitor C_{tr} in parallel with a resistor r_{kly} in series with a diode.

The main capacitor C_m is charged and subsequently discharged through the main switch M_{SW} . The primary voltage, U_p , is amplified n times by means of a step-up pulse transformer, whose output voltage U_{kly} is applied to the klystron. The capacitor bank discharges due to transformer primary current, I_p , and presents a voltage drop. This voltage drop is compensated by an increasing series voltage produced by the active bouncer, to finally obtain a constant voltage U_{kly} . The active bouncer voltage varies from 0 V to approximately 30% of the active bouncer input voltage U_{CF} . The active bouncer is a voltage source U_{af} implemented with a multiphase buck converter and an output filter given by R_{dis} and C_{hf} . The input stage of this stage is composed by an industrial power source, a DC bus C_F and a protection circuit formed by R_{cb} and T_{cb} .

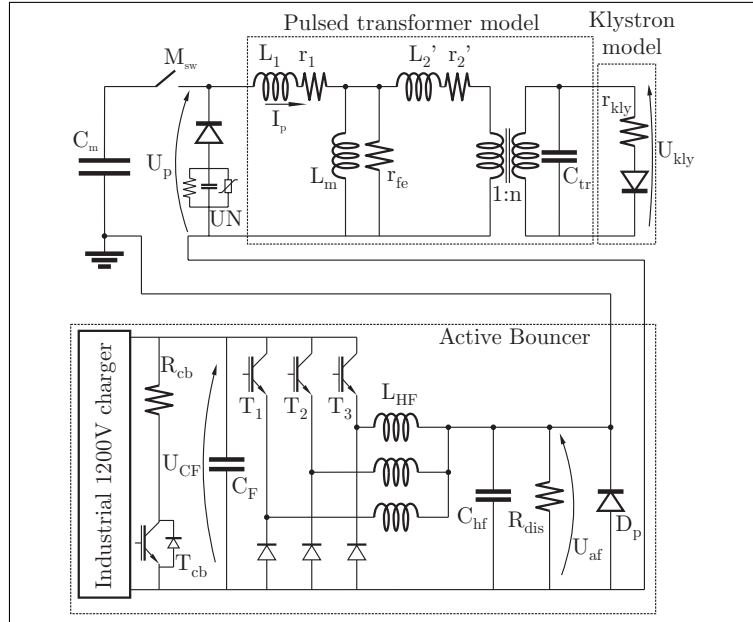


Figure 1: Klystron modulator with an active bouncer.

At the end of the pulse, M_{SW} is opened again and the transformer magnetization energy is absorbed by the undershoot network (UN) before starting the next pulse.

¹ $(\cdot)'$ denotes secondary impedances and variables reflected to primary side.

Control strategy

Figure 2 shows a block diagram of the proposed control system, where the power stage and regulation loops blocks can be observed. The pulse transformer and klystron are represented by G_{sys} , while $R_{dis}C_{hf}$ filter is represented by:

$$G_F(s) = \frac{R_{dis}}{sC_{hf}R_{dis} + 1} \quad (1)$$

In the regulation system blocks, two voltage loops are represented. The inner loop is the active bouncer voltage regulation, whose controller is $G_{cv1}(s)$. This loop also includes the interleaved current control loop, which has been omitted for clarity purposes and it is represented by G_{int} . The outer loop is the klystron voltage regulation, whose controller is $G_{cv2}(s)$.

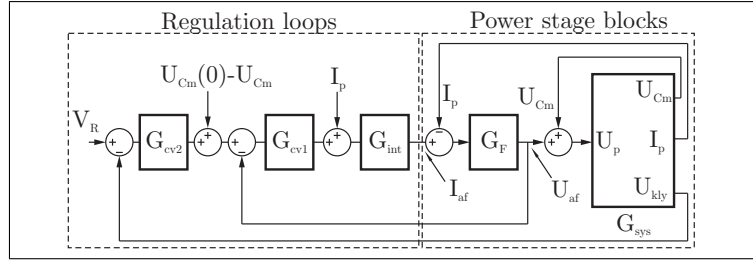


Figure 2: Block diagram of the control loops.

The output of $G_{cv1}(s)$ must provide the current reference for the interleaved converter. In order to control the active bouncer voltage, the interleaved converter must also provide the primary current I_p . Since I_p dynamic is higher than the inner loop bandwidth, the corresponding transitory response exceeds the pulse duration. Assuming that the interleaved converter dynamic is higher than the I_p one, I_p is added to the $G_{cv1}(s)$ output. This approach minimizes the transitory response and it allows the assumption that C_m , pulse transformer and klystron do not load the active bouncer. Therefore, $G_{cv1}(s)$ is designed to only compensate G_F transfer function. In order to obtain a first order response the following PI controller is used:

$$G_{cv1}(s) = \frac{\omega_{c1}}{R_{dis}} \cdot \frac{sC_{hf}R_{dis} + 1}{s} \quad (2)$$

where ω_{c1} determines the closed-loop bandwidth, whose maximum value is limited by the dynamic response of the interleaved converter [5].

The outer loop includes the pulse transformer transfer, U_{kly}/U_p , which is a fourth order transfer function with a zero at the origin. Considering that the pulsed transformer is designed to obtain a large bandwidth transfer function according with the pulse characteristics, U_{kly}/U_p can be approximated by:

$$\frac{U_{kly}}{U_p} \approx \frac{n \cdot s / z_1}{\left(1 + \frac{s}{p_1}\right) \left(1 + \frac{s}{p_2}\right) \left(1 + \frac{s}{p_3}\right) \left(1 + \frac{s}{p_4}\right)} \quad (3)$$

where $z_1 = p_1 = r_1/L_m$, $p_2 = r'_{kly}/(L_1 + L'_2)$, $p_3 = 1/(r'_{kly}C'_{tr})$ and $p_4 = r_{fe}/(L_1//L'_2)$.

It can be proved that p_3 and p_4 are larger than the system bandwidth; therefore, the pulse transformer can be approximated by a second order transfer function. However, since the control is performed from U_{af} , the output of G_{cv2} would be the reference for U_{af} control loop and

$U_{kly}/U_{af}(s)$ transfer function should be considered. This transfer function includes C_m , which leads to an expression that can be approximated by a third order transfer function with two zeros at the origin. As a result, a more complex controller would be necessary. In order to avoid this, U_{Cm} is subtracted from the output of $G_{cv2}(s)$. Since $U_p = U_{af} + U_{Cm}$, the resulting $G_{cv2}(s)$ output is the reference for U_p in the outer control loop. Therefore, U_{kly} can be controlled considering the transfer function given by (3). The G_{cv2} controller necessary to obtain both a first order response and a zero steady state error at flat-top is given by:

$$G_{cv2}(s) = \frac{\omega_{c2} \cdot z_1}{n} \frac{\left(1 + \frac{s}{p_1}\right) \left(1 + \frac{s}{p_2}\right) \left(1 + \frac{s}{\omega_{c1}}\right)}{s^2 \left(1 + \frac{s}{p_5}\right)} \quad (4)$$

where ω_{c2} determines the closed-loop bandwidth of the outer loop and p_5 is added to obtain a physically feasible controller.

It can be noted that the external loop controller is still complex, since it requires a double pole at origin due to the zero at origin of the pulse transformer transfer function, U_{kly}/U_p . However, assuming that a constant steady state error can be tolerated, a simpler controller can be used:

$$G_{cv2}(s) = \frac{\omega_{c2}}{n} \frac{\left(1 + \frac{s}{p_2}\right) \left(1 + \frac{s}{\omega_{c1}}\right)}{s \left(1 + \frac{s}{p_5}\right)} \quad (5)$$

In this case, the steady state error for a step input $V_R(s) = U_{ref}/s$ can be calculated as:

$$e_{ss} = \lim_{s \rightarrow 0} s \cdot E(s) = \frac{U_{ref}}{\omega_{c2}/p_1} \quad (6)$$

This absolute error can be expressed as a relative error by:

$$e_{ss}[\%] = \frac{100}{\omega_{c2}/p_1} \quad (7)$$

It can be noted that the flat-top precision depends on the ratio between ω_{c2} and p_1 . If $e_{ss}[\%]$ is within precision bands, the controller of Eq. (5) can be used.

Simulations

In order to evaluate the proposed control, the system is simulated using MATLAB. The output pulse requirements are: rise time $150 \mu s$ to $250 \mu s$, stabilization time approx $300 \mu s$, flat-top $800 \mu s$, maximum overshoot 2%, ripple at flat-top ($1 - 2$ kHz) less than 1% and ripple at flat-top (more than 2 kHz) less than 0.1%. The main parameters of the simulation are listed in Table I.

Table I: Simulation parameters

Pulse Transformer	Active Bouncer	Klystron model
$r_1 = 35 \text{ m}\Omega$	$U_{DC} = 1050 \text{ V}$	$r_{kly} = 2 \text{ k}\Omega$
$r_2' = 30 \text{ m}\Omega$	$L_{hf} = 75 \mu\text{H}$	
$L_1 = 87 \mu\text{H}$	$C_{hf} = 70 \mu\text{F}$	Other
$L_2' = 87 \mu\text{H}$	$R_{dis} = 20 \Omega$	$C_m = 5 \text{ mF}$
$L_m = 600 \text{ mH}$	$C_F = 12 \text{ mF}$	$U_{Cm}(0) = 4 \text{ kV}$
$r_{fe} = 2 \text{ k}\Omega$	$R_F = 5 \text{ k}\Omega$	$U_{ref} = 110 \text{ kV}$
$C_{tr} = 1 \text{ nF}$	$R_{cb} = 4.7 \Omega$	
$n = 33$	$f_{sw} = 15 \text{ kHz}$	

In order to obtain the desired time response, the inner and outer cut-off frequencies adopted were $\omega_{c1} = 2\pi 3000$ rad/s and $\omega_{c2} = 2\pi 2000$ rad/s, respectively. By evaluating Eq. (7) a relative error much lower than precision bands is obtained. Hence, the outer loop controller given by Eq. (5) is considered.

Figure 3 shows the klystron voltage, where it can be observed that the output pulse meets the time specifications. The rise time, t_r , and stabilization time, t_s , were $190 \mu s$ and $310 \mu s$, respectively. The flat-top duration was $800 \mu s$.

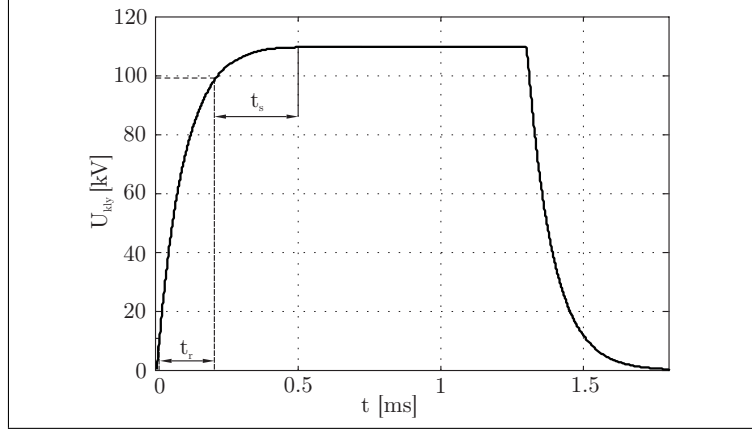


Figure 3: Klystron output voltage.

Figure 4 shows a zoom of the flat-top voltage pulse and 0.1% precision bands. It can be seen that the obtained precision is better than the required one. The obtained overshoot meets the specification, since it is within the precision band.

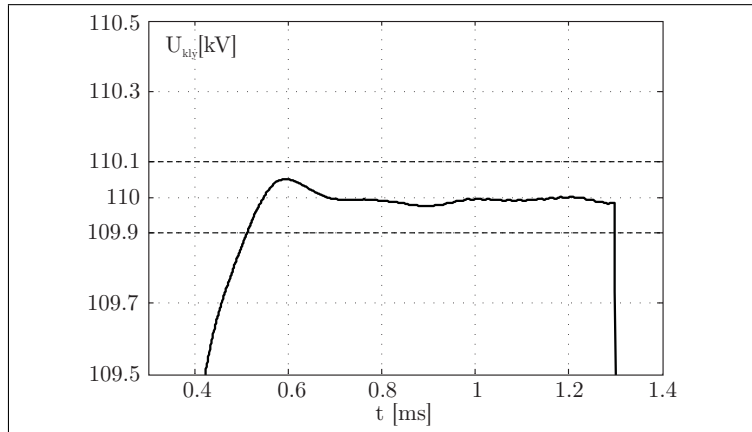


Figure 4: Detail of flat-top voltage pulse.

An important aspect of the proposed control is the multiphase converter dynamics. To control the interleaved converter, the current control proposed in [6] is used. This method has the advantage of providing a good reference tracking even under significant changes in the input-output differential voltage. In this application this feature is important, because the converter output voltage varies in order to compensate the voltage drop in C_m . Figure 5 shows the phase currents of the interleaved converter. It can be seen that each phase current has an equal mean value and that the proper ripple interleaved condition is maintained throughout the pulse. It can be noted that the output ripple amplitude varies due to the change in output voltage.

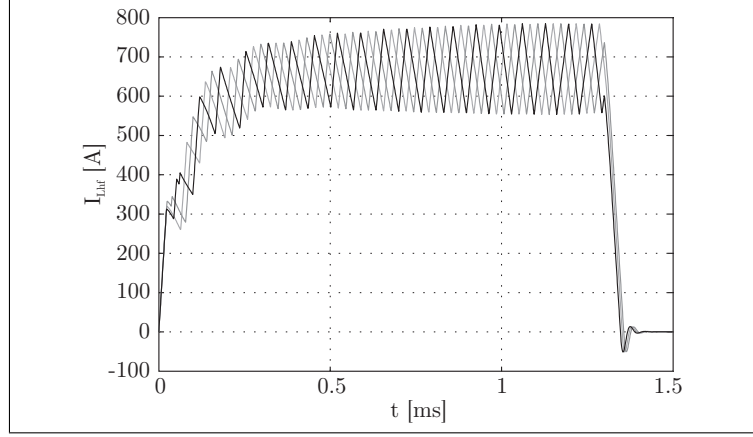


Figure 5: Interleaved output currents.

Experimental test of multiphase converter

In order to evaluate the multiphase converter dynamics, experimental tests on a low-power prototype were conducted. In this application, the converter must operate under both a high-dynamics current reference and a variable output voltage. Therefore, to obtain a operational condition comparable to the full system, the current reference for multiphase converter was obtained from simulations (including control loops, pulse transformer and klystron model). Furthermore, the voltage at the end of the pulse was selected close to a 30% of U_{CF} . The main parameters of the test are shown in Table II.

Table II: Experimental test parameters

Converter inductance, L_{HF}	260 μ H
Converter input voltage, U_{CF}	25 V
Converter output voltage, U_{af}	0 V to 8 V
Switching frequency, f_{sw}	15 kHz

Figure 6 shows the phase currents of the multiphase converter and the current reference, where the maximum average phase current is 5 A. It can be noted that the high dynamics of the reference is tracked by the interleaved converter. It can be seen a remarkable similarity with the simulation results shown in figure 5.

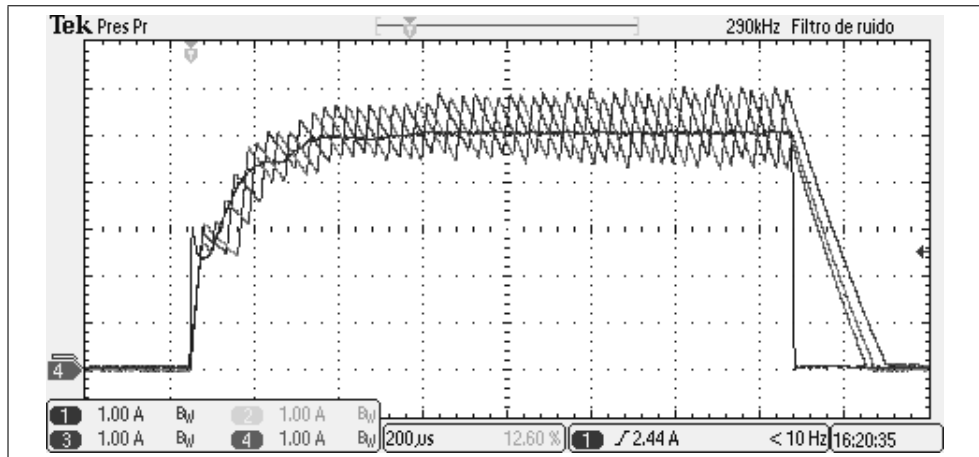


Figure 6: Interleaved output current and current reference.

Figure 7 shows the phase currents and the active bouncer converter voltage. This voltage increases during the pulse and it reaches a maximum output voltage close to 7 V. It can be noted that the multiphase converter maintains the current control despite of the output voltage variation.

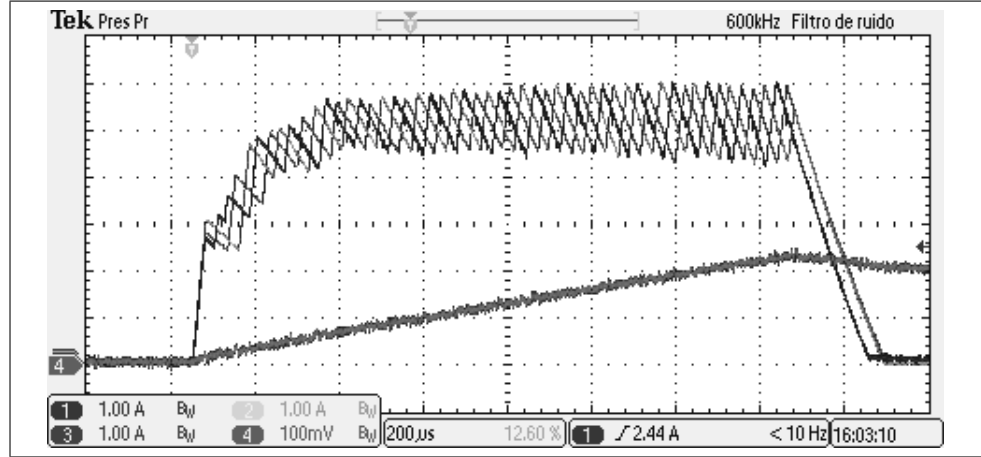


Figure 7: Interleaved output current and active bouncer output voltage.

Conclusions

A control strategy for klystron modulator with active bouncer is presented. The proposed strategy includes an inner voltage regulation loop to control the active bouncer output voltage and an outer one to control the klystron voltage. The power stage has a complex transfer function due to the elevated order and the existence of two zeros at the origin. This drawback is solved by including the primary side current and main capacitor voltage in the regulation loops, which reduces the complexity of the corresponding controllers. Simulations show that the klystron voltage meet the required specifications. Since the multiphase converter dynamics is a key aspect of the proposed system, experimental tests were carried out to evaluate it. The tests have shown that the multiphase converter is able to track a high-dynamics reference even under a variable output voltage condition.

References

- [1] C. Martins, F. Bordry, and G. Simonet, "A solid state 100kV long pulse generator for klystrons power supply," in *13th European Conference on Power Electronics and Applications, EPE09*, Sept. 2009, pp. 1–10.
- [2] H. Pfeffer, L. Bartelson, K. Bourkland, C. Jensen, Q. Kerns, P. Prieto, G. Saewert, and D. Wolff, "A long pulse modulator for reduced size and cost," in *Proc. 21st. International Power Modulator Symposium*, Costa Mesa, CA, 1994.
- [3] D. Anderson and O. Ridge, "Recent developments in pulsed high power systems," in *Proceedings of LINAC 2006*, Knoxville, Tennessee USA, 2006.
- [4] "2MW active bouncer converter design for long pulse klystron modulators," *submitted to 14th International European Power Electronics Conference and Applications, EPE11*, Aug./Sep. 2011.
- [5] Y. Qiu, J. Sun, M. Xu, K. Lee, and F. Lee, "Bandwidth improvements for peak-current controlled voltage regulators," *IEEE Trans. Power Electron.*, vol. 22, no. 4, pp. 1253–1260, Jul. 2007.
- [6] R. G. Retegui, M. Benedetti, R. Petrocelli, and N. Wassinger, "New modulator for multi-phase interleaved DC/DC converters," in *13th International European Power Electronics Conference and Applications, EPE09*, Barcelona, Spain, Sep. 08–12, 2009.