



UNIVERSIDAD NACIONAL
de MAR DEL PLATA



UNIVERSIDAD NACIONAL DE MAR DEL PLATA

FACULTAD DE INGENIERÍA

DEPARTAMENTO DE ELECTRÓNICA

PROYECTO DE GRADO PARA OBTENER EL TÍTULO DE INGENIERO EN ELECTRÓNICA:

DISEÑO Y CONSTRUCCIÓN DE UN BLOQUE CONSTRUCTIVO DE ELECTRÓNICA DE POTENCIA BASADO EN MOSFETs DE SiC

AUTOR: AGUSTÍN MATÍAS BEJANUEL

DIRECTOR: DR. ING. SERGIO GONZÁLEZ

CO-DIRECTOR: DR. ING. MARCOS JUDEWICZ



RINFI se desarrolla en forma conjunta entre el INTEMA y la Biblioteca de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata.

Tiene como objetivo recopilar, organizar, gestionar, difundir y preservar documentos digitales en Ingeniería, Ciencia y Tecnología de Materiales y Ciencias Afines.

A través del Acceso Abierto, se pretende aumentar la visibilidad y el impacto de los resultados de la investigación, asumiendo las políticas y cumpliendo con los protocolos y estándares internacionales para la interoperabilidad entre repositorios



Esta obra está bajo una [Licencia Creative Commons Atribución-
NoComercial-CompartirIgual 4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/).

Índice general

Resumen	4
1. Introducción	5
1.1. Bloques Constructivos de Electrónica de Potencia	5
1.2. Topologías de BCEP tipo HB	5
1.2.1. Configuración Convertidor DC-DC Reductor (Buck)	7
1.2.2. Configuración Convertidor DC-DC Elevador (Boost)	9
1.2.3. Configuración Convertidor DC-AC (Inversor)	10
1.2.4. Otras Configuraciones	11
1.3. Dispositivos Semiconductores de Carburo de Silicio	12
1.3.1. Diodos	14
1.3.2. MOSFETs	14
1.3.3. Características de SiC MOSFETs	18
1.4. Drivers para Semiconductores de Potencia Basados en SiC	29
1.5. Objetivos y Estructura del Proyecto	30
2. Diseño del Bloque Constructivo de Electrónica de Potencia	32
2.1. Introducción	32
2.1.1. Requerimientos	34
2.2. Rama de Conmutación	34
2.2.1. Llaves Semiconductoras	34
2.2.2. Frecuencia de Conmutación	36
2.2.3. Drivers	40

2.3. Banco de Capacitores - Bus de CC	44
2.3.1. Estrategia de Limitación de Corrientes de Inrush	50
2.4. Elementos Relacionados al Control (Sensados)	55
2.4.1. Sensado de Corriente de Salida	55
2.4.2. Sensado de Tensión de Bus de C.C.	56
2.5. Alimentaciones	58
2.6. Diseño Térmico	60
2.6.1. Potencia Máxima Entregable en Base al Disipador Elegido en Condi- ciones de Convección Natural	63
3. Construcción	66
3.1. Datos Generales	66
3.2. Edición de los Circuitos Impresos	67
3.2.1. Banco de Capacitores - Bus de C.C.	67
3.2.2. Sensados de Tensión	69
3.2.3. Sensado de Corriente	70
3.2.4. Drivers	72
3.2.5. SiC MOSFETs	76
3.2.6. Elementos Relacionados a la Alimentación	78
3.2.7. Terminales y Conectores	80
3.3. Versión Final - Montaje	83
4. Validación del Prototipo	87
4.1. Simulaciones	88
4.1.1. B CEP como Inversor	90
4.2. B CEP como Convertidor DC-DC	106
4.2.1. B CEP como Convertidor DC-DC Boost	107
4.2.2. B CEP como Convertidor DC-DC Buck	127
4.3. Pruebas Experimentales	134
4.3.1. Estrategia de Conmutación para las Pruebas	134
4.3.2. Influencias de la Utilización de Tiempos Muertos	139

4.3.3. B CEP como Inversor: Carga Resistiva de Baja Tensión	141
5. Conclusiones	146
5.1. Trabajos Futuros	147
Bibliografía	147
A. Código Fuente para Estrategia de Conmutación	150
B. Diagramas Esquemáticos	168
C. Modelo PCB Final	172
D. Teoría ampliatoria	174
D.1. Conceptos Relacionados a BCEPs	174
D.1.1. Modularidad Integrada	174
D.1.2. Prototipado Incremental	175
D.2. Otros Dispositivos Basados en SiC	176
D.2.1. Diodos Schottky	176
D.2.2. Transistores Bipolares de Juntura	176
D.3. PWM como Estrategia de Conmutación	177
Tablas de Figuras	182

Resumen

El concepto de Bloque Constructivo de Electrónica de Potencia (BCEP) se basa en la integración de dispositivos de potencia, drivers, y otros componentes en bloques constructivos con una funcionalidad claramente definida, capaces de servir para múltiples aplicaciones.

Este concepto permite construir convertidores de gran potencia a partir de unidades estandarizadas que poseen cierta autonomía de control. Esto resulta en un esfuerzo de diseño reducido, mayor confiabilidad del sistema y un reducido costo de mantenimiento.

El concepto de BCEP es genérico e incorpora varios elementos tecnológicos que son claves para lograr reducciones de costos, pérdidas, tamaño o peso de las aplicaciones electrónicas de potencia. Estas aplicaciones pueden ser Calidad de la Energía, Convertidores a medida, Sistemas Flexibles de Transmisión en Corriente Alterna (*FACTS, por sus siglas en inglés: Flexible Alternating Current Transmission Systems*), Sistemas de Corriente Continua de Alta Tensión, Generación Distribuida y Almacenamiento, en distintos rangos de potencia.

En este proyecto se diseñó y construyó un BCEP tipo puente medio o semipuente (*HB, por sus siglas en inglés: Half Bridge*) basado en llaves de carburo silicio (SiC). Abarcó la selección de los componentes, la cual se basó en los distintos requerimientos de diseño. En esta tesis se incluyen las simulaciones y validaciones experimentales del prototipo, y el diseño de placas de circuitos impresos para su montaje.

Capítulo 1

Introducción

1.1. Bloques Constructivos de Electrónica de Potencia

El concepto de BCEP implica la creación de un bloque de electrónica de potencia que permite la conversión de energía para una amplia variedad de aplicaciones. El BCEP consta principalmente de dispositivos de potencia, digitales y otros, permitiendo el desarrollo de múltiples aplicaciones, reduciendo el tamaño, costo, pérdidas y aumentando la eficiencia de los dispositivos de conversión de potencia. Un diseño ideal consiste en la construcción de bloques universales que permitan configurarse rápida y eficientemente dependiendo de la aplicación requerida. [1]

1.2. Topologías de BCEP tipo HB

Existen varias topologías circuitales posibles para la implementación de un BCEP, siendo la topología tipo semipunte o half-bridge (HB) la más sencilla en términos de cantidad de componentes. La topología HB consta de dos llaves semiconductoras controladas conectadas en serie, requiriendo de un circuito driver para cada una de ellas. Las entradas para un BCEP de estas características incluyen las señales de disparo de cada una de las llaves, y las salidas pueden ser las mediciones de tensión y/o corriente que maneja el BCEP. A su vez se puede agregar un banco de capacitores con resistencias de balance en paralelo a las llaves. A este conjunto se lo denomina *Bus de CC*.

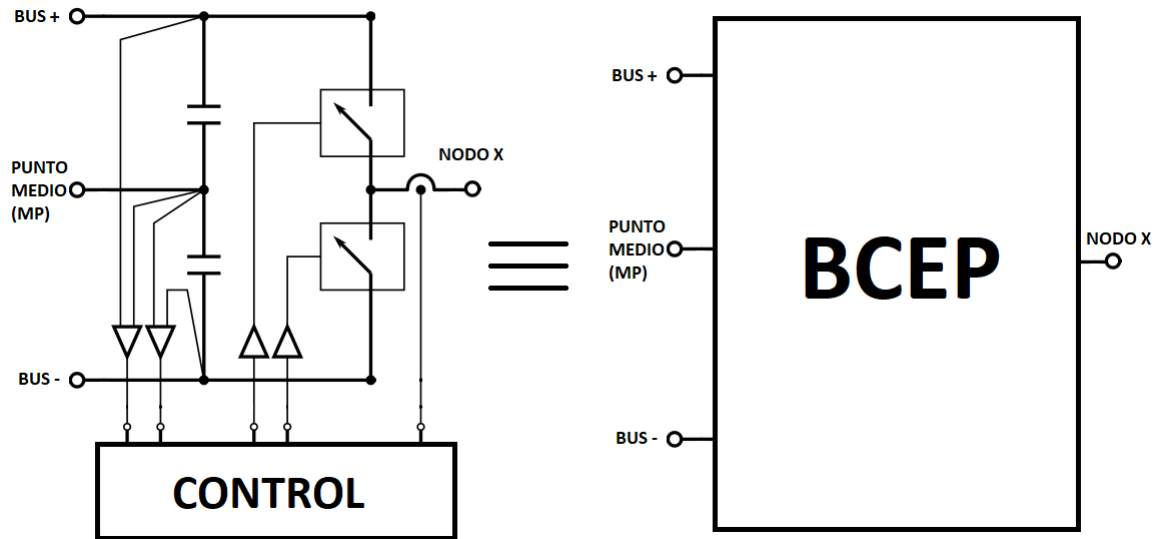


Figura 1.1: Esquema circuital simplificado y bloque equivalente de un B CEP tipo HB.

La figura 1.1 exhibe un esquema circuital simplificado de un B CEP tipo HB (diagramas con mayor nivel de detalle serán incluidos en el capítulo 2) y su bloque equivalente, el cual será utilizado para describir las distintas configuraciones posibles para el B CEP construido.

1.2.1. Configuración Convertidor DC-DC Reductor (Buck)

En la figura 1.2 se muestran dos diagramas del BCEP como convertidor DC-DC tipo buck.

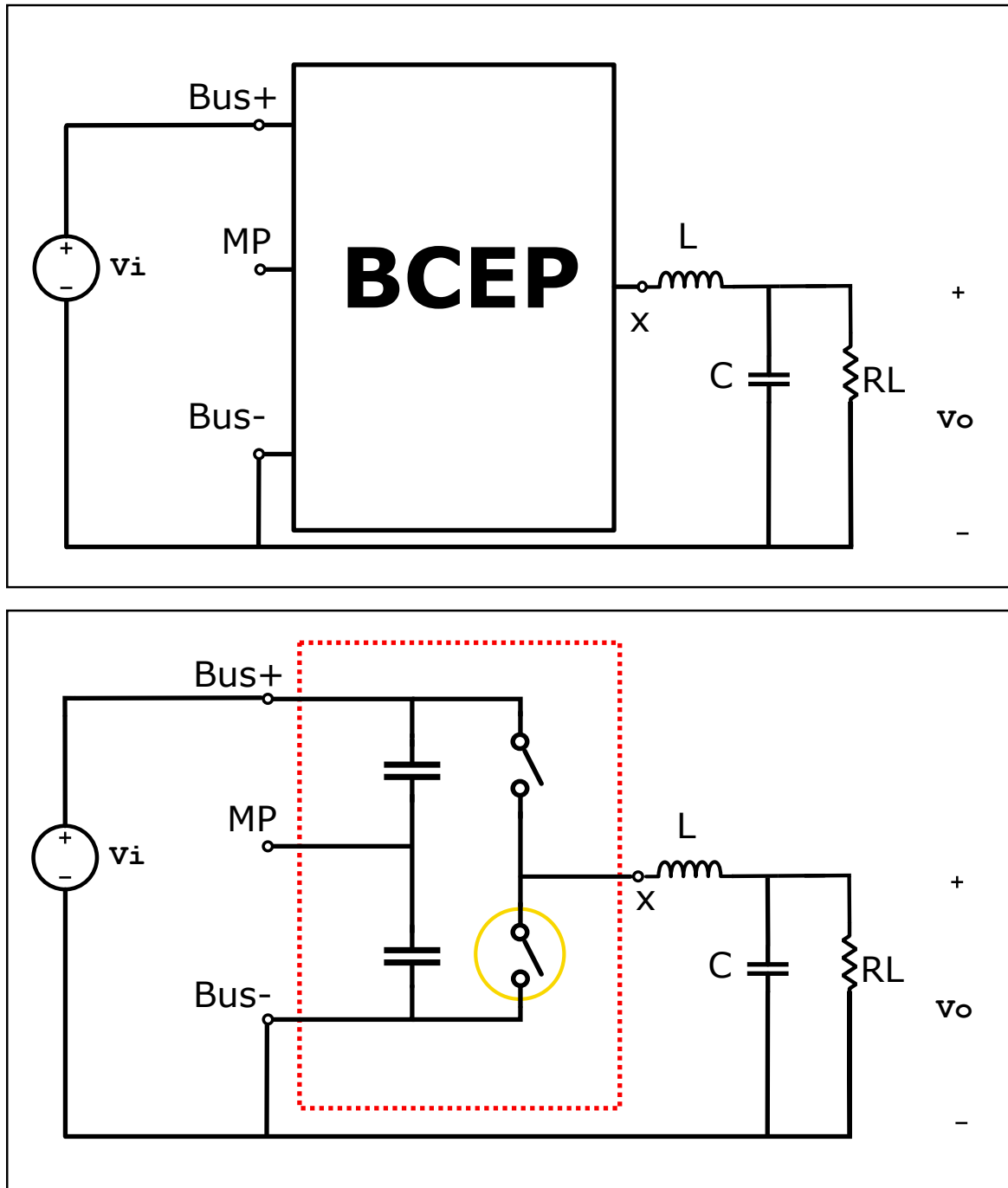


Figura 1.2: Diagramas simplificados BCEP tipo HB como Convertidor DC-DC tipo Buck.

El dispositivo de conmutación del nivel superior del BCEP actúa como llave, mientras que el del nivel inferior hace las veces de diodo o rectificador pudiendo en efecto solamente circular la corriente por el diodo de rueda libre en caso de IGBTs (*por sus siglas en inglés:*

Isolated Gate Bipolar Transistors) o el diodo de cuerpo en el caso de los MOSFETs (*por sus siglas en inglés: Metal Oxide Semiconductor Field Effect Transistors*) para el modo de operación asincrónico, o bien circular por la resistencia drain-source de encendido (R_{DSon}) en el caso de trabajar en modo sincrónico. El modo de operación queda definido en función de la tensión V_{GS} (para el caso de los MOSFETs). Si se aplica un nivel cercano al de corte, el dispositivo opera en el primer modo mencionado. Si la tensión V_{GS} conmuta entre niveles de corte y saturación, el dispositivo opera en el segundo de los modos mencionados. Ambos modos de funcionamiento serán simulados y evaluados en el capítulo 4. En el recuadro inferior de la figura 1.2 se encierra a una de las llaves con un círculo amarillo, indicando que la misma hace las veces de diodo.

La tensión media de salida está dada por la multiplicación entre la tensión de entrada y el ciclo de trabajo (d) de la señal de comando de los drivers. En efecto:

$$V_o = d \times V_i \quad (1.1)$$

El valor de la bobina L , define si el convertidor trabaja en modo de conducción continua. El valor del capacitor tiene influencia sobre el ripple de tensión de salida, mientras que el valor de la resistencia define el valor de corriente medio de salida que debe abastecer el BCEP.

1.2.2. Configuración Convertidor DC-DC Elevador (Boost)

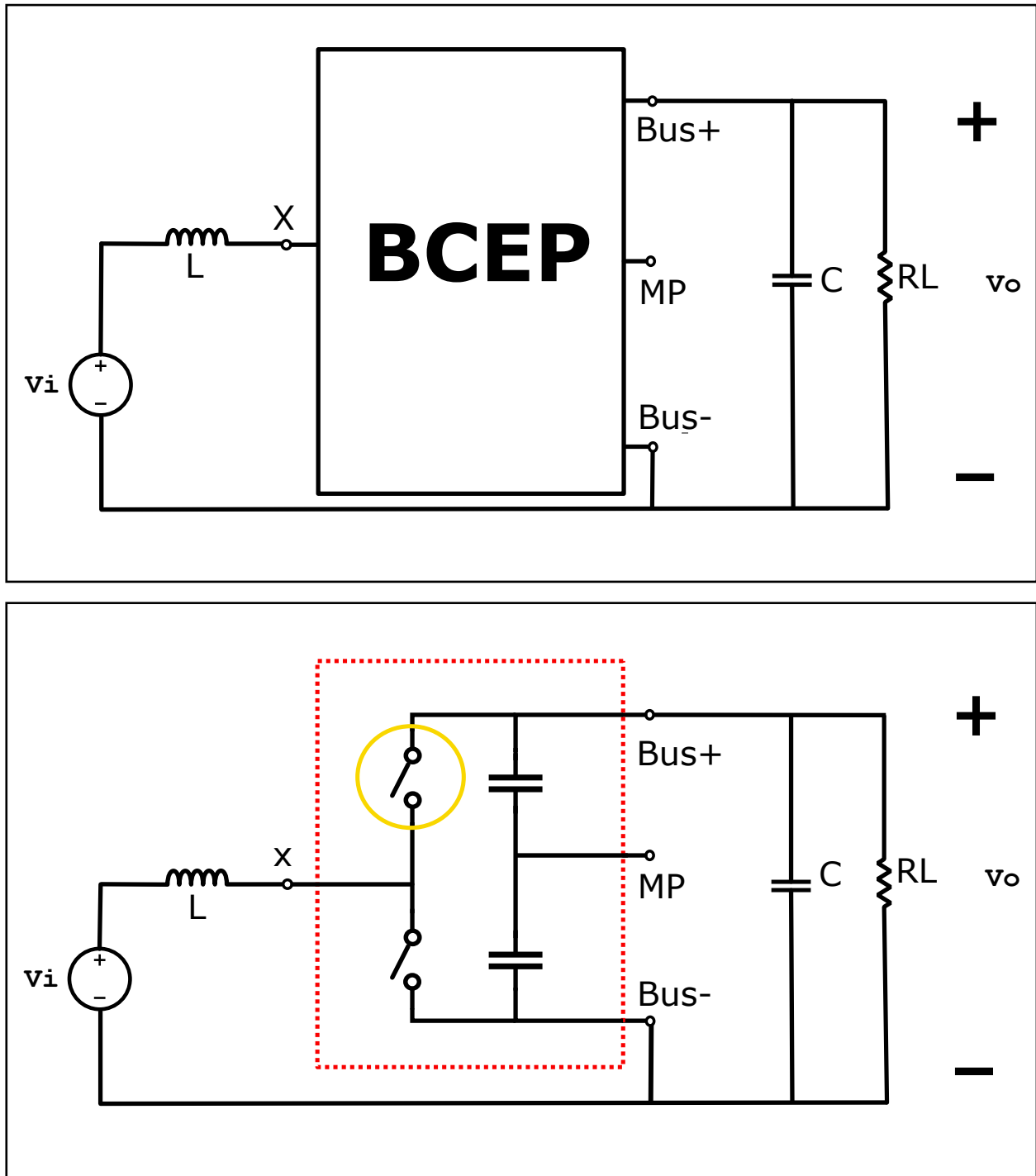


Figura 1.3: Diagramas simplificados B CEP tipo HB como convertidor DC-DC tipo Boost.

La figura 1.3 muestra los diagramas circuitales simplificados del B CEP actuando como convertidor DC-DC tipo boost. En este caso, la tensión media de salida está dada por:

$$V_o = \frac{V_i}{1-d} \tag{1.2}$$

En cuanto a las implicancias de los valores del capacitor, bobina y resistencia, las mismas se mantienen respecto al caso anterior. Es destacable que para esta configuración la capacidad final está dada por la suma de la capacidad del bus de continua y el capacitor externo C . Este último puede no incluirse si así se prefiere. A su vez, en este caso la llave inferior actúa como elemento de conmutación, mientras que la superior hace las veces de diodo o rectificador. En efecto, siguiendo la misma convención que la adoptada en la figura 1.2, en el circuito exhibido en el recuadro inferior se encierra a la mencionada llave con un círculo amarillo.

1.2.3. Configuración Convertidor DC-AC (Inversor)

Si se inyecta un nivel de tensión continua entre las entradas Bus+ y Bus-, y se conecta una carga entre el Nodo X y MP, se obtiene a la salida una señal de tensión pulsada con una frecuencia igual a la frecuencia de conmutación de las llaves controladas. Para esta configuración la tensión de salida (V_o) excursiona idealmente entre $\pm V_i$ (siendo V_i el nivel de tensión de entrada al bloque).

En la figura 1.4 se muestran dos diagramas del BCEP tipo HB en configuración Inversor DC-AC. En el recuadro de la izquierda se exhibe el circuito en base a un bloque equivalente, mientras que en el recuadro de la derecha se incluyen llaves genéricas para un mayor nivel de detalle.

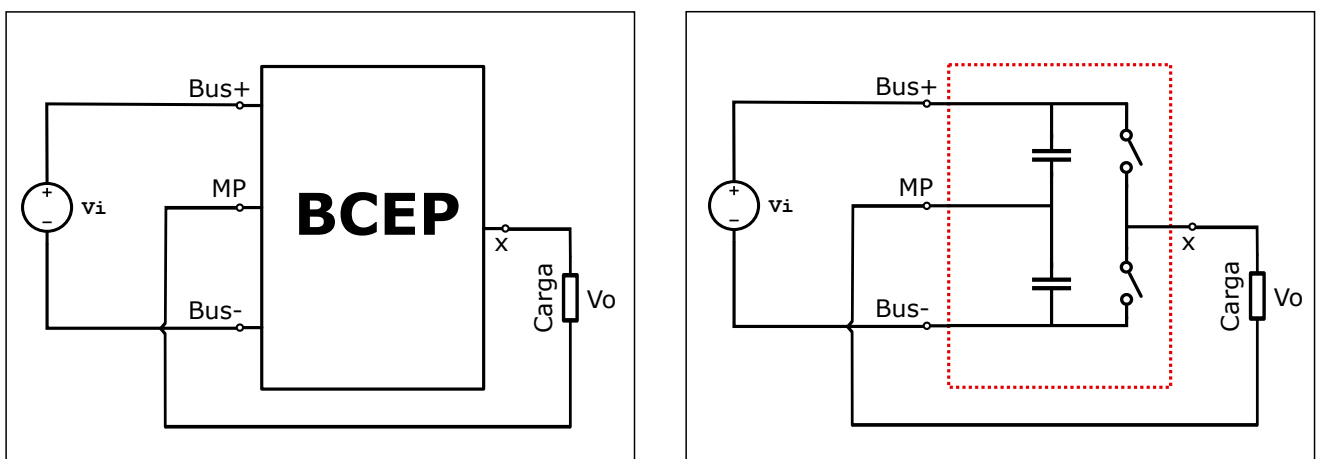


Figura 1.4: Diagramas simplificados BCEP tipo HB como INVERSOR DC-AC.

1.2.4. Otras Configuraciones

Una de las ventajas de la modularización es la posibilidad de generar diversas aplicaciones mediante distintas interconexiones entre BCEPs.

En base a la interconexión de un determinado número de los BCEPs construidos, es posible generar convertidores tipo puente, convertidores trifásicos de potencia, convertidores polifásicos de potencia, entre otros.

Como ejemplo de lo mencionado, se incluye la figura 1.5, en la cual se exhibe, mediante la interconexión de dos BCEP tipo semi-puente, un inversor DC-AC monofásico tipo puente completo.

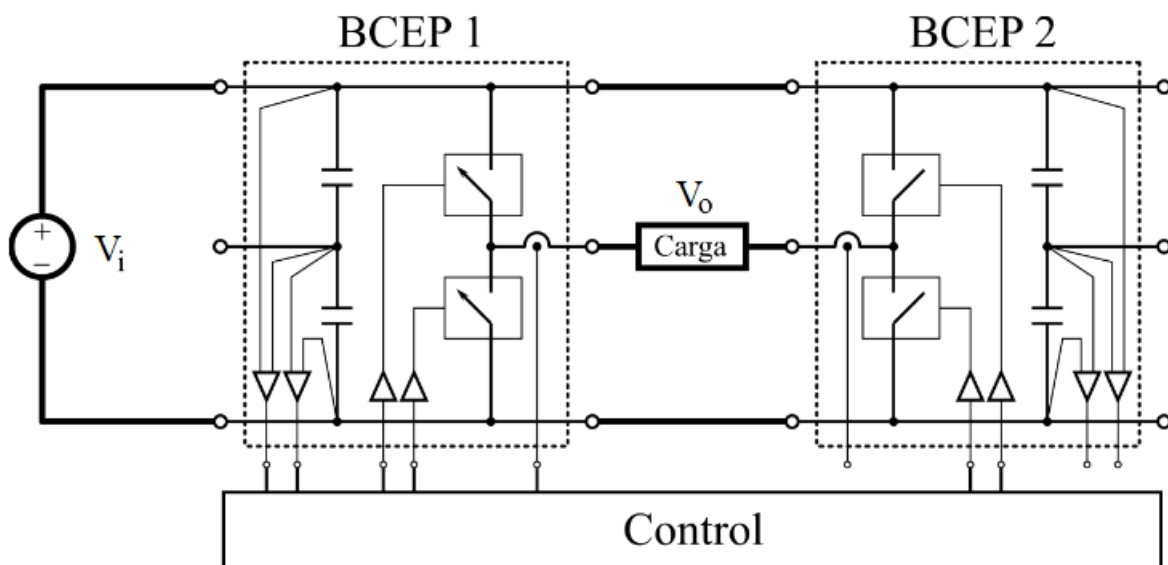


Figura 1.5: Inversor DC-AC monofásico tipo puente a partir de dos BCEP tipo HB.

De igual forma, en la figura 1.6 se presentan dos diagramas simplificados de la configuración a utilizar para la construcción de un inversor DC-AC trifásico en base a tres BCEPs tipo HB.

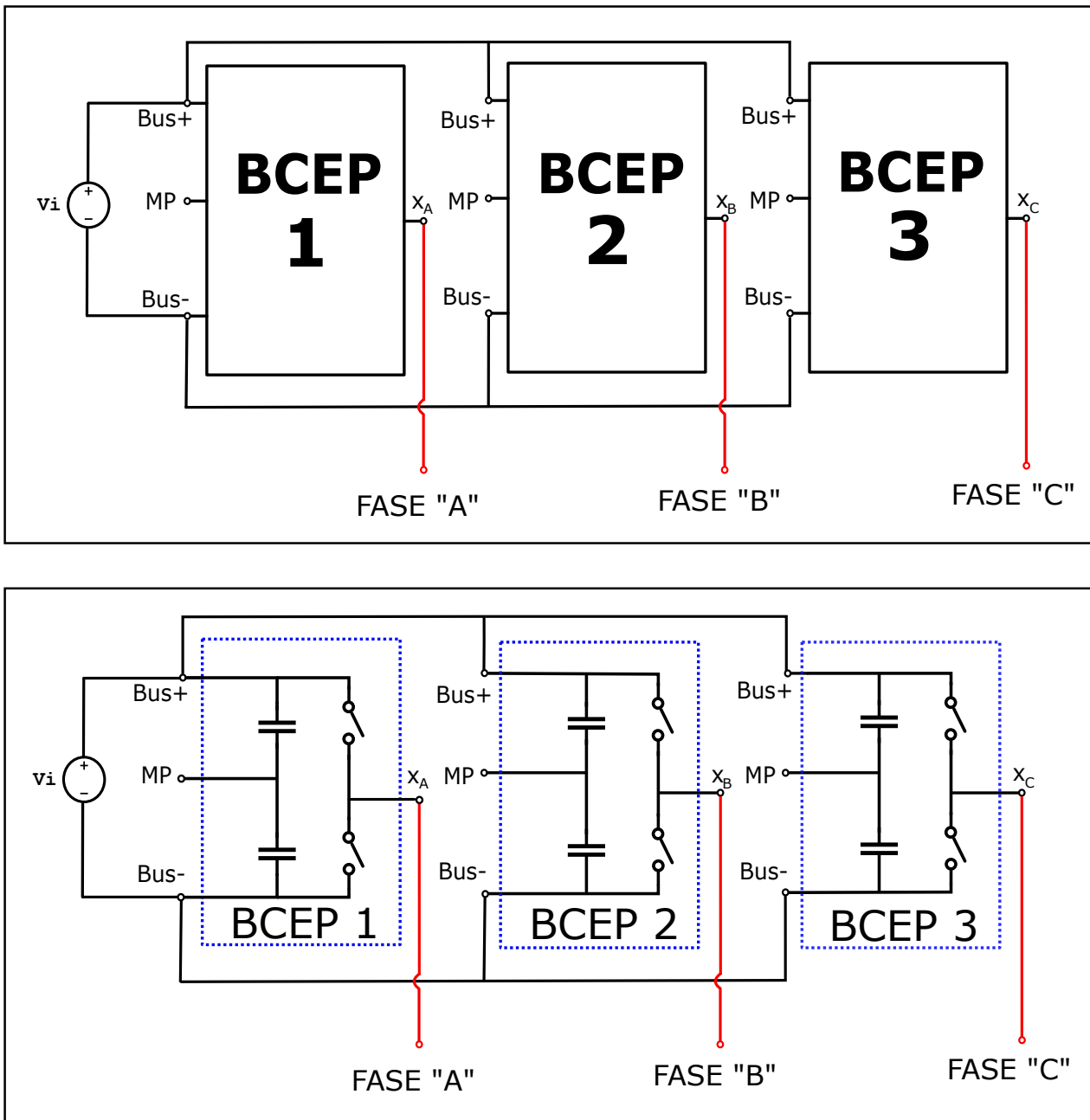


Figura 1.6: Inversor DC-AC trifásico a partir de tres BCEPs tipo HB.

1.3. Dispositivos Semiconductores de Carburo de Silicio

Un aspecto importante a tener en cuenta en la construcción de cualquier B CEP es la tecnología de las llaves semiconductoras utilizadas. Para la elección, deben tenerse en cuenta los distintos parámetros de trabajo del B CEP. La tensión, potencia, frecuencia, temperatura y corriente de operación, son los parámetros más importantes a considerar.

Un material semiconductor que en la actualidad se encuentra gradualmente aumentando

cada año su nivel de producción en dispositivos semiconductores es el carburo de silicio. Posee mejores características materiales intrínsecas que el silicio, pero su proceso de obtención requiere hornos que alcancen los 2000°C, y equipamiento dedicado. Debido a esta desventaja y la abundancia y facilidad de obtención del silicio, no fue utilizado en las primeras generaciones de semiconductores. Sin embargo, en los últimos años, los avances generales en las técnicas de obtención de materiales han permitido un notorio incremento en la disponibilidad de carburo de silicio de alta calidad.

En el cuadro 1.1 se realiza una comparación entre las propiedades intrínsecas del silicio (Si) y el carburo de silicio (SiC).

Cuadro 1.1: Propiedades intrínsecas materiales de Si y SiC.

Propiedad	Definición	Si	SiC-4H
E_{BR} (MV/cm)	Campo eléctrico de ruptura	0,3	3
E_G (eV)	Bandgap	1,12	3,26
V_S (x107 cm/s)	Velocidad de saturación	1	2,2
λ (W/cm.K)	Conductividad térmica	1,3	3,7

El SiC posee un campo eléctrico de ruptura 10 veces mayor al del Si, lo que resulta en resistencias de encendido menores, posibilitando así operar con alta tensión y bajas pérdidas. El SiC tiene un bandgap casi tres veces superior al del Si, esto permite temperaturas de juntura superiores. La alta velocidad de saturación del SiC, permite rápidas conmutaciones lo que resulta en una reducción de las pérdidas por conmutación y en la posibilidad de trabajar a frecuencias de conmutación mayores. En cuanto a la conductividad térmica del SiC que es casi el tripple que la del Si, esta característica posibilita sistemas de disipación menos complejos y de menor tamaño. Estos beneficios conducen a una reducción de elementos pasivos y por lo tanto, del tamaño y peso del sistema. [2]

Todas las características mencionadas para el carburo de silicio, resultan en sistemas más eficientes, compactos y robustos.

1.3.1. Diodos

Para el caso de los diodos, la principal ventaja de los fabricados en base a carburo de silicio es la temperatura de operación. Mientras que en los diodos de Si, el rango de temperatura promedio de operación es de -65°C a 150°C , en los de SiC este se amplía, siendo capaces de operar en un rango inusualmente amplio, de -170°C a 300°C , lo que no es alcanzable por diodos basados en otro material. Esta característica, los hace idóneos para espacios y ambientes hostiles. [3]

Otra característica a destacar es el valor de las capacidades parásitas de juntura, menores que las advertidas en diodos de otras tecnologías, posibilitando así menores tiempos de recuperación inversa, lo que en efecto permite mayores frecuencias de operación.

1.3.2. MOSFETs

Existen dos tipos de MOSFETs: de canal N y de canal P. A su vez, los mismos pueden ser de empobrecimiento o de enriquecimiento.

1.3.2.1. MOSFETs de Empobrecimiento

El MOSFET de empobrecimiento se forma a partir de una base de semiconductor, a la cual se le conoce como el sustrato. Se tienen tres regiones del mismo tipo de semiconductor, una de ellas conocida como canal de conducción. Estas tres regiones en sus extremos se conectan al drain y al source. El sustrato se conecta a un cuarto terminal (SS), el cual suele estar conectado al source. El terminal de gate esta conectado a un material dieléctrico, usualmente dióxido de silicio, mediante una placa metálica. En la figura 1.7, pueden observarse las estructuras para ambos transistores de empobrecimiento, mostrándose a la izquierda al de canal P y a la derecha, el de canal N.

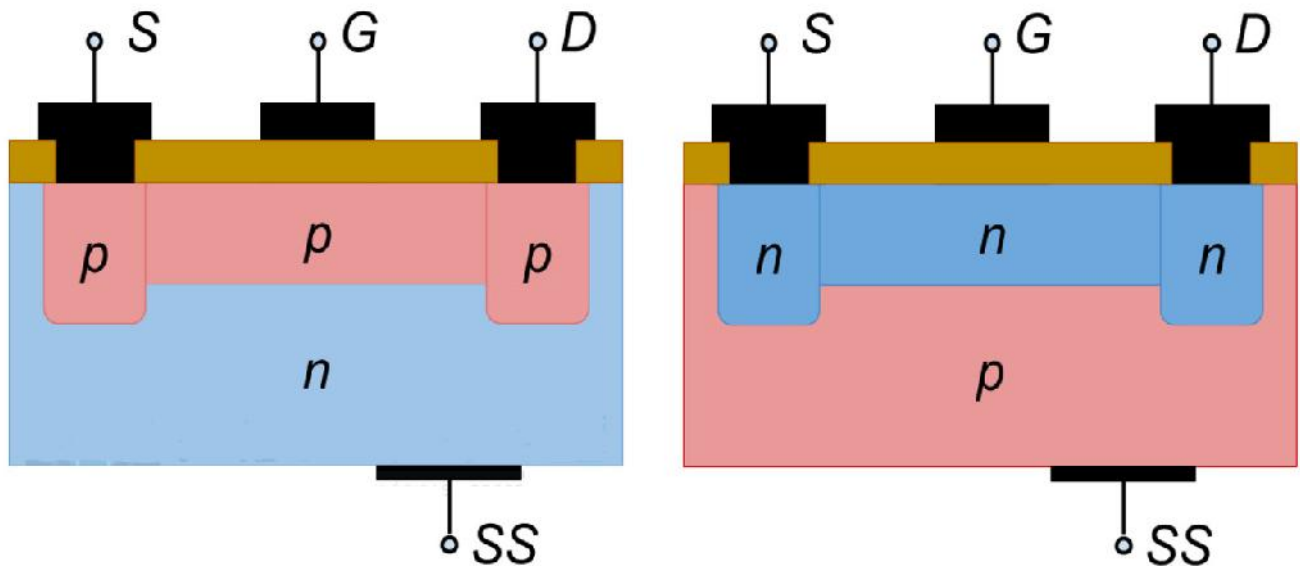


Figura 1.7: Estructura interna de P-MOSFETs y N-MOSFETs de empobrecimiento.

Con una polarización gate-source de 0V, existe una corriente que fluye entre source y drain, esto debido a que el canal se encuentra preformado. En este caso, es posible polarizar el gate para que el potencial impuesto ejerza una presión en los portadores mayoritarios del material del canal, además de atraer los mayoritarios del sustrato al canal. La recombinación generada entre los portadores del canal y el sustrato, modula la cantidad de portadores libres disponibles para la conducción. También es posible cerrar el canal cortando la conducción entre source y drain. Esto se logra aplicando una tensión negativa (mayor en módulo que la tensión de umbral) para el caso de los MOSFETs de canal N, y una tensión positiva (mayor que la tensión de umbral) para el caso de los MOSFETs de canal P.

1.3.2.2. MOSFETs de Enriquecimiento

Se enfatiza el análisis en los MOSFETs de canal N ya que debido a poseer resistencias de encendido más bajas que los MOSFETs de canal P, son los más utilizados en la electrónica de potencia.

El sustrato es de semiconductor tipo P. El mismo se conecta de manera interna al terminal de source. Este último y drain, están conectados a un material tipo N mediante un contacto metálico, sin embargo en este caso no existe un canal que conecte estos terminales. El gate se conecta a una placa metálica, separada al material del sustrato por dióxido de silicio, con

propiedades dieléctricas. En la figura 1.8 se observan las estructuras internas de MOSFETs de enriquecimiento de canal P (izquierda) y de canal N (derecha).

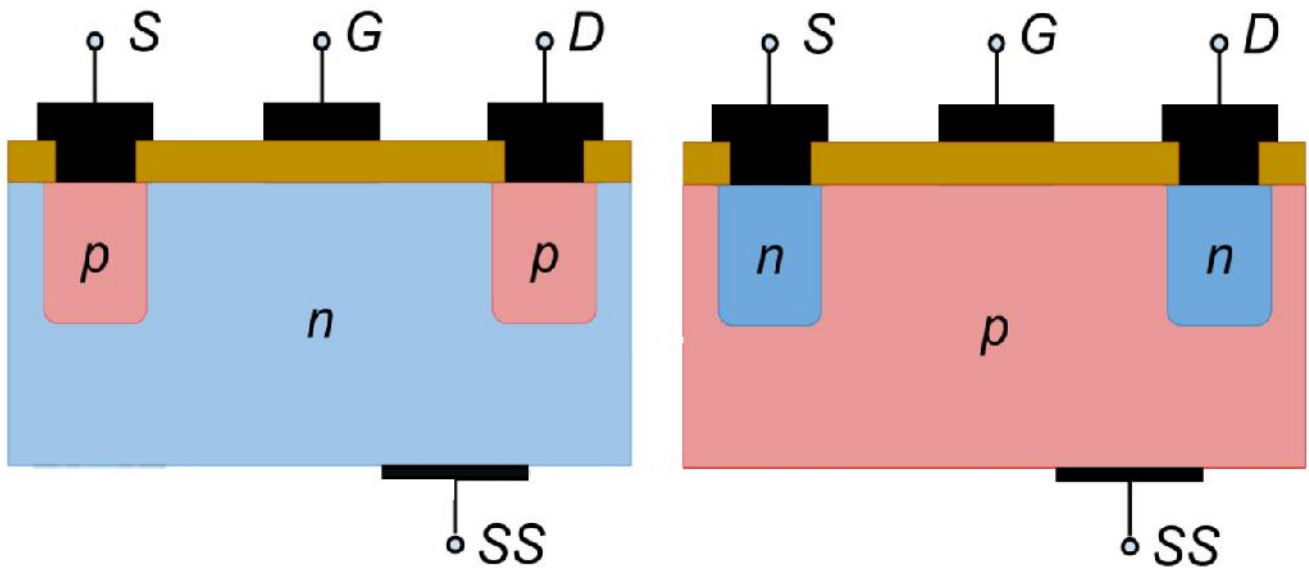


Figura 1.8: Estructura interna de P-MOSFETs y N-MOSFETs de enriquecimiento.

Debido a que no existe un canal físico entre los terminales de drain y source, la conducción de corriente es prácticamente nula independientemente de la tensión V_{DS} . Una vez que se aplica un potencial positivo entre el gate y el source de un transistor de canal N, se tiene que $V_{GS}=+V$. Esta tensión positiva en gate, ejerce presión en los huecos del material P. De esta forma, los mismos se alejan del material dieléctrico. Los portadores minoritarios, en este caso electrones, son atraídos al material dieléctrico, atracción derivada de la polarización positiva de la compuerta. A medida que se incrementa V_{GS} , también lo hacen los portadores minoritarios en la región más cercana al dieléctrico, generando un campo eléctrico bajo la capa de óxido. Si este campo eléctrico es lo suficientemente intenso, se logra generar un canal tipo N, que permite conducción de portadores entre drain y source. Cuanto mayor sea la tensión de polarización entre gate y source, mayor será este campo eléctrico, y por tanto mayor será la carga en el canal. Una vez creado el canal, la corriente se origina, aplicando una tensión positiva en drain respecto a la tensión de source.

El valor V_{TH} , o tensión de umbral es la diferencia de potencial entre gate y source necesaria para que comience a existir conducción entre drain y source (habiendo aplicado una tensión positiva entre estos dos últimos terminales mencionados).

Debido a los bajos niveles de tensiones de umbral, los MOSFETs de enriquecimiento son, dentro de los de este tipo de llaves, los más utilizados como dispositivos de conmutación.

1.3.2.3. Regiones de Operación

Dependiendo de tensiones y corrientes aplicadas entre gate y source, y entre drain y source, un MOSFET puede trabajar en tres diferentes regiones: de corte, de conducción u óhmica y de saturación.

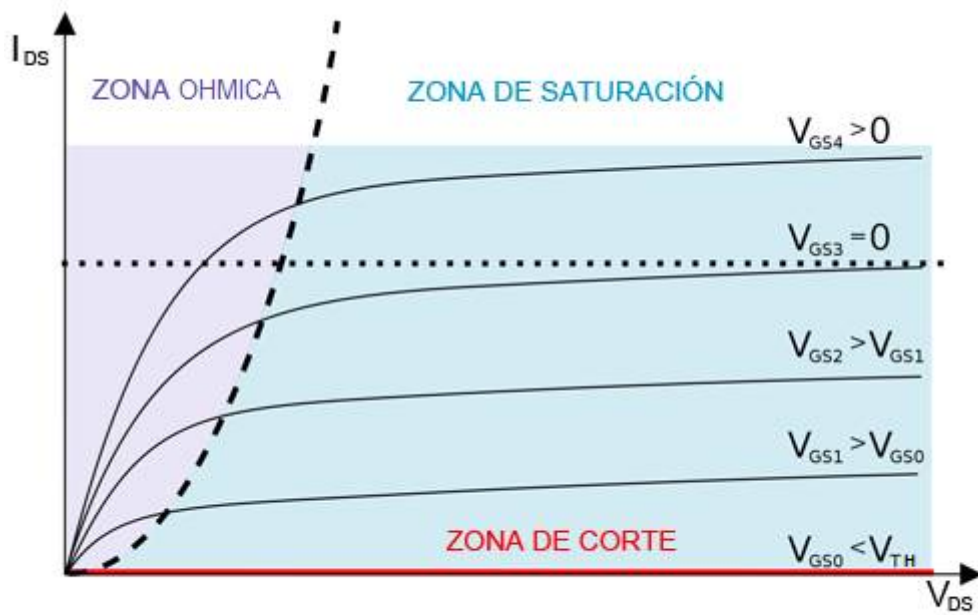


Figura 1.9: Familia de curvas I_{DS} vs V_{DS} para N-MOSFETs.

La figura 1.9 muestra una familia de curvas I_{DS} vs V_{DS} correspondiente a MOSFETs de canal N. En ella además se pueden observar las tres regiones mencionadas anteriormente.

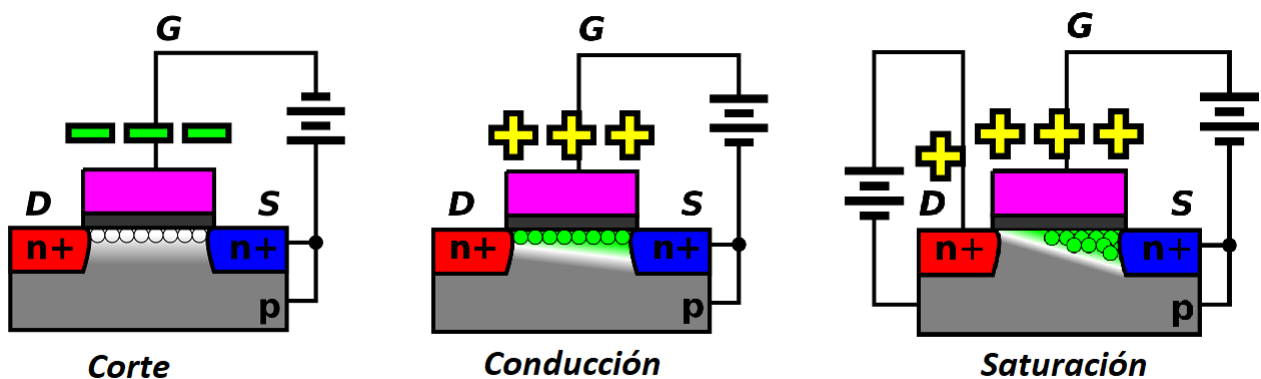


Figura 1.10: Estructura interna de N-MOSFETs en base las distintas regiones de trabajo.

En la figura 1.10 se representa gráficamente la parte central interna del N-MOSFET. Si el valor V_{GS} es menor que el valor de umbral (V_{TH}), prácticamente no existe circulación de cargas entre drain y source. En este caso, se dice que el transistor está apagado, que se comporta como un interruptor abierto y que se encuentra en **zona de corte**. En esta región de operación, para MOSFETs de enriquecimiento, la tensión aplicada entre gate y source, es menor que la necesaria para la generación del canal N que posibilita la conducción entre drain y source.

Si el valor V_{GS} es mayor que el valor de umbral (V_{TH}) y a su vez se cumple que $V_{DS} < (V_{GS} - V_{TH})$, entonces el transistor se encuentra en **zona ohmica o de conducción**. En este caso, la diferencia de potencial aplicada entre gate y source es suficiente para que se cree un canal N, que permite la conducción entre drain y source. A medida que se aumenta el valor de V_{GS} el campo eléctrico generado se hace de mayor intensidad, aumentando el flujo de portadores entre drain y source. De esta manera, el MOSFET se comporta como una resistencia variable entre drain y source, cuyo valor depende de V_{GS} .

Si el valor V_{GS} es mayor que el valor de umbral (V_{TH}) y en simultaneo se cumple que $V_{DS} > (V_{GS} - V_{TH})$, el transistor se encuentra en **zona de saturación**. En este caso, debido a la diferencia de potencial existente entre drain y source, el canal N sufre una deformación o estrangulamiento en las cercanías del terminal de drain. La corriente entre drain y source no se interrumpe, ya que la misma está debida al campo eléctrico existente entre ambos terminales, sin embargo se hace independiente a V_{GS} , por lo que el hecho de aumentar el valor de esta tensión, no genera efectos sobre la corriente en cuestión.

1.3.3. Características de SiC MOSFETs

Los MOSFETs de SiC ofrecen muchas ventajas de rendimiento, en particular con respecto a su eficiencia, confiabilidad, capacidad de disipación de potencia y sus dimensiones. Si bien pueden requerir algunos ajustes, las técnicas de diseño no exigen ningún cambio radical respecto a MOSFETs o IGBTs de silicio.

A pesar de poseer un costo mayor que MOSFETs o IGBTs de silicio, las ventajas de los SiC MOSFETs referidas a sus bajas resistencias de encendido implican menores pérdidas

por conducción. A su vez, basándose en la alta velocidad de saturación del SiC, las pérdidas por conmutación también son menores, haciendo posible incrementar la frecuencia de conmutación en aplicaciones de conversión de energía. De esta forma, se requieren inductores y disipadores de menor tamaño y a su vez, generalmente, debido al amplio rango de temperatura de trabajo de los SiC MOSFETs, no son utilizadas estrategias de ventilación forzada. Así, el tamaño y peso de los dispositivos construidos en base a SiC MOSFETs se reduce sustancialmente respecto a Si MOSFETs o IGBTs. En cuanto a los costos totales de fabricación, los mismos descienden un 20%.

En 2013, CREE realizó una evaluación comparativa entre dos convertidores DC-DC tipo boost con potencia total de conversión de 10kW. En uno de ellos, utilizó SiC MOSFETs de 1200V/20A, en el restante, IGBTs de 1200V/40A. Los resultados, mostraron que incluso trabajando a una frecuencia de conmutación 5 veces mayor que la del convertidor basado en IGBTs, el sistema en base a SiC MOSFETs logró una eficiencia de conversión del 99.3% con unas pérdidas totales 18% menores que la mejor solución basada en IGBTs (a frecuencia de conmutación de 20 kHz). [4]

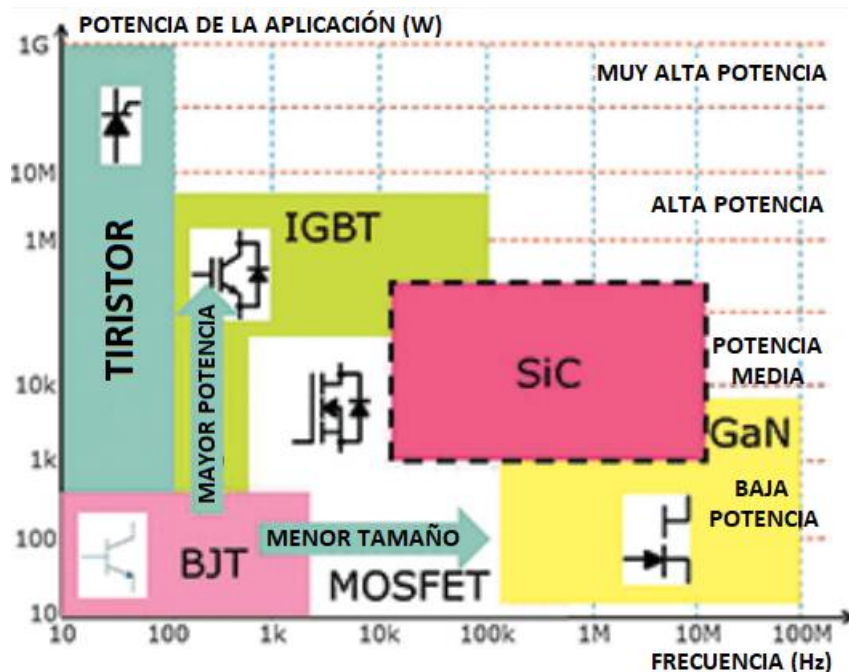


Figura 1.11: Especificaciones de potencia y frecuencia de distintas tecnologías de llaves semiconductoras.

En la figura 1.11 se exhiben las especificaciones de potencia y frecuencia para las distin-

tas tecnologías disponibles de llaves semiconductoras. Como puede apreciarse en la misma, es destacable que los SiC MOSFETs aún no son capaces de operar en aplicaciones de conversión de potencia de más de 200 kW, mientras que no son viables para frecuencias de conmutación mayores a 10MHz. A su vez, la máxima tensión de bloqueo para SiC MOSFETs comerciales es 1700V. Para aplicaciones de mayor potencia, deben aplicarse soluciones basadas en IGBTs o tiristores, teniendo éstos menores rangos de frecuencia de operación (hasta 100 kHz en los IGBT de última generación, y hasta 100 Hz para tiristores). Si se desean mayores frecuencias de conmutación en busca de diseños más compactos y menos pesados, las llaves semiconductoras basadas en nitruro de galio (GaN) representan una opción idónea.

1.3.3.1. Principales Características Estáticas y Dinámicas de los SiC MOSFETs

Como se explicó anteriormente, el valor de la **resistencia de encendido** entre drain y source es un factor de gran relevancia para la eficiencia energética en dispositivos conmutados de electrónica de potencia. Este valor depende principalmente de tres parámetros:

- V_{GS} : Tensión entre gate y source.
- I_{DS} : Corriente entre drain y source.
- T_J : Temperatura de juntura.

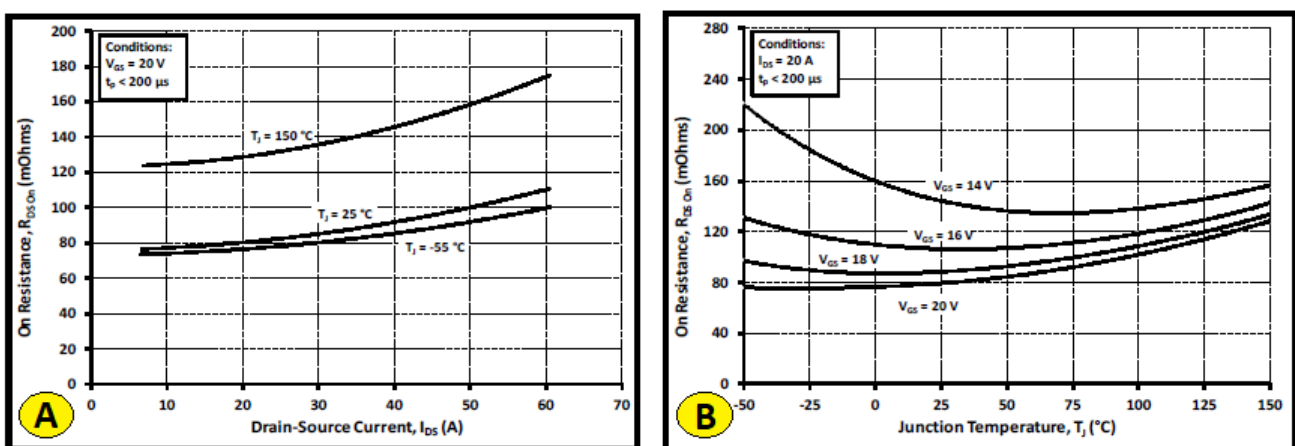


Figura 1.12: A: Gráfica de $R_{DS(on)}$ respecto a I_{DS} . B: Gráfica de $R_{DS(on)}$ respecto a T_J .

En la figura 1.12 se presentan dos gráficas de $R_{DS(on)}$ para un MOSFET de 1200 V de tensión máxima entre drain y source de la segunda generación de MOSFETs de Cree, el

C2M0080120D. En la subfigura A se muestra su relación con I_{DS} para distintos valores de T_J con V_{GS} constante, mientras que en la subfigura B, su relación con T_J para distintos valores de V_{GS} con I_{DS} constante.

Como se logra apreciar en la subfigura A, R_{DSon} aumenta con I_{DS} y con T_J , por lo que para realizar distintos cálculos y estimaciones, debe ser considerado el caso crítico, es decir el máximo valor de I_{DS} . A su vez, la gráfica muestra que mientras que la temperatura de juntura se mantenga entre -55°C y 25°C , la variación de la resistencia de encendido respecto a la temperatura de juntura es baja, pero en el caso de una temperatura de juntura cercana al límite de operación, R_{DSon} aumenta de forma notoria, lo que en efecto exhibe la importancia de la aplicación de un buen sistema de disipación para los SiC MOSFETs.

Respecto a la subfigura B, es interesante observar que para valores bajos de V_{GS} se observa una relación parabólica en la curva. A su vez, el hecho de trabajar con valores altos de V_{GS} (cerca de los 20 V para este modelo de SiC MOSFET) asegura menores variaciones de R_{DSon} respecto a la temperatura de juntura, por lo que es recomendable conmutar el MOSFET con una tensión V_{GS} de encendido lo más elevada posible.

Otras de las características a tener en cuenta en diseños de electrónica de potencia son las **capacidades parásitas**. El valor de las mismas afecta directamente a la máxima frecuencia de operación, ya que los tiempos de carga y descarga de estas capacidades deben ser considerados. Estos tiempos también dependen de un factor estático de los MOSFETs, como lo es la resistencia interna de gate, y a su vez de la resistencia externa de gate, que es un parámetro de diseño.

Generalmente, se suelen analizar las capacidades en base al modelo estándar en el cual, considerando las distintas capacidades parásitas, un MOSFET puede representarse como se muestra en la figura 1.13.

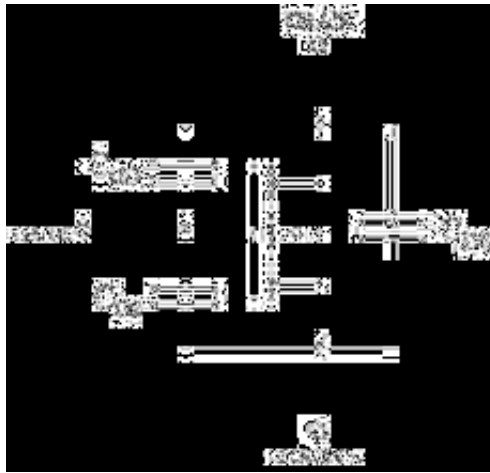


Figura 1.13: Modelo estándar para capacidades parásitas en MOSFETs.

C_{GD} es la capacidad entre gate y drain, C_{GS} es la capacidad entre gate y source, y C_{DS} es la capacidad entre drain y source.

No obstante, la mayoría de los fabricantes indican en sus hojas de datos tres capacidades parásitas diferentes a la mencionadas, basadas en el modelo de source común. Estas son las siguientes:

- C_{ISS} : Capacidad de entrada.
- C_{RSS} : Capacidad de realimentación inversa.
- C_{OSS} : Capacidad de salida.

Sin embargo, es posible a partir de estas capacidades obtener los valores de las capacitancias parásitas del modelo estándar mediante las siguientes igualdades:

- $C_{ISS} = C_{GS} + C_{GD}$
- $C_{RSS} = C_{GD}$
- $C_{OSS} = C_{DS} + C_{GD}$

Estas capacidades tienen fuerte dependencia con la tensión entre drain y source (V_{DS}) como puede observarse en la figura 1.14 que exhibe los valores de capacidades parásitas para un SiC MOSFET C2M0080120D de Cree.

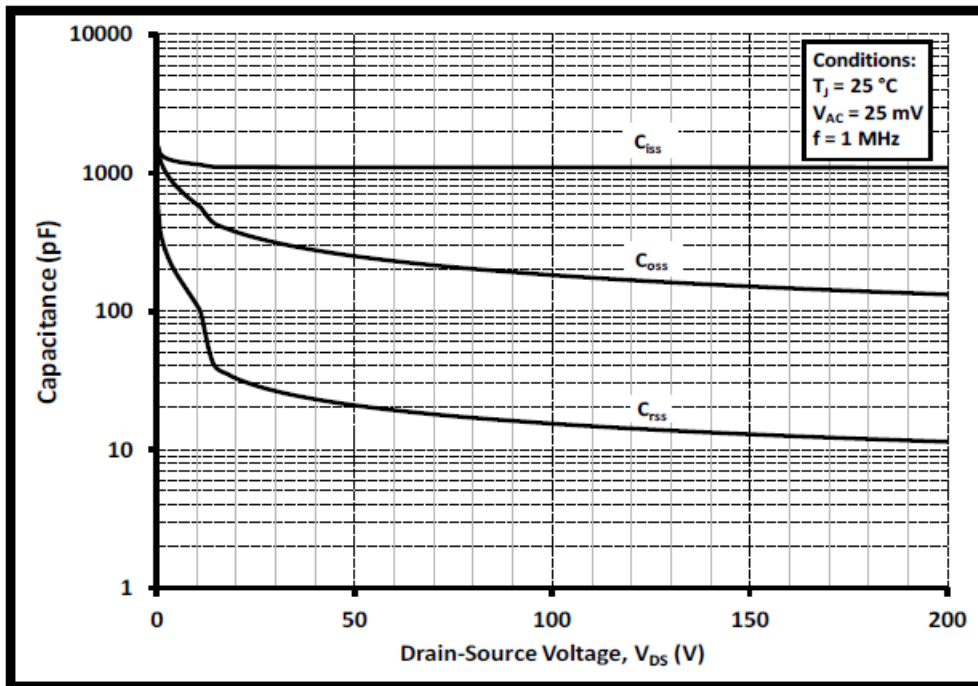


Figura 1.14: Capacidades parásitas basadas en el modelo de source común para un SiC MOSFET de la segunda generación de Cree.

Como se logra apreciar en la figura, la más alta de las capacidades es C_{ISS} . A su vez contemplando que para tensiones V_{DS} mayores a 10 V, la relación entre C_{ISS} y C_{RSS} es de entre 10 y 100 veces, se puede considerar, sin cometer grandes errores, que $C_{ISS} = C_{GS}$. También es notorio que C_{ISS} es la menos variable de las 3 capacidades parásitas. En todos los casos, a medida que V_{DS} aumenta, las capacidades disminuyen. Como característica estática, el fabricante de este MOSFET informa que para valores de V_{DS} mayores a 500 V los valores de las capacidades parásitas se estabilizan en 1000 pF para el caso de C_{ISS} , 80pF para C_{OSS} y 8pF para C_{RSS} .

Los valores de estas capacitancias influyen sobre características como tiempo de establecimiento de la señal conmutada, frecuencia máxima de conmutación, pérdidas por conmutación, ripple de la señal de conmutación, entre otras.

Es interesante remarcar que en otros dispositivos de conmutación normalmente utilizados para la electrónica de potencia como lo son los IGBTs y los Si MOSFETs, estas capacidades también existen y son mayores.

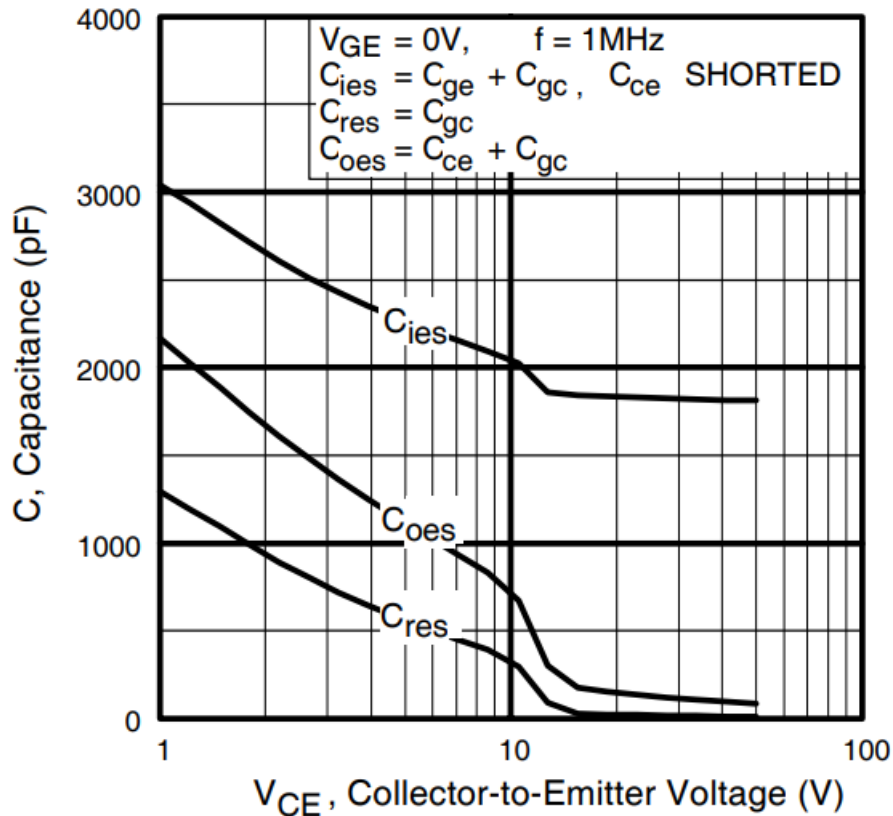


Figura 1.15: Capacidades parásitas basadas en el modelo de emisor común para un IGBT de potencia.

En la figura 1.15 se exhibe la gráfica para las capacitancias parásitas de un IGBT (*IRG4PH40UPbF*, fabricado por *International Rectifier*) en base al modelo de emisor común (equivalente al modelo de source común en MOSFETs). El rango de tensión V_{CE} en que las capacitancias son variables es menor que en el caso mostrado en la figura 1.14. Sin embargo, los valores estáticos son mayores en casi todos los casos. En consecuencia, utilizando SiC MOSFETs se reducen los efectos adversos de las capacitancias parásitas.

En un informe presentado por la Universidad de Dinamarca en la IECON 2014 (conferencia anual de IEEE) [5] se realizaron comparaciones entre SiC MOSFETs de segunda generación e IGBTs como elementos de conmutación para circuitos de electrónica de potencia. En el mismo se determinó que las pérdidas por conmutación utilizando SiC MOSFETs son sustancialmente menores que si se utilizan IGBTs.

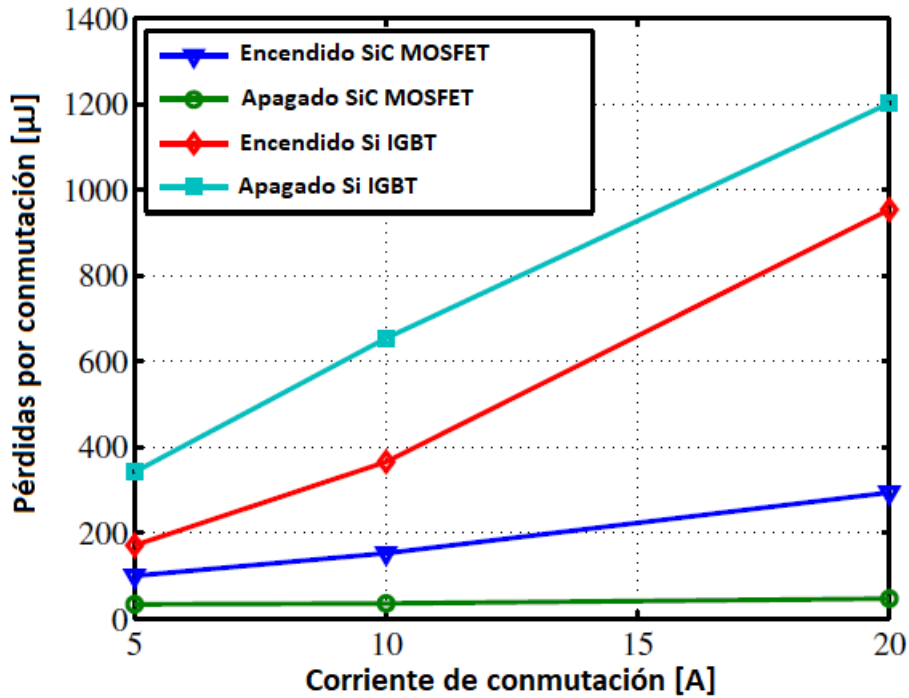


Figura 1.16: Pérdidas por conmutación en circuitos conmutados de electrónica de potencia utilizando MOSFETs e IGBTs.

La figura 1.16, extraída del informe mencionado en el párrafo anterior, muestra las pérdidas energéticas por conmutación tanto en el apagado como el encendido de un MOSFET y un IGBT trabajando cada uno de ellos como elemento de conmutación. Considerando las pérdidas totales como la suma entre las pérdidas en el encendido y las pérdidas en el apagado, utilizando SiC MOSFETs las mismas se reducen hasta un 84.2% respecto a las pérdidas totales cuando se utiliza a un IGBT. Esta notoria mejora está debida principalmente a dos factores: las menores capacidades parásitas en el SiC MOSFET y la ausencia de corriente de cola en este último.

Otro de los parámetros dinámicos relevantes para el diseño de circuitos de electrónica de potencia utilizando SiC MOSFETs es la **máxima potencia permisible de disipación**. Habitualmente, en la tabla de parámetros estáticos se entrega el máximo valor, el cual puede ser útil solo si las condiciones de trabajo son similares a las condiciones de medición para este parámetro. Para un SiC MOSFET de segunda generación de Cree (C2M0080120D) se informa como parámetro estático que la máxima potencia permisible de disipación en el mismo

es 195 W. Sin embargo este valor está informado para una temperatura de carcasa de 25°C. El parámetro en cuestión es drásticamente variable respecto a la mencionada temperatura, por lo que es importante tener en cuenta su característica dinámica.

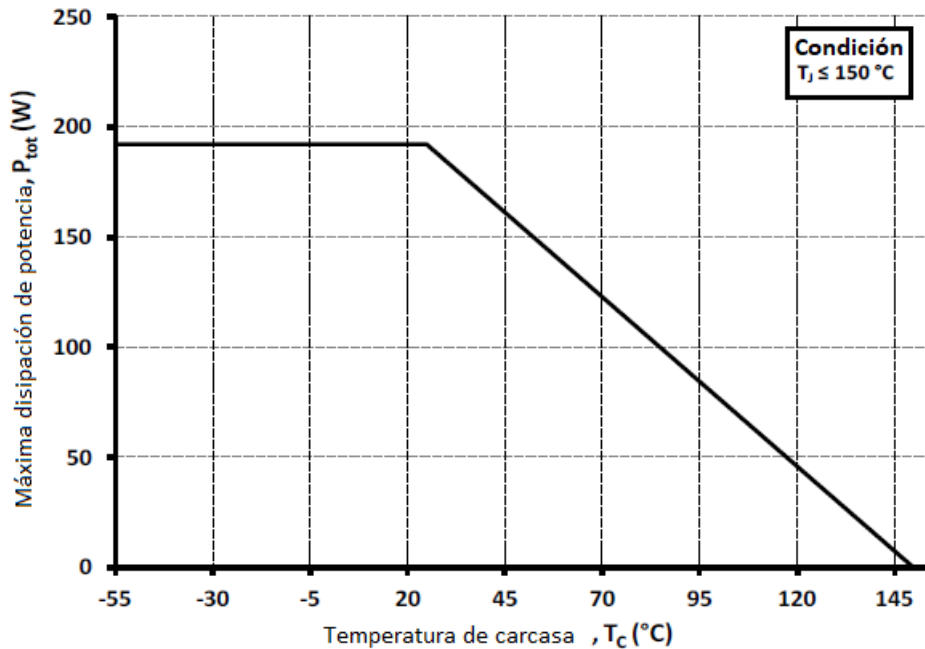


Figura 1.17: Máxima potencia permisible de disipación en el C2M0080120D, SiC MOSFET de segunda generación de Cree.

En la figura 1.17 puede observarse lo mencionado anteriormente. Si bien, mientras que la temperatura de carcasa sea menor que 25°C el parámetro se mantiene constante, cuando la temperatura es mayor se genera una recta con pendiente negativa, en efecto, a mayor temperatura, menor potencia máxima permisible de disipación.

En cuanto a las características estáticas, es importante remarcar que deben tenerse en cuenta las condiciones a las que fueron medidas para verificar la utilidad de las mismas en los proyectos particulares. Las más importantes de estas para circuitos de electrónica de potencia son las siguientes:

- $V_{GS(TH)}$: Tensión gate-source de disparo. Se suelen indicar tres valores, el mínimo, el típico, y el máximo. Para lograr conmutaciones eficientes es necesario que la tensión gate-source aplicada supere con cierto margen a la máxima $V_{GS(TH)}$ indicada por el fabricante. Para SiC MOSFETs este parámetro varía entre 2 y 4V.

- $V_{(BR)DSS}$: Tensión drain-source de ruptura. Este valor indica la máxima tensión configurable entre drain y source. En SiC MOSFETs este valor alcanza hasta los 1700 V en algunos modelos.
- g_{fs} : Transconductancia. Indica el valor de la pendiente de la curva de I_{DS} vs V_{GS} para un valor fijo de tensión V_{DS} . En SiC MOSFETs la transconductancia varía entre 6 y 10 S. Para este parámetros, bajos valores implican altos niveles necesarios de tensión V_{GS} para lograr la saturación del dispositivo.
- $t_{don}, t_{doff}, t_r, t_f$: Tiempo de encendido, tiempo de apagado, tiempo de crecimiento y tiempo de caída, respectivamente. Los mismos varían entre 8 y 30 nS para SiC MOSFETs. Adquieren gran relevancia para el cálculo de frecuencias máximas de operación y pérdidas por conmutación.
- $R_{G_{int}}$: Resistencia interna de gate. Factor importante que debe considerarse para el cálculo de la resistencia externa de gate óptima en circuitos en donde el MOSFET trabaje como elemento de conmutación. El valor de este parámetro limita la velocidad de conmutación del dispositivo, mientras mayor sea la resistencia, menor es la frecuencia máxima de conmutación posible. En SiC MOSFETs varía usualmente entre 4 y 6 Ω .
- Q_{GS}, Q_{GD}, Q_G : Carga gate-source, carga gate-drain, carga total de gate, respectivamente. Este parametro también debe considerarse para el cálculo de la resistencia externa de gate. En cuanto a los dos primeros, sus valores oscilan entre 12 y 30 nC. Mientras que para el último mencionado, su valor varía entre 50 y 80 nC.
- R_{JC}, R_{JA} : Resistencia térmica de junta-carcasa y resistencia térmica de junta-ambiente respectivamente. Valores relevantes en el diseño térmico y cálculo de disipadores. Para SiC MOSFETs R_{JC} varía entre 0.5 y 1 $^{\circ}\text{C}/\text{W}$, mientras que R_{JA} oscila entre 30 y 50 $^{\circ}\text{C}/\text{W}$

A su vez, los fabricantes informan las características del diodo de cuerpo de los MOSFETs. La tensión del diodo en directa (V_{SD}), la corriente en directa repetitiva máxima (I_S), la corriente pico de recuperación en inversa (I_{RRM}), el tiempo de recuperación en inversa

(t_{rr}) y la carga de recuperación en inversa (q_{rr}) suelen ser los parámetros informados en la mayoría de hojas de datos.

Por ejemplo para el C2M0080120D, MOSFET de la segunda generación de Cree, se informan los siguientes valores:

- V_{SD} : 3.3 V.
- I_S : 36 A.
- I_{RRM} : 10 A.
- t_{rr} : 32 ns.
- q_{rr} : 192 nC.

1.4. Drivers para Semiconductores de Potencia Basados en SiC

Generalmente, si se entiende a un convertidor de potencia como un sistema, este está compuesto por tres principales bloques:

- Controladores.
- Drivers.
- Semiconductores de potencia.

Es entonces importante comprender como controlar los semiconductores de potencia. Estos dispositivos conmutan su estado de encendido a apagado (o saturado a cortado) con el fin de lograr una transferencia de potencia eficiente en un circuito electrónico. La frecuencia y forma con que lo hacen, está dictado por un controlador, sin embargo este dispositivo no es capaz de generar las señales necesarias para el apagado y encendido eficiente de los semiconductores de potencia.

Un driver es un elemento que actúa como interfaz entre el controlador y el dispositivo de potencia. Este dispositivo toma las señales del controlador y de manera eléctricamente aislada, las amplifica y adapta de manera que estas nuevas señales posean los niveles de corriente y tensión que permitan conmutaciones controladas eficientes del dispositivo de potencia.

Para asegurar un buen funcionamiento de los dispositivos de potencia asociados, los drivers deben poseer ciertas funcionalidades que dependen de la tecnología de las llaves semiconductoras. En base a las características intrínsecas del carburo de silicio, descritas en la sección 1.3 y las ventajas y limitaciones de los SiC MOSFETs expuestas en la sección 1.3.2, los drivers utilizados para este tipo de llaves suelen contar con las siguientes características:

- Alta tensión de alimentación (20 a 30V) para lograr reducir corriente I_{DS} , disminuyendo así las pérdidas por conducción de la llave. De esta forma la eficiencia aumenta.
- Capacidad de abastecer y sustraer corrientes elevadas en la compuerta de manera de disminuir las pérdidas por conmutación.

- Protección contra cortocircuitos más rápida que en IGBT o MOSFETs de silicio. Este requerimiento está basado en que los SiC MOSFETs conmutan de forma más veloz que los mencionados dispositivos, por lo que una protección lenta puede ser destructiva para la llave y para distintos componentes que integren los circuitos.
- Mínima propagación de retardos (como tiempos de crecimiento, de establecimiento, de caída, etc) y variaciones, para lograr conmutaciones más rápidas.
- Protección UVLO (*por sus siglas en inglés: Under Voltage Lock Out*). Si la tensión entre gate y source no alcanza cierto nivel negativo, el dispositivo de potencia no se corta absolutamente provocando mayores pérdidas que reducen la eficiencia. Esta protección debe sensar el nivel de tensión entre gate y source y no permitir la operación en caso de no alcanzar un cierto valor.
- Inmunidad a altos valores de dv/dt , para lograr operaciones robustas. Con el objetivo de lograr conmutaciones rápidas, el controlador debe enviar señales con tiempos de crecimiento y caída lo más pequeños posibles. Como el driver se encarga de replicar estas señales y adaptarlas a los valores de tensión y corriente necesarios para la conmutación de las llaves, altos valores de dv/dt estarán presentes en distintas partes del circuito. El driver debe ser capaz de soportarlos, ya que los mismos son necesarios para una operación eficiente.

1.5. Objetivos y Estructura del Proyecto

El objetivo del proyecto es el diseño, construcción y validación experimental de un bloque constructivo de electrónica de potencia tipo HB, construido con semiconductores de potencia de SiC. El mismo es validado operando como inversor DC-AC, convertidor elevador DC-DC (boost) y convertidor reductor DC-DC (buck).

Estructura del Proyecto

El presente escrito consta de 5 capítulos. Posterior a este primer capítulo introductorio, se incluye el de diseño del BCEP en el cual se muestra el proceso de selección de componen-

tes a partir de requerimientos propuestos y/o cálculos, se define la frecuencia de operación óptima en base a los componentes seleccionados, se incluye un diseño térmico para la selección de un disipador óptimo y en base a esta elección se calcula la máxima potencia entregable por el BCEP en sus distintas configuraciones.

En el capítulo 3, se describe el uso de software, normas y herramientas para el diseño y montaje del BCEP. A su vez, se explica la forma final del PCB generado, y por último se muestra en su forma real.

El capítulo 4, incluye las simulaciones y mediciones experimentales del BCEP en distintas configuraciones, cuyas comparaciones permiten una validación del prototipo. Se añaden también cálculos de eficiencia energética.

En el capítulo 5, se encuentran las conclusiones de esta tesis en donde se analizan el cumplimiento de objetivos y demás cuestiones, y se presentan posibles trabajos futuros.

Finalmente, se incluyen apéndices que contienen información teórica ampliatoria de diversos aspectos tratados en los capítulos, los códigos fuentes creados para la estrategia de conmutación, circuitos esquemáticos generados y PCBs resultantes.

Capítulo 2

Diseño del Bloque Constructivo de Electrónica de Potencia

2.1. Introducción

En este capítulo se aborda el diseño del BCEP. En el mismo se tratan tanto a los aspectos relacionados con el manejo de potencia, como a las señales que comandan a los drivers. Como punto de partida, se muestra el modelo propuesto para la implementación del sistema. Luego se establecen los parámetros eléctricos claves para la selección de los componentes de cada subsistema, se muestra la configuración propuesta mediante esquemas, y finalmente se desarrolla la elección desde un punto de vista técnico-económico. En la última sección del capítulo se describe el cálculo térmico del convertidor, con el fin de seleccionar los disipadores requeridos y garantizar el correcto desempeño en condiciones nominales.

El sistema completo está concebido de manera modular, y consiste en tres subsistemas distintos los cuales son:

- **Bus de Tensión de Corriente Continua:** consiste en capacitores de distintas tecnologías, generando un arreglo de alta capacidad y baja tolerancia.
- **Rama del Convertidor:** integra los componentes semiconductores requeridos para conversión de potencia y los drivers de las llaves semiconductoras.
- **Elementos Relacionados al Control (Sensados):** consta de los elementos necesarios

para el sensado de la tensión del bus y la corriente de salida.

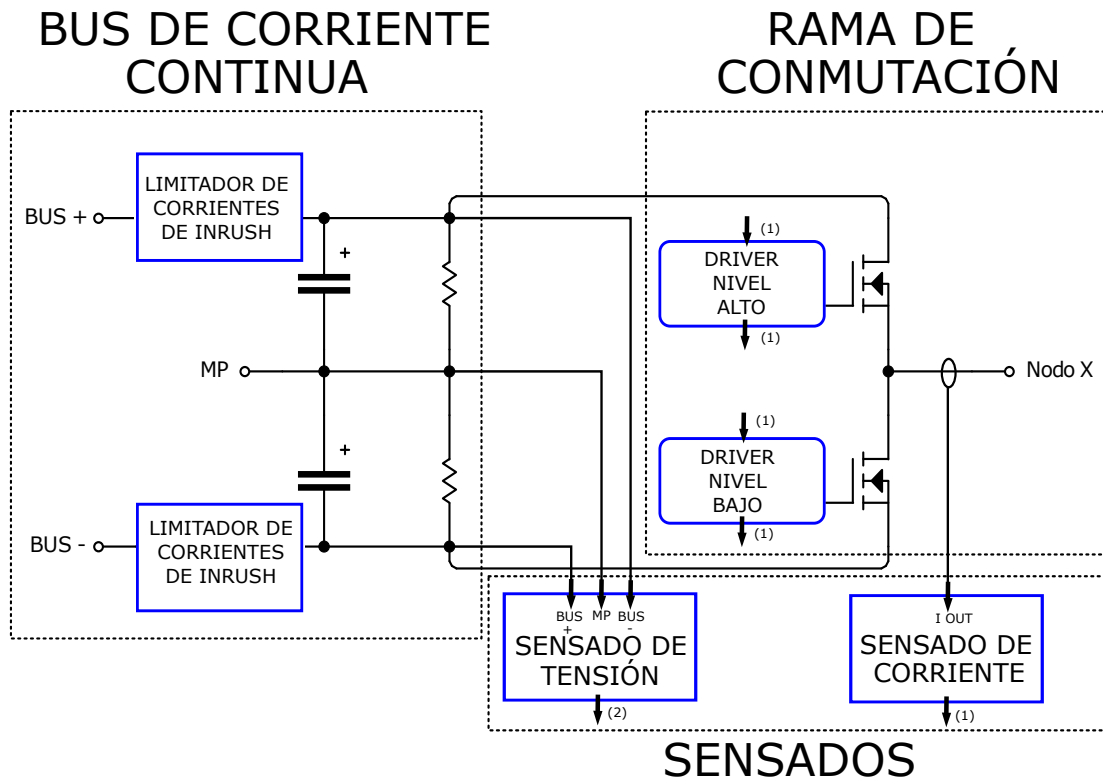


Figura 2.1: Implementación Propuesta: Bus de Tensión - Rama de conmutación - Sensores.

La figura 2.1 muestra el diseño modular propuesto. El banco de capacitores de corriente continua posee circuitos limitadores de corrientes de inrush en los bornes BUS+ y BUS-. El sensor de corriente se dispone de tal manera de medir la corriente que circula entre el punto medio de la rama de conmutación y el Nodo X, el cual sirve para conectar el BCEP a un punto de tensión inferior a la del Bus de CC. Por otro lado, el sensor de tensión mide tanto la diferencia de potencial existente entre BUS+ y MP, como la tensión entre MP y BUS-. Cada llave de la rama del convertidor cuenta con su respectivo circuito de driver, los cuales se encargan, mediante señales externas provenientes del controlador, de comandar la conmutación de su llave asociada. A su vez, en paralelo a los capacitores se conectan resistencias de balance para equilibrar las impedancias del Bus de CC respecto al punto medio. Esto implica que las diferencias de potencial entre Bus y MP, y entre MP y BUS- sean iguales si se alimenta al Bus de CC con fuentes simples.

2.1.1. Requerimientos

Como punto de partida para el diseño, se tomaron en cuenta los parámetros detallados en el cuadro 2.1.

Cuadro 2.1: Parámetros requeridos para el convertidor

Parámetro	Valor
P_{op}	2.5 KW
V_{op}	800 V
f_{sw}	$\geq 20KHz$

- P_{op} es la potencia de operación del bloque. Mediante configuraciones que involucren varios BCEPs como las mostradas en la sección 1.2 la potencia de operación del conjunto es de 5 kW en el caso de un puente completo, o 7.5 kW para el caso de un inversor trifásico.
- V_{op} es la tensión de operación del bloque. Si el bloque trabaja como inversor DC-AC o como convertidor buck DC-DC, es la tensión continua de entrada al sistema. Si trabaja como convertidor boost DC-DC es la tensión de salida del sistema.
- f_{sw} es la frecuencia de conmutación de las llaves de potencia. Para aprovechar las ventajas de SiC MOSFETs respecto a los IGBTs, la frecuencia de operación debe ser por lo menos de 20 kHz, un valor que causaría problemas en la mayoría de los IGBTs comerciales, pero no así con los SiC MOSFETs.

Habiendo definido los requerimientos, se procede con el diseño de cada subsistema.

2.2. Rama de Conmutación

2.2.1. Llaves Semiconductoras

En base a la información proporcionada en el Capítulo 1, se escogió trabajar con MOSFETs de SiC como elementos de conmutación.

Fueron seleccionados los MOSFETs *C2M0080120D* de *Cree*. Los mismos son pertenecientes a la segunda generación de SiC MOSFETs de *Cree*, y resultan adecuados para el cumplimiento de los requerimientos mencionados anteriormente.

Las características más importantes del SiC MOSFET seleccionado, se enlistan a continuación:

- $V_{DS(MAX)}=1200\text{ V}$
- $I_{D(MAX)}=36\text{ A}$
- $R_{DS(ON)}$: Variable entre $75\text{ m}\Omega$ y $215\text{ m}\Omega$ dependiente de las condiciones de operación.
- $V_{GS(MAX)}$: $-10/25\text{V}$
- P_D : 195 W , con $T_C=25^\circ\text{C}$. 50W , para $T_C=115^\circ\text{C}$
- T_j : $-55/150^\circ\text{C}$
- V_{TH} : 2V (valor mínimo). 4V (valor máximo).
- $g_{fs}= 8.1\text{ S}$
- $C_{iss}=950\text{pF}$, para $V_{DS}=1000\text{V}$ y $f=1\text{MHz}$.
- $C_{oss}=80\text{pF}$, para $V_{DS}=1000\text{V}$ y $f=1\text{MHz}$.
- $C_{rss}=7.6\text{pF}$, para $V_{DS}=1000\text{V}$ y $f=1\text{MHz}$.
- $t_{d(on)}=11\text{ns}$
- $t_{d(off)}=23\text{ns}$
- $t_r=20\text{ns}$
- $t_f=19\text{ns}$
- $R_{G(int)}=4.6\ \Omega$
- $Q_{GS}=15\text{nC}$
- $Q_{GD}=23\text{nC}$

- $Q_G=62\text{nC}$
- $R_{JC}=0.60^\circ\text{C/W}$
- $R_{JA}=40^\circ\text{C/W}$

2.2.2. Frecuencia de Conmutación

Para el cálculo de la frecuencia óptima de conmutación se utilizaron las formulas, ecuaciones y recomendaciones existentes en una nota de aplicación referida a las pérdidas de energía en MOSFETs como elemento de conmutación, publicada por *ROHM Semiconductor* en el año 2016. [6]

La potencia de disipación máxima soportada por el MOSFET *C2M0080120D* es variable con la temperatura de carcasa como puede observarse en la figura 2.2. El gráfico que se muestra está definido para una temperatura de juntura menor a 150°C .

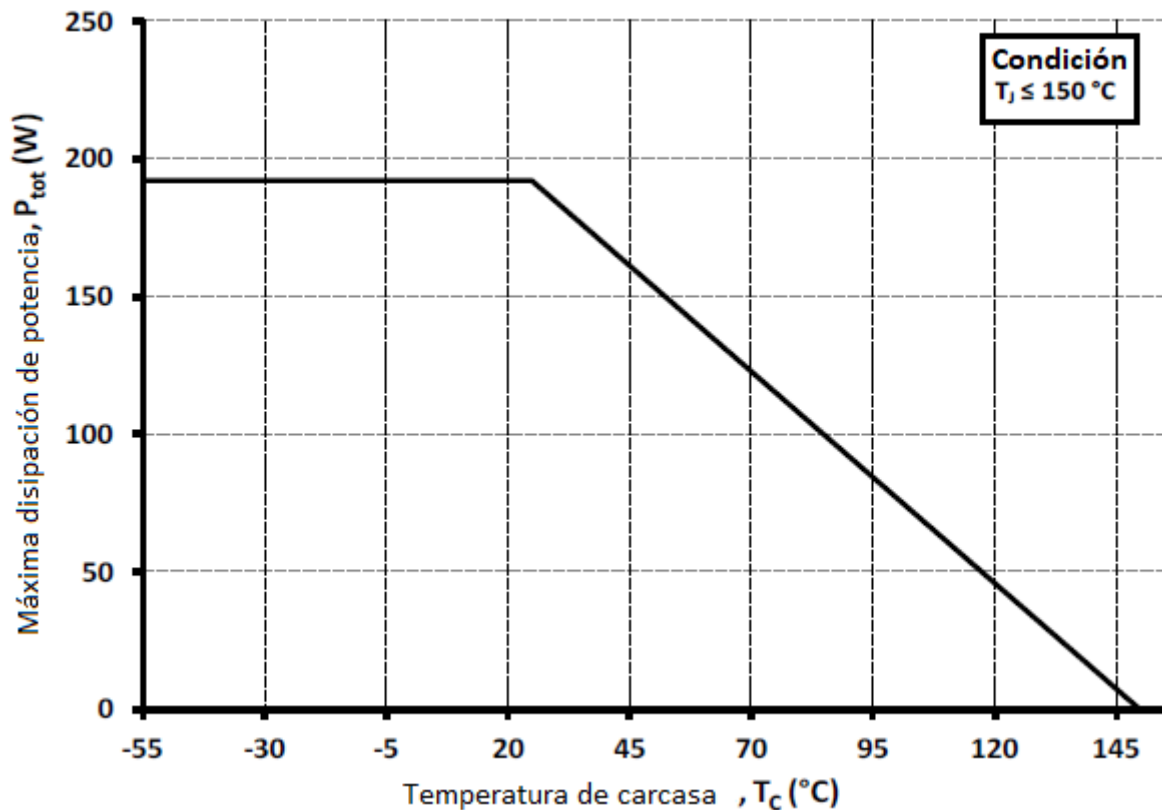


Figura 2.2: Máxima potencia disipada permisible de MOSFET *C2M0080120D* en función de la temperatura de carcasa.

Si se toma como una temperatura de carcasa aceptable los 110 °C, la disipación máxima soportada por la llave semiconductor es de aproximadamente 60W. Sin embargo, en base a posibles variaciones, sobrepicos por conmutación, y demás efectos, no es recomendable trabajar sobre el máximo nivel permisible. En efecto, tomando un conservador factor de derating de 0.5, se adopta un valor de 30W como potencia máxima disipada por cada llave. En base a este valor y a las expresiones que se incluyen a continuación se procede al cálculo de frecuencia de conmutación óptima.

Las pérdidas por conducción de los MOSFETs se definen como:

$$P_{cond} = I_{DS}^2 \times R_{DS_{ON}} \quad (2.1)$$

Siendo ΔT la suma de los tiempos de encendido y apagado de la llave (en base a la hoja de datos del C2M0080120D, aproximadamente 40 nS en total).

Mientras que las pérdidas por conmutación, están definidas por:

$$P_{sw} = 0,5 \times I_{DS} \times V_{op} \times f_{sw} \times \Delta T \quad (2.2)$$

A su vez, las perdidas debidas a la descarga de la capacitancia C_{OSS} sobre el diodo de cuerpo al apagarse el dispositivo, están dadas por:

$$P_{C_{OSS}} = 0,5 \times f_{sw} \times V_{op}^2 \times C_{OSS} \quad (2.3)$$

Se analiza el peor de los casos para los parámetros de tensión y corriente. Para la tensión V_{op} , su máximo valor es 800V, mientras que la corriente se calcula a continuación tomando las siguientes consideraciones:

- A fines de tomar un margen de seguridad para el correcto funcionamiento del bloque, se impone una potencia de operación de 3kW, con óptima eficiencia de conversión.
- Se evalua al bloque como un convertidor DC-AC para generar una forma sinusoidal de 220 V de tensión eficaz.
- Se desprecia el valor pico del ripple de la corriente de salida.

Tomando en cuenta que se conoce tanto la tensión como la potencia de salida, se procede a calcular la corriente eficaz.

$$220V \times I_{RMS} = 3000W$$

$$I_{RMS} = 13,63A$$

A sabiendas que la tensión de entrada es $\pm 400V$, para lograr 311V pico de alterna, es necesario generar una diferencia de potencial absoluta de 622V, por lo que el ciclo de trabajo máximo es:

$$d_{MAX} = \frac{311}{400} = \frac{622}{800} = 0,7775$$

Mientras que el ciclo de trabajo mínimo está dado por el complemento a 1 del ciclo de trabajo máximo, es decir:

$$d_{MIN} = 1 - d_{MAX} = 0,2225$$

En efecto, la corriente máxima promedio en la llave superior está dada por:

$$I_{MAX} = d \times I_{RMS} = 0,775 \times 13,63A \simeq 10,56A$$

Mientras que el ciclo de trabajo mínimo genera una corriente máxima de igual valor en la llave inferior.

Reemplazando este valor en la ecuación 2.1, y fijando $R_{DS_{ON}}$ en 120 m Ω (valor adecuado para las condiciones de temperatura de juntura a asumir), se obtienen las pérdidas por conducción máximas para las llaves:

$$P_{cond} = I_{DS}^2 \times R_{DS_{ON}} = (10,56A)^2 \times 120m\Omega = 13,5W$$

Un criterio muy utilizado por los diseñadores de circuitos de potencia, es igualar las pérdidas por conducción a las pérdidas por conmutación. Utilizando este criterio, y despreciando inicialmente las pérdidas P_{COSS} es posible calcular la frecuencia de conmutación óptima en base a la ecuación 2.2:

$$P_{sw} = 0,5 \times 15A \times 800 \times f_{sw} \times 40nS = 13,5W$$

$$f_{sw} = \frac{P_{sw}}{0,5 \times 15A \times 800 \times 40nS} = 56,250kHz$$

En base a la aproximación realizada, si se trabaja sin tiempos muertos, las pérdidas totales en las llaves semiconductoras están dadas por:

$$P_{total} = P_{sw} + P_{cond} \quad (2.4)$$

Por lo que con los valores calculados, las pérdidas totales son:

$$P_{total} = 13,5W + 13,5W = 27W$$

El valor resultante para la potencia disipada en cada MOSFET es un 10% menor al límite de 30W mencionado en párrafos anteriores.

Sin embargo, el hecho de agregar tiempos muertos puede generar aumentos del orden del 10% en las pérdidas totales, dependiendo de la duración de estos tiempos. En efecto, en el peor de los casos, las pérdidas totales podrían exceder el límite impuesto.

Para poder evitar situaciones problemáticas relacionadas al efecto de los tiempos muertos, es posible reducir la frecuencia de conmutación. Si se adopta una frecuencia de 50 kHz, las pérdidas por conmutación disminuyen a un valor de 12 W. Así, la potencia máxima teórica disipada en cada llave semiconductor, considerando también las pérdidas P_{COSS} están dadas por:

$$P_{total} = 1,1 \times (P_{sw} + P_{cond} + P_{COSS}) \quad (2.5)$$

Siendo:

$$P_{COSS} = 0,5 \times 50kHz \times (622V)^2 \times 80pF = 0,773W$$

Por lo que:

$$P_{total} = 1,1 \times (12W + 13,5W + 0,773W) = 28,9W$$

De esta forma, la máxima potencia disipada en cada MOSFET de forma teórica contemplando el agregado de pérdidas debidas a la capacidad parásita de salida y pérdidas debidas a tiempos muertos, no supera el valor límite. A su vez, la frecuencia de conmutación resultante, cumple con el objetivo planteado en la sección 1.5.

2.2.3. Drivers

Como se explicó en el capítulo anterior, el driver es el encargado de proporcionar los niveles de tensión y corriente necesarios para conmutar correctamente al MOSFET a partir de una señal lógica.

De acuerdo con la hoja de datos del *C2M0080120D* los drivers deben proporcionar señales de control con niveles de amplitud de hasta 20 V para el encendido, y de por lo menos -5 V para el apagado. Aunque deben tomarse factores de derating adecuados para no operar sobre los valores máximos y mínimos de tensión V_{GS} de saturación y corte del MOSFET. Según el fabricante del MOSFET en cuestión, es recomendable operar con niveles +18V/-6V.

Para seleccionar los drivers se tomaron en cuenta las cuestiones mencionadas en el capítulo 1 respecto a la tecnología del mismo, requerimientos generales para drivers de semiconductores de SiC, los requerimientos específicos descritos en la tabla 2.1 y a su vez, el cumplimiento de los objetivos para el proyecto, aludidos en la sección 1.5.

Se seleccionaron los drivers optoacoplados *ACPL-339J* de *Avago*. Además de las consideraciones mencionadas para su elección, la misma está también fundamentada en una nota de aplicación de *Avago* para el *ACPL-339J* en la cuál se utiliza como elemento de conmutación al *C2M0080120D* para la construcción de un convertidor. [7]

El *ACPL-339J* presenta las siguientes características:

- Circuito primario y secundario optoacoplados.
- Salida doble complementaria para accionar un buffer externo de MOSFETs (N y P).
- Control de tiempos muertos desde 0 nS a 400 nS, útil para prevenir la conducción simultanea de los MOSFETs.
- Circuito de detección de desaturación de las llaves.
- Protección de apagado por baja tensión (UVLO, por sus siglas en inglés: Under Voltage Lock-Out) con histéresis para niveles de alimentación positivos y negativos.
- Corriente de entrada al LED del circuito primario de 6.0 mA a 10.0 mA.

- Amplio rango de VCC: 15 V a 30 v.

Para lograr conmutaciones más rápidas, se interpone entre la salida del driver y el gate de cada MOSFET, un buffer complementario de MOSFETs (N y P). Mediante esta estrategia, se logra reducir en un 75% el tiempo de encendido o apagado de las llaves de conmutación.

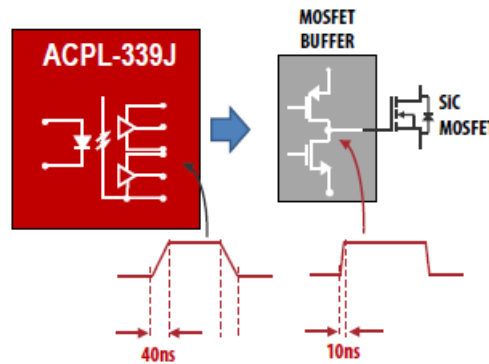


Figura 2.3: Función de buffer complementario de MOSFETs

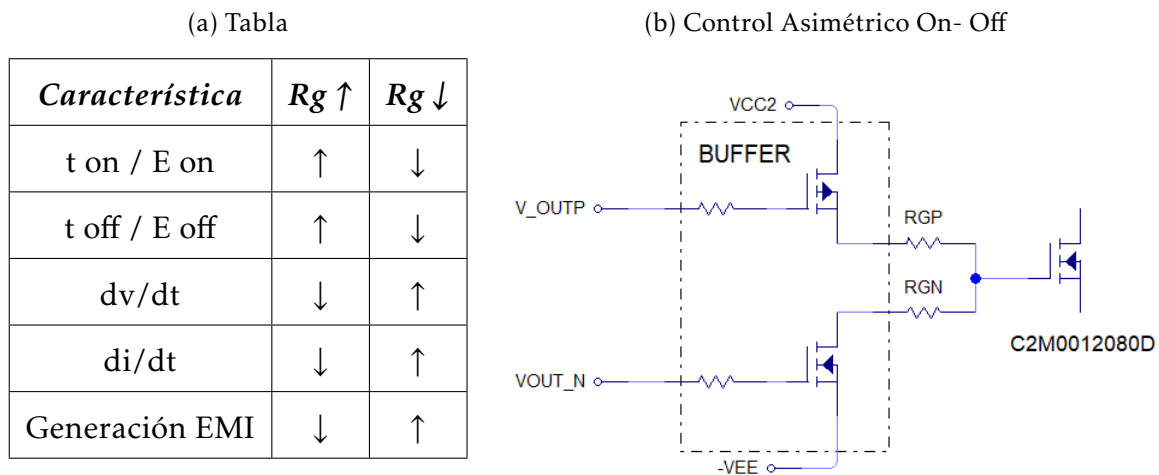
2.2.3.1. Resistencias de Disparo

La velocidad de conmutación de las llaves se controla mediante resistencias de disparo, ubicadas entre el buffer de MOSFETs y el terminal gate de los SiC MOSFETs. El valor de estas resistencias no sólo influye en el tiempo de conmutación, sino que además afecta a las pérdidas por conmutación, los parámetros de dv/dt y di/dt , la corriente de recuperación de los diodos de cuerpo de los MOSFETs y hasta incluso el espectro del EMI generado por las llaves.

Estas resistencias dictan cuál es el tiempo necesario para el encendido o apagado, limitando la corriente de carga del gate del MOSFET. Si se selecciona un valor reducido de resistencia, esta corriente alcanza valores pico mayores, y los tiempos de encendido (o apagado) serán menores, al igual que las pérdidas por conmutación. Sin embargo, se generan variaciones di/dt elevadas, al tratarse de valores elevados de corriente en tiempos reducidos. Este factor, sumado a las inductancias de dispersión, generan sobrepicos indeseados de tensión, que aumentan el riesgo de destrucción del MOSFET por sobretensión. Un resumen de dicha influencia de las resistencias se muestra en la tabla (a) de la figura 2.4.

Las resistencias de disparo deben superar cierto valor mínimo para que la corriente pico se encuentre debajo del máximo permitido para los MOSFETs del buffer. Las R_{DSon} internas

Figura 2.4: Resistencias de Disparo



de los MOSFETs del buffer deben tenerse en cuenta al calcular estas resistencias. En base a indicación del fabricante, se impone que:

$$\frac{V_{CC} - V_{EE}}{I_{ON(MAX)}} - R_{DSONN} \leq R_{GN} \quad (2.6)$$

$$\frac{V_{CC} - V_{EE}}{I_{OP(MAX)}} - R_{DSONP} \leq R_{GP} \quad (2.7)$$

Estas resistencias deben poseer tolerancia baja (**menor a 1%**) y bajo coeficiente térmico lo que se logra utilizando tecnologías de fabricación tales como la del tipo *Metal Film*. A su vez, debido a la corriente parásita que circula desde drain hacia gate en cada conmutación, deben ser capaces de disipar potencias considerables, del orden de 1W. Esta corriente se calcula en base a la siguiente expresión:

$$I_{DG} = C_{GD} \times \frac{dv}{dt} \quad (2.8)$$

El valor de resistencia seleccionado se basa en un criterio de funcionamiento usualmente utilizado en convertidores de potencia basados en SiC MOSFETs que recomienda un valor máximo de dv_{DS}/dt de 35V/nS [8].

Para el driver ACPL 339-J, el valor mínimo R_{GP} (o resistencia de encendido, R_{ON}) es de 4Ω. Como se mencionó anteriormente, el driver permite un control asimétrico de la corriente de gate (como se muestra en figura 2.4 (B)). Para la mayoría de aplicaciones, R_{GN} (o resistencia de apagado, R_{OFF}) está comprendido entre aproximadamente el valor de R_{GP} y el doble de R_{GP} . Luego, el valor mínimo de R_{GN} es también 4Ω.

Para obtener el valor óptimo se simula mediante el simulador circuital NL5 [9] la conmutación de las llaves, utilizando un modelo detallado de las mismas, es decir, teniendo en cuenta inductancias y capacitancias parásitas, como así también la resistencia interna de compuerta.

La simulación consta de los elementos presentes en el circuito esquemático de la figura 2.4 y sus componentes parásitos (se abundará en detalles de las simulaciones en el capítulo 3), haciendo conmutar la llave entre 0 y 800V, con una resistencia de carga de 64Ω . Los valores de las resistencias de gate se cambian hasta lograr un resultado adecuado al criterio de diseño.

A medida que se toman valores mayores para las resistencias, disminuye el sobrepico de corriente en los MOSFETs, pero la duración de este efecto transitorio se hace mayor, aumentando de esta manera a las pérdidas por conmutación.

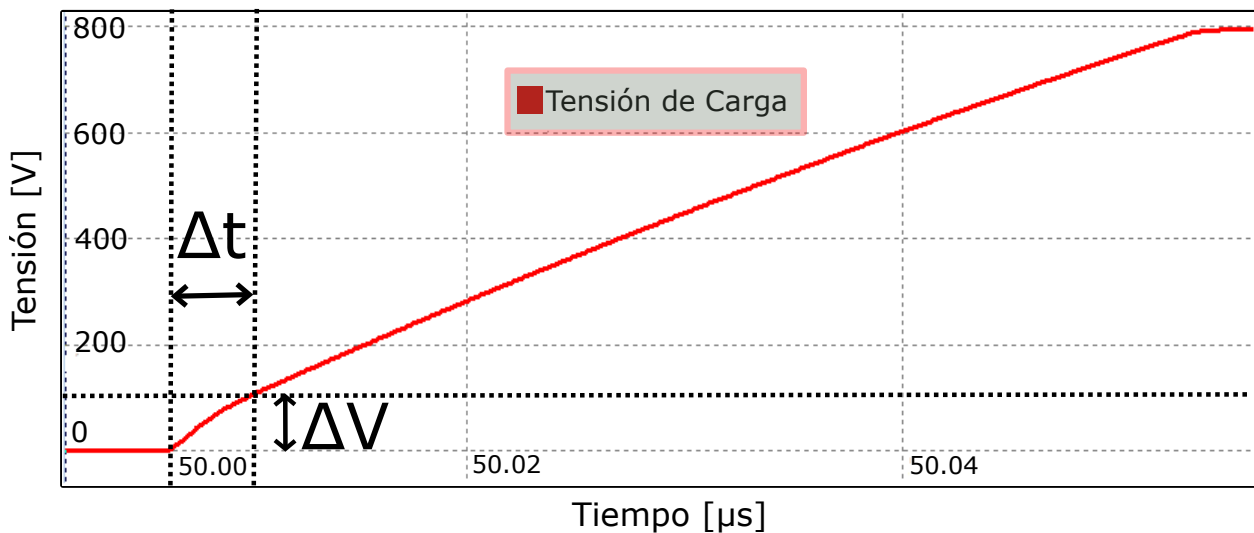


Figura 2.5: Resultado de simulación en NL5. Tensión en carga resistiva con $R_{ON}=4\Omega$ y $R_{OFF}=5\Omega$

En la figura 2.5 se hace una ampliación de la transición en la forma de onda de tensión que se presenta en la carga resistiva, al conmutar la llave de estado apagado a encendido. Para el caso de la figura, los resultados se corresponden a $R_{ON}=4\Omega$ y $R_{OFF}=5\Omega$, que son los óptimos.

Para calcular la máxima dv/dt , se miden las variaciones de tensión y tiempo en la zona de mayor variación, los resultados obtenidos se enlistan a continuación:

- $\Delta V=101.21$ V

- $\Delta t = 3.03 \text{ nS}$
- $\Delta V / \Delta t = 33.40 \text{ V/nS}$

Tomando como válida la aproximación $(dV/dt) \approx (\Delta V / \Delta t)$ el resultado obtenido con los valores de resistencias mencionados es satisfactorio ya que cumple con todos los requisitos mencionados anteriormente. Si bien R_{OFF} podría también bajar su valor hasta obtener un valor aun más cercano al límite de 35 V/nS para (dV/dt) , se adoptan estos valores debido a que la simulación no contempla efectos de tiempos muertos que pueden variar los sobrepicos.

En base a las simulaciones, se determina una R_{ON} de 4Ω y una R_{OFF} de 5Ω .

2.3. Banco de Capacitores - Bus de CC

En circuitos de conversión de potencia, un bus de corriente continua es usualmente utilizado como etapa intermedia entre dos etapas de conversión de energía (por ejemplo, entre un convertidor AC-DC y un convertidor DC-DC). Sus principales funciones son prevenir que las transiciones de tensión y corriente provocadas en las conmutaciones en el lado de la carga, retornen hacia la etapa anterior de conversión, y minimizar el rizado y los picos de tensión de la etapa de entrada (para el ejemplo mencionado, proveniente de un rectificador AC-DC). Otras de sus utilidades son el almacenamiento de energía, y la provisión de un valor fijo de capacidad utilizable como capacidad de salida en convertidores DC-DC.

Para llevar a cabo sus principales funciones, es necesario que la impedancia resultante del bus, se mantenga baja en un amplio rango de frecuencias.

Actualmente, se utilizan capacitores de film, debido a sus muy bajas resistencias series equivalentes (ESR) e inductancias series equivalentes (ESL), además de altas frecuencias de autoresonancia. Sin embargo, sus costos son muy elevados, pudiendo ser hasta 5 veces los de un electrolítico de aluminio con características de capacidad y tensión equivalentes. En cuanto a capacitores cerámicos, para niveles de tensión cercanos a los 500 V , las máximas capacidades disponibles son del orden de los $20 \mu\text{F}$, con precios muy elevados (hasta U\$S 80), por lo que debido a estas características, no son tenidos en cuenta como dispositivo

predominante en buses de corriente continua.

Una implementación posible para lograr una capacidad relativamente alta y un amplio rango de frecuencias en donde la impedancia del bus de corriente continua se matenga relativamente baja es conectar capacitores en paralelo de distintos valores de capacidad y materiales dieléctricos. La impedancia resultante del posible arreglo se muestra conceptualmente en la figura 2.6.

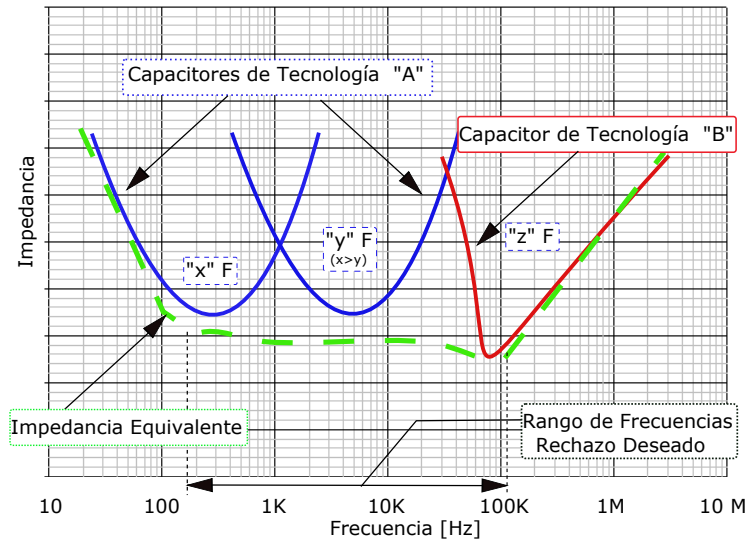


Figura 2.6: Impedancia equivalente de un banco genérico de capacitores de distintos dieléctricos y valores en paralelo: el resultado muestra el rechazo deseado en un rango extendido de frecuencias

Debido a la intención de minimizar costos, se optó por esta estrategia.

Para la selección de los capacitores que componen el bus de CC, se definió el valor máximo de tensión de diseño. El mismo, está limitado por la tensión entre drain y source V_{DS} de las llaves semiconductoras que integran el bloque. El fabricante define una $V_{DS_{MAX}}=1200$ V para los MOSFETs C2M0080120D. Sin embargo, este nivel es mayor al máximo impuesto para diseño de 400 V por rama (800 V entre las dos ramas), en efecto:

$$V_{Dmax} = 800V$$

Es decir, cada arreglo (o configuración de capacitores entre MP y $\frac{V_D}{2}$ o $-\frac{V_D}{2}$) puede estar sometido a una tensión de 400 VDC. Además, los capacitores deben estar especificados para una frecuencia de trabajo de 50 kHz.

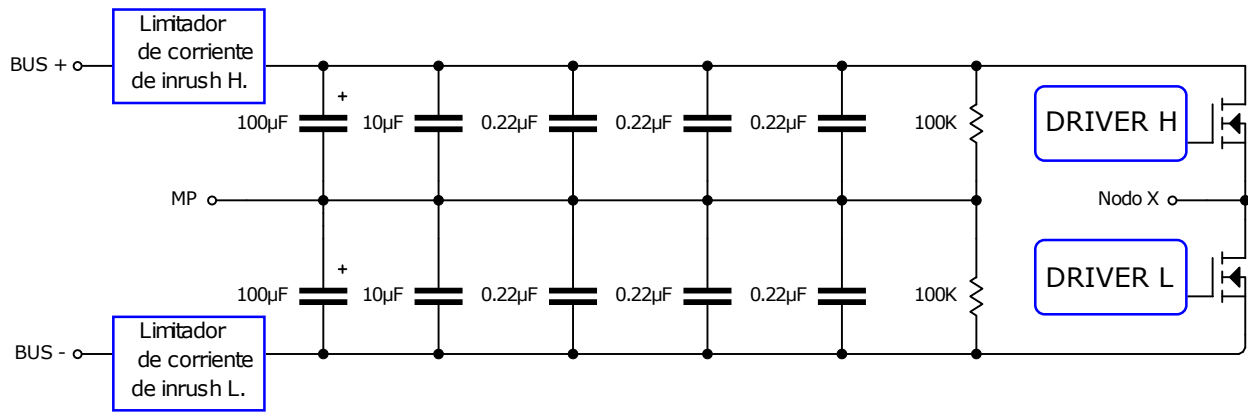


Figura 2.7: Configuración Capacitores para Bus de continua.

La figura 2.7 muestra un circuito esquemático parcial del banco de capacitores del módulo. La capacidad total del mismo está conformada por dos arreglos de capacitores compuestos por un capacitor electrolítico de $100\mu\text{F}$, un capacitor film de $10\mu\text{F}$, y 3 cerámicos de $0.22\mu\text{F}$.

El capacitor electrolítico de $100\mu\text{F}$ seleccionado es el *LGN2H101MELB25* fabricado por *Nichicon*, y está especificado para trabajar con tensiones de hasta 500 V. Mientras que el capacitor de $10\mu\text{F}$ escogido es el *MKP1848S61070JP2C* de film, fabricado por *Vishay*. Esta configuración resulta en una capacidad en cada nivel de $110,66\mu\text{F}$, o bien una capacidad total de $55,33\mu\text{F}$.

Para poder determinar la validez de la elección, debieron considerarse las ESR y ESL que cada uno de los capacitores seleccionados posee. Las mismas se detallan en el cuadro 2.2.

Cuadro 2.2: Valores de resistencias e inductancias parásitas serie.

Capacitor	ESR	ESL
$100\mu\text{F}$ (Aluminio)	10mΩ	28nHy
$10\mu\text{F}$ (Film)	6.4mΩ	25nHy
$0.22\mu\text{F}$ (Cerámico)	500mΩ	3nHy

En base a estos valores, se generó en MATLAB una gráfica del módulo de la impedancia de cada uno de los capacitores, y del arreglo completo (vista desde Bus+ y MP o entre MP y Bus-) en función de la frecuencia.

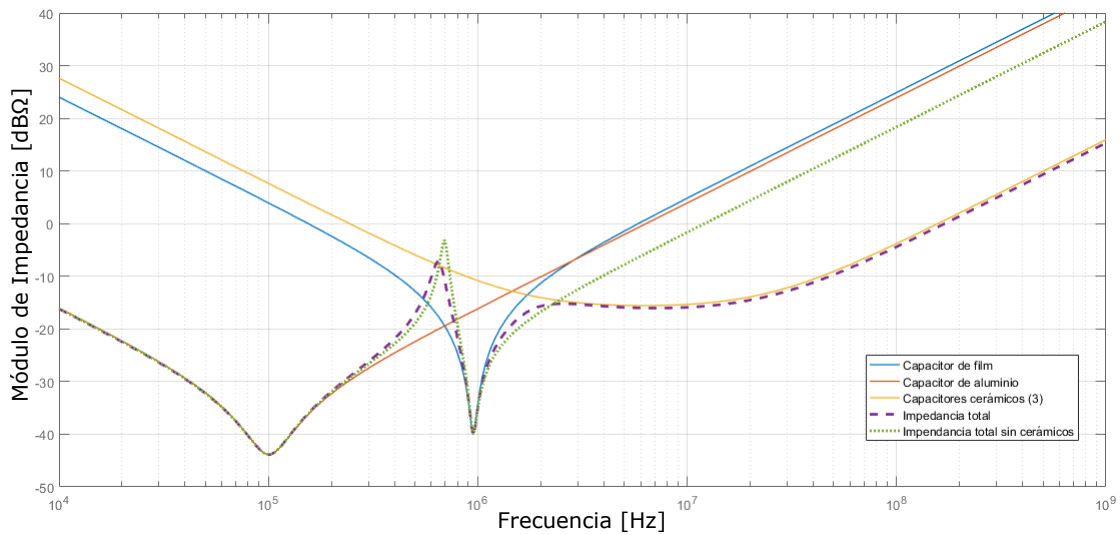


Figura 2.8: Módulo de impedancias equivalentes en función de la frecuencia.

En la figura 2.8 se logra apreciar el efecto de incluir distintas tecnologías de capacitores. La curva punteada en violeta indica el módulo de la impedancia resultante del arreglo diseñado, mientras que la curva punteada en verde, el módulo de la impedancia del arreglo sin incluir a los capacitores de cerámico. Comparando las mencionadas curvas, resulta notorio que a pesar de poseer un valor muy bajo de capacidad, los capacitores cerámicos amplían en más de una década el rango de frecuencias en que la impedancia del arreglo se mantiene menor que 0dBΩ.

Con el objetivo de balancear las tensiones entre los capacitores en régimen permanente, se conectan dos resistencias de 100 kΩ en paralelo a cada banco de capacitores. La potencia que disipa cada una de ellas para la tensión nominal del banco es:

$$P = \frac{\left(\frac{V_{nom}}{2}\right)^2}{R} = \frac{(400V)^2}{100K\Omega} = 1,6W$$

La resistencia seleccionada para esta función es la *SMF5100KJT* de 5W.

En función de los componentes adoptados para el bus de corriente continua, y sus resistencias e inductancias parásitas (para el caso de los capacitores), se generó un circuito para visualizar, mediante simulaciones, la distribución de las corrientes sobre los capacitores, el cual se muestra en la figura 2.9.

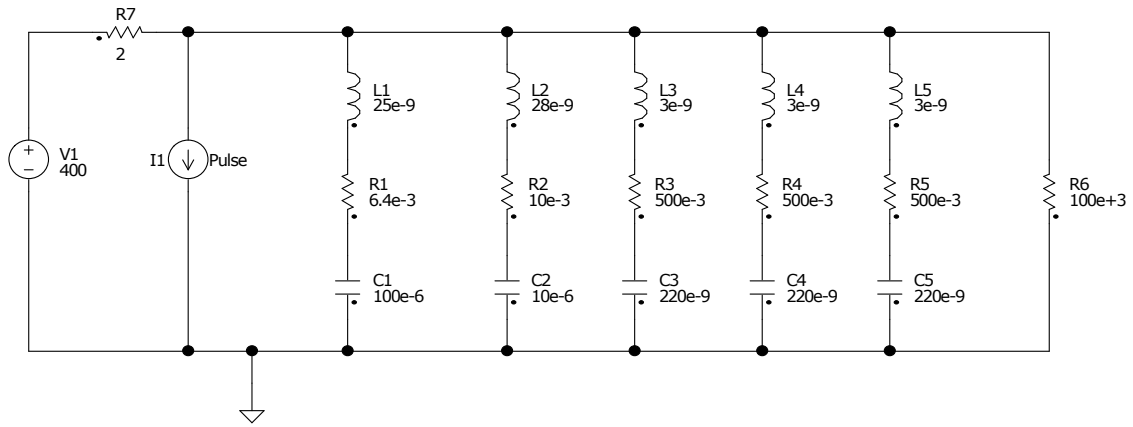


Figura 2.9: Circuito esquemático para simulación de comportamiento de bus de corriente continua.

El valor de la fuente de tensión se corresponde con el máximo que deben soportar los capacitores, mientras que para la fuente de corriente se adoptó una onda pulsada entre 6.25A y 0A, con un valor de frecuencia de 50 kHz.

Al realizar la simulación, las formas de onda de corriente en cada capacitor resultaron cómo se muestra en la figura 2.10.

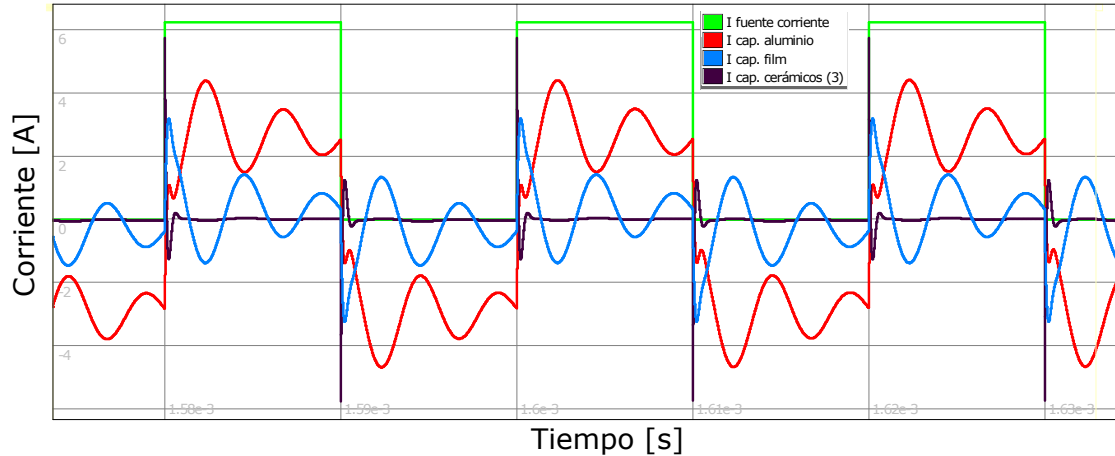


Figura 2.10: Resultado de simulación: Corrientes en capacitores del Bus de c.c.

Cómo se puede observar en la figura 2.10, la corriente circula mayormente por el capacitor de aluminio, debiéndose este hecho a que a una frecuencia de 50kHz, la impedancia predominante del arreglo implementado es la presentada por dicho capacitor. Nótese en la figura 2.8, que para la frecuencia impuesta, la impedancia del capacitor de film es menor que la de los capacitores cerámicos, y en efecto, circula menos corriente por estos que por el primero mencionado. En las zonas cercanas a los flancos de la señal de corriente de la fuente,

donde en base a un análisis de Fourier se concentran los armónicos de mayores frecuencias, la corriente circula mayormente por los capacitores cerámicos debido a su impedancia predominante en frecuencias altas.

Para poder demostrar la efectividad en la reducción de transiciones provenientes de la etapa de conmutación, en la etapa de entrada al bus de continua, se generó una gráfica de la corriente en la fuente de tensión. La misma se muestra en la figura 2.11.

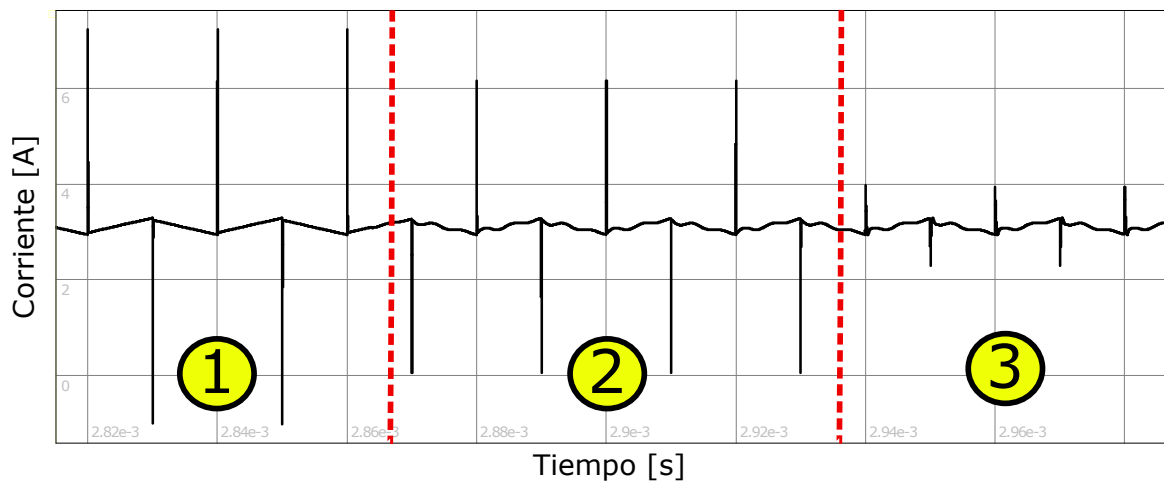


Figura 2.11: Resultado de simulación: Forma de onda de corriente en fuente de tensión.

Las 3 zonas marcadas en la figura 2.11 se corresponden a la forma de onda de corriente en la fuente de tensión incluida en el circuito esquemático de la figura 2.9. En cada una de las zonas se consideraron distintos capacitores.

En la zona 1, el único capacitor del bus de continua es el de aluminio ($100\mu\text{F}$). Se observan sobrepicos de valor pico a pico de 8.27A. En la zona 2, se agrega en paralelo el capacitor de film ($10\mu\text{F}$). Los sobrepicos de valor pico a pico se reducen a 6.1A. En la zona 3, se añaden los 3 capacitores cerámicos ($0.22\mu\text{F}$) en paralelo. Como se puede apreciar, los sobrepicos de corriente disminuyen de forma notoria, estableciéndose en un valor pico a pico de 1.64A. Comparando la zona 1 y la zona 3, es posible determinar que mediante la implementación de un bus de corriente continua con distintas tecnologías de capacitores, los sobrepicos de corriente en la entrada del mismo se reducen un 80% respecto a haber utilizado un único capacitor electrolítico de aluminio de $100\mu\text{F}$.

2.3.1. Estrategia de Limitación de Corrientes de Inrush

Cuando a un banco de capacitores descargados, se le inyecta un nivel de tensión continuo, circula transitoriamente una corriente de elevado valor limitada únicamente por las resistencias e inductancias parásitas del banco. Esta es la denominada *corriente de inrush*. Para limitarla se debe agregar un circuito de protección que actúe rápidamente y únicamente durante el transitorio.

Se evaluaron tres opciones:

- Resistencia conmutada mediante relé de estado sólido.
- Llave bidireccional de corriente controlada por tensión.
- Resistencia NTC (de coeficiente de temperatura negativo).

Cualquiera de las opciones debe ser intercalada entre las entradas de tensión positiva y negativa del bus, y los capacitores, como se muestra en la figura 2.7.

En los cálculos de eficiencia energética, para la máxima corriente se consideró al BCEP operando como inversor DC-AC. En ese caso, la corriente máxima a potencia nominal (2.5 kW), es de 3.125 A. Si el BCEP es utilizado como convertidor DC-DC buck, la corriente máxima posee el mismo valor. Como convertidor DC-DC boost, la corriente máxima es mayor, pero no se tiene en cuenta, ya que debido a que la corriente ingresa por el Nodo x circulando primero a través de un inductor, la misma queda limitada por el mencionado componente reactivo y en efecto es posible operar sin limitador de corrientes de inrush.

Resistencia conmutada mediante relé de estado sólido

Para analizar la opción de la resistencia conmutada mediante relé de estado sólido, se seleccionó un dispositivo que cumpla con los parámetros de corriente y tensión del proyecto. Uno de los problemas que presentan estos dispositivos, es que la mayoría basa su funcionamiento en SCRs (tiristores unidireccionales). En base a las limitaciones y requerimientos mencionados, se encontró como opción factible el *D507* fabricado por *Crydom*. Su circuito equivalente se muestra en la figura 2.12.

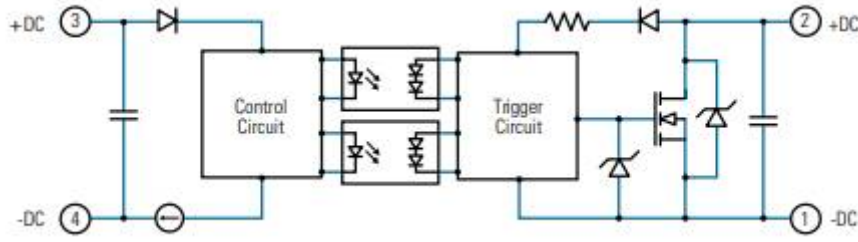


Figura 2.12: Circuito equivalente relé de estado sólido D507 de Crydom.

Básicamente, se conecta en paralelo a una resistencia de 400Ω . La corriente circula por ella hasta llegar a un cierto nivel de tensión en el bus de continua a partir del cual el relé se activa, prácticamente cortocircuitando la resistencia. La principal ventaja de este dispositivo es su resistencia de encendido cuyo valor es cercano a $70m\Omega$. En base al valor de la resistencia de encendido del relé y a una corriente máxima de $3.125A$, la potencia disipada en el relé está determinada por:

$$P_d = I^2 \times R = (3,125A)^2 \times 70m\Omega = 683mW$$

Por lo que las pérdidas porcentuales a potencia nominal en este dispositivo están dadas por:

$$\%p\u00e9rdidas = \frac{P_e}{P_d} \times 100\% = \frac{0,683W}{2500W} \times 100\% = 0,02734\%$$

De acuerdo a estos cálculos, esta resulta ser una opción sumamente eficiente en términos energéticos. Sin embargo, el costo unitario de cada relé en *Digikey* es de U\$S 85.00, por lo que no resulta una opción viable en términos económicos, debido al relativamente bajo precio de los demás componentes del BCEP.

Llave bidireccional de corriente

La segunda opción en cuestión, la llave bidireccional de corriente controlada por tensión, fue diseñada y simulada en *NL5*. Los circuitos se muestran en la figura 2.13 y en la figura 2.14.

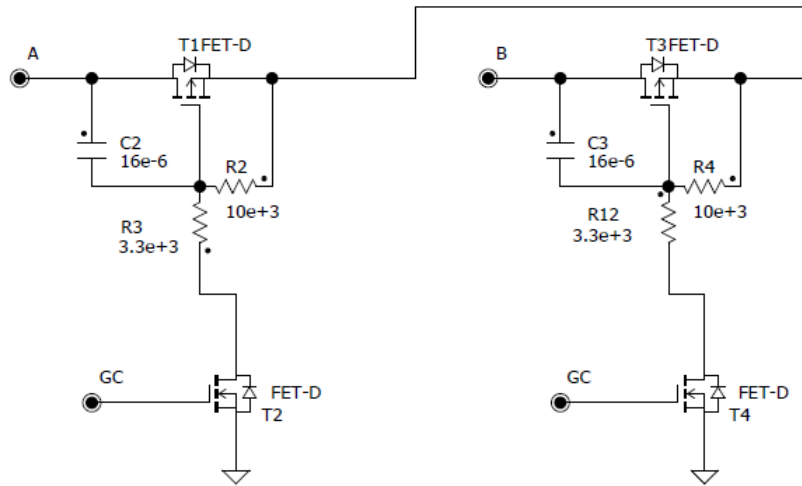


Figura 2.13: Circuito llave bidireccional en base a P-MOSFETs

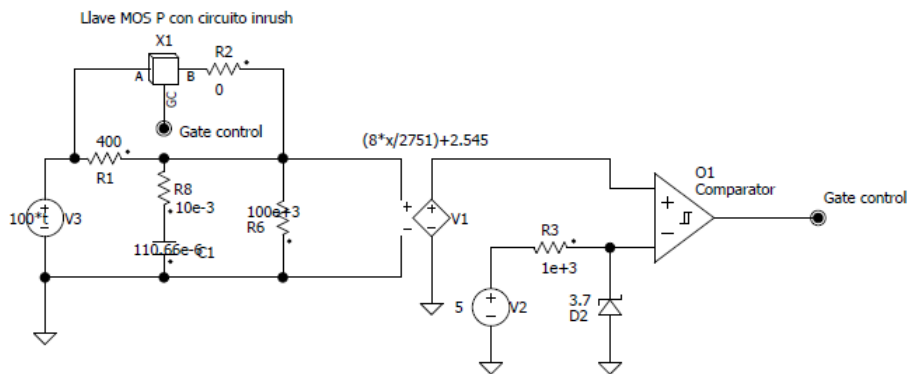


Figura 2.14: Circuito completo en base a bloques de subcircuitos en NL5. X1 representa al circuito de la figura 2.13

La salida del comparador envía una señal a *Gate control*. Esa señal llega a los MOSFETs T2 y T4, haciendo cortar o saturar a los MOSFETs de potencia T1 y T3 según sea el nivel de la señal (bajo o alto, respectivamente). La tensión en la entrada no inversora, es la del sensor de tensión cuyo funcionamiento será explicado en la sección 2.4.2, que consiste en un divisor resistivo y un amplificador opto aislado.

En la entrada inversora del comparador se utiliza un diodo zener actuando como tensión de referencia para el encendido de la llave. De esta forma, cuando la tensión del bus supera un cierto nivel, la salida del comparador es positiva haciendo conducir a la llave de P-MOSFET, prácticamente cortocircuitando la resistencia R1 de 400Ω.

Los MOSFETs de potencia seleccionados para analizar esta opción, fueron los IXTH8P50

fabricados por IXYS. Su resistencia de encendido para una corriente entre drain y source de 3A es de aproximadamente $1\ \Omega$. En efecto, la potencia disipada en los P-MOSFETS es:

$$Pd = I^2 \times Rds = (3,125A)^2 \times 1\Omega = 9,7656W$$

Por lo que las pérdidas porcentuales en cada limitador son:

$$\%p\u00e9rdidas = \frac{Pe}{Pd} \times 100\% = \frac{9,7656W}{2500W} \times 100\% = 0,39\%$$

Si bien las pérdidas aumentan respecto a la primera opción evaluada, en base a su bajo porcentaje respecto a la potencia total, es correcto considerar a esta como una opción energéticamente eficiente. A su vez, el costo total de los componentes para la llave es menor a 20U\$. Es decir, aumenta considerablemente la eficiencia económica respecto a la opción del relé de estado sólido. Su principal desventaja es la elevada cantidad de componentes utilizados, los cuales demandarían un gran espacio en la placa.

Resistencia NTC

La tercera opción es utilizar una resistencia de coeficiente térmico negativo (NTC, por sus siglas en inglés: Negative Thermal Coefficient), también conocido como termistor NTC. Esta es una estrategia muy utilizada en dispositivos de potencia. Cuando no circula corriente por una resistencia NTC, la misma presenta una resistividad alta. Esto, permite que al conectar una fuente de tensión al bus descargado, la corriente que circule por el mismo, se encuentre limitada. Al circular corriente por la resistencia durante un cierto tiempo, la misma comienza a elevar su temperatura y en consecuencia, debido a su coeficiente térmico negativo, a bajar su valor resistivo. De esta forma, la tensión en los capacitores aumenta gradualmente, y se logran reducir de manera considerable las corrientes de inrush.

Para la elección de una resistencia NTC como protección de corrientes de inrush es necesario tener en cuenta tres parámetros fundamentales:

- **Valor resistivo a temperatura ambiente.** El mismo debe ser lo más alto posible para reducir en gran medida el pico de la corriente de inrush.
- **Valor resistivo en condiciones de carga.** El mismo debe ser lo más bajo posible, ya que será un factor determinante en la eficiencia energética de la solución propuesta.

- **Máxima corriente soportada.** Debe ser mayor a la máxima corriente que circulará por esta sección del BCEP.
- **Máxima energía disipada.** Debe ser mayor a la energía necesaria para cargar la capacidad total del banco de capacitores.

En cuanto a la máxima energía disipada, ésta se calcula en función de la expresión:

$$U = 0,5 \times C \times V^2 \quad (2.9)$$

La ecuación 2.9 indica la energía almacenada por un capacitor que es función de la tensión aplicada entre sus bornes y la capacidad del mismo.

Para el banco de capacitores del BCEP, se tiene que para cada nivel, $C=110.66\mu F$. Mientras que la tensión de operación se define como $V=400V$. En efecto, reemplazando en la ecuación 2.9 se obtiene:

$$U = 0,5 \times 110,66\mu F \times (400V)^2 = 8,8528J$$

En base a las cuestiones mencionadas en los párrafos anteriores, se escogió un termistor NTC adecuado para los requerimientos del proyecto, el *SL22 40005* fabricado por *Ametherm*. El mismo presenta una resistencia a temperatura ambiente de 40Ω , una resistencia a 2.5A de 0.72Ω y a 5A de 0.34Ω , una corriente máxima de 5A y una máxima energía disipable de 63J.

En base a estos valores, y considerando un valor interpolado para la resistencia entre los dos informados (0.60Ω), la potencia disipada en cada termistor es:

$$Pd = I^2 \times R_{3,125A} = (3,125A)^2 \times 0,60\Omega = 5,86W$$

Por lo que las pérdidas porcentuales son en cada uno de ellos:

$$\%pérdidas = \frac{Pe}{Pd} \times 100\% = \frac{5,86W}{2500W} \times 100\% = 0,23\%$$

Las pérdidas son más altas que en la primera estrategia evaluada, sin embargo, pueden considerarse relativamente bajas.

Tomando estas últimas consideraciones, y teniendo en cuenta tanto sus reducidas dimensiones (22 mm de largo), como su muy bajo costo (U\$S 1.63 por unidad), el SL22 40005 se convierte en una opción muy viable.

Finalmente, por cuestiones económicas y espaciales, se adoptó para este proyecto al termistor NTC como limitador de corriente de inrush.

2.4. Elementos Relacionados al Control (Sensados)

2.4.1. Sensado de Corriente de Salida

En base a la corriente nominal del bloque calculada en la sección 2.1.1, se implementó el sensado de la corriente de salida mediante un sensor de tecnología de fluxgate a lazo cerrado, el CKSR15-NP fabricado por LEM.

El CKSR15-NP permite la medición de corrientes eficaces de hasta 15 A, con un ancho de banda de 300 KHz. El sensor entrega una tensión proporcional a la corriente que lo atraviesa. El dispositivo requiere una alimentación de 5V y la señal de salida sigue la transferencia V_{out}/I_{in} del gráfico de la figura 2.15

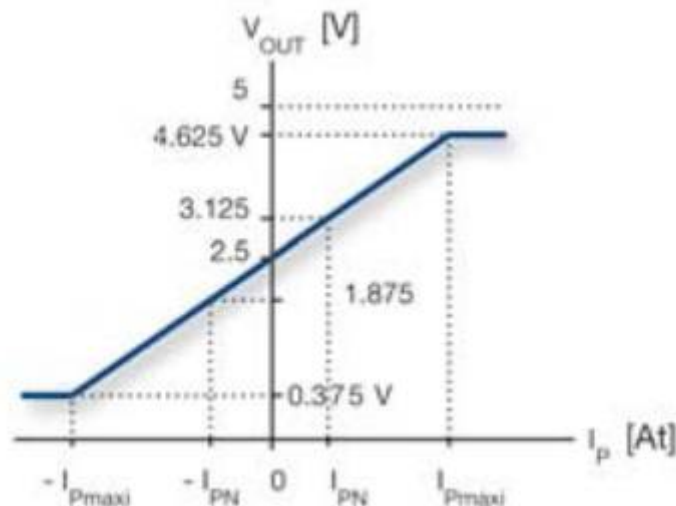


Figura 2.15: Transferencia V_{out}/I_{in} sensor de corriente CKSR15-NP

La sensibilidad de salida del sensor es de 41.67mV/A y presenta una tensión de salida en modo común dependiente del nivel de tensión de referencia V_{REF} con la que se lo alimente.

Para aprovechar su rango dinámico simétricamente, de manera tal que se puedan medir corrientes en el rango $\pm 15\text{A}$, es necesario imponer $V_{REF}=2.5\text{V}$. De esta forma, la tensión en modo común de salida del sensor es también 2.5V .

Para lograr los 2.5V necesarios para la entrada V_{REF} del *CKSR15-NP* se escogió al *LM4120* fabricado por *Texas Instruments*, el cual posee una desviación máxima en su tensión de salida de $\pm 0.2\%$ y puede entregar hasta 5mA , que es un nivel de corriente suficiente dada la elevada impedancia de entrada ($>10\text{M}\Omega$) del pin asociado en el sensor de corriente.

2.4.2. Sensado de Tensión de Bus de C.C.

El sensado de tensiones en el banco de capacitores se efectúa entre los puntos V_{BUS+} y MP , y MP y V_{BUS-} . Cada tensión diferencial se reduce por medio de un divisor resistivo y se sensa con un amplificador de aislación *HCPL-7800*.

El *HCPL-7800* posee las siguientes características principales:

- Deriva de ganancia respecto a temperatura: $0.00025\text{ V/V/}^\circ\text{C}$
- Offset de tensión de entrada: 0.3 mV
- Ancho de banda: 100 kHz
- No linealidad: 0.004%
- Topología completamente diferencial.

En la figura 2.16 se muestra la configuración escogida.

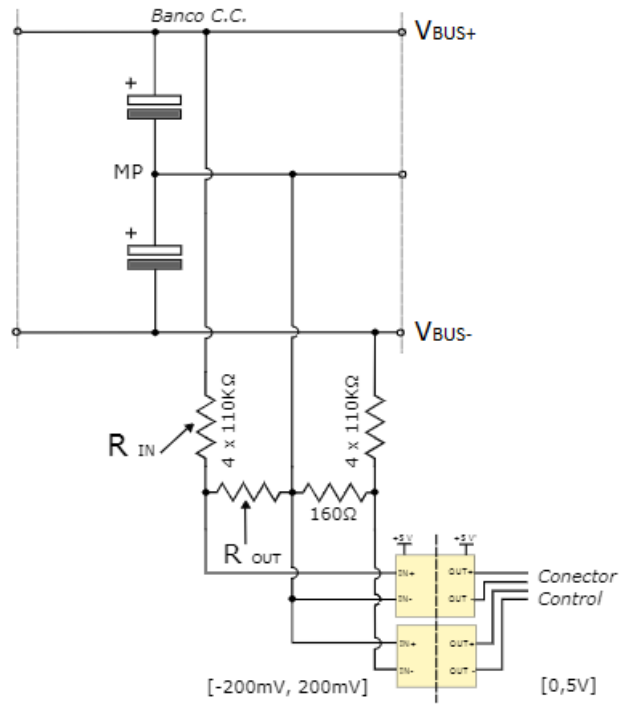


Figura 2.16: Configuración para sensado de tensiones en Bus C.C.

Para el diseño del divisor resistivo se estimó una tensión diferencial a medir máxima de 550V, y una tensión de entrada al HCPL-7800 (salida del divisor) de 200mV de modo de aprovechar el rango completo de tensión de entrada del amplificador optoaislado. Luego la ganancia del divisor debe ser:

$$G = \frac{V_{OUT_{div}}}{V_{IN}} = \frac{V_{IN_{HCPL}}}{\frac{V_{DC}}{2}} = \frac{200mV}{550V} = \frac{1}{2750} = \frac{R_{OUT}}{R_{OUT} + R_{IN}}$$

Se fijó una resistencia de salida del divisor $R_{OUT} = 160\Omega$, y asumiendo que $R_{OUT} \ll R_{IN}$, luego:

$$G = \frac{1}{2750} \approx \frac{R_{OUT}}{R_{IN}} \rightarrow R_{OUT} = 2750 \times R_{IN} = 440K\Omega$$

Para su implementación se seleccionaron 4 resistencias de 110KΩ 1% de empaquetado SMD 1206 en serie y no una única resistencia de 440KΩ debido a que en el mencionado empaquetado, la máxima diferencia de potencial soportada antes de producirse arco voltaico es menor que la tensión que cae en la resistencia en cuestión (200V para SMD 1206) [10]. Por último el amplificador optoaislado HCPL-7800 entrega una tensión aislada en el secundario en el rango 0-5 V, con ganancia 8.

En base a la tensión de salida en modo común del HCPL-7800, a una corrección en la

ganancia del divisor (respecto a las resistencias seleccionadas y la expresión exacta de la ganancia del divisor resistivo, $G = \frac{R_{OUT}}{R_{OUT}+R_{IN}}$, la misma resulta ser 1/2751) y a la constante total del arreglo divisor+amplificador optoaislado, la tensión de salida del amplificador de aislación quedó definida por la siguiente expresión:

$$V_{sens} = V_{cm} + \frac{8}{2751} \times V_{bus}$$

Con $V_{cm}=2.545$ V, por lo que:

$$V_{sens} = 2,545V + \frac{8}{2751} \times V_{bus}$$

2.5. Alimentaciones

Priorizando la simpleza en la alimentación del bloque, se optó por incluir distintos reguladores lineales en base a un solo nivel tensión de entrada externo de 12V, el cual se referencia en el circuito como V_{CC} .

El circuito primario del *ACPL-339J* se alimenta con 5V mediante un regulador lineal *LM7805* el cual es capaz de suministrar hasta 1A de corriente. En base a la corriente que circula por cada regulador, no fue necesario el agregado de un disipador.

Para la alimentación del secundario del *ACPL-339J*, el fabricante considera adecuados los niveles +18V/-6v ($V_{CC2}/-V_{EE}$ respectivamente), siendo estos los niveles de tensión gate-source de saturación y corte de los MOSFETs. Para adaptar los valores de tensión de entrada a los requeridos, se utilizó en cada nivel de conmutación un convertidor *RP1212-D*, el cual entrega en su salida 3 niveles de tensión, 12V, 0V, -12V, a partir de una entrada de 12V.

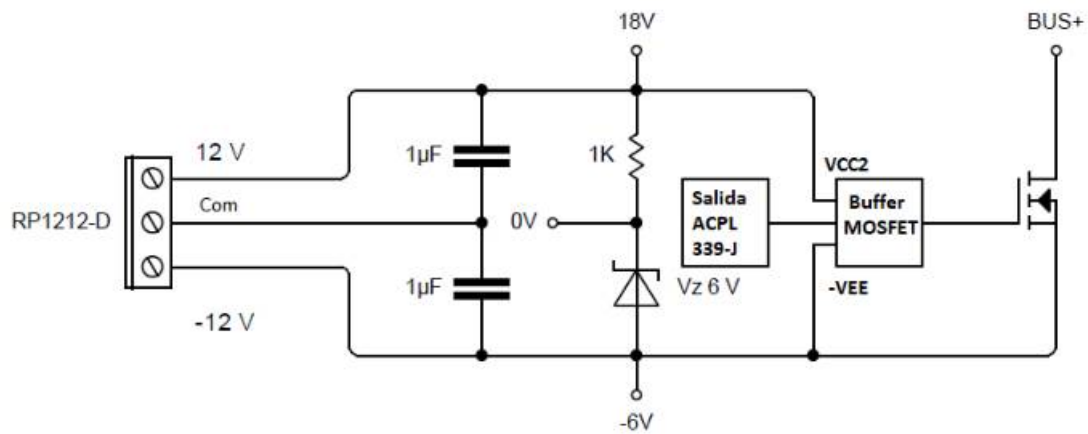


Figura 2.17: Circuito de alimentación para secundario de ACPL-33PJ

La figura 2.17 muestra el circuito que se utiliza para lograr los niveles de tensión +18V/-6V requeridos en el secundario del driver. Mediante el agregado de un diodo zener de 6V, se establece una *masa virtual* en el cátodo de dicho diodo. En efecto, referenciando el secundario al punto de *masa virtual*, VCC2 está 18V por encima de dicho punto, mientras que -VEE, 6V por debajo.

Para los sensados de tensión y corriente cuyos elementos poseen alimentación de 5V, a fines de balancear el consumo de los LM 7805 y no agregar más convertidores al circuito, se optó por la siguiente configuración:

- El LM 7805 del nivel superior alimenta al HCPL 7800 que sensa la tensión entre BUS+ y MP, y al sensor de corriente de salida.
- El LM 7805 del nivel inferior alimenta al HCPL 7800 que sensa la tensión entre MP y BUS- y a la fuente de tensión aislada que se alimenta a los circuitos secundarios de los sensores de tensión.

2.6. Diseño Térmico

Mediante un análisis térmico de los componentes más disipativos del circuito es posible seleccionar los disipadores a agregar en la placa de manera tal que el bloque pueda operar de forma confiable. Una vez seleccionados los disipadores, se evalúa la potencia máxima entregable por el bloque en sus distintas configuraciones.

Para la selección de disipadores del MOSFET C2M0080120D se tuvieron en cuenta las ecuaciones y cálculos exhibidos en la sección 2.2.2. En cuanto a la temperatura de juntura, se adoptó un criterio industrial que recomienda mantenerla por lo menos 40°C por debajo de su valor máximo (indicado por el fabricante). Respecto a la resistencia térmica juntura-carcasa R_{JC} , se contempló el valor máximo, mientras que para la temperatura ambiente se tomó un valor elevado de forma de asegurar un buen comportamiento a temperaturas ambientes menores y más probables. De esta forma, los parámetros tomados son los siguientes:

- $P=28.9\text{W}$
- $R_{JC}=0.65^{\circ}\text{C/W}$
- $R_{CD}=0.1^{\circ}\text{C/W}$
- $T_{AMB}=35^{\circ}\text{C}$
- $T_J=110^{\circ}\text{C}$

Para el cálculo se generó un circuito eléctrico equivalente. El mismo se exhibe en la figura 2.18

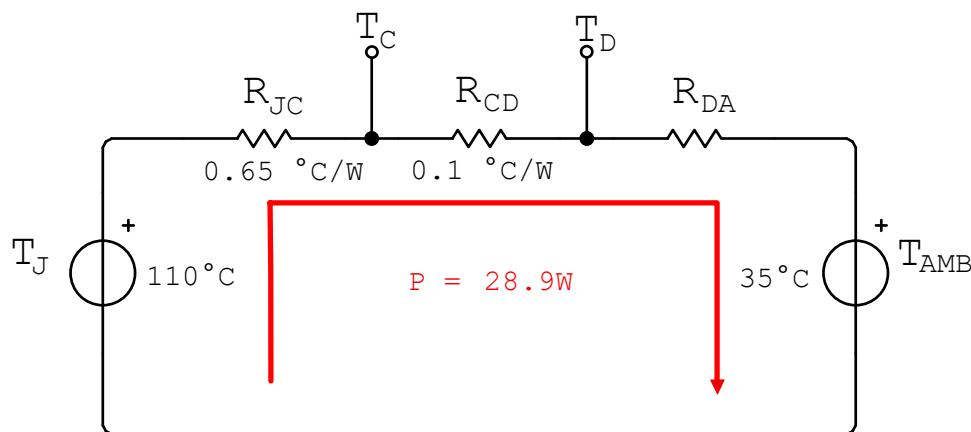


Figura 2.18: Modelo térmico: Circuito eléctrico equivalente

En base al modelo, se tiene:

$$P = \frac{T_J - T_{AMB}}{R_{JC} + R_{CD} + R_{DA}} \quad (2.10)$$

La potencia máxima disipada por el MOSFET es de 28.9W. Si se reemplaza en la ecuación, 2.10 esto implica matemáticamente que:

$$\frac{T_J - T_{AMB}}{R_{JC} + R_{DA}} \leq 28,9W \quad (2.11)$$

Si se reemplazan los valores conocidos en la ecuación 2.11, resulta:

$$\frac{90^\circ C}{0,75^\circ C/W + R_{DA}} = 28,9W \quad (2.12)$$

En efecto, si se despeja R_{DA} de la ecuación 2.12, se obtiene:

$$R_{DA} = 1,85C/^\circ W$$

En definitiva, para asegurar que la temperatura de juntura se mantenga dentro de valores menores o iguales a $110^\circ C$, la resistencia térmica R_{DA} debe ser menor o igual que el valor calculado. Por lo que, el criterio de selección de disipador fue:

$$R_{DA} \leq 1,85^\circ C/W$$

En base a este criterio se seleccionó al disipador *6400BG-ND* fabricado por *Aavid*. El mismo es apto para encapsulados TO-220, TO-247 y TO-218, y posee una resistencia térmica de $2.7^\circ C/W$. Mediante ventilación forzada, esta resistencia disminuye a $1.5^\circ C/W$.

Se adoptó al kit de montaje *4880SG-ND*, recomendado por *Aavid* para aplicaciones de alto rendimiento. El mismo incluye una fina lámina de Thermalsil (silicona térmicamente conductiva, y eléctricamente aislante), la cual reduce las resistencias de carcasa-disipador R_{CD} .

El disipador escogido posee una resistencia térmica en convección natural mayor que la requerida para las condiciones de diseño. Sin embargo, en la sección 2.2.2, la frecuencia óptima de conmutación se seleccionó tomando conservadores factores de derating y a su vez, una potencia máxima entregable por el BCEP operando como inversor de 3kW. Para condiciones nominales, el disipador se comporta de forma adecuada, aunque poco conservadora. Si se realizan las ecuaciones de la sección 2.2.2, tomando el valor de 2500W para

la potencia, resulta en unas pérdidas totales en cada MOSFET de 22W. Reemplazando este valor en el circuito de la figura 2.18, y tomando los valores ya fijados para las resistencias térmicas, es posible calcular la sobreelevación de temperatura causada por la disipación de potencia en las tres resistencias térmicas consideradas, como se muestra a continuación.

$$\Delta T = (T_J - T_{AMB}) = (R_{JC} + R_{CD} + R_{DA}) \times P$$

$$\Delta T = (T_J - T_{AMB}) = (0,65^\circ\text{C/W} + 0,1^\circ\text{C/W} + 2,7^\circ\text{C/W}) \times 22\text{W}$$

$$\Delta T = (T_J - T_{AMB}) = (3,45^\circ\text{C/W}) \times 22\text{W}$$

$$\Delta T = 75,90^\circ\text{C}$$

Esta sobreelevación de temperatura, indica que para temperaturas ambientes menores a $34,1^\circ\text{C}$, el BCEP actuando como inversor podrá entregar hasta 2.5kW con una temperatura de juntura menor de 110°C . En base a esa consideración, se demuestra la eficacia del disipador escogido.

Una opción para generar un diseño térmico más conservador es el agregado de un ventilador por cada disipador. Anteriormente, estos dispositivos limitaban en gran medida la confiabilidad del sistema, sin embargo, con la aparición de ventiladores basados en levitación magnética, la vida útil de los mismos aumentó de forma drástica.

Una característica importante a tener en cuenta en la selección de un ventilador es la velocidad de flujo de aire, la cual debe ser mayor que la necesaria para lograr un valor de R_{DA} determinado. Según la hoja de datos del disipador *6400BG-ND*, para lograr una resistencia térmica de 1.85°C/W , es necesaria una velocidad de flujo de aire de 350 FPM (pies por minuto). En base a ese requerimiento, se buscó un ventilador basado en levitación magnética que lo satisfaga, y a su vez, posea dimensiones acordes a las del disipador, y bajo costo. Se seleccionó al *MF50101V1-1000U-A99* fabricado por *Sunon Fans*, el cual posee una velocidad de flujo de aire de 500 FPM, dimensiones reducidas (50mm x 50mm), bajo consumo (0.8W), y bajo costo (U\$S 4.73).

Esta opción no fue implementada, pero se propone como trabajo futuro para aumentar la confiabilidad del BCEP.

2.6.1. Potencia Máxima Entregable en Base al Disipador Elegido en Condiciones de Convección Natural

En el cuadro 2.1 se definió como 2.5kW al valor de potencia entregable por el bloque en cualquiera de sus configuraciones. En la sección anterior se logró demostrar que para el BCEP actuando como inversor, es posible operar a potencia nominal en base al disipador elegido en condiciones de convección natural. Para corroborar el cumplimiento de este requerimiento en las mencionadas condiciones, se procede al cálculo de potencia entregable del bloque para sus dos topologías restantes. Los cálculos están basados en el circuito térmico equivalente (figura 2.18), y se tomaron los siguientes parámetros:

- $T_{AMB}=35^{\circ}\text{C}$
- $T_J=110^{\circ}\text{C}$
- $R_{DS_{ON}}=120\text{m}\Omega$
- $F_{SW}=50\text{kHz}$
- $d=0.5$
- $PD_{MAX}=30\text{W}$
- $R_{JC}=0.65^{\circ}\text{C/W}$
- $R_{DA}=2.7^{\circ}\text{C/W}$
- $R_{CD}=0.1^{\circ}\text{C/W}$

2.6.1.1. Potencia Máxima Entregable: BCEP como Convertidor DC-DC Boost

Debido a trabajar con parámetros de temperatura idénticos al caso del BCEP como inversor, en este caso también se cumple que la sobreelevación máxima de temperatura toma un valor de 75°C , por lo que:

$$P = \frac{75^{\circ}\text{C}}{3,45^{\circ}\text{C/W}} = 21,74\text{W}$$

Sin embargo, esta es la potencia disipada del MOSFET utilizado como llave, el utilizado como rectificador sincrónico o asincrónico disipa un valor menor.

Para esta topología la máxima tensión de operación es de 800 V. En efecto, reemplazando los valores en la fórmula general de potencia disipada (2.5), resulta la siguiente ecuación cuadrática:

$$0,12 \times I_{DS}^2 + 1,6 \times I_{DS} - 21,74 = 0$$

Por lo que $I_{DS}=8.35A$.

Al tener salida de corriente continua, la máxima potencia entregable está dada por:

$$PE = V_{OP} \times I_{DSp} = 800V \times 8,35A$$

$$PE = 6680W = 6,68kW$$

Es apreciable que el resultado obtenido para la potencia entregable supera ampliamente al requerimiento impuesto de 2.5kW.

2.6.1.2. Potencia Máxima Entregable: BCEP como Convertidor DC-DC Buck

En el caso de esta configuración, la máxima tensión de operación disponible en la carga con ciclo de trabajo de valor 0.5 es de 400V. En efecto, $V_{OP}=400V$.

Reemplazando este valor, y los demás parámetros fijados en la expresión 2.5, resulta la siguiente ecuación cuadrática:

$$0,12 \times I_{DS}^2 + 0,8 \times I_{DS} - 21,74 = 0$$

En efecto, $I_{DS}=10.53A$.

Para el BCEP operando como convertidor DC-DC buck, la máxima potencia entregable está dada por:

$$PE = V_{OP} \times I_{DSp} = 400V \times 10,53A$$

$$PE = 4212W = 4,212kW$$

El valor obtenido, implica que tanto para esta topología, como para anteriormente analizada, se cumplen con los requerimientos de potencia inicialmente impuestos. A su vez, debido a no sobrepasar ningún otro límite de temperatura y resistencias térmicas, se logra demostrar la eficacia del disipador seleccionado para el BCEP operando como convertidor DC-DC en condiciones de convección natural.

Capítulo 3

Construcción

Introducción

Este capítulo abarca la construcción y montaje del Bloque Constructivo de Electrónica de Potencia. A partir de los componentes seleccionados y del sistema propuesto, se llevó a cabo el diseño de una placa de circuito impreso (PCB, por sus siglas en inglés: Printed Circuit Board). Se describen los criterios tenidos en cuenta para el diseño, establecidos por normas, recomendaciones o limitaciones del fabricante. A su vez se presenta el diseño de los elementos de interconexión entre placas y el sistema de control. Por último, se muestra el montaje del prototipo resultante, detallando los elementos que lo componen.

3.1. Datos Generales

Para la construcción del convertidor, se optó por el diseño de una única placa de circuito impreso de dos capas. El uso de PCBs para la interconexión de los diferentes componentes del sistema tiene como ventajas un diseño más compacto, robustez mecánica, mayor compatibilidad electromagnética y menor sensibilidad al ruido. A su vez, para evitar efectos indeseables, se separaron los caminos y planos de pequeña señal, de los caminos y planos de mayor potencia circulante.

El diseño de un PCB generalmente implica dos aspectos:

- Edición del Diagrama Esquemático

- Edición del Circuito Impreso: incluye el *layout* de los componentes y la interconexión mediante pistas o planos de cobre, según corresponda.

Los diagramas esquemáticos se adjuntan en el Apéndice B. Para la edición del circuito impreso se recurrió a la norma *IPC-2221* [11] que brinda reglas en cuanto a selección de materiales en función de propiedades físicas/mecánicas, disipación térmica, consideraciones para el montaje y soldadura, y consideraciones eléctricas para los PCBs, como por ejemplo los espaciados entre los conductores (pistas o planos de cobre) requeridos para garantizar la aislación eléctrica entre distintos puntos del sistema. Además, deben tenerse en cuenta las capacidades técnicas del fabricante de PCB, que abarcan desde los espaciados mínimos, hasta el tamaño de *pads*, pistas, diámetro mínimo de los agujeros, número de capas, entre otros.

3.2. Edición de los Circuitos Impresos

En esta sección se detallan y revisan los criterios tenidos en cuenta para la edición de los distintos subcircuitos del convertidor.

3.2.1. Banco de Capacitores - Bus de C.C.

Esta sección describe el diseño del circuito impreso del banco de capacitores para el bus de corriente continua.

Se implementó un diseño simétrico respecto al punto medio (MP), ubicado en la parte central del lado izquierdo de la placa. Los capacitores de mayor tamaño se ubicaron en la capa superior, mientras que los de menor tamaño, en la capa inferior.

Mediante este diseño, las corrientes entre BUS+ y MP, recorren la misma distancia afectadas por la misma impedancia eléctrica que las corrientes entre MP y BUS-.

Se crearon planos de BUS+, MP y BUS-. La separación mínima entre estos planos se definió en base a la norma *IPC-2221*. Para tensiones de hasta 500 V, la norma establece una separación mínima de 2.5 mm. Se tomó una guarda de seguridad, y se adoptó una separación mínima de 110 mils (2.794 mm). Esta regla se cumple entre los planos BUS+ y MP, y todos

los elementos y caminos interconectados con estos planos, y para los planos MP y BUS- junto con sus caminos y elementos relacionados. Para tensiones de hasta 1000 V, la norma establece una separación mínima de 5mm. Tomando una guarda de seguridad, se adoptó una separación mínima de 230 mils (5.84 mm). Esta regla se aplicó entre los planos BUS+ y BUS-, y todos los elementos y caminos interconectados a estos planos.

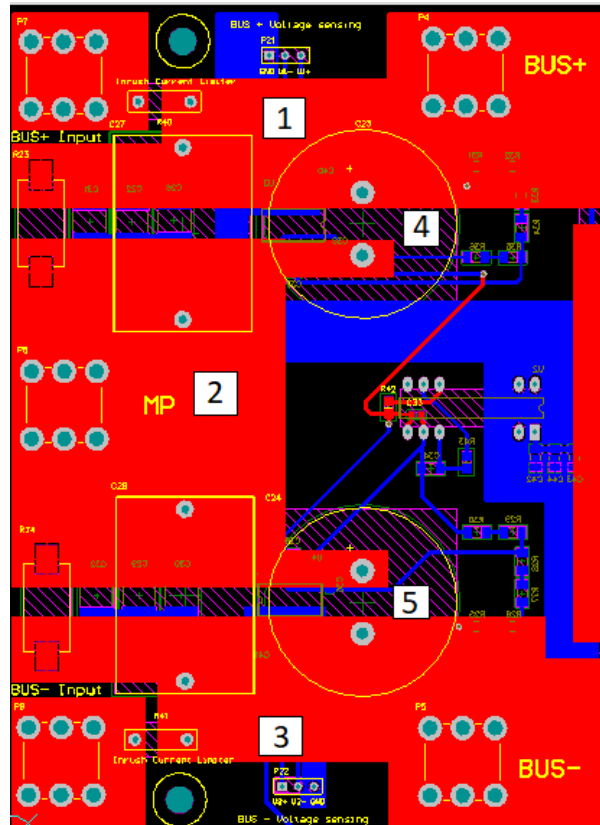


Figura 3.1: Edición de PCB: Vista 2D parte izquierda plano superior.

En la figura 3.1 se puede observar el plano BUS+ (1), plano BUS-(2), plano MP (3), y zonas de mínima separación entre planos BUS+ y MP (4) y MP y BUS-(5).

Para la conexión del bloque a señales de potencia externas y salidas, se utilizaron terminales de tornillo *Keystone Electronics 8196*, especificados para corrientes de hasta 30A, y soldados a los PCB, garantizando buena rigidez mecánica. Estos pueden apreciarse en la figura 3.2. En la misma, se muestra la disposición de los capacitores *LGN2H101MELB25* (electrolítico) y *MKP1848S61070JP2C* (film), como así también la resistencia de balance *SMF5100KJT* y los NTC *SL22 40005* para cada uno de los dos niveles del bloque. También es posible notar la simetría mencionada anteriormente.

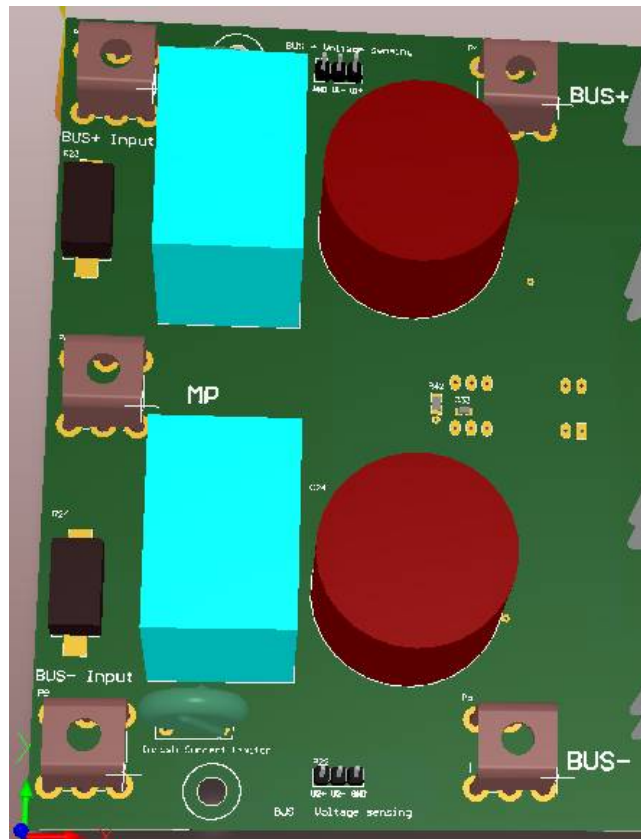


Figura 3.2: Edición de PCB: Vista 3D parte izquierda plano superior.

3.2.2. Sensados de Tensión

Los elementos de los sensados se conectaron mediante planos y caminos de cobre. La separación mínima entre los mismos se definió en 12 mils, valor recomendado por el fabricante y por encima del mínimo requerido por la norma mencionada. Por el mismo motivo, el ancho mínimo de las pistas se fijó en 25 mils. Se estableció una distancia mínima de 120 mils (3.048 mm) entre los elementos de conexión de esta sección y los planos de potencia.

Para el sensado de tensión, se ubicó a la fuente aislada *DCR-010505P* en la capa inferior de la placa. Los sensores *HCPL-7800* se colocaron en la misma capa, próximos a los capacitores electrolíticos del banco de cada nivel, guardando simetría respecto al MP. Debido a que la salida de los sensores es diferencial, la impedancia de los caminos a recorrer por las señales de salida, es un aspecto importante. Por tanto, se verificó que las distancias recorridas por las señales pertenecientes a las dos ramas sean iguales.

Para cada sensor de tensión, se incluyó un terminal tira de postes de 3 pines, de manera tal de conectar sus señales de salida a un sistema de control externo.

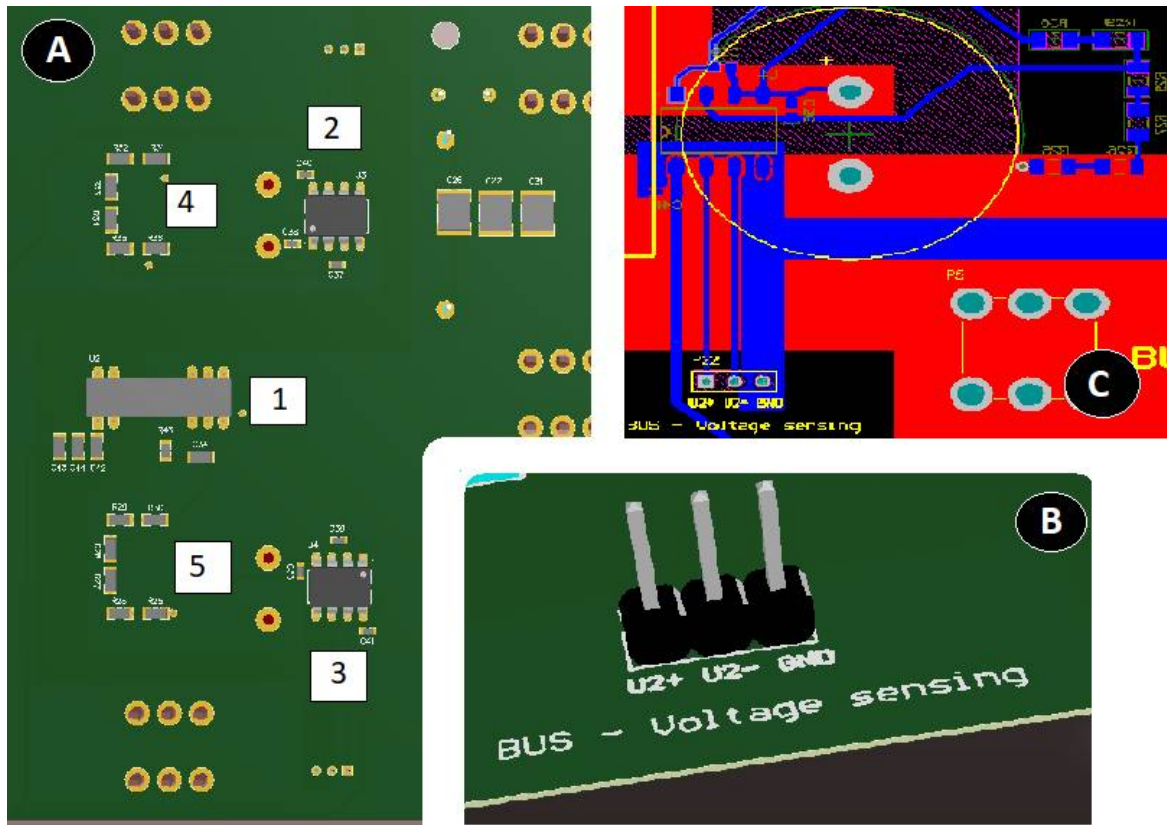


Figura 3.3: Edición de PCB: (A) Vista 3D parte izquierda plano superior. (B) Header 3x1 de salida hacia sistema de control externo. (C) Vista 2D, conexión entre sensores y resistencias de sensado.

El puntero 1 de la subfigura A de la figura 3.3 muestra la disposición del *DCR-010505P* en la placa. Los punteros 2 y 3 se corresponden a los sensores *HCPL-7800* asociados a *BUS+* y *BUS-*, respectivamente. Los divisores resistivos correspondientes son indicados mediante los punteros 4 y 5.

La subfigura B muestra el terminal con las salidas del sensor de tensión de *BUS-*.

En la subfigura C se aprecia el *layout* asociado al sensado de tensión.

3.2.3. Sensado de Corriente

Para el sensado de corriente de salida se colocó al sensor *CKSR-15-NP* en la parte central de la placa. En la capa se utilizó una pista poligonal de tal forma que el número de vueltas de corriente que atraviesan el sensor sea 2. De esta forma se produce un mejor aprovechamiento del rango dinámico de tensión de salida del sensor.

La corriente sale del sensor a través de un plano en capa inferior hasta un terminal *Keystone Electronics 8196* en el que se conectará la carga de salida. También en la capa inferior

se ubican el circuito de referencia de tensión *LM 4120*, y los capacitores de bypass de este último y del sensor. La señal de sensado (tensión entre 0.375 V y 4.625 V, proporcional a la corriente sensada en el primario del sensor) viaja por un camino de 25 mils en la capa inferior hacia un conector de 2 pines (señal y GND).

La alimentación del sensor se ubicó en la capa superior. La tensión positiva (5V) se distribuye mediante una pista de 35 mils de grosor desde la salida del *LM 7805* a los dispositivos de la rama superior del bloque. La conexión a masa se distribuye usando un plano de masa.

En la figura 3.4 se incluyen 3 imágenes de la zona de la placa dedicada al sensado de corriente.

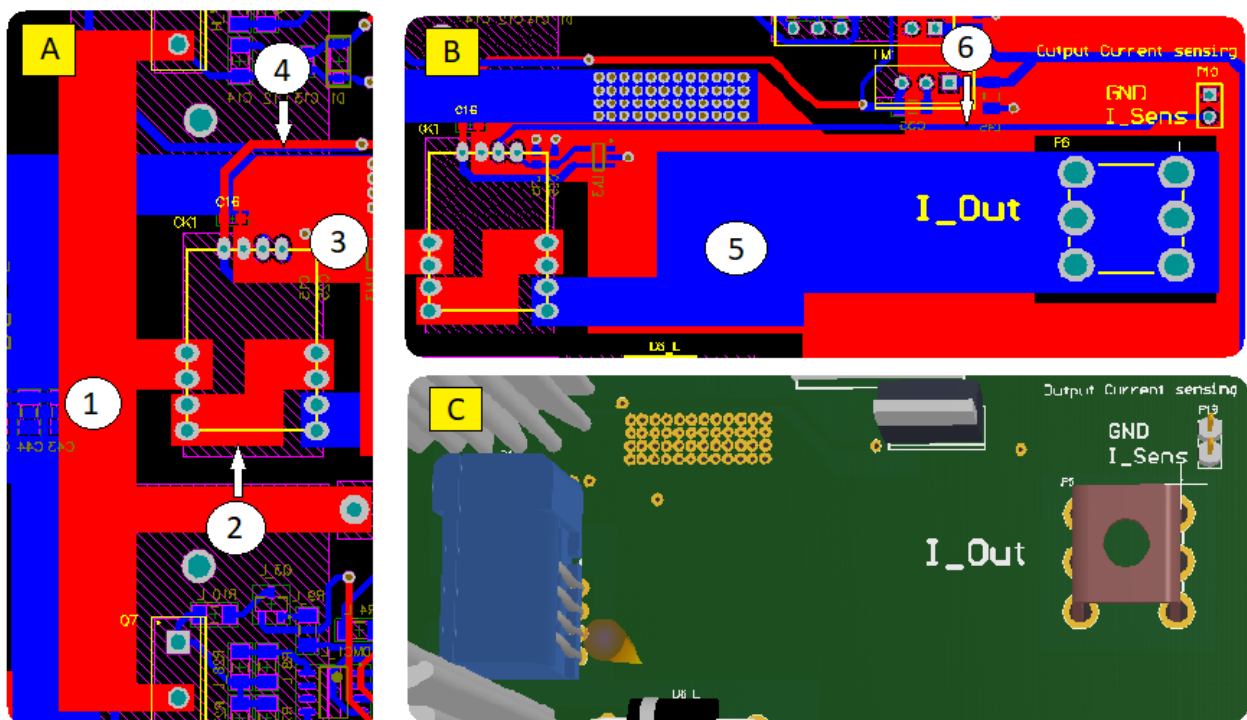


Figura 3.4: Edición de PCB: (A) Vista 2D, plano superior. (B) Vista 2D, plano inferior. (C) Vista 3D, elementos relacionados al sensado de corriente.

- El puntero 1 de la figura 3.4 corresponde al plano que une a los dos elementos de conmutación.
- El puntero 2 apunta al polígono generador de 2 vueltas de circulación de corriente por el primario del sensor.
- El puntero 3 se apoya sobre el plano de masa. Se logra observar que uno de los pines

del *CKSR-15-NP* está conectado a dicho plano.

- El puntero 4 apunta a el camino que une al sensor con la salida del *LM 7805* (5V).
- El puntero 5 indica el plano de corriente de salida.
- El puntero 6 señala el camino que enlaza a la salida del sensor con el header 2x1.
- En la subfigura C de la figura 3.4 se observa en 3 dimensiones al sensor *CKSR-15-NP*, al terminal *Keystone Electronics 8196* y al terminal de 2 pines.

3.2.4. Drivers

Para la interconexión de los drivers y los componentes relacionados a esta etapa del bloque se hizo uso de ambas capas de la placa. Los circuitos asociados fueron diseñados exactamente iguales para evitar diferencias de desempeño entre los disparos de ambas llaves.

Los caminos y componentes del lado del primario del *ACPL-339J* fueron dispuestos en la capa inferior. Se utilizaron pistas de 12 mils de grosor, dado que se trata de una zona de pequeña señal.

La máxima diferencia de potencial que puede llegar a existir entre dos pistas o componentes en esta parte del circuito es 5V. La Norma *IPC-2221* impone una separación mínima de 0.1 mm. Sin embargo, el límite del fabricante de placas de circuitos impresos para separación entre pistas es de 12 mils (0.3048 mm) que fue la que se aplicó dado que es la más conservadora de ambas.

Se incluyó un plano de masa en la capa superior.

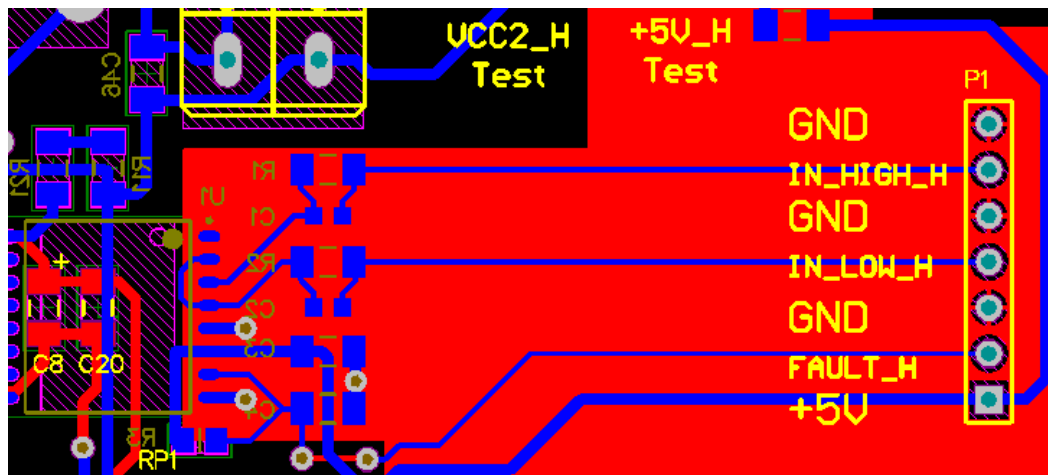


Figura 3.5: Edición de PCB: Vista 2D parte derecha, plano inferior.

En la figura 3.5 se observan en azul (capa inferior) las pistas y footprints de componentes que se utilizan para el circuito del primario del driver. En rojo (capa superior) se representa una parte del plano de masa.

El ACPL-339J se ubicó en la capa superior. Los caminos y componentes relacionados al circuito secundario del optoacoplador se colocaron en ambas capas. De esta manera, es decir mediante separación espacial entre pistas del primario respecto al secundario se respetó la aislación entre pequeñas señales y señales de potencia.

El ancho seleccionado para las pistas fue de 25 mils, medida adecuada para los niveles de corriente que circulan en esta etapa del circuito. La máxima diferencia de potencial entre pistas o componentes en este sector de la placa es de 24V. La norma IPC-2221 recomienda una separación mínima de 0.1 mm para estos niveles de tensión. Debido a la mencionada limitación del fabricante, se utilizó una separación mínima de 12 mils.

- *IN HIGH L* es el terminal de conexión al ánodo del LED del circuito primario del *ACPL-339J*.
- *IN LOW L* es el terminal de conexión al cátodo del LED del circuito primario del *ACPL-339J*.
- *FAULT L* es el terminal de señales de fallas del *ACPL-339J*. Un nivel lógico alto (5V o cercano), implica la existencia de alguna falla detectable por el optoacoplador.

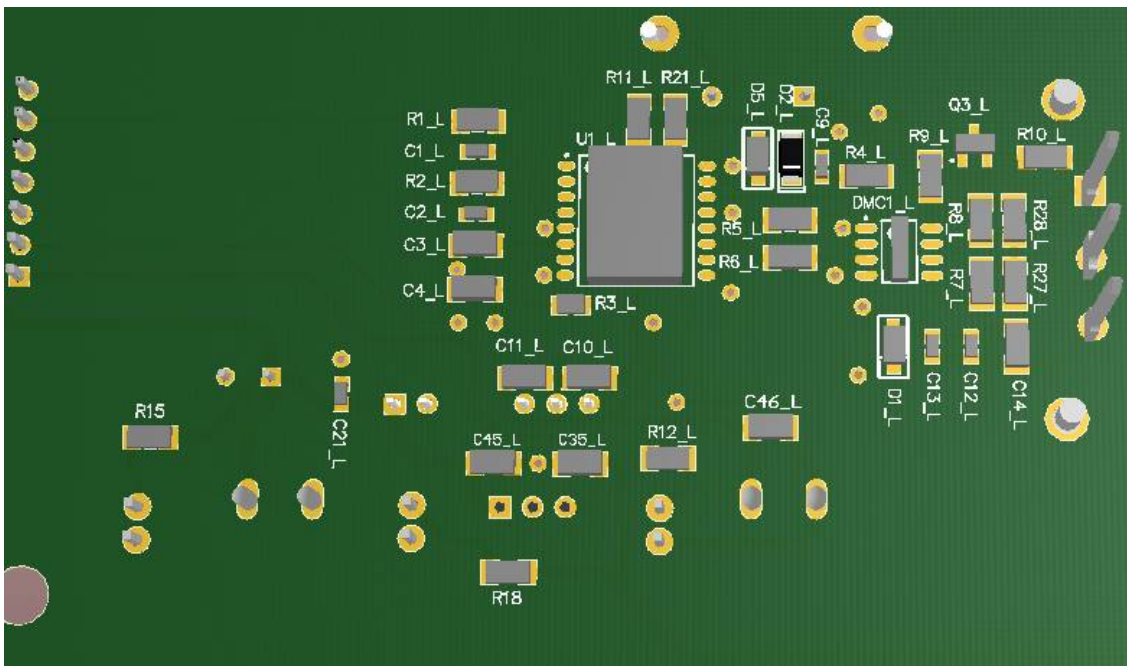


Figura 3.8: Edición de PCB: Vista 3D plano inferior. Sector driver nivel bajo.

La figura 3.8 muestra una vista tridimensional del sector de la placa destinado a los componentes relacionados con el driver de la llave inferior, siendo *U1 L* el optoacoplador *ACPL-339J*. Los componentes a su izquierda corresponden a la etapa de acondicionamiento de las señales externas de baja potencia provenientes del sistema de control, mientras que los componentes a la derecha de *U1 L* corresponden a la adecuación de la señal de salida del optoacoplador y el sensado de variables relacionadas al control de la conmutación de la llave.

3.2.5. SiC MOSFETs

Los MOSFETs se colocaron en la parte central de la placa. Para el diseño de footprints, se resguardó una area, tomando en cuenta la dimensión de los disipadores escogidos. Debido a que el disipador una vez colocado, permanece contiguo a la superficie de la placa, ningún componente puede ser situado en la mencionada area, mientras que en la capa inferior, solo se dispusieron componentes de tipo SMD (ningún componente tipo THT).

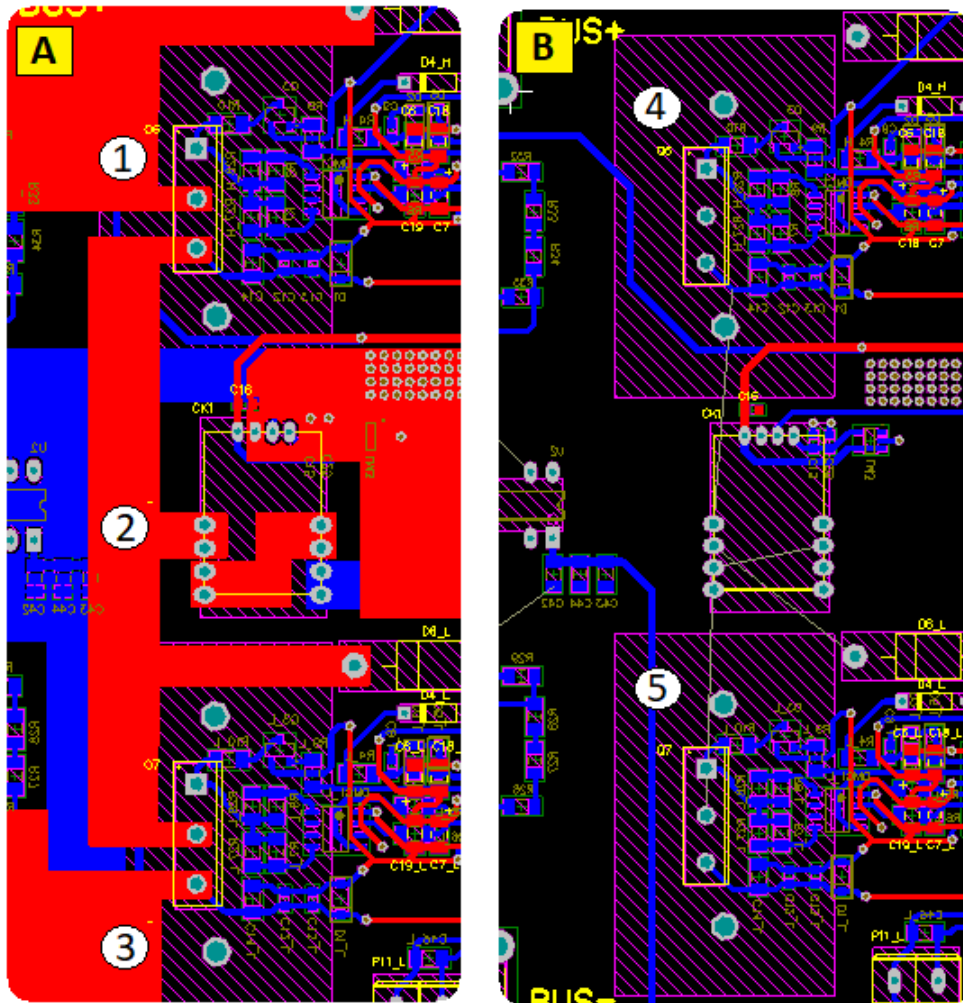


Figura 3.9: Edición de PCB: (A) Vista 2D, área llaves de conmutación, plano superior. (B) Vista 2D, área llaves de conmutación, polígonos suprimidos.

Para las señales de potencia de cada llave, se definieron polígonos en la capa superior de la placa, mientras que las señales de comando, llegan al gate de cada MOSFET mediante caminos de 25 mils de ancho.

La figura 3.9 muestra dos vistas en 2D del area ocupada por las llaves de conmutación.

La subfigura A, muestra los polígonos de conexión, mientras que en la subfigura B muestra la disposición de la llave en relación a componentes contiguos. El puntero 1 se ubica en el polígono utilizado para conectar el drain del MOSFET superior a tensión positiva (BUS+).

El puntero 2 se halla en el polígono de conexión entre las dos llaves de conmutación. Concretamente, une el source del MOSFET superior, con el drain del MOSFET inferior.

El puntero 3 se ubica en el polígono utilizado para conectar el source del MOSFET inferior a tensión negativa (BUS-).

En la subfigura B, se pueden visualizar dos punteros, 4 y 5, que muestran el área de guarda dejada para los disipadores de los MOSFETS superiores e inferiores respectivamente. En base a las dimensiones del disipador utilizado, el *6400BG-ND*, dichos rectángulos poseen una medida de 1660 mils (42.164mm) por 1005 mils (25.527 mm).

De la misma forma, nótese que ningún componente se aloja en los rectángulos mencionados en la capa superior. Todos los footprints contenidos en los rectángulos, pertenecen a componentes alojados en capa inferior.

Los disipadores utilizados poseen dos soportes metálicos que deben ser soldados a la capa inferior. Por ello, dos agujeros se agregaron al footprint de los MOSFETS. Estos agujeros a su vez, están recubiertos en cobre, generando una isla, permitiendo así soldar el soporte a la placa.

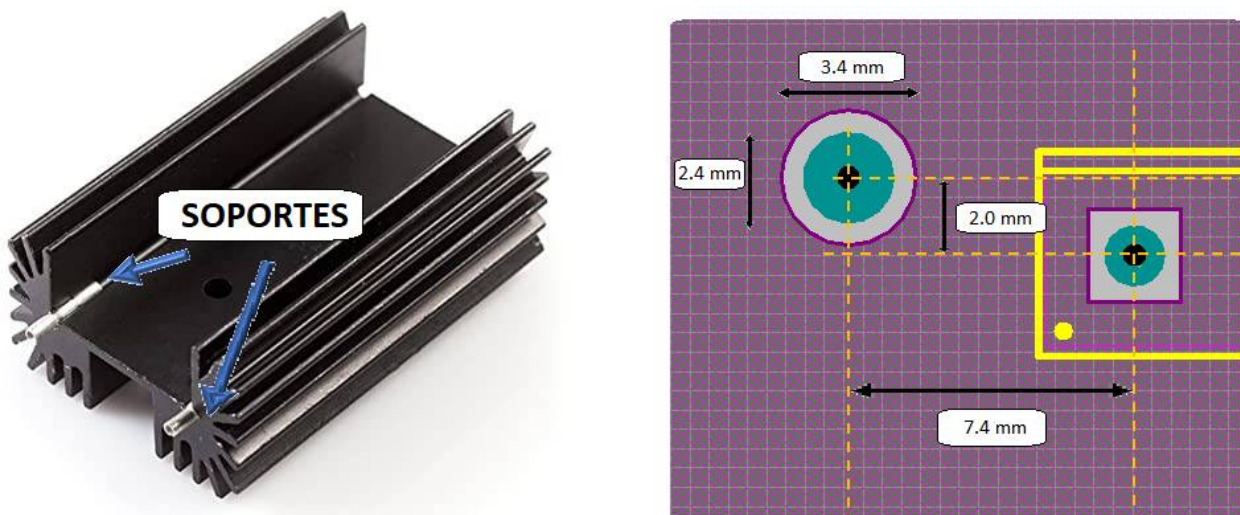


Figura 3.10: (Izquierda) Disipador 6400BG-ND. (Derecha) Vista 2D, footprint arreglo TO-247 + Disipador 6400BG-ND.

En la parte izquierda de la figura 3.10 se observa al disipador 6400BG-ND. Dos flechas apuntan a los mencionados soportes metálicos.

En la parte derecha de la figura 3.10 se adjunta una imagen con medidas del footprint en cuestión. La isla para los soportes tiene un diámetro de 3.4 mm, mientras que el agujero concéntrico tiene un diámetro de 2.4 mm. La separación horizontal entre el centro de esta última isla, y la destinada al PIN 1 y PIN 3 del MOSFET es de 7.4 mm, mientras que la distancia horizontal, 2.0 mm.

3.2.6. Elementos Relacionados a la Alimentación

La tensión de entrada se proporciona al circuito a través de un conector tipo bornera de 2 pines.

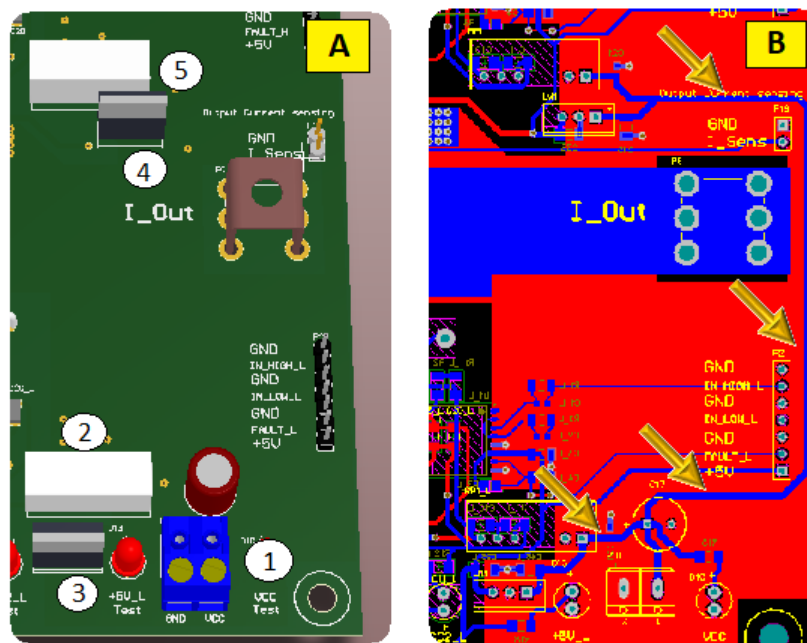


Figura 3.11: Edición de PCB.(A) Vista 3D, detalle en elementos de alimentación.(B) Vista 2D, detalle de track VCC.

En la figura 3.11 se pueden observar los elementos mencionados anteriormente. Respecto a la subfigura A:

- El puntero 1 se ubica a la derecha del conector de entrada para tensión de alimentación.
- El puntero 2 se aloja por encima del RP1212-D utilizado en el driver de la llave inferior.

- El puntero 3 está localizado por debajo del *LM 7805* utilizado en el driver de la llave inferior.
- El puntero 4 esta ubicado debajo del *LM 7805* utilizado en el driver de la llave superior.
- El puntero 5 se localiza a la derecha del *RP1212-D* utilizado en el driver de la llave superior.

En la subfigura B, cuatro flechas apuntan a distintas ramificaciones de una pista. Se trata del camino de VCC. Por este, circularan corrientes de entre 200 y 400 mA, dependiendo de la frecuencia de conmutación. La norma *IPC-2221* establece para una corriente de 500 mA, un espesor mínimo cercano a 10 mils. Tomando un amplio margen, se estableció el espesor del track VCC en 40 mils (1.016 mm).

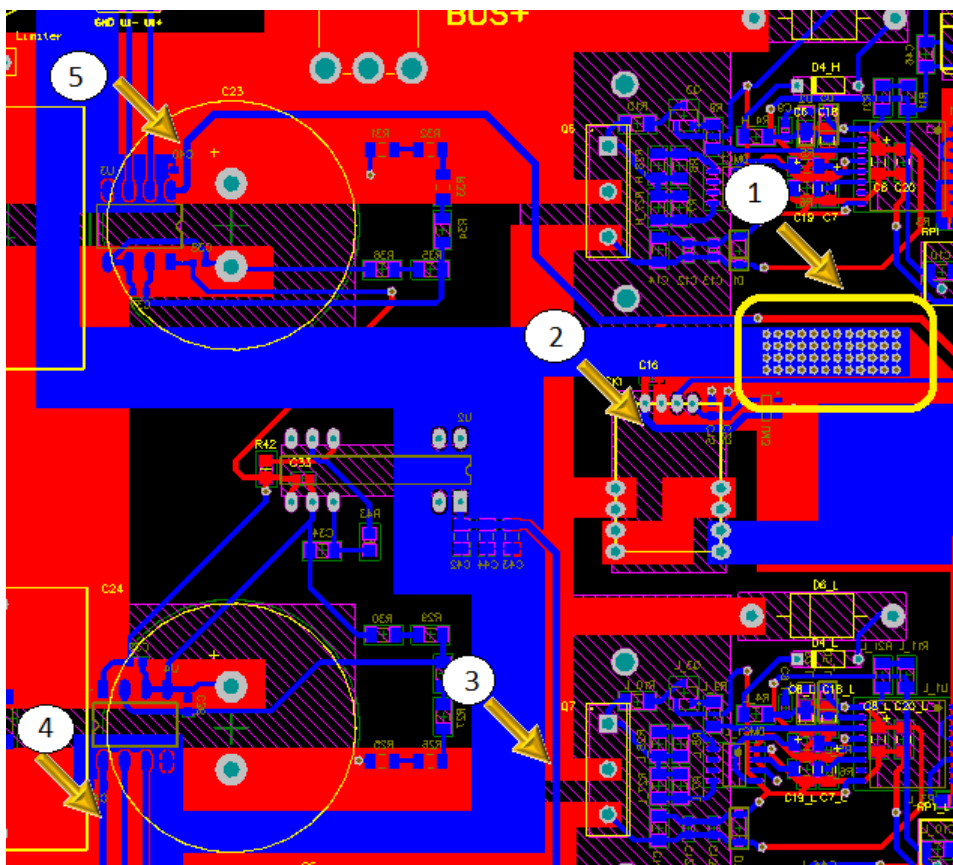


Figura 3.12: Edición de PCB. Vista 2D. Detalle alimentaciones de elementos.

En la figura 3.12, el puntero 1 apunta a un rectángulo que contiene 48 vías dispuestas en 4 filas y 12 columnas. Este arreglo permite conectar el plano de masa entre la capa inferior y la superior y minimiza la resistencia entre capas. Tanto los sensores de tensión *HCPL*

7800 como la fuente aislada *DCR010505-P* se conectan a GND a través del plano en capa inferior, mientras que el sensor de corriente *CKSR15-NP* lo hace a través del plano de la capa superior.

El puntero 2, señala al camino que se utiliza para conectar a 5V al sensor de corriente, provenientes del *LM 7805* del nivel superior.

El puntero 3, apunta a la pista destinada a la alimentación de 5V del *DCR010505-P*. Este camino corta parcialmente al plano de masa de la capa inferior.

El puntero 4 y el puntero 5 señalan a los caminos que distribuyen los 5V necesarios para el funcionamiento de los sensores de tensión del BUS+ y BUS-, respectivamente.

Todas las pistas de 5V (indicadas en los punteros 2, 3 y 4) conectadas a los distintos sensores poseen un espesor de 35 mils.

3.2.7. Terminales y Conectores

Distintos conectores de entrada y/o salida se incluyeron en el diseño de la placa, seleccionados en función de la magnitud de corriente que fluye a través de cada conector.

Para las señales de alta potencia, se utilizaron terminales *Keystone Electronics 8196* indicados para corrientes de hasta 30 A.

Para la entrada VCC-GND se utilizan borneras de 2 terminales *KF301-2P* indicadas para corrientes de hasta 16 A. Se incluyen dos borneras adicionales conectadas a VCC2/-VEE, una por driver, que permiten alimentar a los circuitos secundarios de los drivers a través de fuentes externas.

Para las señales de entrada utilizadas para comandar el LED de cada optoacoplador, las señales de falla de cada optoacoplador, y las señales de sensado tanto de tensión como de corriente, se emplearon conectores tira de postes. Los mismos soportan corrientes de hasta 3A.

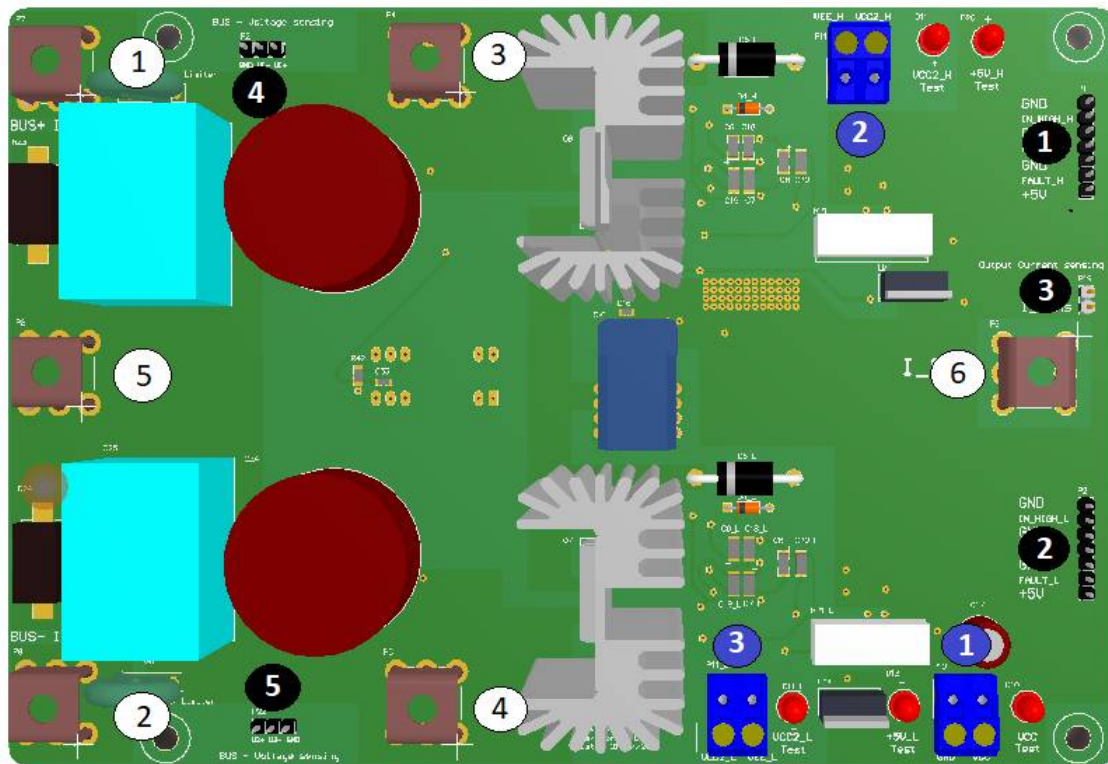


Figura 3.13: Edición de PCB: Vista 3D. Capa superior, conectores referenciados.

La figura 3.13 permite observar una vista completa en tres dimensiones de la capa superior de la placa. En la misma se referencian los conectores utilizados. Mediante círculos blancos, se indican los terminales *Keystone Electronics 8196*. En círculos azules se enumeran las borneras *KF301-2P*. En círculos negros se indican los terminales tira de postes.

Keystone Electronics 8196

- 1- Conexión a Bus+ protegida por circuito limitador de corrientes de inrush.
- 2- Conexión a Bus- protegida por circuito limitador de corrientes de inrush.
- 3- Conexión directa a BUS+.
- 4- Conexión directa a BUS-.
- 5- Conexión a punto medio (MP).
- 6- Conexión a punto medio de la rama de conmutación (nodo X).

Borneras KF301-2P

- 1- Entrada de alimentación externa VCC/GND.
- 2- Entrada de alimentación externa para el driver superior.
- 3- Entrada de alimentación externa para el driver inferior.

Terminales tira de postes

- 1- Conector de 7 pines. Driver superior. Tres pines conectados a GND. Un pin conectado a +5V. Dos pines para entrada de señal de comando de drivers. Un pin testigo de fallas.
- 2- Conector de 7 pines. Driver inferior. Tres pines conectados a GND. Un pin conectado a +5V. Dos pines para entrada de señal de comando de drivers. Un pin testigo de fallas.
- 3- Conector de 2 pines. Un pin conectado a GND. Un pin conectado a salida de sensor de corriente.
- 4- Conector de 3 pines. Bus +. Un pin conectado a GND. Dos pines conectados a salida diferencial de sensor tensión.
- 5- Conector de 3 pines. Bus -. Un pin conectado a GND. Dos pines conectados a salida diferencial de sensor tensión.

3.3. Versión Final - Montaje

Las siguientes figuras muestran fotografías de la placa.

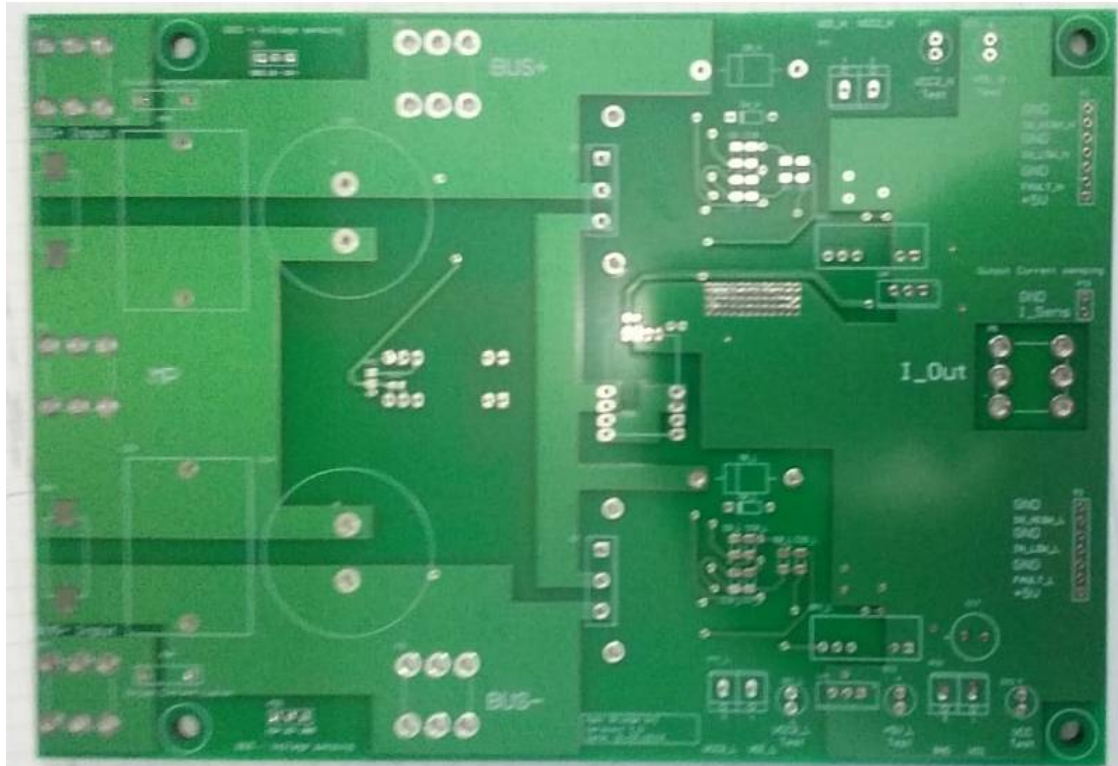


Figura 3.14: Placa de circuito impreso: Capa superior.

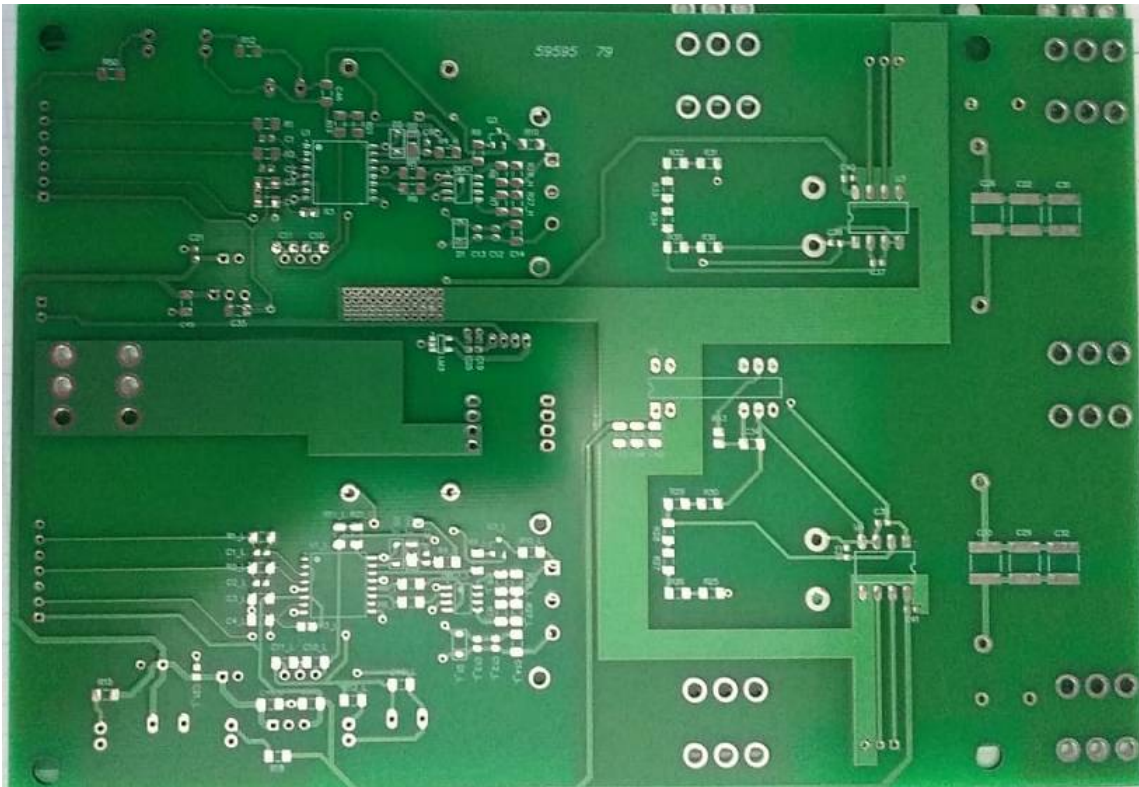


Figura 3.15: *Placa de circuito impreso: Capa inferior.*

En la figura 3.14 y 3.15 se muestran fotografías en las que se puede apreciar la capa superior y la capa inferior de la placa, respectivamente.

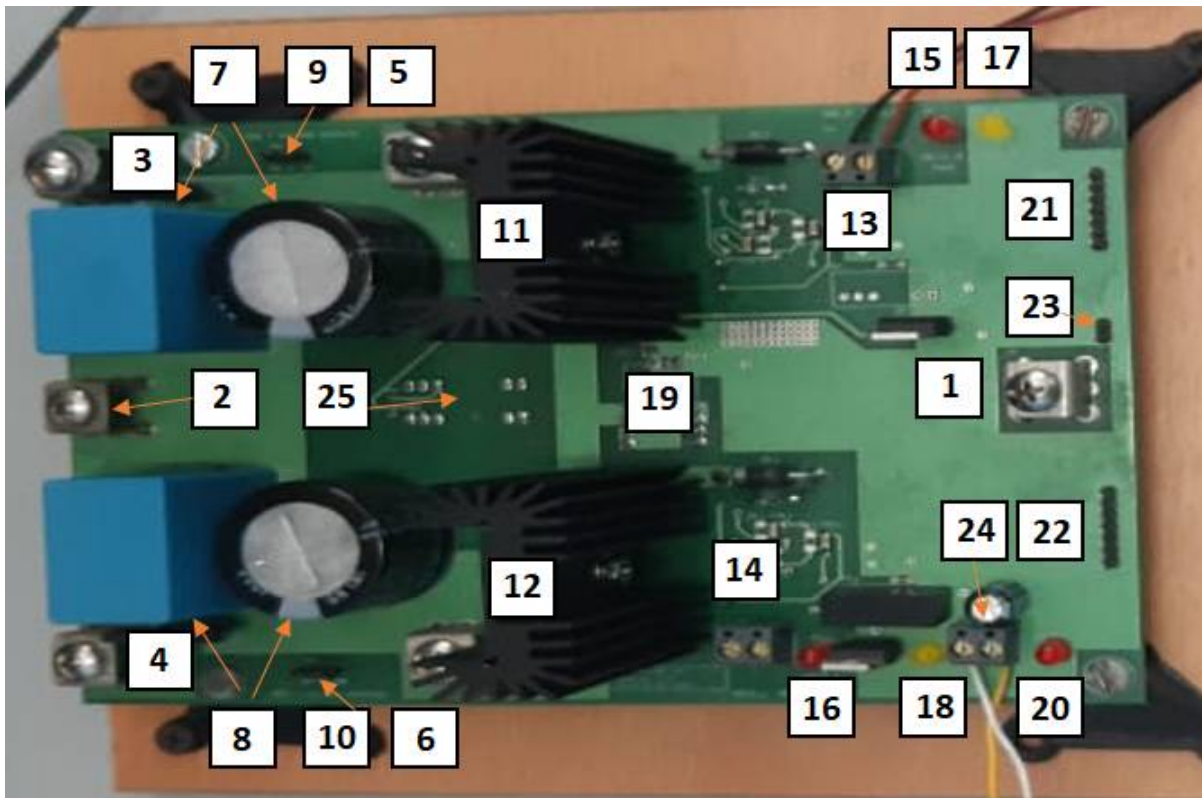


Figura 3.16: Placa de circuito impreso: Capa superior. Componentes soldados. Referencias.

La figura 3.16 muestra una imagen de la capa superior de la placa con los componentes ya soldados a la misma.

Referencias de la figura 3.16 :

- 1- A la izquierda de terminal *Keystone Electronics 8196* que conecta al punto medio de la rama de conmutación (nodo X).
- 2- Apunta a terminal *Keystone Electronics 8196* en punto medio (MP) del Bus de CC.
- 3- A la derecha de terminal *Keystone Electronics 8196* conectado a Bus+ protegido por circuito de limitación de corrientes de inrush.
- 4- A la derecha de terminal *Keystone Electronics 8196* conectado a Bus- protegido por circuito de limitación de corrientes de inrush.
- 5- Por encima de terminal *Keystone Electronics 8196* de conectado directamente a Bus+.
- 6- Por debajo de terminal *Keystone Electronics 8196* conectado directamente a Bus-.

- 7- Apunta a capacitores *LGN2H101MELB25* (electrolítico) y *MKP1848S61070JP2C* (film) entre Bus+ y MP.
- 8- Apunta a capacitores *LGN2H101MELB25* (electrolítico) y *MKP1848S61070JP2C* (film) entre MP y Bus-.
- 9- Apunta a conector tira de postes de 3 pines de señales de salida de sensor de tensión de Bus +.
- 10- Apunta conector tira de postes de 3 pines de señales de salida de sensor de tensión de Bus-.
- 11- Arreglo SiC MOSFET + disipador superior.
- 12- Arreglo SiC MOSFET + disipador inferior.
- 13- Debajo de bornera *KF301-2P* de alimentación externa del driver superior.
- 14- Sobre bornera *KF301-2P* de alimentación externa del driver inferior.
- 15- Sobre LED testigo VCC2 / -VEE del driver superior.
- 16- Debajo de LED testigo VCC2 / -VEE del driver inferior.
- 17- Sobre LED testigo +5V del driver superior.
- 18 - Debajo de LED testigo +5V del driver inferior.
- 19- Sobre sensor de corriente *KCR15-NP*.
- 20- Debajo de LED testigo VCC.
- 21- A la izquierda de conector tira de postes de 7 pines del driver superior.
- 22- A la izquierda de conector tira de postes de 7 pines del driver inferior.
- 23- Apunta a conector tira de postes de 2 pines de señal de salida sensor de corriente.
- 24- Apunta a bornera *KF301-2P* de entrada VCC.
- 25- Sobre parte inferior de fuente aislada para sensores de tensión.

Capítulo 4

Validación del Prototipo

El objetivo de las pruebas experimentales es validar el cumplimiento de diseño del Bloque constructivo de electrónica de potencia. Para evaluarlo, se analiza su funcionamiento como inversor AC-DC y como convertidor DC-DC (buck y boost).

En este capítulo se realiza un análisis cuantitativo y cualitativo de las simulaciones de las distintas formas de onda resultantes para las diferentes configuraciones del BCEP.

Como punto de partida se modela al convertidor diseñado, en el software de simulación NL5.

Para efectuar las mediciones experimentales se construyen distintos bancos de pruebas, cuyos esquemas de conexión son mostrados a lo largo del capítulo.

Luego se comparan las formas de onda de tensión y corriente obtenidas con osciloscopio, con los resultados de las simulaciones. Se discuten las desviaciones entre los resultados experimentales y los de las simulaciones, y analizan las potenciales fuentes de error.

4.1. Simulaciones

Es necesario contar con simulaciones del sistema diseñado, pues es el único modo de validar, al menos en forma aproximada, el diseño propuesto, y brindar datos con los cuales contrastar los resultados experimentales.

Para que las simulaciones arrojen resultados fiables, fue necesario agregar al modelo características reales de los componentes más importantes. Para el caso de los MOSFETs, a partir de información obtenida en la hoja de datos provista por el fabricante, se incluyeron en la simulación valores de transconductancia, resistencia interna de gate, tensión de disparo y los distintos parámetros del diodo de cuerpo. En cuanto a las capacidades parásitas de los MOSFETs, en base a los gráficos incluidos en la hoja de datos, se logró determinar que la capacidad entre gate y source es prácticamente constante, mientras que las capacidades entre gate y drain, y entre drain y source presentan variaciones importantes respecto a la diferencia de potencial. Para poder recrear estas capacidades variables de manera precisa, se generó en estas dos últimas un archivo PWL (*por sus siglas en ingles, Piece Wise Linear: Lineal por tramos*). Para capacitores, este tipo de archivos permite definir valores de capacidad en Farads en base a distintos intervalos de tensión.

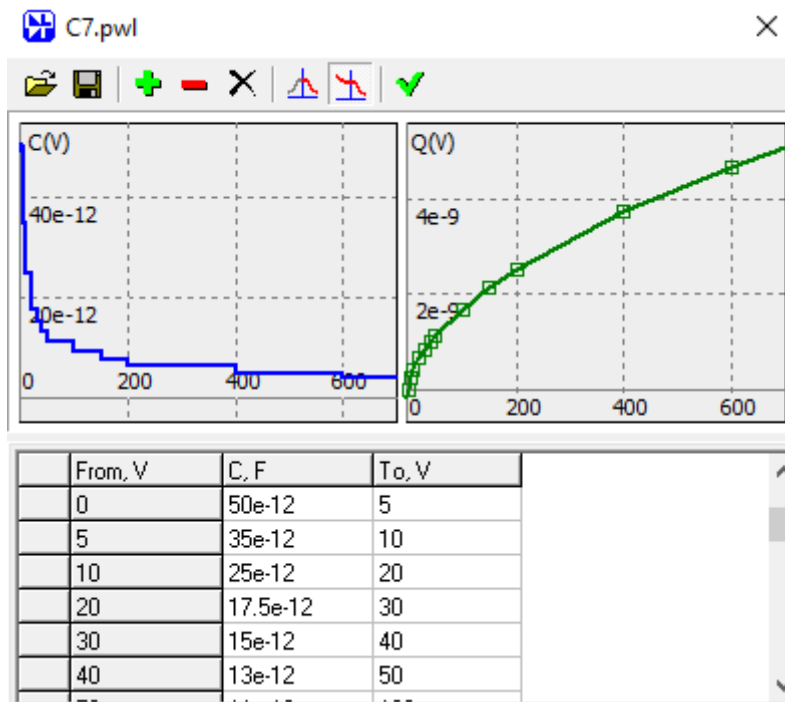


Figura 4.1: Generación de una capacidad parásita variable con la tensión en NL5 a través de un archivo PWL.

En la figura 4.1 se observa el archivo PWL generado para la capacidad parásita entre drain y source del MOSFET *C2M0080120D*. Como se puede apreciar, a partir de datos de capacidad válidos en distintos tramos de tensión, el programa genera dos curvas, una de capacidad vs. tensión y otra de carga vs. tensión.

Para las simulaciones se creó un modelo general al que luego se le realizaron modificaciones para cada topología del B CEP. Por cuestiones de simplicidad, la simulación contempla únicamente las señales del secundario del optoacoplador *ACPL-339J* las cuales en la figura 4.2 se representan mediante las fuentes de tensión V7 y V8. VCC2 representa los 18V respecto a la masa aislada del lado secundario indicada como VE, mientras que -VEE, -6V respecto al mencionado punto.

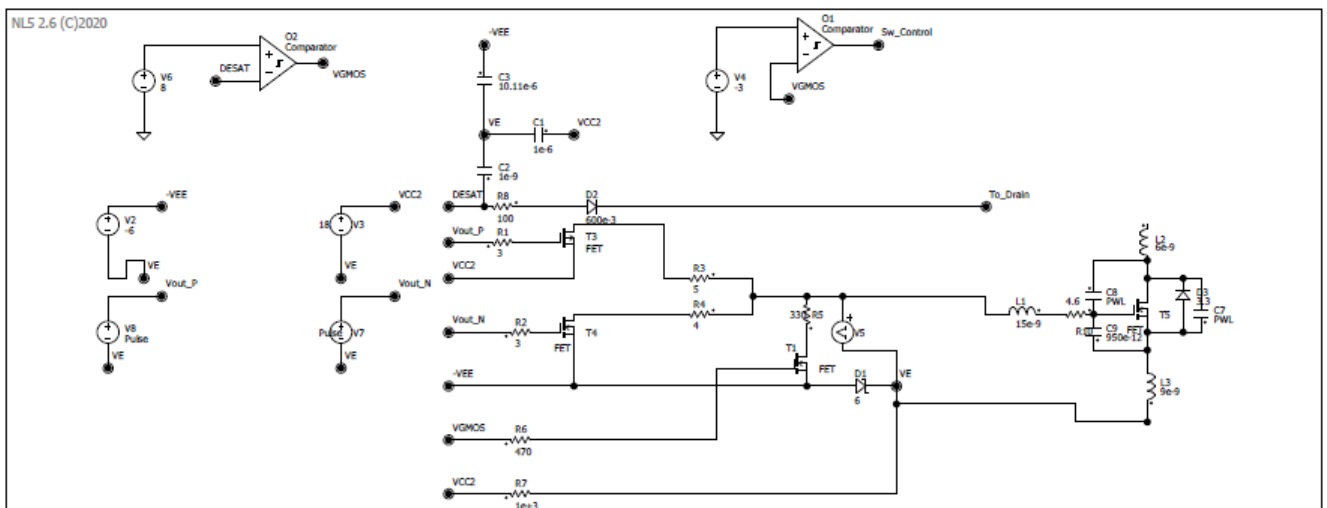


Figura 4.2: Modelo circuital NL5. Rama superior del B CEP.

La figura 4.2 muestra el circuito para el nivel superior del B CEP. El nivel inferior posee un circuito idéntico en su forma, pero a las fuentes pulsadas V7 y V8 se les agregó retardo de la mitad del periodo de conmutación para lograr complementariedad de estados entre las dos llaves. A su vez, se añadieron tiempos muertos de 125ns. Dado que las señales V7 y V8 provienen de una fuente externa (microcontrolador o generador de señales), sus tiempos de crecimiento y caída no son valores establecidos. Para observar los efectos resonantes de forma más crítica, se configuraron a estos tiempos en 1ns.

En los siguientes apartados, se utilizan esquemas simplificados para ilustrar los circuitos esquemáticos de las simulaciones.

Se configuró el tiempo entre pasos de la simulación en 100ps. De esta forma fue posible obtener amplios detalles de los transitorios, a expensas de un mayor tiempo de cada simulación.

En todos los casos, la frecuencia de conmutación adoptada fue de 50 kHz.

4.1.1. BCEP como Inversor

4.1.1.1. Carga Resistiva - Baja Tensión

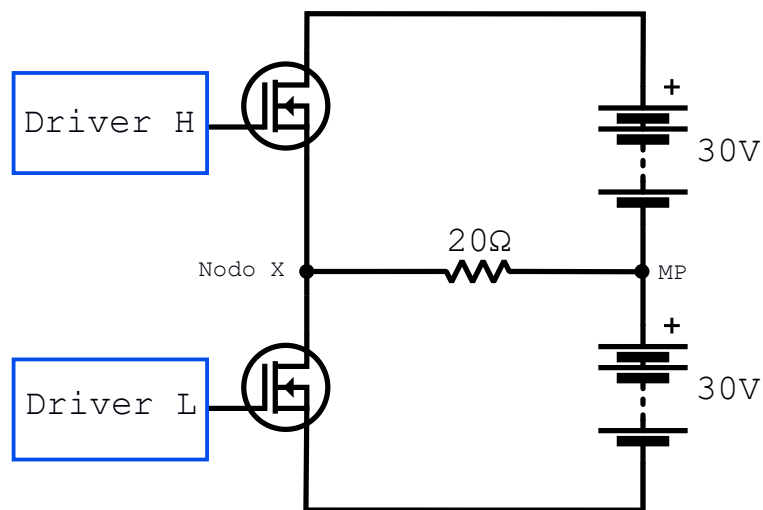


Figura 4.3: Modelo simplificado circuital NL5. Inversor con carga resistiva. Baja tensión de conmutación.

Para la simulación del BCEP como inversor en baja tensión, se utiliza el esquema que se muestra en la figura 4.3. Los valores de los principales parámetros se enlistan a continuación.

- Resistencia de carga = 20Ω
- Tensión de Bus = $\pm 30V$
- Ciclo de trabajo = 0.5
- Tiempo muerto = 125ns

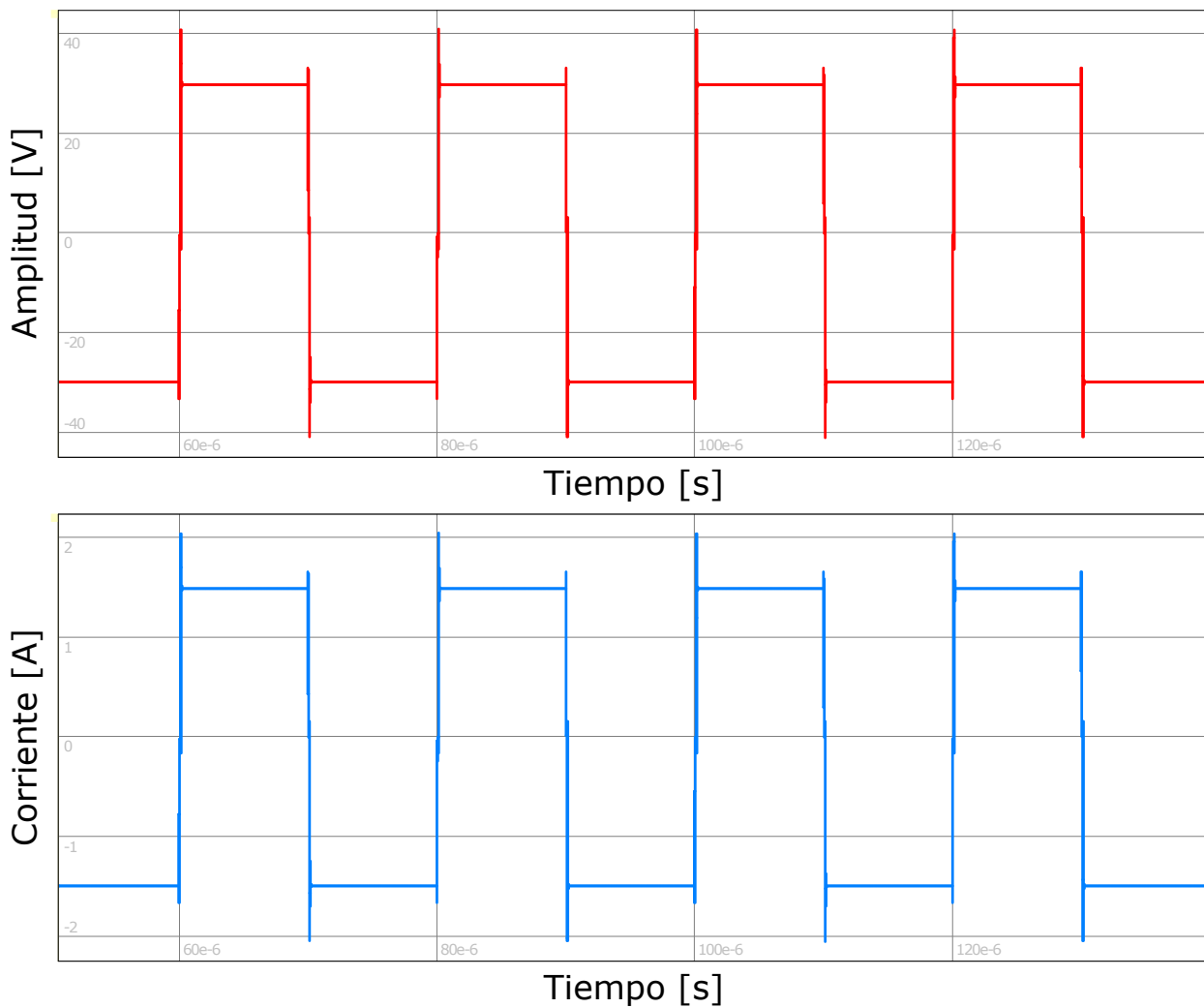


Figura 4.4: Resultados de simulación en NL5. Tensión y corriente en la carga. Carga resistiva. Baja tensión.

La figura 4.4 muestra las formas de onda de tensión y corriente en la carga resistiva. Como puede apreciarse en la subfigura superior, la forma de onda de tensión resultante en la carga es de tipo cuadrada, que en términos prácticos excursiona entre 30V y -30V. La forma de onda de corriente en la carga, posee una forma idéntica, con distintos valores de amplitud. Esto se debe a que la carga que se consideró para la simulación posee características puramente resistivas. Se observan también sobrepicos en las transiciones. Los mismos están debidos a las características reales del MOSFET, es decir, sus capacidades parásitas, inductancias parásitas, tiempos de encendido, tiempos de apagado y a la resistencia de gate. Un mayor detalle de estos efectos transitorios puede apreciarse en la siguiente figura.

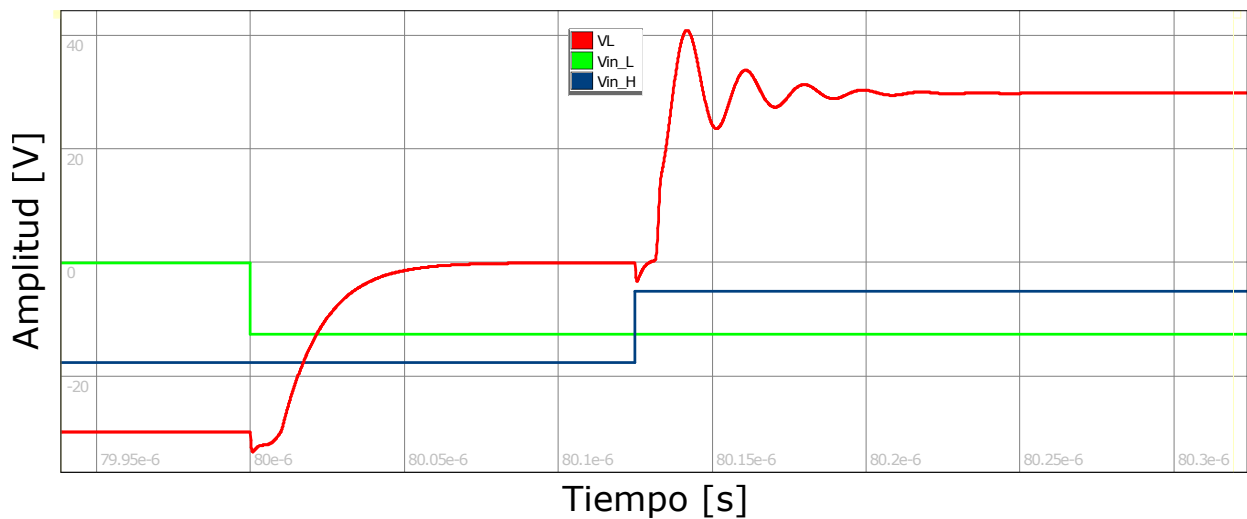


Figura 4.5: Resultados de simulación en NL5. Ampliación transitorio de tensión de carga. Carga resistiva. Baja tensión.

En la figura 4.5 se exhibe en rojo, una ampliación del transitorio en la tensión de carga cuando la misma conmuta desde el valor negativo hacia el positivo. En azul se muestra la tensión de entrada al LED del optoacoplador superior, mientras que en verde la tensión de entrada al LED del optoacoplador inferior. Para poder visualizarlas con mayor detalle, a estos dos últimas se les aplicó una escala diferente a la de la señal de tensión en la carga, y a su vez se les alteró el valor medio con valores distintos entre si, para que en los instantes en que poseen el mismo valor, no se solapen en el gráfico. Analizando la figura, se puede concluir que:

- Hasta $t=80\mu\text{s}$ la llave superior se encuentra apagada, mientras que la llave inferior, encendida. La tensión en la carga posee un nivel estable cercano a -30V .
- En $t=80\mu\text{s}$ inicia el tiempo muerto, en el que ambas llaves permanecerán apagadas. Se observa una pequeña caída de tensión en la carga, relacionada a efectos resonantes entre las capacidades y inductancias parásitas, debidos a la conmutación en la tensión de entrada al optoacoplador. Aproximadamente 10ns después de la transición observada en ese instante, tiempo determinado por el establecimiento de la tensión V_{GS} en un nivel menor al del umbral, el canal de conducción interno del MOSFET inferior se extingue y la tensión en la carga comienza a aumentar desde -30V a 0V , con forma exponencial. Esta forma se debe a la carga de la capacidad C_{DS} inferior desde 0V a

30V, y la descarga simultánea de la capacidad C_{DS} superior desde 60V a 30V. En definitiva, la tensión en la carga, que como se mencionó, aumenta a 0V, lo hace en base a una constante temporal $\tau=2 * C_{DS} * R_L$. Para el nivel de tensión existente entre los terminales drain y source de los MOSFETs, según la hoja de datos del C2M0080120D, el dispositivo presenta una capacidad C_{DS} de aproximadamente 300pF. Luego en base al valor de la resistencia de carga, se obtiene $\tau=12\text{ns}$. Para la medición de la constante temporal se consideró el intervalo temporal en que la señal crece el 95% de la máxima variación teórica (aproximadamente 30V), ya que este crecimiento demandará 3τ . Se determinó que el mencionado intervalo temporal fue de 38ns, por lo que el τ medido fue de 12.66ns, valor muy cercano al teórico, calculado anteriormente.

- En $t=80.125\mu\text{s}$ finaliza el tiempo muerto. Luego del intervalo en que la tensión V_{GS} del MOSFET superior supera al valor de umbral, se genera el canal interno de conducción. La capacidad C_{DS} superior se descarga a 0V, y la inferior se carga a 60V. Debido a que el MOSFET superior posee abierto su canal, la corriente comienza a circular a través del mismo, generando transitoriamente efectos resonantes entre las capacidades e inductancias parásitas. Esto se evidencia en el rizado existente en la tensión de la carga. Una vez finalizado este efecto, la corriente fluye hacia la carga únicamente a través del canal de conducción, cuya resistencia se cuantifica mediante el valor de la resistencia de encendido, y la tensión en la carga se estabiliza en un valor cercano a 30V.

Cuando la carga conmuta desde el valor positivo de fuente, hacia el negativo, los efectos que suceden son análogos a los exhibidos en la figura 4.5.

A continuación se enlistan los valores de los principales resultados de la simulación.

- Tensión positiva estable de carga = 29.82V
- Tensión negativa estable de carga = -29.82V
- Tensión máxima sobrepico positivo = 40.89V
- Relatividad porcentual de sobrepico positivo = 37.12%

- Tensión máxima sobrepico negativo = -40.89V
- Relatividad porcentual de sobrepico positivo = 37.12%
- Tiempo de crecimiento = 9,1ns
- $\frac{dv}{dt}$ (media) = 3.6V/ns

Los idénticos resultados obtenidos en el semiciclo positivo y negativo se deben a la simetría del circuito. El tiempo de crecimiento es el intervalo en el que la tensión en la carga crece desde el 10% de su valor máximo (valor de sobrepico) al 90% del mencionado valor. De forma análoga se midió el tiempo de caída. Ambos tiempos resultaron prácticamente iguales.

4.1.1.2. Carga Resistiva - Tensión Nominal

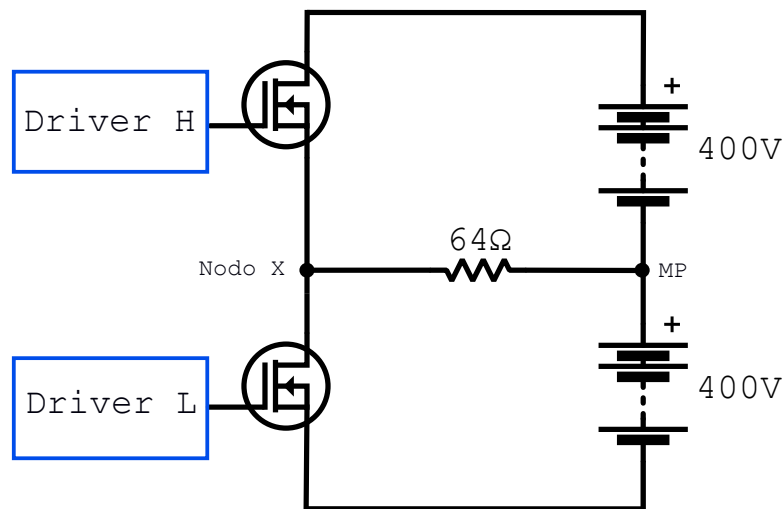


Figura 4.6: Modelo simplificado circuital NL5. Inversor con carga resistiva. Tensión Nominal.

Para la simulación del BCEP como inversor con carga resistiva en tensión nominal, se utilizó el esquema que se muestra en la figura 4.6. El valor de la resistencia de carga se estableció a partir de calcular una potencia de 2.5 kW. Los parámetros tomados, se enlistan a continuación.

- Resistencia de carga = 64Ω
- Tensión de Bus = $\pm 400V$

- Ciclo de trabajo = 0.5
- Tiempo muerto = 125ns

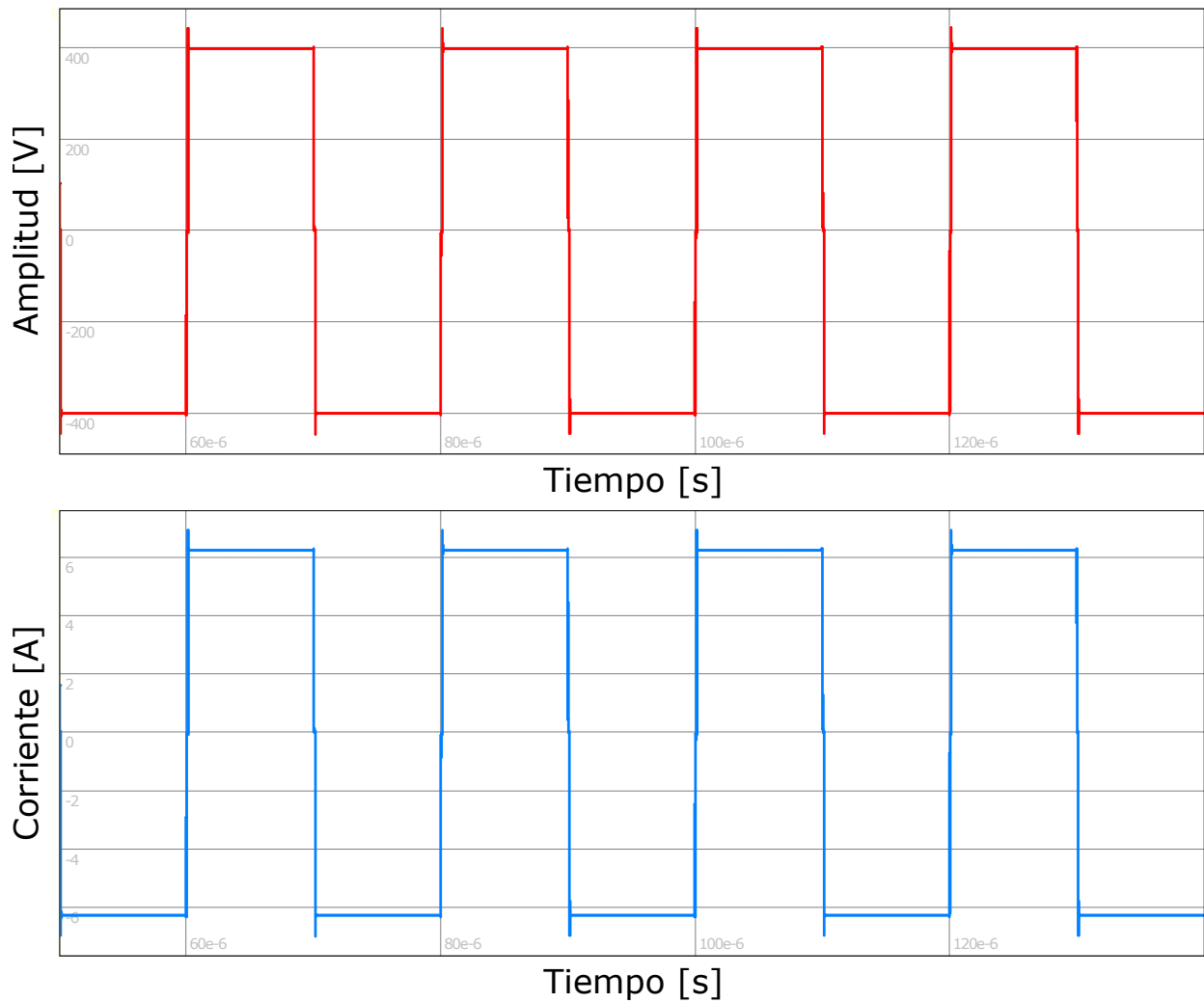


Figura 4.7: Resultados de simulación en NL5. Tensión y corriente en la carga. Carga resistiva. Tensión nominal.

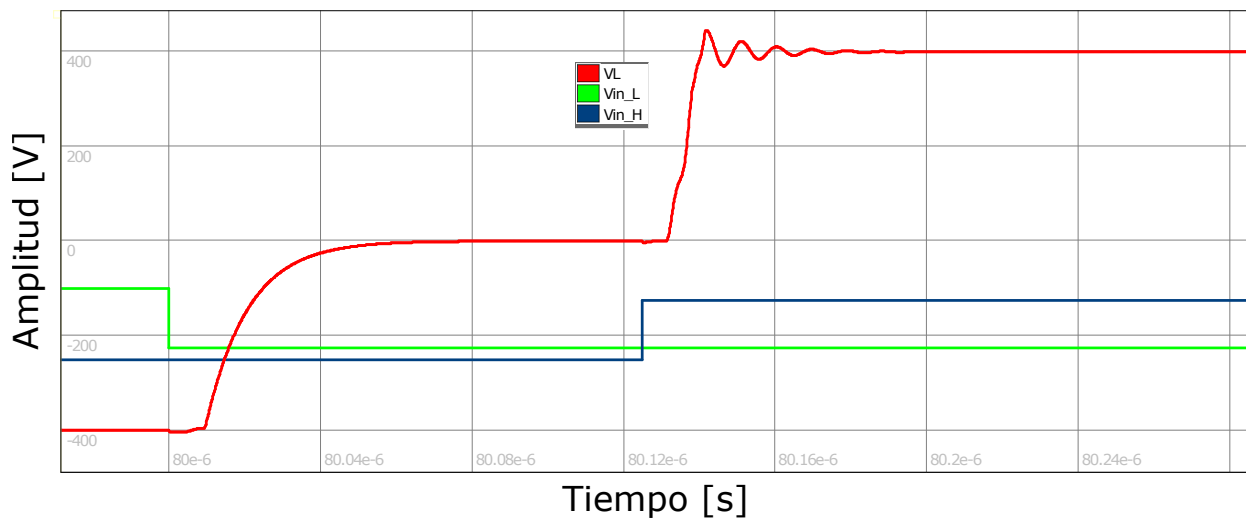


Figura 4.8: Resultados de simulación en NL5. Ampliación transitoria de tensión de carga. Carga resistiva. Tensión Nominal.

La figura 4.7 muestra las formas de onda de tensión y corriente en la carga resistiva, mientras que en la figura 4.8 se exhibe en rojo una ampliación del transitorio en la tensión de carga. En verde y en azul, se muestran las tensiones de entrada a los LEDs de los optoacopladores (inferior y superior, respectivamente).

Como se observa en la figura 4.7, la forma de onda de la corriente es idéntica a la de la tensión, variando únicamente su amplitud.

Respecto al transitorio en la tensión de carga, al conmutar a valores mayores de tensión (respecto a la simulación del inversor con carga resistiva en baja tensión) las capacidades parásitas C_{GD} y C_{DS} disminuyen notoriamente su valor. En efecto, el sobrepico de tensión se hace menor en términos relativos. Como puede observarse al comparar la figura 4.8 y la figura 4.5, la forma de onda es similar. La tensión inicialmente está fijada en el valor negativo de fuente. Al aplicarse la tensión V_{GS} de corte al MOSFET inferior, inicialmente se produce un efecto que hace disminuir a un valor menor que $-400V$ a la tensión de fuente, cuya razón fue explicada anteriormente. Luego de extinguirse el canal de conducción del MOSFET inferior, la tensión en la carga asciende de forma exponencial. La constante temporal en este caso será distinta, debido a que tanto la resistencia de carga, como la capacidad parásita C_{DS} son diferentes respecto al caso estudiado previamente. Según el fabricante del $C2M0080120D$, para niveles máximos de tensión V_{DS} de $800V$, el valor de C_{DS} es de aproximadamente $80pF$. En efecto, la constante temporal teórica es en este caso de $10.24ns$. La

simulación, arrojó un valor de $\tau=10.8\text{ns}$, el cuál es muy cercano al teórico.

Una vez finalizado el efecto de las cargas y descargas de las capacidades C_{DS} inferiores y superiores, respectivamente, la tensión V_{DS} permanece estable hasta que se aplica un nivel V_{GS} de saturación al MOSFET superior. Luego de aproximadamente 10ns, tiempo que tarda la tensión V_{GS} en superar a V_{TH} (relacionado con la carga de las capacidades C_{GS} y C_{GD} y al valor de la suma entre resistencia externa de encendido, y la resistenncia interna de gate), el canal de conducción del MOSFET superior se genera, y la corriente comienza a circular por el mismo. La tensión en la carga crece, y luego de un efecto de rizado, se establece en un valor de aproximadamente 400V.

A continuación se enlistan los valores de los principales parámetros arrojados por la simulación.

- Tensión positiva estable en la carga = 399.25V
- Tensión negativa estable en la carga = -399.25V
- Tensión máxima sobrepico positivo = 444.82V
- Relatividad porcentual de sobrepico positivo = 14.14%
- Tensión máxima sobrepico negativo = -444.82V
- Relatividad porcentual de sobrepico negativo = 14.14%
- Tiempo de crecimiento = 11.5 ns
- $\frac{dv}{dt}(\text{media}) = 30.9\text{V/ns}$

Se logra observar que a tensión nominal, la relatividad porcentual de los sobrepicos de tensión se reduce sustancialmente (de sobrepicos mayores a 35% a menores de 15%). A su vez la dv/dt promedio obtenida, no supera el criterio de diseño.

4.1.1.3. Carga Inductiva - Baja Tensión

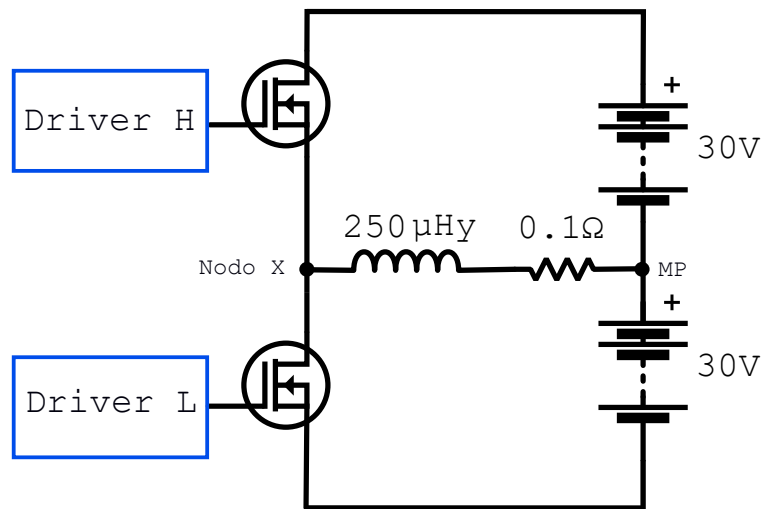


Figura 4.9: Modelo simplificado circuital NL5. Inversor con carga inductiva. Baja tensión.

Para la simulación del BCEP como inversor en baja tensión con carga inductiva, se utilizó el esquema que se muestra en la figura 4.9. Los parámetros utilizados en la simulación, se enlistan a continuación.

- Inductancia de la carga = $250\mu\text{Hy}$
- Resistencia serie en la carga = 0.1Ω
- Tensión de Bus = $\pm 30\text{V}$
- Ciclo de trabajo = 0.5
- Tiempo muerto = 125ns

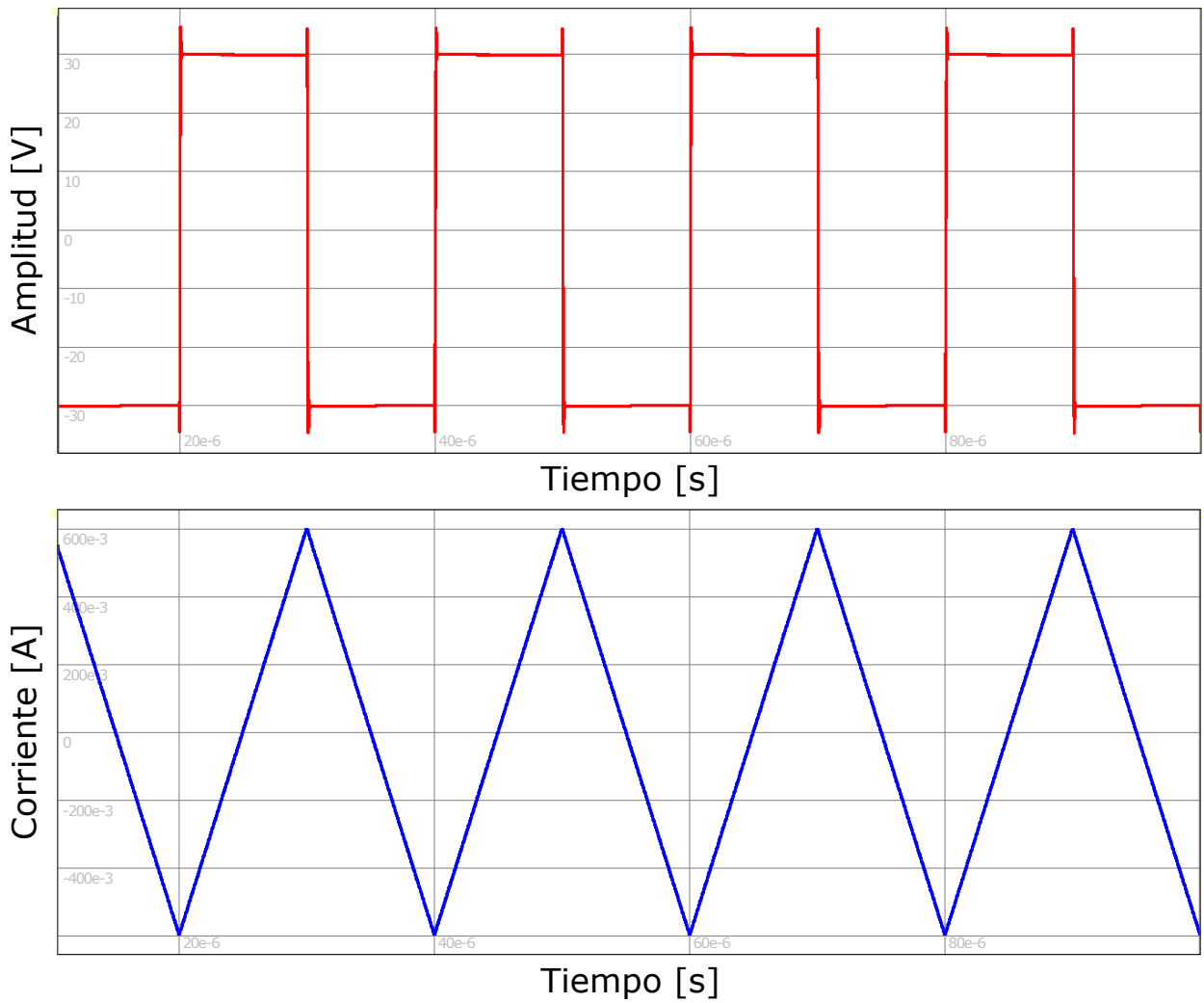


Figura 4.10: Resultados de simulación en NL5. Tensión y corriente en la carga. Carga Inductiva. Baja tensión.

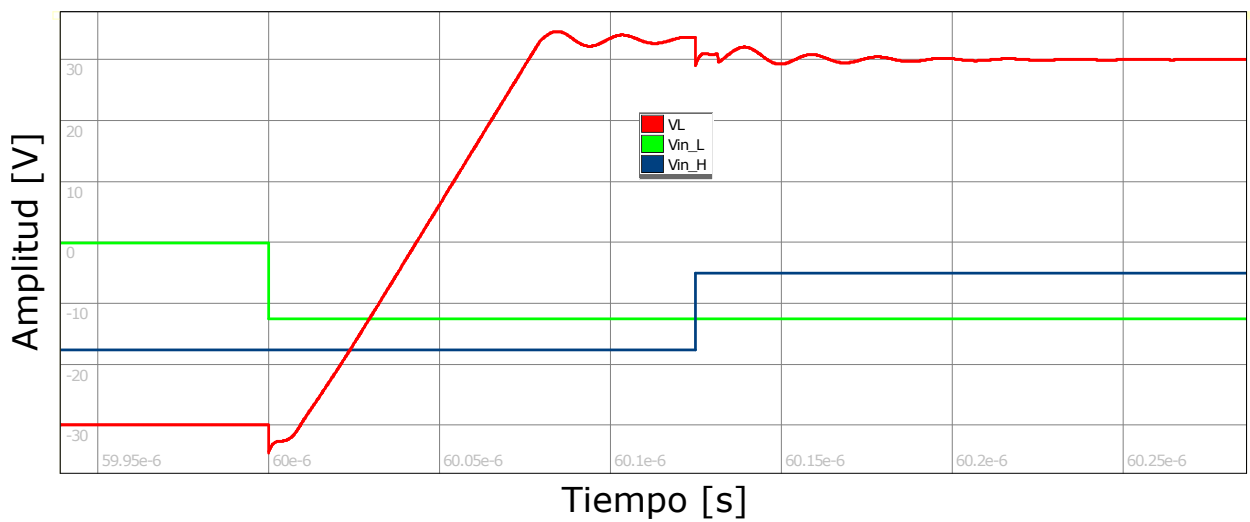


Figura 4.11: Resultados de simulación en NL5. Ampliación transitorio de tensión de carga. Carga inductiva. Baja tensión.

La figura 4.10 muestra las formas de onda de tensión y corriente en la carga inductiva. En la misma puede observarse la forma triangular de la corriente, esperable para una carga inductiva excitada con una forma de onda de tensión cuadrada.

En la figura 4.11 se exhibe una ampliación del transitorio en la tensión de carga. Debido a la naturaleza de la carga, la forma de onda difiere en varios aspectos respecto al caso de la carga resistiva. Analizando la figura, se puede concluir que:

- Hasta el instante $t=60\mu s$ el MOSFET inferior se encuentra encendido, y la corriente circulando a través de su canal de conducción. En el mencionado instante, se aplica un potencial negativo entre los terminales gate y source del dispositivo, y toma lugar el efecto explicado en la sección 4.1.1.1 que genera un pico de tensión negativa en la carga.
- Una vez que la tensión V_{GS} alcanza un valor menor que el del umbral, el canal de conducción deja de existir, y la corriente ya no circula a través del mismo. A partir de ese instante, la corriente circula únicamente a través de las capacidades C_{DS} . Debido a la naturaleza de la carga, es posible considerar que la corriente mantiene su valor durante todo el intervalo estudiado. En base a una corriente constante, la capacidad C_{DS} inferior, inicialmente descargada, comienza a cargarse de forma lineal, mientras que la capacidad C_{DS} superior, con tensión inicial de aproximadamente 60V, se descarga de la misma manera. De esto modo, la tensión en la carga crece también linealmente, con una pendiente determinada por $\frac{I_L}{2C_{DS}}$. Considerando que la corriente en los picos es de 600mA, y C_{DS} para las condiciones de tensión adoptadas para la simulación, toma un valor de aproximadamente 300pF, la pendiente teórica tiene un valor de $\frac{600mA}{600pF}$, es decir 1V/ns. Tomando valores de la simulación, puede observarse que cuando la tensión en la carga comienza a crecer linealmente, su valor es de aproximadamente -32.5V, mientras que en su pico máximo posee una amplitud de 34.7V, el tiempo de crecimiento teórico es de 53.76ns. El medido en la simulación, resultó ser de 56.9ns, valor muy cercano al esperado.
- Luego del tiempo de crecimiento, puede observarse un primer rizado de una duración aproximada de 40ns, mientras que el valor medio de la tensión en la carga, queda

establecido en 33.3V. Esto está debido a que la corriente se encuentra circulando por el diodo de cuerpo del MOSFET superior. Una vez que la tensión en la capacidad C_{DS} superior, toma un valor de -3.3V, el mencionado diodo de cuerpo se polariza en directa, ya que su valor de tensión de umbral es 3.3V. A partir de ese instante, la corriente comienza a circular desde la carga inductiva hacia el diodo de cuerpo, mientras que la tensión en las capacidades C_{DS} se mantiene con un valor medio de -3.3V y 63.3V para el superior e inferior, respectivamente. De esta forma, a pesar de que ambas llaves se encuentran apagadas, la tensión en la carga se establece durante este periodo en un valor cercano al de la fuente positiva. El rizado observado se debe a las inductancias y capacitancias parásitas que resuenan a la frecuencia natural del circuito.

- Para $t=60.125\mu s$ finaliza el tiempo muerto. Se aplica una tensión positiva entre gate y source del MOSFET superior. Puede observarse en la tensión de la carga, un pico negativo, que se produce por razones análogas a las comentadas para el instante $t=60\mu s$. Una vez generado el canal de conducción, la corriente comienza a circular a través del mismo, y deja de hacerlo por el diodo de cuerpo. Luego de un nuevo rizado, la tensión en la carga queda establecida en un valor muy cercano a 30V.

A continuación se enlistan los valores de los principales resultados de la simulación.

- Tensión media positiva estable en la carga $\approx 30V$
- Tensión media negativa estable en la carga $\approx -30V$
- Corriente máxima en la carga = 600mA
- Corriente mínima en la carga = -600mA
- Tensión máxima sobrepico positivo = 34.67V
- Relatividad porcentual de sobrepico positivo = 15.56%
- Tensión máxima sobrepico negativo = -34.67V
- Relatividad porcentual de sobrepico negativo = 15.56%
- Tiempo de crecimiento = 56.9ns

- $\frac{dv}{dt}(\text{media}) = 0.941\text{V/ns}$

4.1.1.4. Carga Inductiva - Tensión Nominal

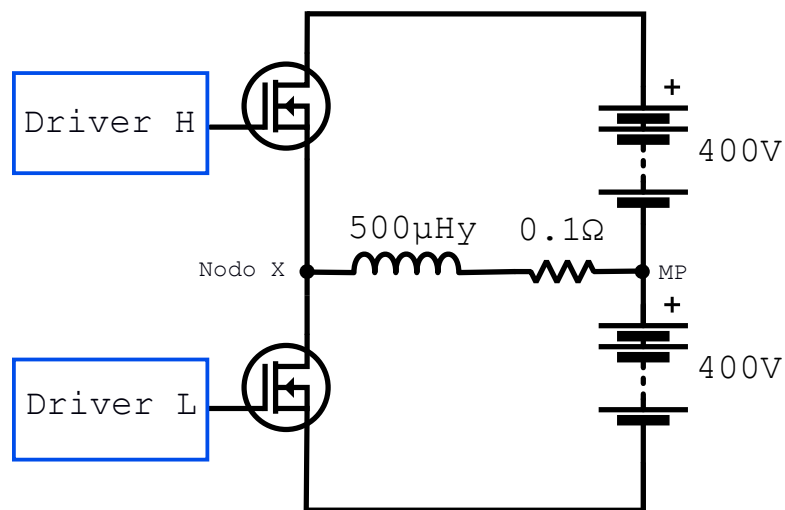


Figura 4.12: Modelo simplificado circuital NL5. Inversor con carga inductiva. Tensión nominal.

Para la simulación del BCEP como inversor en alta tensión con carga inductiva, se utilizó el esquema que se muestra en la figura 4.12. Los parámetros utilizados en la simulación se enlistan a continuación.

- Inductancia en la carga = $500\mu\text{Hy}$
- Resistor serie de la carga = 0.1Ω
- Tensión de Bus = $\pm 400\text{V}$
- Ciclo de trabajo = 0.5
- Tiempo muerto = 125ns

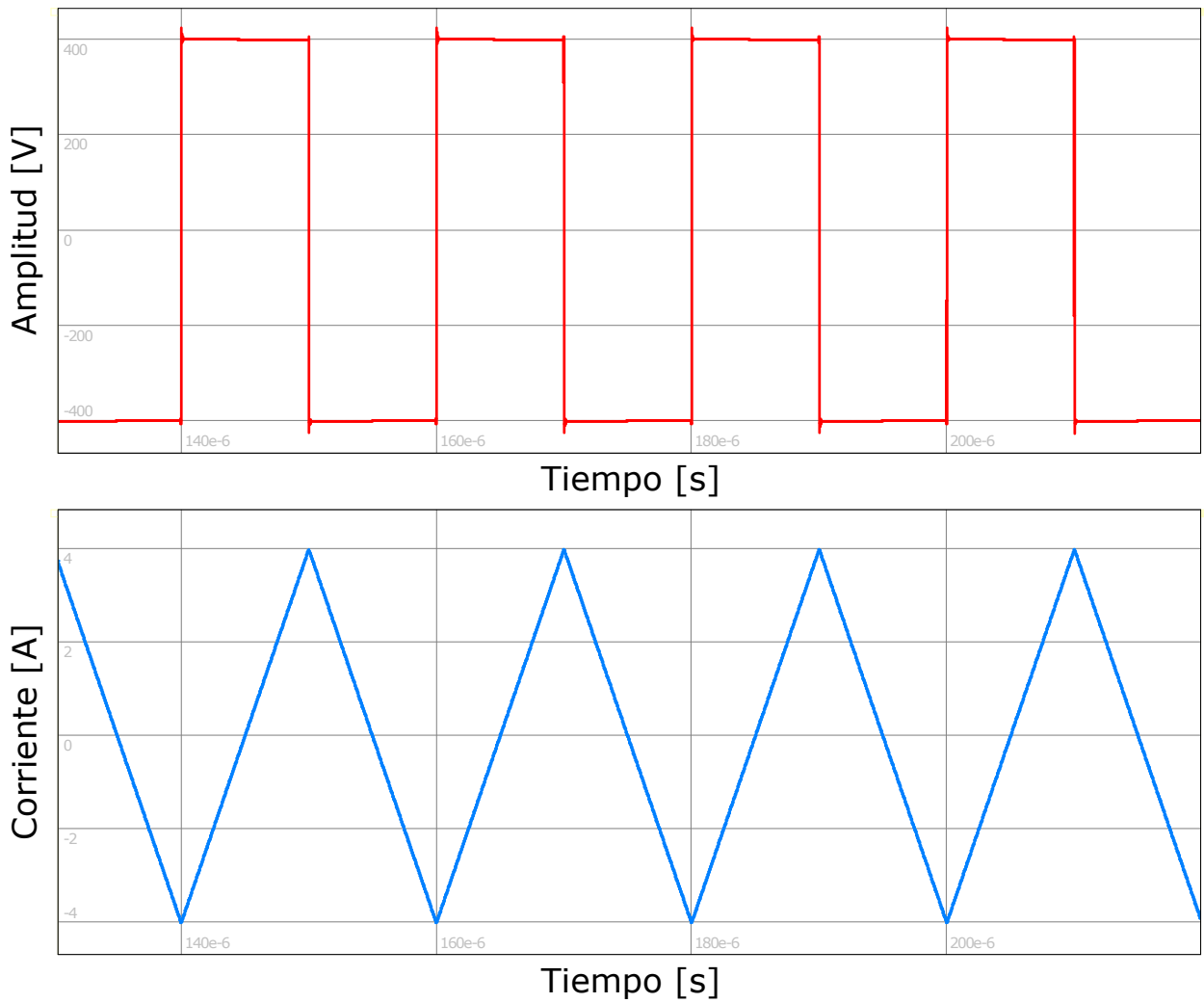


Figura 4.13: Resultados de simulación en NL5. Tensión y corriente en la carga. Carga Inductiva. Tensión nominal.

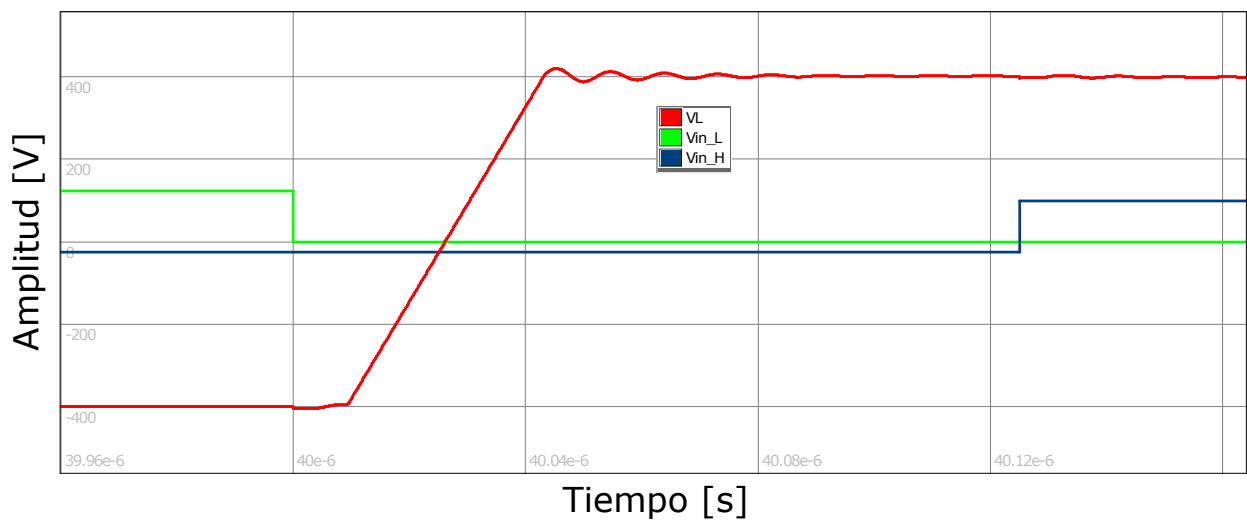


Figura 4.14: Resultados de simulación en NL5. Ampliación transitorio de tensión en carga. Carga inductiva. Tensión nominal.

La figura 4.13 muestra las formas de onda de tensión (rojo) y corriente (celeste) en la carga inductiva. En concordancia con la simulación anterior, se logra observar una forma de onda cuadrada de tensión y triangular de corriente. Respecto a los transitorios, se observa que los mismos son en términos relativos, menores. La figura 4.14 muestra una ampliación del transitorio en la tensión de carga cuando esta conmuta desde el nivel de fuente negativa, hacia el nivel de fuente positiva. En verde se muestra la tensión de entrada al LED del optoacoplador inferior, mientras que en azul, la tensión de entrada al LED del optoacoplador superior. Los efectos observados en la tensión de carga en los instantes de las transiciones de las tensiones de entrada a los optoacopladores, siguen existiendo, pero se hacen menores en forma relativa. En este caso, debido a que la corriente en los picos posee un valor de 4A, y la capacidad C_{DS} un valor aproximado de 80pF, la pendiente de crecimiento teórica dada por $\frac{I_L}{2C_{DS}}$, tiene un valor de 25v/ns, por lo que, considerando que cuando la tensión en la carga comienza a crecer posee un valor de -403.50V, y que en su pico máximo presenta una amplitud de 421.63V, el tiempo de crecimiento teórico es de 26.13ns. El medido en la simulación, resultó ser de 27.6ns, valor muy cercano al esperado. Debido a que respecto a la simulación del inversor con carga inductiva en baja tensión, la capacidad C_{DS} queda multiplicada por un factor 1/3.75 y la corriente por un factor 6.66, es esperable que la dv/dt promedio en la tensión de la carga aumente un 2400%, tomando un valor de 23.5v/ns. La medición de este parámetro arrojó un valor de 23.67v/ns, lo que muestra un comportamiento coherente de las simulaciones.

A continuación se enlistan los valores de los principales parámetros arrojados por la simulación.

- Tensión media positiva estable en la carga 400V
- Tensión media negativa estable en la carga = -400V
- Corriente máxima de carga = 4A
- Corriente mínima de carga = -4A
- Tensión máxima sobrepico positivo = 421.63V
- Relatividad porcentual de sobrepico positivo = 5.41 %

- Tensión máxima sobrepico negativo = -421.63V
- Relatividad porcentual de sobrepico negativo = 5.41 %
- Tiempo de crecimiento = 27.6ns
- $\frac{dv}{dt}$ (media) = 23.67V/ns

Como en el caso del inversor con carga resistiva, al aumentar la tensión de conmutación, se observa una importante reducción porcentual de los sobrepicos. En baja tensión, los sobrepicos llegan a superar el 15% , mientras que a tensión nominal, están apenas por encima del 5%.

4.2. BCEP como Convertidor DC-DC

Como se explicó en el capítulo 1, para convertidores DC-DC, la conmutación de una de las llaves es comandada por la tensión entre gate y source, mientras que la otra puede conmutar de dos maneras posibles:

- Manteniendo establemente la tensión V_{GS} por debajo del umbral. En ese caso, la corriente circula por el diodo de cuerpo. **Se trata del modo asincrónico de operación.**
- Conmutando la tensión V_{GS} entre un valor mayor al umbral y uno menor al mismo. En este caso, durante el periodo de conducción, la corriente circula por la resistencia de encendido del MOSFET (canal de conducción). **Se trata del modo sincrónico de operación.**

Si se hace uso de la primera alternativa, la corriente que circule por el MOSFET lo hará a través de su diodo de cuerpo, ya que no se generará el canal de conducción. Este efecto impacta sobre la eficiencia debido a las mayores pérdidas por conducción ligadas a la tensión de polarización en directa del diodo.

Si se opta por la segunda opción, la corriente circula por las resistencias de encendido, generando pérdidas por conducción menores.

En base a estas premisas, es esperable que el modo sincrónico de operación, sea mas eficiente en términos de disipación de potencia que el modo asincrónico. Para comprobar esta teoría, ambas alternativas se evalúan mediante simulaciones.

Las cargas fueron modeladas mediante un generador de tensión o corriente con el valor deseado, de manera tal de poder calcular la eficiencia de forma sencilla. A su vez, los valores se ajustaron para obtener una potencia de entrada o de salida de 2.5 kW.

Los tiempos muertos fueron impuestos en 125ns debido a ser un valor adecuado para los parámetros temporales de los MOSFETs, e implementable mediante el microcontrolador utilizado para las pruebas experimentales.

Los cálculos de eficiencia no contemplaron la potencia disipada en drivers, circuitos integrados ni componentes pasivos.

4.2.1. B CEP como Convertidor DC-DC Boost

4.2.1.1. Rectificación sincrónica

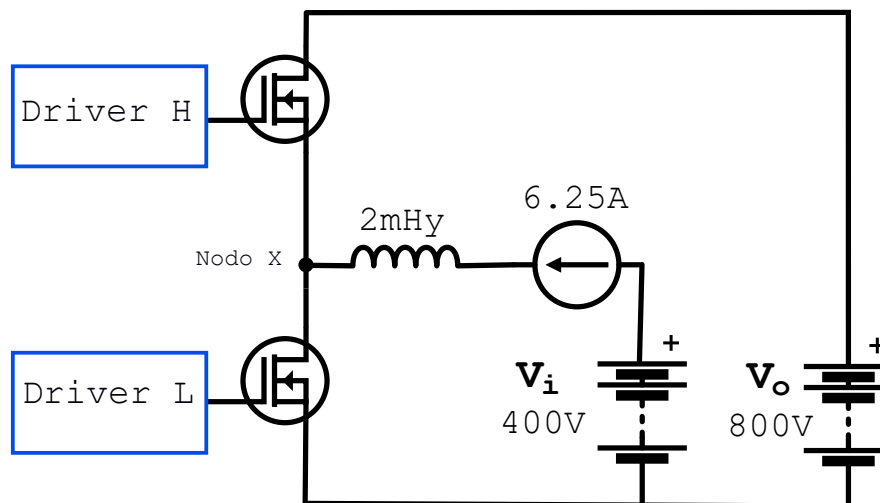


Figura 4.15: Modelo simplificado circuital NL5. Convertidor DC-DC Boost. Rectificación sincrónica . Tiempo muerto = 125ns.

Para la simulación del B CEP como convertidor DC-DC con las características anteriormente mencionadas, se utilizó el esquema que se muestra en la figura 4.15. Los parámetros utilizados para la simulación, se enlistan a continuación.

- Tensión de entrada = 400V

- Tensión de salida = 800V
- Ciclo de trabajo = 0.5
- Tiempo muerto = 125ns

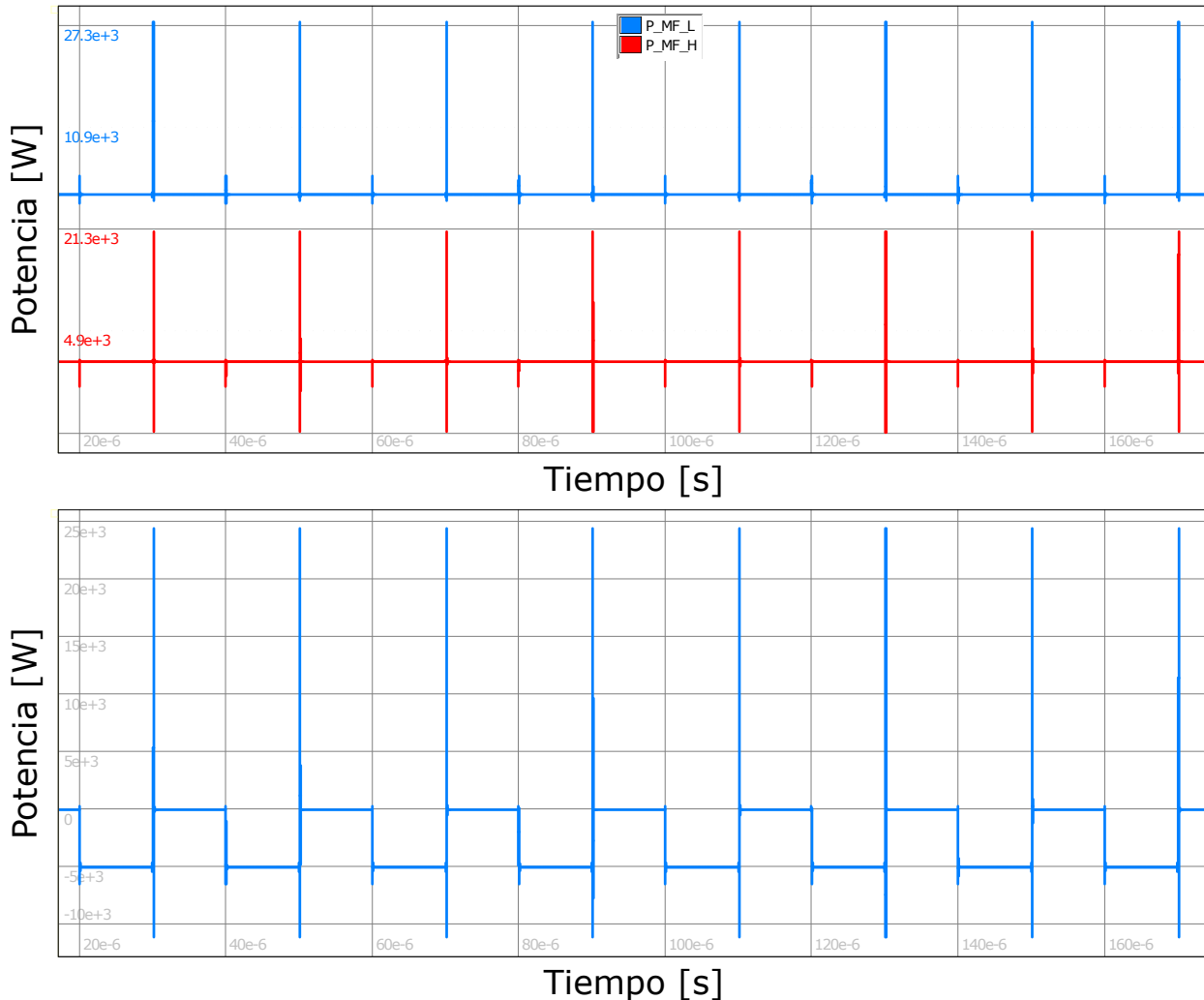


Figura 4.16: Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación sincrónica. Tiempo muerto = 125ns. Formas de onda de potencia en MOSFETs (arriba). Forma de onda de potencia en carga (abajo).

La subfigura superior de la figura 4.16 muestra en celeste la forma de onda de potencia del MOSFET inferior y en rojo la forma de onda de potencia del MOSFET superior. La subfigura inferior, muestra la forma de onda de potencia en la carga.

En la subfigura inferior, puede observarse que la potencia en la carga conmuta entre un valor de aproximadamente 5kW y otro de 0kW. Este hecho está debido a la idealización de

la carga. Cuando el MOSFET utilizado como llave está en estado de saturación, la corriente circula entre las fuentes de entrada y su canal de conducción cuantificado por el valor de su resistencia de encendido. Durante ese periodo, la carga, idealizada como un generador ideal de tensión continua, posee corriente nula. Una vez apagado el MOSFET inferior, y encendido el superior, utilizado como rectificador sincrónico, la corriente fluye desde las fuentes de entrada, hacia la carga, circulando a través de la resistencia de encendido del MOSFET superior, generando una potencia dada por la multiplicación entre el valor de corriente (6.25A), y el de la tensión (800V), resultando en 5kW.

Si se analiza la subfigura superior, puede observarse que excepto en las transiciones, la potencia se mantiene estable. La potencia instantánea estable de ambos MOSFETs conmuta entre 0W y 4.6875W (valor esperable en base a una resistencia de encendido de 120 mΩ y una corriente de 6.25A), por lo que en un modelo ideal, la potencia media sería 2.34375W. Sin embargo en las transiciones se generan sobrepicos como consecuencia de los transitorios de tensión y corriente provocados por el comportamiento real del MOSFET. Los mencionados elevan el valor medio de la potencia. En la figura puede observarse que la altura de los sobrepicos es mayor en el MOSFET inferior. A su vez, los mayores sobrepicos del MOSFET superior, poseen parte positiva y negativa, generando un valor medio más reducido aun. Para explicar las diferencias observables en los sobrepicos, es necesario realizar un análisis en los transitorios de apagado y encendido en las tensiones y corrientes de ambos MOSFETs. El mismo será realizado en detalle luego de analizar los resultados de la simulación, en la sección 4.2.1.1.1.

A continuación se enlistan los valores de los principales parámetros arrojados por la simulación.

- Potencia media de fuente de tensión de entrada = 2500W
- Potencia media de fuente de corriente de entrada = 37.67W
- Potencia media total de entrada = 2537.67W
- Potencia media sobre MOSFET inferior = 14.92W
- Potencia media sobre MOSFET superior = 2.85W

- Potencia media de salida = 2519.90W
- Eficiencia = 99.29%

Más allá de estar ambos MOSFETs conmutando, la potencia que disipa el que opera como rectificador sincrónico (superior) es de apenas un 19.1 % de la disipada por el que opera como llave (inferior). Esta diferencia está debida al sentido único de circulación de la corriente. En el MOSFET superior, la corriente circula desde source hacia drain, implicando que la misma, pueda circular a través del diodo de cuerpo. En el MOSFET inferior la corriente circula desde drain hacia source, por lo que el diodo de cuerpo no se polariza en directa y la corriente no puede circular a través del dispositivo. Las mencionadas cuestiones, poseen implicancias sobre las pérdidas por conmutación.

4.2.1.1.1. Análisis de transitorios

A continuación, se analizan los transitorios ocurridos en las señales de corriente y tensión de ambos MOSFETs en sus conmutaciones de estado.

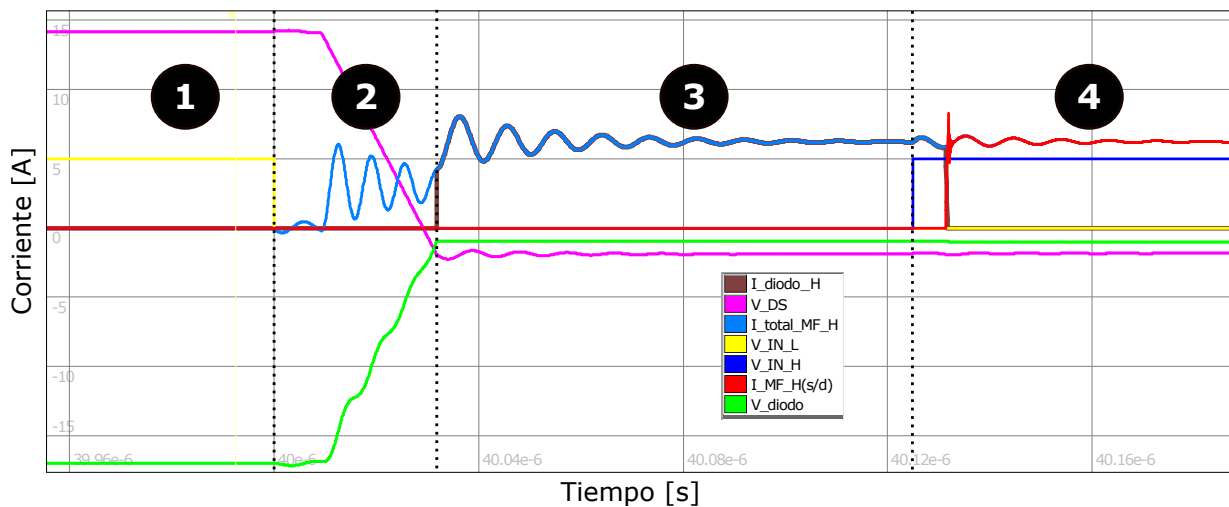


Figura 4.17: Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación sincrónica. Tiempo muerto = 125ns. Transitorios durante el encendido del MOSFET superior.

En la figura 4.17 se muestran distintas formas de onda durante el encendido del MOSFET superior. En la misma se representan:

- En rosa la tensión V_{DS} del MOSFET superior, la cual en su máximo valor (zona 1) tiene un valor cercano a 800V, mientras que en la zona 3 posee un valor medio de -3.3V. Se

aplicó un nivel de tensión de offset, para apreciar mejor los detalles.

- En verde, la caída de tensión en el diodo de cuerpo del MOSFET superior, considerándolo como componente extrínseco al mismo. En su nivel mínimo posee un valor cercano a -800 V (zona 1), mientras que en su nivel máximo, un valor de 3.3V. En base al nivel de offset aplicado para una apreciación en detalle, el valor de tensión de 0V, esta aproximadamente entre medio de las señales verdes y rosas. Es decir, en zona 3 la tensión representada en color verde, es siempre positiva.
- En celeste la corriente total I_{DS} del MOSFET superior. La escala de corriente está fijada en el eje vertical.
- En rojo la corriente que circula por el canal de conducción del MOSFET superior. La escala de corriente está fijada en el eje vertical.
- En marrón, la corriente que circula por el diodo de cuerpo del MOSFET superior. La escala de corriente está fijada en el eje vertical.
- En azul la tensión de entrada al LED del optoacoplador superior. Se aplicó un factor de escala amplio, de forma tal que pueda apreciarse en detalle. El nivel de tensión de esta señal conmuta entre 5V y 0V.
- En amarillo la tensión de entrada al LED del optoacoplador inferior. Se aplicó un factor de escala amplio, de forma tal que pueda apreciarse en detalle. El nivel de tensión de esta señal conmuta entre 5V y 0V.

Análisis de las zonas de la figura 4.17:

- Zona 1: El MOSFET superior se encuentra apagado, mientras que el inferior, encendido. No hay circulación de corriente en el MOSFET inferior. V_{DS} está fijado en 800V, mientras que el diodo de cuerpo se encuentra polarizado en inversa con un nivel de tensión de -800V.
- Zona 2: En el instante $t=40\mu s$, se envía una señal de conmutación de estado al MOSFET inferior. Puede observarse que inicialmente las señales graficadas en rosa y verde,

prácticamente no cambian de valor (solo tienen un efecto transitorio provocado por las mismas cuestiones que se mencionaron en anteriores simulaciones). Una vez que la tensión V_{GS} del MOSFET inferior cae debajo del umbral, la corriente comienza a descender su nivel, y el nivel de tensión entre drain y source, a aumentar en base a la carga de su capacidad C_{DS} . Durante ese lapso, también comienza a circular corriente hacia el MOSFET superior. Debido a que se encuentra en condiciones de corte, no posee generado el canal de conducción, a su vez, debido al nivel insuficiente de tensión en el diodo de cuerpo, la corriente no circula por este componente. En efecto, circula una corriente con valor medio de 3.125A (mitad del valor de la fuente de corriente) solo por la capacidad C_{DS} , generando una descarga lineal, lo cual puede verse en la señal rosa. El rizado observado en la señal celeste, se debe a efectos resonantes entre las inductancias y capacidades parásitas. Como puede verse en rojo, la corriente que circula entre los terminales drain y source del MOSFET superior, considerándolo extrínseco a sus capacidades parásitas y su diodo de cuerpo es nula. Así también la corriente que circula por el diodo de cuerpo (marrón).

- En el inicio de la zona 3 puede observarse que la corriente del diodo de cuerpo crece rápidamente. Esto se debe a que en el instante de inicio de la zona, la tensión V_{DS} graficada en rosa, llega a un nivel de -3.3V, mientras que la tensión del diodo, a 3.3V, polarizándolo en directa. De esta forma, la capacidad parásita C_{DS} deja de descargarse y se establece en forma media en -3.3V (el rizado está debido a cuestiones previamente explicadas). Así, durante este lapso la corriente circula únicamente a través del diodo de cuerpo. Esto puede verse en la figura ya que las señales celestes y marrones se encuentran superpuestas.
- El inicio de la zona 4 se marca con la llegada del semiciclo positivo de la señal de comando del MOSFET superior. La capacidad de entrada C_{GS} comienza a cargarse. La corriente inicialmente continua circulando por el diodo de cuerpo, y su nivel de tensión permanece fijo. Cuando la tensión V_{GS} supera al umbral, se genera el canal de conducción. En efecto, y dado que el MOSFET inferior ya se encuentra apagado, la corriente de fuente comienza a circular por el mencionado canal. Puede apreciarse

que la señal en rojo se superpone con la señal en celeste, mientras que la señal marrón, toma un valor de 0A. Una vez finalizado el rizado, la corriente total se establece en 6.25A, mientras que tanto la tensión V_{DS} como la del diodo, se fijan en 0V.

Considerando a las capacitancias e inductancias parásitas como componentes no disipativos, las pérdidas por conmutación son extremadamente bajas, ya que existen principalmente en zona 3, con valores bajos de corriente y muy bajos de tensión (3.3V). Si se considera que la tensión del diodo no cambia instantáneamente, al comenzar a circular corriente por la el canal de conducción del MOSFET superior, la tensión VDS es de -3.3V. En base a estas premisas, puede concluirse que el MOSFET superior conmuta de estado apagado a encendido prácticamente en condiciones de ZVS (por sus siglas en inglés: *Zero Voltage Switching*).

En los instantes en que el MOSFET superior se enciende, casi de forma simultanea, el MOSFET inferior se apaga. Obsérvese la figura 4.18 en la que se muestra el transitorio ocurrido en distintas señales relativas al MOSFET inferior cuando el mismo conmuta su estado de encendido a apagado.

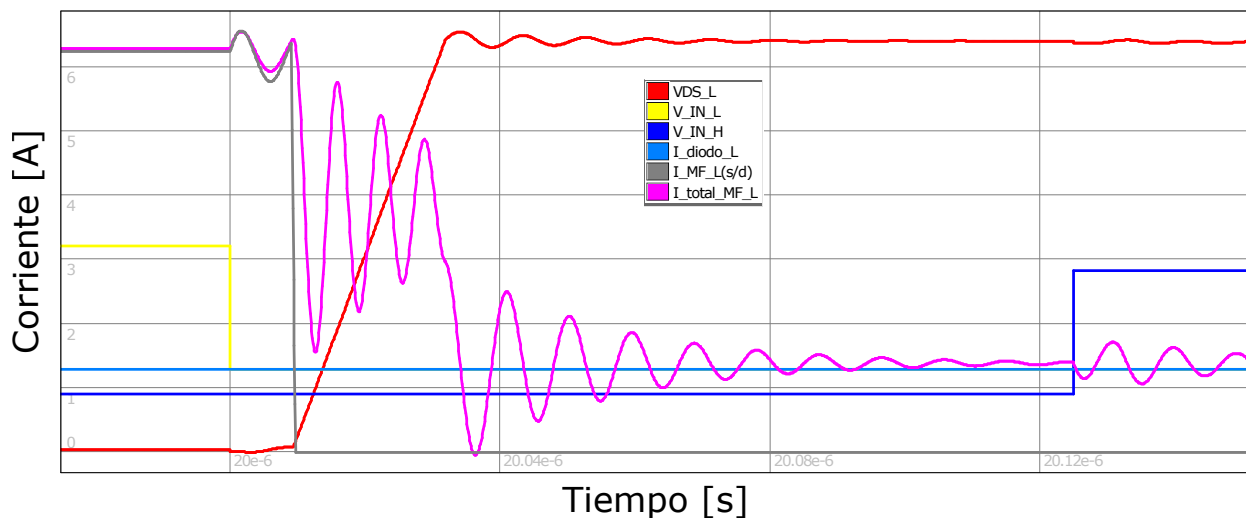


Figura 4.18: Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación sincrónica. Tiempo muerto = 125ns. Transitorios durante el apagado del MOSFET inferior.

En la figura 4.18 se representa en rojo la tensión V_{DS} del MOSFET inferior. En gris la corriente que circula por el canal de conducción del mencionado dispositivo. En celeste, la corriente que circula por su diodo de cuerpo. En rosa la corriente total I_{DS} . En amarillo la tensión de entrada al LED del optoacoplador inferior, mientras que en azul, la tensión de

entrada al LED del optoacoplador superior. Estas dos últimas señales fueron multiplicadas por un factor de escala elevado para un mayor nivel de detalle. La escala del eje vertical se corresponde a las señales de corriente. Una vez que la señal graficada en amarillo conmuta su valor, la capacidad V_{GS} del MOSFET inferior comienza a descargarse a un valor de -6V. Cuando la tensión V_{GS} alcanza un nivel de corte, el canal de conducción se extingue. La corriente total de la fuente que hasta ese instante circulaba por el canal, deja de hacerlo como puede verse en la señal gris, que rápidamente conmuta su valor a 0A. La impedancia vista desde el punto medio de conmutación está balanceada hacia ambos lados en ese instante, y en la misma predomina la que presenta la capacidad C_{DS} de cada uno de los MOSFETs. Así, la mitad de la corriente de fuente circula hacia arriba, y la mitad hacia abajo. De esta forma la tensión V_{DS} crece de forma lineal. Este efecto también puede notarse en la figura 4.17, donde se observa que la tensión V_{DS} del MOSFET inferior decrece en forma lineal y con misma pendiente. El mismo está debido a la circulación de una corriente de valor medio constante a través de las capacidades C_{DS} . En rosa, puede observarse que la corriente total presenta un rizado, debido a efectos resonantes con las inductancias parásitas incluidas en el modelo de simulación. Sin embargo, durante el intervalo de variación lineal de V_{DS} , el valor medio de esta corriente es de 3.125A, es decir la mitad del valor de la corriente de fuente. La tensión V_{DS} deja de variar su valor cuando se polariza en directa el diodo de cuerpo del MOSFET superior, y la corriente de fuente comienza a circular en su totalidad a través del mismo. Finalizados los intervalos de rizado, la tensión V_{DS} se establece en aproximadamente 800V. Instantes después de que la señal azul conmuta, el canal de conducción del MOSFET superior se genera, por lo que la corriente comienza a circular a través del mencionado canal. Este cambio instantáneo en la impedancia vista desde el punto medio, genera un pequeño efecto resonante entre las capacidades e inductancias parásitas. Puede verse un rizado en la señal rosa y otro en la señal roja. Los niveles de amplitud pico a pico de los mismos son relativamente bajos, debido a que el único efecto permanente que posee este cambio de camino de circulación de la corriente, es el establecimiento de la tensión V_{DS} superior en aproximadamente 0V (en instantes anteriores a la apertura del canal de conducción del MOSFET superior, estaba establecida en -3.3V, debido al nivel de tensión de polarización en directa del diodo de cuerpo).

Como puede observarse, la señal en celeste no presenta ninguna alteración, y su valor es permanente de 0A. Es decir, la corriente I_{DS} en el MOSFET inferior, nunca circula a través del diodo de cuerpo.

Si se consideran extrínsecos al MOSFET su diodo de cuerpo y las capacidades parásitas, puede observarse que al conmutar su corriente desde -6.25A a 0A, el valor V_{DS} es prácticamente de 0V. En efecto, es posible afirmar que el MOSFET inferior conmuta su estado de encendido a apagado en condiciones de ZVS.

Respecto a los instantes en que el MOSFET superior conmuta su estado de encendido a apagado, y el MOSFET inferior conmuta su estado de apagado a encendido, observensé las figuras 4.19 y 4.20.

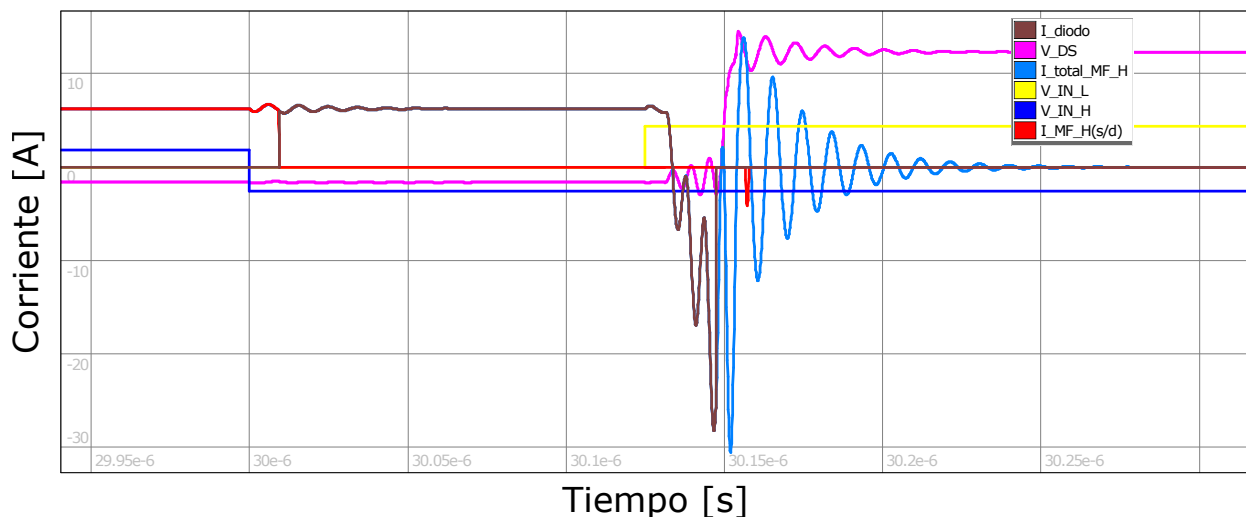


Figura 4.19: Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación sincrónica. Tiempo muerto = 125ns. Transitorios durante el apagado del MOSFET superior.

En la figura 4.19 se muestra el transitorio ocurrido en distintas señales durante el intervalo en el que el MOSFET superior conmuta su estado de encendido a apagado. Las referencias de los trazos, son las mismas que las de la figura 4.17.

Una vez que la señal graficada en azul conmuta su valor, la capacidad V_{GS} del MOSFET superior comienza a descargarse a un valor de -6V. Cuando la tensión V_{GS} alcanza un nivel de corte, el canal de conducción se extingue. La corriente total de la fuente que hasta ese instante circulaba por el canal del MOSFET superior, deja de hacerlo como puede verse en la señal roja, que rápidamente conmuta su valor a 0A. Sin embargo, el dispositivo no se apaga, debido a que la corriente continua circulando por su diodo de cuerpo, como se puede

ver en la señal marrón, imponiendo un nivel de tensión V_{DS} de $-3.3V$. Las condiciones se mantienen estables hasta que finaliza el tiempo muerto.

Una vez que la señal amarilla conmuta su valor, se generan efectos resonantes que producen grandes variaciones en la corriente total I_{DS} del MOSFET superior. Un mayor detalle de estos sucesos puede encontrarse en el análisis de la figura 4.20.

Si se consideran extrínsecos al MOSFET su diodo de cuerpo y las capacidades parásitas, puede observarse que al conmutar su corriente desde $-6.25A$ a $0A$, el valor V_{DS} es prácticamente de $0V$. En efecto, es posible afirmar que el MOSFET superior conmuta su estado de apagado a encendido en condiciones de **ZVS**.

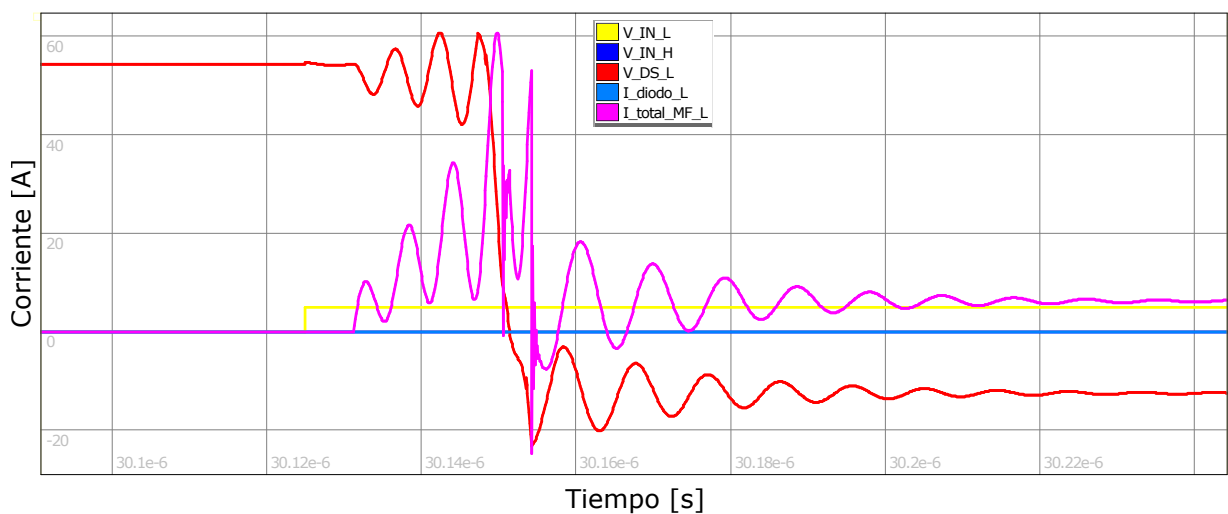


Figura 4.20: Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación sincrónica. Tiempo muerto = $125ns$. Transitorios durante el encendido del MOSFET inferior.

En la figura 4.20 se muestra el transitorio ocurrido en distintas señales durante el intervalo en el que el MOSFET inferior conmuta su estado de apagado a encendido. Las referencias de los trazos, son las mismas que las de la figura 4.18.

En los instantes en que el MOSFET superior se apaga, se produce casi de forma simultánea el encendido del MOSFET inferior. Como se explicó anteriormente, durante casi la totalidad del tiempo muerto, la corriente total de la fuente circula a través del diodo de cuerpo del MOSFET superior.

En instantes anteriores a la transición de la señal amarilla, la capacidad C_{DS} del MOSFET inferior, estaba cargada con un valor de aproximadamente $800V$. Debido a esto, no circulaba corriente por la misma. La capacidad C_{DS} superior poseía un valor estable de $-3.3V$, y nula

circulación de corriente. Luego de la conmutación de la señal graficada en amarillo, y superado el tiempo en que la tensión V_{GS} alcanza el valor de umbral, el canal de conducción se genera entre los terminales drain y source del MOSFET inferior. La impedancia total vista desde el punto medio de la rama de conmutación, tiene un cambio repentino, ya que el canal de conducción se cuantifica en base a la resistencia de encendido, cuyo valor ronda los 120m Ω . Este desbalance, provoca que instantáneamente, la mayor parte de la corriente de la fuente circule por el canal, generándose una elevada di/dt. Esto provoca en las inductancias parásitas existentes entre source superior y drain inferior, una elevada caída de tensión, con un dv/dt elevado. Este último suceso, deriva en la generación de corrientes elevadas en las capacidades parásitas, generando un efecto resonante. En la figura se pueden ver picos de corriente de hasta 60A, mientras que el ripple en la tensión V_{DS} alcanza un valor pico a pico de 165V. Debido a la topología del circuito, estas transiciones abruptas también toman efecto en la rama superior (nótese en la figura 4.19, la forma de onda de las corrientes y tensión V_{DS} en instantes posteriores a la conmutación de la señal graficada en amarillo). Estos efectos continúan durante un tiempo aproximado de 100 nS, periodo en el que logra estabilizarse la corriente sobre el MOSFET inferior, circulando por su canal de conducción la totalidad de la corriente de fuente.

Puede observarse que la corriente comienza a circular sobre el MOSFET superior cuando su tensión V_{DS} es de aproximadamente 800V, por lo que se puede concluir que conmuta de estado apagado a encendido en condiciones de **HS** (por sus siglas en inglés: *Hard Switching*). Así las pérdidas por conmutación son elevadas y mucho mayores que las de conducción.

En función de todas las cuestiones relacionadas a las transitorios en las conmutaciones de los MOSFETs observadas en las figuras, es posible ahora justificar las alturas y naturalezas de los picos observados en la subfigura superior de la figura 4.15. Respecto al MOSFET superior:

- Al conmutar su estado de encendido a apagado opera prácticamente en **ZVS**, sin embargo, circulan corrientes con niveles elevados de ripple sobre el diodo de cuerpo. A su vez, estas corrientes continúan circulando a través de la capacidad C_{DS} mientras que la misma se carga a un nivel de tensión de 800V. Debido a que el software de simulación utilizado no distingue entre potencia activa y reactiva, se muestran picos elevados de

potencia en la transición de valores positivos y negativos. Sin embargo el valor medio es muy bajo.

- Al conmutar su estado de apagado a encendido opera prácticamente en **ZVS**, con rizados de tensión y corriente suaves y de amplitudes bajas. El pico generado es negativo y de amplitud baja. A su vez, si el software utilizado distinguiera entre potencias activas y reactivas, su amplitud sería aun menor.
- Las pérdidas predominantes son las de **conducción**, y representan mas del 80% de las pérdidas totales en el dispositivo.

Respecto al MOSFET inferior:

- Al conmutar su estado de encendido a apagado opera en **ZVS**. Las pérdidas por conmutación son prácticamente nulas. Debido a la mencionada limitación del software se muestra una barra con amplitudes positivas y negativas, sin embargo su valor medio es cercano a 0W.
- Al conmutar su estado de apagado a encendido opera en **HS**. Corrientes y tensiones con rizados de amplitudes muy elevadas. Se muestra una barra positiva, de valor medio cercano a 27kW.
- Las pérdidas predominantes son las de **conmutación**, producidas casi en su totalidad en la conmutación de estado apagado a encendido. Respecto a las pérdidas totales del dispositivo, las mencionadas representan aproximadamente un 85%.

4.2.1.2. Rectificación asincrónica

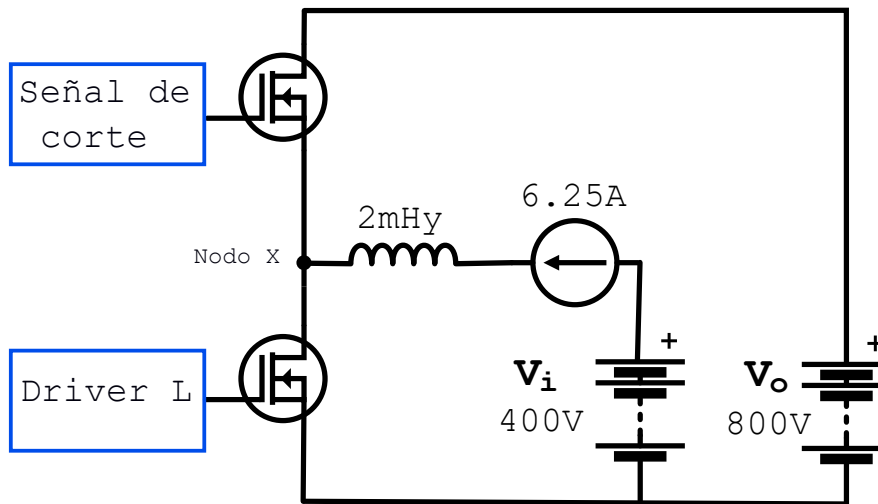


Figura 4.21: Modelo simplificado circuital NL5. Convertidor DC-DC Boost. Rectificación asincrónica. Tiempo muerto = 125ns.

En este caso se utilizó el esquema que se muestra en la figura 4.21. La leyenda “Señal de corte” hace referencia al nivel de tensión emitido por el secundario del optoacoplador, el cual es de valor fijo, imponiendo una tensión entre gate y source en el MOSFET superior de -6V, para que la corriente circule únicamente por su diodo de cuerpo.

Los parámetros de la simulación, se enlistan a continuación.

- Tensión de entrada = 400V
- Tensión de salida = 800V
- Ciclo de trabajo = 0.5
- Tiempo muerto = 125ns

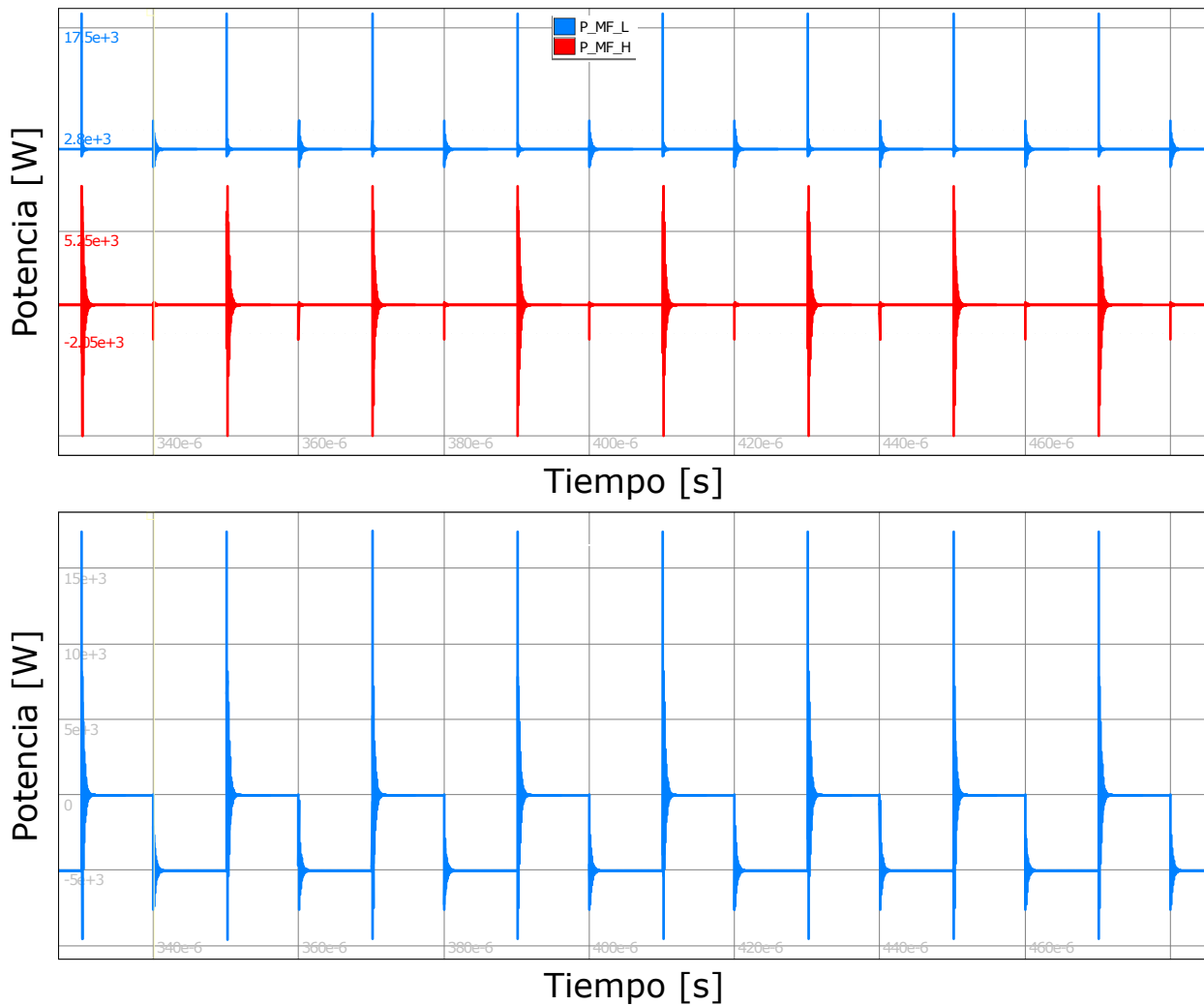


Figura 4.22: Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación asincrónica. Tiempo muerto = 125ns. Formas de onda de potencia en MOSFETs (arriba). Forma de onda de potencia en carga (abajo).

La subfigura superior de la figura 4.22 muestra en celeste la forma de onda de potencia del MOSFET inferior y en rojo la forma de onda de potencia del MOSFET superior. La subfigura inferior, muestra la forma de onda de potencia en la carga.

En la subfigura inferior, puede observarse que la potencia en la carga conmuta entre un valor de aproximadamente 5kW y otro de 0kW. Este hecho está debido a la idealización de la carga. Tal como se mencionó para el caso del modo síncrono, existe circulación de corriente en la carga y consecuente consumo de potencia, cuando la misma circula a través del MOSFET superior.

En la subfigura superior, respecto a la potencia disipada durante los estados estables, el MOSFET inferior consume 4.6875W al estar encendido y 0W al estar apagado (la corriente

circula por el canal de conducción, por lo que los valores son los mismos que en la anterior simulación), mientras que en el MOSFET superior, dado que la corriente circula por el diodo de cuerpo, la potencia disipada al estar encendido está determinada por el producto entre la corriente que circula (6.25A) y la tensión en directa del diodo de cuerpo (3.3V según hoja de datos), en efecto toma un valor de 20.625W. Al estar apagado, la potencia consumida es nula. En efecto, considerando que cada dispositivo conduce el 50% del tiempo, se esperaría de forma ideal una potencia media en el MOSFET inferiores de 2.34374W y en el MOSFET superior de 10.3125W. Sin embargo, los valores obtenidos fueron mayores debido a las pérdidas durante las conmutaciones. Para explicar las diferencias observables en los sobrepicos, es necesario realizar un análisis en los transitorios de apagado y encendido en las tensiones y corrientes de ambos MOSFETs. El mismo será realizado en detalle luego de analizar los resultados de la simulación, en la sección 4.2.1.2.1.

A continuación se enlistan los valores de los principales resultados de la simulación.

- Potencia media de fuente de tensión de entrada = 2500W
- Potencia media de fuente de corriente de entrada = 46.32W
- Potencia media total de entrada = 2546.32W
- Potencia media sobre MOSFET inferior = 16.98W
- Potencia media sobre MOSFET superior = 11.21W
- Potencia media de salida = 2513.13W
- **Eficiencia = 98.89%**

Respecto a los resultados de la simulación analizada en la sección 4.2.1.1, se puede observar que la potencia consumida por el MOSFET inferior posee un valor muy similar, mientras que la consumida por el MOSFET superior aumenta casi un 300%. Sin embargo, estos resultados eran esperables, debido a cuestiones anteriormente descritas. El valor de potencia consumida en el MOSFET superior supera en menos de 1W a las pérdidas por conducción calculadas.

4.2.1.2.1. Análisis de transitorios

A continuación, se analizan los transitorios ocurridos en las señales de corriente y tensión de ambos MOSFETs en sus conmutaciones de estado.

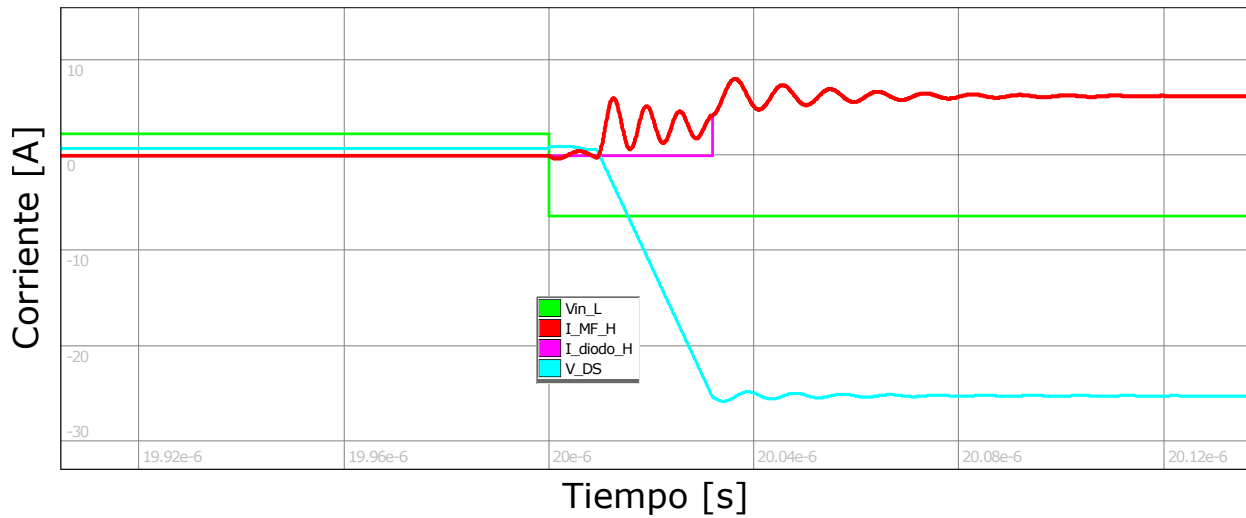


Figura 4.23: Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación asincrónica. Tiempo muerto = 125ns. Transitorios durante el encendido del MOSFET superior.

En la figura 4.23 se muestra en rojo el transitorio ocurrido en la corriente I_{DS} del MOSFET superior cuando este conmuta su estado de apagado a encendido. En rosa se exhibe la corriente que circula por el diodo de cuerpo, considerándolo extrínseco al MOSFET, en celeste la tensión V_{DS} y en verde la tensión de entrada al LED del optoacoplador inferior, la cual se encuentra multiplicada por un factor de escala elevado para un mayor nivel de apreciación. La escala del eje vertical se corresponde a niveles de corriente.

Como puede observarse en la figura 4.23, una vez que se envía el nivel de tensión de corte al MOSFET inferior, y pasado el tiempo de descarga de su capacidad C_{GS} , el canal del mencionado dispositivo se extingue, y así la corriente circula únicamente a través de su capacidad parásita C_{DS} , cuyo valor de tensión, en instantes anteriores a esta transición, estaba establecido en 0V aproximadamente, y este intervalo comienza a cargarse. Al mismo tiempo circula corriente por la capacidad parásita C_{DS} del MOSFET superior descargándola de forma lineal debido a que el valor medio de la corriente que circula es de la mitad del valor de la fuente de corriente. En la figura puede observarse que durante este lapso temporal, la corriente que circula por el diodo de cuerpo es nula. Cuando el valor V_{DS} del MOSFET superior alcanza los -3.3V, y en efecto la tensión del diodo de cuerpo del mencionado dispo-

sitivo, toma un valor de 3.3V, el mismo se polariza en directa. La capacidad C_{DS} fija su valor medio de tensión en -3.3V, y la corriente comienza a circular únicamente a través del diodo de cuerpo. Finalizado el intervalo de rizado, la corriente se establece en un nivel de 6.25A (valor de corriente de fuente).

Debido a que la tensión V_{GS} del MOSFET superior está impuesta en -6V, el canal de conducción no se genera. Así, la corriente en ningún instante circula a través del mismo. Como se puede apreciar, la conmutación de corriente en el diodo toma lugar con una tensión de 3.3V, por lo que, como se mencionó anteriormente, está conmutando su estado de apagado a encendido, prácticamente en condiciones **ZVS**.

El apagado también se lleva a cabo prácticamente a condiciones **ZVS**, sin embargo, la variación en la tensión V_{DS} posee rizados de mayor amplitud, y las corrientes que circulan son más elevadas.

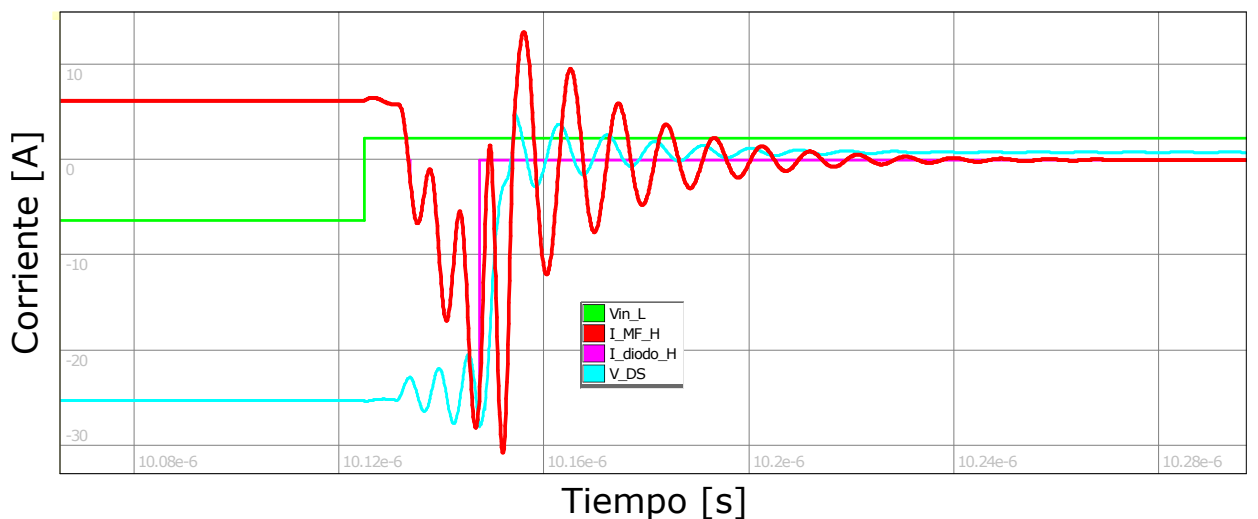


Figura 4.24: Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación asincrónica. Tiempo muerto = 125ns. Transitorios durante el apagado del MOSFET superior.

En la figura 4.24 se muestran los transitorios en distintas señales ocurridos en el intervalo en que la corriente deja de circular por el diodo de cuerpo del MOSFET superior. Las referencias de los trazos, son las mismas que las de la figura 4.23. Nótese que cuando deja de circular corriente por el diodo de cuerpo, la tensión V_{DS} es cercana a 0V (la tensión V_{DS} antes de la transición es de -3.3V, mientras que finalizada la transición, 800V). De esta forma, considerando a las capacitancias e inductancias como elementos no disipativos, también es posible afirmar que en el apagado, el diodo de cuerpo conmuta en condiciones cercanas

a **ZVS**. Las corrientes más elevadas que circulan inicialmente por el diodo y luego por la capacidad parásita C_{DS} están debidas a la generación del canal del MOSFET inferior. Para comprender en detalle, obsérvese la siguiente figura.

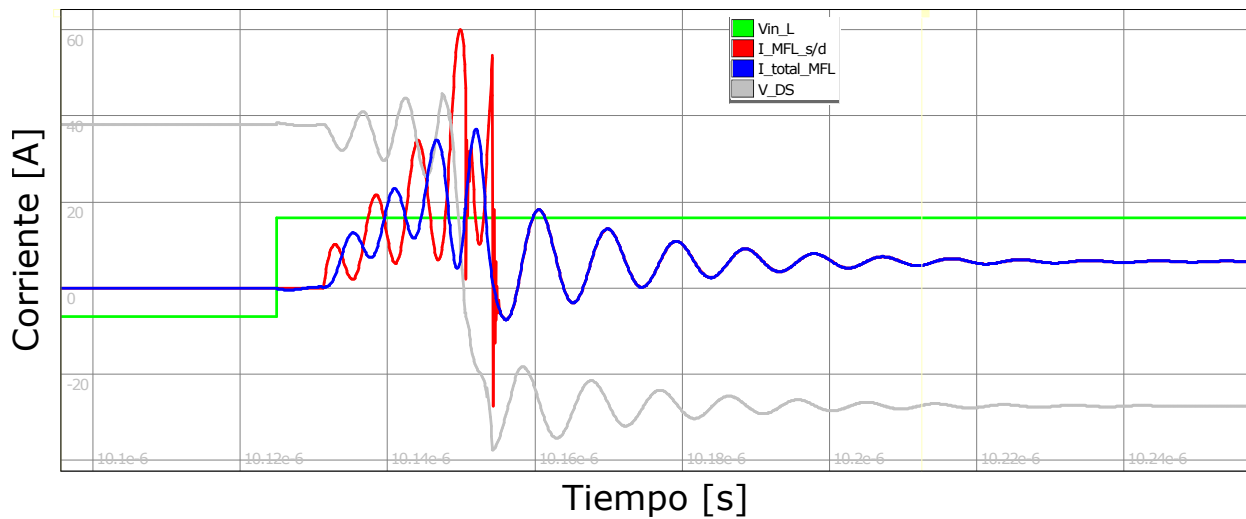


Figura 4.25: Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación asincrónica. Tiempo muerto = 125ns. Transitorios durante el encendido del MOSFET inferior.

En la figura 4.25 se muestran detalles sobre el transitorio ocurrido durante el encendido del MOSFET inferior. En azul se representa la corriente total I_{DS} . En rojo, la corriente que circula por la resistencia de encendido (canal de conducción). En gris, la tensión V_{DS} y en verde la tensión de entrada al LED del optoacoplador inferior, multiplicada por un elevado factor de escala para un mejor nivel de detalle. En instantes anteriores a la transición de la señal verde, la capacidad C_{DS} del MOSFET inferior, estaba cargada con un valor de aproximadamente 800V. Debido a esto, no circulaba corriente por la misma. La capacidad C_{DS} superior poseía un valor estable de -3.3V, y nula circulación de corriente. Luego de la conmutación de la señal graficada en verde, y superado el tiempo en que la tensión V_{GS} supera al valor de umbral, el canal de conducción se genera entre los terminales drain y source del MOSFET inferior. La impedancia total vista desde el punto medio de la rama de conmutación, tiene un cambio repentino, ya que el canal de conducción se cuantifica en base a la resistencia de encendido, cuyo valor ronda los 120m Ω . Este desbalance, provoca que instantáneamente, la mayor parte de la corriente de la fuente circule por el canal, generándose una elevada di/dt . Esto provoca en las inductancias parásitas existentes entre source superior y drain inferior, una elevada caída de tensión, con un dv/dt elevado. Este

último suceso, deriva en la generación de corrientes elevadas en las capacidades parásitas, generando un efecto resonante. En la figura se pueden ver picos de corriente de hasta 60A, mientras que el ripple en la tensión V_{DS} alcanza un valor pico a pico de 165V. Es evidente, que debido a la topología del circuito, estas transiciones abruptas también toman efecto en la rama superior. Estos efectos continúan durante un tiempo aproximado de 100ns, periodo en el que logra estabilizarse la corriente sobre el MOSFET inferior, circulando por su canal de conducción la totalidad de la corriente de fuente.

Puede observarse que la corriente comienza a circular sobre el MOSFET superior cuando su tensión V_{DS} es de aproximadamente 800V, por lo que se puede concluir que conmuta de estado apagado a encendido en condiciones de **HS**. Así las pérdidas por conmutación son elevadas y mucho mayores que las de conducción.

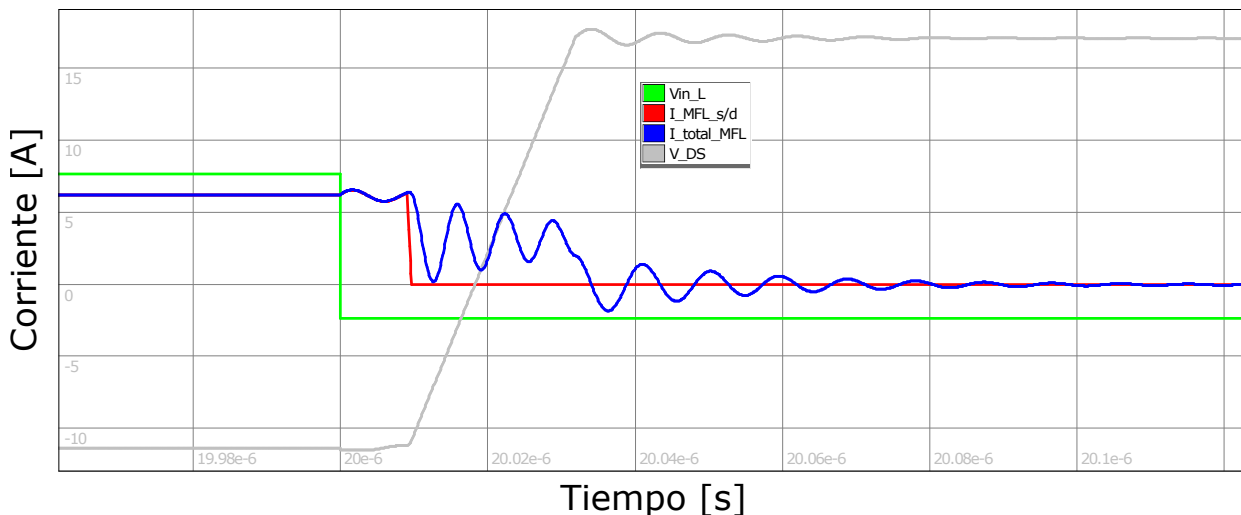


Figura 4.26: Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación asincrónica. Tiempo muerto = 125ns. Transitorios durante el apagado del MOSFET inferior.

En la figura 4.26 se muestran los transitorios en distintas señales ocurridos en el intervalo en que la corriente deja de circular por la resistencia de encendido del MOSFET inferior. Las referencias de los trazos, son las mismas que las de la figura 4.25. Una vez que conmuta la señal graficada en verde, y superado el tiempo en que la tensión V_{GS} se establece en un nivel de corte, el canal de conducción del MOSFET inferior se extingue. La corriente que en ese momento circulaba en su totalidad por el mencionado canal, deja de hacerlo. Sin embargo en este caso no se produce un desbalance debido a que las impedancias vistas desde el punto medio de la rama de conmutación son iguales hacia ambos lados, y en ambas predomina la

presentada por el capacitor C_{DS} . Así, la mitad de la corriente de fuente circula hacia cada capacidad, generando una carga lineal en V_{DS} desde 0V a 800V. Al mismo tiempo, V_{DS} del MOSFET superior, decrece con la misma pendiente. El rizado en el valor de corriente total I_{DS} está debido a efectos resonantes con las inductancias parásitas, pero en comparación la figura 4.25, la amplitud del ripple es mucho menor. Finalizados los efectos resonantes, la corriente total que circula sobre el MOSFET inferior se establece en 0A.

Es posible observar que, si se considera solo la corriente que circula por la resistencia de encendido, la misma conmuta desde 6.25 A a 0A, con un valor V_{DS} de 0V, por lo que el MOSFET inferior conmuta su estado de encendido a apagado en condiciones de **ZVS**. En efecto, las pérdidas por conmutación están concentradas en la conmutación de estado apagado a encendido.

En función de todas las cuestiones relacionadas a las conmutaciones, es posible ahora justificar las alturas y naturalezas de los picos observados en la subfigura superior de la figura 4.22. Respecto al MOSFET superior:

- Al conmutar su estado de encendido a apagado opera prácticamente en **ZVS**, sin embargo, circulan corrientes con niveles elevados de ripple elevados sobre el diodo de cuerpo. A su vez, estas corrientes continúan circulando a través de la capacidad C_{DS} mientras que la misma se carga a un nivel de tensión de 800V. Debido a que el software de simulación utilizado no distingue entre potencia activa y reactiva, se muestran picos elevados de potencia en la transición de valores positivos y negativos. Sin embargo el valor medio es muy bajo.
- Al conmutar su estado de apagado a encendido opera prácticamente en **ZVS**, con rizados de tensión y corriente suaves y de amplitudes bajas. El pico generado es negativo y de amplitud baja. A su vez, si el programa distinguiera entre potencias activas y reactivas, su amplitud sería aun menor.
- Las pérdidas predominantes son las de conducción, y representan mas del 90% de las pérdidas totales.

Respecto al MOSFET inferior:

- Al conmutar su estado de encendido a apagado opera en **ZVS**. Las pérdidas por conmutación son prácticamente nulas. Debido a la mencionada limitación del software se muestra una barra con amplitudes positivas y negativas, sin embargo su valor medio es cercano a 0W.
- Al conmutar su estado de apagado a encendido opera en **HS**. Corrientes y tensiones con rizados de amplitudes muy elevadas. Se muestra una barra positiva, de valor medio cercano a 20kW.
- Las pérdidas predominantes son las de conmutación, producidas casi en su totalidad en la conmutación de estado apagado a encendido. Respecto a las pérdidas totales, las de conmutación representan más de un 85%.

En ninguna de las simulaciones realizadas del BCEP operando como convertidor DC-DC boost, los MOSFETs consumen más de 21W (valor máximo impuesto por el disipador seleccionado en la sección 2.2), lo que representa un indicador de comportamiento adecuado respecto a los cálculos de diseño. Tal como se supuso a priori, el modo sincrónico de operación otorga una eficiencia mayor que el modo asincrónico.

4.2.2. BCEP como Convertidor DC-DC Buck

4.2.2.1. Rectificación sincrónica

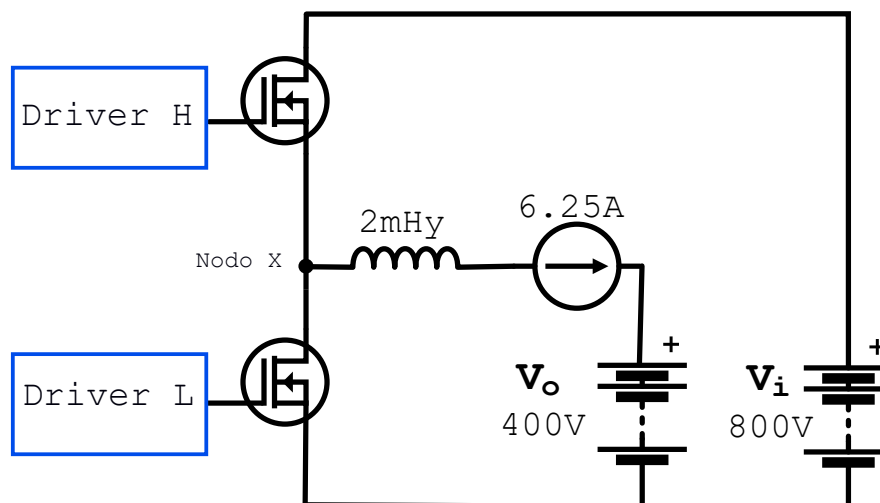


Figura 4.27: Modelo simplificado circuital NL5. Convertidor DC-DC Buck. Rectificación sincrónica. Tiempo muerto = 125ns.

Respecto a las simulaciones del BCEP como convertidor DC-DC buck, en este caso el MOSFET rectificador sincrónico es el inferior, a su vez las entradas y salidas de tensión alternan sus posiciones en el esquemático.

Para la simulación del BCEP como convertidor DC-DC con las características anteriormente mencionadas, se utilizó el esquema que se muestra en la figura 4.27. Los parámetros de simulación, se enlistan a continuación.

- Tensión de entrada = 800V
- Tensión de salida = 400V
- Ciclo de trabajo = 0.5
- Tiempo muerto = 125ns

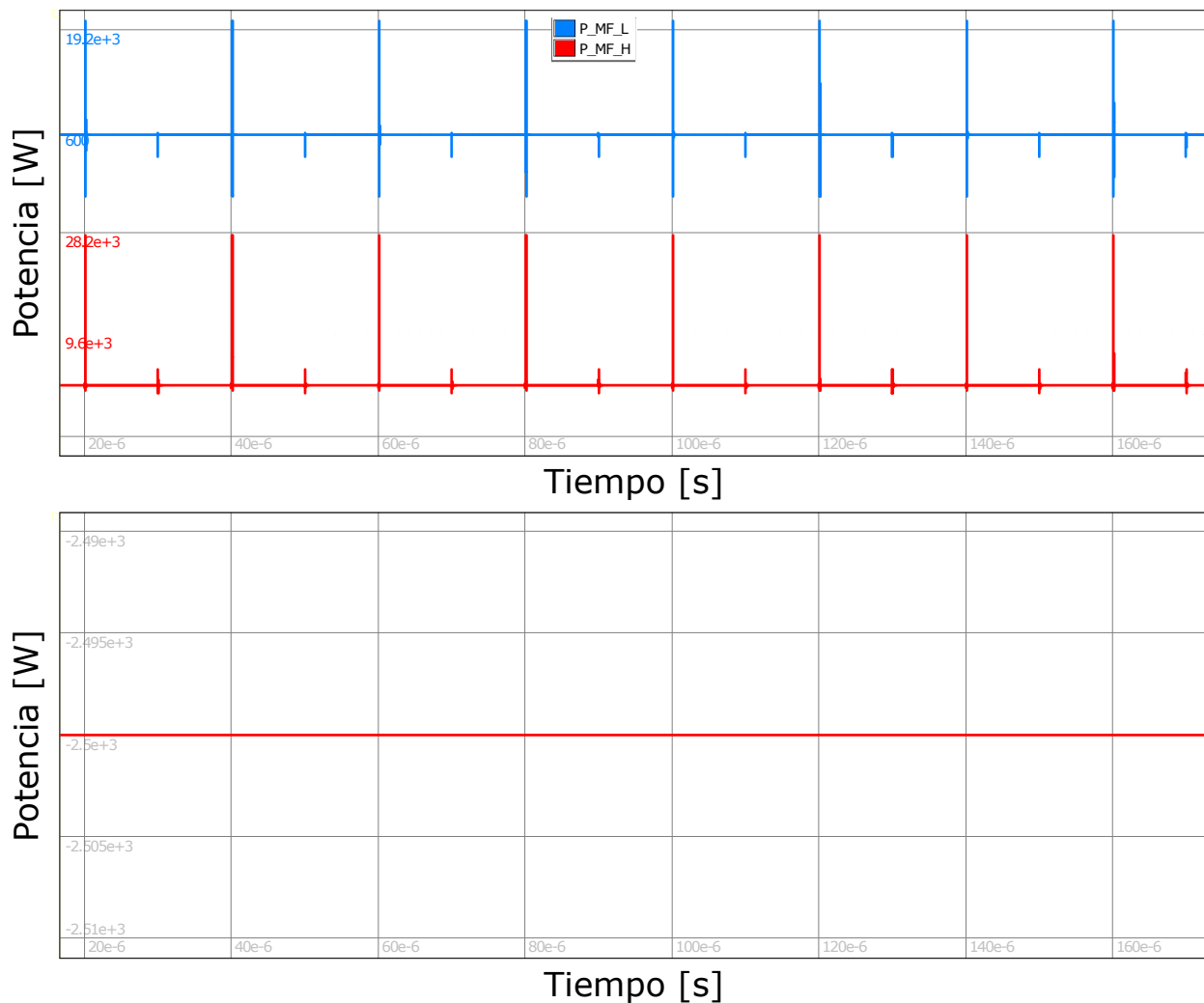


Figura 4.28: Resultados de simulación en NL5. Convertidor DC-DC Buck. Rectificación sincrónica. Tiempo muerto = 125ns. Formas de onda de potencia de MOSFETs (arriba). Forma de onda de potencia en carga (abajo).

La subfigura superior de la figura 4.28 muestra en celeste la forma de onda de potencia del MOSFET inferior y en rojo la forma de onda de potencia del MOSFET superior. La subfigura inferior, muestra la forma de onda de potencia en la carga.

En la subfigura inferior puede observarse que la potencia en la carga se mantiene establecida en -2.5kW . Este hecho está debido a la idealización de la carga (un generador ideal de tensión por el que circula una corriente constante de 6.25A). Al estar circulando la corriente por las resistencias de encendido de los MOSFETs, la potencia que disipan al estar encendidos cada uno de ellos es 4.6785W , mientras que no disipan potencia al estar apagados. Las diferentes amplitudes de los picos de potencia observados, se explicarán luego de analizar los resultados de la simulación.

A continuación se enlistan los valores de los principales resultados de la simulación.

- Potencia media de fuente de tensión de entrada = 2478.18W
- Potencia media de fuente de corriente de entrada = 39.59W
- Potencia media total de entrada = 2517.77W
- Potencia media sobre MOSFET inferior = 2.86W
- Potencia media sobre MOSFET superior = 14.92W
- Potencia media de salida = 2500W
- **Eficiencia = 99.29%**

Debido a las similitudes entre las simulaciones, la eficiencia resultante de la simulación posee el mismo valor que en el caso del B CEP operando como convertidor DC-DC boost en modo sincrónico. Lo mismo ocurre con las tensiones y corrientes sobre los MOSFETs.

Para este caso, el sentido único de circulación impide que la corriente circule a través del diodo de cuerpo del MOSFET superior. Análogamente a lo analizado en la sección 4.2.1.1.1, es posible afirmar que:

- El MOSFET superior conmuta su estado de apagado a encendido en condiciones de **HS**. Se generan transiciones en las formas de onda de corriente y tensión con elevados niveles de ripple. Puede observarse una barra de amplitud pico cercana a 28kW.
- Casi en simultaneo al encendido del MOSFET superior, el inferior conmuta su estado a apagado prácticamente en condiciones de **ZVS**, sin embargo las corrientes generadas por los efectos resonantes de las capacidades e inductancias parásitas durante el encendido del MOSFET superior, también circulan por el MOSFET inferior. Puede observarse una barra de gran amplitud, pero con componentes positivos y negativos, generando un valor medio bajo.
- El MOSFET superior conmuta su estado de encendido a apagado en condiciones de **ZVS**. Las pérdidas por conmutación son muy bajas.

- Casi en simultáneo al apagado del MOSFET superior, el inferior conmuta su estado a encendido, prácticamente en condiciones de ZVS. Las pérdidas por conmutación son muy bajas.

Así, en el MOSFET superior predominan las pérdidas por conmutación, mientras que en el inferior, las pérdidas por conducción.

4.2.2.2. Rectificación asincrónica

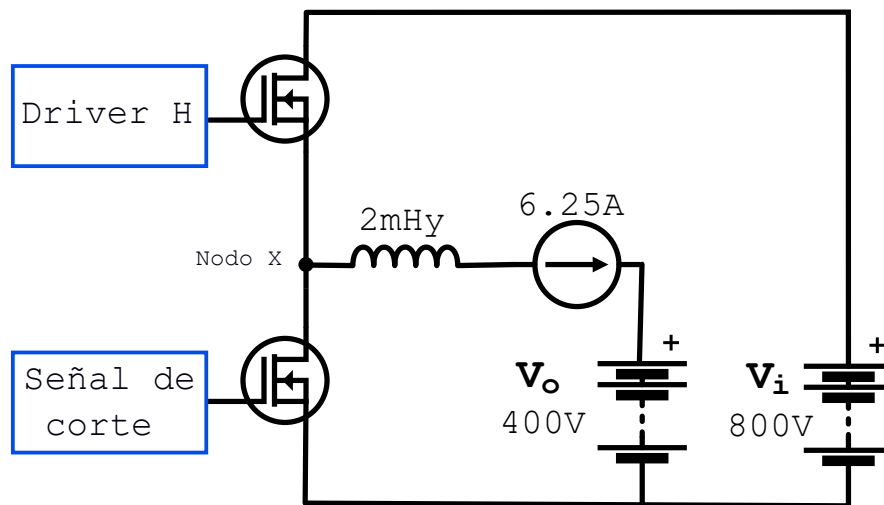


Figura 4.29: Modelo simplificado circuital NL5. Convertidor DC-DC Buck. Rectificación asincrónica. Tiempo muerto = 125ns.

La figura 4.29 muestra el esquema circuital simplificado implementado en la simulación. Los parámetros de la simulación se enlistan a continuación.

- Tensión de entrada = 800V
- Tensión de salida = 400V
- Ciclo de trabajo= 0.5
- Tiempo muerto = 125ns

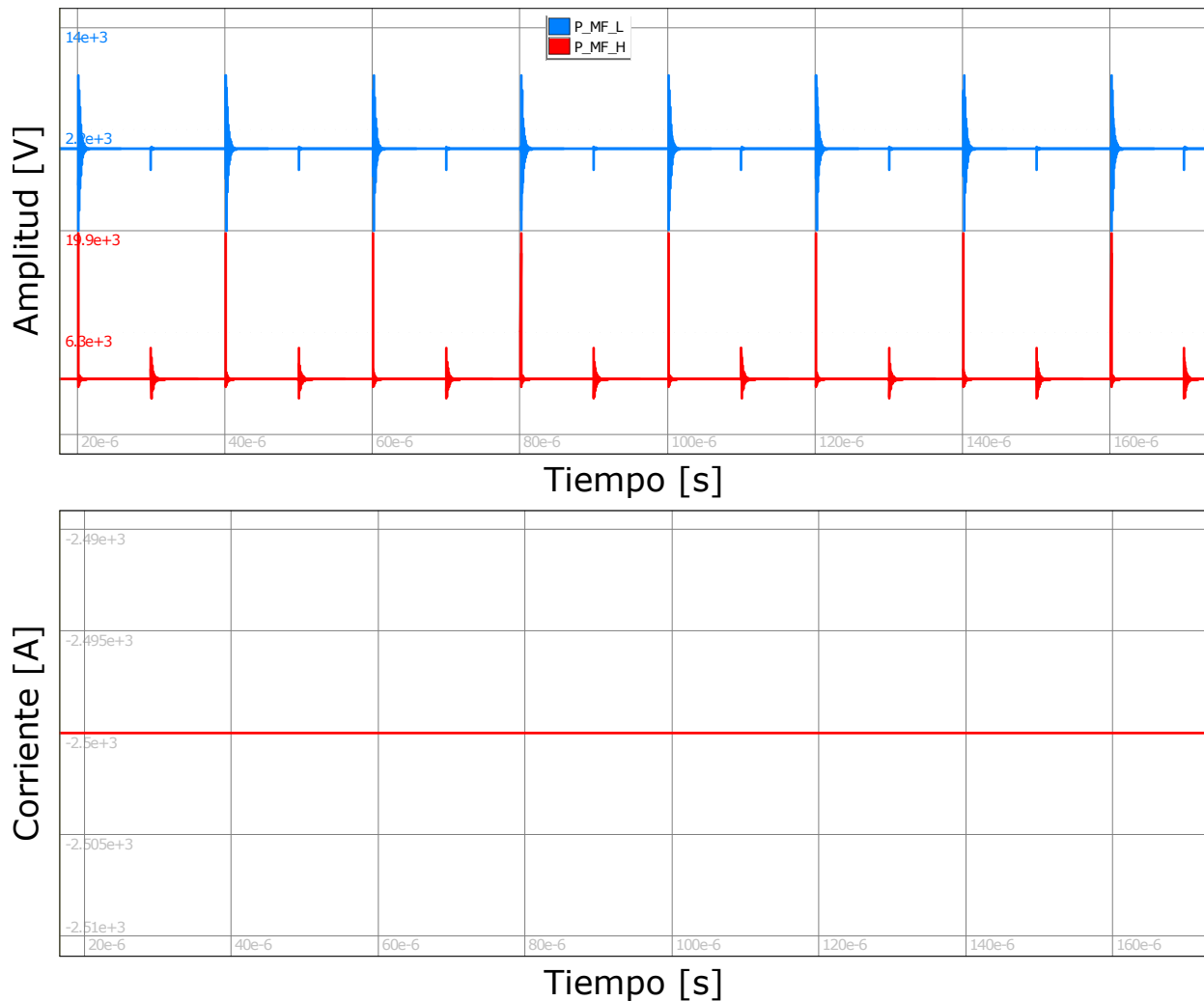


Figura 4.30: Resultados de simulación en NL5. Convertidor DC-DC Buck. Rectificación asincrónica. Tiempo muerto = 125ns. Formas de onda de potencia de MOSFETs (arriba). Forma de onda de potencia en carga (abajo).

La subfigura superior de la figura 4.30 muestra en celeste la forma de onda de potencia del MOSFET inferior y en rojo la forma de onda de potencia del MOSFET inferior. La subfigura inferior, muestra la forma de onda de potencia en la carga. En la misma puede observarse que la potencia en la carga se mantiene establecida en -2.5kW.

Debido a que por el MOSFET superior, la corriente circula a través de su resistencia de encendido, y por lo expuesto anteriormente, la potencia disipada durante el estado de encendido es de 4.6875W, mientras que durante el estado de apagado no consume potencia. En el MOSFET inferior, la corriente en estado de encendido circulará por el diodo de cuerpo, en efecto, y por las mismas razones que las expuestas en simulaciones anteriores, la potencia disipada durante el estado de encendido es de 20.625W, mientras que durante el estado de

apagado no consume potencia.

A continuación se enlistan los valores de los principales resultados de la simulación.

- Potencia media de fuente de tensión de entrada = 2482.38W
- Potencia media de fuente de corriente de entrada = 45.82W
- Potencia media total de entrada = 2528.20W
- Potencia media sobre MOSFET inferior = 16.98W
- Potencia media sobre MOSFET superior = 11.21W
- Potencia media de salida = 2500W

- **Eficiencia = 98.89%**

Respecto a la simulación del BCEP operando como convertidor DC-DC buck en modo sincrónico, es observable que la potencia consumida por el MOSFET inferior no presenta grandes variaciones, mientras que la consumida por el MOSFET superior aumenta casi un 300%. Como se mencionó anteriormente, esto se debe a la potencia consumida por el diodo de cuerpo del mencionado dispositivo durante su semiciclo de conducción.

Por razones análogas a las expuestas en la sección 4.2.1.2.1, es posible explicar la diferencia de alturas en los picos de potencia observados en la subfigura superior de la figura 4.30. Para el MOSFET superior, los mayores picos se dan en las conmutaciones de estado apagado a encendido, debido a que toman lugar en condiciones de **HS**, produciendo pérdidas por conmutación elevadas. En los mismos instantes, se aprecian picos de amplitudes positivas y negativas en la potencia consumida por el MOSFET inferior, las cuales se deben a las corrientes producidas durante el encendido del MOSFET superior, que también circulan por el inferior. Dado que el valor medio es bajo, también así lo son los valores de pérdidas por conmutación.

En los instantes en que el MOSFET superior conmuta su estado a apagado, y el MOSFET inferior conmuta su estado a encendido, se observan picos de pequeña amplitud en ambas señales debido a que los dos dispositivos conmutan prácticamente en condiciones de **ZVS**. Las pérdidas por conmutación resultan bajas.

Así, en el MOSFET superior predominan las pérdidas por conmutación, mientras que en el inferior, las pérdidas por conducción.

En ninguna de las simulaciones realizadas del B CEP operando como convertidor DC-DC buck, los MOSFETs consumen más de 21W (valor máximo impuesto por el disipador seleccionado en la sección 2.2), lo que representa un indicador de comportamiento adecuado respecto a los cálculos de diseño. Tal como se supuso a priori, el modo sincrónico de operación otorga una eficiencia mayor que el modo asincrónico.

4.3. Pruebas Experimentales

Las pruebas experimentales tienen como fin verificar el grado de cumplimiento del diseño. Se replicaron los circuitos simulados y se obtuvieron formas de onda de tensión y corriente, para que puedan ser contrastadas con las obtenidas en las simulaciones.

Todas las mediciones se llevaron a cabo en un osciloscopio *Tektronix 3034B* de 4 canales y un ancho de banda de 300 MHz.

Como punto de partida se detalla la implementación de la estrategia de conmutación elegida para las pruebas experimentales.

4.3.1. Estrategia de Conmutación para las Pruebas

Para la conmutación de las llaves se utilizó una estrategia de control PWM a lazo abierto, aunque el sistema cuenta con los sensores necesarios para el diseño de un sistema de control a lazo cerrado. Información teórica acerca de la modulación PWM y la inclusión de tiempos muertos, puede consultarse en el Apéndice D.

Las señales PWM para la conmutación de los MOSFET pueden ser generadas a partir de generadores de señales o microcontroladores. Para este proyecto se optó por utilizar el microcontrolador *Discovery 32F407VG* basado en un microprocesador *ARM-M4F* (de operación con punto flotante) de 32 bits y frecuencia de operación de hasta 166MHz, fabricado por *ST Microelectronics*.

El fabricante recomienda utilizar al IDE (*por sus siglas en inglés: Integrated Development Environment*) *System Workbench for STM32*. A su vez, es posible instalarle un plugin en el

IDE llamado *STM32 CUBE MX* que provee una interfaz visual generadora de código automático, en la cual el usuario de forma sencilla e intuitiva puede inicializar las entradas, salidas, timers, y otros bloques del microcontrolador, como así también habilitar funcionalidades y configurar frecuencias de operación.

4.3.1.1. Generación del Código Fuente

Para la generación del código se utilizó tanto el complemento *STM32 CUBE MX* como la introducción manual de código dentro del IDE *System Workbench for STM32*.

En primer lugar, mediante el uso del plugin, se inicializan dos salidas PWM complementarias como se muestra en la figura 4.31.

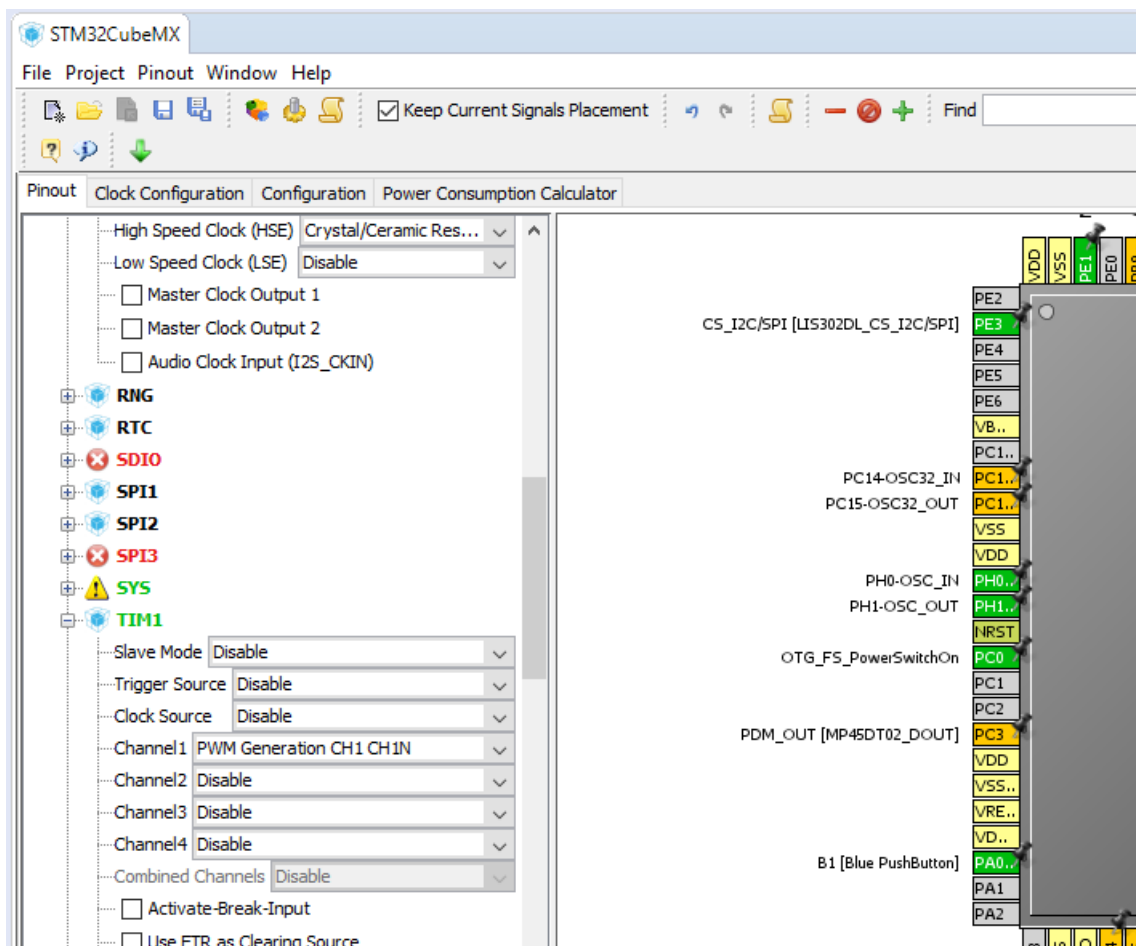


Figura 4.31: Captura plugin STM 32 CUBE MX. Configuración del TIM1.

Luego se definió una frecuencia de reloj de 100MHz, para poder generar tiempos muertos con una resolución mínima de 10ns.

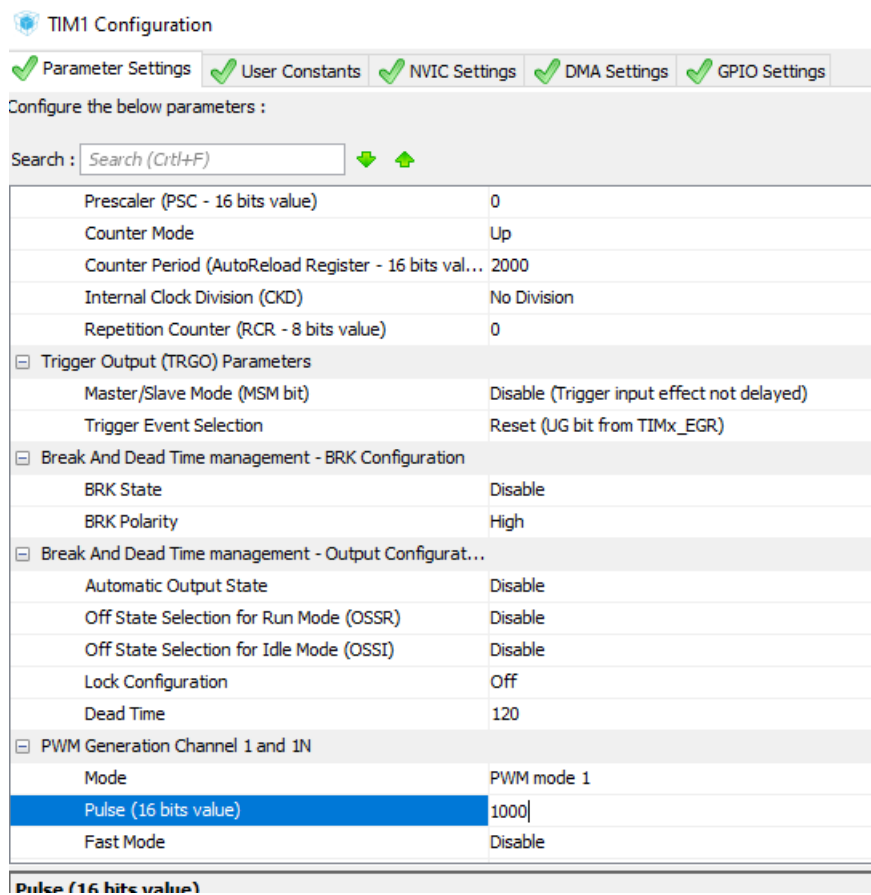


Figura 4.32: Captura plugin STM 32 CUBE MX. Configuración de parámetros de TIM1.

La figura 4.32 exhibe la ventana de configuración de parámetros del periférico en donde se muestran siguientes parámetros de configuración:

- **Prescaler:** Divisor que determina la frecuencia del reloj del periférico.
- **Counter Period:** Periodo de contador que determina el periodo o la mitad del periodo de la portadora de PWM, si se utiliza una señal diente de sierra o triangular, respectivamente.
- **Pulse:** Mediante este parámetro se configura el ciclo de trabajo, el cual se puede modificar dinámicamente.
- **Dead time:** Se trata de un registro de 8 bits denominado DTG, el cual permite configurar el tiempo muerto entre los canales complementarios PWM.

En base al valor de este registro, se definen los tiempos muertos mediante las siguientes reglas:

- Si $DTG < 128 \rightarrow DT = DTG \times T_{clk}$
- Si $128 \leq DTG < 192 \rightarrow DT = (DTG - 64) \times 2T_{clk}$
- Si $192 \leq DTG < 224 \rightarrow DT = (DTG - 160) \times 8T_{clk}$
- Si $224 \leq DTG \leq 255 \rightarrow DT = DTG \times 16T_{clk}$

De esta forma, con una frecuencia de trabajo de 100MHz y en consecuencia, un T_{clk} de 10ns, es posible implementar tiempos muertos desde 10ns hasta $40.8\mu s$. Para el valor ingresado en la captura presentada en la figura 4.32 ($DTG=120$), se obtiene $DT=120 \times 10ns \rightarrow DT=1.2\mu s$.

En base a estas consideraciones, se generaron funciones para ingresar solo el tiempo muerto deseado y el programa automáticamente imponga dicho valor o el valor posible más próximo.

```

1
4+ * @file          : main.c
39 /* Includes -----*/
40 #include "main.h"
41 #include "stm32f4xx_hal.h"
42 #include <math.h>
43 #include <stdio.h>
44
45 //Declaración de constantes y variables
46
47 /*-----Variables que definen principales parámetros de salida PWM-----*/
48
49 uint16_t f=20; // [kHz] Frecuencia de trabajo de PWM (ingresar enteros).
50 float d=0.5; // Duty decimal
51 float tm=0.125; // [us] dead time (hasta 40.8 us)
52
53 /*-----*/
54
55 float j;|
56 uint32_t fr;
57 uint32_t dt;
58
59 /* USER CODE BEGIN Includes */

```

Figura 4.33: Captura Electronic Workbench for STM32. Declaración de variables en main.

La figura 4.33 muestra la porción de código con la que se puede editar la frecuencia de trabajo de la señal PWM, su ciclo de trabajo y el tiempo muerto.

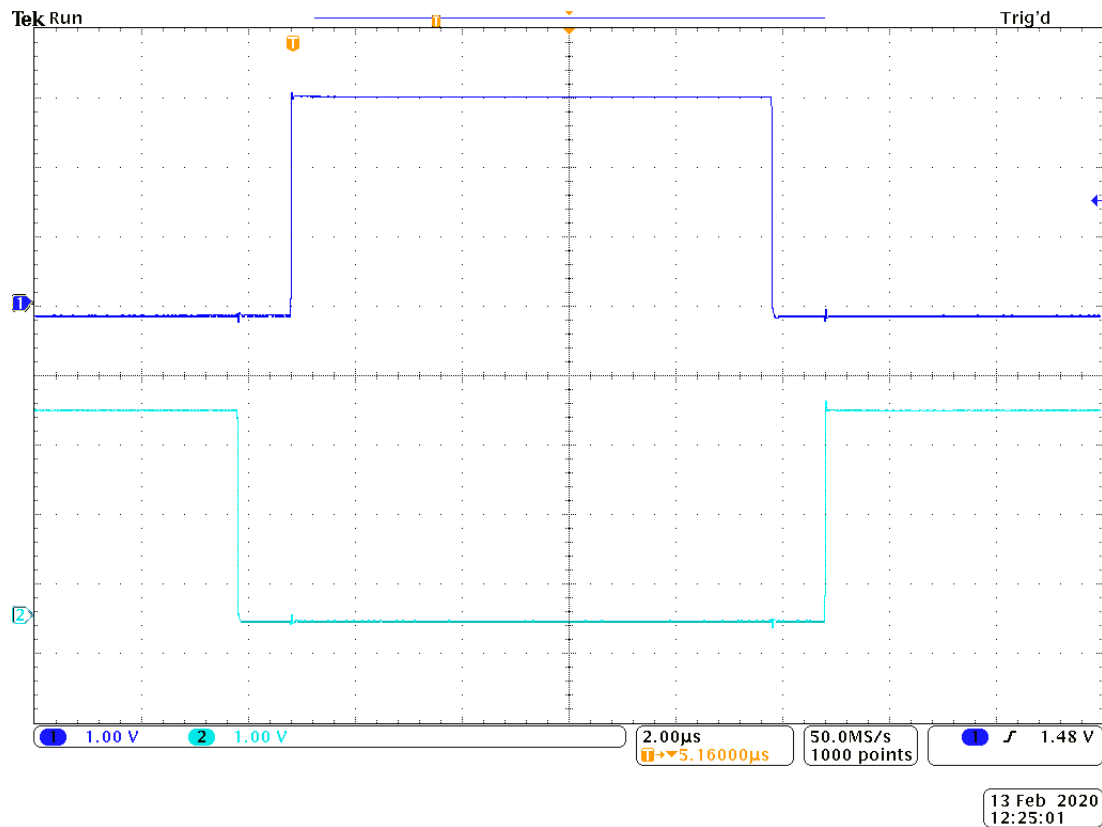


Figura 4.34: Captura de osciloscopio. Señales PWM complementarias con tiempo muerto. Escala temporal: $2\mu\text{s}/\text{div}$. Escala de amplitud: $1\text{V}/\text{div}$.

En la figura 4.34 se muestran las dos señales PWM generadas por el microcontrolador. En este caso se configuró para una frecuencia de portadora de 50kHz, un ciclo de trabajo de 50% y un tiempo muerto de $1\mu\text{s}$. Mediante mediciones automáticas del osciloscopio utilizado, se determinó que tanto la frecuencia de la señal como la duración de los tiempos muertos, coincidían con los esperados, indicando una correcta realización del código fuente. A su vez, se midieron los tiempos de crecimiento y decrecimiento, resultando en aproximadamente 15ns para ambos tiempos. Las señales resultantes serán utilizadas para conmutar las llaves del BCEP en las siguientes mediciones experimentales.

4.3.2. Influencias de la Utilización de Tiempos Muertos

Para verificar experimentalmente algunas influencias del uso de tiempos muertos, se configuró al bloque como inversor, en base a los siguientes parámetros:

- Resistencia de carga = 20Ω
- Tensión de Bus = $\pm 7V$
- Ciclo de trabajo = 0.5

Respecto al tiempo muerto, se realizó una medición de la tensión en la carga con tiempo muerto configurado en $0ns$, y otra medición con tiempo muerto configurado en $125ns$. Las señales resultantes de este ensayo se muestran en las figuras 4.35 y 4.36.

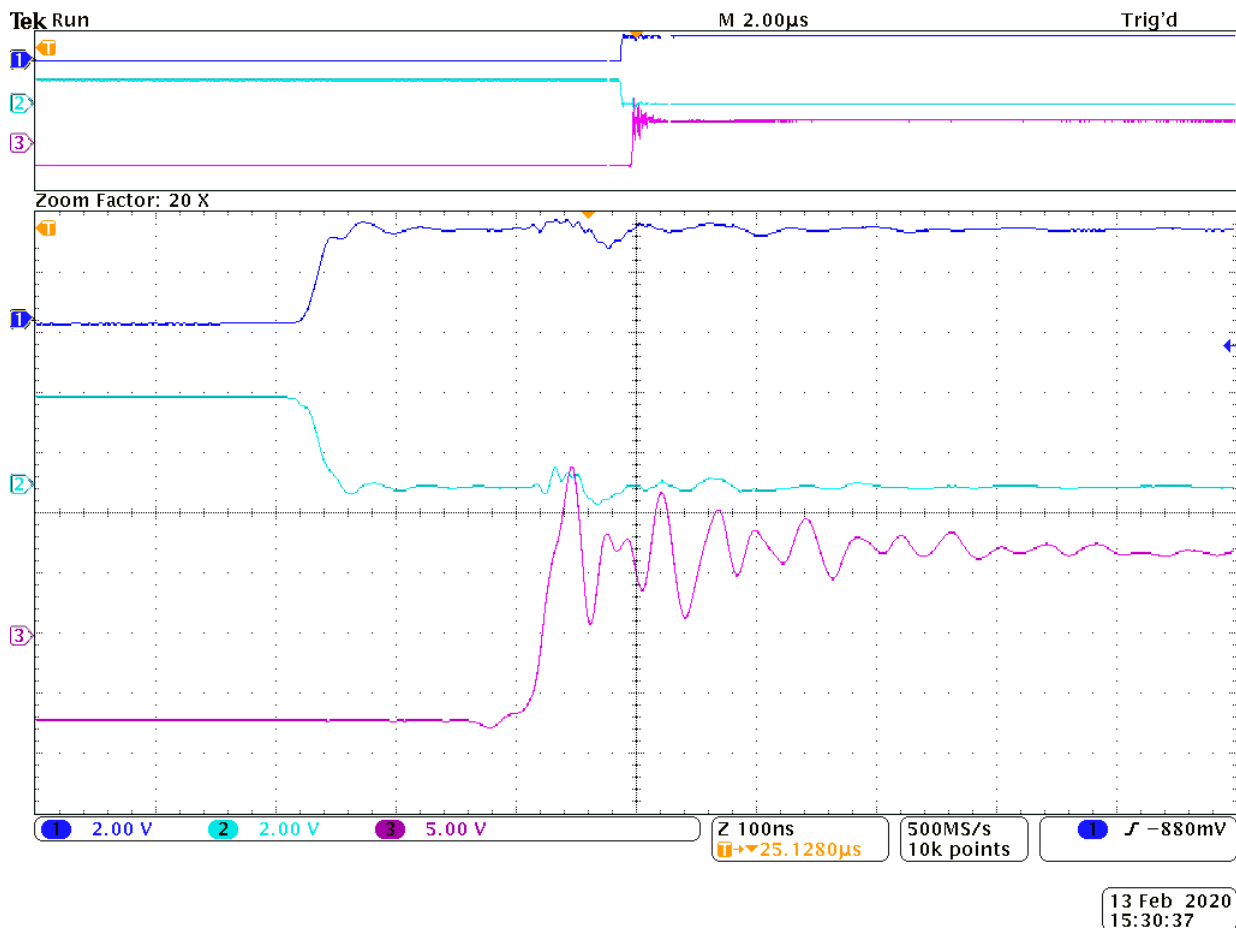


Figura 4.35: Captura Osciloscopio. Canal 1 y 2: señales PWM complementarias. Canal 3: Tensión en la carga resistiva. Tiempo muerto = $0s$. Escala temporal: $100ns/div$.

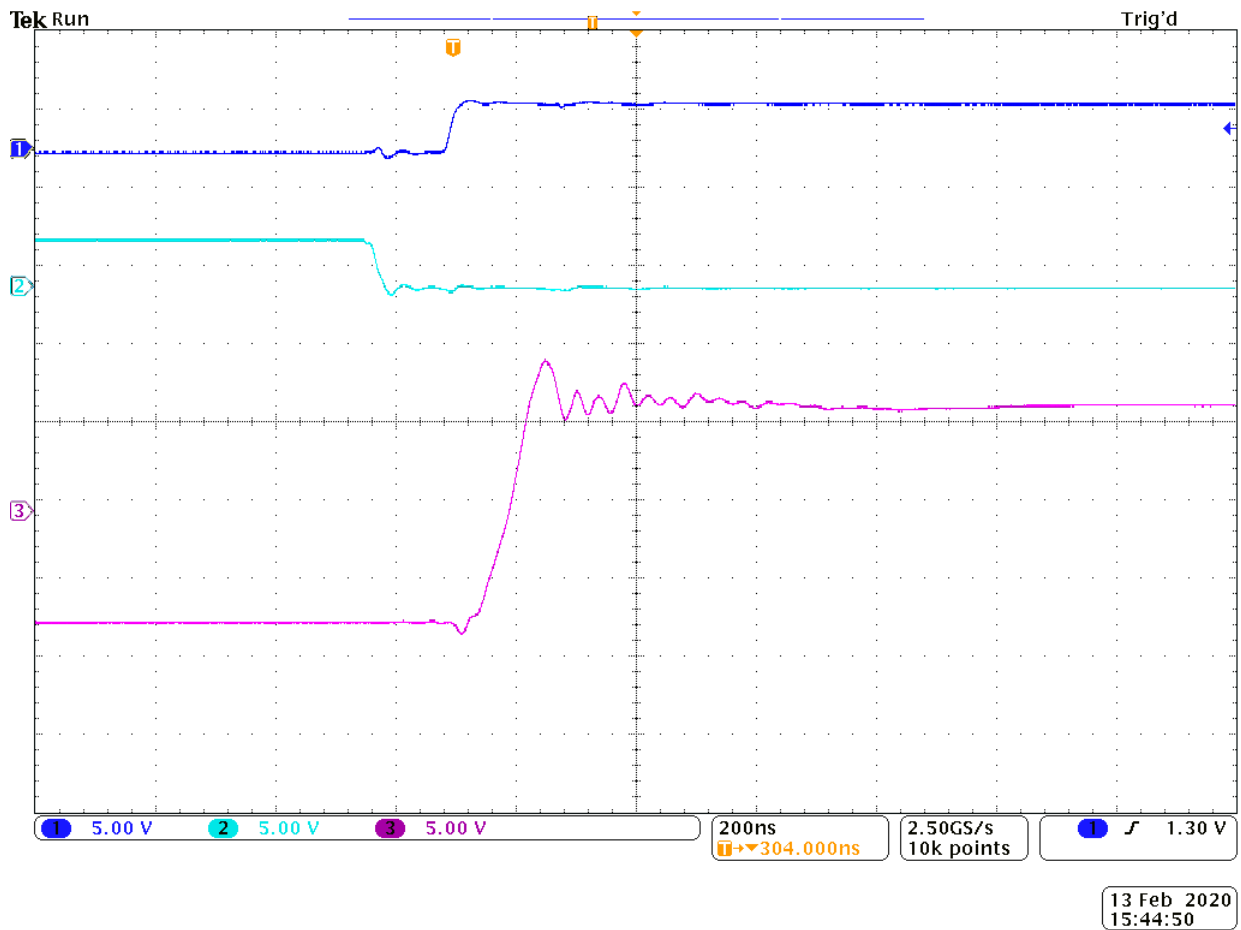


Figura 4.36: Captura Osciloscopio. Canal 1 y 2: señales PWM complementarias. Canal 3: Tensión en la carga resistiva. Tiempo muerto = 125ns. Escala temporal: 200ns/div

En ambas figuras las señales PWM complementarias se exhiben en los canales 1 y 2, mientras que en el canal 3 se exhibe la tensión en la carga resistiva. Comparando estas dos figuras, puede observarse que la utilización de tiempos muertos reduce notoriamente las amplitudes del ripple de la señal. A su vez, se logra observar que la frecuencia del ripple, no depende de la duración del tiempo muerto.

Otra cuestión importante, observada en la figura 4.35 es el retardo presentado en la señal de tensión de salida respecto a las señales PWM. Como puede apreciarse, los cambios en en estas últimas señales, generan cambios en la tensión de salida con un retardo temporal. Este retardo es constante para ambos niveles, y lo genera internamente cada uno de los optoacopladores. Mediante medición automática, se determinó que su duración es de aproximadamente 150ns.

4.3.3. BCEP como Inversor: Carga Resistiva de Baja Tensión

Para la medición del BCEP como inversor con carga resistiva en baja tensión se utilizó el banco de medición utilizado para la medición anterior, estableciendo el tiempo muerto en 125ns.

La forma de onda de la tensión en la carga puede observarse en la figura 4.37, en la que además se muestran las señales PWM complementarias.

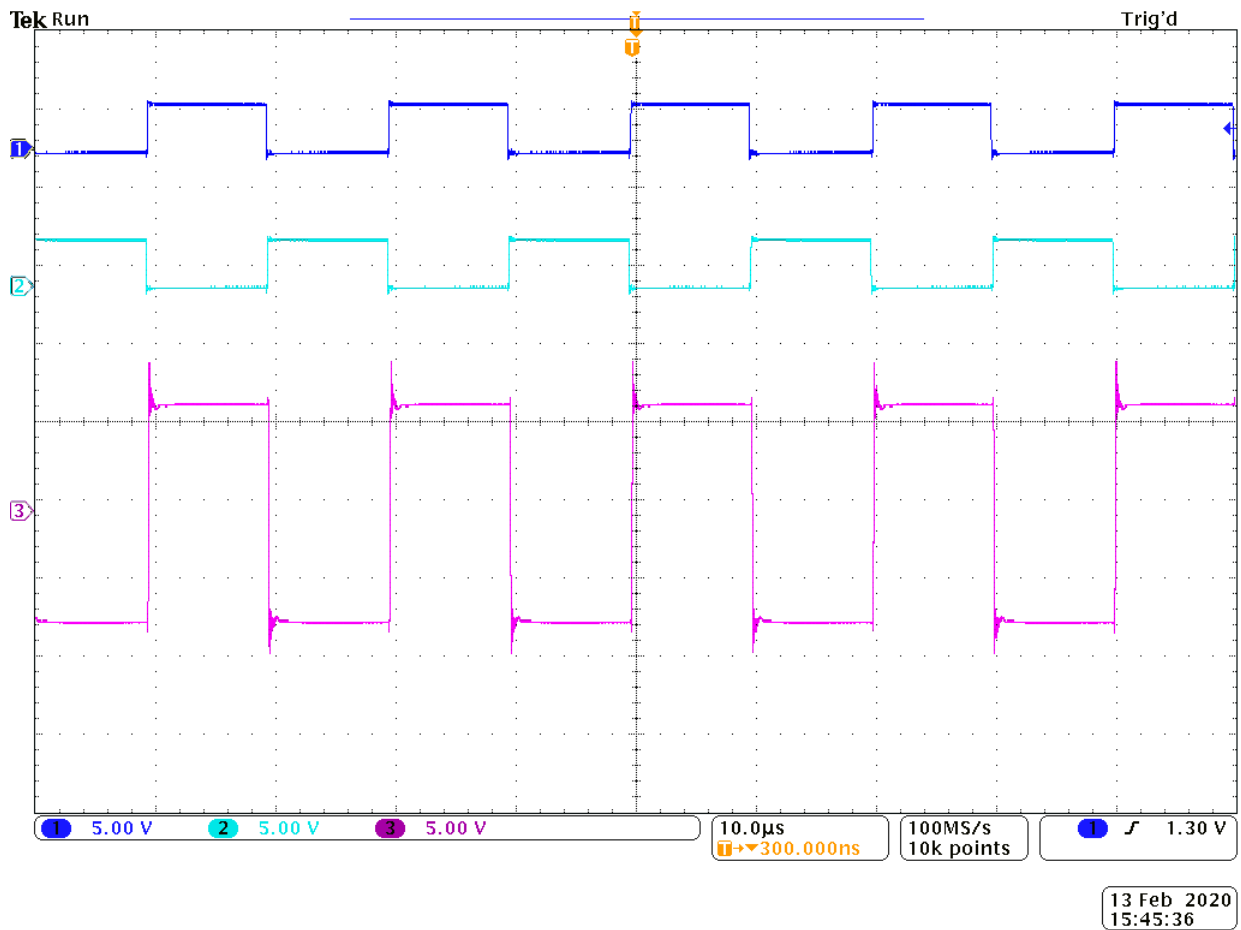


Figura 4.37: Captura Osciloscopio. Canal 1 y 2: señales PWM complementarias. Canal 3: Tensión en la carga resistiva.

Para poder detallar los tiempos de las transiciones de forma más exacta observé la figura 4.36. Esta última figura, y la 4.5 correspondiente a la simulación del BCEP operando como inversor con carga resistiva en baja tensión se adjuntan en la figura 4.38.

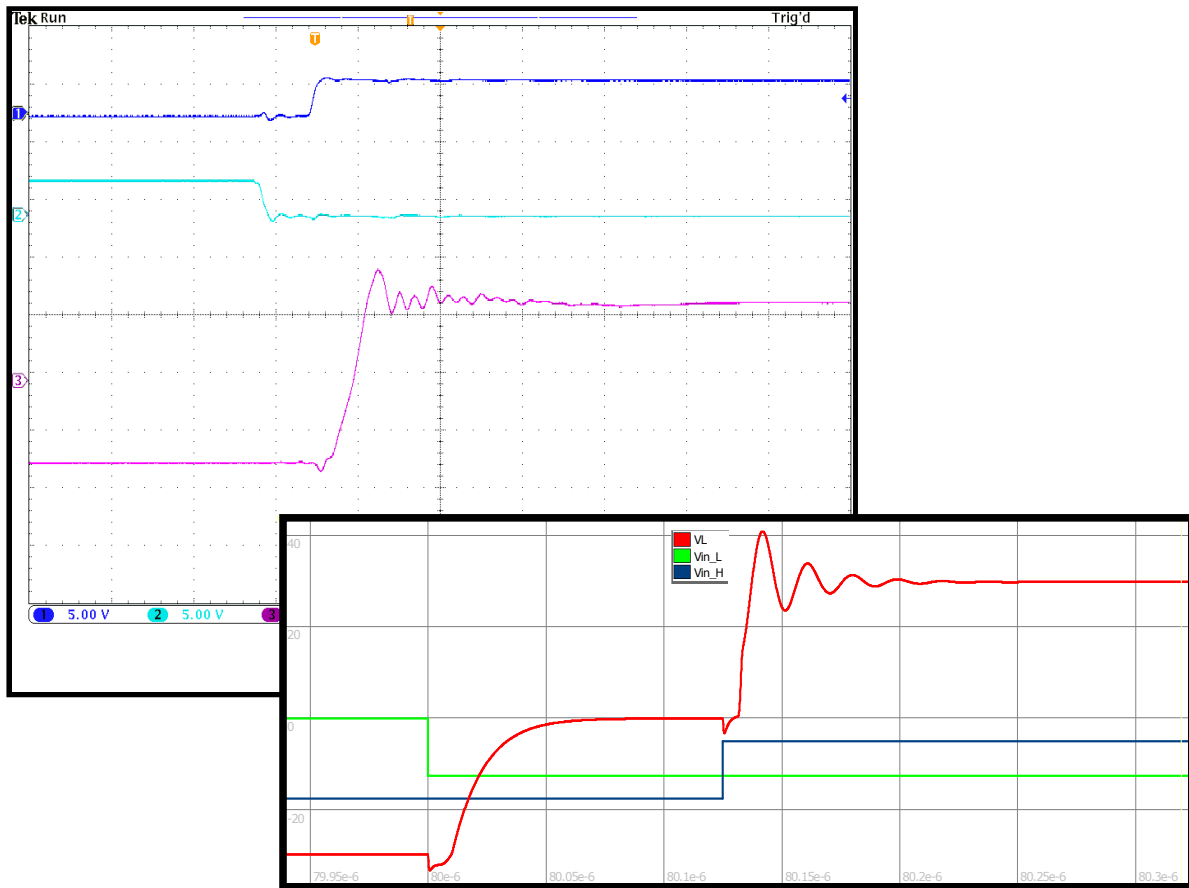


Figura 4.38: *Inversor resistivo en baja tensión. Resultados de simulación superpuestos a mediciones experimentales*

Si en la figura 4.38 se comparan las formas de onda de la tensión en la carga, es apreciable que más allá de poseer niveles estables distintos debido a los diferentes niveles impuestos en la simulación y el ensayo, las mismas presentan diferencias sustanciales. En la simulación, existen transiciones dadas durante el tiempo muerto. En la medición, no ocurre lo mismo debido al tiempo de retardo impuesto por cada optoacoplador. Estos tiempos no fueron incluidos en la simulación, pero solo generan un adelantamiento temporal en la señal en cuestión, dado que son iguales para cada uno de los optoacopladores. En efecto, no modifican la forma de la señal. Sin embargo, en la simulación existe un tiempo en el que la tensión de carga se establece en 0V, mientras que en la captura del osciloscopio, no se observa lo mismo. Este efecto no es debido a un error en la simulación, sino a la tecnología de la carga utilizada. La resistencia de 20Ω empleada es de tipo tubular de material cerámico. En base a su forma y su material, presenta una inductancia parásita serie elevada, la cual a 50kHz exhibe un valor de reactancia comparable con el mencionado valor resistivo. Así,

la corriente continúa circulando una vez apagado el MOSFET inferior, y durante el tiempo muerto, fluye a través del diodo de cuerpo del MOSFET superior, lo que en efecto, determina que la tensión en la carga no presente intervalos de estabilización en 0V. Bajo estas consideraciones, la carga se comporta de forma similar a la presentada en las simulaciones del BCEP operando como inversor inductivo en baja tensión (observarse figura 4.11).

A su vez, se logró determinar que la frecuencia del ripple en las mediciones es aproximadamente la mitad que en el caso de las simulaciones. Este efecto tampoco está debido a un error en las simulaciones, sino a la inductancia agregada por el PCB entre source superior y drain inferior. En base al valor medido, se logró determinar que la misma posee un valor aproximado de 40nHy.

Para poder contrastar los resultados de la medición con una simulación en características similares, se simuló al BCEP como inversor resistivo-inductivo, agregando en serie a la carga de 20Ω un inductor de $100\mu\text{Hy}$. A su vez, se modificaron los tiempos de crecimiento y decrecimiento de las tensiones de entrada a los optoacopladores a 15ns (valor medido para las señales PWM del microcontrolador utilizado en los ensayos experimentales) y se añadió entre los terminales source superior y drain inferior un inductor de 40nHy.

En la figura 4.39 se adjuntan los resultados del ensayo experimental y los de la simulación con los parámetros mencionados.

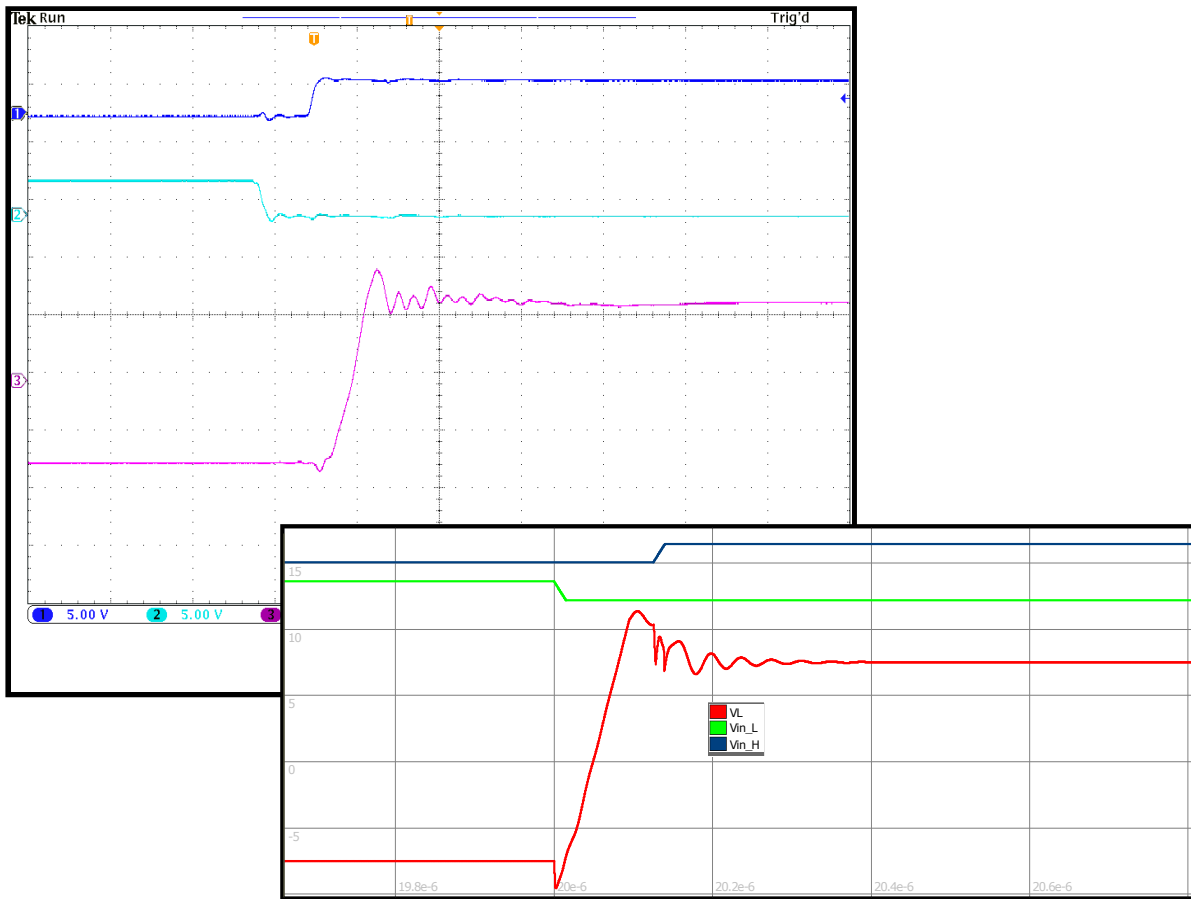


Figura 4.39: Inversor resistivo en baja tensión. Resultados de simulación con nuevos parámetros, superpuestos a mediciones experimentales

En la figura 4.39 puede apreciarse que los resultados de la simulación poseen formas de onda muy similares a los de la medición. En el cuadro 4.1 se muestran los resultados obtenidos.

Cuadro 4.1: Resultados de simulación y ensayo experimental.

Magnitud	Simulación	Ensayo experimental
Valor máximo de sobrepico	10.84V	10.90V
Tiempo de crecimiento	77.6ns	79ns
Tensión media estable	7V	7V
Periodo de ripple	40ns	40ns

Como puede observarse en el cuadro 4.1, los resultados obtenidos en la medición son muy similares a los de la simulación, dando un alto grado de confiabilidad a las demás

mediciones realizadas.

Capítulo 5

Conclusiones

Se diseñó y construyó un bloque constructivo de electrónica de potencia en base a la topología semi-puente o HB, utilizando MOSFETs de potencia basados en SiC, que puede ser utilizado para distintas aplicaciones y con un manejo de potencia de 2.5 kW nominales.

Se describieron los criterios tenidos en cuenta para el diseño, de acuerdo a los requisitos planteados inicialmente. Luego se seleccionaron los componentes, desde un punto de vista técnico-económico.

En base a estos componentes, se diseñaron las placas de circuito impreso o *PCBs*, considerando dimensiones apropiadas para el manejo de 2.5 kW de potencia.

La fabricación del PCB fue desarrollada teniendo en cuentas las limitaciones del fabricante.

Fueron simuladas tres configuraciones del B CEP: inversor DC-AC, convertidor DC-DC boost y convertidor DC-DC buck. Se verificaron en este entorno las formas de onda de tensión y corriente, y potencia. Se analizaron los transitorios debidos a las características parásitas de los MOSFETs, evaluando sus amplitudes y duraciones. Se calcularon las eficiencias máximas teóricas.

La validación experimental del convertidor fue desarrollada solo en su modo de inversor con carga resistiva en baja tensión, la cual demostró ser similar a lo observado en las simulaciones. Se utilizó una estrategia de conmutación PWM, implementada en un microcontrolador comercial.

5.1. Trabajos Futuros

El trabajo realizado en este proyecto final de grado representa una base para la continuación del estudio y desarrollo de BCEPS. Se proponen las siguientes tareas futuras:

- La implementación de un sistema de control a lazo cerrado. Esta es posible debido a que el diseño y construcción del convertidor tuvo en cuenta los elementos de sensados necesarios para ello.
- La finalización de las mediciones experimentales para constatar la validez del diseño en todas las configuraciones estudiadas.
- El agregado de un sistema de ventilación para aumentar la confiabilidad del sistema.
- La utilización de SiC MOSFETs de tercera generación de Cree de manera tal de obtener mayores eficiencias, mayores rangos de temperatura de operación y disipadores más pequeños.
- El diseño de un PCB de 4 capas de forma tal que la inductancia agregada por el mismo entre los terminales source superior y drain inferior se reduzca respecto al realizado.

Bibliografía

- [1] Laakkonen, T., Naumanen, V., Luukko, J., & Ahola, J. “Universal control scheme for power electronics building-block-based cascaded multilevel inverters”, 2009.
- [2] R. Kolessar & H. -. Nee. “A new physics-based circuit model for 4H-SiC power diodes implemented in SABER”. En *APEC 2001. Sixteenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.01CH37181)*, volumen 2, páginas 989-994, 2001.
- [3] Alter Technology. “Diodos de carburo de silicio para aplicaciones de alta potencia”. <https://www.redeweb.com/actualidad/diodos-de-carburo-de-silicio-para-aplicaciones-de-alta-potencia/>, 2017.
- [4] R. Law. “SiC MOSFET Gate Drive Optocouplers”. En *White Paper*, páginas 1-2, 2014.
- [5] A. Anton, J.C. Hernandez Botella, Z. Zang & M. Andersen. “Switching Investigations on a SiC MOSFET in a TO-247 Package”. Páginas 2-7, 2014.
- [6] Rohm Semiconductor. “Calculation of Power Loss (Synchronous)”. http://rohmsfs.rohm.com/en/products/databook/applinote/ic/power/switching_regulator/power_loss_appli-e.pdf, 2016.
- [7] Avago Technologies. “SiC MOSFET Gate Drive Optocouplers”. https://docs.broadcom.com/wcs-public/products/data-sheets--technical-specifications/white-papers/1020/593/av02-4498en_wp_sic-mosfet_2014-05-06.pdf, 2014.
- [8] Microsemi Power Matters. “Design Recommendations for SiC MOSFETs”. https://www.microsemi.com/document-portal/doc_download/

136647-micronote-1826-microsemi-sic-mosfets-design-recommendations,
2017.

- [9] Sidelinsoft. (2009). NL5 (2.72) [Software]. Recuperado de <http://sidelinesoft.com/n15>.
- [10] Farnell. "General purpose chip resistors" . <http://www.farnell.com/datasheets/15586.pdf>, 1999.
- [11] Institute for Interconnecting and Packaging Electronic Circuits. "*Generic Standard on Printed Board Design: IPC-2221*". 1998.
- [12] Y. Sugawara, D. Takayama, K. Asano, R. Singh, and T. Hayashi. "12-19 kV 4H-SiC pin diodes with low power loss". Páginas 4-7, 2001.
- [13] S. -H. Ryu, A. K. Agarwal, R. Singh, & J. W. Palmour. "1800 V NPN bipolar junction transistors in 4H-SiC". En *IEEE Electron Device Letters*, volumen 22, página 124, 2001.
- [14] H.-S. Lee, C.-M. Zetterling, M. Östling, F. Allerstam & E. Ö. "1200 V, 5.2 mΩcm² 4H-SiC BJTs with a high current gain". En *IEEE Electron Device Letters*, volumen 28, páginas 1007-1009, 2007.

Apéndice A

Código Fuente para Estrategia de Conmutación

A continuación se presenta el código fuente para el archivo main.c.

```
1
2  /**
3  ****
4  * @file      : main.c
5  * @brief     : Main program body
6  ****
7
8  ** This notice applies to any and all portions of this file
9  * that are not between comment pairs USER CODE BEGIN and
10 * USER CODE END. Other portions of this file, whether
11 * inserted by the user or by software development tools
12 * are owned by their respective copyright owners.
13 *
14 * COPYRIGHT(c) 2019 STMicroelectronics
15 *
16 * Redistribution and use in source and binary forms, with or without
17 * modification,
```



```
16 * are permitted provided that the following conditions are met:
17 * 1. Redistributions of source code must retain the above copyright
    * notice,
18 * this list of conditions and the following disclaimer.
19 * 2. Redistributions in binary form must reproduce the above
    * copyright notice,
20 * this list of conditions and the following disclaimer in the
    * documentation
21 * and/or other materials provided with the distribution.
22 * 3. Neither the name of STMicroelectronics nor the names of its
    * contributors
23 * may be used to endorse or promote products derived from this
    * software
24 * without specific prior written permission.
25 *
26 * THIS SOFTWARE IS PROVIDED BY THE COPYRIGHT HOLDERS AND CONTRIBUTORS "
    * AS IS"
27 * AND ANY EXPRESS OR IMPLIED WARRANTIES, INCLUDING, BUT NOT LIMITED TO,
    * THE
28 * IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR
    * PURPOSE ARE
29 * DISCLAIMED. IN NO EVENT SHALL THE COPYRIGHT HOLDER OR CONTRIBUTORS BE
    * LIABLE
30 * FOR ANY DIRECT, INDIRECT, INCIDENTAL, SPECIAL, EXEMPLARY, OR
    * CONSEQUENTIAL
31 * DAMAGES (INCLUDING, BUT NOT LIMITED TO, PROCUREMENT OF SUBSTITUTE
    * GOODS OR
32 * SERVICES; LOSS OF USE, DATA, OR PROFITS; OR BUSINESS INTERRUPTION)
    * HOWEVER
33 * CAUSED AND ON ANY THEORY OF LIABILITY, WHETHER IN CONTRACT, STRICT
    * LIABILITY,
```

```
34 * OR TORT (INCLUDING NEGLIGENCE OR OTHERWISE) ARISING IN ANY WAY OUT OF
    THE USE
35 * OF THIS SOFTWARE, EVEN IF ADVISED OF THE POSSIBILITY OF SUCH DAMAGE.
36 *
37 *****
38 */
39 /* Includes
    ----- */
40 #include "main.h"
41 #include "stm32f4xx_hal.h"
42 #include <math.h>
43 #include <stdio.h>
44
45 //Declaraci n de constantes y variables
46
47 /*-----Variables que definen principales par metros de salida PWM
    -----*/
48
49 uint16_t f=20; // [kHz] Frecuencia de trabajo de PWM (ingresar enteros).
50 float d=0.5; // Duty decimal
51 float tm=0.125; // [us] dead time (hasta 40.8 us)
52
53 /*
    -----
54 */
55 float j;
56 uint32_t fr;
57 uint32_t dt;
58
```

```
59  /* USER CODE BEGIN Includes */
60
61  /* USER CODE END Includes */
62
63  /* Private variables
64  ----- */
65  TIM_HandleTypeDef htim1;
66
67  /* USER CODE BEGIN PV */
68  /* Private variables
69  ----- */
70
71  /* USER CODE END PV */
72
73  /* Private function prototypes
74  ----- */
75  void SystemClock_Config(void);
76  static void MX_GPIO_Init(void);
77  static void MX_TIM1_Init(void);
78  void HAL_TIM_MspPostInit(TIM_HandleTypeDef *htim);
79
80  /* USER CODE BEGIN PFP */
81  /* Private function prototypes
82  ----- */
83
84  /* USER CODE END PFP */
85
86  /* USER CODE BEGIN 0 */
87
88  /* USER CODE END 0 */
```

```
86
87  /**
88   * @brief The application entry point.
89   *
90   * @retval None
91   */
92  int main(void)
93  {
94      /* USER CODE BEGIN 1 */
95
96      /* USER CODE END 1 */
97
98      /* MCU Configuration
99       ----- */
100
101     /* Reset of all peripherals, Initializes the Flash interface and the
102        SysTick. */
103     HAL_Init();
104
105     /* USER CODE BEGIN Init */
106
107     /* USER CODE END Init */
108
109     /* Configure the system clock */
110     SystemClock_Config();
111
112     /* USER CODE BEGIN SysInit */
113
114     /* USER CODE END SysInit */
115
116     /* Initialize all configured peripherals */
```

```
115     MX_GPIO_Init();
116     MX_TIM1_Init();
117     /* USER CODE BEGIN 2 */
118     HAL_TIM_PWM_Start(&htim1, TIM_CHANNEL_1);
119     HAL_TIMEx_PWMN_Start(&htim1, TIM_CHANNEL_1); // inicializa los canales
           complementarios
120     /* USER CODE END 2 */
121
122     /* Infinite loop */
123     /* USER CODE BEGIN WHILE */
124     while (1)
125     {
126
127
128
129     /* USER CODE END WHILE */
130
131     /* USER CODE BEGIN 3 */
132
133     }
134     /* USER CODE END 3 */
135
136 }
137
138 /**
139  * @brief System Clock Configuration
140  * @retval None
141  */
142 void SystemClock_Config(void)
143 {
144
```

```
145 RCC_OscInitTypeDef RCC_OscInitStruct;
146 RCC_ClkInitTypeDef RCC_ClkInitStruct;
147
148 /**Configure the main internal regulator output voltage
149 */
150 __HAL_RCC_PWR_CLK_ENABLE();
151
152 __HAL_PWR_VOLTAGESCALING_CONFIG(PWR_REGULATOR_VOLTAGE_SCALE1);
153
154 /**Initializes the CPU, AHB and APB busses clocks
155 */
156 RCC_OscInitStruct.OscillatorType = RCC_OSCILLATORTYPE_HSE;
157 RCC_OscInitStruct.HSEState = RCC_HSE_ON;
158 RCC_OscInitStruct.PLL.PLLState = RCC_PLL_ON;
159 RCC_OscInitStruct.PLL.PLLSource = RCC_PLLSOURCE_HSE;
160 RCC_OscInitStruct.PLL.PLLM = 4;
161 RCC_OscInitStruct.PLL.PLLN = 64;
162 RCC_OscInitStruct.PLL.PLLP = RCC_PLLP_DIV2;
163 RCC_OscInitStruct.PLL.PLLQ = 7;
164 if (HAL_RCC_OscConfig(&RCC_OscInitStruct) != HAL_OK)
165 {
166     _Error_Handler(__FILE__, __LINE__);
167 }
168
169 /**Initializes the CPU, AHB and APB busses clocks
170 */
171 RCC_ClkInitStruct.ClockType = RCC_CLOCKTYPE_HCLK|RCC_CLOCKTYPE_SYSCLK
172                               |RCC_CLOCKTYPE_PCLK1|RCC_CLOCKTYPE_PCLK2;
173 RCC_ClkInitStruct.SYSCLKSource = RCC_SYSCLKSOURCE_PLLCLK;
174 RCC_ClkInitStruct.AHBCLKDivider = RCC_SYSCLK_DIV1;
175 RCC_ClkInitStruct.APB1CLKDivider = RCC_HCLK_DIV2;
```

```
176   RCC_ClkInitStruct.APB2CLKDivider = RCC_HCLK_DIV16;
177
178   if (HAL_RCC_ClockConfig(&RCC_ClkInitStruct, FLASH_LATENCY_2) != HAL_OK)
179   {
180     _Error_Handler(__FILE__, __LINE__);
181   }
182
183   /**Configure the SysTick interrupt time
184   */
185   HAL_SYSTICK_Config(HAL_RCC_GetHCLKFreq()/1000);
186
187   /**Configure the SysTick
188   */
189   HAL_SYSTICK_CLKSourceConfig(SYSTICK_CLKSOURCE_HCLK);
190
191   /* SysTick_IRQn interrupt configuration */
192   HAL_NVIC_SetPriority(SysTick_IRQn, 0, 0);
193 }
194
195 /* TIM1 init function */
196 static void MX_TIM1_Init(void)
197 { uint16_t fm=8000/f;
198
199   TIM_MasterConfigTypeDef sMasterConfig;
200   TIM_OC_InitTypeDef sConfigOC;
201   TIM_BreakDeadTimeConfigTypeDef sBreakDeadTimeConfig;
202
203   htim1.Instance = TIM1;
204   htim1.Init.Prescaler = 0;
205   htim1.Init.CounterMode = TIM_COUNTERMODE_UP;
206   htim1.Init.Period = fm;
```

```
207 htim1.Init.ClockDivision = TIM_CLOCKDIVISION_DIV1;
208 htim1.Init.RepetitionCounter = 0;
209 if (HAL_TIM_PWM_Init(&htim1) != HAL_OK)
210 {
211     _Error_Handler(__FILE__, __LINE__);
212 }
213
214 sMasterConfig.MasterOutputTrigger = TIM_TRGO_RESET;
215 sMasterConfig.MasterSlaveMode = TIM_MASTERSLAVEMODE_DISABLE;
216 if (HAL_TIMEx_MasterConfigSynchronization(&htim1, &sMasterConfig) !=
217     HAL_OK)
218 {
219     _Error_Handler(__FILE__, __LINE__);
220 }
221
222 sConfigOC.OCMode = TIM_OC_MODE_PWM1;
223 sConfigOC.Pulse = d*fm;
224 sConfigOC.OCpolarity = TIM_OC_POLARITY_HIGH;
225 sConfigOC.OCNPolarity = TIM_OCNPOLARITY_HIGH;
226 sConfigOC.OCFastMode = TIM_OC_FAST_DISABLE;
227 sConfigOC.OCIdleState = TIM_OC_IDLE_STATE_RESET;
228 sConfigOC.OCNIdleState = TIM_OCN_IDLE_STATE_RESET;
229 if (HAL_TIM_PWM_ConfigChannel(&htim1, &sConfigOC, TIM_CHANNEL_1) !=
230     HAL_OK)
231 {
232     _Error_Handler(__FILE__, __LINE__);
233 }
234
235 uint8_t tmr;
236
237 if (tm >= 0 && tm <= 15.875) {
238     tmr = tm / 0.125;
239
240     HAL_GPIO_WritePin(GPIOD, GPIO_PIN_12, 1); // Time
```



```

        dead OK, intervalo 1. Led Verde
236         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_13,0);
237         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_14,0);
238         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_15,0);
239     }
240     if (tm>15.875 && tm<=31.75){
241         tmr=(tm/0.25)+64;
242         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_12,0);
243         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_13,1); // Time
        dead OK, intervalo 2. Led Naranja
244         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_14,0);
245         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_15,0);
246     }
247     if (tm>31.75 && tm<=63) {
248         tmr=(tm+160);
249         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_12,0);
250         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_13,0);
251         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_14,1); // Time
        dead OK, intervalo 3. Led rojo.
252         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_15,0);
253     }
254     if (tm>63 && tm<=126) {
255         tmr=(tm/2)+192;
256         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_12,0);
257         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_13,0);
258         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_14,0);
259         HAL_GPIO_WritePin(GPIOD,GPIO_PIN_15,1); // Time
        dead Ok, intervalo 4. Led Azul.
260     }
261     if (tm>126){
262         tmr=255;
```

```
263     HAL_GPIO_WritePin(GPIOD,GPIO_PIN_12,0);
264     HAL_GPIO_WritePin(GPIOD,GPIO_PIN_13,0);
265     HAL_GPIO_WritePin(GPIOD,GPIO_PIN_14,0);
266     HAL_GPIO_WritePin(GPIOD,GPIO_PIN_15,0);
267     /* Todos los leds apagados indican Time Dead desbordado
        respecto al valor maximo.
268     */
269     }
270     sBreakDeadTimeConfig.OffStateRunMode = TIM_OSSR_DISABLE;
271     sBreakDeadTimeConfig.OffStateIDLEMode = TIM_OSSI_DISABLE;
272     sBreakDeadTimeConfig.LockLevel = TIM_LOCKLEVEL_OFF;
273     sBreakDeadTimeConfig.DeadTime = tmr;
274     sBreakDeadTimeConfig.BreakState = TIM_BREAK_DISABLE;
275     sBreakDeadTimeConfig.BreakPolarity = TIM_BREAKPOLARITY_HIGH;
276     sBreakDeadTimeConfig.AutomaticOutput = TIM_AUTOMATICOUTPUT_DISABLE;
277     if (HAL_TIMEx_ConfigBreakDeadTime(&htim1, &sBreakDeadTimeConfig) !=
        HAL_OK)
278     {
279         _Error_Handler(__FILE__, __LINE__);
280     }
281
282     HAL_TIM_MspPostInit(&htim1);
283
284 }
285
286 /** Configure pins as
287     * Analog
288     * Input
289     * Output
290     * EVENT_OUT
291     * EXTI
```

```
292     PC3     -----> I2S2_SD
293     PA4     -----> I2S3_WS
294     PA5     -----> SPI1_SCK
295     PA6     -----> SPI1_MISO
296     PA7     -----> SPI1_MOSI
297     PB10    -----> I2S2_CK
298     PC7     -----> I2S3_MCK
299     PA9     -----> USB_OTG_FS_VBUS
300     PA10    -----> USB_OTG_FS_ID
301     PA11    -----> USB_OTG_FS_DM
302     PA12    -----> USB_OTG_FS_DP
303     PC10    -----> I2S3_CK
304     PC12    -----> I2S3_SD
305     PB6     -----> I2C1_SCL
306     PB9     -----> I2C1_SDA
307
308     /*
309     static void MX_GPIO_Init(void)
310     {
311
312         GPIO_InitTypeDef GPIO_InitStructure;
313
314         /* GPIO Ports Clock Enable */
315         __HAL_RCC_GPIOE_CLK_ENABLE();
316         __HAL_RCC_GPIOC_CLK_ENABLE();
317         __HAL_RCC_GPIOH_CLK_ENABLE();
318         __HAL_RCC_GPIOA_CLK_ENABLE();
319         __HAL_RCC_GPIOB_CLK_ENABLE();
320         __HAL_RCC_GPIOD_CLK_ENABLE();
321
322         /*Configure GPIO pin Output Level */
323         HAL_GPIO_WritePin(CS_I2C_SPI_GPIO_Port, CS_I2C_SPI_Pin, GPIO_PIN_RESET)
```

```
323 ;
324 /*Configure GPIO pin Output Level */
325 HAL_GPIO_WritePin(OTG_FS_PowerSwitchOn_GPIO_Port,
326     OTG_FS_PowerSwitchOn_Pin, GPIO_PIN_SET);
327
328 /*Configure GPIO pin Output Level */
329 HAL_GPIO_WritePin(GPIOD, LD4_Pin|LD3_Pin|LD5_Pin|LD6_Pin
330     |Audio_RST_Pin, GPIO_PIN_RESET);
331
332 /*Configure GPIO pin : CS_I2C_SPI_Pin */
333 GPIO_InitStruct.Pin = CS_I2C_SPI_Pin;
334 GPIO_InitStruct.Mode = GPIO_MODE_OUTPUT_PP;
335 GPIO_InitStruct.Pull = GPIO_NOPULL;
336 GPIO_InitStruct.Speed = GPIO_SPEED_FREQ_LOW;
337 HAL_GPIO_Init(CS_I2C_SPI_GPIO_Port, &GPIO_InitStruct);
338
339 /*Configure GPIO pin : OTG_FS_PowerSwitchOn_Pin */
340 GPIO_InitStruct.Pin = OTG_FS_PowerSwitchOn_Pin;
341 GPIO_InitStruct.Mode = GPIO_MODE_OUTPUT_PP;
342 GPIO_InitStruct.Pull = GPIO_NOPULL;
343 GPIO_InitStruct.Speed = GPIO_SPEED_FREQ_LOW;
344 HAL_GPIO_Init(OTG_FS_PowerSwitchOn_GPIO_Port, &GPIO_InitStruct);
345
346 /*Configure GPIO pin : PDM_OUT_Pin */
347 GPIO_InitStruct.Pin = PDM_OUT_Pin;
348 GPIO_InitStruct.Mode = GPIO_MODE_AF_PP;
349 GPIO_InitStruct.Pull = GPIO_NOPULL;
350 GPIO_InitStruct.Speed = GPIO_SPEED_FREQ_LOW;
351 GPIO_InitStruct.Alternate = GPIO_AF5_SPI2;
352 HAL_GPIO_Init(PDM_OUT_GPIO_Port, &GPIO_InitStruct);
```

```
352
353  /*Configure GPIO pin : B1_Pin */
354  GPIO_InitStruct.Pin = B1_Pin;
355  GPIO_InitStruct.Mode = GPIO_MODE_EVT_RISING;
356  GPIO_InitStruct.Pull = GPIO_NOPULL;
357  HAL_GPIO_Init(B1_GPIO_Port, &GPIO_InitStruct);
358
359  /*Configure GPIO pin : I2S3_WS_Pin */
360  GPIO_InitStruct.Pin = I2S3_WS_Pin;
361  GPIO_InitStruct.Mode = GPIO_MODE_AF_PP;
362  GPIO_InitStruct.Pull = GPIO_NOPULL;
363  GPIO_InitStruct.Speed = GPIO_SPEED_FREQ_LOW;
364  GPIO_InitStruct.Alternate = GPIO_AF6_SPI3;
365  HAL_GPIO_Init(I2S3_WS_GPIO_Port, &GPIO_InitStruct);
366
367  /*Configure GPIO pins : SPI1_SCK_Pin SPI1_MISO_Pin SPI1_MOSI_Pin */
368  GPIO_InitStruct.Pin = SPI1_SCK_Pin|SPI1_MISO_Pin|SPI1_MOSI_Pin;
369  GPIO_InitStruct.Mode = GPIO_MODE_AF_PP;
370  GPIO_InitStruct.Pull = GPIO_NOPULL;
371  GPIO_InitStruct.Speed = GPIO_SPEED_FREQ_LOW;
372  GPIO_InitStruct.Alternate = GPIO_AF5_SPI1;
373  HAL_GPIO_Init(GPIOA, &GPIO_InitStruct);
374
375  /*Configure GPIO pin : BOOT1_Pin */
376  GPIO_InitStruct.Pin = BOOT1_Pin;
377  GPIO_InitStruct.Mode = GPIO_MODE_INPUT;
378  GPIO_InitStruct.Pull = GPIO_NOPULL;
379  HAL_GPIO_Init(BOOT1_GPIO_Port, &GPIO_InitStruct);
380
381  /*Configure GPIO pin : CLK_IN_Pin */
382  GPIO_InitStruct.Pin = CLK_IN_Pin;
```

```
383 GPIO_InitStruct.Mode = GPIO_MODE_AF_PP;
384 GPIO_InitStruct.Pull = GPIO_NOPULL;
385 GPIO_InitStruct.Speed = GPIO_SPEED_FREQ_LOW;
386 GPIO_InitStruct.Alternate = GPIO_AF5_SPI2;
387 HAL_GPIO_Init(CLK_IN_GPIO_Port, &GPIO_InitStruct);
388
389 /*Configure GPIO pins : LD4_Pin LD3_Pin LD5_Pin LD6_Pin
390                          Audio_RST_Pin */
391 GPIO_InitStruct.Pin = LD4_Pin|LD3_Pin|LD5_Pin|LD6_Pin
392                          |Audio_RST_Pin;
393 GPIO_InitStruct.Mode = GPIO_MODE_OUTPUT_PP;
394 GPIO_InitStruct.Pull = GPIO_NOPULL;
395 GPIO_InitStruct.Speed = GPIO_SPEED_FREQ_LOW;
396 HAL_GPIO_Init(GPIOD, &GPIO_InitStruct);
397
398 /*Configure GPIO pins : I2S3_MCK_Pin I2S3_SCK_Pin I2S3_SD_Pin */
399 GPIO_InitStruct.Pin = I2S3_MCK_Pin|I2S3_SCK_Pin|I2S3_SD_Pin;
400 GPIO_InitStruct.Mode = GPIO_MODE_AF_PP;
401 GPIO_InitStruct.Pull = GPIO_NOPULL;
402 GPIO_InitStruct.Speed = GPIO_SPEED_FREQ_LOW;
403 GPIO_InitStruct.Alternate = GPIO_AF6_SPI3;
404 HAL_GPIO_Init(GPIOC, &GPIO_InitStruct);
405
406 /*Configure GPIO pin : VBUS_FS_Pin */
407 GPIO_InitStruct.Pin = VBUS_FS_Pin;
408 GPIO_InitStruct.Mode = GPIO_MODE_INPUT;
409 GPIO_InitStruct.Pull = GPIO_NOPULL;
410 HAL_GPIO_Init(VBUS_FS_GPIO_Port, &GPIO_InitStruct);
411
412 /*Configure GPIO pins : OTG_FS_ID_Pin OTG_FS_DM_Pin OTG_FS_DP_Pin */
413 GPIO_InitStruct.Pin = OTG_FS_ID_Pin|OTG_FS_DM_Pin|OTG_FS_DP_Pin;
```

```
414     GPIO_InitStruct.Mode = GPIO_MODE_AF_PP;
415     GPIO_InitStruct.Pull = GPIO_NOPULL;
416     GPIO_InitStruct.Speed = GPIO_SPEED_FREQ_LOW;
417     GPIO_InitStruct.Alternate = GPIO_AF10_OTG_FS;
418     HAL_GPIO_Init(GPIOA, &GPIO_InitStruct);
419
420     /*Configure GPIO pin : OTG_FS_OverCurrent_Pin */
421     GPIO_InitStruct.Pin = OTG_FS_OverCurrent_Pin;
422     GPIO_InitStruct.Mode = GPIO_MODE_INPUT;
423     GPIO_InitStruct.Pull = GPIO_NOPULL;
424     HAL_GPIO_Init(OTG_FS_OverCurrent_GPIO_Port, &GPIO_InitStruct);
425
426     /*Configure GPIO pins : Audio_SCL_Pin Audio_SDA_Pin */
427     GPIO_InitStruct.Pin = Audio_SCL_Pin|Audio_SDA_Pin;
428     GPIO_InitStruct.Mode = GPIO_MODE_AF_OD;
429     GPIO_InitStruct.Pull = GPIO_PULLUP;
430     GPIO_InitStruct.Speed = GPIO_SPEED_FREQ_LOW;
431     GPIO_InitStruct.Alternate = GPIO_AF4_I2C1;
432     HAL_GPIO_Init(GPIOB, &GPIO_InitStruct);
433
434     /*Configure GPIO pin : MEMS_INT2_Pin */
435     GPIO_InitStruct.Pin = MEMS_INT2_Pin;
436     GPIO_InitStruct.Mode = GPIO_MODE_EVT_RISING;
437     GPIO_InitStruct.Pull = GPIO_NOPULL;
438     HAL_GPIO_Init(MEMS_INT2_GPIO_Port, &GPIO_InitStruct);
439
440 }
441
442 /* USER CODE BEGIN 4 */
443
444 /* USER CODE END 4 */
```

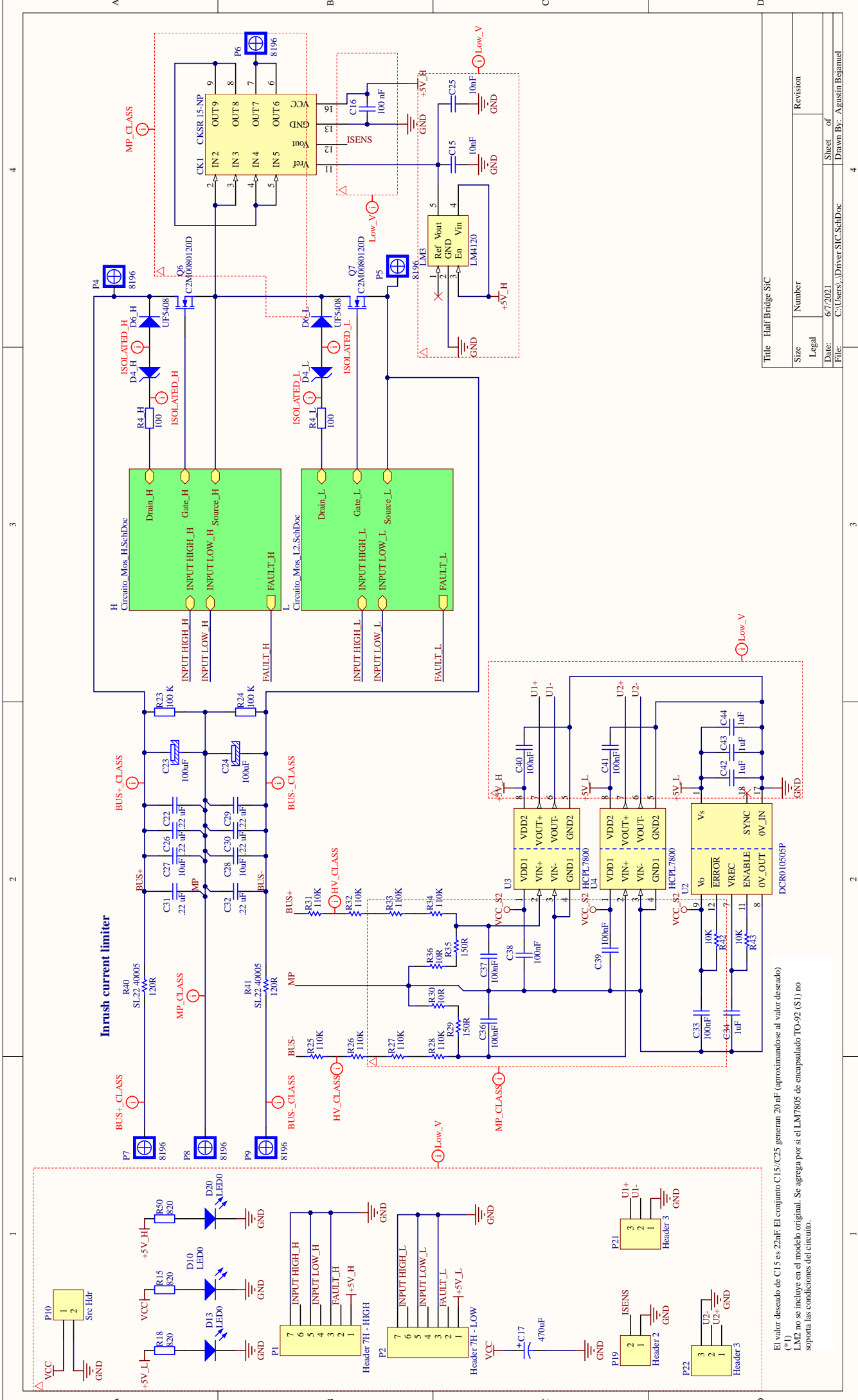
```
445
446  /**
447   * @brief This function is executed in case of error occurrence.
448   * @param file: The file name as string.
449   * @param line: The line in file as a number.
450   * @retval None
451   */
452 void _Error_Handler(char *file, int line)
453 {
454     /* USER CODE BEGIN Error_Handler_Debug */
455     /* User can add his own implementation to report the HAL error return
456        state */
457     while(1)
458     {
459         /* USER CODE END Error_Handler_Debug */
460     }
461
462 #ifdef USE_FULL_ASSERT
463 /**
464   * @brief Reports the name of the source file and the source line
465   *        number
466   *        where the assert_param error has occurred.
467   * @param file: pointer to the source file name
468   * @param line: assert_param error line source number
469   * @retval None
470   */
471 void assert_failed(uint8_t* file, uint32_t line)
472 {
473     /* USER CODE BEGIN 6 */
474     /* User can add his own implementation to report the file name and line
```



```
    number ,
474     tex: printf("Wrong parameters value: file %s on line %d\r\n", file ,
        line) */
475 /* USER CODE END 6 */
476 }
477 #endif /* USE_FULL_ASSERT */
478
479 /*
480  * @}
481  */
482
483 /*
484  * @}
485  */
486
487 /***** (C) COPYRIGHT STMicroelectronics *****/
    FILE *****/
```

Apéndice B

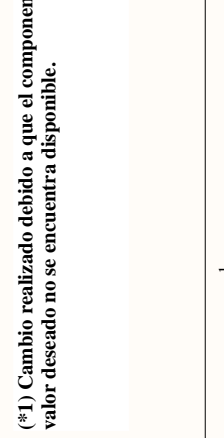
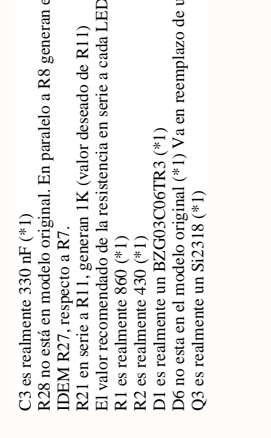
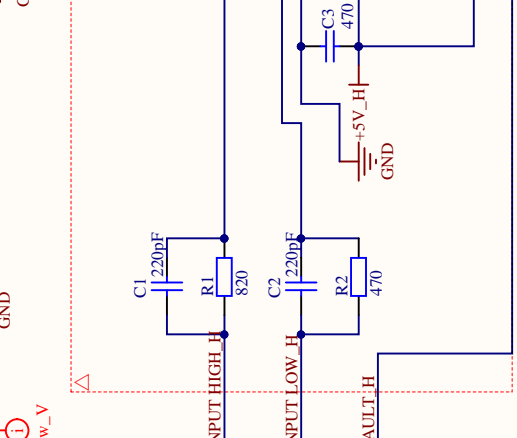
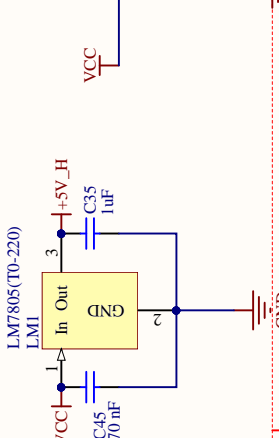
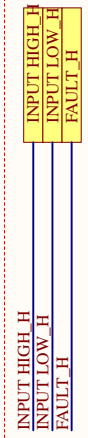
Diagramas Esquemáticos



Title: Half Bridge SiC

Size	Number	Revision
Legal	6/7/2021	Sheet of
Date:	C:\Users\... \Driver_SiC_SchDoc	Drawn By: Agustín Benjumea

El valor deseado de C15 es 22nF. El conjunto C15/C25 generan 20 nF (aproximándose al valor deseado) (*1)
 LM2 no se incluye en el modelo original. Se agrega por si el LM7805 de encapsulado TO-92 (S1) no soporta las condiciones del circuito.



D4 (ZENNER), es opcional. En caso de no usarlo, puentear. Mediante este diodo, el umbral con el que se compara Vdesat deja de ser 8V, y es 8V-Vz. Se puede lograr disparar la condición de falla por cortocircuito de manera mas rápida, sin cambiar la pendiente de la rampa que se genera en Vdesat.

D5 (ZENNER DE 10V), es opcional. Lo recomiendo el fabricante en la hoja de datos para prevenir falsas fallas (con el diodo shokky en paralelo). En la nota de aplicación, este diodo no aparece en el modelo propuesto, solo se incluye el diodo shokky.

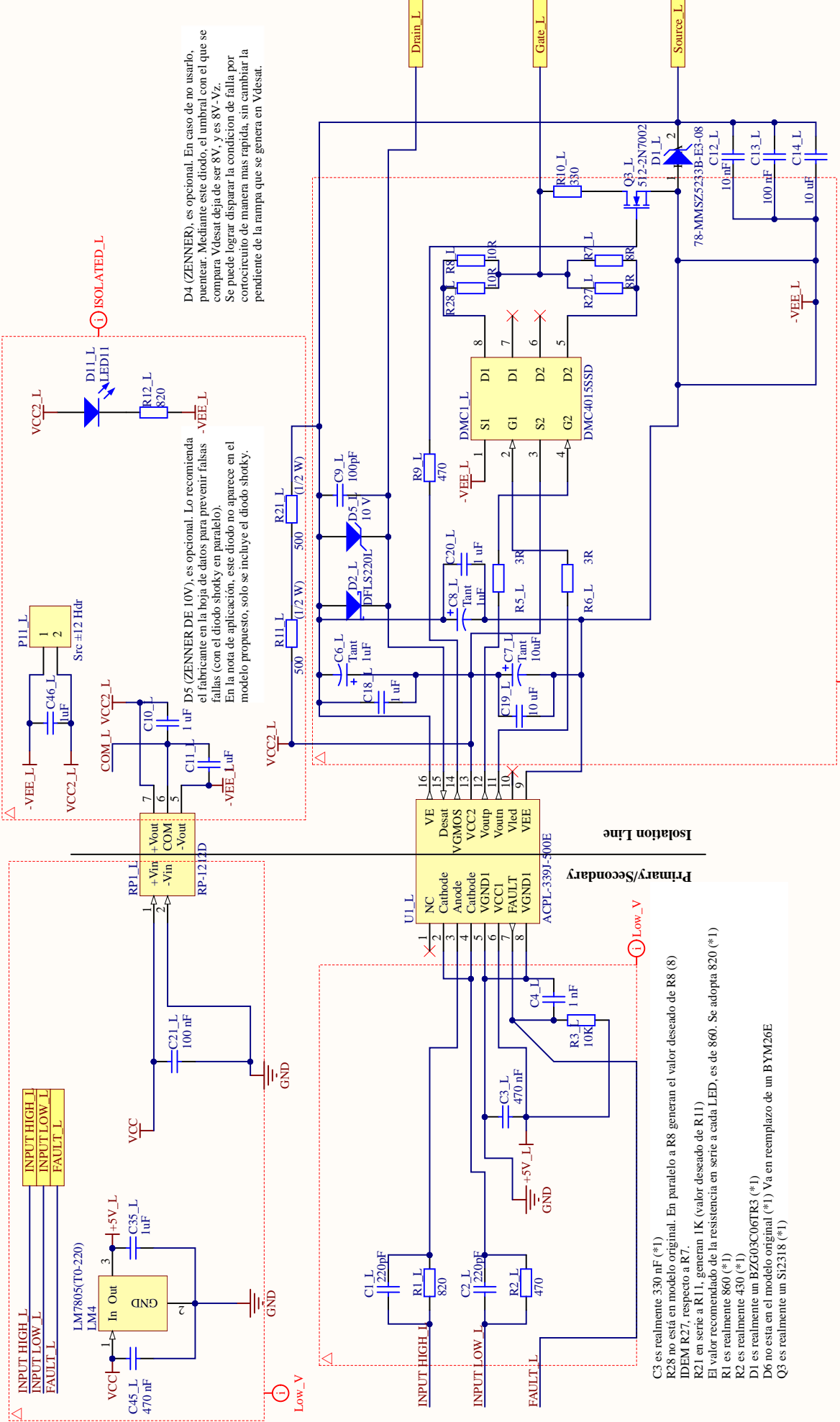
- C3 es realmente 330 nF (*1)
- R28 no está en modelo original. En paralelo a R8 generan el valor deseado de R8 (8)
- IDEM R27, respecto a R7.
- R21 en serie a R11, generan 1K (valor deseado de R11)
- El valor recomendado de la resistencia en serie a cada LED, es de 860. Se adopta 820 (*1)
- R1 es realmente 860 (*1)
- R2 es realmente 430 (*1)
- D1 es realmente un BZG03C06TR3 (*1)
- D6 no está en el modelo original (*1) Ya en reemplazo de un BYM26E
- Q3 es realmente un SIZ318 (*1)

(*1) Cambio realizado debido a que el componente de valor deseado no se encuentra disponible.

Title Half Bridge SiC

Size	Number	Revision
A4		
Date:	6/7/2021	Sheet of
File:	C:\Users\...\Circuito_Mos_H.SchDoc	Drawn By: Agustin Bejauneel

Valores de R5 y R6 ajustables. Valor minimo 3 ohms para id/dt 1000A/us



D4 (ZENNER), es opcional. En caso de no usarlo, puentear. Mediante este diodo, el limbral con el que se compara Vdesat deja de ser 8V, y es 8V-Vz. Se puede lograr disparar la condición de falla por cortocircuito de manera mas rapida, sin cambiar la pendiente de la rampa que se genera en Vdesat.

D5 (ZENNER DE 10V), es opcional. Lo recomienda el fabricante en la hoja de datos para prevenir falsas fallas (con el diodo shokty en paralelo). En la nota de aplicación, este diodo no aparece en el modelo propuesto, solo se incluye el diodo shokty.

(*1) Cambio realizado debido a que el componente de valor deseado no se encuentra disponible.

- C3 es realmente 330 nF (*1)
- R28 no está en modelo original. En paralelo a R8, generan el valor deseado de R8 (8) IDEM R27, respecto a R7.
- R21 en serie a R11, generan 1K (valor deseado de R11)
- El valor recomendado de la resistencia en serie a cada LED, es de 860. Se adopta 820 (*1)
- R1 es realmente 860 (*1)
- R2 es realmente 430 (*1)
- D1 es realmente un BZG03C06TR3 (*1)
- D6 no está en el modelo original (*1) Va en reemplazo de un BYM26E
- Q3 es realmente un S12318 (*1)

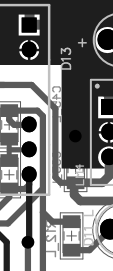
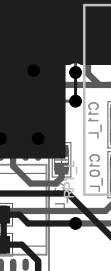
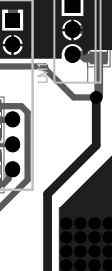
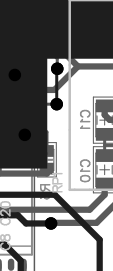
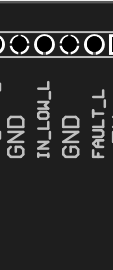
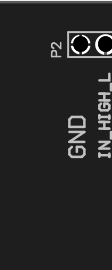
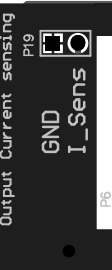
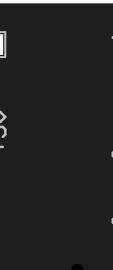
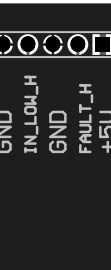
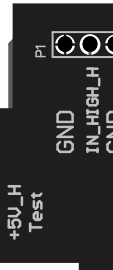
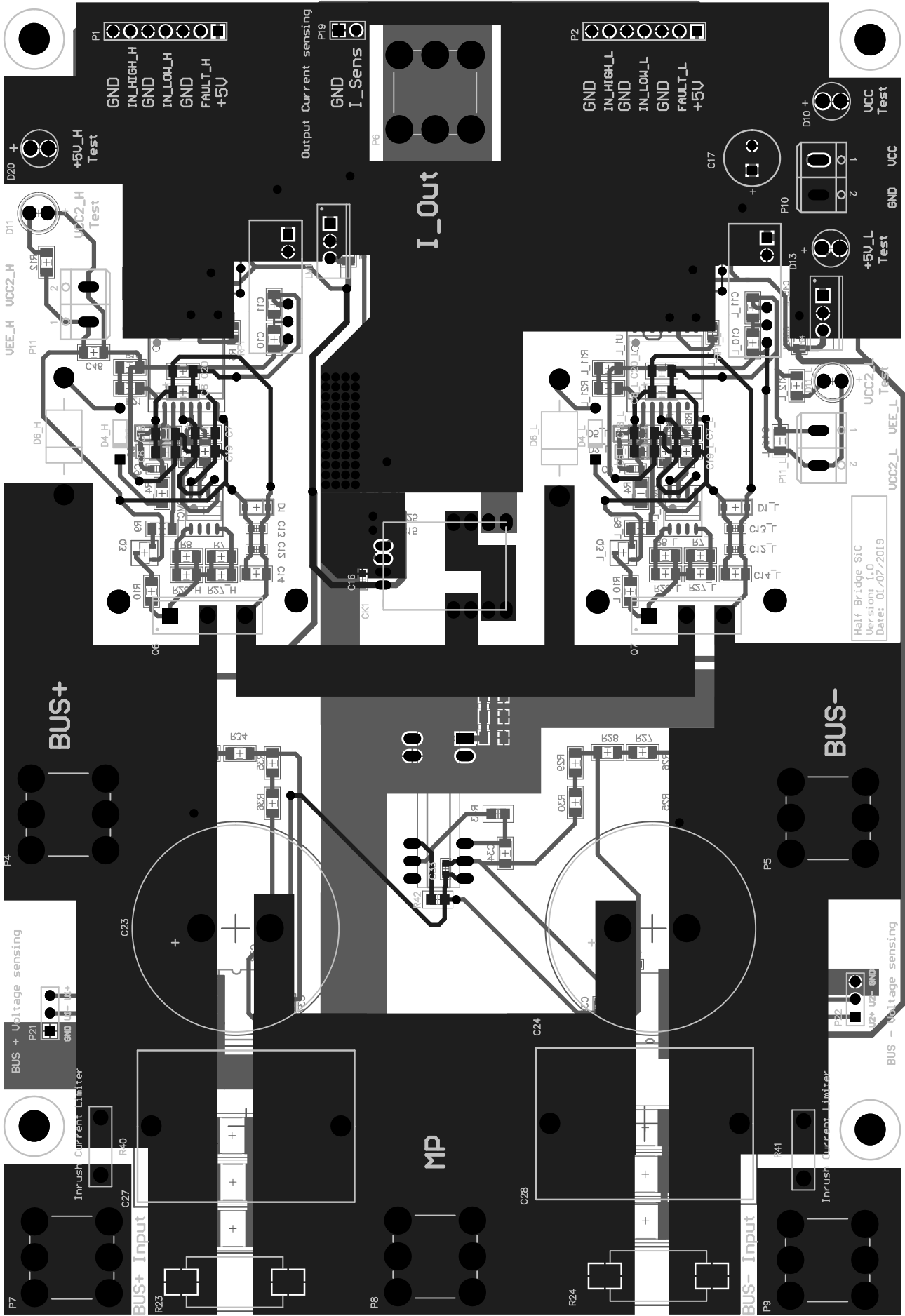
Valores de R5 y R6 ajustables. Valor mínimo 3 ohms para id/dt 100A/us

Title Half Bridge SiC

Size	Number	Revision
A4		
Date:	6/7/2021	Sheet of
File:	C:\Users\...\Circuito_Mos_L2.SchDoc	Drawn By: Agustín Bejauneel

Apéndice C

Modelo PCB Final



Apéndice D

Teoría ampliatoria

D.1. Conceptos Relacionados a BCEPs

D.1.1. Modularidad Integrada

El concepto de modularidad integrada se asocia directamente con la reducción de tamaño, peso y costo de los dispositivos, debido al diseño independiente de los módulos, generando de esta forma un impacto sobre aspectos relacionados con la densidad de potencia y energía, eficiencia y controlabilidad en sistemas. De esta manera, el concepto de modularidad integrada permite minimizar el costo, tamaño y peso de los dispositivos permitiendo optimizar el desempeño de los diseños.

La modularidad integrada consiste en la construcción de diseños modulares que estén al servicio de una aplicación general. En efecto, este concepto está orientado a un desarrollo específico modular mejorando las habilidades del bloque constructivo pero considerando la necesidad de integrarse en una aplicación de conversión de potencia, bien sea específica o universal. A continuación se presentan algunos atributos de este concepto en los sistemas de potencia:

- Fraccionamiento basado en la Física:
 - Térmica, Mecánica, Eléctrica y Control.

- Diseño Celular:
 - Diseño a partir de la interacción Material-sistema.
 - Diseño jerárquico.

- Desempeño programable:
 - Control de la variable de salida. Ej. AC, DC.
 - Hardware modular multifuncional.
 - Control y reconfiguración del sistema.

D.1.2. Prototipado Incremental

El prototipado modela el producto final y permite efectuar evaluaciones sobre determinados atributos del mismo sin necesidad de que esté disponible aun. Existen diversas técnicas de prototipado, entre ellas, horizontal, vertical, rápido, de alta fidelidad, de baja fidelidad e incremental.

La técnica de prototipado incremental se basa en el añadido de nuevos elementos sobre el prototipo a medida que el proceso de diseño avanza. De esta forma es posible el refinamiento y el funcionamiento incremental de un producto final como requerimientos de diseño. En cada etapa de diseño surgen potenciales problemáticas para las cuales se ensayan un grupo de posibles soluciones en búsqueda de la solución más eficiente. Para continuar el proceso de diseño, se deben identificar y corregir los problemas de las etapas anteriores. La etapa final de diseño, incluye todo el universo de soluciones creadas durante el proceso.

D.2. Otros Dispositivos Basados en SiC

D.2.1. Diodos Schottky

Los diodos Schottky (*SBDs*, por sus siglas en inglés: *Schottky Barrier Diodes*) son los dispositivos más simples construidos en base a SiC. Estos elementos están libres de tiempos de recuperación inversa, lo que posibilita mayores frecuencias de conmutación en convertidores. En laboratorios se han realizado varios prototipos de diodos Schottky que superan los 2000V para el valor de tensión inversa. Sin embargo, debido a que el área activa de un SBD está limitada por defectos en su superficie, trabajar con niveles de corrientes de mayores a 50A es muy complejo.

Para aplicaciones que demanden mayores niveles de tensión y corriente que los mencionados anteriormente, es necesario implementar la estructura de diodos PiN. Se trata de una estructura de tres capas, estando la intermedia compuesta por semiconductor intrínseco, mientras que en las dos exteriores, una es de tipo N y la restante es de tipo P. Estos dispositivos alcanzan normalmente tensiones inversas del orden de los 15kV (*el fabricante Cree Inc. ha alcanzado para sus diodos PiN tensiones inversas de 19.5kV, y caídas de tensión en directa de 4.9V*) [12]. Los diodos Schottky de juntura basados en SiC (*JBS* por sus siglas en inglés: *Junction Barrier Schottky*) son una combinación entre los diodos Schottky y la estructura de los diodos PiN, aprovechando así las ventajas de ambas tecnologías. En efecto, los JBS son una opción muy atractiva para aplicaciones de alta tensión y alta corriente.

D.2.2. Transistores Bipolares de Juntura

El primer transistor bipolar de juntura (*BJTs* por sus siglas en inglés: *Bipolar Junction Transistor*) basado en SiC fue presentado en 1977. Sin embargo, recién en 2001 comenzaron a producirse masivamente debido a que se lograron fabricar SiC BJT con tensiones de bloqueo de 1.8kV y una resistencia de encendido específica de $10.8 \text{ m}\Omega\text{cm}^2$. [13]

Las principales ventajas de los SiC BJT radican en sus bajas pérdidas de conducción y elevadas frecuencias de conmutación. A su vez, es sencillo conectar varios de estos dispositivos en paralelo o en cascada. Sin embargo, son complejas las estrategias de *driveo* para

estos BJT, y las constantes de ganancia de corriente (β) son más bajas en comparación a otros dispositivos de potencia tales como MOSFETs o IGBTs. Generar estrategias de *driveo* menos complejas es difícil ya que estas dependen en gran medida de características propias de la tecnología BJT. Por lo tanto, para competir con otros dispositivos, el desafío en cuanto a los SiC BJT es aumentar las constantes de ganancia de corriente.

Actualmente, la mayoría de los transistores bipolares de juntura basados en SiC poseen constantes de ganancia de corriente de entre 10 y 50 veces, y tensiones de bloqueo entre 600 y 5000V. A su vez existen SiC BJT de mayor calidad y costo, que alcanzan tensiones de bloqueo de 9.2kV con resistencias específicas de encendido de $49\text{m}\Omega\text{cm}^2$, siendo en este caso, opciones atractivas para aplicaciones de alta tensión. Si se desea maximizar la eficiencia de conversión, es posible encontrar SiC BJTs con resistencias específicas de encendido de $2.9\text{m}\Omega\text{cm}^2$, con la limitación de poseer tensiones de bloqueo relativamente bajas (menores a 1kV). En cuanto a ganancia de corriente, están disponibles en el mercado SiC BJTs con $\beta > 60$. [14]

D.3. PWM como Estrategia de Conmutación

Esta estrategia de conmutación se destaca por su simplicidad y contenido armónico reducido, además de la posibilidad de operar con sobremodulación.

El modulador PWM compara una determinada señal de referencia (o modulante) con una señal triangular o diente de sierra (o portadora) de alta frecuencia, generando a la salida una señal cuyo tiempo en alto y bajo nivel, dependerá de esta comparación.

Aplicándolo al proyecto en cuestión, la frecuencia de la señal portadora f_{sw} define la frecuencia de conmutación de las llaves y es siempre mucho mayor que la frecuencia de la modulante (si le llamamos referencia, es en realidad un nivel de tensión continua).

Funcionalmente, el comparador establece dos estados posibles:

- $V_{portadora} < V_{modulante}$: la salida del comparador es una señal lógica alta.
- $V_{portadora} > V_{modulante}$: la salida del comparador es una señal lógica baja.

Se define al ciclo de trabajo (d, por duty cycle) de la señal de salida como la relación

entre el tiempo en nivel alto y el periodo total de la señal de salida del comparador PWM. Este parámetro será dependiente de las amplitudes tanto de la señal portadora como la de la señal modulante o referencia, y a su vez de la forma y frecuencia de la señal modulante o referencia:

- Si la señal modulante es solo un nivel de tensión de referencia, el ciclo de trabajo será fijo. Podrá aumentar si se aumenta el nivel de referencia o se reduce la amplitud de la señal portadora.
- Si la señal modulante es una señal periódica, el ciclo de trabajo será periódicamente variable en función de la forma de onda y frecuencia de la señal modulante.

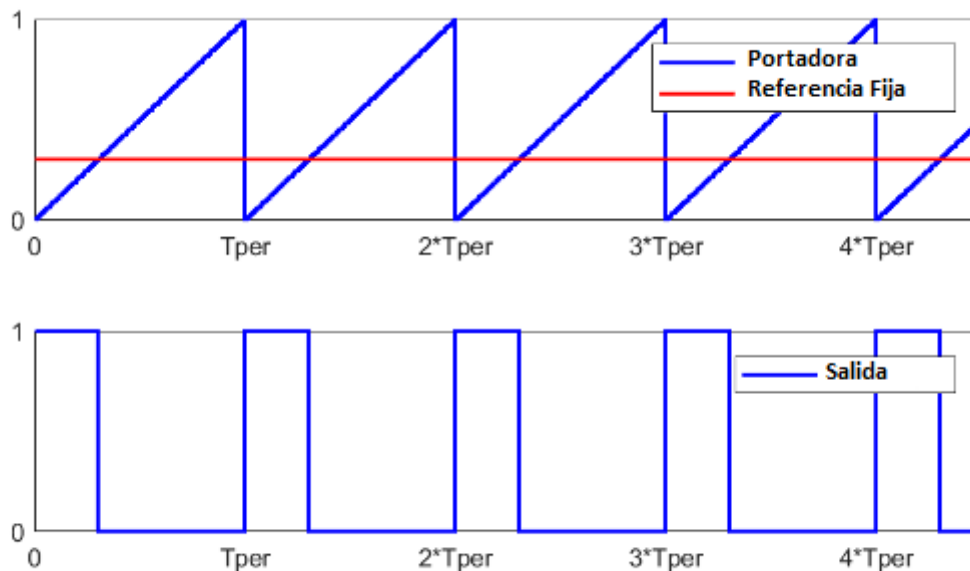


Figura D.1: Modulación PWM. Señal de referencia fija.

La figura D.1 exhibe la generación de una señal PWM a través de una señal portadora de tipo diente de sierra y una señal modulante continua. Logra observarse que el ancho de los pulsos de salida es constante, por lo que también lo es el ciclo de trabajo.

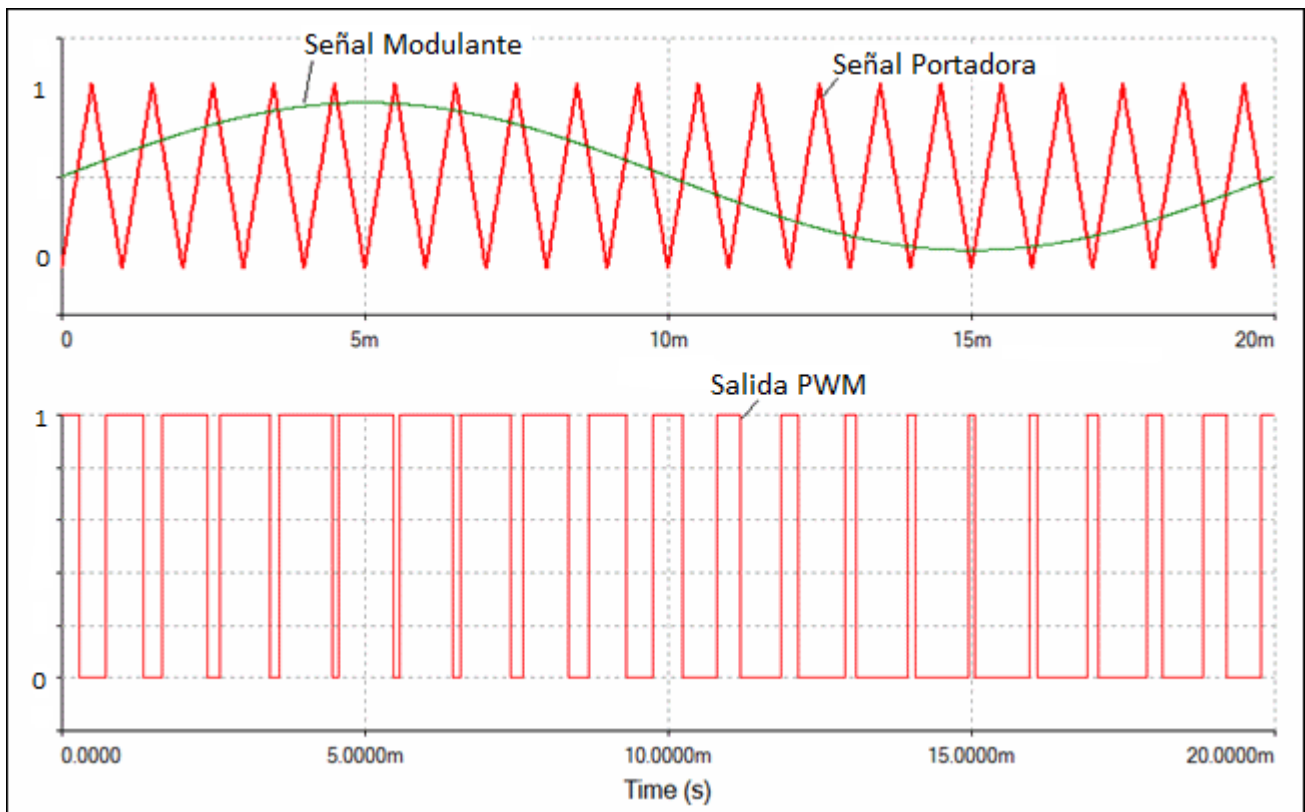


Figura D.2: Modulación PWM. Señal modulante senoidal.

En la figura D.2 se muestra la generación de una señal PWM a partir de una portadora tipo triangular y una modulante senoidal. Es apreciable que el ancho de los pulsos de salida es variable y que a su vez, estos pulsos poseen mayor duración en los intervalos en que la señal modulante es mayor, y una duración más reducida en los instantes en que la amplitud de la señal modulante atraviesa sus mínimos valores.

A pesar de que el primer uso de esta característica fue una técnica de modulación digital para la transmisión de datos, la generación de señales PWM a partir de modulantes no fijas, posee utilidades en el campo de la electrónica de potencia.

Como ejemplo, se puede mencionar a la posibilidad de comandar a un inversor DC-AC tipo puente medio (como el que puede ser implementado a partir del B CEP) mediante dos señales PWM complementarias a partir de una señal modulante senoidal. La salida de tensión del inversor alternará entre dos niveles de tensión posibles, pero variará su ciclo de trabajo periódicamente en función de la señal modulante. En efecto, la componente fundamental de la señal de salida tendrá la forma de la señal modulante. Este proceso se exhibe en la figura D.3.

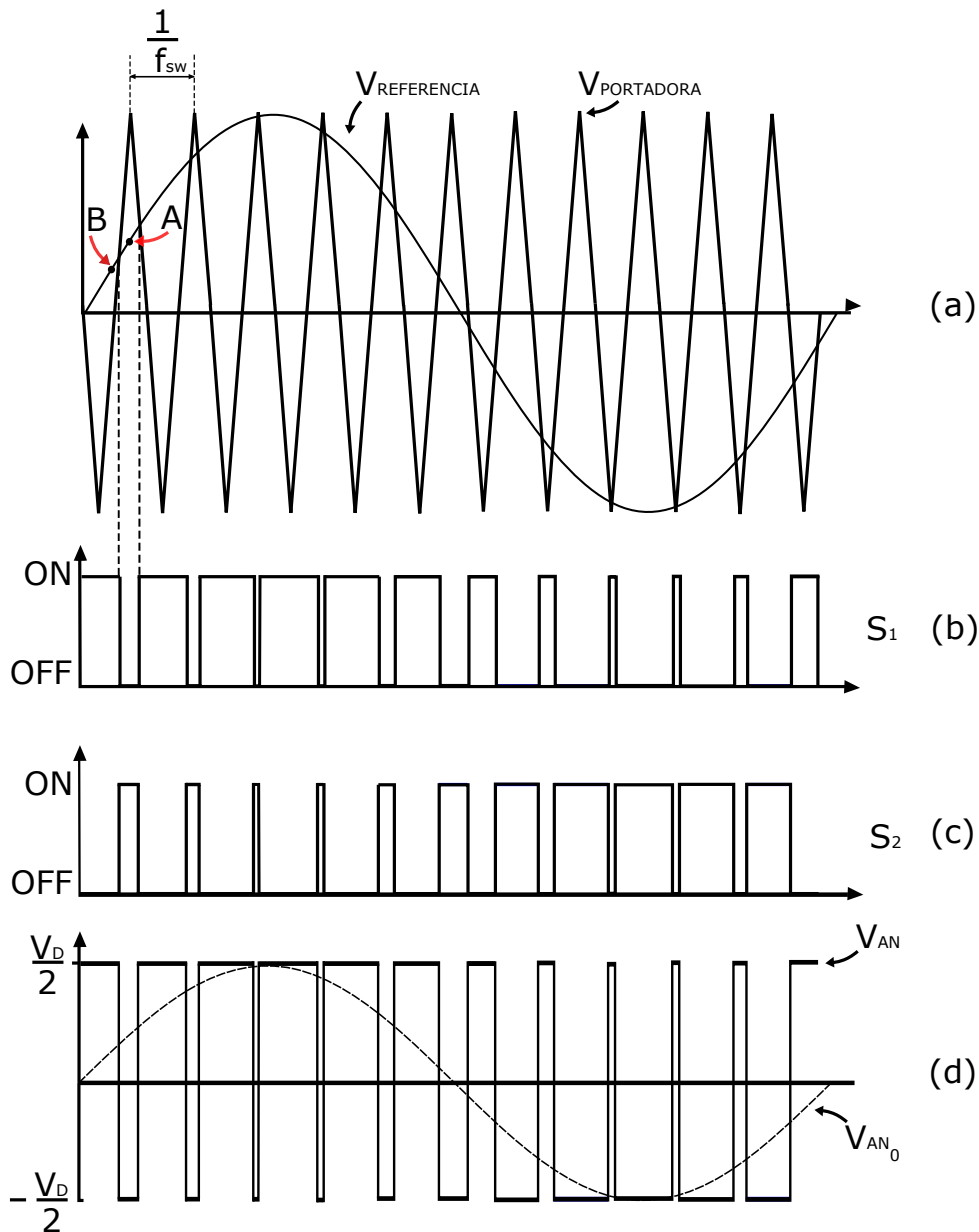


Figura D.3: Principio de Funcionamiento de la técnica PWM en inversor tipo puente medio. (a): Señales a comparar. (b) y (c) Estados de los interruptores S_1 y S_2 , respectivamente. (d) Tensión en bornes AC V_{AN} y su componente fundamental V_{AN0}

Es sumamente importante la acción de esta técnica ya que, respecto a cuestiones de inyección de energía a la red eléctrica domiciliaria, resulta evidente que para realizar este cometido en nuestro país, la frecuencia de la señal modulante del generador PWM, debería ser 50 Hz. De esta forma, la componente fundamental de la salida del inversor tendría el mencionado valor de frecuencia. En efecto mediante un filtrado efectivo y un correcto enganche en fase con la red, sería factible cumplir el propósito.

D.3.0.0.1. Tiempos muertos En base a la conmutación con características reales de los dispositivos semiconductores de potencia, como tiempos de encendido y tiempos de apagado, es lógico que no será posible comandar a los mismos mediante una señal y su complementaria. Si así se realizaría, se produciría conducción simultánea de las llaves, provocando sobrepicos de corriente de corta duración pero de gran amplitud que pueden ser perjudiciales para las llaves y demás componentes que integran el circuito. Para evitar este comportamiento indeseado es posible acudir a la técnica de tiempos muertos para señales complementarias. Funcionalmente, se agrega un tiempo de apagado a las señales PWM y su complementaria, de manera que las transiciones de ambas señales ocurran en distintos instantes temporales.

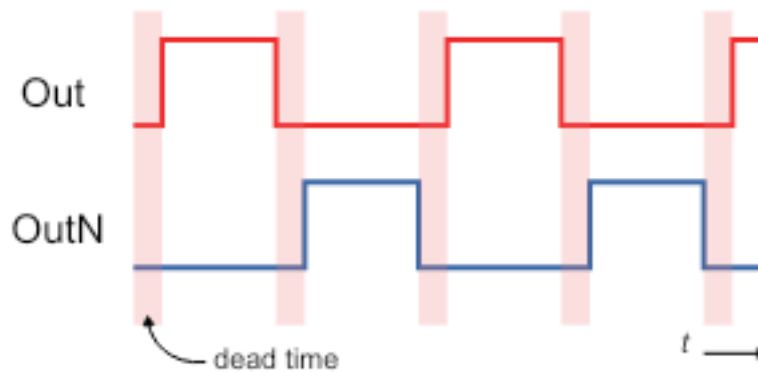


Figura D.4: Señales complementarias PWM con tiempos muertos.

En la figura D.4 se exhibe una señal de salida PWM (*Out*) y su complementaria (*NOut*). Los tiempos muertos se marcan con franjas rojas. Es posible observar que durante la duración de estos tiempos, ambas señales permanecen en estado bajo. De esta forma el ciclo de trabajo efectivo se modifica, pero no la complementariedad de forma práctica.

La implementación de tiempos muertos se lleva a cabo mediante circuitos con histéresis. Sin embargo, si se utiliza un generador de señales o microcontrolador, es fácilmente configurable la duración de los mismos. Esta duración está ligada a indicaciones del fabricante de los semiconductores de potencia y limitada a la capacidad del generador de señales o microcontrolador. Por ejemplo, si se utiliza la segunda opción para generación de señales PWM complementarias, el mínimo tiempo muerto está determinado por la inversa de la frecuencia de trabajo del reloj del cual dependen las señales PWM. Si se tuviese un reloj

trabajando a 100MHz, el mínimo tiempo muerto sería 10ns.

Índice de figuras

1.1. Esquema circuital simplificado y bloque equivalente de un BCEP tipo HB.	6
1.2. Diagramas simplificados BCEP tipo HB como Convertidor DC-DC tipo Buck. . .	7
1.3. Diagramas simplificados BCEP tipo HB como convertidor DC-DC tipo Boost. . .	9
1.4. Diagramas simplificados BCEP tipo HB como INVERSOR DC-AC.	10
1.5. Inversor DC-AC monofásico tipo puente a partir de dos BCEP tipo HB.	11
1.6. Inversor DC-AC trifásico a partir de tres BCEPs tipo HB.	12
1.7. Estructura interna de P-MOSFETs y N-MOSFETs de empobrecimiento.	15
1.8. Estructura interna de P-MOSFETs y N-MOSFETs de enriquecimiento.	16
1.9. Familia de curvas I_{DS} vs V_{DS} para N-MOSFETs.	17
1.10. Estructura interna de N-MOSFETs en base las distintas regiones de trabajo. . . .	17
1.11. Especificaciones de potencia y frecuencia de distintas tecnologías de llaves semi- conductoras.	19
1.12. A: Gráfica de R_{DSon} respecto a I_{DS} . B: Gráfica de R_{DSon} respecto a T_j	20
1.13. Modelo estándar para capacidades parásitas en MOSFETs.	22
1.14. Capacidades parásitas basadas en el modelo de source común para un SiC MOS- FET de la segunda generación de Cree.	23
1.15. Capacidades parásitas basadas en el modelo de emisor común para un IGBT de potencia.	24
1.16. Pérdidas por conmutación en circuitos conmutados de electrónica de potencia uti- lizando MOSFETs e IGBTs.	25
1.17. Máxima potencia permisible de disipación en el C2M0080120D, SiC MOSFET de segunda generación de Cree.	26

2.1. Implementación Propuesta: Bus de Tensión - Rama de conmutación - Sensados.	33
2.2. Máxima potencia disipada permisible de MOSFET C2M0080120D en función de la temperatura de carcasa.	36
2.3. Función de buffer complementario de MOSFETs	41
2.4. Resistencias de Disparo	42
2.5. Resultado de simulación en NL5. Tensión en carga resistiva con $R_{ON}=4\Omega$ y $R_{OFF}=5\Omega$	43
2.6. Impedancia equivalente de un banco genérico de capacitores de distintos dieléctricos y valores en paralelo: el resultado muestra el rechazo deseado en un rango extendido de frecuencias	45
2.7. Configuración Capacitores para Bus de continua.	46
2.8. Módulo de impedancias equivalentes en función de la frecuencia.	47
2.9. Circuito esquemático para simulación de comportamiento de bus de corriente continua.	48
2.10. Resultado de simulación: Corrientes en capacitores del Bus de c.c.	48
2.11. Resultado de simulación: Forma de onda de corriente en fuente de tensión.	49
2.12. Circuito equivalente relé de estado sólido D507 de Crydom.	51
2.13. Circuito llave bidireccional en base a P-MOSFETs	52
2.14. Circuito completo en base a bloques de subcircuitos en NL5. X1 representa al circuito de la figura 2.13	52
2.15. Transferencia V_{out}/I_{in} sensor de corriente CKSR15-NP	55
2.16. Configuración para sensado de tensiones en Bus C.C.	57
2.17. Circuito de alimentación para secundario de ACPL-33PJ	59
2.18. Modelo térmico: Circuito eléctrico equivalente	60
3.1. Edición de PCB: Vista 2D parte izquierda plano superior.	68
3.2. Edición de PCB: Vista 3D parte izquierda plano superior.	69
3.3. Edición de PCB: (A) Vista 3D parte izquierda plano superior. (B) Header 3x1 de salida hacia sistema de control externo. (C) Vista 2D, conexión entre sensores y resistencias de sensado.	70

3.4. Edición de PCB: (A) Vista 2D, plano superior. (B) Vista 2D, plano inferior. (C) Vista 3D, elementos relacionados al sentido de corriente.	71
3.5. Edición de PCB: Vista 2D parte derecha, plano inferior.	73
3.6. Edición de PCB: Vista 2D parte derecha, plano inferior superpuesto a plano superior. A la izquierda de footprint de ACPL-339J.	74
3.7. Edición de PCB: Vista 3D parte derecha. Header 7X1.	74
3.8. Edición de PCB: Vista 3D plano inferior. Sector driver nivel bajo.	75
3.9. Edición de PCB: (A) Vista 2D, área llaves de conmutación, plano superior. (B) Vista 2D, área llaves de conmutación, polígonos suprimidos.	76
3.10. (Izquierda) Disipador 6400BG-ND. (Derecha) Vista 2D, footprint arreglo TO-247 + Disipador 6400BG-ND.	77
3.11. Edición de PCB.(A) Vista 3D, detalle en elementos de alimentación.(B) Vista 2D, detalle de track VCC.	78
3.12. Edición de PCB.Vista 2D. Detalle alimentaciones de elementos.	79
3.13. Edición de PCB: Vista 3D. Capa superior, conectores referenciados.	81
3.14. Placa de circuito impreso: Capa superior.	83
3.15. Placa de circuito impreso: Capa inferior.	84
3.16. Placa de circuito impreso: Capa superior. Componentes soldados. Referencias.	85
4.1. Generación de una capacidad parásita variable con la tensión en NL5 a través de un archivo PWL.	88
4.2. Modelo circuital NL5. Rama superior del B CEP.	89
4.3. Modelo simplificado circuital NL5. Inversor con carga resistiva. Baja tensión de conmutación.	90
4.4. Resultados de simulación en NL5. Tensión y corriente en la carga. Carga resistiva. Baja tensión.	91
4.5. Resultados de simulación en NL5. Ampliación transitorio de tensión de carga. Carga resistiva. Baja tensión.	92
4.6. Modelo simplificado circuital NL5. Inversor con carga resistiva. Tensión Nominal.	94

4.7. Resultados de simulación en NL5. Tensión y corriente en la carga. Carga resistiva. Tensión nominal.	95
4.8. Resultados de simulación en NL5. Ampliación transitorio de tensión de carga. Car- ga resistiva. Tensión Nominal.	96
4.9. Modelo simplificado circuital NL5. Inversor con carga inductiva. Baja tensión. .	98
4.10. Resultados de simulación en NL5. Tensión y corriente en la carga. Carga Inductiva. Baja tensión.	99
4.11. Resultados de simulación en NL5. Ampliación transitorio de tensión de carga. Car- ga inductiva. Baja tensión.	99
4.12. Modelo simplificado circuital NL5. Inversor con carga inductiva. Tensión nominal.	103
4.13. Resultados de simulación en NL5. Tensión y corriente en la carga. Carga Inductiva. Tensión nominal.	104
4.14. Resultados de simulación en NL5. Ampliación transitorio de tensión en carga. Car- ga inductiva. Tensión nominal.	104
4.15. Modelo simplificado circuital NL5. Convertidor DC-DC Boost. Rectificación sincróni- ca . Tiempo muerto = 125ns.	107
4.16. Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación sincróni- ca. Tiempo muerto = 125ns. Formas de onda de potencia en MOSFETs (arriba). Forma de onda de potencia en carga (abajo).	108
4.17. Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación sincróni- ca. Tiempo muerto = 125ns. Transitorios durante el encendido del MOSFET superior.	110
4.18. Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación sincróni- ca. Tiempo muerto = 125ns. Transitorios durante el apagado del MOSFET inferior.	113
4.19. Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación sincróni- ca. Tiempo muerto = 125ns. Transitorios durante el apagado del MOSFET superior.	115
4.20. Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación sincróni- ca. Tiempo muerto = 125ns. Transitorios durante el encendido del MOSFET inferior.	116
4.21. Modelo simplificado circuital NL5. Convertidor DC-DC Boost. Rectificación asincróni- ca. Tiempo muerto = 125ns.	119

4.22. Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación asincrónica. Tiempo muerto = 125ns. Formas de onda de potencia en MOSFETs (arriba).
 Forma de onda de potencia en carga (abajo). 120

4.23. Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación asincrónica. Tiempo muerto = 125ns. Transitorios durante el encendido del MOSFET superior. 122

4.24. Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación asincrónica. Tiempo muerto = 125ns. Transitorios durante el apagado del MOSFET superior. 123

4.25. Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación asincrónica. Tiempo muerto = 125ns. Transitorios durante el encendido del MOSFET inferior. 124

4.26. Resultados de simulación en NL5. Convertidor DC-DC Boost. Rectificación asincrónica. Tiempo muerto = 125ns. Transitorios durante el apagado del MOSFET inferior. 125

4.27. Modelo simplificado circuital NL5. Convertidor DC-DC Buck. Rectificación sincrónica. Tiempo muerto = 125ns. 127

4.28. Resultados de simulación en NL5. Convertidor DC-DC Buck. Rectificación sincrónica. Tiempo muerto = 125ns. Formas de onda de potencia de MOSFETs (arriba).
 Forma de onda de potencia en carga (abajo). 129

4.29. Modelo simplificado circuital NL5. Convertidor DC-DC Buck. Rectificación asincrónica. Tiempo muerto = 125ns. 131

4.30. Resultados de simulación en NL5. Convertidor DC-DC Buck. Rectificación asincrónica. Tiempo muerto = 125ns. Formas de onda de potencia de MOSFETs (arriba).
 Forma de onda de potencia en carga (abajo). 132

4.31. Captura plugin STM 32 CUBE MX. Configuración del TIM1. 135

4.32. Captura plugin STM 32 CUBE MX. Configuración de parámetros de TIM1. . . . 136

4.33. Captura Electronic Workbench for STM32. Declaración de variables en main. . . 137

4.34. Captura de osciloscopio. Señales PWM complementarias con tiempo muerto. Escala temporal: 2µs/div. Escala de amplitud: 1V/div. 138

4.35. Captura Osciloscopio. Canal 1 y 2: señales PWM complementarias. Canal 3: Tensión en la carga resistiva. Tiempo muerto = 0s. Escala temporal: 100ns/div. . . . 139

4.36. Captura Osciloscopio. Canal 1 y 2: señales PWM complementarias. Canal 3: Tensión en la carga resistiva. Tiempo muerto = 125ns. Escala temporal: 200ns/div . . 140

4.37. <i>Captura Osciloscopio. Canal 1 y 2: señales PWM complementarias. Canal 3: Tensión en la carga resistiva.</i>	141
4.38. <i>Inversor resistivo en baja tensión. Resultados de simulación superpuestos a mediciones experimentales</i>	142
4.39. <i>Inversor resistivo en baja tensión. Resultados de simulación con nuevos parámetros, superpuestos a mediciones experimentales</i>	144
D.1. <i>Modulación PWM. Señal de referencia fija.</i>	178
D.2. <i>Modulación PWM. Señal modulante senoidal.</i>	179
D.3. <i>Principio de Funcionamiento de la técnica PWM en inversor tipo puente medio. (a): Señales a comparar. (b) y (c) Estados de los interruptores S_1 y S_2, respectivamente. (d) Tensión en bornes AC V_{AN} y su componente fundamental V_{AN0}</i>	180
D.4. <i>Señales complementarias PWM con tiempos muertos.</i>	181