

GENERADOR DE BARRIDO PARA PRUEBAS DE SISTEMAS HASTA 100MHZ

Alumno: Nicolás Peiró
Matricula: 11819

Directores: Ing. Juan Carlos Bonadero,
Dr. Ing. Alejandro José Uriz.



RINFI se desarrolla en forma conjunta entre el INTEMA y la Biblioteca de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata.

Tiene como objetivo recopilar, organizar, gestionar, difundir y preservar documentos digitales en Ingeniería, Ciencia y Tecnología de Materiales y Ciencias Afines.

A través del Acceso Abierto, se pretende aumentar la visibilidad y el impacto de los resultados de la investigación, asumiendo las políticas y cumpliendo con los protocolos y estándares internacionales para la interoperabilidad entre repositorios



Esta obra está bajo una [Licencia Creative Commons Atribución-
NoComercial-CompartirIgual 4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/).

ÍNDICE

Capítulo 1: Introducción

- 1.1 Problemática a resolver
 - 1.1.1 Sistemas Lineales
 - 1.1.2 Realización Practica
- 1.2 Distintas tecnologías que se encuentran en el mercado
 - 1.2.1 Voltímetro Vectorial
 - 1.2.2. Generador de Tracking (Signal Hound®)
 - 1.2.3. Analizador de Espectro de Barrido
- 1.3 Solución Propuesta

Capítulo 2: Diseño y Construcción del Hardware

- 2.1 Primeros prototipos
 - 2.1.1 Primer prototipo.
 - 2.1.2 Segundo prototipo.
- 2.2 Prototipo definitivo
 - Introducción
 - 2.2.1 Circuito Generador de Señales
 - Integrado ADF 4351
 - Circuito Esquemático y PCB del generador
 - 2.2.2 Circuito RF
 - Integrado mezclador TA7358
 - Integrado Amplificador MAR8
 - Diseño de Filtro
 - Detector con Diodo 1N60
 - Detector con ADL5511
 - Circuito esquemático y PCB de circuito RF
 - 2.2.3 Circuito del Microcontrolador
 - Integrado PIC18F2550
 - Integrado MAX RS232
 - PCB de circuito Microcontrolador

Capítulo 3: Diseño e Implementación de Software

- 3.1 Introducción
- 3.2 Presentación del Software de Matlab
- 3.3 Software del microcontrolador 18F2550
- 3.4 Filtrado Savitzky-Golay

Capítulo 4: Mediciones

- 4.1 Calibración.
- 4.2 Medición de Filtro paso bajos.

Capítulo 5: Conclusiones

Apéndice A: Conceptos Teóricos de PLL, Mezcladores y circuitos de Radiofrecuencia.

Apéndice B: Protocolo RS232 y SPI.

Resumen

Este proyecto surge como propuesta del Laboratorio de Comunicaciones del Departamento de Electrónica y Computación de la Universidad Nacional de Mar del Plata. En el siguiente documento se describirán en detalle toda la información, procedimientos, cálculos que permitieron implementar el proyecto final de carrera:

“Generador de Barrido de sistemas de hasta 100MHz”

El mismo tiene como objetivo cumplir con la necesidad proveniente del laboratorio de comunicaciones en poder realizar un análisis de la respuesta en frecuencia de un sistema lineal invariante en el tiempo que este adaptado en impedancia con una adaptación de 50 Ohms. En este documento se analizan distintas estrategias para lograr con este cometido y explicando de manera analítica la viabilidad de estas hasta concluir en un prototipo final el cual es capaz de realizar la tarea encomendada.

En un principio se hace una breve introducción de las tecnologías que se utilizan comúnmente para realizar esta medición y los productos comerciales más populares, luego en el Capítulo 2 se analiza la estrategia propuesta final y la descripción detallada del integrador ADF4351®. Luego en el Capítulo 3 se describe el programa implementado en el microcontrolador para controlar el sistema y el software de MATLAB® para operar el sistema. Finalmente en el Capítulo 4 aparecen las mediciones concernientes al prototipo construido y la comparativa con las mediciones realizadas con el analizador de espectros HP9854.

Capítulo 1: Introducción

1.1 Problemática a Resolver

El proyecto consiste en el diseño y fabricación de un instrumento que determine el comportamiento de un sistema electrónico lineal invariante en el tiempo (LTI) en el dominio de la frecuencia. El objetivo es poder realizar un análisis cualitativo y cuantitativo similar al que realiza el analizador de espectro de barrido cuando se lo utiliza como generador de barrido. La importancia de este proyecto radica en la necesidad que existe en la caracterización de sistemas de radiofrecuencia tales como transferencia de filtros ya que estos son ampliamente utilizados en las comunicaciones electrónicas.

Para cumplir este objetivo, primero se debe comprender la utilidad de caracterizar sistemas en el campo de la frecuencia empezando por un análisis matemático que facilite la comprensión de este proceso.

Luego se realizará una comparación entre los diferentes productos que existen en el mercado haciendo foco en sus principales características.

Finalmente se hará un análisis de nuevas tecnologías en el campo de la radiofrecuencia que permitan realizar esta función de forma más simple y económica.

Asimismo se desea incorporar el uso de una PC para no solo poder exportar esa información, sino también poder procesarla.

1.1.1 Sistemas Lineales

Un sistema puede verse como un proceso que produce una transformación en una señal. Por ello, un sistema tiene una señal de entrada y otra de salida, las que se relacionan mediante la función que describe el sistema.

El interés desde el punto de vista de las mediciones se centra tanto en sistemas de tiempo continuo como en sistemas de tiempo discreto. Un sistema de tiempo continuo es un sistema que es posible representarlo como en la Figura 1^a, donde $x(t)$ es la entrada e $y(t)$ la salida. Un sistema en tiempo discreto es un sistema que transforma entrada discreta en una salida discreto Fig. 1b.

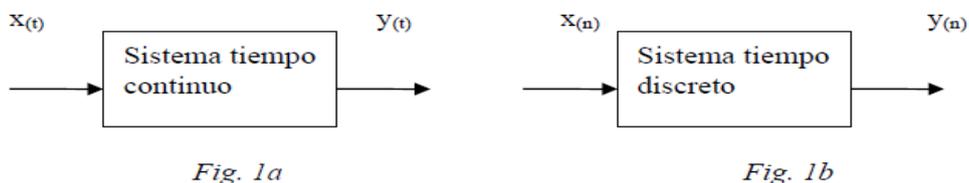


Figura 1a y 1b. Transformación de señales en tiempo continuo y en tiempo discreto.

Para estudiar el comportamiento de los sistemas se modela matemáticamente cada uno de los elementos y después se considera la interconexión entre dichos elementos. El resultado puede expresarse matemáticamente tanto en el dominio del tiempo como de la frecuencia.

Dependiendo de cómo el sistema interactúe con la señal de entrada se clasifica el tipo de sistema, los cuales pueden ser lineales y no lineales, variantes con el tiempo o invariantes, con memoria o sin memoria, causal, estable o inestable, determinístico y no determinístico. A continuación se describe la siguiente clasificación:

• Se dice que un sistema es **lineal** cuando se puede aplicar el principio de superposición y por ser de gran importancia en las mediciones se tratará más en profundidad posteriormente.

Por contrapartida el Sistema será no lineal cuando no pueda aplicarse el principio de superposición.

• Se dice que un sistema es **invariante con el tiempo** si un desplazamiento temporal de la señal de entrada causa un desplazamiento temporal idéntico en la señal de salida, por consiguiente para una salida $y(t-t_0)$ le corresponde una entrada $x(t-t_0)$.

• Se dice que un sistema es **sin memoria** si su salida para cada valor de la variable independiente depende solo de la entrada en ese instante de tiempo, $y(t) = Fx(t)$ ó $x_{\{n\}} = y_{\{n\}}$. Un sistema se considera con memoria cuando la señal de salida depende de los valores pasados de la señal de entrada $y(t) = x(t-1)$ ó $y_{\{n\}} = \sum x_{\{k\}}$ para valores de k entre $-\infty$ y n .

• Un sistema se dice **causal** (conocido también por físicamente realizable), si la salida en cualquier instante t_0 depende solo de los valores de la entrada para $t < t_0$.

• Se dice que un sistema es **estable** de entrada acotada – salida acotada (BIBO) si y solo si toda entrada acotada origina una salida acotada. La salida de tal sistema no diverge si la entrada no diverge.

Concepto general de linealidad

La linealidad de un sistema puede ser verificada mediante diferentes formas. Una de ellas es la aplicación de ecuaciones integro – diferenciales con coeficientes constantes para aquellos sistemas en las cuales las entradas y salidas están relacionadas por dichas ecuaciones, incluyendo aquellas que representan la energía almacenada para las condiciones iniciales; $x_i(t)$ e $y_i(t)$ es la solución que satisface la aplicación de dichas señales a los diferentes nodos del circuito que conforman el sistema. La respuesta de un circuito RLC se puede describir en términos de una ecuación diferencial, así como la respuesta de un sistema mecánico que contiene fuerzas de restauración y amortiguamiento.

Una forma de corroborar que un sistema es lineal, es el cumplimiento del principio de superposición e invarianza en el tiempo. Es decir, la respuesta de un sistema lineal a una suma ponderada de señales de entrada es igual a la misma suma ponderada de las señales de salida individual para cada entrada, siendo asociada cada señal de salida con una señal de entrada particular que actúa sobre el sistema independiente de todas las demás entradas y que por otro lado un retraso de tiempo o un adelanto de tiempo de la señal de entrada lleva a un corrimiento en el tiempo idéntico en la señal de salida.

Al apelar a estas dos propiedades, el análisis de sistemas lineales e invariantes con el tiempo se simplifica desde el punto de vista matemático así como también se puede comprender el uso de distintos tipos de mediciones. A partir de una determinada excitación y su correspondiente respuesta, tomado el sistema como un cuadripolo, es posible deducir las características del sistema tanto en el dominio del tiempo como de la frecuencia.

Por lo expuesto ambas propiedades pueden ser expresadas de la siguiente manera:

Superposición

$$x_{1(t)} + x_{2(t)} \Rightarrow y_{1(t)} + y_{2(t)} \quad (1)$$

$$ax_{1(t)} \Rightarrow ay_{1(t)} \quad ax_{2(t)} \Rightarrow ay_{2(t)} \quad (2) \quad a : \text{constante compleja}$$

Invarianza:

$h(t-\tau)$: solo depende de $t-\tau$ en el tiempo

$H(\omega)$: solo depende del valor de ω en la frecuencia

Una de las propiedades de un sistema que más interesa en algunas aplicaciones de Ingeniería Electrónica es la que el mismo no produzca **distorsión lineal**. Para que ello no ocurra el sistema no debe agregar nuevas componentes en la señal de salida a la señal de entrada.

Análisis en el dominio de la frecuencia

En el análisis de sistemas lineales invariantes en el dominio de la frecuencia se hace uso del principio de superposición expresando a la señal de entrada como la suma de sinusoides de diferentes frecuencias. De este modo al sistema básico de la Figura 2, se tiene para la señal de entrada:

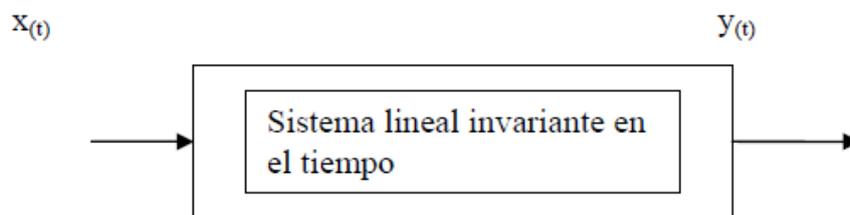


Figura 2. Diagrama en bloque de sistema LTI

$$x_{(t, \omega_0)} = e^{j\omega_0 t} \quad (5) \quad \omega_0 = \text{número real arbitrario}$$

Con una señal de salida $y(t, \omega_0)$.

A la señal $x(t)$ de entrada si le aplicamos la transformada de Fourier, si a esta la consideramos transformable, se tiene una expansión de $x(t)$ en una suma de sinusoides.

$$X_w = \int_{-\infty}^{\infty} x_{(t)} e^{-j\omega t} dt \quad (6) \quad \text{y su correspondiente antitransformada}$$

$$x_{(t)} = \frac{1}{2\pi} \int_{-\infty}^{\infty} X_w e^{j\omega t} d\omega \quad (7) \quad \text{a esta expresión se la puede considerar como la}$$

Aplicando el principio de superposición, se puede inferir que la salida será la suma de las sumas individuales de las senoidales de entrada. El principio de invarianza está aplicado en el entendimiento que los efectos para cada señal sinusoidal dependerán solo de la frecuencia. Por lo tanto la salida estará compuesta por cada una de las sinusoides en la cual se descompuso la señal de entrada afectadas por la función transferencia del sistema al impulso unitario en su amplitud y retardo. Por tanto:

$$y_{(t)} = \left(\frac{1}{2\pi} \int_{-\infty}^{\infty} X_w H_w e^{j\omega t} d\omega \right) \quad (8) \quad \text{y dado que}$$

$$y_t = \frac{1}{2\pi} \int_{-\infty}^{\infty} Y_w e^{j\omega t} d\omega \quad (9)$$

$$Y_{(\omega)} = H_{(\omega)} X_{(\omega)} \quad (10)$$

Teniendo presente que a la señal excitación se la considera como una sumatoria de sinusoides, la expresión genérica para una frecuencia ω_n será:

$$X_{(\omega)} = \delta(\omega - \omega_n) \quad (11) \quad \text{Sinusoide en } \omega_n$$

$$\text{y } Y_{(\omega)} = H_w \delta(\omega - \omega_n)$$

Esta expresión no es otra cosa que la sinusoide de entrada multiplicada por $H(\omega)$. Lo que nos permite obtener sinusoide afectada solamente en su amplitud y retardo por el sistema. Si se desea conocer la expresión de la salida en el dominio del tiempo, a la señal obtenida se le aplica la función anti-transformada de Fourier.

$$y_{(t)} = \frac{1}{2\pi} \int_{-\infty}^{\infty} Y_{(\omega)} e^{j\omega t} d\omega \quad (13)$$

La que como se vio, puede ser interpretada interpretada como una sucesión de sinusoides.

Cuando a un sistema se le somete a una excitación de tipo sinusoidal en la entrada y se observa la señal de salida en el régimen permanente, las relaciones que se establecen entre estas dos señales son conocidas como la respuesta en frecuencia de ese equipo. En los métodos de respuesta en frecuencia, la frecuencia de la señal de entrada es la variable independiente, haciéndose recorrer la frecuencia en un determinado rango o espectro frecuencia.

Caracterización en frecuencia

La respuesta de frecuencia es una característica de un sistema que tiene una respuesta medida que es el resultado de una entrada conocida aplicada. En el caso de circuitos electrónico, utilizamos un tipo de diagrama de gran utilidad llamado diagrama de Bode®, ya que describe el comportamiento en régimen permanente del sistema. Para hacer este análisis, se hace la suposición de una entrada de tipo senoidal en donde se varía la frecuencia de análisis. Como se observó en la sección anterior, a la salida de un sistema lineal se presentara una salida también de forma senoidal pero con un cambio de amplitud y de fase producto de la variación del sistema. Un diagrama de Bode es una representación gráfica que sirve para

caracterizar la respuesta en frecuencia de un sistema. Normalmente consta de dos gráficas separadas, una que corresponde con la magnitud de dicha función y otra que corresponde con la fase.

El principal objetivo del proyecto es la realización de una medición en la cual pueda observar cualitativa y cuantitativamente del comportamiento de un sistema para luego poder realizar conclusiones sobre el mismo.

1.1.2 Realización Práctica

Como se vio en el análisis anterior, las ondas sinusoidales son de gran utilidad a la hora de caracterizar un sistema lineal ya que permitan medir la distorsión de amplitud o de fase que proporciona el mismo. En este caso en particular se deja de un lado el análisis de fase ya que el objetivo de este proyecto es medir la ganancia/atenuación de sistemas.

En la Figura 3 se puede un banco de pruebas automático para medir un sistema lineal invariante en el tiempo. Para lograr dicho banco y obtener una medición certera de la amplitud de las señales se deben tener varios recaudos en mente:

- Adaptación de impedancias en R_g y Z_L (especialmente en mediciones absolutas).
- Terminación del sistema (entradas y salidas: cargada y adaptadas).
- Verificar que el comportamiento sea lineal (dado un aumento de magnitud de la señal de entrada, la misma proporción se debe generar en la salida, caso contrario el sistema satura).
- Considerar errores por calibración del generador y/o del medidor.

Banco de Medición

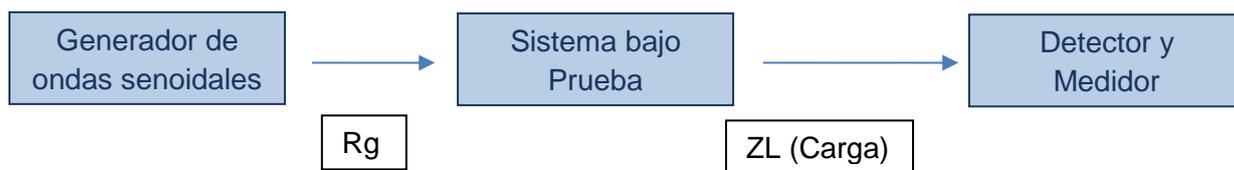


Figura 3. Descripción de un banco de medición de Sistemas LTI

Para realizar el banco de pruebas mencionado anteriormente, se debe comenzar por el generador de ondas senoidales, ya que la calidad de este elemento es de vital importancia para una medición certera de la transferencia del sistema. En las siguientes secciones se comienza por el análisis los osciladores senoidales fabricados con componentes discretos, poniendo atención en sus ventajas y más aún en sus limitaciones. Luego se da lugar al análisis de los sintetizadores de señales, empezando por los muy conocidos de Síntesis Digital de señales (o DDS por sus siglas en inglés), hasta las topologías con PLL, el cual es el núcleo de este proyecto, en donde se hace un mejor análisis en el Apéndice A de este documento.

Osciladores Senoidales con componentes discretos

La función de un generador de señal es producir una señal dependiente del tiempo con unas características determinadas de frecuencia, amplitud y forma de onda. Algunas veces estas características son externamente controladas a través de señales de control; el oscilador controlado por tensión (*voltage-controlled oscillator* o VCO) es un claro ejemplo. Para ejecutar la función de los generadores de señal se emplea algún tipo de realimentación conjuntamente con dispositivos que tengan características dependientes del tiempo (normalmente condensadores).

Hay dos categorías de generadores de señal: osciladores sintonizados o sinusoidales y osciladores de relajación. Los osciladores sintonizados emplean un sistema que en teoría crea pares de polos conjugados exactamente en el eje imaginario para mantener de una manera sostenida una oscilación sinusoidal. Los osciladores de relajación emplean dispositivos biestables tales como conmutadores, comparadores Schmitt-Triger, compuertas lógicas, comparadores y flip-flops que repetidamente cargan y descargan condensadores. Las formas de onda típicas que se obtiene con este último método son del tipo triangular, cuadrada, exponencial o de pulso.

Los osciladores sinusoidales juegan un papel importante en los sistemas electrónicos que utilizan señales armónicas. A pesar de que en numerosas ocasiones se les denomina osciladores lineales, es preciso utilizar alguna característica no-lineal para generar una onda de salida sinusoidal. De hecho, los osciladores son esencialmente no-lineales lo que complica las técnicas de diseño y análisis de este tipo de circuitos. El diseño de osciladores se realiza en dos fases: una lineal, basado en métodos en el dominio de la frecuencia que utilizan análisis de circuitos realimentados, y otra no-lineal, que utiliza mecanismos no lineales para el control de la amplitud.

Un oscilador es básicamente un circuito autónomo, es decir, es capaz de generar una señal periódica sinusoidal sin necesidad de aplicar ninguna entrada. Una diferencia fundamental respecto a los circuitos multivibradores es que estos últimos son circuitos no lineales (basados en comparadores) frente a los circuitos cuasi-lineales de los osciladores.

La calidad de la onda sinusoidal se expresa a través del coeficiente de distorsión armónica total (*total harmonic distortion* o THD), definido como:

$$\text{THD} = \sqrt{D_2^2 + D_3^2 + D_4^2 + \dots}$$

Donde D_k representa la relación entre la amplitud del armónico k y el armónico fundamental descrita en series de Fourier. Por ejemplo, la transformada de Fourier de una onda triangular únicamente tiene armónicos impares (los pares son nulos) cuya amplitud relativa al armónico fundamental vale $1/k^2$. En este caso, el THD toma el valor:

$$\text{THD} = \sqrt{\left(\frac{1}{3^2}\right)^2 + \left(\frac{1}{5^2}\right)^2 + \left(\frac{1}{7^2}\right)^2 + \dots} \cong 0.12$$

Es decir, una onda triangular es una grosera aproximación de una onda sinusoidal con un THD del 12%. Es evidente que el objetivo de los osciladores sinusoidales es generar señales con THD=0.

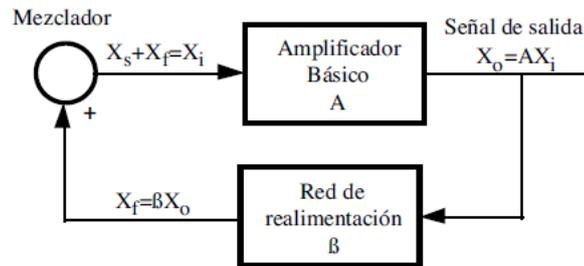


Figura 4. Sistema realimentado de un oscilador.

La estructura básica de un oscilador sinusoidal consiste en un amplificador (A) y una red selectiva de frecuencia (β) conectada en un lazo de realimentación positiva tal como se muestra en el diagrama de bloques la Figura 3. Aunque en un oscilador no existe señal de entrada, es posible obtener la ganancia de lazo del amplificador realimentado (A_f) que, debido a la realimentación positiva, es de la forma:

$$A_f = \frac{A}{1 - \angle A}$$

Donde $A=A(f)$ y $\beta=\beta(f)$ dependen de la frecuencia f . Si existe una frecuencia f_0 que $\beta A=1$, entonces el valor de A_f en la ecuación 10.3 es infinito. Es decir, a esta frecuencia el circuito tiene salida finita para una entrada cero; tal circuito por definición es un oscilador. La condición del circuito realimentado que proporciona oscilaciones sinusoidales de frecuencia oscilación f_0 es:

$$\angle(f_0)A(f_0) = 1$$

El criterio de Barkhausen establece estas condiciones de oscilación: a la frecuencia f_0 , la fase de la ganancia de lazo debe ser $0+2k\pi$ y la magnitud de la ganancia de lazo debe ser 1. Expresado más formalmente, el criterio de Barkhausen de oscilación exige que:

$$\begin{aligned} \text{fase}(\angle(f_0)A(f_0)) &= 0 + 2k\pi \\ |\angle(f_0)A(f_0)| &= 1 \end{aligned}$$

Control no-lineal de la amplitud

En todo oscilador práctico, la ganancia de lazo (βA) tiene que ser ligeramente mayor que la unidad para evitar que los parámetros de tolerancia de los componentes, envejecimiento, efectos de la temperatura entre otros, haga que $\beta A < 1$ y el circuito no verifique una de las condiciones de oscilación especificadas en la ecuación anterior, en cuyo caso el circuito dejará de oscilar. Por otra parte, si $\beta A > 1$ las amplitudes de oscilación crecen en amplitud y originarán señales sinusoidales de salida con fuerte distorsión armónica (THD elevado). Por ello, es necesario un mecanismo que ajuste el valor de $\beta A=1$ basado en un circuito de control de ganancia no-lineal del amplificador.

Este circuito hace que $\beta A > \sim 1$ para valores de amplitud de salida bajos hasta que se alcanza un valor determinado de salida en cuyo caso $\beta A = 1$. Un ejemplo típico de un circuito de ganancia no-lineal, también conocido como circuito limitador, se presenta en la figura 4.a. Utiliza dos diodos D1 y D2 que en función de su estado o no de conducción, varía la ganancia del amplificador tal como se indica en la VTC de la figura 4.b. Para tensiones de salida bajas, ambos diodos están en corte y la ganancia del amplificador vale $-R_f/R_1$. En este caso, aplicando el principio de superposición, las tensiones V_A y V_B se pueden expresar en términos de $\pm V_{CC}$ y V_o como:

$$V_A = V_{CC} \frac{R_3}{R_2 + R_3} + V_o \frac{R_2}{R_2 + R_3}$$

$$V_B = -V_{CC} \frac{R_4}{R_4 + R_5} + V_o \frac{R_5}{R_4 + R_5}$$

El diodo D1 está en conducción cuando $V_A \leq -V_D = -0.7$ V y el D2 cuando $V_B \geq V_D = 0.7$ V, en cuyo caso la ganancia del amplificador disminuye a $-(R_f \parallel R_3)/R_1$ y $-(R_f \parallel R_4)/R_1$ respectivamente. Las tensiones de salida que hacen entrar a estos diodos en conducción vienen dadas por las siguientes expresiones:

$$L_{\pm} = -V_{CC} \frac{R_3}{R_2} - V_D \left(1 + \frac{R_3}{R_2} \right)$$

$$L_{+} = V_{CC} \frac{R_4}{R_5} + V_D \left(1 + \frac{R_4}{R_5} \right)$$

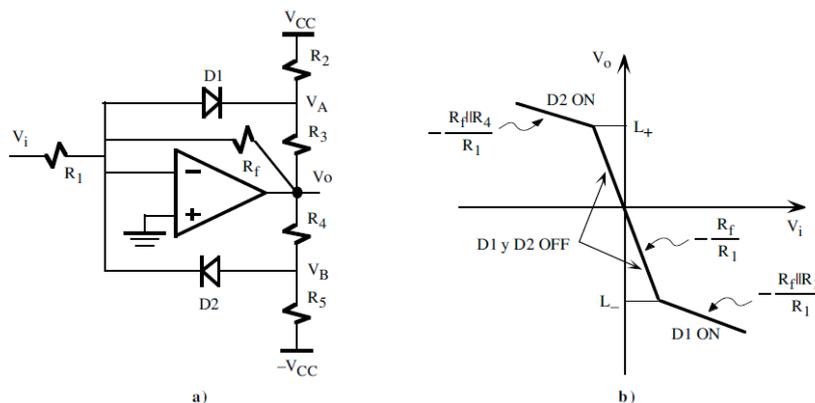


Figura 5a. Circuito electrónico de un oscilador no lineal.

Figura 5b. Característica no lineal del comparador.

Osciladores LC

Un oscilador muy sencillo se puede construir con una etapa amplificadora y una red inductiva-capacitiva (LC) que proporcione un desplazamiento de fase de -180° . La frecuencia de oscilación puede ser fácilmente ajustada, o sintonizada (*tuned*), sobre un rango de frecuencias que varían desde unos 100kHz hasta cientos de MHz cambiando únicamente el valor de la C o L. Estos osciladores LC sintonizados son usados en gran variedad de aplicaciones incluyendo radiotransmisores, receptores de AM y FM y generadores de onda sinusoidal.

Los osciladores LC más conocidos son: a) oscilador de Colpitts® y b) oscilador de Hartley®. Su diferencia se encuentra en la red de realimentación: el oscilador de Colpitts® utiliza un divisor capacitivo en paralelo con una autoinducción y el oscilador de Hartley® utiliza un divisor inductivo en paralelo con una capacidad, es decir, ambos son duales.

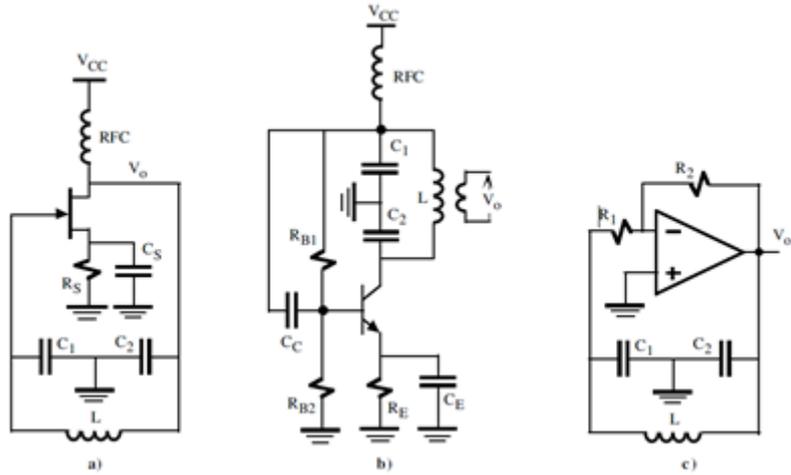


Figura 6. Oscilador LC Colpitts® configuración con FET, TBJ y OA.

En la figura 6 se indican tres posibles configuraciones de un oscilador Colpitts® basado en transistores FET y BJT, y en un OA aunque no suelen ser utilizado por su limitación en frecuencia; la autoinducción RFC sirve para aislar la línea de alimentación del oscilador, es decir, su valor es suficientemente alto para impedir que la señal sinusoidal se transmita a la alimentación. Si la frecuencia de oscilación (f_0) es suficientemente baja para considerar despreciable los efectos capacitivos internos de los transistores y el OA, y si la autoinducción L tiene una resistencia interna despreciable, entonces la frecuencia de oscilación será determinada por la red LC (también conocida en muchos casos con el nombre de circuito tanque porque se comporta como una depósito de almacenamiento de energía). Para el oscilador Colpitts®, esta frecuencia es:

$$f_0 = \frac{1}{2\pi\sqrt{L\frac{C_1C_2}{C_1+C_2}}} \text{ y } A_v > \frac{C_1}{C_2}$$

Esta relación debe ser combinada con la ganancia de la etapa de amplificación para asegurar las condiciones de oscilación.

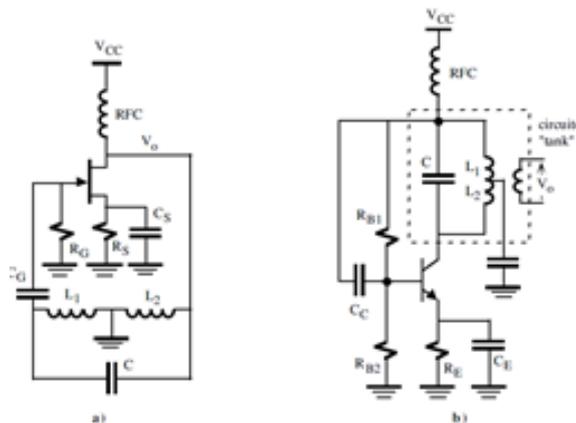


Figura 7. Oscilador LC Hartley® configuraciones FET y TBJ.

De la misma manera, la frecuencia de oscilación de los osciladores Hartley® mostrados en la figura 6 viene dada por:

$$f_o = \frac{1}{2\pi\sqrt{C(L_1 + L_2)}} \quad \text{y} \quad A_v > \frac{L_2}{L_1}$$

Osciladores de cristal

Un cristal de cuarzo presenta la propiedad denominada efecto piezoeléctrico por el cual al aplicar una presión mecánica a través de la superficie del cristal éste desarrolla una tensión en las caras opuestas. De una manera similar, una tensión aplicada en las caras del cristal origina una distorsión mecánica en su superficie. Una tensión alterna produce vibraciones mecánicas cuya frecuencia natural es muy estable y depende de la naturaleza y el tallado del cristal.

En la Figura 7 se aprecia el modelo circuital equivalente de un cristal de cuarzo, el cual está caracterizado por una inductancia L muy elevada (unos pocos Henrios), una capacidad en serie muy pequeña C_s ($<0.5\text{pF}$), una resistencia en serie r (unos cientos de Ohms), y una capacidad paralela C_p (unos pocos picoFaradios) que representa la capacidad electrostática entre las dos caras del cristal. El factor de calidad Q es muy alto (>20000). Si se desprecia r , la impedancia del cristal $Z(j\omega)$ viene dada por:

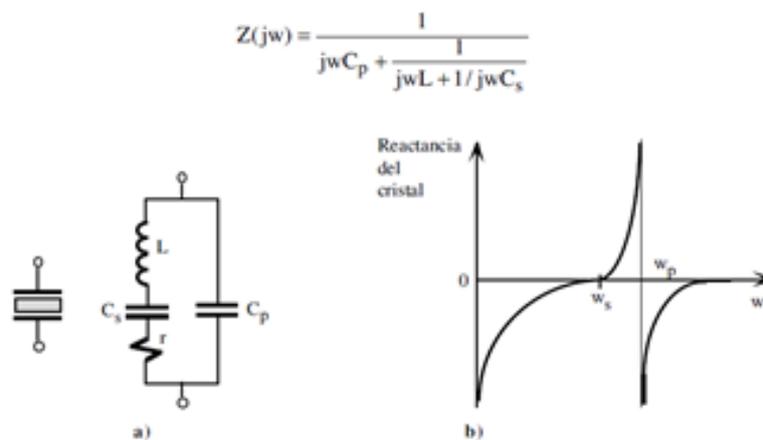


Figura 7a. Diagrama interno de un oscilador a cristal.

Figura 7b. Característica en frecuencia del oscilador a cristal.

La ecuación indica que el cristal tiene dos frecuencias de resonancia: una resonancia en serie w_s y una en paralelo w_p dadas por las siguientes ecuaciones

$$w_s = 1/\sqrt{LC_s} \quad \text{y} \quad w_p = 1/\sqrt{LC_s C_p / (C_s + C_p)}$$

De las dos últimas ecuaciones se obtiene:

$$Z(j\omega) = -j \frac{1}{\omega C_p} \left(\frac{\omega^2 - w_s^2}{\omega^2 - w_p^2} \right)$$

En donde $w_p > w_s$ dado que $C_p \gg C_s$.

Oscilador de cristal resonante en serie

Un cristal excitado en modo resonancia en serie debe ser conectado a la realimentación del circuito en configuración serie. En esta configuración su impedancia más baja se produce para ω_s y, de esta manera, el factor de realimentación es mayor. Las Figuras 8.a y 8.b presentan dos osciladores con estructura resonante en serie. Como resultado, la frecuencia de oscilación del circuito es estable e insensible a variaciones de los parámetros del circuito.

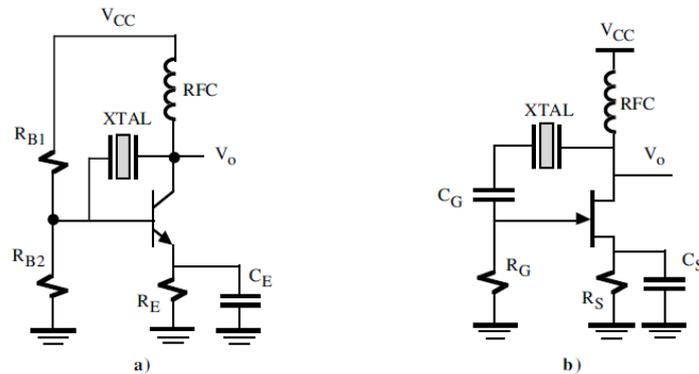


Figura 8. Configuraciones serie de oscilador a cristal con TBJ y FET.

Oscilador de cristal resonante en paralelo

Un cristal excitado en modo resonancia en paralelo tiene máxima impedancia a la frecuencia ω_p . El cristal de la Figura 9.a actúa como un elemento inductivo en un oscilador modificado Colpitts® cuya tensión de salida está acoplada al emisor a través de C_1 y C_2 . El oscilador controlado por cristal Miller® de la Figura 9.b utiliza un circuito LC sintonizado de salida. La máxima tensión de puerta del JFET se produce a la frecuencia ω_p del cristal.

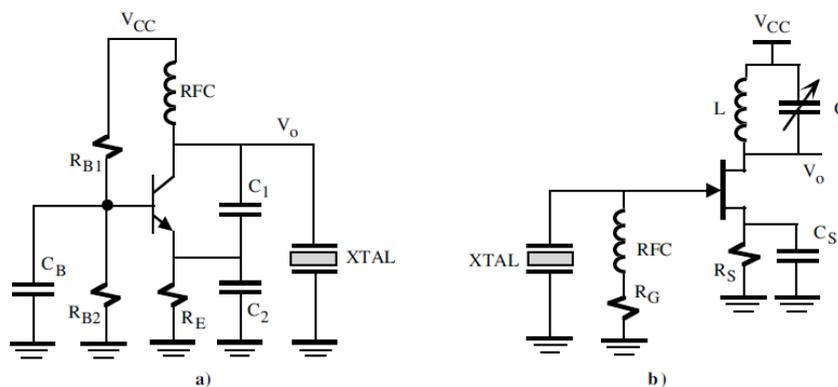


Figura 9. Configuraciones paralelo de oscilador a cristal con TBJ y FET.

Consideraciones prácticas de los osciladores sinusoidales

Los osciladores sinusoidales presentan problemas de distorsión armónica y suelen ser sensibles a las tolerancias de los dispositivos. Por ello, precisan de potenciómetros de ajustes que situados en el lugar adecuado permiten lograr distorsiones del hasta el 0.01%. La estabilidad y precisión de la frecuencia de oscilación (f_0) es fuertemente dependiente de la calidad de los componentes utilizados. Por ello, una buena elección son condensadores de policarbonato y resistencias de película delgada, y si se desea una precisión

muy alta, se recomienda los cristales de cuarzo en configuración paralela que en el mercado se puede encontrar con diversidad de valores; en algunos casos, para asegurar su estabilidad, los cristales se mantienen en recipientes a temperatura constante. El problema principal que presentan estos dispositivos es que no pueden ser programados para poder sintetizar una frecuencia específica por lo tanto no serían útiles para el propósito de generar ondas senoidales en un amplio rango como lo es de DC-100Mhz.

Sintetizador de Frecuencias

Es un generador de señales cuya frecuencia de salida variable se deriva de una frecuencia standard extremadamente estable, generalmente un oscilador a cristal de precisión que infiere al circuito una gran estabilidad y precisión en frecuencia. También se considera como la generación de señales analógicas utilizando técnicas digitales con operaciones aritméticas binarias (suma, resta, multiplicación y división). Diversos circuitos se encargan de procesar esta señal de referencia que produce una frecuencia de salida que resulta ser un múltiplo entero o fraccionario de la frecuencia original. Por lo tanto, el conjunto de frecuencias de salida es discreto y su número, rango y resolución depende de la topología del sintetizador. Según su funcionamiento los sintetizadores se dividen en Sintetizador Directo Analógico, Sintetizador Digital (Síntesis Digital Directa - DDS) y Sintetizador Indirecto (con Lazo de enganche de Fase - PLL).

En sus orígenes los sintetizadores se utilizaban en las comunicaciones de alta frecuencia, entre 50 MHZ a 10GHZ y luego en baja frecuencia.

Características comunes a distintos sintetizadores:

1.- **Ajuste digital de frecuencia** por medio de llaves divisoras o divisores programables como el preescalador. El ajuste de f se hace por saltos, los que pueden ser tan pequeños como se necesite, habitualmente saltos más pequeños implican una mayor complejidad en la circuitería aunque con el desarrollo actual de integración esto se minimiza. Para posibilitar un ajuste continuo de la frecuencia se incluye un interpolador que actúa entre los escalones mínimos de ajuste digital.

2.- **Pureza Espectral**, se logra con una elevada supresión de ruido y de señales espurias. Un sintetizador debe producir una sola frecuencia de salida sin distorsión u otras impurezas espectrales.

3.- **Oscilador Patrón** controlado por cristal de cuarzo muy estable. Es clave porque de su estabilidad depende la exactitud de todas las frecuencias a obtener.

4.- Posibilidad de recibir la inyección de una señal patrón externa de mayor exactitud que la del oscilador interno.

5.- **Generan señales de RF con modulación** de AM, FM, ASK, FSK, pulsos, etc.

6.- **Elevada resolución de frecuencia**: es considerada como el más pequeño cambio de frecuencia que puede aceptar un sintetizador en un amplio rango que va desde algunos HZ hasta cientos de MGHZ. Normalmente la resolución es una potencia de 10, o sea 1, 10, 100HZ, etc.

7.- **La precisión** de frecuencia es la diferencia entre la frecuencia real y la frecuencia deseada o marcada. No debe confundirse precisión con resolución. Un sintetizador puede tener muchos dígitos y una resolución de frecuencia muy estrecha, lo cual no significa que la frecuencia real sea la indicada por el último dígito.

8.- **Tiempo de enganche**: es la cantidad de tiempo desde el instante en que se solicita una nueva frecuencia hasta el momento en que la salida ha asumido esa frecuencia o se obtiene la misma. El tiempo de enganche puede variar desde menos de 1 ciclo de la frecuencia de salida hasta varios segundos para los sintetizadores de elevada precisión. La tecnología actual hace que esto se disminuya al orden de los milisegundos, segundos o nanosegundos según el tipo de síntesis que se realice. Esta característica es crítica cuando se requiere un cambio de frecuencia muy rápido, como es el caso de utilizar un sintetizador para ajustar frecuencias de un receptor y de un transmisor. Cuando se cambia de recepción a transmisión el sintetizador debe suministrar en forma rápida la frecuencia deseada.

9.- Estabilidad de frecuencia: Es algo realmente destacado y está asociado, en general, a un oscilador a cristal. La estabilidad del sintetizador es la estabilidad del oscilador a cristal. Hay diseños en los que se utiliza más de un oscilador a cristal u otros osciladores no controlados a cristal. En todos los casos la estabilidad es una función de los osciladores involucrados.

10.- Señal radiada por el sintetizador: se generan numerosas señales internas de diferentes frecuencias y pueden producir interferencias no deseables. Para evitar esto se hace uso de un blindaje especial, todas las líneas de programación, alimentación y de otros controles están desacopladas y blindadas. La salida del sintetizador se pasa por un Filtro Pasa banda para eliminar cualquier señal no deseada.

Sintetizadores Digitales Directos (DDS)

Los Sintetizadores Digitales Directos (DDS en adelante por sus siglas en inglés) destinados a operar en la generación de señales sinusoidales se caracterizan por tener como núcleo de su funcionamiento los llamados Osciladores Controlados Numéricamente (NCO por sus siglas en inglés).

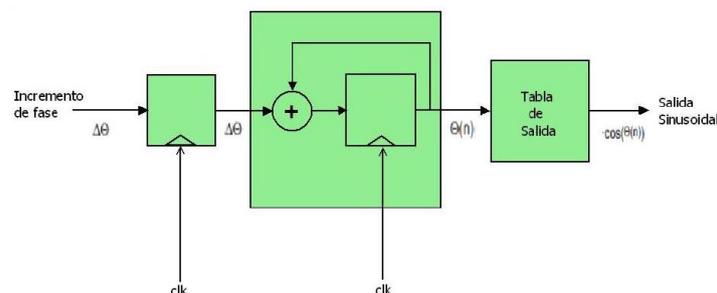


Figura 10. Diagrama en bloques de un sintetizador DDS

En la figura 10 se muestra el esquema básico de un NCO. Se distinguen 2 grandes bloques constituyentes: acumulador de fase y tabla de salida. El acumulador de fase corresponde a un registro que contiene un número binario almacenado cuyo largo depende de la resolución de fase del NCO. Por otro lado, la tabla de salida son registros programables cuyas direcciones de memoria se asocian a un determinado número binario que recibe como entrada (número de fase).

En palabras simples, el funcionamiento de este dispositivo se puede resumir en las siguientes etapas:

Primero: El NCO como entrada recibe un número binario llamado "Incremento de Fase" (o "Número de Frecuencia") $\Delta\theta$. Este es almacenado en el registro acumulador de fase. Y segundo: En el ciclo siguiente, el valor contenido en el acumulador de fase pasa a la salida y también se realimenta sumando nuevamente el valor contenido en $\Delta\theta$. Se almacena el nuevo valor en el acumulador de fase. Luego el ciclo se repite.

De esta forma, a la salida del Acumulador de Fase se tiene un bus de datos que contiene un número binario que en cada periodo se incrementa en $\Delta\theta$, y una vez que llega a su valor máximo vuelve a cero.

Es posible hacer la analogía de este proceso al giro de un faser, donde el valor cero coincide con un ángulo 0° y el valor máximo del acumulador de fase corresponde a los 360° . Se tiene una salida periódica de la fase.

Cada valor de fase se entrega como dirección de memoria a la tabla de salida. Esta tabla recibe a la entrada el número de fase y entrega la amplitud asociada a dicha fase. La amplitud puede ser programada, por ejemplo, con la correspondiente a una función seno o coseno; teniendo

así un oscilador sinusoidal controlado digitalmente. Mediante el valor de $\Delta\emptyset$ se tiene una forma de definir la frecuencia de salida del NCO.

Un DDS corresponde a la implementación del NCO que, en algunos casos, contiene la lógica necesaria para efectuar diferentes funciones predefinidas. En adelante se menciona DDS en vez de NCO.

Una manera más clara de ver cómo opera el DDS es la que se grafica en la Figura 11, Donde se aprecia el fisor que gira a pasos de longitud M.

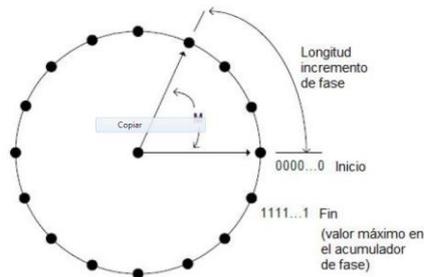


Figura 11. Giro de fisor en saltos de longitud M.

De este modo, la frecuencia a la salida está dada por la siguiente expresión:

$$f_{OUT} = \frac{M \cdot f_{CLK}}{2^N}$$

Donde:

OUT f = frecuencia de salida

N = largo en bits del acumulador de fase

M = número de incremento de fase $\Delta\emptyset$

CLK f = frecuencia del reloj

Como la señal digitalizada tiene una determinada tasa de muestras definida por la frecuencia del reloj, a la salida de la DDS se tiene frecuencias imágenes dadas por las sumas y restas de múltiplos de la frecuencia de muestreo f_s y la fundamental f_{OUT} .

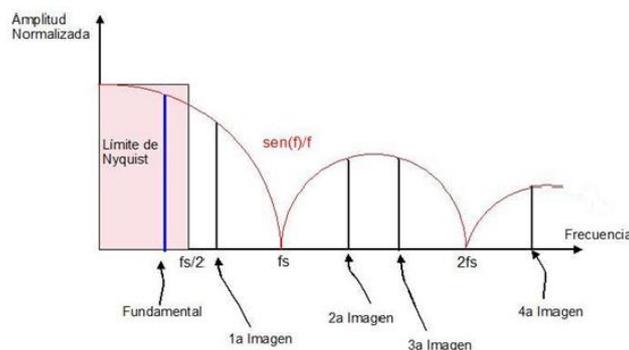


Figura 12. Espectro en frecuencia de síntesis de un DDS.

Así se tiene:

$$f_{imagen} = k \cdot f_s \pm f_o$$

Con k número natural, f_0 frecuencia portadora y f_s la de muestreo (reloj en la mayoría de los casos). Este efecto también se hace evidente cuando se modula la portadora de RF. La velocidad de muestreo de la señal moduladora genera frecuencias imágenes, por lo que es un dato importante a considerar en el diseño del transmisor. Por otro lado, programando la tabla de salida se tiene control sobre la amplitud asociada a cada valor de fase, permitiendo la modulación en forma arbitraria.

Frecuencias espurias generadas en DDS

Una conclusión directa del análisis funcional del DDS es la presencia de frecuencias imágenes deducibles del criterio de Nyquist las cuales, según la aplicación, requieren ser filtradas. Desafortunadamente no son las únicas frecuencias espurias generadas, ya que hay otros fenómenos que afectan la pureza espectral del sintetizador. A continuación se describe cada uno de ellos.

Resolución del DAC y velocidad del reloj

El proceso de conversión de una señal de Digital a Análoga, se obtiene como resultado una aproximación de la señal original. Analizando, a modo de ejemplo gráfico, la conversión digital a análoga de la figura 13 se observa que la señal original se puede escribir como la suma entre el valor digital entregado al conversor más el error de conversión $e_q(n)$, con lo cual:

$$e_q(n) = x(n) - x_q(n)$$

Donde $x(n)$ es la señal original y $x_q(n)$ es la señal cuantificada. Notar en la ecuación anterior que este error introducido en la señal digital se traduce en la adición de ruido.

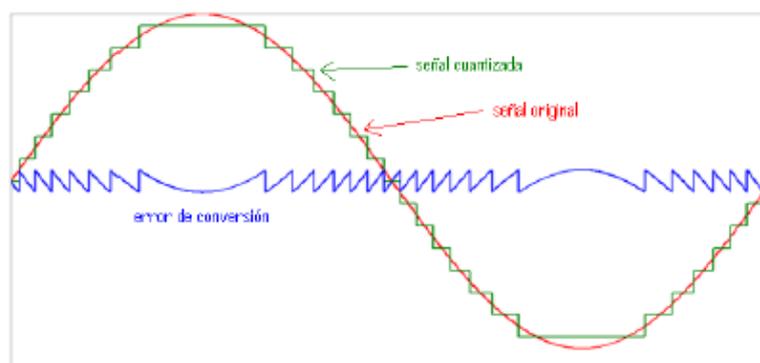


Figura 13. Ejemplo de error de señal cuantizada con señal original

Se define como Δ el paso entre niveles de cuantificación consecutivos. Para el análisis matemático, se considera los siguientes supuestos, razonables para este estudio:

- El error $-\Delta/2 < e_q(n) < \Delta/2$ se distribuye uniformemente dentro de dicho rango.
- La secuencia $e_q(n)$ es un ruido blanco (i.e. no están correlacionados para diferentes valores de n).

- La secuencia del error no está correlacionado con la secuencia de la señal de entrada.
- La secuencia de entrada tiene media cero y es estacionaria.

Como el error se mantiene en el rango $-\Delta/2 < e_q(n) < \Delta/2$ el valor medio es cero y la potencia de ruido en toda la banda de Nyquist está dada por la varianza del error.

$$P_n = \sigma_e^2 = \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} e^2 p(e) de = \frac{1}{\Delta} \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} e^2 de = \frac{\Delta^2}{12}$$

Para una señal sinusoidal $x(t)$ de amplitud máxima $A = 2^{B-1} \cdot \Delta$, la potencia P_x para un conversor de B bits se obtiene de:

$$P_x = \frac{1}{2\pi} \int_0^{2\pi} x^2(t) dt = \frac{1}{2\pi} \int_0^{2\pi} (2^{B-1} \Delta)^2 \text{sen}^2(t + \theta) dt = \frac{4^B \Delta^2}{8}$$

Luego,

$$SNR = 10 \log \frac{P_x}{P_n} = 10 \log \frac{4^B \Delta^2 / 8}{\Delta^2 / 12} = 10B \cdot \log(4) + 10 \cdot \log \frac{3}{2} \approx 1.76 + 6.02B$$

El cálculo precedente se realiza cubriendo la banda de Nyquist. Si se incrementa la frecuencia de muestreo, esta potencia de ruido se distribuye en un rango de frecuencias mayor, mejorando la SNR.

$$\text{Mejoramiento debido a Oversampling} = 20 \log \left\{ \frac{F_{os}}{F_s} \right\}$$

Donde F_s es la frecuencia de Nyquist y F_{os} es la sobremuestrea. De este modo, mejor será la SNR cuanto mayor sea el reloj del DDS. En la ecuación anterior se muestra el mejoramiento del SNR de un DAC (o ADC) sobre muestreo, suponiendo que opera con una señal sinusoidal ajustada a su máximo de escala.

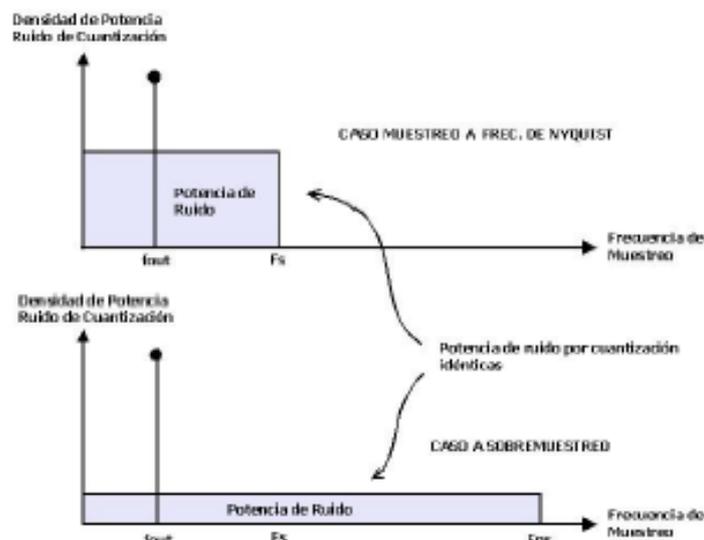


Figura 14. Potencia de ruido resultante de sobre muestreo

Luego, el SNR para el ancho de banda en el rango de Nyquist si $f_{OUT} = F_S/2$ queda:

$$SNR = 1.76 + 6.02 \cdot B + 20 \log \left\{ \frac{F_{OS}}{F_S} \right\}$$

Notar que la potencia de ruido es constante. Si la señal digital que entra al conversor disminuye su amplitud el ruido permanece constante, mientras que la componente de frecuencia fundamental disminuye, con lo que la SNR empeora (disminuye).

En circuitos integrados DDS la resolución de salida suele ser de 10 bits o 12 bits comúnmente, y de 14 bits en DDS de elevado costo. En todos los casos el SNR es menor a 75 dB con reloj a F_S , lo cual no necesariamente significa que el circuito integrado no sea apropiado para la aplicación (ver normativa en Anexo F). Esto es porque la SNR aquí mostrado se refiere a la razón de potencias entre la señal y el ruido en todo el rango de Nyquist. Un mejor indicador es la gráfica con el SFDR entregado por el fabricante.

No linealidad del DAC

Es imposible construir un DAC ideal. Siempre hay error entre la salida entregada y la correspondiente al valor cuantificado, lo que genera espurias armónicas a la frecuencia de salida cuyas amplitudes dependen de qué tan no lineal sea el DAC. En ocasiones se utilizan pues pueden ser útiles si se desea generar frecuencias altas, superiores al reloj de la DDS. Afectan la calidad de señales moduladas digitalmente en amplitud.

Transitorios de conmutación en DAC

Como la estructura interna del DAC no es ideal, se presentan asimetrías en la conmutación de estados en la lógica interna del DDS, contribuyendo a la generación de distorsión armónica. Tienden a ocurrir a la frecuencia fundamental de salida del DAC.

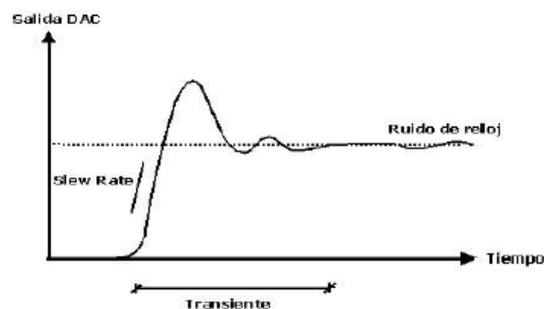


Figura 15. Transitorio del ADC

Jitter y Ruido de Fase

La frecuencia de reloj del chip DDS puede presentar variaciones instantáneas que se traducen en corrimientos en la frecuencia de salida y generación de ruido. Este fenómeno se denomina Jitter. Las principales causas del Jitter son tres:

1. Ruido térmico.

Denominado en la física como “Ruido de Johnson”®, se produce por el movimiento aleatorio de los electrones en las redes cristalinas de los conductores. Se puede representar mediante un voltaje de ruido:

$$V_{\text{ruido}} = \sqrt{4 \cdot k \cdot T \cdot R \cdot B}$$

Donde V_{ruido} es RMS, k es la constante de Boltzman ($1.38 \cdot 10^{-23}$ Joules/°K), T es la temperatura en grados Kelvin, R es la resistencia en Ohmios y B es el ancho de banda analizado. Notar que no depende de la frecuencia donde se centre el análisis ya que se trata de ruido blanco.

2. Acoplamiento a fuentes externas.

Ya sea a EMI o a fuentes de ondas electromagnéticas cercanas también genera Jitter en el reloj del DDS, el cual puede ser susceptible a interferencias electromagnéticas. Por ello debe blindarse el circuito y usar pistas cortas en el PCB.

3. Jitter propio del reloj.

Como no es ideal el oscilador externo, también genera espurias por jitter. Por ello debe utilizarse osciladores de gran estabilidad.

Otras fuentes de espurias.

El acoplamiento entre la señal de reloj del DAC y la existente en otra etapa del circuito puede generar modulación de amplitud en la señal de salida, fenómeno muy notorio cuando no se han ubicado correctamente los condensadores entre los pines de alimentación y los planos de tierra, lo que se manifiesta en bandas laterales. Se evita siendo prolijo en el diseño del PCB, por ejemplo, procurando que pistas con alta velocidad de conmutación no induzcan, ya sea de forma capacitiva o inductiva, interferencia en las pistas analógicas.

En general estos tipos de sintetizadores alcanzan frecuencias desde DC-15MHz y los más costosos el orden de los GHz, la ventaja principal que presentan es que pueden ser programables desde una PC pero su dificultad constructiva y la gran cantidad de tipos de ruido que poseen lo hacen poco práctico para la aplicación que se quiere realizar.

1.2 Distintas tecnologías que aparecen en el mercado

En esta Sección se analizarán productos comerciales que cumplen la función que el desarrollo objeto de este proyecto final de carrera. El objetivo de esta Sección es presentar cómo se puede lograr la misma tarea con distintas tecnologías.

1.2.1 Voltímetro Vectorial

El voltímetro vectorial es un instrumento que se utiliza para la medición de señales senoidales, en este caso permite la medición de voltaje de dos señales sinusoidales en un rango de 1 a 1000MHz. Debido a que cuenta con un medidor de fase que mide la relación de fase entre las dos señales de entrada se

pueden medir varios parámetros muy útiles en el campo de la radiofrecuencia, tales como: coeficientes de reflexión, ganancias o atenuación, impedancias o admitancias, transferencias de filtros, entre otros.

El voltímetro vectorial HP 8405® tiene un voltímetro y un fasímetro que permiten medir la amplitud y la relación de fase entre 2 componentes fundamentales de una tensión de RF. El rango de RF va de 1 MHz a 1000 MHz, con amplitudes de 1,5 mV a 1 V rms para un canal (A) y 10 μ V a 1 V rms para el otro (B).

La relación de fase se puede medir directamente para valores entre 0° y 360° con una resolución de $\pm 0.1^\circ$.

Se pueden medir las amplitudes absolutas separadamente (A ó B) con un error máximo de $\pm 2\%$ desde 1 MHz a 100 MHz; con un error de $\pm 6\%$ desde 100 MHz a 400 MHz y $\pm 12\%$ desde 400 MHz a 1 GHz. Se pueden hacer mediciones relativas (un canal respecto al otro) con $\pm 2\%$ (0,2 db) de error de plena escala para rangos de amplitud entre -10 y -60 dBm.

Estos errores no pueden individualizarse, dependiendo entre otros factores del espectro del pulso de muestreo, del condensador de desacople, de la impedancia compleja de entrada, de la resistencia de los diodos, etc.

Posee salidas de FI (frecuencia intermedia) de cada entrada en 20 kHz que son réplicas de la señal de RF; con la misma amplitud y mantienen la relación de fase que se encontraba a la entrada. Se dispone además de una salida proporcional a la lectura del medidor de amplitud (canal A ó B) y una tensión proporcional a la lectura del medidor de fase.

La sintonía es semiautomática, con un ajuste grueso manual y un ajuste fino automático, que sintoniza ambos canales simultáneamente con la señal del canal A; determinando la frecuencia a la que se efectúan las mediciones.

El canal A debe tener una amplitud suficientemente grande como para disparar el circuito de sintonía. Las amplitudes mínimas necesarias son: 1,5 mV de 1 MHz a 10 MHz; 300 μ V de 10 MHz a 500 MHz y 500 μ V de 500 MHz a 1 GHz. Para el canal B la entrada mínima es 10 μ V para todo el rango (1 a 1000 MHz).

La banda de paso es muy angosta (± 1 kHz); por lo tanto se pueden realizar mediciones en otras formas de onda que no sean senoidales; también en señales de amplitud modulada. No se pueden medir señales moduladas por pulsos, porque no puede sintonizar una señal intermitente.

Diagrama en Bloques del Voltímetro Vectorial

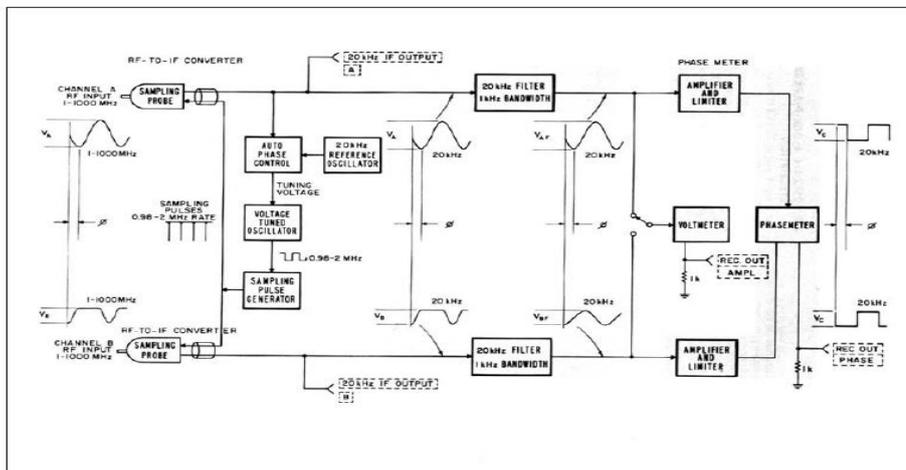


Figura 16. Diagrama en bloques de un voltímetro vectorial

1.2.2 Generador de Tracking (Signal Hound®)

Signal Hound USB-TG44A® es generador de ondas senoidales con un rango de 10 Hz a 4,4 GHz. El USB- TG44A Signal Hound® se alimenta desde el cable USB, eliminando la necesidad de una fuente de alimentación independiente. Con menos de 20 cm de largo y un peso de sólo 300gr.



Figura 17. Fotografía del producto Signal Hound®

El uso principal para el generador de barrido USB- TG44A® es operar en combinación con el analizador de espectro USB- SA44B® y el software Spike. Parámetros como la pérdida de inserción de filtros, amplificadores, cables, y atenuadores se puede medir con rapidez y una precisión de 10 Hz a 4,4 GHz. Incluso, si se agrega un acoplador direccional, se puede medir también la pérdida de retorno. El software Spike está configurado para operar los dispositivos activos, tales como amplificadores, y dispositivos pasivos, tales como filtros y atenuadores. De forma predeterminada, se selecciona de alto rango dinámico, que normalmente ofrece 90 dB de rango dinámico (de 0 a -90 dB para dispositivos pasivos, +20 a la -70dB para los productos activos, o +40 a la de -50 dB para los productos activos con un atenuador 20 dB fijo).

Signal Hound® está construido por un módulo programable de 32 -bit DDS. Esto permite que el firmware sea configurado a pasos precisos de 10 Hz. El DDS genera una frecuencia comprendida entre 10 Hz directamente a 28 MHz. Para producir frecuencias más altas esta señal se multiplica por un número entero de 5 a 200. Por debajo de 28 MHz, la salida tiene un bajo contenido armónico. Sin embargo, por encima de 28 MHz, los armónicos son generados y no filtrados. Los armónicos de hasta -10 dBc serán observados durante gran parte del espectro de radiofrecuencia. Para su uso como un generador de de barrido, la presencia de armónicos tiene muy poco impacto en la medición, ya que los armónicos serán generalmente bien fuera del ancho de banda de entrada del analizador de espectro. Sin embargo, al verificar el nivel de potencia de salida con un medidor de potencia de RF, el contenido armónico puede añadir hasta 0,7 dB a la salida medida.

Como se observa en la descripción anterior, este es un instrumento muy versátil pero que presenta limitaciones en la medición además de ser costoso.

1.2.3 Analizador de Espectro de Barrido

El analizador de espectros es considerado el instrumento de preferencia a la hora de la medición de señales, su amplio rango dinámico tanto para señales de baja amplitud como el rango de frecuencia del orden de los GigaHertz lo hacen un instrumento muy útil en las mediciones electrónicas.

El funcionamiento de un analizador de espectros heterodino es el siguiente:

La señal de entrada que se desea analizar es trasladada a una frecuencia intermedia (FI) más alta por medio de un oscilador local interno, senoidal y sintonizable. Es decir, a lo largo de cada barrido se desplaza el espectro de la señal de entrada a la frecuencia FI, que es la frecuencia central de la banda de paso de un amplificador sintonizado a la frecuencia FI. La salida del amplificador de FI se mezcla con un oscilador de cuarzo, generando una información centrada en 0Hz. Esta información se filtra, por medio de un filtro activo, y la salida es rectificadora y amplificada por un circuito denominado de medición. En la pantalla se muestra la potencia de salida de la señal asociada a un determinado rango de frecuencias.

La resolución del analizador viene determinada por el ancho de banda del filtro de FI. Sería deseable que el ancho de banda fuese prácticamente nulo para extraer cada componente de frecuencia de la señal, pero esto es imposible. Debido a esta imperfección, si la separación en frecuencia de dos señales es menor que el ancho de banda del filtro FI utilizado el analizador de espectros nos muestra un único armónico de potencia que representa la suma de las potencias de las dos señales. Resulta de interés, por tanto, reducir el ancho de banda del filtro FI lo que conlleva, como ventaja adicional, la disminución de la potencia de ruido introducida.

Al comienzo del diagrama de bloques aparecen un atenuador, un amplificador y un filtro pasa bajo. El atenuador y amplificador se introducen con la intención de controlar el nivel de señal aplicado al resto del analizador (si el nivel es demasiado alto, la señal se distorsiona por los circuitos del analizador y, si es demasiado pequeña, la señal puede ser enmascarada por el propio ruido presente en el instrumento) El filtro LP (paso-bajos) es conocido como *filtro imagen*. Si no se incorpora, podrían ingresar en el mezclador frecuencias no deseadas que, posteriormente, serían trasladadas a la FI y provocarían una lectura errónea)

Para representar la amplitud de los distintos armónicos, se realiza el filtrado paso bajo de la señal proveniente del detector ubicado tras el filtro FI. Este filtro paso bajo es conocido como *filtro de video* y se emplea para suavizar la respuesta que se muestra en el display.

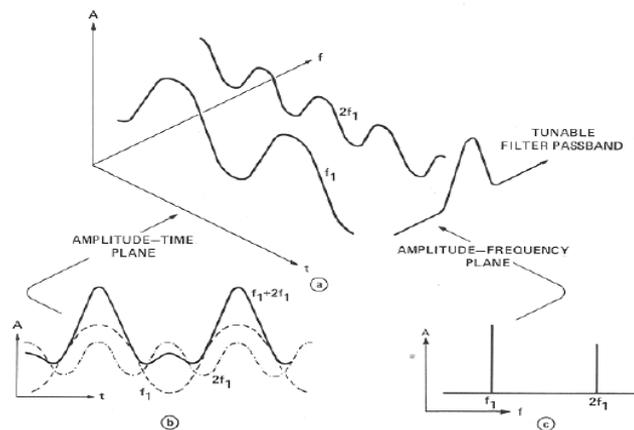


Figura 18. Descomposición en frecuencia de señales senoidales

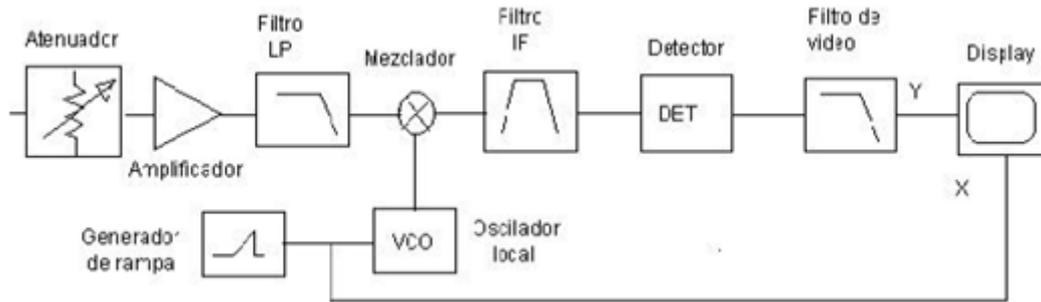


Figura 19. Diagrama en bloques de un analizador de espectro.

La transición de tecnología analógica a digital implica la utilización de microprocesadores y la introducción de displays digitales. En este caso, la salida del filtro FI (o del detector) se convierte a dígitos binarios con un convertor digital analógico o DAC (por sus siglas en inglés). Los valores digitales son leídos por un microprocesador que controla el display digital donde se muestra la imagen y al oscilador local (LO) que gobierna el mezclador del dispositivo.

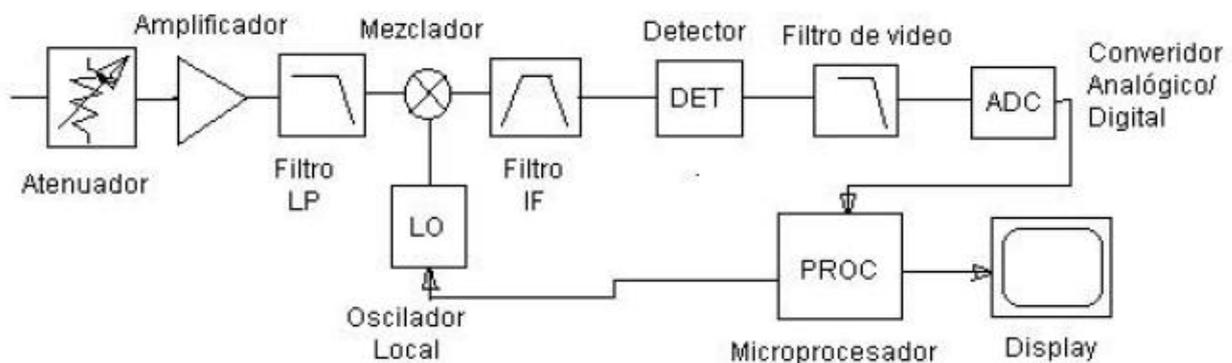


Figura 20. Diagrama en bloques de un analizador de espectros digital.

Normalmente los analizadores de espectro pueden denominarse instrumentos pasivos, por lo que las mediciones de señales aplicadas a ellos. Típicamente se pueden usar para medir los espectros de osciladores, transmisores o de otras señales en sistemas de RF. Miden señales en el dominio de la frecuencia en lugar del tiempo, y esto los hace ideales para analizar muchas señales de RF.

En su forma básica, analizadores no son capaces de hacer mediciones de respuesta o de red. Estos tipos de mediciones requieren señales que deben aplicarse a un dispositivo o red en particular bajo prueba, y midiendo después la respuesta o de salida.

Con el fin de hacer una medición de la red de este tipo, es necesario tener una fuente para estimular el dispositivo bajo prueba, y entonces se necesita un receptor para medir la respuesta. De esta manera es posible realizar una variedad de mediciones de la red, incluyendo la respuesta de frecuencia, la pérdida de retorno, y otras mediciones tales como la ganancia frente a la frecuencia, etc...

Hay dos elementos de equipo de prueba que se pueden hacer para hacer estas mediciones de estímulo-respuesta. Posiblemente el tipo más obvio de equipo de prueba es un analizador de red de RF y el otro es un analizador de espectro con un generador de barrido. Si se requiere información de fase, entonces es necesario el uso de un analizador de red vectorial, pero es posible utilizar una disposición de generador de barrido analizador de espectro para muchas otras mediciones. Como muchos laboratorios ya utilizan un analizador de espectro, el enfoque generador de barrido es particularmente atractivo. Asimismo, los

generadores de barrido se incorporan en muchos analizadores de espectro como estándar o un componente adicional a la hora de su compra. Esto significa que es posible utilizar estos instrumentos de prueba para hacer muchas mediciones de la red, sin costo adicional.

Un sistema compuesto por un generador de barrido y un analizador de espectro opera proporcionando una salida sinusoidal a la entrada del analizador de espectro.

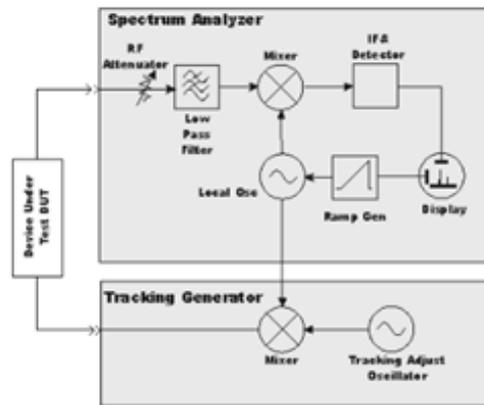


Figura 21. Diagrama en Bloques de un Generador de Barrido.

Si la salida del generador de barrido se conecta directamente a la entrada del analizador de espectro, una sola línea plana sería vista con el nivel que refleja el nivel de salida del generador de barrido.

Si un dispositivo bajo prueba, tal como un filtro se coloca entre la salida del generador de seguimiento y la entrada del analizador de espectro, se observará la respuesta del dispositivo bajo prueba en la pantalla del analizador.

El uso de generadores de barrido es normalmente muy fácil. Como generador de seguimiento se construye ya sea en el analizador de espectro, o se fabrica como una opción externa para un instrumento de prueba, a continuación, hay algunos problemas con su uso. Sin embargo, hay algunas precauciones estándar para recordar cuando se utiliza uno:

- Ajustar el generador de seguimiento para analizar centro de la banda de paso: A menudo hay un ajuste por el oscilador de seguimiento para recortar su frecuencia. Antes de utilizar el generador de seguimiento, es aconsejable ajustar el ajuste fino de frecuencia para asegurarse de que es exactamente la misma frecuencia que el analizador de espectro. Esto se logra mediante la maximización de la lectura en la pantalla del analizador de espectro.

- Sistema de calibración mediante conexión directa: Para asegurarse de que se conocen las pérdidas del cable, siempre es aconsejable sustituir el dispositivo bajo prueba con un conector de espalda con espalda, u otra línea de conexión corto. De esta manera, el sistema puede revelar cualquier pérdida que puede ser posible "calibrar".

Por lo visto hasta el momento, cuando se utiliza un generador de seguimiento analizador de espectro que es posible hacer muchas mediciones muy fácilmente, lo cual lo hace uno de los instrumentos más usados en la electrónica.

1.3 Solución Propuesta

La solución que se planteó en un principio es la de utilizar las propiedades de las ondas senoidales para poder caracterizar un circuito bajo prueba. Este método ya era utilizado antiguamente por diversos instrumentos, entre ellos el analizador de espectros de barrido, el problema principal es que su gran costo

no permite hacerse de uno con facilidad además de que no se pueden exportar los datos del equipo para su análisis.

Lo que se quiere lograr con este proyecto es la fabricación de un instrumento que permita realizar el mismo análisis utilizando nuevas tecnologías que permitan reducir los costos, el tamaño y que a su vez se pueda utilizar por medio de una PC para que su uso pueda ser más simple e interactivo.

La mayoría de los productos mencionados anteriormente tienen un rango de frecuencia de análisis mayor al de este proyecto (del orden de GHz). Se hace esta salvedad ya que el prototipo que se diseñó tiene un rango de 10Hz-100MHz, lo que se quiere lograr con el proyecto final en principio es la realización exitosa en baja frecuencia y dejar abierta la posibilidad a futuro de aumentar el rango de análisis.

Para tal tarea se trabajó sobre el diagrama de bloques en la Figura 22. En él se pueden diferenciar 6 bloques (secciones) que se trabajaron por separado. Luego se hará una breve descripción de cada uno ya que en las secciones posteriores se verá en detalle cada uno de ellos:

Diagrama en bloques

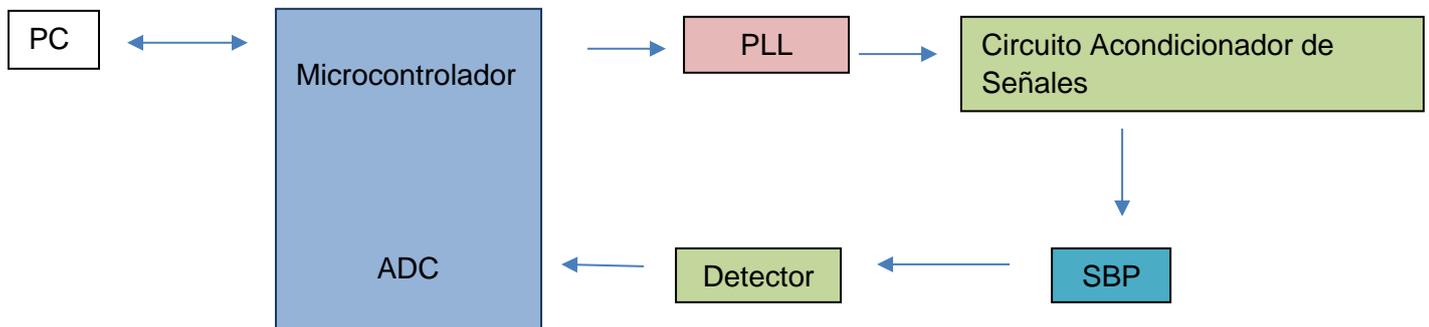


Figura 22. Diagrama en bloques de solución propuesta.

Descripción de los bloques:

- **Sintetizador de señales basado en un PLL**

El más importante de ellos, se encargará de la generación de las ondas senoidales en un rango de 100-200 MHz. La importancia fundamental es que este pueda ser programado digitalmente, para poder realizar la conexión hacia la PC.

- **Circuito Acondicionador de Señales**

Este circuito consta de un mezclador que tendrá como función convertir el rango de frecuencias proveniente del generador de 100-200Mhz al rango de 10Hz-100MHz. Este circuito y el bloque del detector será parte de la segunda placa del proyecto que será nombrada placa de RF a futuro. En el capítulo siguiente se verá en detalle cada elemento del mismo, su respectivo cálculo y construcción.

- **Microcontrolador PIC**

Será el encargado de comunicar la PC con el generador PLL y de adquirir muestras del detector para ser enviadas de vuelta a la PC para posterior análisis. Este conformará la tercera placa del proyecto final.

- **Computadora (PC)**

Contará con una interfaz virtual hecha en Matlab (GUI) la que permitirá al usuario elegir el rango de frecuencias de funcionamiento.

Capítulo 2

Diseño y Construcción del Hardware

En este Capítulo se presenta el desarrollo del hardware involucrado en el proyecto, desde los primeros diseños hasta la implementación final.

2.1 Primeros prototipos

En esta sección se analizarán los primeros prototipos y las tecnologías correspondientes que no resultaron viables a la hora de construir el proyecto por diversas razones.

2.1.1 Primer Diseño

La idea original era utilizar un simple integrado detector de fase (LMX2306®) e incorporarlo a un sistema más complejo que funcione como PLL para la generación de un barrido de las señales senoidales necesarias para el análisis. La ventaja de este circuito integrado es que era completamente programable por puerto SPI lo que sería útil el uso de un microcontrolador para realizar la conexión. El integrado cuenta con registros de desplazamiento que al ser programados presenta a la salida un corriente en (del orden de miliAmper) proporcional a la diferencia de fase entre la entrada de referencia y la entrada realimentada del bucle PLL.

Luego se debía diseñar el filtro pasa bajos para transformar los pulsos de corriente del detector de fase en valores medios dependientes del error de fase. A esto le seguiría además el VCO, formado por un oscilador tipo Colpitts® con un diodo varactor para sintonización, para completar el lazo PLL que haría las veces de sintetizador. En el siguiente diagrama de bloques se puede observar la primera concepción del proyecto en cuanto al diseño del PLL.

Diagrama en Bloques

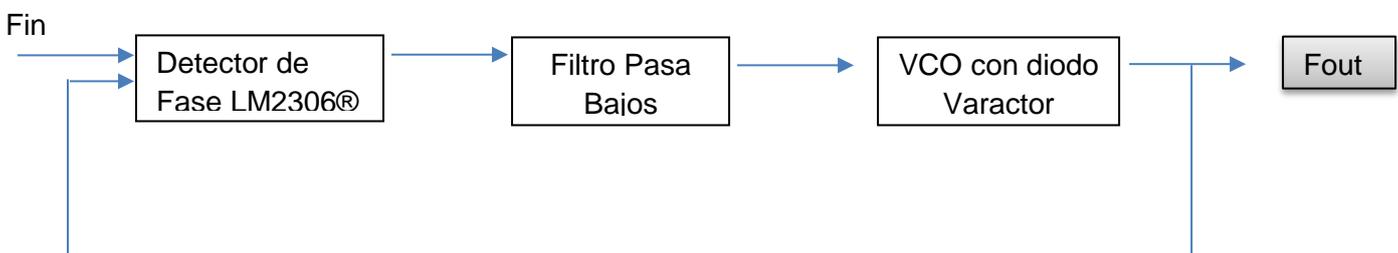
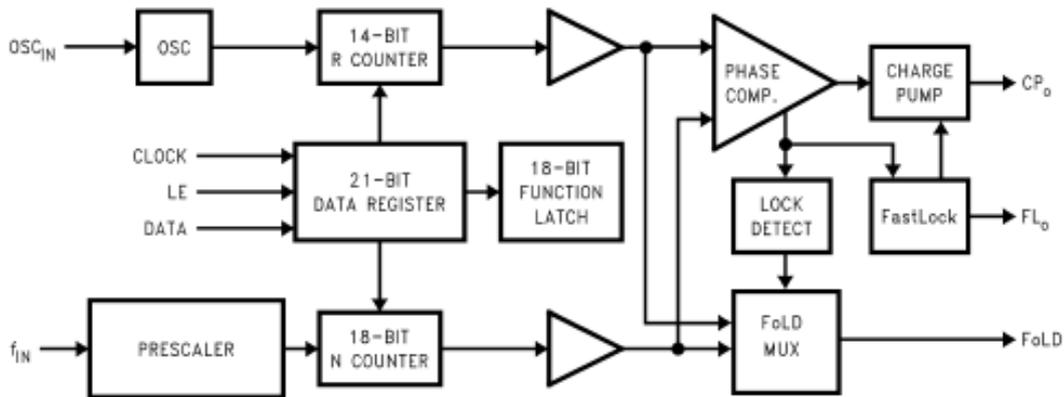


Figura 23. Diagrama en bloques de primer prototipo de PLL.

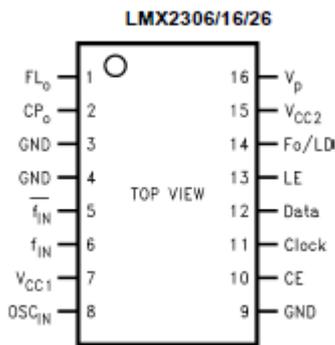
La descripción del integrado se presenta en la figura 24:

El diagrama de bloques simplificado que muestra el registro de datos de 21 bits , el contador R de 14 bits, un contador de 18 bits N , y un Latch de 18 bits. El flujo de datos se desplaza (en el flanco ascendente de LE) en la entrada de datos, MSB primero. Los dos últimos bits son los bits de control. Los datos se transfieren en los contadores como sigue:

Functional Block Diagram



Connection Diagrams

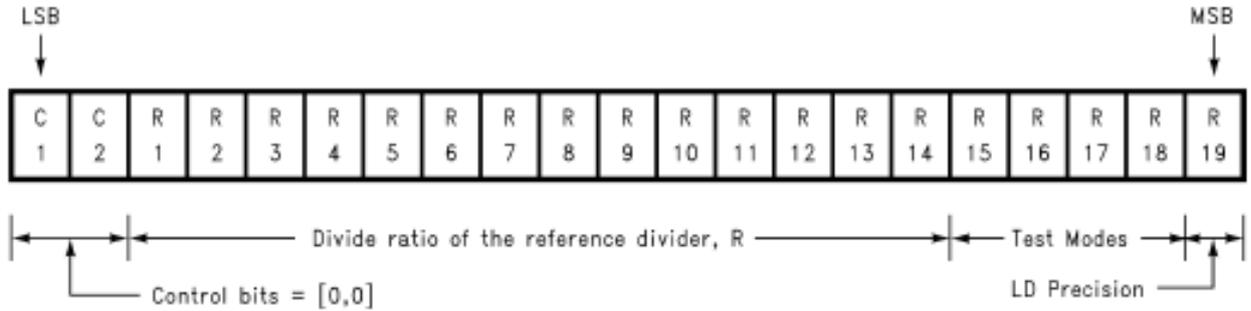


Control		DATA Location
C1	C2	
0	0	R Counter
1	0	N Counter
0	1	Function Latch
1	1	Initialization

Figure 1. 16-Lead (0.173" Wide) Thin Shrink Small Outline Pkg - TSSOP
See Package Number PW

Figura 24. Diagrama de LMX2306®.

Si los bits de control son [C1, C2] = [0,0], los datos se transfieren desde el cambio de registro de 21 bits en una ranura que fija el contador de 14-bit R. Los 4 bits R15 - R18 son para los modos de prueba, y se debe establecer en 0 para un uso normal. En la figura 25 se presenta el formato de datos en serie:



14-bit Programmable Reference Divider Ratio (R Counter)

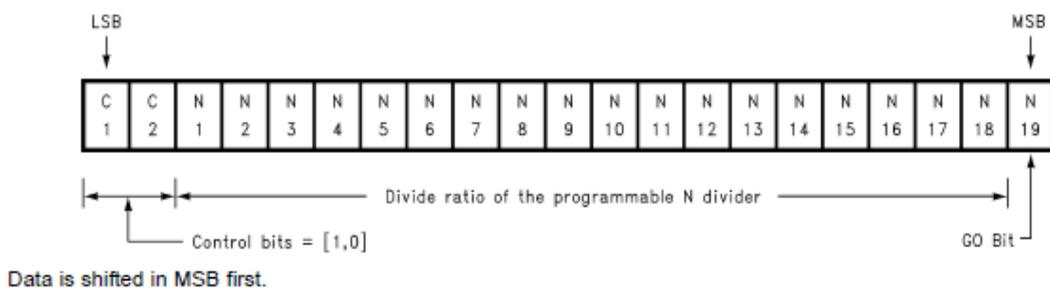
Divide Ratio ⁽²⁾⁽³⁾	R ⁽¹⁾ 14	R 13	R 12	R 11	R 10	R 9	R 8	R 7	R 6	R 5	R 4	R 3	R 2	R 1
3	0	0	0	0	0	0	0	0	0	0	0	0	1	1
4	0	0	0	0	0	0	0	0	0	0	0	1	0	0
•	•	•	•	•	•	•	•	•	•	•	•	•	•	•
16383	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Figura 25. Mapa de registros del contador R del LMX2306®

Divisor programable (Contador N)

El contador N consiste en un contador de 5 bits (A) y un contador programable de 13 bits (B). Si los bits de control son [C1, C2] = [1,0], los datos se transfieren a partir del registro de desplazamiento de 21 bits en el registro de 5 bits (Que establece Contador A), el registro de 13 bits (que establece el contador de 13 bits B), y los bits GO con el byte mas significativo primero.

Para el LMX2306® el valor máximo de N es 65535 y el valor mínimo N es 56. Para el LMX2316 / 26®, el valor máximo es 262 143 y el valor mínimo es 992. El formato de datos se muestra a continuación.



5-bit Swallow Counter Divide Ratio (A Counter)

LMX2316/26						LMX2306 ⁽¹⁾					
Divide Ratio ⁽²⁾	N 5	N 4	N 3	N 2	N 1	Divide Ratio ⁽³⁾	N 5	N 4	N 3	N 2	N 1
0	0	0	0	0	0	0	X	X	0	0	0
1	0	0	0	0	1	1	X	X	0	0	1
•	•	•	•	•	•	•	•	•	•	•	•
31	1	1	1	1	1	7	X	X	1	1	1

13-Bit Programmable Counter Divide Ratio (B Counter)

Divide Ratio ⁽¹⁾	N 18	N 17	N 16	N 15	N 14	N 13	N 12	N 11	N 10	N 9	N 8	N 7	N 6
3	0	0	0	0	0	0	0	0	0	0	0	1	1
4	0	0	0	0	0	0	0	0	0	0	1	0	0
.
8191	1	1	1	1	1	1	1	1	1	1	1	1	1

(1) Divide ratio: 3 to 8191 (Divide ratios less than 3 are prohibited) B≥A

Figura 26. Mapa de registros para la configuración del LMX2306®

En la ecuación siguiente se puede ver que variando los registros A,B y R se puede modificar la frecuencia de salida por ende la corriente que ingresa al filtro pasa bajos que resultara en una tensión que modulara un VCO.

Pulse Swallow Function

$$f_{vco} = [(P \times B) + A] \times f_{osc}/R$$

El problema principal cuando se empezó a trabajar con este integrado era el circuito VCO que se debía fabricar para generar las frecuencias relevantes. En un principio se ideó utilizar un circuito VCO que funcione mediante un diodo varactor, de esta forma al variar la tensión de entrada cambiaba la capacidad que presentaba dicho diodo y eso produce la modulación del VCO (Figura 27).

Ahí es donde se presentó el primer inconveniente ya que la tecnología de fabricación del diodo varactor no permite una excursión demasiado grande en frecuencia lo que se necesitarán varios circuitos VCO en paralelo para sintetizar el rango de frecuencias requerido. En este caso con el diodo elegido se necesitaban al menos 5 circuitos VCO, donde en cada uno variaba el valor de inductancia para que con un rango de tensión de entrada de 0-5v se pueda cumplir con el rango de 100 a 200 MHz.

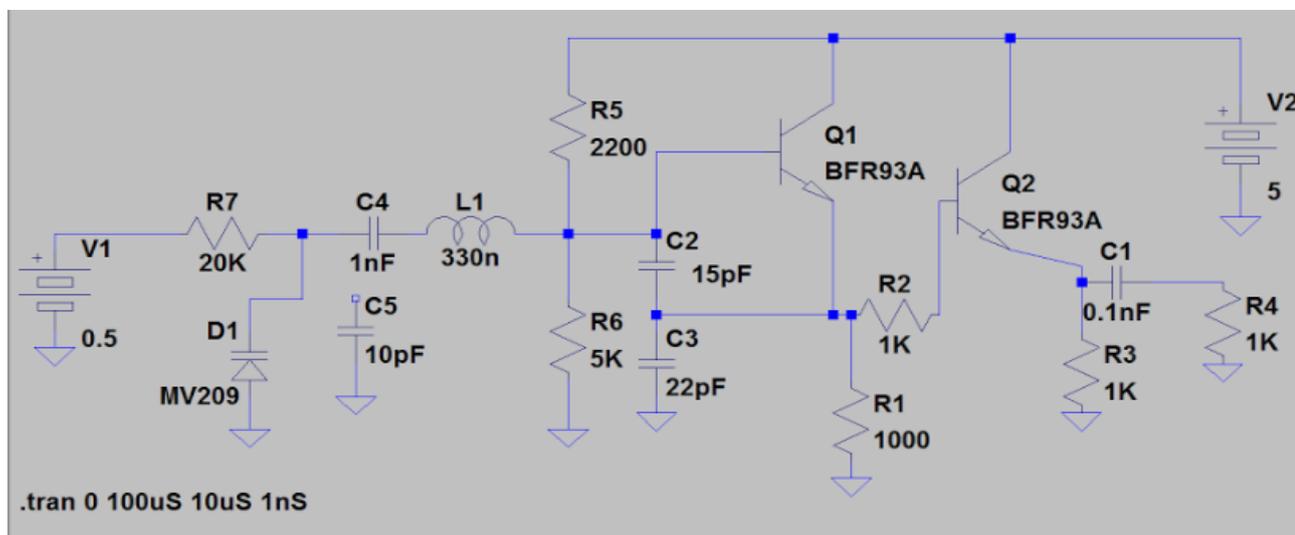


Figura 27. Diagrama esquemático del VCO con diodo varactor

Para la prueba del VCO se utilizó el método **Manhattan** de construcción de circuitos, el que prevé unas muy buenas propiedades frente a los problemas de ruido y radiación provenientes de trabajar con radiofrecuencia. En el apéndice se puede encontrar información sobre este método, a continuación aparece el diseño Manhattan del VCO.

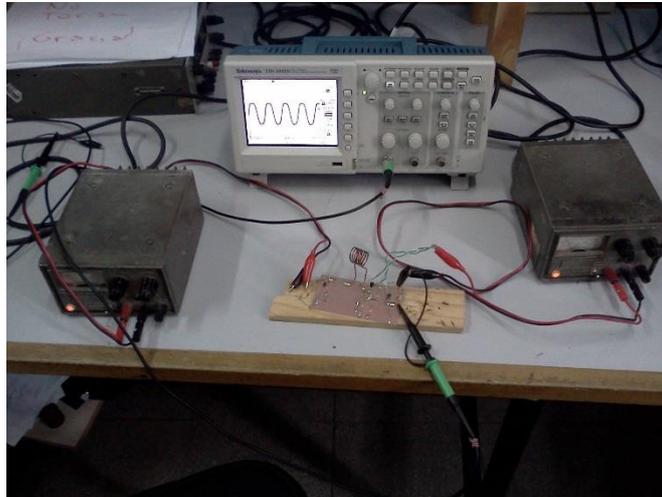


Figura 28. Fotografía del prototipo de VCO

2.1.2. Segundo diseño

Debido a la complejidad creciente del circuito al momento de escalar el sistema, se investigaron nuevas formas de realizar la síntesis de frecuencia y se decidió utilizar el circuito integrado de la marca Texas Instruments LMX 2541®, el cual es un PLL totalmente integrado.

LMX2541

El dispositivo LMX2541® es un sintetizador de frecuencia de muy bajo ruido que integra un PLL de alto rendimiento y un fraccional delta-sigma N, un VCO con el circuito tanque totalmente integrado, y un divisor de frecuencia opcional.

El PLL ofrece un piso de ruido normalizado de $-225 \text{ dBc} / \text{Hz}$ y puede ser operado con un máximo de 104 MHz de la frecuencia del detector de fase (frecuencia de comparación) en los modos fraccionarios y número entero.

Por problemas en el montaje del integrado y construcción de la placa se analizó utilizar otro integrado con funciones similares pero que sea de menor complejidad a la hora de su construcción. Por esa razón se decidió trabajar con el integrado ADF4351, el cual posee un rango mayor en cuanto al barrido en frecuencia, contaba con un encapsulado más amigable a la hora de su montaje y además requiere de menos registros para su configuración lo que reduciría tiempos a la hora de hacer el análisis.

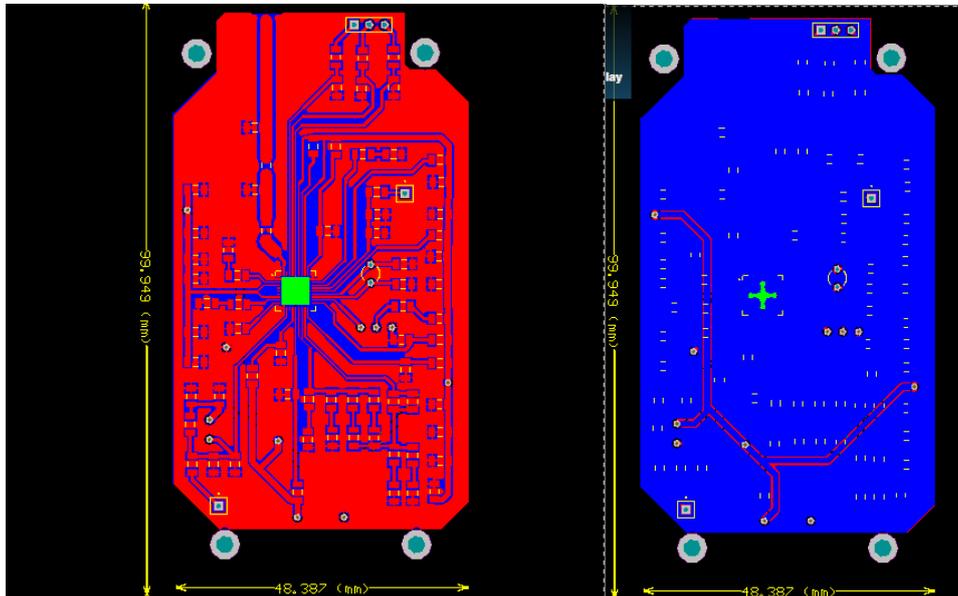
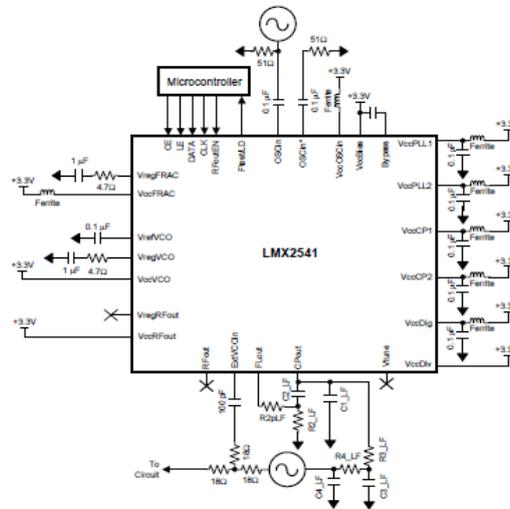


Figura 31. Diagrama esquemático y PCB diseñado por computadora.

2.2.3 Prototipo Final

Introducción

En esta sección se dará lugar al análisis del prototipo definitivo del generador de ondas senoidales. Para ello se describirá en detalle el circuito integrado utilizado para este fin.

Las secciones siguientes se encargaran de mostrar en detalle los circuitos integrados que se utilizaron finalmente, así como las dificultades constructivas y los desafíos que presentaron cada uno de ellos. En el Apéndice A se encuentra información acerca de los conceptos matemáticos detrás del funcionamiento de cada uno de ellos. Para comenzar se describirá el componente más importante de este proyecto, el integrado ADF4351®, un generador de ondas senoidales basado en un lazo de control PLL, luego se describe el mezclador de frecuencias TA7358®, después el amplificador de RF MAR-8 ® y finalmente los circuitos electrónicos necesarios para el apropiado funcionamiento del sistema.

2.2.1 Circuito Generador de Señales: ADF4351

Conceptualmente el ADF4351® es un generador (sintetizador) de ondas de tipo senoidal con la particularidad que se puede variar tanto la amplitud como la frecuencia de la misma, para que esto sea posible utiliza una señal senoidal como referencia y luego mediante su propia lógica interna puede modificar su amplitud y frecuencia con solo configurar, mediante un bus de control de digital, parámetros del propio integrado.

La principal aplicación es en la generación de señales de oscilador local (LO) para la conversión hacia arriba o hacia abajo de señales de RF y en este caso también en la generación de señales de barrido para el análisis desarrollado anteriormente.

El sintetizador trabaja como un lazo de enganche de fase PLL (Ver Apéndice A), donde un detector de fase / frecuencia (PFD) compara una realimentación de frecuencia con una versión dividida hacia abajo de la frecuencia de referencia. La salida de pulsos de corriente de PFD (*Phase Frequency Detector*) es filtrada y se integra para generar un voltaje. Este voltaje controla un oscilador controlado por tensión (VCO) para aumentar o disminuir la frecuencia de salida con el fin de llevar el promedio del PFD hacia cero.

El ADF4351® tiene un oscilador controlado por tensión integrado (VCO) con una frecuencia de salida fundamental que va desde 2200 MHz a 4400 MHz. Además, un circuito divisor por 1 / 2 / 4 / 8 / 16 / 32 / 64 que permite al usuario generar frecuencias de salida RF tan bajas como 35 MHz. Para aplicaciones que requieren consideraciones especiales de EMI, la etapa de salida de RF puede ser silenciada. Esta función de silencio es controlable por software. Una salida RF auxiliar también está disponible, la cual puede ser desactivada por software. En la Figura 32 se observa el diagrama en bloques de dicho integrado, cada sección será analizada a continuación.

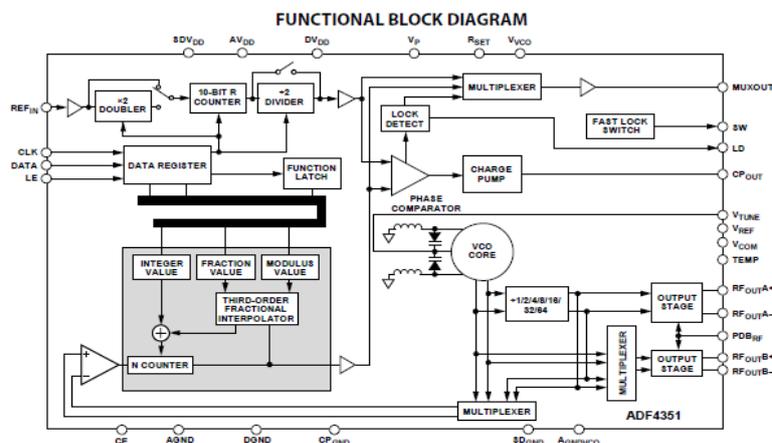


Figura 32. Diagrama en bloques del ADF4351®.

Entrada de referencia

La etapa de entrada de referencia se muestra en la Figura 33. El SW1 y SW2 son interruptores normalmente cerrados. El interruptor SW3 está normalmente abierto. Cuando se inicia de apagado, SW3 se cierra, y se abren SW1 y SW2.

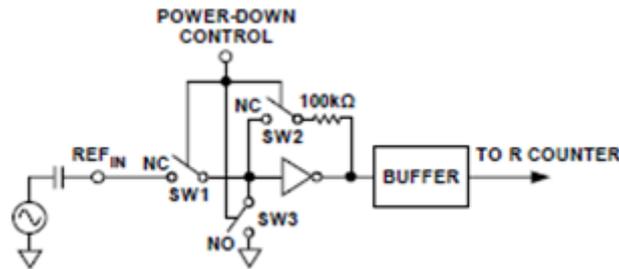


Figura 33. Etapa de referencia de señal de entrada.

Divisor por N

El divisor por N permite una relación de división en el camino de realimentación del PLL. La relación de división se determina por el INT, FRAC, y los valores MOD, que se acumulan en este divisor.

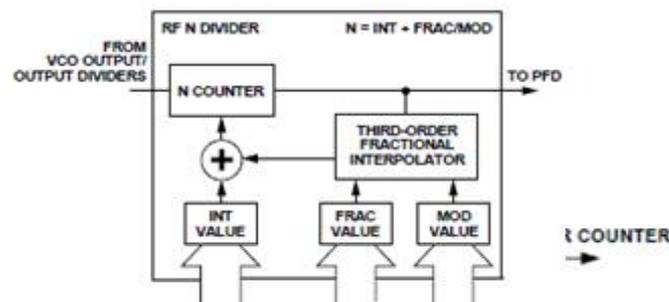


Figura 34. Diagrama en bloques de los divisores programables del ADF4351®.

INT, FRAC, MOD, y la relación con el contador R

El INT, FRAC, y los valores MOD, conjuntamente con el contador R, hacen posible la generación de frecuencias de salida que están separados por fracciones de la frecuencia PFD.

La frecuencia de RF VCO (RFOUT) ecuación es:

$$RF_{OUT} = f_{PFD} \times (INT + (FRAC/MOD))$$

RFOUT es la frecuencia de salida del oscilador controlado por tensión (VCO). INT es el resultado del cociente entre el contador binario de 16 bits (23 a 65.535 para el pre-escalador 4/5; 75 a 65.535 para el pre-

escalador 8/9) y el preescalador. FRAC es el numerador de la división fraccional (0 a MOD - 1). MOD es el módulo fraccional preestablecido (de 2 a 4095).

La frecuencia PFD (PFD) es la ecuación:

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))]$$

Donde:

REFIN es la frecuencia de entrada de referencia.

D es el bit REFIN doblador (0 o 1).

R es la relación de división de pre ajuste de la 10-bit del contador de referencia programable binario (1 a 1023).

T es el REFIN de división por 2 bit (0 o 1).

Modo número entero-N

Si FRAC = 0 y el bit DB8 (LDF) en el registro 2 se establece en 1, el sintetizador funciona en modo entero-N. El bit DB8 en el registro 2 debe establecerse en 1 detección digital de bloqueo del PLL.

Contador R

El contador R de 10 bits permite que la frecuencia de referencia de entrada (REFIN) para dividir hacia abajo para producir el reloj de referencia para el PFD. Se permite factores de división de 1 a 1.023.

El detector de fase/frecuencia (PFD) y la bomba de carga

El detector de fase/frecuencia (PFD) toma las entradas de los contadores R y N produce una salida proporcional a la diferencia de fase y frecuencia entre ellos. La Figura 35 presenta un esquema simplificado del detector de fase/frecuencia.

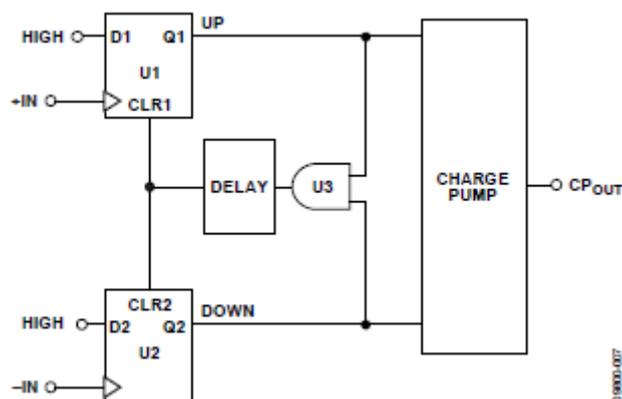


Figura 35. Diagrama en bloques del detector de fase/frecuencia del ADF4351®.

El PFD incluye un elemento de retardo programable que establece el ancho del pulso *antibacklash* (ABP). Este pulso se asegura de que no hay ninguna zona muerta en la función de transferencia PFD. DB22 bit del registro 3 (R3) se utiliza para establecer el ABP como sigue:

- Cuando DB22 bit se pone a 0, el ancho ABP está programado para 6 ns, el valor recomendado para aplicaciones con fraccional-N.
- Cuando DB22 bit se establece en 1, el ancho ABP está programado para 3 ns, el valor recomendado para aplicaciones con entero-N.

Para aplicaciones con número entero-N, el ruido de fase en banda se reduce para permitir que se pueda utilizar un ancho de pulso mas angosto. La frecuencia PFD puede operar hasta 90 MHz en este modo. Para operar con el sistema PFD frecuencias más altas que 45 MHz, banda VCO SELECT debe estar deshabilitado mediante el establecimiento de la fase de ajuste de bits (DB28) a 1 en el registro 1.

MUXOUT Y LOCK DETECT

La salida del multiplexor en el ADF4351 permite al usuario acceder a varios puntos internos en el chip. El estado de MUXOUT es controlado por los bits de M3, M2 y M1 en el registro 2 (véase la Figura 36).

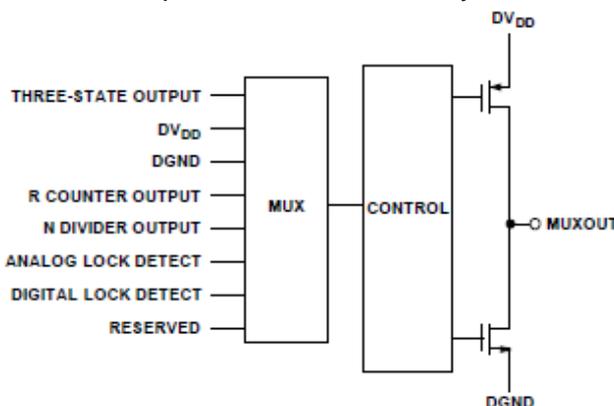


Figura 36. Diagrama de bloques del multiplexor del ADF4351®.

Registros de entrada SHIFT

La sección digital ADF4351 incluye un contador de 10 bits RF R, un RF contador N de 16 bits, un contador de FRAC 12 bits, y un contador de MOD (módulo) de 12 bits. Los datos se ingresan en el registro de desplazamiento de 32 bits en cada flanco ascendente de CLK. Los datos ingresan con el MSB primero.

Los datos se transfieren desde el registro de desplazamiento de uno de los seis registro (latches) en el flanco ascendente de la LE. El registro de destino se determina por el estado de los tres bits de control (C3, C2 y C1) en el registro de desplazamiento.

Como se muestra en la Figura, los bits de control son los tres bits menos significativos: DB2, DB1, y DB0. La Figura 37 muestra la tabla de verdad para estos bits.

Control Bits			Register
C3	C2	C1	
0	0	0	Register 0 (R0)
0	0	1	Register 1 (R1)
0	1	0	Register 2 (R2)
0	1	1	Register 3 (R3)
1	0	0	Register 4 (R4)
1	0	1	Register 5 (R5)

Figura 37. Bits de control para la programación del ADF4351®.

VCO

El núcleo del VCO en el ADF4351 consta de tres VCO separados, cada uno de las cuales utiliza 16 bandas superpuestas, como se muestra en la Figura 38. Esto permite una amplia gama de frecuencias a ser cubierta sin una sensibilidad grande del VCO (KV) y pequeño ruido de fase.

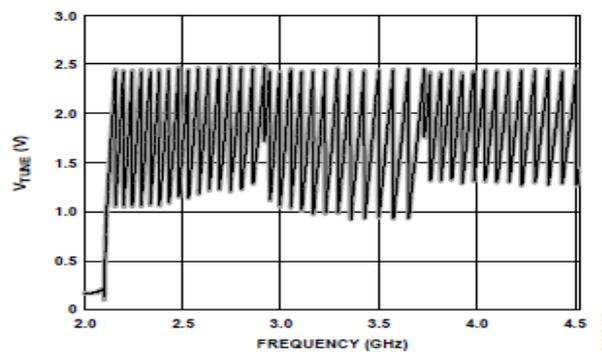


Figura 38. Grafica de selección de banda del VCO.

El VCO y la banda correcta se seleccionan automáticamente por el VCO y la lógica de selección de banda en el encendido o cuando se actualiza el registro de 0 (R0).

El VCO y la selección de banda toman 10 ciclos PFD multiplicado por el valor de la banda de selección del divisor de reloj. El VCO V_{tune} se desconecta de la salida del filtro de bucle y queda conectado a un voltaje de referencia interna.

La salida del contador R se utiliza como reloj para la lógica de selección de banda. Un divisor programable se proporciona en la salida del contador R para permitir la división por un número entero de 1 a 255; el valor del divisor se ajusta utilizando los bits [DB19: DB12] en Registro 4 (R4). Cuando la frecuencia PFD requerida es mayor que 125 kHz, la relación de división debe estar configurada para permitir tiempo suficiente para que la selección de banda sea la correcta.

La selección de banda tarda 10 ciclos de la frecuencia PFD, igual a 80 microsegundos. Si se requieren tiempos de bloqueo rápido, DB23 bit del registro 3 (R3) se debe establecer en 1. Esta configuración permite al usuario seleccionar una mayor selección de banda de frecuencia de reloj de hasta 500 kHz, lo que acelera la banda para un tiempo de selección de 20 microsegundos. Para los ajustes de fase y pequeños ajustes de frecuencia (<1 MHz), el usuario puede desactivar la selección de banda VCO mediante el establecimiento del bit DB28 del registro 1 (R1) a 1. Este ajuste selecciona la opción del parámetro "ajuste de fase".

Después de la selección de banda, se reanuda la acción normal del PLL. El valor nominal de KV es 40 MHz / V cuando el divisor N es controlado desde la salida del VCO o desde este valor dividido por D. D

es el valor divisor de salida si el divisor N es conducido desde la salida del divisor de RF (seleccionado de bits de programación [DB22: DB20] en el Registro 4). Asimismo, el ADF4351 contiene circuitos de linealización para minimizar cualquier variación del producto de la I_{cp} y K_V para mantener constante el ancho de banda del bucle.

El VCO muestra una variación de K_V como el V_{tune} varía dentro de la banda y de banda a banda. Para aplicaciones de banda ancha cubriendo un amplio rango de frecuencias (y el cambio de los divisores de salida), un valor de 40 MHz / V proporciona la K_V más precisa ya que este valor está más cerca de un valor medio. La Figura 39 muestra cómo K_V varía con la frecuencia fundamental VCO, junto con un valor medio para la banda de frecuencia.

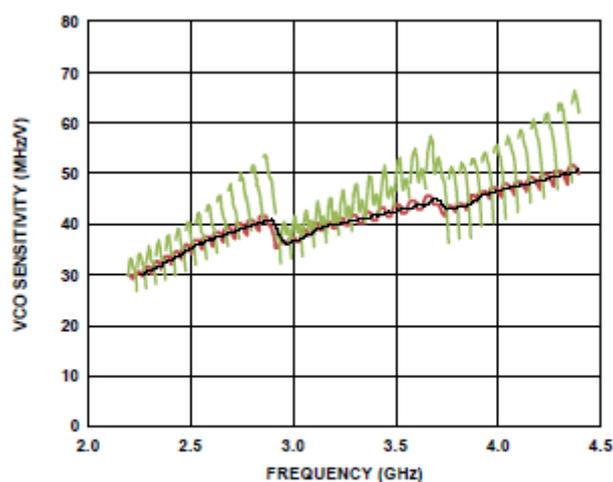


Figure 21. VCO Sensitivity (K_V) vs. Frequency

Figura 39. Sensibilidad del VCO.

ETAPA DE SALIDA

Los pines RFoutA+ y RFoutA- del ADF4351 están conectados a los colectores de un par diferencial NPN impulsado por las salidas del buffer del VCO, tal como se muestra en la Figura 40.

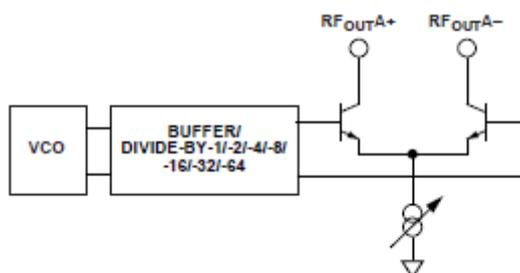


Figura 40. Etapa de salida del ADF4351.

Para permitir al usuario optimizar la disipación de potencia frente a los requisitos de potencia de salida, la corriente de colector del par diferencial es programable usando Bits [DB4: DB3] en Registro 4 (R4). Se pueden establecer cuatro niveles de potencia de salida de -4 dBm, -1 dBm, 2 dBm, y +5 dBm usando una resistencia de 50 Ω a AVDD y el acoplamiento de CA a una carga de 50 Ω . Alternativamente, las dos salidas

se pueden combinar en un 1 + 1: 1 transformador o un acoplador de microstrip de media onda (véase la sección de adaptación de salida).

Si se usan las salidas de forma individual, la etapa de salida óptima consiste en un inductor en derivación a V_{vco} . La salida complementaria no utilizada debe terminarse con un circuito similar a la salida utilizada.

Existe una etapa de salida auxiliar RFOUTB + y RFOUTB-, proporcionando un segundo conjunto de salidas diferenciales que se pueden utilizar para conducir otro circuito. La etapa de salida auxiliar puede usarse sólo si están habilitadas las salidas primarias. Si no se utiliza la etapa de salida auxiliar, esta puede ser deshabilitada por software.

Otra característica de la ADF4351 es que la corriente de alimentación a la etapa de salida de RF puede ser apagada hasta que la parte de bloqueo se alcanza, medida por el circuito de *Lock Detect Digital*. Esta función se activa mediante el registro de 4 (R4).

TIPOLOGÍA DE FILTRO de FAST LOCK

Para utilizar el modo de bloqueo rápido, la resistencia de amortiguación en el filtro de bucle es reducido a un cuarto de su valor mientras se encuentra en modo de ancho de banda amplio.

Para conseguir el ancho de banda de filtro de bucle más amplio, la bomba de carga de corriente aumenta en un factor de 16; para mantener la estabilidad del bucle, la resistencia de amortiguación debe ser reducida por un factor de un cuarto. Para activar el bloqueo rápido, la llave SW está en cortocircuito con la llave AGND mediante el establecimiento de Bits [DB16: DB15] en el registro de 3 a 01. Las dos siguientes topologías están disponibles:

- La resistencia de amortiguación (R1) se divide en dos valores (R1 y R1A) que tienen una proporción de 1: 3 (véase la figura 31).
- Una resistencia extra (R1A) está conectado directamente de SW, como se muestra en la Figura 39. La resistencia adicional se calcula de tal manera que la combinación en paralelo de la resistencia adicional y la resistencia de amortiguación (R1) se reduce a una cuarta parte del valor original de R1.

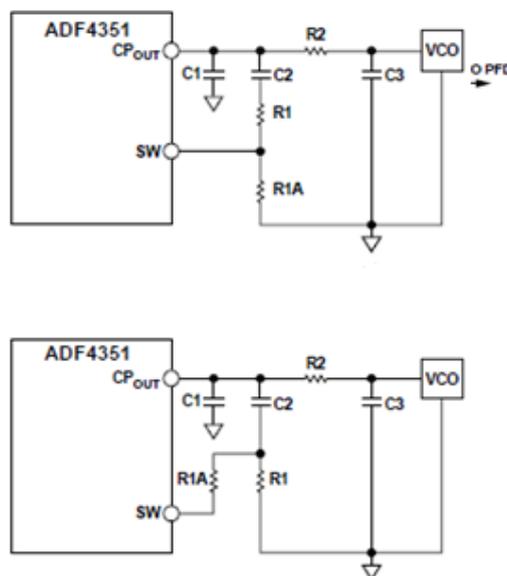


Figura 41. Tipología de filtro pasa bajos del ADF4351®.

Adaptación de salida

Para un funcionamiento óptimo, la salida de la ADF4351® se puede adaptar de muchas formas; el método más básico es conectar una resistencia de $50\ \Omega$ a V_{CCO} . Un condensador de derivación de corriente continua de $100\ \text{pF}$ está conectado en serie, como se muestra en la Figura 39. Debido a que la resistencia no es dependiente de la frecuencia, este método proporciona un barrido de exploración ancho. Cuando se conecta a una carga de $50\ \Omega$, este circuito normalmente da una potencia de salida diferencial igual al valor seleccionado por Bits [DB4: DB3] en Registro 4 (R4).

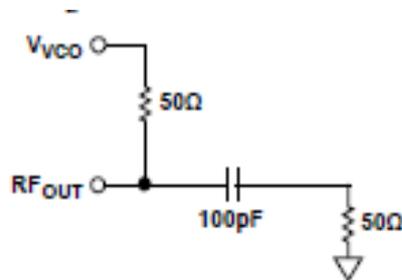


Figura 42. Circuito de adaptación de salida.

Si no se necesitan salidas diferenciales, la salida no utilizada puede ser terminada, o ambas salidas se puede combinar en el uso de un adaptador de impedancias o balun (*balanced-unbalanced lines transformer*).

Un *balun* utilizando inductores y condensadores discretos se puede implementar con la arquitectura mostrada en la figura. El *balun* LC comprende el componente L1 y el componente C1. L2 proporciona una ruta de corriente continua para RFOUTA-, y el condensador C2 se utiliza para el bloqueo de continua.

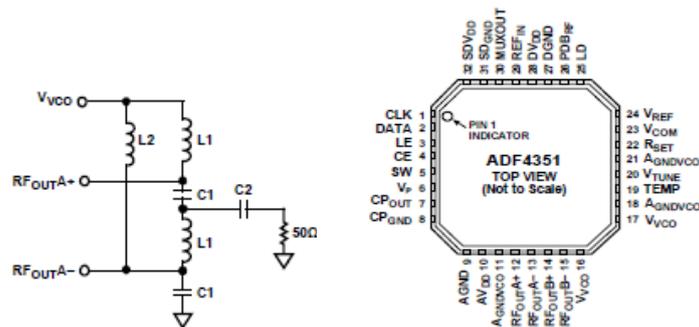
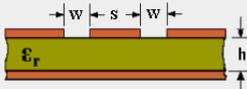


Figura 43. Etapa de salida con *balun* incorporado.

Para presentar una impedancia de salida conocida y de $50\ \text{Ohms}$, se utilizó una guía de onda coplanar en ambas salidas de RF. Se muestra la siguiente figura el cálculo hecho con un programa de diseño de RF, para tal tarea se utilizó como material de soporte del circuito impreso FR4 ya que tiene una permisividad eléctrica relativa conocida de 4,7 y un ancho de 1,6mm.

Coplanar Waveguide With Ground Characteristic Impedance Calculator

The characteristic impedance (Z_0) of coplanar waveguide with ground or microstrip lines with signal side ground plane can be calculated using the active calculator or the formulas at the bottom of the page.



Where ϵ_r = Relative Dielectric Constant

W = Width of gap

S = Width of track

h = Thickness of dielectric

Enter the ϵ_r of the PCB:	4.7		
Enter the width of the track:	2.5	mm	
Enter the width of the gap:	1	mm	
Enter the thickness of the dielectric:	1.6	mm	

Effective Dielectric Constant (ϵ_{eff}):	3.234
Characteristic Impedance (Z_0):	49.84 Ohms

Figura 44. Calculo de adaptación de impedancia de la etapa de salida.

Mapa de Registros

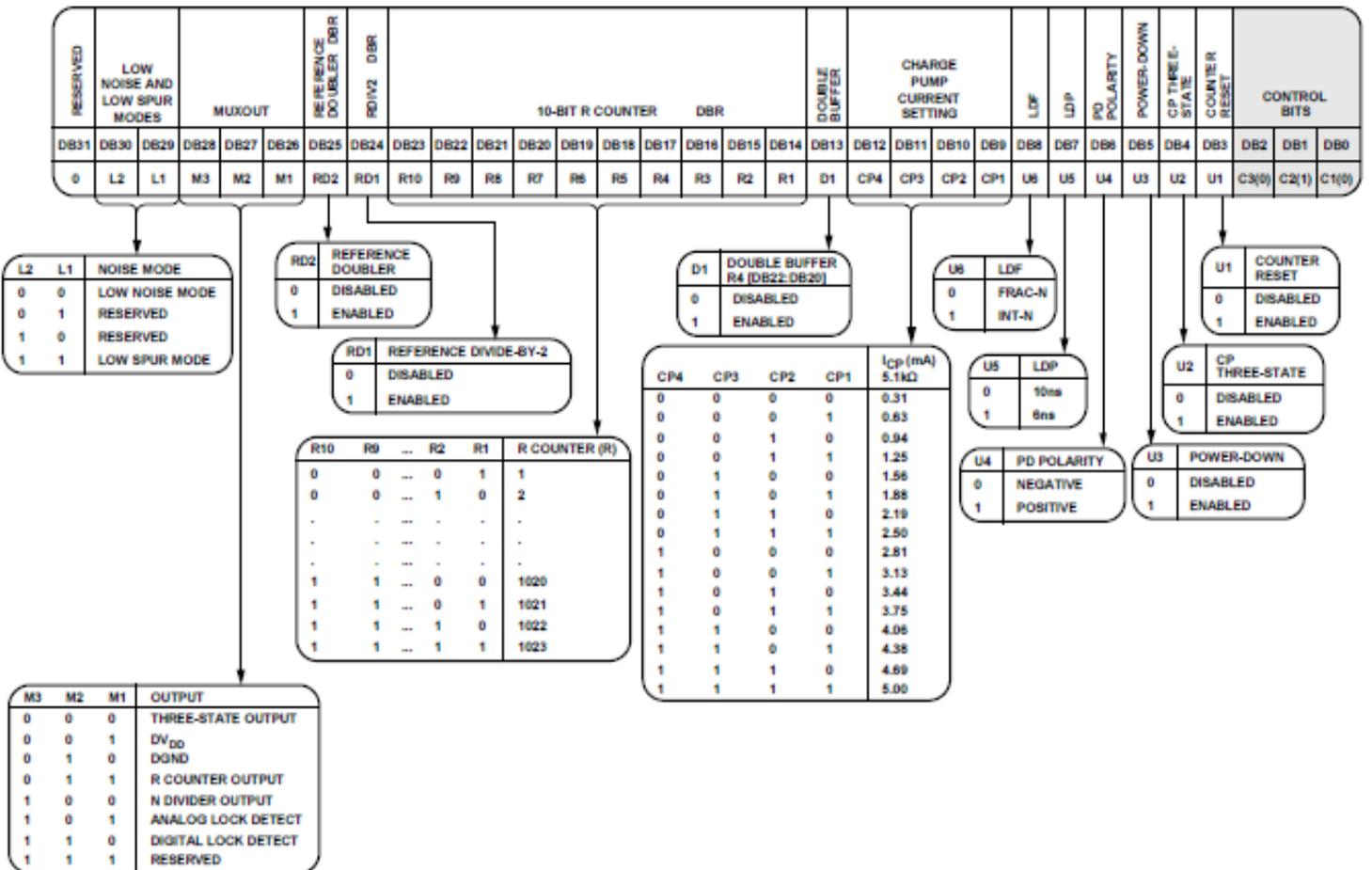
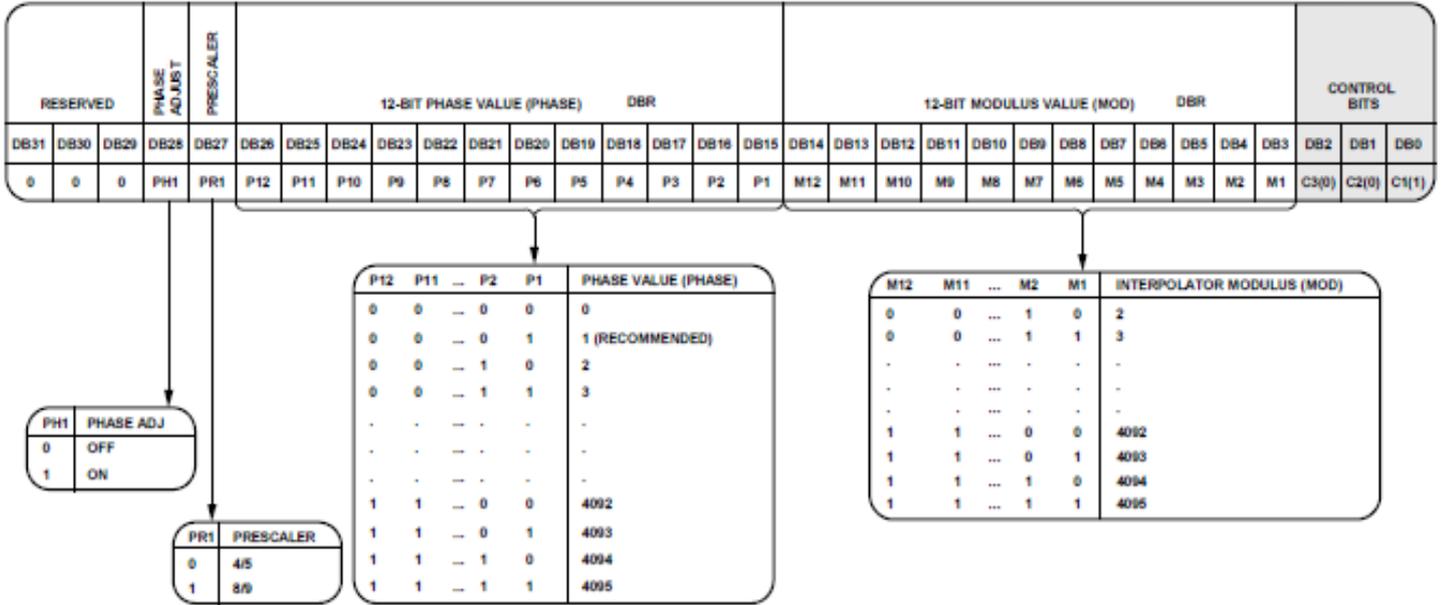
A continuación se muestra los diferentes registros que se deben ingresar al integrado para la configuración del PLL, durante el análisis se observó que solo dos de ellos definen la frecuencia a sintetizar y los demás solo son para con la configuración de potencia, tiempo de respuesta y otras opciones del ADF4351. Por tal motivo no es necesaria la programación de todos los registros para cada paso de un barrido de frecuencia, sino solo los que definen la frecuencia de la señal a generar. Como se observara más adelante (Apéndice B), el protocolo utilizado para cargar los registros es SPI, un protocolo serie, con 4 entradas: CLOCK, DATA, LE y CE. Dicho protocolo debe ser generado por el microcontrolador elegido: el PIC18F2550®, el cual proveerá de todas las señales necesarias para controlar el dispositivo.

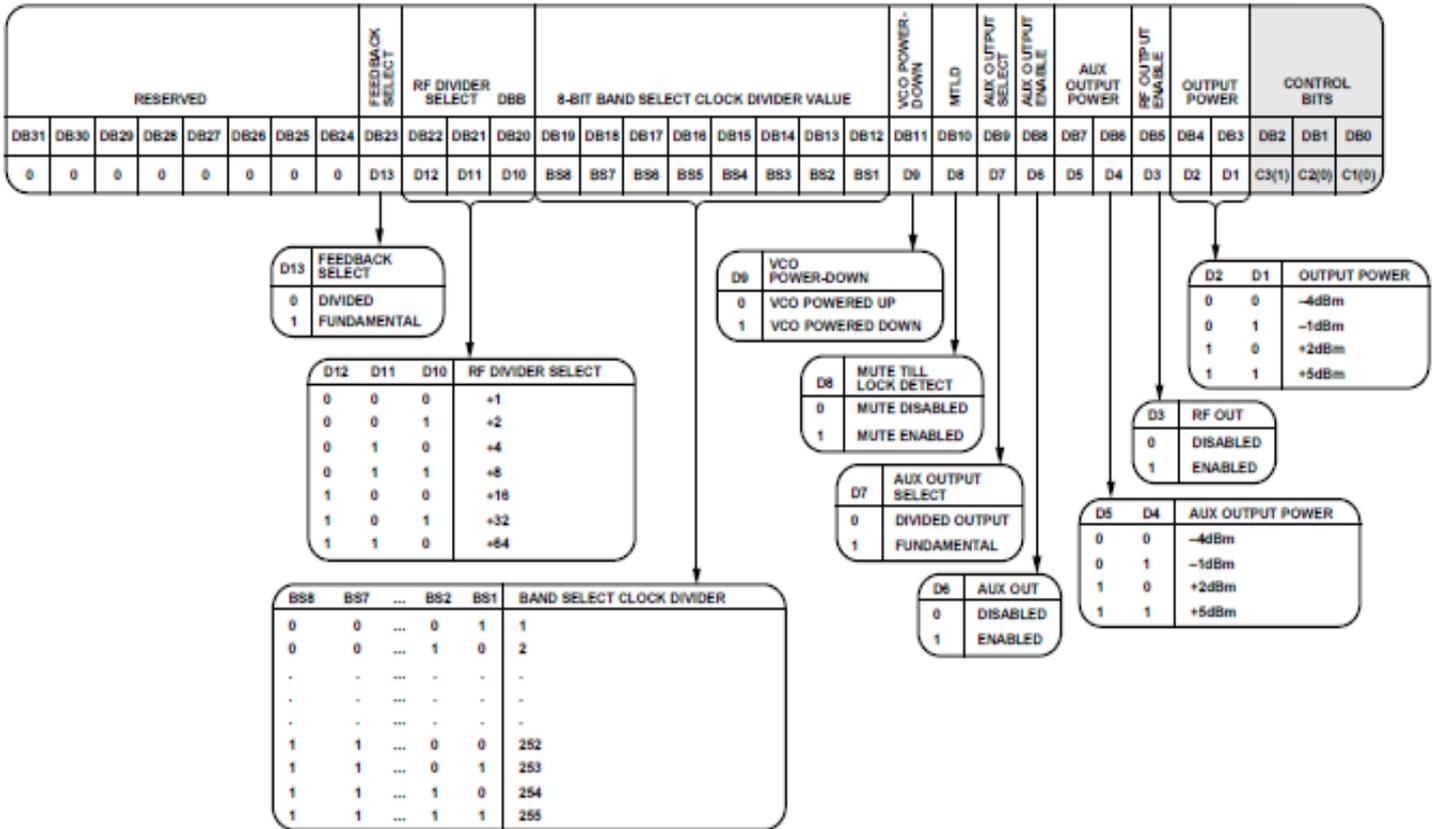
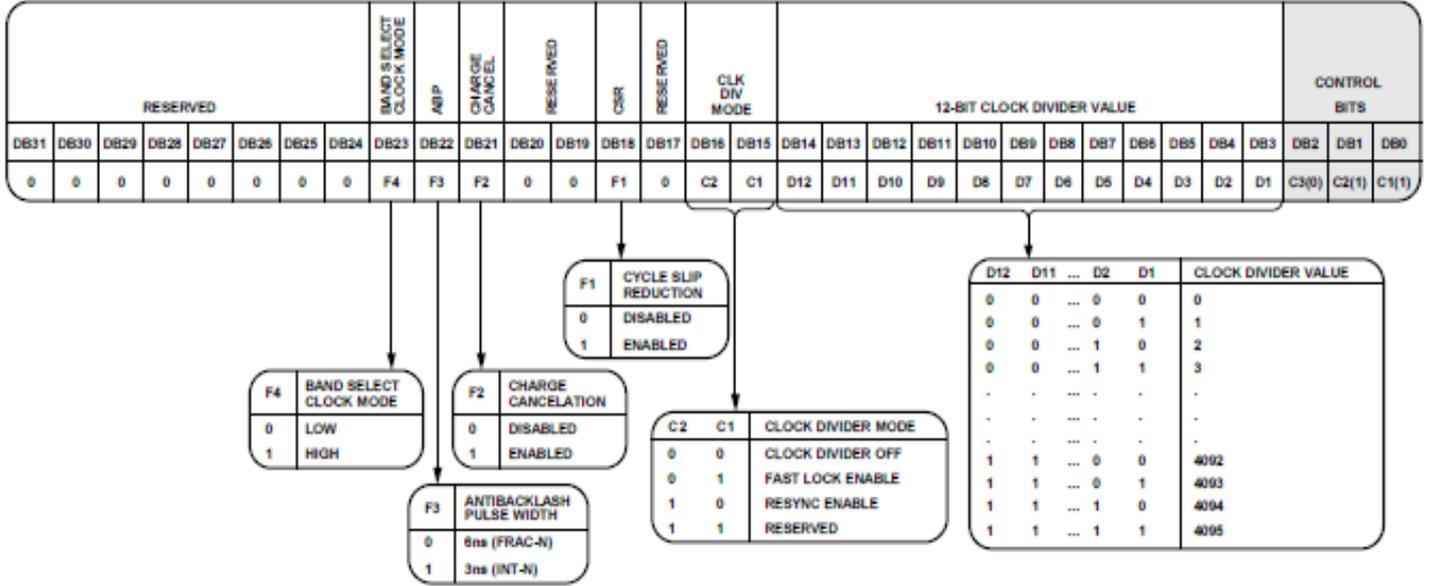
RESERVED		16-BIT INTEGER VALUE (INT)																				12-BIT FRACTIONAL VALUE (FRAC)												CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0					
0	N16	N15	N14	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C3(0)	C2(0)	C1(0)					

N16	N15	...	N5	N4	N3	N2	N1	INTEGER VALUE (INT)
0	0	...	0	0	0	0	0	NOT ALLOWED
0	0	...	0	0	0	0	1	NOT ALLOWED
0	0	...	0	0	0	0	1	NOT ALLOWED
-	-	...	-	-	-	-	-	...
0	0	...	1	0	1	1	0	NOT ALLOWED
0	0	...	1	0	1	1	1	23
0	0	...	1	1	0	0	0	24
-	-	...	-	-	-	-	-	...
1	1	...	1	1	1	0	1	65,533
1	1	...	1	1	1	1	0	65,534
1	1	...	1	1	1	1	1	65,535

F12	F11	...	F2	F1	FRACTIONAL VALUE (FRAC)
0	0	...	0	0	0
0	0	...	0	1	1
0	0	...	1	0	2
0	0	...	1	1	3
-	-	...	-	-	-
-	-	...	-	-	-
-	-	...	-	-	-
1	1	...	0	0	4092
1	1	...	0	1	4093
1	1	...	1	0	4094
1	1	...	1	1	4095

INTmin = 75 WITH PRESCALER = 80





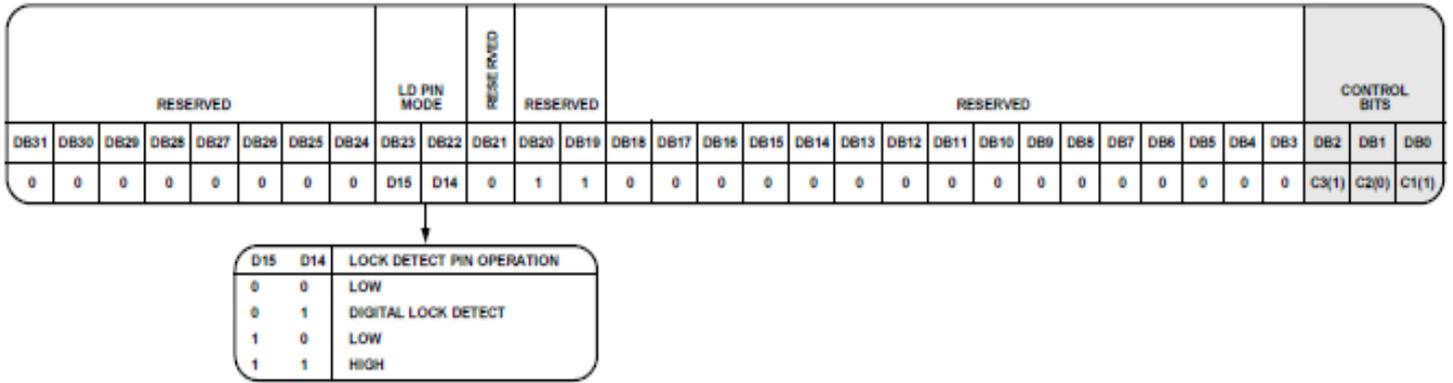


Figura 45. Mapa de registros para la configuración del ADF4351.

Simulación de Filtro de Lazo

Una de las ventajas de trabajar con este integrado es que existe un software de simulación que permite saber a priori si el sistema con los componentes de filtro de lazo será estable o inestable. Este software lo facilita la empresa Analog Devises®. En la Figura 46 se observa una captura de pantalla del mismo con los componentes utilizados para el filtro de lazo del PLL. En el sector izquierdo aparece el cálculo de margen de fase dando como resultado 51.7° haciendo el sistema estable

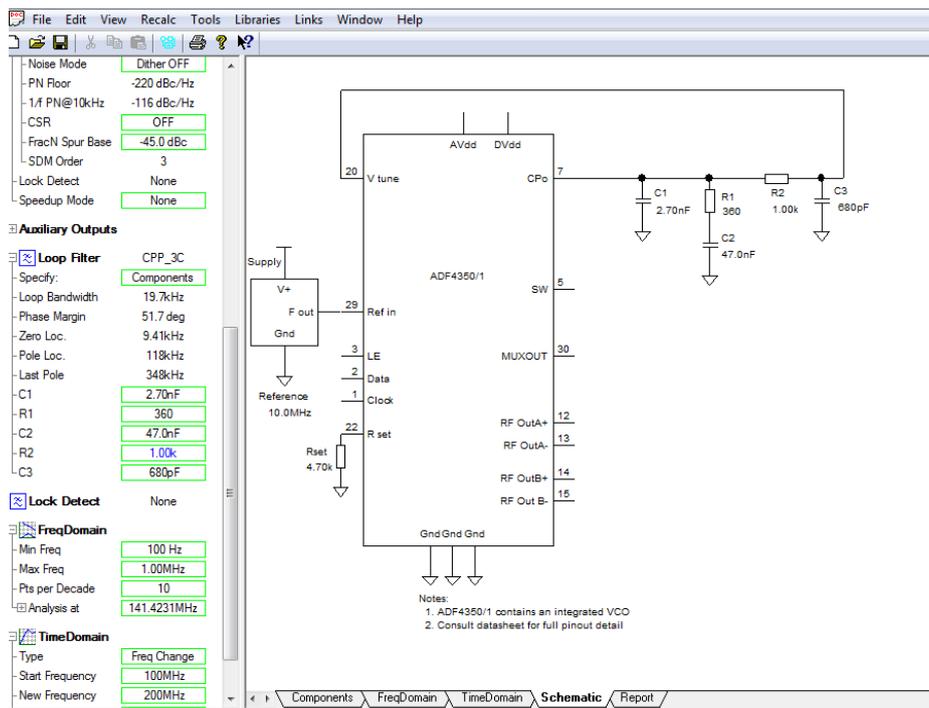


Figura 46. Software de simulación.

Circuito Esquemático y PCB del Generador ADF4351®

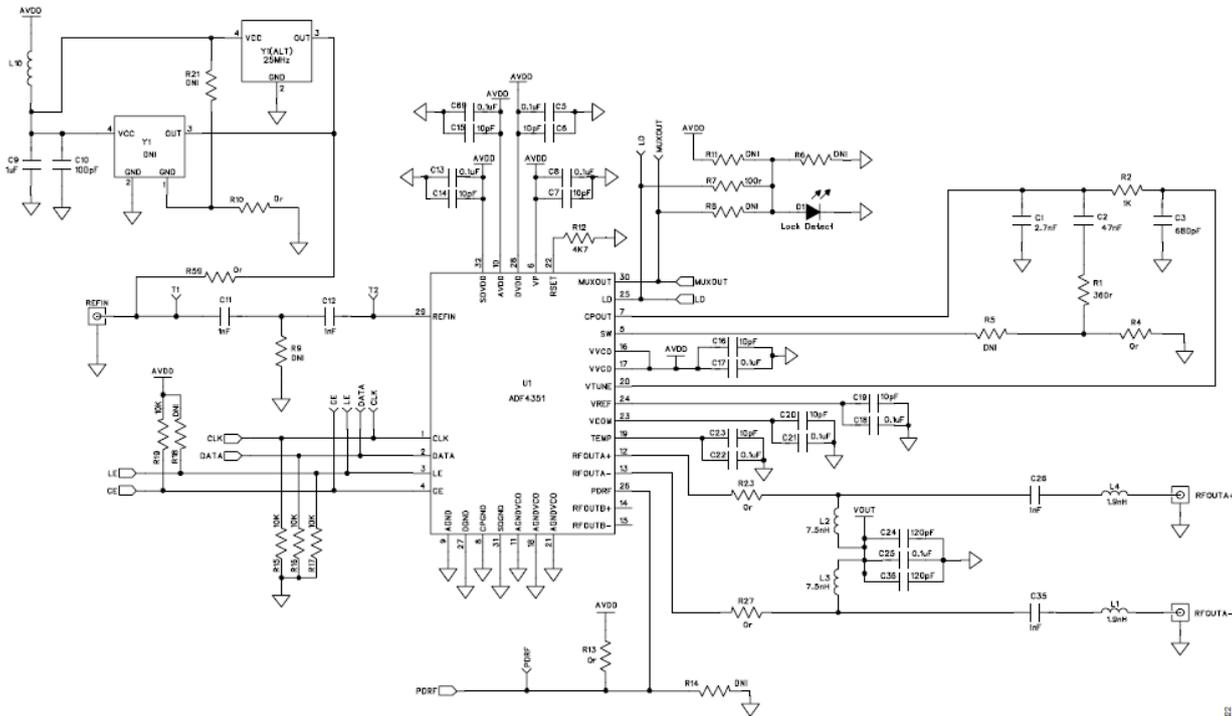


Figura 47. Circuito esquemático de la aplicación del ADF4351.

Al circuito anterior se le debe colocar una referencia externa para conseguir un diseño autónomo, para cumplir ese objetivo se implementa el siguiente oscilador Colpitts® con un oscilador a cristal de 10MHz. En la Figura 48 se observa dicho circuito.

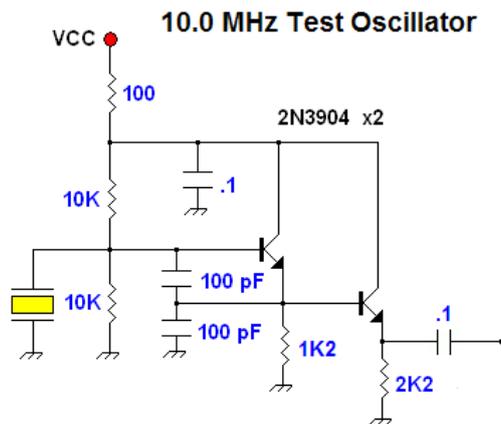


Figura 48. Oscilador Colpitts® de 10MHz

Debido a la complejidad del diseño se realizó el PCB por computadora, se pueden ver en las dos imágenes el *top layer* y el *bottom layer* del PCB. En la derecha está el circuito oscilador Colpitts® de referencia de 10MHz, arriba a la izquierda está el puerto paralelo y el divisor resistivo que transforma las tensiones de TTL a SPI (5v a 3.3v), además se pueden ver las dos salidas del integrado diseñadas con una guía de ondas coplanar para presentar una impedancia de salida de 50 Ohms.

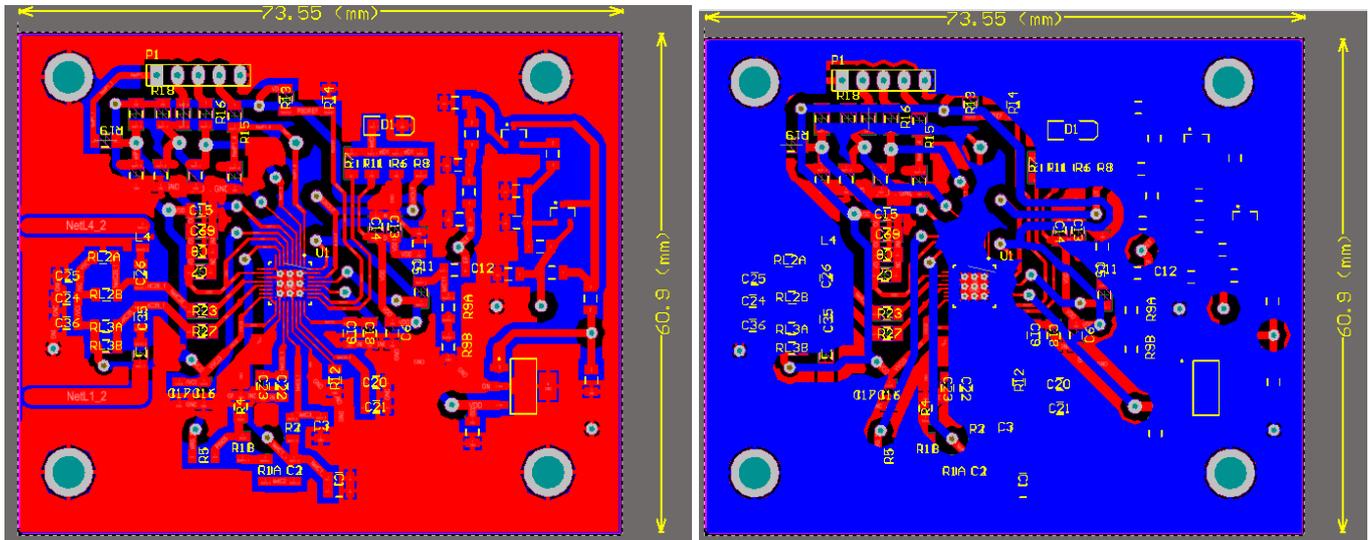


Figura 49. Diseño del PCB en programa de computadora.

2.2.2 Circuito de RF

Introducción

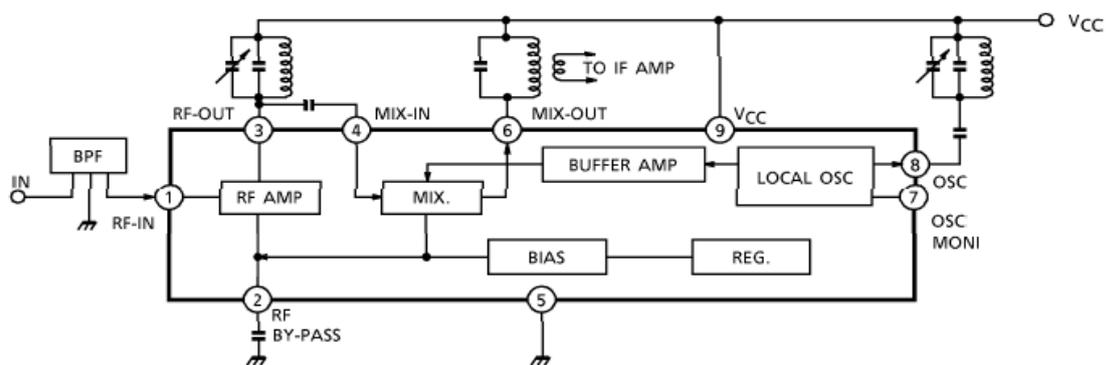
En esta sección se analizaron los circuitos integrados que forman parte de la placa de acondicionamiento de señales (placa de RF). La misma tiene el propósito de tomar la señal proveniente del generador (ADF4351®) y convertirla al rango de frecuencia para el análisis, luego amplificarla para que sea una señal útil en la entrada del circuito bajo prueba.

En primera instancia se presenta en detalle el mezclador (TA7358®), una de las piezas fundamentales en esta placa. Desde su funcionamiento interno hasta su comportamiento dinámico. Luego se analizará el amplificador de RF (MAR8-A+), desde su diseño hasta su implementación y por último se estudiará el detector que se encargará de transformar las señales senoidales en tensiones continuas que serán adquiridas por el conversor analógico digital del microcontrolador.

TA 7358

Este integrado es un mezclador doble balanceado, el cual se usó para poder hacer una conversión de frecuencia al rango de 0-100 MHz la señales que salen del Generador (rango de 100-200 MHz). Este modelo cuenta con las características especiales que aseguran una baja radiación espuria (EMI), mejores características de intermodulación y gran rango de alimentación (1.6-6 volts). En la Figura 50 siguiente se presenta el diagrama en bloques y luego una descripción más específica de cada pin.

BLOCK DIAGRAM



PIN No.	SYMBOL	INTERNAL	TERMINAL VOLTAGE (V)
1	FM-RF IN		0.8
2	BY PASS		1.5
3	FM-RF OUT		5.0
4	MIX IN		1.5
5	GND	—	0
6	MIX OUT	cf. pin ④	5.0
7	OSC MONITOR		4.3
8	OSC		5.0
9	V _{CC}	—	5.0

Figura 50. Diagrama en bloques del TA7358.

MAR-8

Para la etapa de amplificación se utilizó un popular amplificador de RF de la empresa Mini-Circuits® (MMIC: circuitos integrados monolíticos de microondas) estos son amplificadores en conexión Darlington que ofrecen el rendimiento muy bueno en un gran ancho de banda, esta propiedad lo hace una excelente elección ya que se necesita amplificar la señal proveniente del mezclador para luego ingresar al detector de pico que se analizará posteriormente.

Se incluyen en esta familia son los prefijos modelo a la que las consideraciones de polarización en esta nota de aplicación se aplican: ERA, Gali, LEE, MAR, MAV, RAM, y el VAM. Estos amplificadores tienen como ventajas un gran ancho de banda, adaptación de la impedancia, y una selección de niveles de ganancia y potencia de salida. Además, la mayoría de estos amplificadores incorporan un circuito patentado que proporciona protección contra el daño debido al encendido de la fuente de alimentación.

Circuito de polarización

Una configuración práctica de polarización actual se muestra en la Figura 51. La corriente de polarización se entrega desde una tensión de alimentación V_{cc} a través de la resistencia R_{bias} y el choque de RF (inductor), como se muestra RFC en la figura. La resistencia reduce el efecto de la variación de tensión del dispositivo (V_d) en la corriente de polarización mediante la aproximación con una fuente de corriente. Son necesarios condensadores de desacople en la entrada y la salida. Ellos deben ser de un tipo que tiene una baja ESR (resistencia serie efectiva), y debe tener reactancia suficientemente baja para no afectar la pérdida de inserción o VSWR adversamente a baja frecuencia. Los condensadores de bloqueo deben estar libres de resonancia parasita a la frecuencia de funcionamiento más alta.

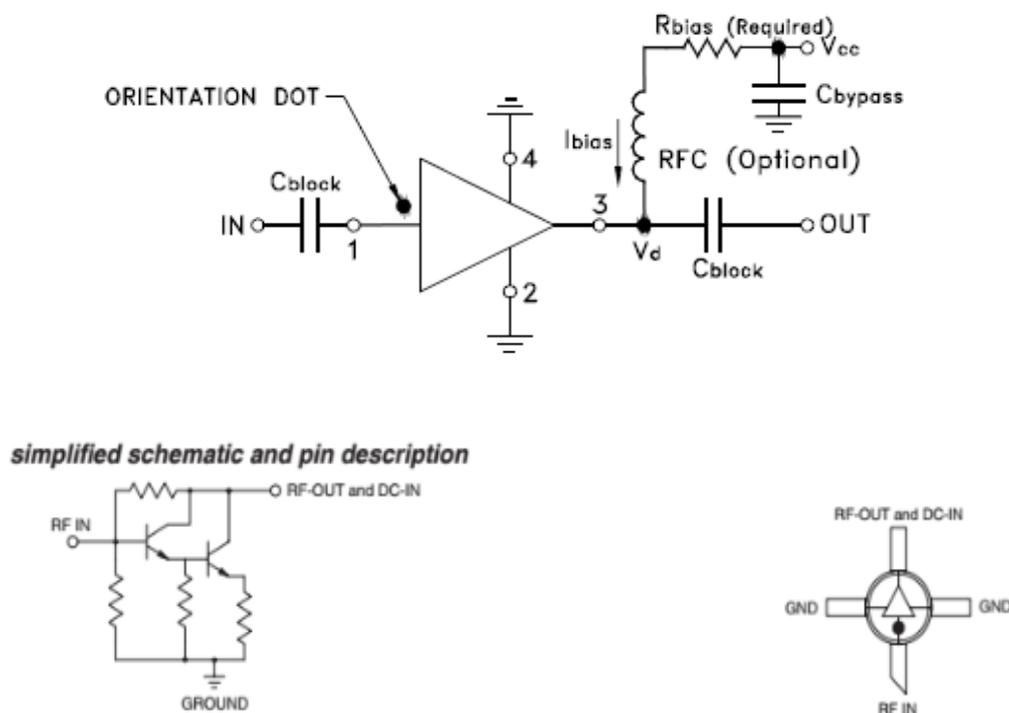


Figura 51. Diagrama esquemático interno y externo del MAR8.

$$I_{\text{bias}} = (V_{\text{CC}} - V_{\text{d}}) \div R_{\text{bias}}$$

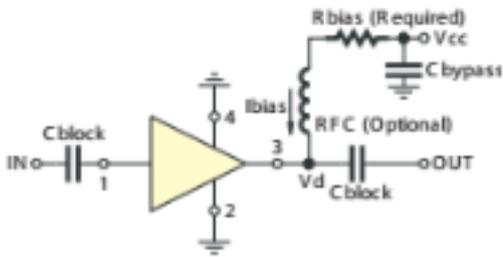
La hoja de datos de los amplificadores enumeran los valores de la resistencia de polarización que es necesaria con varios valores de tensión de alimentación. Estos valores tienen en cuenta la variación de tensión del dispositivo, tanto de lote a lote y con la temperatura (-45 ° a 85°C). También, que se eligen a partir de los valores de resistencia fácilmente disponibles con una tolerancia del " 1 %". Cuanto mayor es la diferencia entre la tensión de alimentación y el dispositivo, más fácil es mantener constante condiciones de operación. Una consideración adicional que afecta elección componente es la potencia de continua disipada por la resistencia de polarización, que aumenta con el aumento de la tensión de alimentación.

Electrical Specifications at 25°C and 36mA, unless noted

Parameter	Min.	Typ. ³	Max.	Units	
Frequency Range*	DC		1	GHz	
Gain	f=0.1 GHz f=1 GHz	— 20 ²	31.5 25	— —	dB
Input Return Loss	f=DC to 1 GHz		15.5		dB
Output Return Loss	f=DC to 1 GHz		11		dB
Output Power @ 1 dB compression	f=1 GHz		+12.5		dBm
Output IP3	f=1 GHz		+25		dBm
Noise Figure	f=1 GHz		3.1		dB
Recommended Device Operating Current			36		mA
Device Operating Voltage		3.2	3.7	4.2	V
Device Voltage Variation vs. Temperature at 36 mA			+1.2		mV/°C
Device Voltage Variation vs. Current at 25°C			11.3		mV/mA
Thermal Resistance, junction-to-case ¹			119		°C/W

*Guaranteed specification DC-1 GHz. Low frequency cut off determined by external coupling capacitors.

Recommended Application Circuit



Test Board includes case, connectors, and components (in bold) soldered to PCB

R BIAS ¹	
Vcc	Bias Resistor Value ²
7	88.7
8	118
9	143
10	174
11	200
12	226
13	255
14	280
15	309

Figura 52. Tabla con características eléctricas del MAR8.

Ventaja de utilizar un choque de RF

La conveniencia de utilizar una bobina de RF en serie con R_{bias} es evidente a partir del siguiente análisis. La Figura 53 muestra un circuito equivalente de la salida de un amplificador Darlington como una fuente de corriente en paralelo con una resistencia de fuente 50 ohmios interna, cargado por tanto R_{bias} y una carga de 50 Ohms externa. La corriente en la carga de 50 Ohms es:

Effect of Bias Resistor on the Output, Without an RF Choke

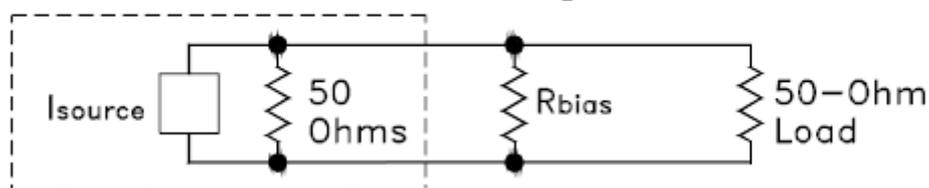


Figura 53. Circuito equivalente del amplificador MAR8.

$$I_{50\Omega} = I_{source} \times R_{bias} \div (2 R_{bias} + 50)$$

Y la pérdida en la ganancia de potencia con respecto a no tener la salida cargada por R_{bias} es:

$$G_{loss} = 20 \log [(2 R_{bias} + 50) \div 2 R_{bias}] \text{ dB}$$

Supongamos, por ejemplo, que el modelo ERA- 4SM + se usa con un suministro de 12 Voltios sin inductor. A partir de la expresión anterior, el efecto de la resistencia de polarización de 115 Ohms (de la hoja de datos) se encuentra que es una reducción de 1,7 dB en la ganancia del amplificador.

Un choque de RF debe ser elegido de tal manera que su reactancia es de al menos 500 Ohms (10 veces la impedancia de carga) a la frecuencia de operación más baja. También debe estar libre de resonancia (serie) parasita a la frecuencia de trabajo más alta.

Además de la estabilidad de la corriente de polarización, la estabilidad de la disipación de potencia del amplificador Darlington se ve favorecida por el uso de un alto valor V_{cc} . Esto es debido al coeficiente de temperatura negativo de la tensión del equipo V_d . En particular, si V_{cc} es de al menos 2 veces V_d , P_D , la disipación de potencia disminuye al aumentar la temperatura, como se muestra por el siguiente análisis:

$$P_D = V_d \cdot I_{bias} = V_d (V_{cc} - V_d) \div R_{bias}$$

Tomando la derivada de la P_D con respecto a V_d y haciéndola igual a cero, surge que el valor máximo de P_D se produce cuando $V_d = V_{cc} / 2$.

Variation of Power Dissipation with Temperature, for Device Voltage Above, and Below, Half the Supply Voltage Value

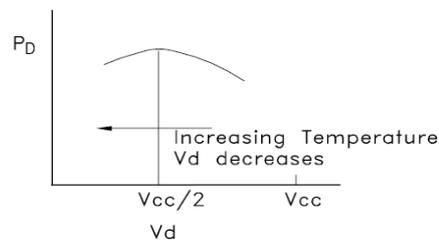


Figura 54. Grafica de disipación de potencia.

Filtro Pasa bajos

El proceso de acondicionamiento de señal que sigue al mezclador es un filtrado pasa bajos que se encarga de eliminar cualquier señal que supere los 100 MHz para así la única señal senoidal en el espectro en frecuencia es la proviene de la mezcla del Oscilador Local con el Generador de Barrido.

5th Order Low Pass Butterworth

Pass Band Frequency = 100.0 MHz

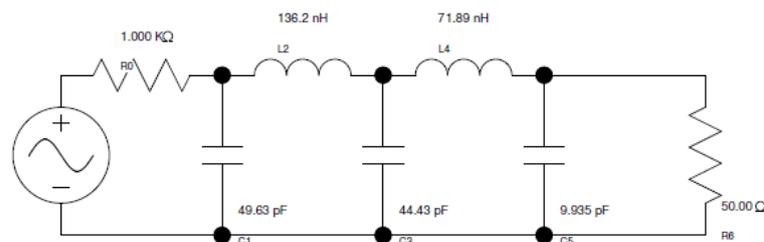


Figura 55. Filtro de Pasa bajos LC con frecuencia de corte de 100MHz.

Detector con Diodo 1N60

Una vez pasada la etapa de amplificación por parte del MAR8, sigue la etapa de detección de la señal senoidal. Se podrá ver en el Apéndice A el principio básico que se utiliza para realizar este proceso, por tanto no se discutirá en detalle en esta Sección.

Como se podrá ver a continuación, para el detector se utiliza un simple diodo de germanio debido a su baja capacidad, en este caso utilizamos el diodo 1N60 el cual tienen una capacidad de 2pF. Al tener tan bajo valor de capacidad su comportamiento en el rango de DC-100MHz es muy bueno ya que a un mismo valor de entrada se mantiene su valor de salida en el rango de frecuencias mencionado.

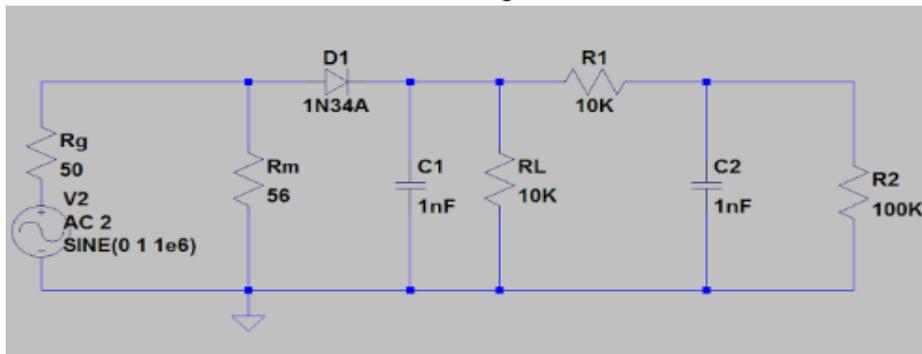


Figura 56. Circuito esquemático del detector de RF.

En la siguiente tabla se verá como la característica del diodo no se ve modificada significativamente con la frecuencia. Se hizo un análisis para dos niveles de potencia: 0dBm y +4dBm.

Para el prototipo inicial se utilizó también el método Manhattan para las pruebas iniciales.

Frecuencia(Mhz)	Amplitud (mv)	Frecuencia(Mhz)	Amplitud (mv)
1	90.25	1	227.44
4	90.64	4	224.15
8	91.12	8	223.00
16	89.02	16	220.06
24	85.09	24	221.69
32	86.56	32	222.84
40	86.50	40	218.41
48	88.19	48	219.49
56	88.2	56	225.64
64	84.8	64	216.68
72	87.39	72	221.75
80	91.26	80	231.17
88	93.74	88	227.22
96	93.67	96	223.9
100	94.39	100	227.35

Tabla 1. Valores medidos con el detector de RF a distintas frecuencias.

Luego lo que se trazó fue hacer una tabla para un rango amplio de amplitudes de modo tal de tener la curva del detector y hacer interpolación para los distintos niveles de potencia.

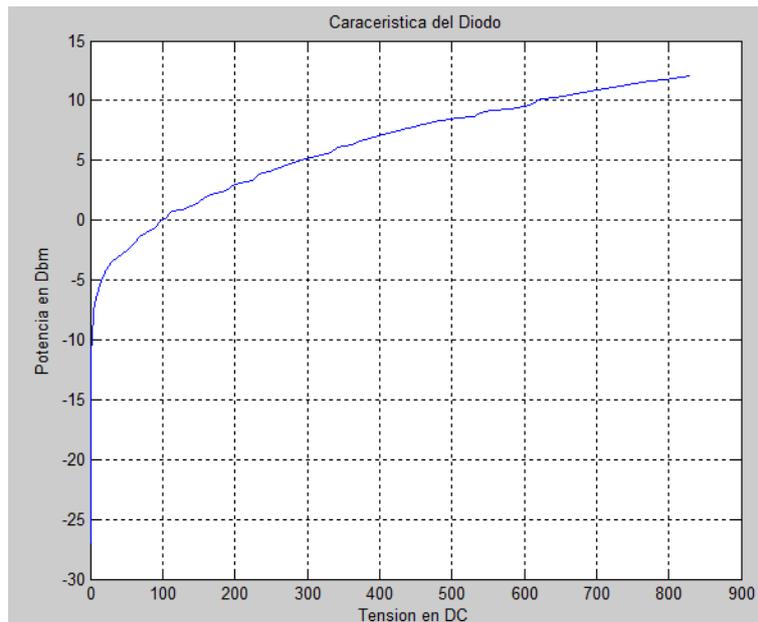


Figura 57. Característica del diodo

Como se observa en la Figura 57 la característica del diodo es bastante lineal después de los 5Dbm, estos datos fueron obtenidos de forma experimental.

Detector ADL5511

Como se pudo ver en la gráfica anterior el diodo funciona muy bien y de forma lineal para potencias superiores a 0dBm. Por tal motivo no es apropiado para la detección de la salida de muchos sistemas bajo prueba, ya que para filtros pasivos tendrían a la salida potencias inferiores a 0dbm, así que se tuvo que diseñar un detector con mayor rango dinámico que sea capaz de detectar valor pequeños menores a 0dbm. El integrado que se verá a continuación es un detector de Vrms capaz de detectar señales de hasta -30dbm de forma lineal.

El ADL5511 emplea una técnica patentada de rectificación al quitar la portadora de una señal de entrada para revelar la envolvente (información) de dicha señal. En esta primera etapa de detección, la frecuencia portadora se duplica y un filtro pasa bajo pasivo de dos polos en el chip conserva con precisión la envolvente y filtra la portadora. Los polos de este filtro, definidos por los filtros RC dentro del chip (0,4 pF, 400 Ohmio, 0,8 pF, 250 Ohm) son valores que permiten filtrado de la señal portadora para frecuencias de RF comunes. Esto es para mantener el máximo ancho de banda para la señal envolvente.

La señal envolvente se procesa adicionalmente en dos canales paralelos, uno calcula el valor RMS de la envolvente y la otra transfiere la envolvente con el escalamiento apropiado a la salida Vemp.

RMS FILTRADO

La frecuencia inferior de filtrado en el chip se establece internamente por una resistencia de 400 Ω y un condensador 20 pF, produciendo una frecuencia de filtrado de aproximadamente 20 MHz. Considerando que la presente filtra todas las frecuencias portadoras, la mayor parte de la envolvente de modulación no se filtra. Para filtrado RMS adecuado, se debe conectar un condensador de filtro externo entre FLT4 (Pin 14) y VPOS (Pin 15). Esta capacidad actúa sobre la resistencia de 400 Ω interna para producir una nueva frecuencia de inferior del filtro de RMS dada por:

$$C_{FLT4} = \frac{1}{(2\pi \times f_{RMS} \times 400 \Omega)} - 20 \text{ pF}$$

Por ejemplo, un condensador de 0,1 nF de alimentación de referencia en FLT4 reduce la frecuencia de corte del cálculo en aproximadamente 4 kHz. El filtrado de RMS tiene un impacto directo en la exactitud del cálculo. Para la detección más precisa, la esquina de filtro eficaz debe ser lo suficientemente baja como para filtrar la mayor parte del contenido de la modulación.

OPERACIÓN debajo de 1 GHz / SOBRE DE FILTRADO

Para hacer funcionar el ADL5511 a frecuencias inferiores a 1 GHz, un conjunto de condensadores externos se debe añadir a los pines de FLT3, FLT2, y FLT1.

Como parte del algoritmo de procesamiento de señal interna, la señal de entrada de RF pasa a través de un filtro de paso bajo que comprende de un resistor 10 K Ω y un condensador 5 pF. Esto corresponde a una frecuencia inferior de aproximadamente 3,2 MHz. Si la frecuencia portadora es menor que aproximadamente diez veces este valor (32 MHz), esta frecuencia de esquina debe ser reducida. El condensador de 5 pF se puede aumentar mediante la conexión de otro condensador adicional con referencia a tierra al pin 3 (FLT1). El valor de la capacidad externa se establece usando la siguiente ecuación:

$$C_{FLT1} = \frac{1}{(2\pi \times f_{3dB} \times 10,000 \Omega)} - 5 \text{ pF}$$

Por ejemplo, un condensador de 100 pF en FLT1 reducirá la frecuencia inferior en 150 kHz. Como pauta general, esta frecuencia de esquina se debe establecer en al menos una décima parte de la frecuencia de la portadora mínimo esperada. Esto asegura una respuesta de frecuencia plana en torno a la frecuencia de interés.

La forma de detección de envolvente de ADL5511 incluye supresión interna de portadora mediante filtrado. Con los pines FLT2 y FLT3 no conectados, dos filtros paso bajo internos 1 GHz y 800 MHz (que operan en serie) suprimen la portadora de RF de la señal de salida.

Las ecuaciones para estos filtros son los siguientes:

$$\frac{1}{(2\pi \times 0.4 \text{ pF} \times 400 \Omega)} \cong 1 \text{ GHz}$$

$$\frac{1}{(2\pi \times 0.8 \text{ pF} \times 250 \Omega)} \cong 800 \text{ MHz}$$

Debido a que el circuito de detección de envolvente incluye un rectificador de onda completa, este filtro tiene que suprimir principalmente la señal al doble de la frecuencia de entrada original.

Calibración del dispositivo y cálculo de error

Debido a que la pendiente (*slope*) y la intersección (*Intersept*) varían de un dispositivo a otro, una calibración debe realizarse para lograr una alta precisión. En general, la calibración se realiza mediante la aplicación de dos o más niveles conocidos de potencia de entrada a la ADL5511 y medir los voltajes de salida correspondientes. Los puntos de calibración se eligen generalmente para estar dentro del rango de funcionamiento lineal del dispositivo. Para una calibración de dos puntos, la ganancia de conversión (o pendiente) y la intersección se calculan para V_{RMS} y V_{ENV} utilizando las siguientes ecuaciones:

$$\begin{aligned} \text{Slope} &= (V_{OUT2} - V_{OUT1}) / (V_{IN2} - V_{IN1}) \\ \text{Intercept} &= V_{OUT1} - (\text{Slope} \times V_{IN1}) \end{aligned}$$

Dónde: V_{IN} es el voltaje de entrada rms a RFIN. V_{OUT} es la salida de voltaje en V_{RMS} o V_{ENV} .

Una vez calculados pendiente y la intersección, una ecuación se puede escribir que permite el cálculo de la intensidad eficaz de entrada o nivel de la envolvente utilizando las siguientes ecuaciones:

$$\begin{aligned} V_{INRMS} &= (V_{RMS} - \text{Intercept}_{VRMS}) / \text{Slope}_{RMS} \\ V_{INENV} &= (V_{ENV} - \text{Intercept}_{VENV}) / \text{Slope}_{VENV} \end{aligned}$$

El error de ley de conformidad, es decir, la diferencia entre el nivel real de entrada (V_{IN_IDEAL}) y el nivel de entrada medido / calculado ($V_{MEASURED}$) de estos cálculos se puede calcular utilizando la siguiente ecuación:

$$\begin{aligned} \text{Error (dB)} &= \\ &20 \times \log [(V_{MEASURED} - \text{Intercept}) / (\text{Slope} \times V_{IN_IDEAL})] \end{aligned}$$

Una vez calibrado el integrado, este está listo para su uso. Se debe tener en cuenta que soporta potencias de hasta 17 DBm y como también tiene un rango de detección en frecuencia desde DC-6GHz lo hace una buena opción a futuro, por ejemplo si se deseara ampliar el rango de análisis.

Diagrama esquemático del ADL5511®

En la Figura 60 se observa el diagrama esquemático del detector, se coloca un condensador de 10 microFaradios en la entrada para poder trabajar a baja frecuencia. Los restantes condensadores de desacople y una resistencia de 75 Ohm en la entrada para adaptar impedancias.

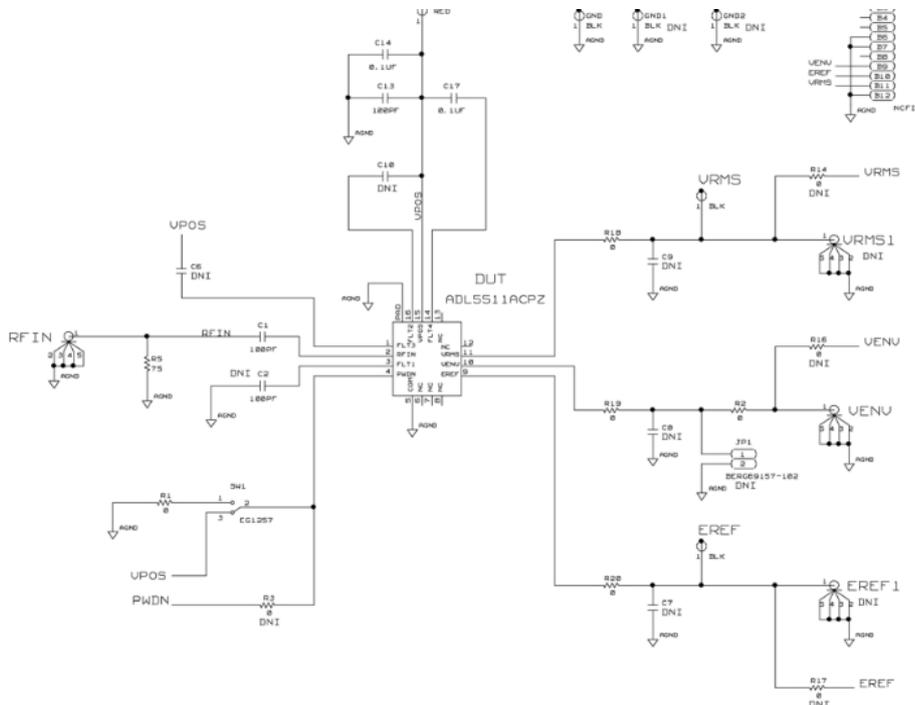


Figura 60. Esquemático del ADL5511®

Circuito Esquemático y PCB de circuito RF

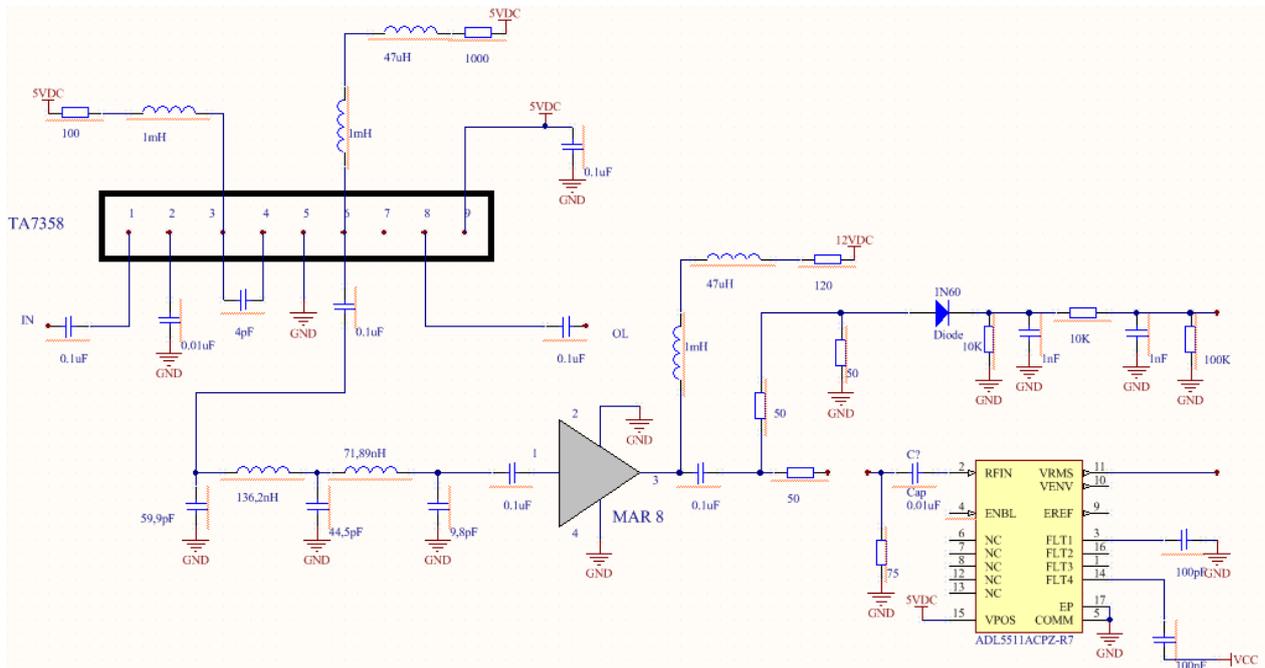


Figura 61. Esquemático de la placa RF

Debido a la complejidad del diseño se realizó el PCB por computadora, se pueden ver en las dos imágenes el *top layer* y el *bottom layer* del PCB. En la derecha está el circuito del detector con el diodo y el del detector con el ADL5511®. En la izquierda está el mezclador del integrado TA7358®, debajo de él se encuentra el filtro de 5to Orden Butterworth para filtrar las frecuencias por arriba de los 100MHz. En el centro se encuentra el amplificador MAR8.

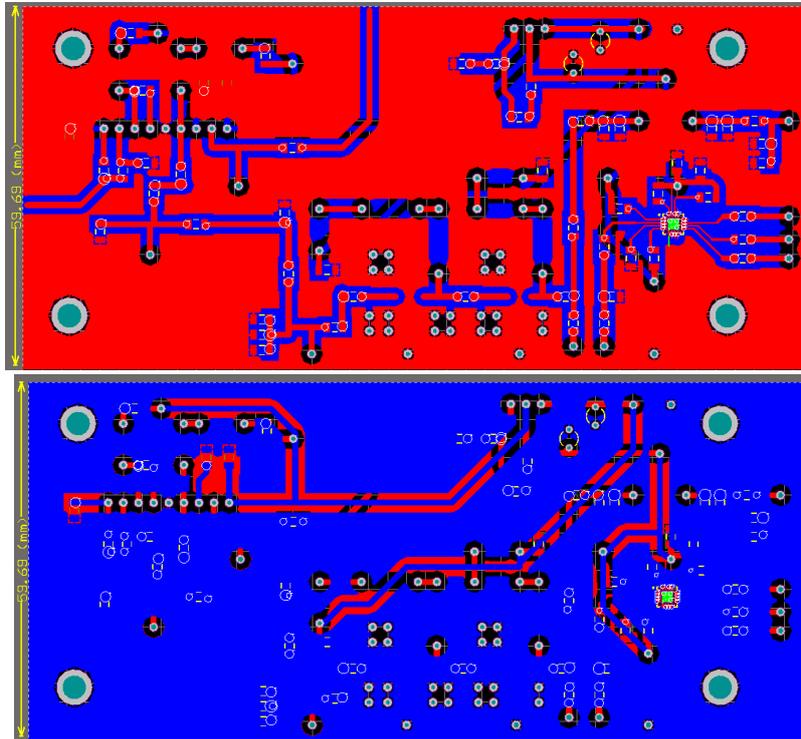


Figura 62. PCB de la placa de RF

2.3.3 Circuito del Microcontrolador

PIC 18F2550

El microcontrolador es capaz de realizar tareas según las instrucciones que se le programen. De acuerdo a un lenguaje determinado, en este caso se usó el lenguaje en C, se envían instrucciones al PIC para que este las realice de acuerdo a un estímulo o simplemente al encenderlo. Para cumplir estas tareas el PIC cuenta con un reloj interno que debe ser configurado tanto internamente como externamente por un oscilador a cristal. A continuación en la Figura 63 se ve la descripción detallada de cada uno de sus pines.

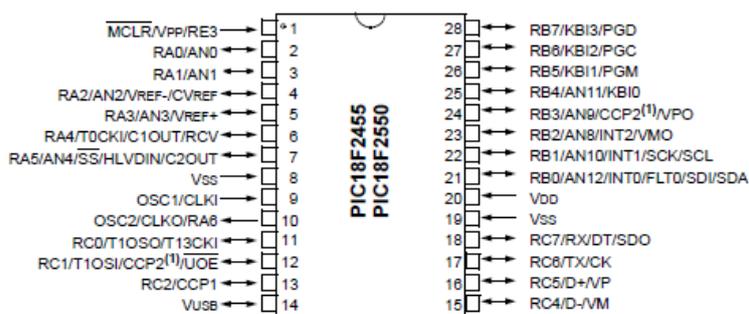


Figura 63. Descripción de pines del microcontrolador 18F2550.

Procesador: microcontrolador de alto rendimiento, multifunciones PIC18F2550-I/SP de 48 Mhz, 28 pines encapsulado DIP, de Microchip.

Arquitectura: Harvard, memoria de código de 16 bits, separada de la memoria de datos de 8 bits. Procesamiento "pipeline".

Tecnología: RISC (*reduced instruction set computer*), con 75 instrucciones.

Puerto USB v2.0: Integrado al microcontrolador. 12 Mb/s

Memoria: 16K posiciones de memoria de 16 bits de FLASH (ó 32 Kbytes), 2 Kb (8 bits) de RAM, 256 Kb (8 bits) de EEPROM.

Autoprogramación de la memoria FLASH: a través del puerto USB, por medio de un firmware bootloader residente.

Puertos digitales: puerto A de 5 bits, puerto B de 8 bits, puerto C de 8 bits un total de 21 bits programables como entradas o como salidas.

Capacidad de salidas: cada bit de salida puede tomar ("sink"), o generar ("source"), hasta 25 miliamperes.

Puertos seriales: USART compatible RS232. SSP Puerto serial síncrono con 2 modos de operación: **SPI** (*Serial Peripheral Interface, modos Master/Slave*) e **I2C** (*Integrated, Integrated Circuit. Modo Slave*)

Temporizadores: 4 temporizadores de 16 bits. Un generador de PWM

Convertidores A/D: 10 canales, con 10 bits de resolución.

Funciones adicionales: power-on reset, brown out reset, power up timer, watch dog, code protection, sleep (bajo consumo).



DIAGRAMA DE BLOQUES 18F2550

Figura 64. Diagrama en bloques 18F2550.

MAX232

El MAX232 es un circuito integrado de Maxim que convierte las señales de un puerto serie RS-232 a señales compatibles con los niveles TTL de circuitos lógicos. El MAX232 sirve como interfaz de transmisión y recepción para las señales RX, TX, CTS y RTS.

El circuito integrado tiene salidas para manejar niveles de voltaje del RS-232 (aprox. ± 7.5 V) que las produce a partir de un voltaje de alimentación de +5V utilizando multiplicadores de voltaje internamente en el MAX232 con la adición de condensadores externos. Esto es de mucha utilidad para la implementación de puertos serie RS-232 en dispositivos que tengan una alimentación simple de +5 V.

Las entradas de recepción de RS-232 (las cuales pueden llegar a ± 25 V), se convierten al nivel estándar de 5 V de la lógica TTL. Estos receptores tienen un umbral típico de 1.3 V, y una histéresis de 0.5 V. La versión MAX232A es compatible con la original MAX232, y tiene la mejora de trabajar con mayores velocidades de transferencia de información (mayor tasa de baudios), lo que reduce el tamaño de los condensadores externos utilizados por el multiplicador de voltaje, 0.1 μ F en lugar del 1.0 μ F usado en el dispositivo original.^[1]

Una versión más nueva de este circuito integrado, el MAX3232 también es compatible con el original, pero opera en un rango más amplio, de 3 a 5.5 V.

El MAX232 es compatible con las versiones de otros fabricantes ICL232, ST232, ADM232, HIN232.

Tipo de línea RS232 y Nivel lógico	Voltaje RS232	Voltaje TTL hacia o desde el MAX232
Transmisión de datos (Rx/Tx) Nivel lógico 0	+3 V a +15 V	0 V
Transmisión de datos (Rx/Tx) Nivel lógico 1	-3 V a -15 V	5 V
Señales de control (RTS/CTS/DTR/DSR) Nivel lógico 0	-3 V a -15 V	5 V
Señales de control (RTS/CTS/DTR/DSR) Nivel lógico 1	+3 V a +15 V	0 V

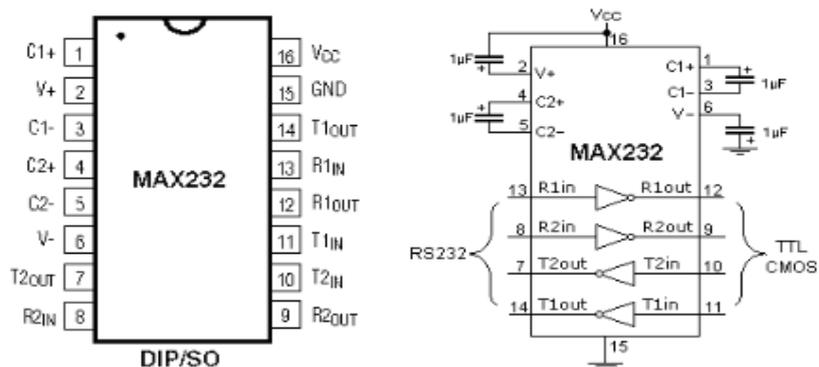


Figura 65. Descripción del circuito interno del MAX232

Diseño en programa de computadora

Debido a la complejidad del diseño se realizó el PCB por computadora, se pueden ver en las dos imágenes el *top layer* y el *bottom layer* del PCB. Se puede observar en el centro de la imagen

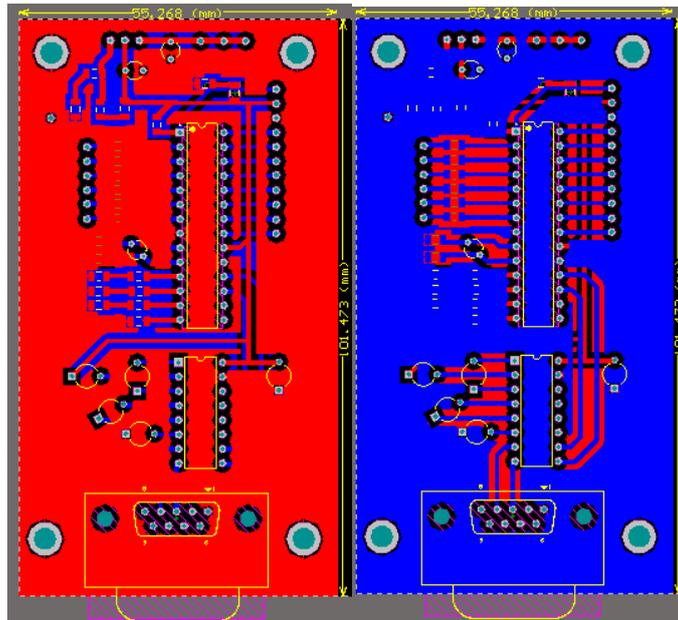


Figura 66. PCB del Microcontrolador

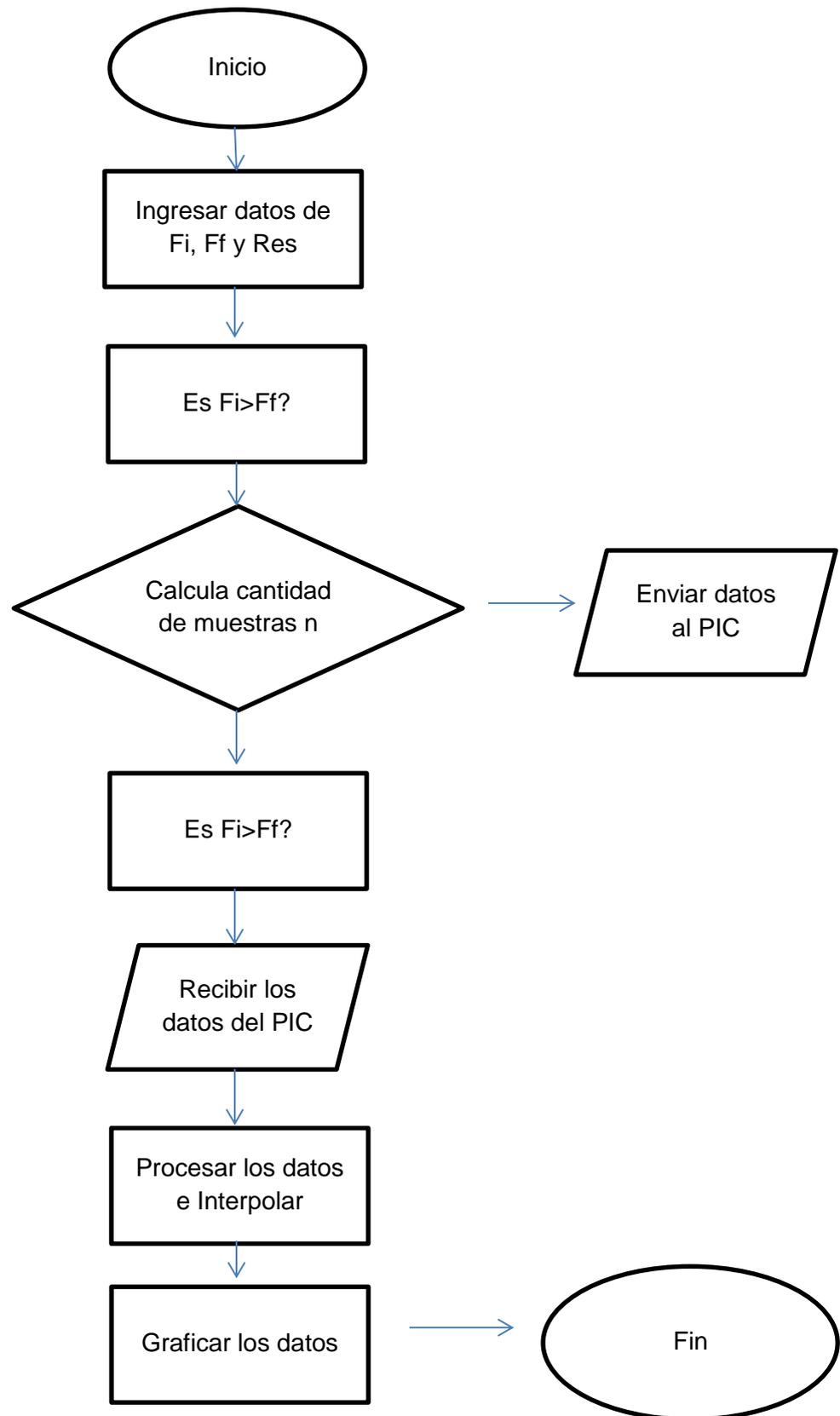
Capítulo 3: Diseño e Implementación del Software

3.1 Introducción

En esta sección se analizará el diseño del software que fue necesario para la realización del proyecto. Se observará en primer lugar la interfaz gráfica realizada en Matlab (GUI) que tiene como fin el control vía computadora del generador y así como también la cantidad de muestras a tomar para el análisis. Luego continuará el programa desarrollado con el PIC 18F2550 con el compilador CCS. El mismo fue diseñado para realizar el enlace la PC y el Generador y además para la toma de muestras por el convertor analógico que tiene el microcontrolador.

3.2 SOFTWARE DE GUI Matlab

El propósito de la interfaz es que el usuario pueda elegir el rango de análisis del circuito bajo prueba o elegir en qué punto se quiere caracterizar dicho circuito. Por tal motivo la interfaz contiene un menú principal donde se da a elegir los dos tipos de análisis disponibles. El primero y más importante, el generador de barrido, donde se realiza un barrido desde una frecuencia inicial y finales definidas por el usuario en un rango de 10 Hz a 100 MHz con 3 opciones de resolución: 1 MHz, 500 KHz y 50 KHz. El segundo genera una señal senoidal en la frecuencia que el usuario seleccione en el rango de 10 Hz a 100 MHz donde se analiza en ese punto la función transferencia del circuito bajo prueba.



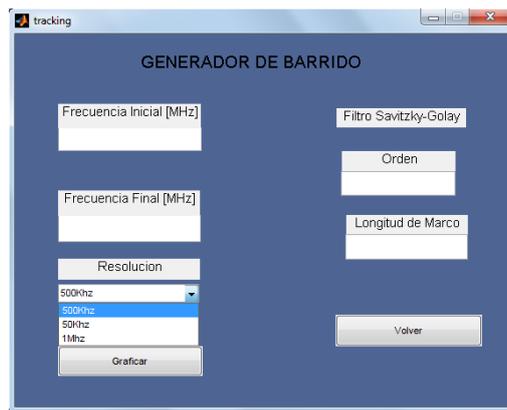
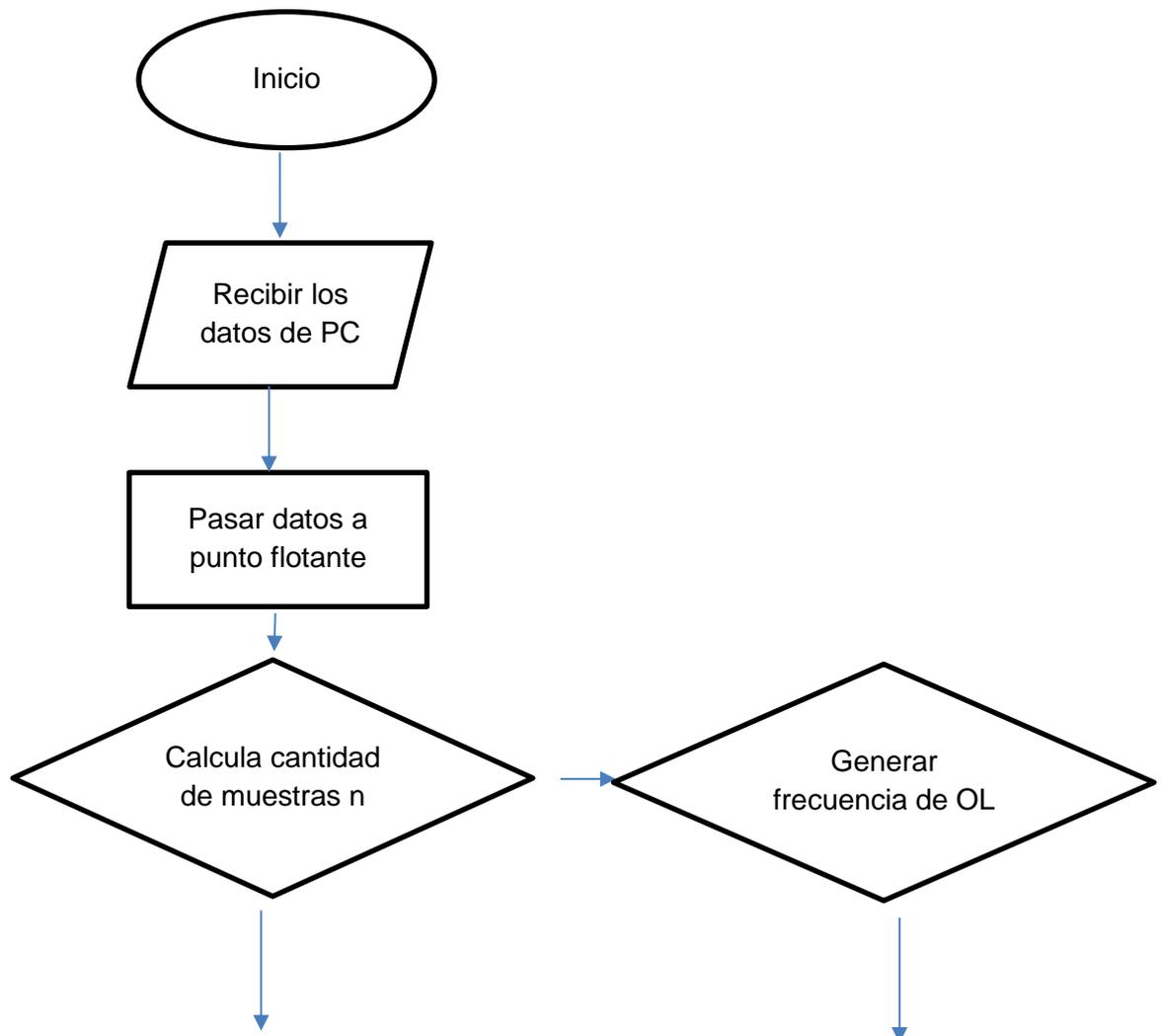


Figura 67. Diagrama de flujo e interfaz del software hecho en Matlab

3.3 SOFTWARE DEL PIC 18F2550

En esta sección se dará lugar al software que utiliza el microcontrolador para recibir datos de la PC y comandar la placa del PLL para la generación de señales senoidales. En un principio el programa recibe 3 bytes de la PC y los guarda en unos registros en la memoria, luego éste los interpreta para saber si se trata de un barrido en frecuencia o si se desea generar el tono para un análisis a una frecuencia discreta. Una vez asignada la tarea, convierte en los pines asignados los registros en formato SPI para que estos puedan ser leídos por el generador PLL.



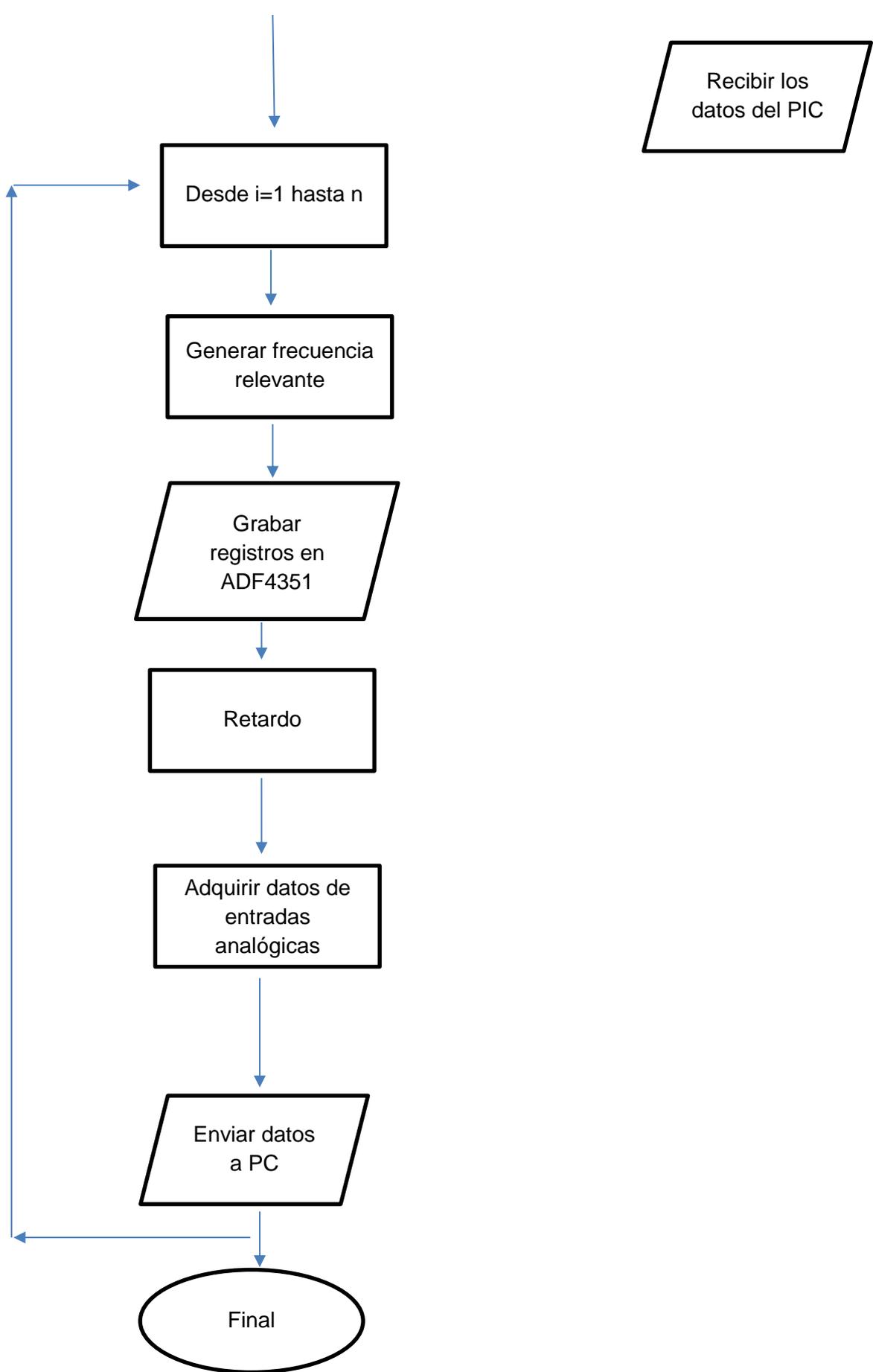


Figura 68. Diagrama de flujo del algoritmo del PIC18F2550.

3.4 Filtrado Savitzky-Golay

El filtro Savitzky-Golay es un filtro digital que puede ser aplicado a un conjunto de puntos de datos digitales con el fin de suavizar los datos, es decir, para aumentar la relación señal-ruido en gran medida sin distorsionar la señal.

Esto se logra, en un proceso conocido como convolución, mediante el ajuste de los sucesivos sub-conjuntos de puntos de datos adyacentes con un polinomio de bajo grado por el método de los mínimos cuadrados lineales. Cuando los puntos de datos están igualmente espaciados, una solución analítica de las ecuaciones de mínimos cuadrados se puede encontrar, en forma de un único conjunto de "coeficientes de convolución" que se pueden aplicar a todos los sub-conjuntos de datos, para dar estimaciones de la señal alisada, (o derivados de la señal suavizada) en el punto central de cada sub-conjunto.

El método, basado en procedimientos matemáticos establecidos, fue popularizado por Abraham Savitzky y Marcel J. E. Golay que publicó tablas de coeficientes de convolución para varios polinomios y tamaños sub-conjunto en 1964. Algunos errores en las tablas se han corregido. El método se ha extendido para el tratamiento de los datos de 2 y 3 dimensiones.

Los datos consisten en un conjunto de n $\{x_j, y_j\}$ puntos ($j = 1, \dots, n$), donde x es una variable independiente y y_j es un valor observado. Se tratan con un conjunto de coeficientes m de convolución, C_i , de acuerdo con la expresión

$$Y_j = \sum_{i=-\frac{m-1}{2}}^{\frac{m-1}{2}} C_i y_{j+i}, \quad \frac{m+1}{2} \leq j \leq n - \frac{m-1}{2}$$

Es fácil de aplicar esta fórmula en una hoja de cálculo. Los coeficientes de convolución seleccionados se muestran en las siguientes tablas. Por ejemplo, para el alisado por un polinomio cuadrático de 5 puntos, $m = 5$, $i = -2, -1, 0, 1, 2$ y el punto de datos j -ésimo suavizado, Y_j , está dada por

$$Y_j = \frac{1}{35}(-3y_{j-2} + 12y_{j-1} + 17y_j + 12y_{j+1} - 3y_{j+2}),$$

Donde, $C_{-2} = -3/35$, $C_{-1} = 12/35$, etc. Existen numerosas aplicaciones de suavizado, que se lleva a cabo principalmente para hacer que los datos parecen ser menos ruidoso de lo que realmente es.

La principal ventaja de esta aproximación es que tiende a preservar características de la distribución inicial tales como los máximos y mínimos relativos, así como el ancho de los picos, que normalmente desaparecen con otras técnicas de promediado (como la media desplazada).

En esta aplicación en articular, este tipo de filtrado sirve para suavizar las lecturas que provienen del microcontrolador ya que éstas poseen tanto ruido de cuantización como también ruido proveniente de la placa de RF y conectores así como también ruidos provenientes de dispositivos electrónicos externos.

Capítulo 4: Mediciones

En este capítulo se verán finalmente los resultados concernientes al armado de las distintas placas, su conexionado y las mediciones pertinentes que se hicieron al final de la etapa de construcción.

En la Figura 69 se puede ver las cuatro placas conectadas entre sí, la placa de en medio es la placa del microcontrolador. Las placas de los extremos son los PLL siendo el de arriba el que adopta la función de Oscilador local y el de abajo el de generador de Barrido. La placa de la derecha corresponde a la placa de RF.

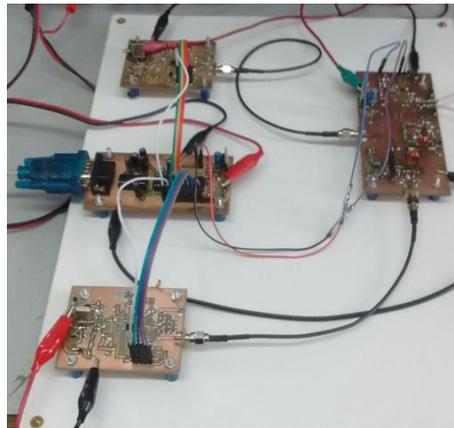
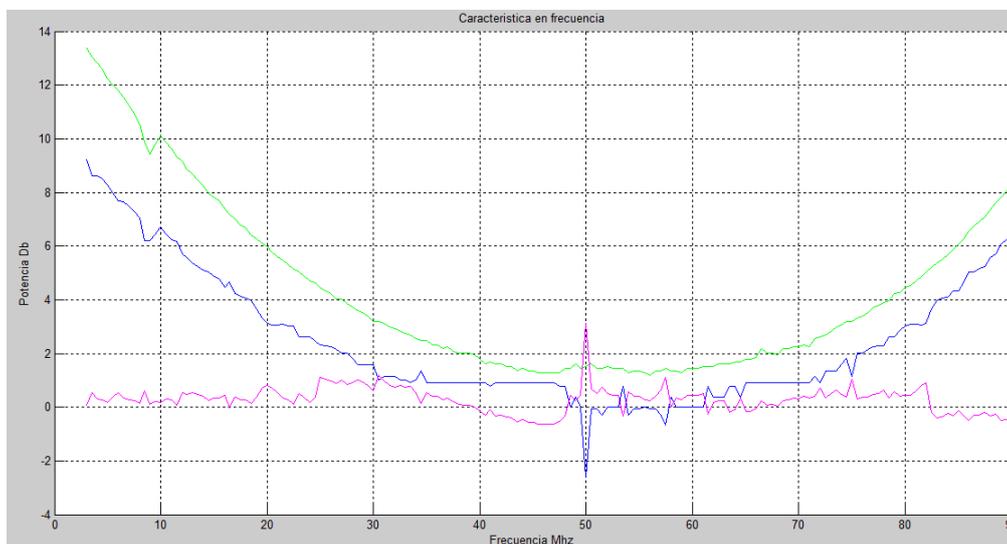


Figura 69. Conexionado de placas

4.1 Calibración

Para realizar las primeras mediciones se debe antes calibrar el instrumento. Esto se realiza simulando un circuito directo entre la entrada y salida del sistema bajo prueba, esto debiera dar una transferencia unitaria que corresponde a una recta horizontal en la coordenada de 0 Db. Lo que se observa en la Figura 70 es el resultado de dicha medición adquirida con MATLAB®, la primera es la medición adquirida sin el filtro digital Savitzky-Golay y la otra corresponde a la medición ya filtrada.



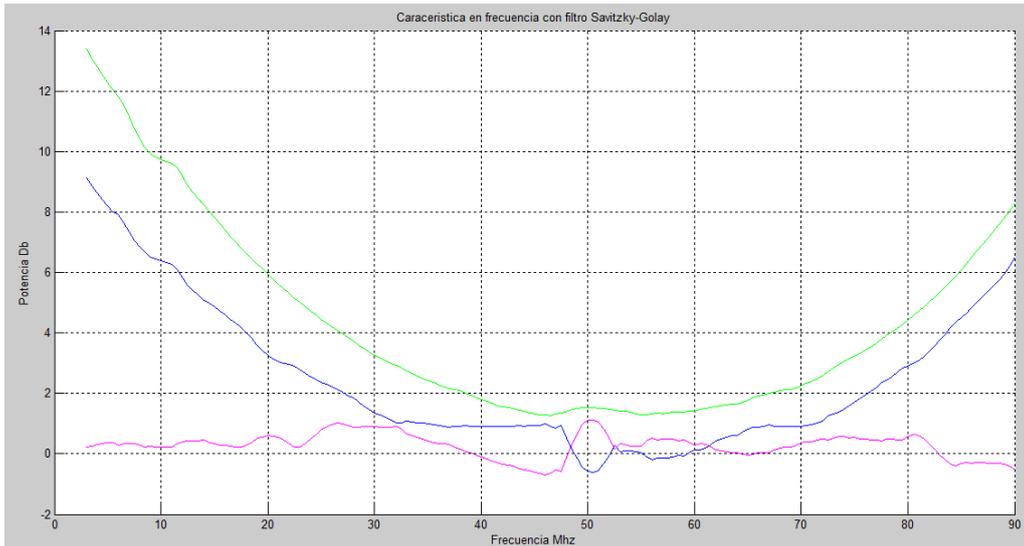


Figura 70. Calibración de instrumento

La curva azul corresponde a los valores de potencia de entrada al sistema bajo prueba (estos son adquiridos por el detector de Diodo). La curva verde corresponde a la salida del sistema adquirido por el detector de True RMS ADL5511®. La curva Magenta es el resultado de la resta entre la salida y la entrada del sistema bajo prueba (respuesta en frecuencia del filtro), como se observa está por encima de la recta de 0Db por tanto para calibrar el instrumento por software se restara 1Db a toda la medición en todo el rango de frecuencias.

4.2 Medición de filtro paso bajos

Ahora se realiza la misma medición pero en vez de utilizar una conexión directa se conectara un filtro pasa bajos de 9° orden con una frecuencia de corte en 50MHz. En la Figura 71 se observa la curva de respuesta en frecuencia obtenida a partir del analizador de espectro, esto se hace para poder comparar el rendimiento del sistema construido con el instrumento comercial.



Figura 71. Medición realizada con Analizador de espectro.

Finalmente se procede a realizar la medición con el prototipo construido. En la primera imagen de la Figura 68 se observa en color magenta la respuesta en frecuencia del sistema bajo prueba. En la misma se observa el decaimiento de amplitud de manera abrupta a partir de 50MHz. En la segunda imagen aparece en color magenta la misma curva pero esta se ve afectada por el filtro Savitzky-Golay.

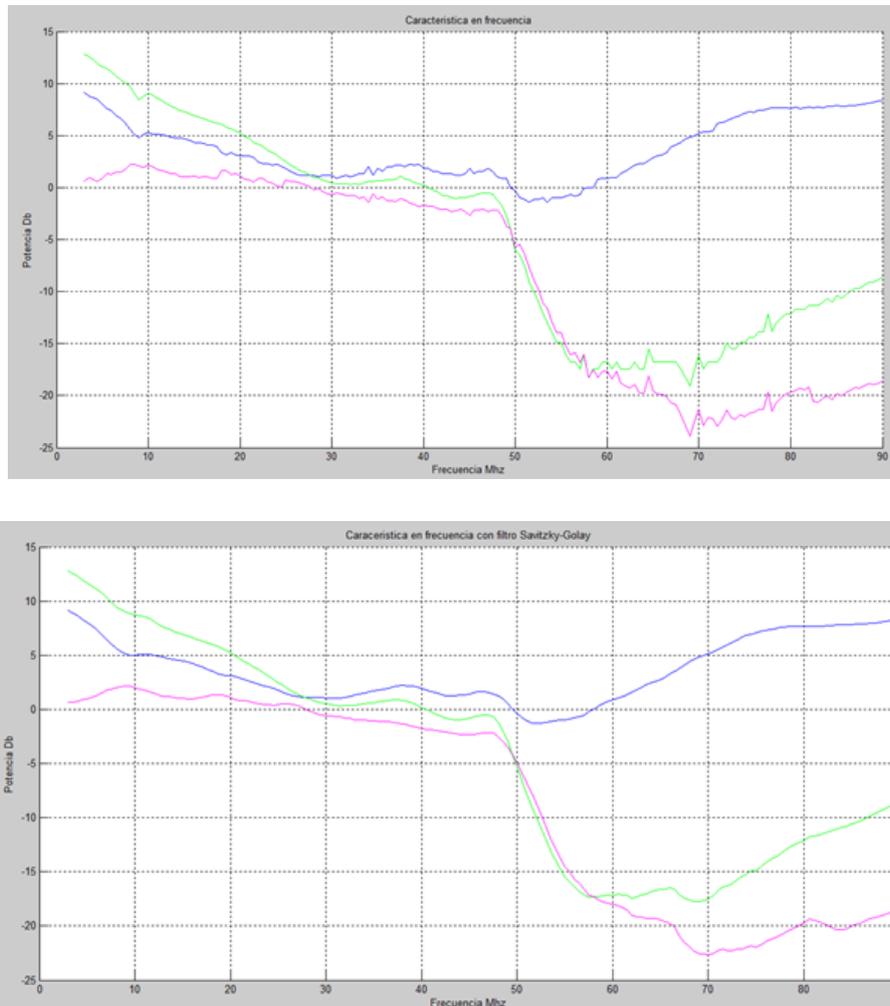


Figura 72. Curva obtenida con el prototipo

Capítulo 5: Conclusiones

Observando las mediciones del capítulo anterior podemos realizar conclusiones en cuanto al comportamiento del prototipo tanto al momento de su calibración así como en la medición experimental del filtro paso bajos de 50 MHz.

Al realizar la medición en corto circuito se puede ver que ambas curvas tanto la azul como la verde (curvas correspondientes a la entrada y la salida respectivamente) tienen un decaimiento que se empieza a partir de unos pocos MHz (1 a 10Mhz aproximadamente) dando un valor de potencia mínimo detectado en 50MHz. Luego a partir de ese punto empieza a subir nuevamente el nivel de potencia detectado lo que indica que la intensidad en la señal salida del mezclador no es constante con la frecuencia y esto puede representar un problema a la hora de hacer mediciones en ese rango de frecuencia.

Hay que notar que se utilizaron dos topologías distintas para la detección de señales. La primera siendo el detector con el diodo 1N60 el cual varia su nivel de potencia detectada para un nivel de entrada fijo (esto se debe tanto a la variación en frecuencia que se someta el diodo así como la temperatura de funcionamiento) lo cual no lo hace muy confiable para mediciones de precisión además del hecho que no posee gran rango dinámico de potencia a detectar (como vimos en la curva del diodo este es poco útil para potencias de entrada menores a 0Dbm).

Aun así al momento de calibrar el instrumento se pudo obtener una curva resultante bastante horizontal con el inconveniente de que está un poco por encima de los 0Db (transferencia unitaria debido al cortocircuito). Una de las cosas que se aprende al estudiar ingeniería es que “error conocido no es error” por tanto con una simple ecualización en esta etapa reduce la desviación de cualquier medición con el valor real.

En el caso de la segunda medición con el filtro paso bajos se pueden ver a simple vista inconsistencias si es que se compara con la imagen obtenida del analizador de espectro (Figura 71). En primer lugar la banda de paso no es estrictamente horizontal, este se puede justificar por los conectores utilizados para unir los bornes del prototipo con el filtro a medir. Por tal motivo este error no es sistemático ya que dependiendo del conector utilizado esto producirá un efecto distinto sobre la medición (lo ideal sería eliminar este tipo de error o transformarlo a un error de tipo sistemático para su posterior ecualización).

Luego en la banda de atenuación (mayor a 50 MHz) se observa con claridad que no sigue bajando la respuesta del sistema sino que se estanca en un cierto rango y luego vuelve a subir de manera muy suave, esto se lo podemos adjudicar al detector ADL5511® ya que este detecta el valor RMS de todo el espectro hasta 6GHZ por ende si existe un remanente de alguna señal o ruido en la el rango superior a 100Mhz este es detectado por el mismo modificando la medición real.

Aun así el proyecto construido realizo de manera exitosa su cometido ya que se pudo medir la respuesta en frecuencia de un filtro con una atenuación abrupta en la frecuencia de corte con una buena calidad de medición y que conociendo las fuentes de error estas pueden ser eliminadas o atenuadas para mejorar la calidad.

El integrado ADF4351 se comportó según lo esperado sin mayores complicaciones. Esto se debió a que este cuenta con un software de simulación que permite corregir cualquier error en el funcionamiento. Asimismo, existe la posibilidad de generar una misma frecuencia de varias maneras con tan solo unas modificaciones en el software de programación del integrado.

Existen varias mejoras que se pueden realizar al prototipo que surgieron a lo largo de la construcción del mismo. Cada una de ellas le otorga más funcionalidad y calidad en la medición, por tanto serán enumeradas a continuación:

1. Reemplazar el detector de diodo por un detector integrado como el ADL5511® u otro de forma tal que se elimine el error proveniente del diodo utilizado 1N60®.
2. Analizar la posibilidad de reemplazar el detector ADL5511® por otro de mayor rango dinámico. Existen circuitos integrados que funcionan como detectores logarítmicos (por ejemplo AD8302® con un rango de hasta 2.7GHz y con 60 dB de rango dinámico) que no solo tienen mayor rango de detección sino también tienen la capacidad de detectar variaciones de fase por lo que se podría agregar a la respuesta de magnitud en frecuencia la posibilidad de medir variación de la fase con la frecuencia. De esta manera se podría construir un instrumento que reemplace al Voltímetro Vectorial.
3. Reemplazar el mezclador TA7358® ya que existen otros circuitos integrados de la familia Analog Devices® (como por ejemplo el mezclador AD831® el cual tiene un ancho de banda de 500Mhz con bajo nivel de ruido y buena ganancia de conversión).
4. Modificar el filtro pasa bajos de 5° orden Butterworth para poder eliminar de manera más eficaz cualquier señal que supere los 100Mhz. Tal vez un filtro de 9° orden sea apropiado para tal tarea en donde se puedan conseguir valores comerciales de inductores de forma tal de conseguir un filtro sin desviaciones con una frecuencia de corte marcada en 100Mhz.
5. Utilizar un microcontrolador con un conversor analógico digital con mayor número de bits de resolución (el actual microcontrolador PIC18F2550® es de 10bits dando una resolución $3.3V/2^{10}=3.2mV$) para reducir el error de cuantización en la medición.
6. Realizar una ecualización más detallada cuando se esté calibrando el dispositivo ya que esta es una etapa muy importante a la hora de poner a prueba la calidad de medición y su repetitividad.
7. Modificar la interfaz creada en Matlab® para agregarle un módulo para calcular la ganancia/atenuación en una frecuencia específica.
8. La última mejora sería realizar un diseño integral del prototipo en un mismo PCB para reducir cualquier distorsión proveniente del conexionado de placas y asegurando una adaptación del sistema en 50 Ohm. Además se podría utilizar un solo generador para alimentar la placa reduciendo el ruido proveniente de las distintas fuentes.

Como conclusión final se puede determinar que el prototipo tiene mucho potencial para lograr un instrumento económico (en comparación con los ya existentes en el mercado), versátil (debido a las distintas funciones que puede realizar el equipo) y muy interactivo debido a la interfaz creada por software. El prototipo se comportó mejor de lo esperado y una de las ventajas “inesperadas” es que el mismo puede ser modificado para ampliar el rango de análisis (utilizando la salida auxiliar del canal A del ADF4351® desactivando por software el canal principal para poder realizar un barrido en frecuencia en valores superiores a los 100MHz) con unos agregados al circuito detector lo cual lo hace muy atractivo a la hora de reemplazar a un analizador de espectros comercial.

Apéndice A

Teoría de Mezcladores

Un mezclador idealizado se muestra en la figura, es un dispositivo activo o pasivo que convierte una señal de una frecuencia a otra (Figura 1). O bien puede modular o demodular una señal. Cuenta con tres conexiones, que se denominan puertos en el lenguaje de los ingenieros de radio. Estos tres puertos son la frecuencia de radio de entrada (RF), el oscilador local (LO) de entrada, y el intermedio (IF).

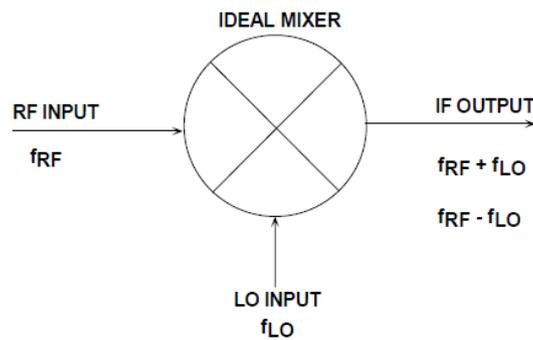


Figura 1A. Diagrama de un mezclador ideal.

Un mezclador toma una señal de entrada de RF a una frecuencia f_{RF} , lo mezcla con una señal LO a una frecuencia de f_{LO} , y produce una señal de salida IF que consiste en la suma y la diferencia de frecuencias, $f_{RF} \pm f_{LO}$. El usuario proporciona un filtro de paso de banda que sigue a la mezclador y se selecciona la suma ($f_{RF} + f_{LO}$) o diferencia ($f_{RF} - f_{LO}$) de frecuencia.

Algunos puntos a tener en cuenta acerca de mezcladores y su terminología:

- Cuando se utiliza la frecuencia suma como el IF, el mezclador se llama un convertidor elevador; cuando se utiliza la diferencia, el mezclador se llama un convertidor reductor de frecuencia. El primero se utiliza típicamente en una canal de transmisión, esta última en un canal de recepción.
- En un receptor, cuando la frecuencia de LO está por debajo de la RF, se denomina lado de baja inyección y el mezclador un convertidor descendente del lado de baja; cuando el LO es por encima de la RF, se llama lado alto inyección, y el mezclador un convertidor descendente del lado de Cada una de las salidas es sólo la mitad de la amplitud (un cuarto de la potencia) de las entradas individuales; por lo tanto, hay una pérdida de 6 dB en este mezclador lineal ideal. (En un multiplicador práctico, la pérdida de conversión puede ser mayor que 6 dB, dependiendo de los parámetros de escala del dispositivo. Aquí, suponemos un multiplicador matemático, al no tener atributos dimensionales).

Un mezclador puede implementarse de varias maneras, usando técnicas activas o pasivas. Lo ideal sería, para cumplir con el bajo nivel de ruido, un mezclador con alta linealidad como objetivo por lo cual se necesitaría algún circuito que implemente la función de conmutación en respuesta a la entrada LO. Por lo tanto, la mezclador se puede reducir a la Figura A2, que muestra la señal de RF está dividido en componentes - fase en (0°) y anti- fase (180°); un interruptor de cambio, impulsado por el oscilador local de señal (LO), selecciona alternativamente las señales en fase y en oposición de fase. Así reducido a lo esencial, el mezclador ideal puede ser modelado como un conmutador de signo.

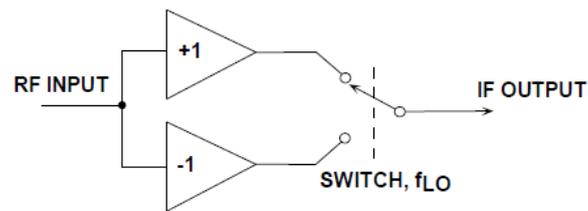
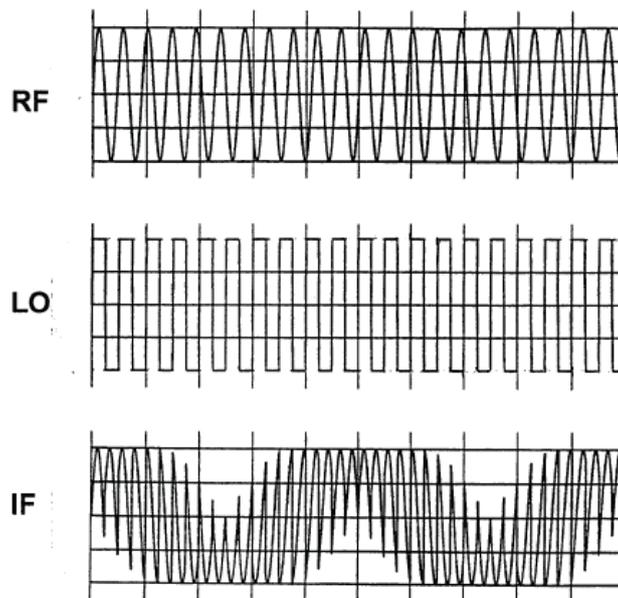


Figura 2A. Mezclador ideal

En una realización perfecta, este mezclador no tendría ningún ruido (el interruptor tendría cero resistencia), no hay límite a la amplitud máxima de la señal, y no se desarrollaría intermodulación entre las distintas señales de RF. Aunque el concepto es simple, la forma de onda en la salida de frecuencia intermedia (IF) puede ser muy complejo, incluso para una pequeña número de señales en el espectro de entrada. La Figura 3 muestra el resultado de mezclar sólo una entrada única a los 11 MHz con un LO de 10 MHz. La señal IF en la diferencia de frecuencia de 1 MHz es todavía visible en esta forma de onda, y la suma de 21 MHz es también evidente. ¿Cómo vamos a analizar esto? Todavía tenemos un producto, pero ahora es la de una senoide (la entrada RF) a ω_{RF} y una variable que sólo puede tener los valores +1 o -1, es decir, una onda cuadrada unidad a ω_{LO} . Los este último se puede expresar como una serie de Fourier:

$$S_{LO} = \frac{4}{\pi} \{ \sin\omega_{LO}t - \frac{1}{3} \sin 3\omega_{LO}t + \frac{1}{5} \sin 5\omega_{LO}t - \dots \}$$



$$S_{IF} = \frac{2}{\pi} \{ \sin(\omega_{RF} + \omega_{LO})t + \sin(\omega_{RF} - \omega_{LO})t + \text{harmonics} \}$$

Figura 3A. Grafica con el resultado de la mezcla de dos señales.

El más importante de estos componentes armónicos se esbozan en la figura siguiente, para el caso particular utilizado para generar la forma de onda se muestra en la Figura 4A, es decir, $f_{RF} = 11 \text{ MHz}$ y $f_{LO} = 10 \text{ MHz}$. Debido al factor $2 / \pi$, un mezclador tiene una inserción mínima 3,92 dB pérdida (y figura de ruido) en ausencia de cualquier ganancia.

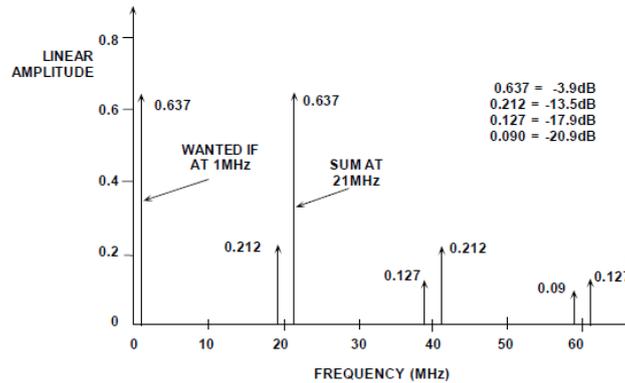


Figura 4A. Espectro en frecuencia del resultado de una mezcla de señales.

Se debe tener en cuenta que el mezclador (conmutación) ideal tiene exactamente el mismo problema de frecuencia imagen $\omega_{LO} - \omega_{RF}$ como el mezclador de multiplicación lineal. La frecuencia imagen es un tanto sutil, ya que no se muestra inmediatamente en el espectro de salida: es una respuesta latente, en espera de la ocurrencia de la frecuencia "equivocada" en el espectro de entrada.

Mezclador con anillo de diodos

Durante muchos años, la topología de mezclador más común para aplicaciones de alto rendimiento tiene sido el mezclador de anillo de diodos, una forma de que se muestra en la Figura 5A. Los diodos, que puede ser la unión de silicio, silicio-Schottky o de arseniuro de galio, proporcionan la acción de conmutación esencial. No necesitamos analizar este circuito con gran detalle, pero la nota de paso, que la señal de LO tiene que ser bastante alta (a menudo una fracción sustancial de un watt) a fin de garantizar que la conducción del diodo es lo suficientemente fuerte como para alcanzar bajo ruido y para permitir que las señales grandes que pueden convertir sin linealidad espuria excesiva. Debido a la naturaleza altamente no lineal de los diodos, las impedancias en los tres puertos están mal controladas, dificultando la adaptación de impedancia. Además, no hay acoplamiento considerable entre los tres puertos; esto, y la alta potencia necesaria en el puerto LO, hacen que sea muy probable que habrá algún componente de la (altamente distorsionada) de la señal LO acoplado de vuelta hacia la antena. Finalmente, será evidente que un mezclador pasivo como este no puede proporcionar una ganancia de conversión; en el escenario idealizado, habrá una pérdida de conversión de $2 / \pi$ [Como Eq. muestra 4-4], o 3,92 dB. Un mezclador práctico tendrá mayores pérdidas, debido a las resistencias de los diodos y las pérdidas en los transformadores.

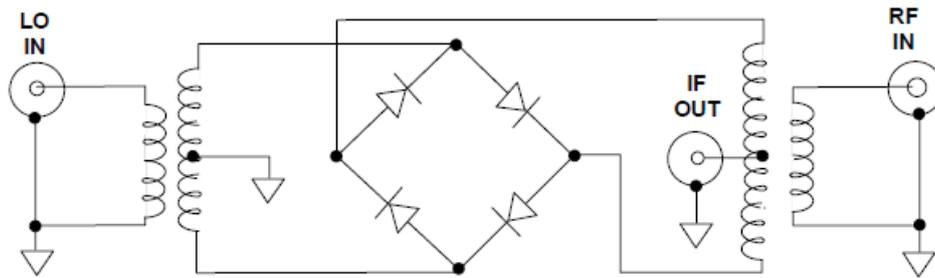


Figura 5A. Diagrama esquemático de un mezclador pasivo con puente de diodos.

Los usuarios de este tipo de mezclador están acostumbrados a juzgar las capacidades de manejo de señal por una calificación de nivel. Por lo tanto, un mezclador de Nivel-17 necesita +17 dBm (50 mW) de LO duro y pueden manejar una entrada de RF de hasta +10 dBm (± 1 V). Un mezclador típico de esta clase sería el Mini-Circuits EMBR-1H, cubriendo 2 MHz a 500 MHz, con una pérdida de inserción nominal de 6,25 dB (8,5 dB como máximo), el peor de los casos el aislamiento LO-RF de 20 dB y un peor de los casos LO-SI aislamiento de 22 dB (estas cifras para una frecuencia LO de 250 MHz a 500 MHz). Incluso el más costoso de los mezcladores de anillos de diodos tienen requisitos de potencia de accionamiento similares, pérdidas altas y alta el acoplamiento del puerto LO. A mediados de los años sesenta, fue descubierto que los cuatro diodos podrían ser sustituidos por cuatro transistores para realizar esencialmente la misma función de conmutación.

Esto formó la base del circuito bipolar ahora-clásico muestra en la Figura 6, que es una configuración mínima para la versión totalmente equilibrado. Millones de estos mezcladores se han hecho, incluyendo variantes en CMOS y GaAs. Nos limitaremos nuestra discusión a la forma BJT, un ejemplo de los cuales es el Motorola MC1496, que, aunque bastante rudimentario en la estructura, tiene sido un pilar en diseños de receptores semi-discretos durante unos 25 años.

El mezclador activo es atractivo por las siguientes razones:

- Puede ser monolíticamente integrado con otro sistema de circuitos de procesamiento de señales.
- Puede proporcionar ganancia de conversión, mientras que un mezclador de anillo de diodo tiene siempre una pérdida de inserción.
- Se requiere mucha menos energía para impulsar el puerto LO.
- Proporciona un excelente aislamiento

Funcionamiento básico del mezclador activo

A diferencia de la mezcladora de anillo de diodos, que realiza la función de conmutación de polaridad de inversión en el dominio de tensión, el mezclador activo realiza la función de conmutación en el actual dominio. Así, el núcleo de mezclador activo (a través de los transistores Q3 Q6 en la Figura 6) debe ser impulsado por señales en modo actual. El convertidor de voltaje a corriente formado por Q1 y Q2 recibe la señal de RF de modo de voltaje en sus terminales de base y la transforma en una par diferencial de corrientes en sus colectores.

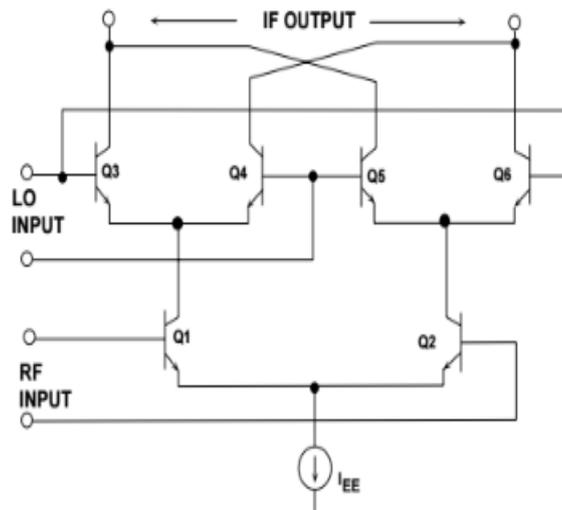


Figura 6A. Circuito esquemático de un mezclador activo.

Un segundo punto de diferencia entre el mezclador de anillo y el mezclador activo, es que el mezclador activo responde sólo a la magnitud de la tensión de entrada, no a la potencia de entrada; es decir, el mezclador activo no se corresponde a la fuente. Mediante la alteración de la corriente de polarización, I_{EE} , la transconductancia del par de entrada Q1- Q2 se puede ajustar en un amplio intervalo. El uso de esta capacidad, un mezclador activo puede proporcionar una ganancia variable.

Un tercer punto de diferencia es que la salida (en los colectores de Q3-Q6) está en la forma de una corriente, y se puede convertir de nuevo a una tensión en algún otro nivel de impedancia al utilizado en la entrada, por lo tanto, puede proporcionar más ganancia. Mediante la combinación de las dos corrientes de salida (Típicamente, utilizando un transformador) esta ganancia de voltaje se puede duplicar.

En pocas palabras, sin embargo, el funcionamiento es el siguiente. En ausencia de cualquier voltaje la diferencia entre las bases de Q1 y Q2, las corrientes de colector de estos dos transistores son esencialmente iguales. Por lo tanto, un voltaje aplicado a la entrada LO resulta en ningún cambio de corriente de salida. Debe estar presente una pequeña tensión de *offset* en la entrada de RF (por una pequeña falta de coincidencia en las áreas de emisor de Q1 y Q2), esto sólo dará lugar a una pequeña realimentación de la señal LO a la salida de IF, que será bloqueada por el primer filtro IF.

Por el contrario, si se aplica una señal de RF al puerto de RF, pero no se aplica ninguna diferencia de voltaje a la entrada LO, de nuevo se equilibrarán las corrientes de salida. Una pequeña tensión de *offset* (debido ahora desajustes de los emisores de Q3-Q6) puede causar un poco realimentación de señal de RF a la salida IF; como antes, esta será rechazada por los filtros de FI. Es sólo cuando se aplica una señal tanto a la RF y LO que aparece una señal en la salida; por lo tanto, el término doble mezclador equilibrado o balanceado.

Mezcladores activos pueden realizar su ganancia en otra forma: Las redes de adaptación utilizados para transformar una fuente de 50 Ω a la (por lo general) alta impedancia de entrada del mezclador proporciona una transformación de impedancias y así la ganancia de tensión debido a la impedancia se eleva. Por lo tanto, un mezclador activo que tiene pérdida, cuando la entrada es terminada en 50 Ω puede tener "ganancia" cuando se utiliza una red de adaptación de entrada.

Teoría PLL

El PLL es un sistema de realimentación negativa que tiene como función principal generar una señal de salida con enganche de fase a la de la señal de referencia de entrada. Con el fin de lograr esto, su frecuencia de salida debe ser igual a la de la frecuencia de referencia de entrada, o igual a una múltiplos (N) veces la frecuencia de referencia. El diagrama de bloques básico de un PLL se muestra en la figura 7 que consiste en un detector de fase (PD), filtro de bucle o lazo (LF), Oscilador controlado por tensión (VCO) y el divisor de realimentación (N). Como puede verse a partir de este diagrama de bloques, tanto la referencia de entrada (ϕ_{ref}) y retroalimentación (ϕ_{fb}) se aplican a PD. La realimentación de la señal puede ser vista como la señal generada a partir de la salida del VCO (ϕ_{out}) dividida por un factor de N, dependiendo de los requisitos de aplicación final. El papel de la PD es entonces para generar una señal de salida cuya media es proporcional a la variación de fase (error de fase) existente entre las dos señales de entrada.

Este valor medio se extrae por el LF para ser detectado por la línea de control del VCO (V_{ctrl}) que obliga al VCO para ajustar su frecuencia de salida hasta que el error (idealmente) de fase cero está presente en la entrada a la PD. En este punto, se dice que el PLL está “enganchado” en la fase y la frecuencia de la referencia de entrada.

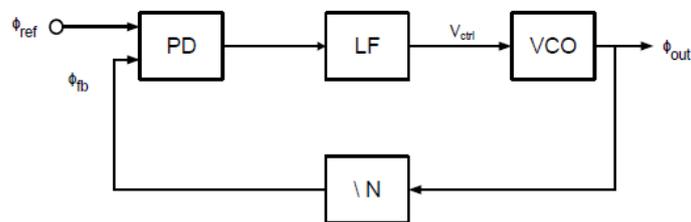


Figura 7A. Lazo realimentado de un PLL.

El funcionamiento PLL se puede dividir en las dos regiones siguientes:

- Rango Pull-in ($\Delta\omega_H$): Esto representa el margen de error de frecuencia de entrada (ω_e) dentro de que el PLL siempre se enganchará. Los rangos de error de frecuencia fuera de este rango pull-in no podrán estar en estado de enganche.
- Rango Lock-in ($\Delta\omega_L$): Esto representa el margen de error de frecuencia de entrada (ω_e) dentro de que el PLL se engancha dentro de una iteración del bucle. El funcionamiento del PLL es generalmente restringido a dentro de esta región.

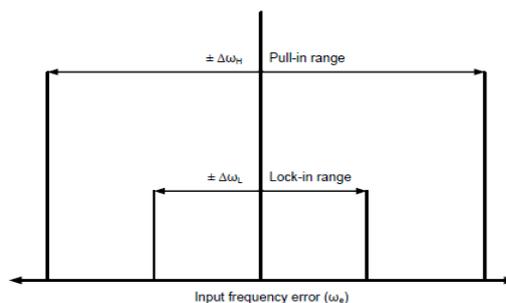


Figura 8A. Rango de enganche y de captura de un PLL.

Categorías PLL

El PLL se puede dividir en 3 categorías: el PLL analógico (APLL), PLL digital (DPLL) y el PLL totalmente digital (ADPLL). El APLL y DPLL comprenden muy similar arquitecturas que sólo difieren en la arquitectura del detector de fase.

PLL Digital o DPLL

El DPLL emplea un PD que consta de puertas lógicas con todos los otros bloques restantes similar a la APLL. Existen varias opciones de PD para este tipo de PLL.:

EXOR PD

La aplicación de la señal de referencia y la realimentación a la entrada de una compuerta XOR constituye el tipo más simple de DPLL. Este tipo de PD es una mejora a un PD multiplicador como su ganancia es independiente de las amplitudes de señal de entrada. Sin embargo, sólo puede detectar errores de fase entre $= \pi/2$ rads resultando en pequeños rangos de bloqueo en donde detección de la frecuencia no es posible, que conduzcan a los tiempos de pull-in prolongados. Los rangos de *pull-in* también dependen de la arquitectura de LF.

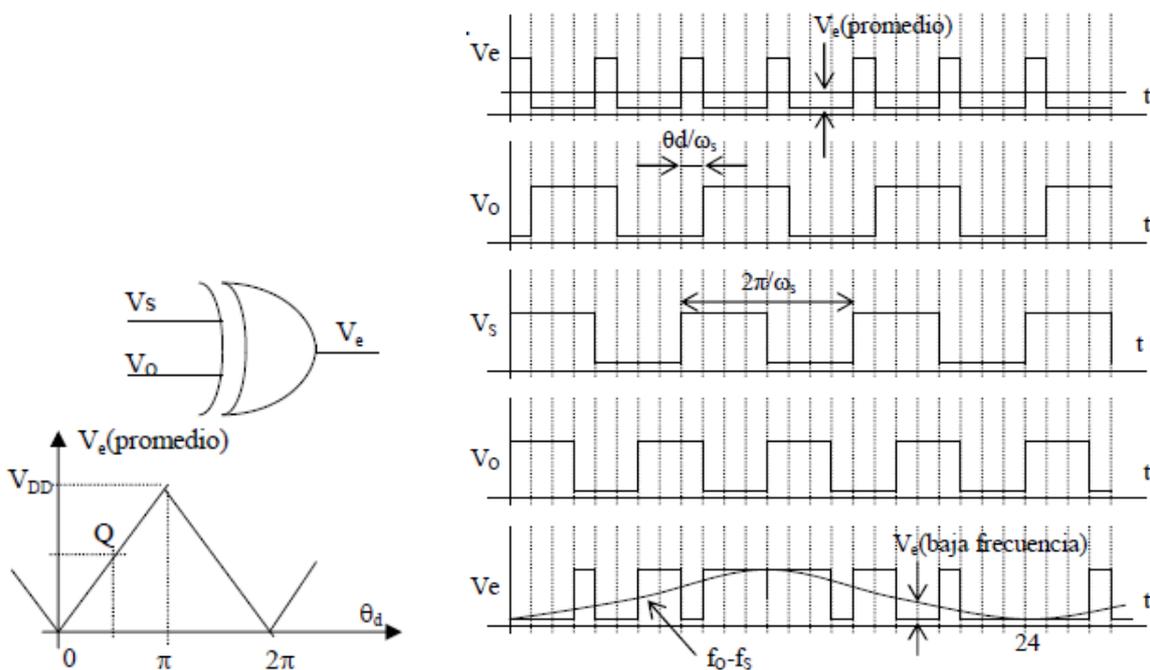


Figura 9A. Diagramas temporales de la compuerta EXOR.

$$V_e = k_d \cdot \theta_d$$

$$\theta_d = \theta_s - \theta_o$$

$$k_d = \frac{V_{DD}}{\pi}$$

La puerta XOR es un comparador de desigualdad, cuando sus entradas tienen niveles lógicos distintos la salida es alta. Es sensible a los cambios del ciclo de trabajo (duty cycle). Da un valor de continua estable para armónicos de la señal de entrada, posibilitando que el PLL sincronice con armónicos.

PD con flip flop JK (disparado por flanco)

Se puede realizar un segundo PD mediante la aplicación tanto de la referencia de entrada y señales de realimentación a las entradas de un flip-flop JK. Como el detector anterior con compuertas EXOR, la ganancia del flip-flop JK es independiente de las amplitudes de las señales de entrada, aunque a diferencia de la EXOR PD este detector puede detectar los errores de fase entre $+\pi$ rads que conducen a un aumento de los rangos de *lock-in*. La detección de frecuencia no es posible con los rangos de *pull-in* dependientes de la arquitectura del filtro LF.

Detector de frecuencia fase (PFD)

El PFD es fundamentalmente diferente a los anteriores PD, además de detección de fase, sino que también proporciona detección de frecuencia. El diagrama de bloques de un PFD básica se ilustra en la figura:

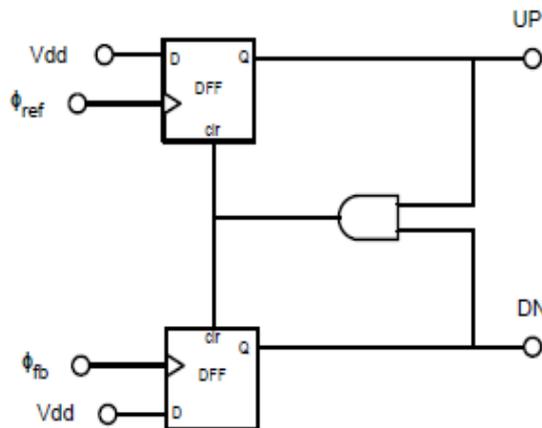


Figura 10A. Diagrama en bloques del detector de fase/frecuencia.

Se muestra el PFD constituido en flip flops tipo D (DFFs) y una compuerta lógica AND. Las dos entradas de los DFFs se colocan en estado alto con la referencia de entrada y señales de realimentación aplicada a las entradas de reloj. Las salidas de los DFFs se denotan como " arriba" y " DN " (hacia abajo) y están conectados a través de la puerta AND de nuevo a las entradas de reposición de la DFFs. Esto se describe en la siguiente tabla de verdad de la operación:

UP	DN	state
0	0	Z
0	1	-1
1	0	+1
1	1	X

Como se observa en la Tabla1, la operación de puesta a cero inhibe el estado final de ese modo que se produzca permitiendo el PFD se comporte como un dispositivo de tres estados. Es este comportamiento de los tres estados que es fundamental para el PFD atractivo sobre el EXOR o JK PD utilizando cuándo UP = DN = 0 la salida del PFD se encuentra en un estado de alta impedancia. Desde esta salida está conectada a la LF, el LF puede tener por lo tanto una salida finita cuando su entrada es 0, haciendo que se comporte como un integrador ideal. Los integradores ideales exhiben ganancia infinita en DC y así dado que el rango de enganche es directamente proporcional a la ganancia LF en DC, con ello se consigue rangos ideales de enganche con independencia de la arquitectura LF:

$$\Delta\omega_P \rightarrow \infty$$

Además, el comportamiento de tres estados también logra detección de frecuencia. Para ver cómo, supongamos que la frecuencia de referencia de entrada es mayor que la frecuencia de realimentación es decir $W_{ref} > W_{fb}$. Esto obliga a que el PFD para alternar entre los estados 0 y 1, el incrementando cada vez más el tiempo en el estado 1 de $W_{ref} \gg W_{fb}$ y nunca entrar en el estado -1. Supongamos ahora que la frecuencia de referencia de entrada es menor que la frecuencia de realimentación es decir $W_{ref} < W_{fb}$. Esto obliga a que el PFD para alternar entre los estados 0 y -1, incrementando cada vez más el tiempo en el estado -1 para $W_{ref} \ll W_{fb}$ y nunca entrar en el estado 1. A medida que la salida varía monotonamente con el error de frecuencia es por lo tanto capaz de la detección de frecuencia. Esta es una característica atractiva, ya que reduce en gran medida el tiempo pull-in.

Trazando el valor medio de salida de PFD (UPFD) contra el error de fase de entrada (ϕ_e) revela su característica de transferencia, como se muestra en la Figura 11.

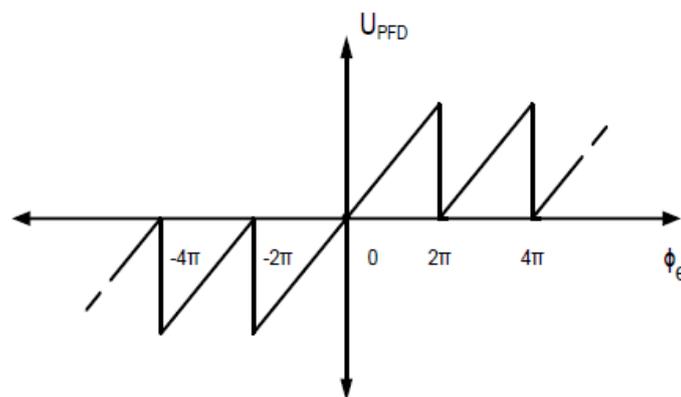


Figura 11A. Grafica con la transferencia del PFD.

La característica de transferencia de la PFD en la Figura 11 se ve que es altamente no lineal. Como el error de fase aumenta de 0 a 2π , las características se envuelve alrededor de sí mismo creando así una forma de onda periódica de período 2π . Como resultado, el PFD es capaz de detectar la fase de entrada errores dentro de la gama:

$$-2\pi < \phi_e > 2\pi$$

Bomba de carga- PLL (CP- PLL)

Sabemos de la sección anterior que el PFD demuestra la elección óptima para la PD ya que proporciona (idealmente) en rangos de *pull-in* infinitos con independencia de la arquitectura LF, con tiempos de pull-in reducidos e intervalos de fijación extendida. Cuando se coloca en un PLL, sus estados lógicos de salida deben ser convertidos en señales analógicas para controlar el VCO. Esta es la función de la bomba de carga (CP), que siempre acompaña el PFD en un PLL para formar un PFD - CP, como se muestra en la figura:

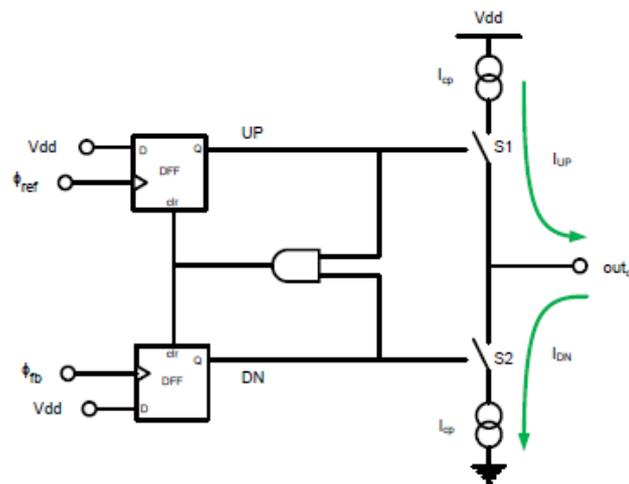


Figura 12A. Detector de fase/frecuencia con bomba de carga.

El CP se muestra en la figura siguiente sólo tiene una salida de ese modo a la que califico de "CP de una sola terminal". Se compone de una fuente de corriente, sumidero de corriente y dos interruptores con las entradas conectadas directamente a las salidas de la PFD.

Los interruptores de control de la corriente de CP (ICP), en donde es originada o descargada en proporción al error de fase de entrada. La corriente se entrega a través de S1 que es controlada por la salida "UP" de la PFD. Esta corriente se denomina fuente de ese modo la "corriente arriba" (IUP) con S1 denominada el "interruptor UP". La corriente se descarga a través de S2 que es controlada por la salida "DN" de la PFD. Esta corriente se denomina de esta manera "corriente DN" (IDN), con S2 denominado el "interruptor DN".

Las corrientes UP y DN deben ser respectivamente definidas por una fuente de corriente y de sumidero de corriente para su mantenimiento constante con el fin de lograr un rendimiento de bucle deseable

En la figura anterior, S1 y S2 se muestran como dispositivos ideales. Sin embargo, en la práctica, estos son realizados con dispositivos MOSFET cuyo comportamiento no es tan ideal. La resultante CP de sola terminal se muestra en la figura siguiente, en la que se realizaron UP (S1) y DN (S2) con interruptores PMOS (M1) y los dispositivos NMOS (M2), respectivamente.

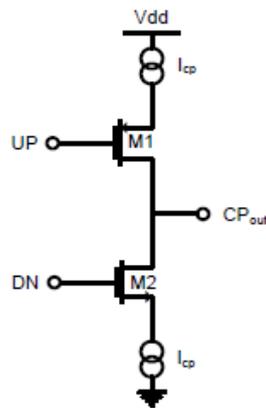


Figura 13A. Bomba de carga con transistores PMOS.

El comportamiento no ideal de estos interruptores prácticos se presenta debido a la capacitancia ahora vista en las salidas de PFD. Esto está dominado por las capacidades de gate de entrada de M1 y M2 que deben ser cargadas hasta antes de la formación de una capa de inversión y el encendido de los MOSFETs. Esto produce un tiempo de activación finito de los interruptores que puede crear problemas para la detección de pequeños errores de fase de entrada. Pequeños errores de fase de entrada hacen pulsos de corta duración en las salidas de PFD, cuyas duraciones de pulso pueden ser insuficiente para encender los interruptores y abastecer o consumir la corriente proporcional requerida. Tales errores de fase de entrada pequeña pueden por lo tanto no detectarse lo cual conduce a una zona muerta de la operación:

$$-\phi_{dz} \leq \phi_e \leq +\phi_{dz}$$

En el que el error máximo de fase de entrada no detectada se representa como ϕ_{dz} . Afortunadamente, debido a los tiempos de propagación finitos dentro del PFD, el mismo emite pulsos de corta duración a una frecuencia W_{ref} cuando el PLL está en estado de “enganche”(es decir, en estado estacionario). Entendiéndose que la duración de estos pulsos de estado estacionario son mayores que los tiempos de encendido de los interruptores, los interruptores estarán encendidos para cualquier error presente de fase de entrada. Por lo tanto, esta zona muerta indeseable puede ser eliminada si el siguiente se adhiere a:

$$t_{pfd} > t_{on}$$

Donde la duración de anchos de pulso en estado estacionario PFD y el tiempo de activación del interruptores CP están representados por t_{pfd} y t_{on} , respectivamente. Esto se logra en la práctica por la inserción de un retraso (la cadena de inversores) con el tiempo de propagación igual a la t_{on} , en el camino de reposición del PFD. Por tanto, esta modifica el diagrama de bloques PFD - CP a su más implementación realista en la Figura 13, en el que el bloque de retardo se representa como t_{on} .

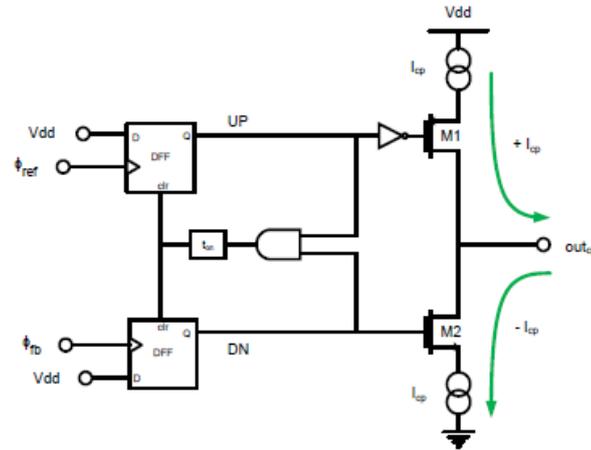


Figura 14A. Detector de fase/frecuencia real.

Como se puede ver en la Figura 14, un inversor se inserta después de la entrada de la puerta AND y conectado a la puerta de M1. Este inversor se puede insertar en cualquiera de las líneas de entrada de PC y simplemente se requiere para lograr un comportamiento equivalente entre los dos interruptores. Cuando se coloca en un PLL, el PFD -CP el sistema se convierte en un PLL de bomba de carga (CP- PLL) cuya diagrama de bloques se muestra en la Figura 15.

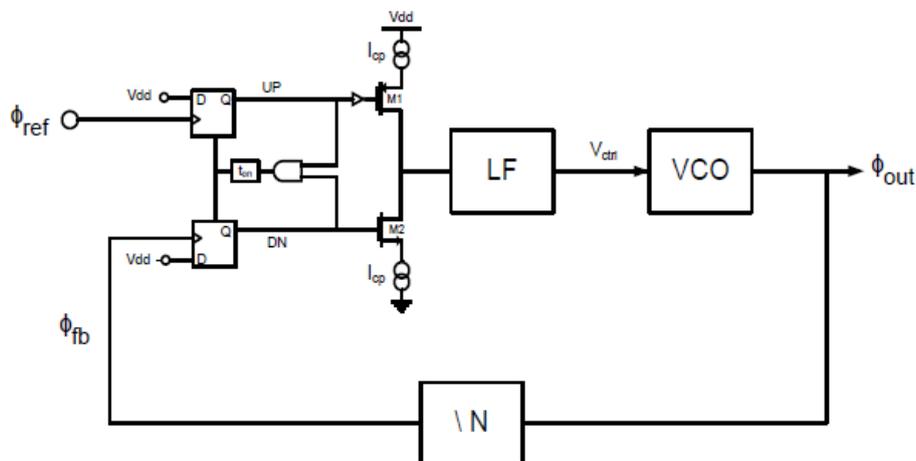


Figura 15A. Lazo PLL con el detector de fase/frecuencia.

Cuando el PFD detecta un error de fase (y frecuencia) entre la entrada de referencia (ϕ_{ref}) y la señal realimentada (ϕ_{fb}), emite pulsos UP / DN (+ 1 / -1 estados) en proporción al error inicial, obligando a la CP a actuar de fuente o sumidero de corriente (I_{cp}) en consecuencia. Como la media de esta salida contiene información sobre el error de entrada, esta tiene que ser extraída por el LF que, al hacerlo, también la convierte en una tensión que ingresa directamente por la línea de control del VCO (V_{ctrl}). Esto entonces hace que el VCO alterar su frecuencia de salida hasta que la señal de salida del PLL (ϕ_{out}) es igual a un múltiplo entero (N) veces la frecuencia de referencia de entrada, en otras palabras - hasta el PLL se engancha. Esta operación se resume en la siguiente tabla:

	UP	DN	M1	M2	I_{cp}	V_{ctrl}	ϕ_{out}	ϕ_{fb}
$\phi_{ref} > \phi_{fb}$	1	0	ON	OFF	+ive	increase	increase	
$\phi_{ref} < \phi_{fb}$	0	1	OFF	ON	-ive	decrease	decrease	

Suponiendo que la LF se comporta como un integrador ideal (es decir, ganancia infinita en DC), el rango de pull-in para el CP - PLL es como se ha definido $\Delta\omega \rightarrow \infty$. En realidad, sin embargo, las corrientes de fuga dentro de la LF lo fuerzan a comportarse menos ideal, por lo tanto mostrando una ganancia de DC finita. Esto reduce el rango de pull-in a:

$$\Delta\omega_P \approx \sqrt{K_{DC}K}$$

Donde la ganancia de DC del PLL y el ancho de banda del bucle PLL se representa por KDC y K respectivamente. Aunque representa una reducción del caso ideal, el rango de pull-in sigue siendo muy grande, comunmente los rangos prácticos pull-in son más limitados por el rango de frecuencia de salida del VCO. Debido a su rendimiento superior sobre otros DPLLs, el CP- PLL es la arquitectura de PLL más comúnmente aplicada en la industria hoy en día.

PFD-CP

Este es el bloque más no lineal del PLL debido a las características de transferencia no lineales del PFD.

Si los errores de fase de entrada se limitan a dentro del rango definido por el PFD-CP puede ser visto como un bloque lineal. Debido a su naturaleza de conmutación, el PFD-CP también es variable en el tiempo. Sin embargo, si la entrada señales son periódicas (o cerca de periodicidad), y el estado del PLL sólo cambia después de un número de ciclos de entrada de la señal de referencia, entonces el PFD-CP puede ser visto como invariante en el tiempo largo de la duración de estos ciclos. Esta primera limitación de invariancia en el tiempo básicamente requiere que el PLL se enganche o esté cerca de este estado de tal manera que las señales de entrada son periódicas o cerca de la periodicidad. La segunda restricción requiere la velocidad de actualización del bucle a ser menor que la la frecuencia de referencia de entrada de tal manera que el PLL se actualiza sólo después de cada número de ciclos de referencia de entrada. La velocidad de actualización de un PLL se demuestra que es representada por el ancho de banda de bucle PLL (K) que permite que la segunda limitación para ser más contenida cuando:

$$K \ll W_{ref}$$

Por lo tanto, aunque el PFD-CP es un bloque variable en el tiempo no lineal, en virtud de lo anterior puede ser visto como un bloque LTI. A raíz de esto, su función de transferencia puede ser:

$$H_{PFD-CP}(s) = \frac{I_{cp}}{2\pi}$$

VCO

El VCO es el bloque primario de RF de un PLL y, por tanto, uno de los más difíciles de diseño, su trabajo es producir una variación de frecuencia ($\omega_{out}(t)$) en respuesta a una tensión de control aplicada (V_{CTRL}). Suponiendo que esta respuesta será lineal, transferencia puede ser ilustrada como se muestra:

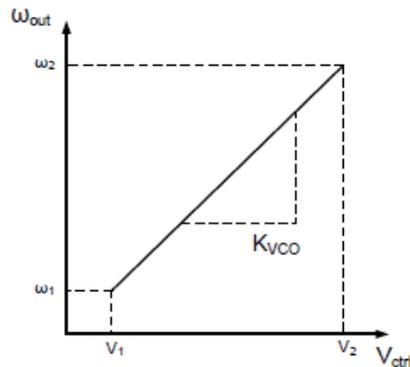


Figura 16A. Característica del VCO.

La pendiente de esta gráfica (K_{VCO}) es la ganancia del VCO es decir, el cambio de frecuencia por voltio, que a partir de la Figura 16A se ve como:

$$K_{VCO} = \frac{\omega_2 - \omega_1}{V_2 - V_1}$$

Usando esto, la salida del VCO se define como:

$$\omega_{vco}(t) = \omega_a + K_{VCO} V_{ctrl}(t)$$

Donde ω_a es la frecuencia del VCO oscila a cuando no hay tensión de control es decir, cuando $V_{CTRL}=0V$.

K_{VCO} es no lineal en la práctica, sin embargo, para los efectos de derivar las características de transferencia de VCO que asumen K_{VCO} lineal, entonces el VCO se puede ver como un bloque lineal. La salida del VCO no depende explícitamente del tiempo, por tanto se lo considera invariante en el tiempo. Por lo tanto, bajo el supuesto de un K_{VCO} lineal, el VCO se puede ver como un bloque LTI con función de transferencia:

$$H_{VCO}(s) = \frac{K_{VCO}}{s}$$

A partir de la ecuación anterior se desprende inmediatamente que el VCO tiene ganancia de DC infinita, por lo tanto, se comporta como un integrador ideal, con un polo que ocurre a 0 rads / s.

Realimentación del Divisor

El divisor de realimentación es inherentemente lineal e invariante en el tiempo y con la función de transferencia simplemente como:

$$H_{FB}(s) = \frac{1}{N}$$

Características generales de Transferencia

El PLL es un sistema de retroalimentación negativa que, puede ser visto como un sistema LTI.

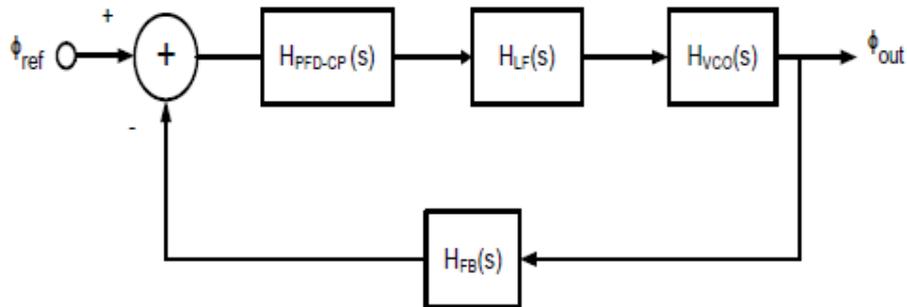


Figura 17A. Transferencias del PLL con transformada de Laplace

$$H_{ol}(s) = H_{PFD-CP}(s) H_{LF}(s) H_{VCO}(s) H_{FB}(s)$$

$$H_{ol}(s) = \frac{K_{VCO} I_{cp} F(s)}{2\pi N s}$$

$$H_{cl}(s) = \frac{(I_{cp}/2\pi)F(s)(KVCO/s)}{1 + KVCO I_{cp} F(s)/2\pi N s}$$

Estas son las dos ecuaciones fundamentales de PLL, juntas describen el comportamiento general de un PLL. Ya que son intuitivas y fáciles de utilizar, se prestan fácilmente al diseño práctico del PLL equipan a los diseñadores con todas las herramientas necesarias para evaluar parámetros de un PLL. Las características de transferencia en bucle abierto están dadas por las ecuaciones anteriores

Tipo de un PLL

El tipo de un PLL es un término tomado de la teoría de control y se refiere al número de integradores dentro del bucle. Sabemos que el VCO contribuye uno integrador para el bucle y así todos los PLL será al

menos de tipo 1. Como se muestran anteriormente, el comportamiento de los tres estados de un PFD permite que el LF exhibir (idealmente) una ganancia infinita en DC (Independientemente de la arquitectura LF).

Esto contribuye un segundo integrador al bucle de ese modo elevando su tipo a 2. Como este segundo integrador conduce a (idealmente) a un rango de pull-in infinito, que es deseable disponer de este, y así los PLL de alto rendimiento son generalmente de tipo 2. Aunque existen tipo 3, que son mucho menos comunes con el tipo 4 siendo un extremo rareza. El objetivo de esta tesis es el tipo 2 PLL.

Orden de un PLL

El orden de un PLL se refiere al número de polos dentro del bucle, es decir, el orden del polinomio del denominador (polinomio característico) de su función de transferencia en lazo cerrado (o bucle abierto). Sabemos que el VCO contribuye a uno de los polos del bucle y por lo que todos los PLL serán al menos de primer orden. Además, el comportamiento de los tres estados de un PFD obliga a la LF a comportarse como un integrador contribuyendo de este modo a un segundo polo el bucle y el aumento de su fin de 2. Por lo tanto, por las razones discutidas anteriormente, todos los PLL de alto rendimiento son al menos de segundo orden

Estabilidad

La estabilidad es el criterio de diseño más importante para un PLL y se determina en gran parte por la LF. Por lo tanto, con el fin de diseñar el LF, la estabilidad debe ser precisa y los criterios para el control completamente comprendidos. Seguido a esto, una decisión informada sobre la arquitectura óptima LF se puede hacer, en donde se puede insertar su función de transferencia resultante en las características de lazo abierto y en lazo cerrado para determinar completamente el comportamiento general de la PLL.

Arquitecturas de filtro paso bajos

Los filtros paso bajos (LF) pueden ser pasivos o activos, con este último se consume más energía y por lo tanto es menos comúnmente encontrado en la práctica. Como tal, esta tesis se centra únicamente en LF pasivos. La comprensión más intuitiva de un LF pasivo es la de un único condensador (C_1) colocado en paralelo a la salida de CP, como se muestra en la Figura 18.

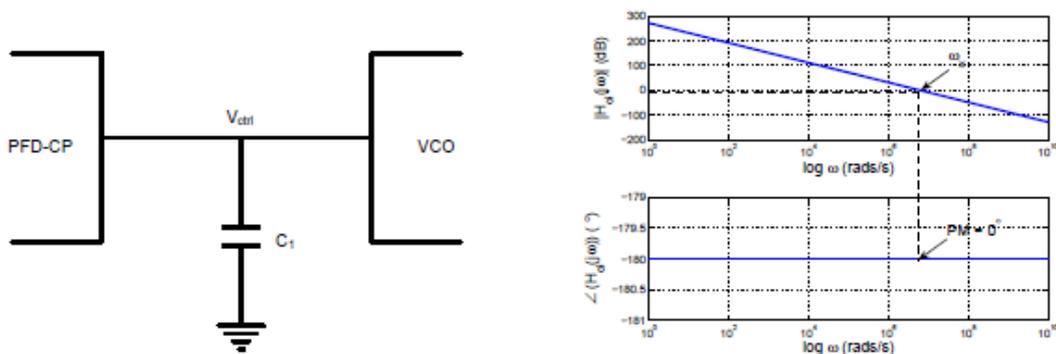


Figura 18A. Filtro paso bajos con un condensador.

El condensador (C1) contribuye un polo (p1) a 0 rads/s y así, dado que no se produce ningún cero, el filtro se denomina filtro de primer orden pasivo. La colocación de un filtro de este tipo en un PLL da por resultado un sistema de dos polos (es decir, un PLL de segundo orden), ya que el VCO ya aporta un polo, con los dos polos que se producen a 0 rads/s tenemos un tipo 2. Como no existen ceros esto significa que Fase [H(jw)]= -180° cuando |H(jw)|=1. En otras palabras, Fase [H(jw)] = -180° en la ganancia frecuencia de cruce o dicho de forma más sucinta, Fase [H(jwx)]= -180°. De acuerdo con, esta arquitectura es, por lo tanto inestable que se puede ver fácilmente en el lazo abierto respuesta de la Figura 18 donde PM=0. Margen de fase se puede aumentar mediante la adición de un cero (Z1) para inducir un cambio de fase tal que la Fase [H(jwx)] =/- 180° rads. El PM resultante:

$$PM = 180^\circ + \tan^{-1} \left(\frac{\omega_x}{\omega_{z1}} \right)$$

Donde Wz1 representa la frecuencia que se produce en z1. La introducción de z1 se logra en la práctica mediante la colocación de una resistencia (R1) en serie con C1, como se muestra en la siguiente figura:

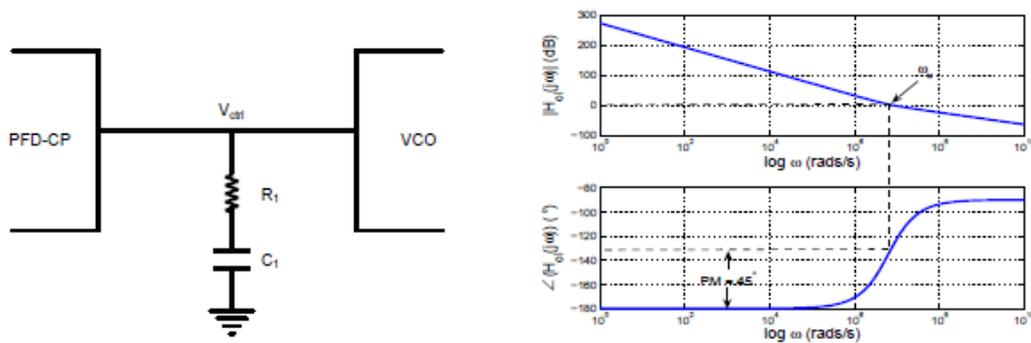


Figura 19A. Filtro pasa bajos con resistencia y condensador.

Como z1 induce un desplazamiento de fase, el LF resultante se denomina un orden primer filtro de retardo-adelanto pasivo. Análisis de su función de transferencia muestra z1 a producirse con una frecuencia de nida por:

$$Wz1 = 1 / R1C1$$

Los valores de los componentes para R1 y C1 deben ser elegidos cuidadosamente para asegurar que Wz1 se produce a una frecuencia que asegura que la Fase [H(jwx)] =/- 180° logrando bajos tiempos de establecimiento. Ajustar Sz1 a una frecuencia muy baja (<<K) debe evitarse ya que los PMs grandes (> 60) aumentarán los tiempos de establecimiento. Wx es igual a la anchura de banda de bucle (K) y por lo que un buen punto de partida es fijar Wz1 = K, así se alcanza un PM de 45°.

La resistencia (R1) será sin embargo inducirá picos de voltaje de magnitud IcpR1 en la línea del control del VCO que lleva a frecuencias espurias en la salida del VCO. Estos pueden ser reducidos mediante la colocación de un segundo condensador (C2) en paralelo con C1, se muestra en la Figura 20.

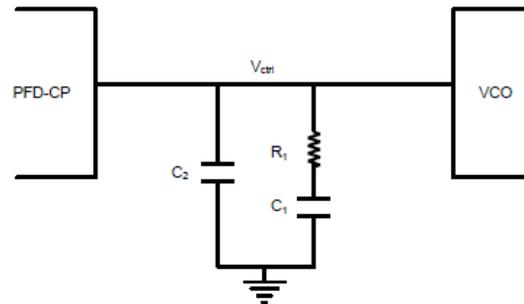


Figura 20A. Filtro pasa bajo completo de un PLL.

El condensador (C2) se agrega un segundo polo (p2) a la LF haciendo así como de segundo orden con la función de transferencia:

$$H_{LF}(s) = \frac{(C_1 R_1)s + 1}{(C_2 C_1 R_1)s^2 + (C_1 + C_2)s}$$

La ganancia DC de esta LF ($H_{LF}(0)$) es infinito de acuerdo con el apartado. La colocación de un filtro LF en un PLL da cuenta de un sistema de tercer orden tipo 2. El análisis de las funciones de transferencia resultantes revela p2 que se produzca a una frecuencia de:

$$\omega_{p2} = \frac{C_1 + C_2}{C_1 C_2 R_1}$$

Este polo adicional a continuación, reduce el PM de la siguiente manera:

$$PM = 180^\circ + \tan^{-1} \left(\frac{\omega_x}{\omega_{z1}} \right) - \tan^{-1} \left(\frac{\omega_x}{\omega_{p2}} \right)$$

Por tanto, los componentes de la LF deben ser elegidos cuidadosamente de manera que se coloque p2 y z1 a frecuencias que dan como resultado un PM lo suficientemente grande como para asegurar la estabilidad fiable, mientras que al mismo tiempo lograr PLL con bajos tiempos de establecimiento. Como tal, el PM requerido completamente determina las posiciones de p2 y z1 en virtud de las siguientes ecuaciones:

$$\omega_{p2} = k \omega_x$$

$$\omega_{z1} = \frac{\omega_x}{k}$$

$$k = \sqrt{\frac{1 + \sin(PM)}{1 - \sin(PM)}}$$

Para $PM < 90^\circ$.

Se demostró que para un tipo de tercer orden 2 PLL, los tiempos mínimos de establecimiento se producen por los PM de 50, que también logra la estabilidad robusta. Las ecuaciones (2.32) y (2.33) muestran que para lograr $PM = 50$, p_2 y z_1 debe ocurrir en frecuencias de 2,75 y 0,36 veces W_x , respectivamente. Dado que W_x se puede aproximar por ancho de banda de bucle esto corresponde a la colocación de p_2 y z_1 aproximadamente a las 2.75 y 0.36 veces K respectivamente.

Debe tenerse en cuenta que las capacidades requeridas para alcanzar el PM deseado son típicamente grandes. Sin embargo, donde pequeñas capacitancias permiten implementaciones dentro del chip, C_2 siempre debe ser colocado en la salida de la PFD como se muestra en la Figura 20. Aunque la colocación de C_2 en la entrada del VCO no causa ningún cambio en características de transferencia de LF, aumentará su capacidad eficaz como siguiente:

$$C_2(\text{effective}) = C_2 + C_{VCO_{input}}$$

Donde la capacitancia de entrada del VCO está representado por $C_{VCO_{input}}$.

El logro de $PM = 50^\circ$ en la práctica se traduce en $C_2 < C_1$ y un pequeño C_2 colocado en la entrada al VCO podría tener su capacitancia significativamente aumentada por $C_{VCO_{input}}$. Esto es extremadamente preocupante ya que obliga a p_2 que se produzca a una frecuencia menor a la diseñada, por lo tanto se reduce PM. Para evitar esto, para aplicaciones dentro del chip, C_1 de LF siempre debe ser colocado en la entrada al VCO cuya capacitancia grande ($\gg C_{VCO_{input}}$) no será un afectada por $C_{VCO_{input}}$, manteniendo por lo tanto el PM deseado.

Para mostrar gráficamente el efecto del posicionamiento del polo/cero en PM, la Figura 22A muestra las características de transferencia en lazo abierto por un tercer orden, tipo 2 PLL con LF pasivo para diversas posiciones de polo / cero, donde $K = 6.3 \times 10^6$ rads/s (1 MHz). En esta grafica está variando el valor de k . Como k crece, también lo hace la distancia entre p_2 y z_1 , forzando p_2 sea cada vez menos dominante sobre z_1 . Esto reduce la atenuación del desplazamiento de fase positivo debido a z_1 , por lo tanto dando lugar a PMs más grandes. Cuando k se reduce también lo hace la PM, llegando a 0 para $k=1$, donde $W_{p1} = W_{p2}$.

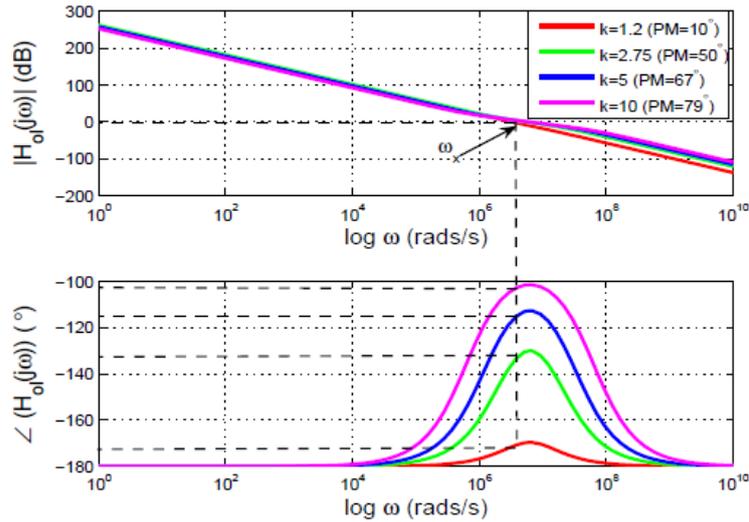


Figura 22A. Grafica de la característica en frecuencia de un PLL a lazo abierto.

Ancho de banda de PLL de segundo orden

La función de transferencia en lazo cerrado generalizada de un PLL de segundo orden tipo 2 se ve como:

$$H(s) = N \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2}$$

Donde el factor ζ y la frecuencia natural del sistema de amortiguación ω_n se representan como ζ y ω_n respectivamente. La respuesta de lazo cerrado de un sistema de este tipo se representa en la Figura 23 para diversos valores de ζ .

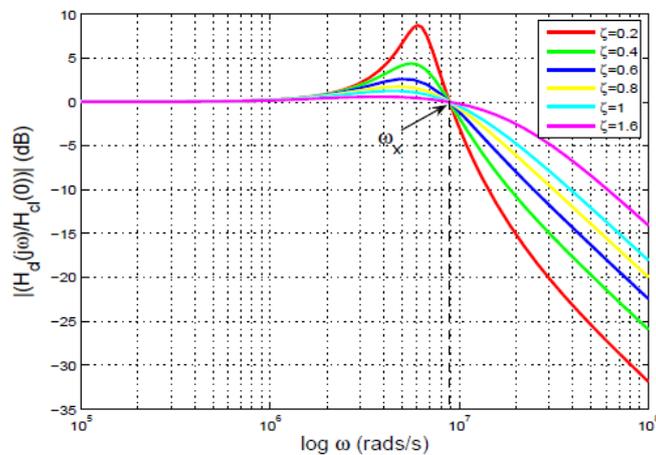


Figura 23A. Grafica de la característica de un PLL a lazo cerrado.

Montaje de circuitos por el método Manhattan



Figura 24A. Fotografía de un circuito con método Manhattan.

Este sistema de **construir un circuito electrónico** sobre esta base llamada **Manhattan**, la comenzaron a utilizar los electrónicos en el siglo pasado, para la construcción de sus placas las cuales posteriormente utilizarían para etapas de radiofrecuencia.

Este método simplifica mucho el trabajo y es muy beneficioso si está trabajando con **radio frecuencia**.

Este método se realiza de manera especial y no requiere la utilización de una serigrafía ni ácido para crear un **diseño en PCB**, más bien simplifica todo este proceso mediante la utilización de una **placa PCB** virgen sobre la cual se trabajara el negativo o masa del circuito, colocando pequeños recortes de otra placa y pegándolos con algún pegamento simulando cual pequeñas islas. Estos son los puntos conductores donde estarán montados todos los componentes junto con el positivo del circuito.

Quedando de esta manera más uniforme, y teniendo todo la masa o negativo del circuito en la placa virgen y un tendido de pistas en las islas junto con sus correspondientes soldaduras y **componentes electrónicos**.

Beneficios de utilizar este método, por ejemplo las bobinas en RF son un problema ya que es un componente cuyos factores son propensos a cambios con la presencia de cualquier objeto metálico que se presente en sus cercanías, una longitud del alambre tiene una auto inductancia intrínseca de alrededor 10 nH por centímetro. Y esto se manifiesta en el resultado final generando armónicas o frecuencias espurias.

Apéndice B

Estándar RS232

RS-232 (*Recommended Standard 232*), en español: “Estándar Recomendado 232”, también conocido como [EIA/TIA RS-232C](#), es una [interfaz](#) que designa una [norma](#) para el intercambio de una serie de [datos binarios](#) entre un [DTE](#) (*Data Terminal Equipment*, “Equipo [Terminal](#) de Datos”) y un [DCE](#) (*Data Communication Equipment*, Equipo de Comunicación de Datos), aunque existen otras en las que también se utiliza la interfaz RS-232. Una definición equivalente publicada por la [UIT](#) se denomina **V.24**.



Figura 1B. Ficha DB9 para estándar RS-232.

Conector RS-232 (DB-9 hembra).

En particular, existen ocasiones en que interesa conectar otro tipo de equipamientos, como pueden ser [computadores](#). Evidentemente, en el caso de interconexión entre los mismos, se requerirá la conexión de un DTE con otro DTE. Para ello se utiliza una conexión entre los dos DTE sin usar módem, por ello se llama [módem nulo](#) (*null modem*).

El RS-232 consiste en un conector tipo [DB-25](#) (de 25 [pines](#)), aunque es normal encontrar la versión de 9 pines ([DE-9](#), o popularmente mal denominados [DB-9](#)), más barato e incluso más extendido para cierto tipo de periféricos (como el ratón serie de la [PC](#)).

Señal		DB-25	DE-9 (DB-9, TIA-574)	EIA/TIA 561	Host	RJ-50	MMJ ^{nota 1}
<i>Common Ground</i>	G	7	5	4	4,5	6	3,4
<i>Transmitted Data</i>	TD	2	3	6	3	8	2
<i>Received Data</i>	RD	3	2	5	6	9	5
<i>Data Terminal Ready</i>	DTR	20	4	3	2	7	1
<i>Data Set Ready</i>	DSR	6	6	1	7	5	6
<i>Request To Send</i>	RTS	4	7	8	1	4	-
<i>Clear To Send</i>	CTS	5	8	7	8	3	-
<i>Carrier Detect</i>	DCD	8	1	2	7	10	-
<i>Ring Indicator</i>	RI	22	9	1	-	2	-

Protocolo SPI

El Bus SPI (del inglés *Serial Peripheral Interface*) es un estándar de comunicaciones, usado principalmente para la transferencia de información entre circuitos integrados en equipos electrónicos. El bus de interfaz de periféricos serie o bus SPI es un estándar para controlar casi cualquier dispositivo electrónico digital que acepte un flujo de bits serie regulado por un reloj (comunicación sincrónica).

Incluye una línea de reloj, dato entrante, dato saliente y un pin de *chip select*, que conecta o desconecta la operación del dispositivo con el que uno desea comunicarse. De esta forma, este estándar permite multiplexar las líneas de reloj.

Muchos sistemas digitales tienen periféricos que necesitan existir pero no ser rápidos. La ventajas de un bus serie es que minimiza el número de conductores, pines y el tamaño del circuito integrado. Esto reduce el coste de fabricar, montar y probar la electrónica. Un bus de periféricos serie es la opción más flexible cuando se tiene tipos diferentes de periféricos serie. El hardware consiste en señales de reloj, data in, data out y chip select para cada circuito integrado que tiene que ser controlado. Casi cualquier dispositivo digital puede ser controlado con esta combinación de señales. Los dispositivos se diferencian en un número predecible de formas. Unos leen el dato cuando el reloj sube otros cuando el reloj baja. Algunos lo leen en el flanco de subida del reloj y otros en el flanco de bajada. Escribir es casi siempre en la dirección opuesta de la dirección de movimiento del reloj. Algunos dispositivos tienen dos relojes. Uno para capturar o mostrar los datos y el otro para el dispositivo interno.

El SPI es un protocolo síncrono. La sincronización y la transmisión de datos se realiza por medio de 4 señales:

- SCLK (*Clock*): Es el pulso que marca la sincronización. Con cada pulso de este reloj, se lee o se envía un bit. También llamado TAKT (en Alemán).
- MOSI (*Master Output Slave Input*): Salida de datos del Master y entrada de datos al Slave. También llamada SIMO.
- MISO (*Master Input Slave Output*): Salida de datos del Slave y entrada al Master. También conocida por SOMI.
- SS/Select: Para seleccionar un Slave, o para que el Master le diga al Slave que se active. También llamada SSTE.

La Cadena de bits es enviada de manera síncrona con los pulsos del reloj, es decir con cada pulso, el Master envía un bit. Para que empiece la transmisión el Master baja la señal SSTE ó SS/Select a cero, con esto el Slave se activa y empieza la transmisión, con un pulso de reloj al mismo tiempo que el primer bit es leído. Nótese que los pulsos de reloj pueden estar programados de manera que la transmisión del bit se realice en 4 modos diferentes, a esto se llama polaridad y fase de la transmisión:

- 1. Con el flanco de subida sin retraso.
- 2. Con el flanco de subida con retraso.
- 3. Con el flanco de bajada sin retraso.
- 4. Con el flanco de bajada con retraso.

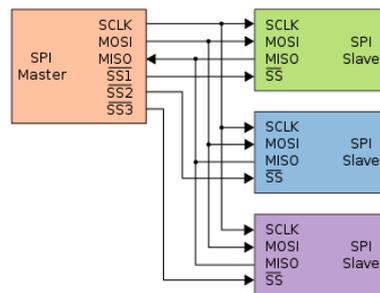
Ventajas

- Comunicación Full Duplex
- Mayor velocidad de transmisión que con I²C o SMBus
- Protocolo flexible en que se puede tener un control absoluto sobre los bits transmitidos
 - No está limitado a la transferencia de bloques de 8 bits
 - Elección del tamaño de la trama de bits, de su significado y propósito
- Su implementación en hardware es extremadamente simple

- Consume menos energía que I²C o que SMBus debido que posee menos circuitos (incluyendo las resistencias *pull-up*) y estos son más simples
- No es necesario arbitraje o mecanismo de respuesta ante fallos
- Los dispositivos *clientes* usan el reloj que envía el *servidor*, no necesitan por tanto su propio reloj
- No es obligatorio implementar un transceptor (emisor y receptor), un dispositivo conectado puede configurarse para que solo envíe, sólo reciba o ambas cosas a la vez
- Usa mucho menos terminales en cada chip/conector que una interfaz paralelo equivalente
- Como mucho una única señal específica para cada *cliente* (señal SS), las demás señales pueden ser compartidas

Desventajas

- Consume más pines de cada chip que I²C, incluso en la variante de 3 hilos
- El direccionamiento se hace mediante líneas específicas (señalización fuera de banda) a diferencia de lo que ocurre en I²C que se selecciona cada chip mediante una dirección de 7 bits que se envía por las mismas líneas del bus
- No hay control de flujo por hardware
- No hay señal de asentimiento. El *servidor* podría estar enviando información sin que estuviese conectado ningún *cliente* y no se daría cuenta de nada
- No permite fácilmente tener varios *servidores* conectados al bus
- Sólo funciona en las distancias cortas a diferencia de, por ejemplo, RS-232, RS-485, o Bus CAN



- Figura 2B. Protocolo SPI con múltiples esclavos