



UNIVERSIDAD NACIONAL
DE MAR DEL PLATA
.....

FACULTAD DE INGENIERÍA

Laboratorio de Comunicaciones
Centro de Experimentación y Lanzamiento de proyectiles Autopropulsados II

**IMPLEMENTACIÓN DE UN SISTEMA DE ANTENA PARA
AUTOSEGUIMIENTO BASADO EN TÉCNICAS DE MONOPULSO**

Tesis de grado Ingeniería Electrónica

Autores:

- Gluzman, Brian Maximiliano
- Mele Nociforo, Christian Iván

Director:

Ing. Jorge Márquez

Co-Director:

Ing. Juan Carlos Bonadero

Fecha

Diciembre-2018

Resumen

Los sistemas de seguimiento de portadoras de RF en movimiento se utilizan para diversos propósitos. Existen una gran variedad de técnicas y mecanismos que permiten lograr tal objetivo. Uno de ellos es el sistema de monopulso, siendo uno de los más populares y confiables que se ha desarrollado hasta la fecha, debido a su robusto funcionamiento.

Es necesario para lograr maximizar las virtudes de este sistema, realizar un análisis de su funcionamiento, desde su misma concepción, en los radares de rastreo.

Existe una amplia variedad de diseños, dependiendo ya sea de la cantidad de canales que posea (es decir, sistemas de recepción) o del parámetro que se utilice para realizar el seguimiento (amplitud o fase). Cada uno presenta variaciones en su diseño, con sus respectivas ventajas y desventajas.

El proyecto propone la realización de un sistema de monopulso por amplitud de canal único, adaptado a sistemas de seguimiento. Para ello se diseñará un arreglo de antenas que emulará al comportamiento de una antena principal, con sus respectivas bocinas de alimentación. Luego se diseñará un comparador, que resulta de la combinación de ciertos dispositivos pasivos denominados comúnmente híbridos, que realizan la suma y resta de dos señales. Todo esto se realizará con líneas de transmisión en tecnología microstrip y stripline.

Dado que el sistema es de un canal, se utilizará un sistema de multiplexado, manejado por un microcontrolador, un Arduino Uno. También se utilizará un acoplador para combinar todas las señales, también diseñado en stripline.

Una vez obtenida la señal, un receptor basado en tecnología SDR, se utilizará para verificar el correcto funcionamiento de las etapas previas. Se utilizan estos receptores debido a que poseen una gran performance en un gran rango de frecuencias, facilidad de uso, gran adaptabilidad y baja costo. Luego, se diseñará un receptor de AM analógico, para el sistema definitivo, debido a su más rápida respuesta en relación con el SDR tipo dongle que se disponía para el prototipo. La señal de salida será enviada al mismo microcontrolador para que demultiplexe la señal y genere las señales de referencia, que serán utilizadas en una etapa de control. La etapa de control no está contemplada en el presente proyecto.

Tabla de contenido

1	Alcance y propósito del proyecto.....	6
2	Monopulso.....	7
2.1	Introducción	7
2.1.1	Radars de rastreo y evolución de Monopulso.....	7
2.1.2	Aplicaciones.....	11
2.2	Tipos de comparación de monopulso.....	12
2.2.1	Monopulso por comparación de amplitud.....	12
2.2.2	Monopulso por comparación de fase.....	16
2.2.3	Monopulso según la cantidad de canales	18
2.3	Sistema de rastreo de objetivo basado en Monopulso.....	20
2.4	Componentes en monopulso	21
2.4.1	Antenas.....	21
2.4.2	Dispositivos para sumar y restar señales electromagnéticas	22
2.4.3	Junturas híbridas.....	23
2.4.4	Acopladores.....	24
2.4.5	Comparador	25
2.4.6	Receptores	27
2.5	Conclusiones	28
2.6	Bibliografía	29
3	Pseudomonopulso.....	30
3.1	Sistemas de monopulso de canal único	30
3.2	Introducción a Pseudomonopulso	34
3.3	Red de Escaneo	36
3.4	Electrónica de Monopulso.....	38
3.4.1	Arduino	39
3.4.1.1	Arduino UNO.....	40
3.5	Conclusiones	40
3.6	Bibliografía	41
4	Tecnologías y técnicas propuestas	42
4.1	Introducción	42
4.2	Sistema propuesto	42
5	Diseños realizados.....	47
5.1	Introducción	47
5.2	Hibrido-pi.....	47

5.2.1	Diseño	49
5.3	Acoplador direccional de 12db como (modulador-sumador).....	54
5.3.1	Diseño	55
5.4	Receptor de AM	59
5.4.1	Introducción	59
5.4.2	Diseño	59
5.5	Bibliografía	61
6	Simulaciones	62
6.1	Introducción	62
6.2	Conceptos previos	62
6.2.1	Pérdidas de inserción (IL)	62
6.2.2	Pérdidas de retorno (RL).....	62
6.2.3	Desfasaje	63
6.3	Dispositivos simulados.....	63
6.3.1	Hibrido-pi.....	63
6.3.1.1	Microstrip.....	63
6.3.1.2	Stripline	65
6.3.1.3	Conclusión.....	68
6.3.2	Acoplador 12db (sumador).....	68
6.3.2.1	Conclusión.....	71
6.3.3	Amplificador de 10dB y demodulador de AM.....	72
6.3.3.1	Conclusión.....	73
6.4	Bibliografía	73
7	Implementación.....	74
7.1	Implementación dispositivos pasivos.....	74
7.1.1	Introducción	74
7.1.2	Acoplador Híbrido pi	74
7.1.2.1	Banco de medición y resultados	74
7.1.2.2	Medición de fase y amplitud	88
7.1.2.3	Análisis de datos y conclusiones	91
7.1.3	Comparador.....	91
7.1.3.1	Medición de fase y amplitud.	92
7.1.3.2	Banco de medición y resultados	93
7.1.3.3	Análisis de datos y conclusiones	94
7.1.4	Acoplador de 12 dB.....	94
7.1.4.1	Banco de medición y resultados	95

7.1.4.2	Análisis de datos y conclusiones	100
7.2	Implementación de conmutadores de alta frecuencia.....	101
7.2.1	Introducción	101
7.2.2	Diseño de la placa	101
7.2.3	Generación de señales de multiplexado	106
7.2.4	Prueba de funcionamiento.....	107
7.2.4.1	Medición de las señales del microprocesador	107
7.2.4.2	Medición de los cables con desfasaje.....	109
7.2.4.3	Medición conmutador individual	109
7.2.4.4	Medición de placa con dos conmutadores.....	110
7.3	Implementación de etapa receptora.....	111
7.3.1	Introducción	111
7.3.2	Diseño de la placa	112
7.3.2.1	Amplificador de bajo ruido	112
7.3.2.2	Mezclador.....	115
7.3.2.3	Oscilador Local	118
7.3.3	Pruebas y resultados	118
7.3.3.1	Amplificador de bajo ruido	118
7.3.3.2	Oscilador Local	120
7.3.3.3	Mezclador.....	120
7.3.4	Medición de receptor de AM	122
7.4	Implementación y pruebas de SDR.....	126
7.4.1	Introducción	126
7.4.2	Pruebas iniciales.....	126
7.4.3	Banco de medición.....	128
7.4.4	Análisis de resultados y Conclusiones	138
7.5	Implementación Final.....	138
7.5.1	Introducción	138
7.5.2	Banco de medición y resultados.....	140
8	Conclusión.....	148
9	Mejoras y desarrollos futuros	149
Anexo I:	Líneas de transmisión.....	150
I.1	Introducción	150
I.2	Características.....	150
I.2.1	Propagación de onda en una línea de transmisión	151
I.2.3	Perdidas en la línea de transmisión	152

I.3 Líneas planares	153
I.3.1 Microstrip.....	153
I.3.2 Stripline.....	156
I.4 Bibliografía	159
Anexo II: Dispositivos Pasivos	160
II.1 Introducción.....	160
II.2 Parámetros scattering.....	160
II.2.1 Reciprocidad.....	161
II.2.2 Ausencia de pérdidas	161
II.3 Acopladores y divisores de potencia	162
II.3.1 Redes de 3 puertos.....	163
II.3.2 Redes de 4 puertos.....	166
II.4 Bibliografía.....	169
Anexo III: Receptores y Software Defined Radio (SDR)	170
III.1 Introducción a los sistemas de comunicaciones	170
III.1.1 Modulación y Demodulación	171
III.1.1.1 Técnicas de modulación empleadas	171
III.1.1.2 Modulación en Amplitud.....	171
III.1.1.3 Demodulación en Amplitud	172
III.2 Introducción a Radio Definida por Software	174
III.3 Receptor Superheterodino, como base del Software Defined Radio	176
III.3.3 DDC	177
III.4 Procesos del SDR.....	178
III.5 RTL-SDR	179
III.5.1 Requisitos mínimos de uso.....	181
III.5.2 Arquitectura de RTL-SDR	181
III.5.3 Hardware de RTL-SDR.....	182
III.5.4 Software en RTL-SDR	184
III.5.4.1 Matlab.....	184
III.5.4.2 Softwares de SDR de propósito general.....	187
III.6 SDR en Monopulso	190
III.7 Conclusiones	190
III.8 Bibliografía	191
Anexo IV: Código Utilizados.....	192
IV.1 Arduino	192
IV.2 Matlab	193

IV.2.1 RTL-SDR.....	193
IV.2.2 Medición de constante dieléctrica en placas	202
IV.3 Código para PIC 4550.....	202
Anexo V: Hojas de datos.....	207

1 Alcance y propósito del proyecto

En el presente proyecto se pretendió realizar un dispositivo que pueda hacer el seguimiento de un objetivo móvil del cual recibe una señal de RF. Dicha tarea, la debe realizar de manera pasiva, es decir, que no genere una señal propia para lograr obtener la posición, sino que se debe poder obtener a la misma a partir de la misma señal que se recibe. Asimismo sobre esta señal de RF se transmitirán datos de la información suministrada por las cargas útiles.

El dispositivo proporciona una serie de datos acordes a la técnica elegida, los cuales se serán utilizados por un sistema de control, para controlar a la antena. Tanto la antena, como el sistema de control, se consideran fuera del alcance del presente proyecto, ya que merecen una atención especial para su desarrollo.

Este desarrollo es un prototipo, que será de utilidad para el desarrollo de un sistema de antena para el seguimiento de vehículos no tripulados y satélites de órbita baja. La señal transmisora opera en 1.8 GHz, la cual se considerará como frecuencia de trabajo del sistema.

El sistema propuesto debe ser viable tanto económica como tecnológicamente, pudiéndoselo realizar con los recursos que ofrece el entorno de trabajo, ya sea en equipamiento como en materiales para que pueda ser construido.

Se propone como una solución a la técnica denominada “Monopulso”, usada típicamente en sistema de radares de rastreo. Esta solución se basa en una tecnología que ha sido suficientemente probada y se considera adecuada para lograr los objetivos propuestos anteriormente.

2 Monopulso

2.1 Introducción

Monopulso, también conocido como comparación por lóbulo simultáneo, es una técnica que se utiliza para medir la dirección de llegada de una señal transmitida o radiada a una antena o arreglo de ellas. Esta radiación puede ser emanada de diversas fuentes activas, tales como una antena transmisora, un cuerpo astronómico, o fuentes pasivas, es decir, un objeto determinado (también denominado objetivo) que re irradia parte de la potencia incidente sobre ella o que irradia potencia propia.

Su primera aplicación fue en el área de radiación electromagnética, donde fue mayormente desarrollado en la implementación de los Radares de Rastreo (*Tracking Radars*), aunque también se lo puede aplicar en otras áreas muy diversas, como en los sistemas de seguimiento de objetivos, guía de misiles, etcétera. [1]

2.1.1 Radares de rastreo y evolución de Monopulso

Un radar de rastreo es un tipo de radar en el que se mantiene automáticamente al eje del haz de la antena alineado con un objetivo seleccionado. Dicho radar suele tener un patrón de antena altamente direccional, es decir, un rayo estrecho. El ancho del mismo, es típicamente del primer orden en cada coordenada angular (azimut y elevación), pero varían considerablemente entre los distintos radares.

Cualquier desviación del objetivo respecto del eje del haz produce una señal de error para cada coordenada, que es aproximadamente proporcional a la desviación angular de esa misma coordenada, con un signo, o polaridad, que indica el sentido de la desviación. Este puede ser arriba o abajo o derecha o izquierda, dependiendo si la coordenada es elevación o azimut, respectivamente. Esta señal de error, es la que será utilizada para mover a la antena, mediante un sistema de control.

En la Figura 2.1, se puede observar cuáles son los ángulos de coordenadas utilizados. El rango (*range*) es la distancia entre el radar y el objetivo (*target*). La coordenada angular Azimut (*Azimuth*) también llamada transversal, es la distancia angular horizontal desde el norte verdadero, medido en el sentido de las agujas del reloj. La coordenada Elevación (*elevation*) es el número de grados del haz transmitido sobre el horizonte.

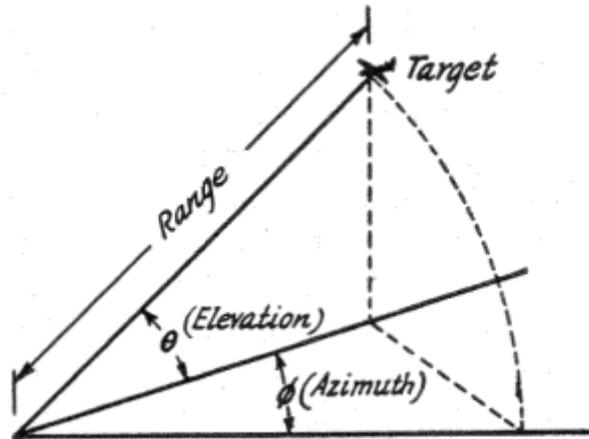


Figura 2.1: Representación de las coordenadas angulares, de un radar respecto de un objetivo

Con este sistema también se puede rastrear a un objetivo en distancia, manteniendo un intervalo de tiempo centrado en el objetivo. Solo las señales que se reciban durante ese intervalo, son utilizadas para el rastreo. El intervalo entre los centros del pulso transmitido y el intervalo, proveen la medición por rango. Esto, a su vez, produce una corrección que será utilizada para mantener esta diferencia en cero, produciendo así el seguimiento.

En el principio, una técnica llamada **conmutación de haz** (*lobe switching*) surgía como una alternativa a los radares convencionales. En este caso, el haz emitido por el radar (llamado también lóbulo), en lugar de apuntar directamente al objetivo, lo hacía ligeramente movido hacia un lado, y luego hacia el otro, alternando de manera muy rápida, como se observa en la Figura 2.2.

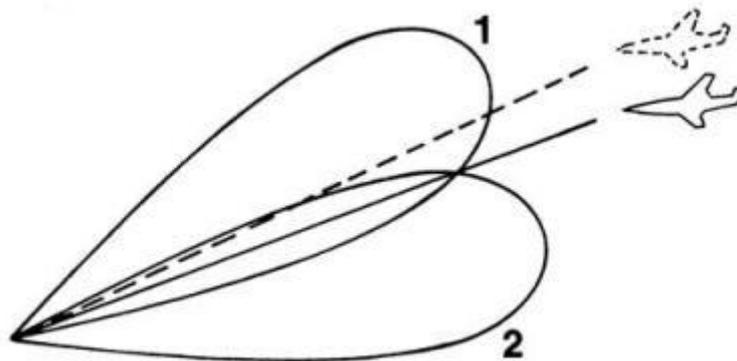


Figura 2.2: Ejemplo de *Sequential lobing* en elevación

El punto de intersección entre ambos lóbulos, se llama eje. Si el objetivo está por debajo o por encima de este eje, las señales reflejadas (conocidas como ecos), serán distintas a las transmitidas, pudiendo ser menor o mayor en amplitud dependiendo de donde estaba respecto de la intersección, como se visualiza en la Figura 2.3. Entonces, la antena basándose en esta diferencia, se movía en dirección al objetivo, buscando disminuir a cero este error.

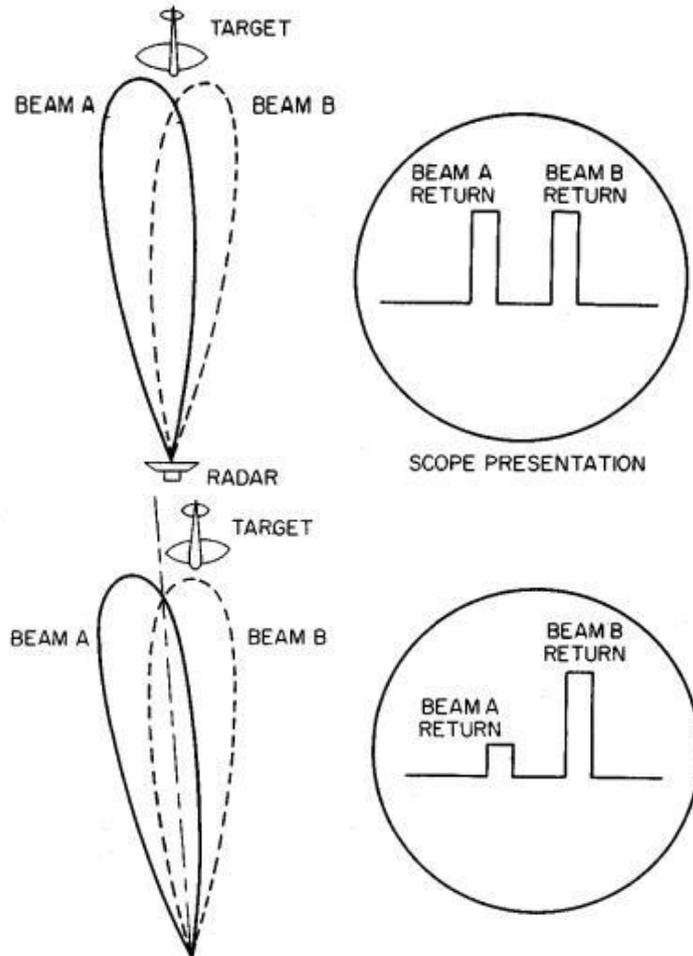


Figura 2.3: Error angular sentido en una coordenada angular al mover a los lóbulos del objetivo

Si se agregan dos lóbulos más, como se ve en la Figura 2.4 (a), se obtienen las coordenadas de la segunda medición angular. Recordemos, que estas mediciones, son la del ángulo de elevación, es decir, cuán inclinado respecto de un eje esta un objetivo, hacia arriba o hacia abajo, y el del ángulo de azimut, que es cuanto esta corrido hacia la izquierda o la derecha, dicho objetivo.

La antena se mueve de manera electrónica o mecánica. En el caso de la antena mecánica, se implementó un sistema llamado **escaneo cónico** (*conical scan*), el cual, en lugar de rotar sobre cuatro lóbulos, rota de manera continua, manteniéndose siempre sobre el eje central, como se ve en la Figura 2.4 (b). Ambos sistemas (*conical scan* y *lobe switching*), al utilizarse de manera conjunta, dieron lugar a un término general que se denominó conmutación de haz secuencial (*Sequential lobing*). Un sistema complejo de detección, demodulación y corrección acompañaba a este método, para lograr el rastreo.

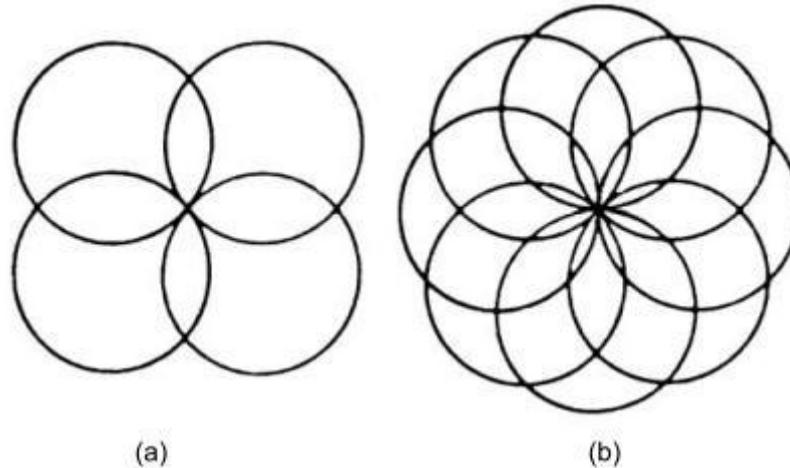


Figura 2.4: (a) *Lobe switching* de dos coordenadas angulares (b) Escaneo cónico

Los radares que implementaban mecanismos basados en estas técnicas tuvieron un apogeo notable en la Segunda Guerra Mundial, y continuarían utilizándose en otras áreas, en años venideros.

Sin embargo, su precisión no era buena, en comparación de otros tipos de radares. Esto se debió, sobre todo, a la fluctuación que se produce en la potencia del eco de la mayoría de los objetivos. Esta fluctuación a menudo tiene una densidad espectral de potencia considerable en la vecindad de la frecuencia de barrido, y por lo tanto causa indicaciones de ángulo erróneas. En un lenguaje sencillo, el radar no puede distinguir entre las variaciones impulso a impulso en la amplitud de eco debido al desplazamiento del objetivo desde el eje de la antena y las debidas a las fluctuaciones del mismo objetivo.

A esta problemática, se agregó el problema de la limitación en el flujo de datos, debido a la necesidad de obtener como mínimo cuatro pulsos de eco sucesivos para cada par de ángulos estimados. Esto es un problema serio en objetivos de grandes aceleraciones. En el caso del escaneo cónico, se agrega un problema adicional, como lo es la vibración mecánica, haciendo difícil mantener la alineación con el eje principal.

La respuesta a estos problemas sería lo que en un principio se llamó *simultaneous lobing* o, como se la conocería más tarde, **monopulso**.

En esta nueva técnica, en lugar de crear cada lóbulo de manera secuencial, se generan en simultáneo, haciéndose posteriormente la comparación. Existen dos variantes, una basada en la medición de amplitudes que se hacía con las técnicas anteriores, conocida como **comparación de amplitud**, y otra, llamada **comparación de fase**, que se basa precisamente en que las señales, llegan desfasadas respecto de la emitida, midiendo esta diferencia para realizar la corrección.

La denominación “monopulso” proviene precisamente del hecho de que se utiliza solamente un solo pulso, y no cuatro (como en la técnica secuencial) o más (como en la cónica) para realizar los cálculos de error angular.

Los errores de fluctuaciones son idealmente nulos en este tipo de implementación debido a que los cocientes de las señales recibidos en cada lóbulo no son modificados

por estas perturbaciones, sin embargo, debido a razones de diseño y costo, existen aún, pero son muy pocos y pequeños en comparación de otras técnicas.

La gran desventaja que tenía esta técnica era su costo y complejidad, pero debido a su practicidad y resultados ganaría terreno a lo largo de tiempos venideros. Hay que destacar que para sistemas más simples, las técnicas mencionadas anteriormente, son más adecuadas. [1][2]

En la Tabla 2.1, se puede observar una comparación resumida de cada caso.

Técnica	Características
Conmutación de Haz	<ul style="list-style-type: none"> • Cuatro lóbulos, para dos coordenadas angulares. • Rotación entre los cuatro lóbulos, necesidad de cuatro pulsos. • Más lento. • Más económico.
Escaneo Cónico	<ul style="list-style-type: none"> • Un único lóbulo que rota alrededor de un eje central. • Utilizado en sistemas mecánicas. • Costoso y complejo. • Vibración mecánica
Conmutación de Haz Secuencial	<ul style="list-style-type: none"> • Utilización de la técnica de escaneo cónico y conmutación de haz en simultáneo. • Más simple que el escaneo cónico clásico, pero más lento, pues usa más lóbulos, y no es enteramente continuo, por lo que sigue necesitando de más de un pulso para medir. • Costoso, pero menos complejo que escaneo cónico. • Como usa escaneo cónico, la vibración mecánica persiste.
Monopulso	<ul style="list-style-type: none"> • Cuatro lóbulos, para dos coordenadas angulares • Los lóbulos no son secuenciales, sino que son simultáneos. • Se necesita de un solo pulso para medir. • Es más costoso y complejo, pero más eficiente. • No tiene vibración mecánica.

Tabla 2.1: Comparación entre los distintos métodos lobulares.

2.1.2 Aplicaciones

El sistema de monopulso fue utilizado en sus inicios como base en algunos radares de rastreo. Hoy día, la mayoría de este tipo de radares utilizan la técnica en cuestión, siendo utilizados para propósitos tales como:

- Control táctico de tiro, lanzamiento y guía de misiles;
- Aplicaciones militares estratégicas tales como rastreo de aeronaves o misiles potencialmente hostiles;
- Aplicaciones espaciales, como, por ejemplo, rastreo de vehículos espaciales, satélites u otros objetos espaciales;
- Aplicaciones de inteligencia, incluyendo análisis de trayectorias y variaciones de eco sobre los movimientos del objetivo, que dan información extra sobre lo que se rastrea, tales como forma, tamaño, rotación, etc.
- Aplicaciones de soporte para propósitos espaciales y militares.

Aunque el principal uso del monopolso sea en el área de radar, su uso se extendió a otros campos de detección de dirección pasiva, comunicaciones, radio astronomía, sonar pasivo y activo y sistemas de seguimiento de objetivos. [1]

2.2 Tipos de comparación de monopolso

Existen dos formas de realizar la medición de la desviación en la técnica de monopolso:

- **Comparación de amplitud**
- **Comparación de fase**

Si bien ambos métodos toman como base a la teoría de monopolso, difieren mucho dado que analizan distintos parámetros de la señal, implicando, por lo tanto, un diseño diferente en su sistema de generación de las señales de error. [1][2]

2.2.1 Monopolso por comparación de amplitud

Se coloca en primer lugar, una antena de reflexión paraboidal en un eje, alimentada por cuatro bocinas de alimentación en el plano focal, corridas simétricamente sobre el eje, como se ve en la Figura 2.5. Este sistema se puede reemplazar, por un arreglo de cuatro antenas idénticas.

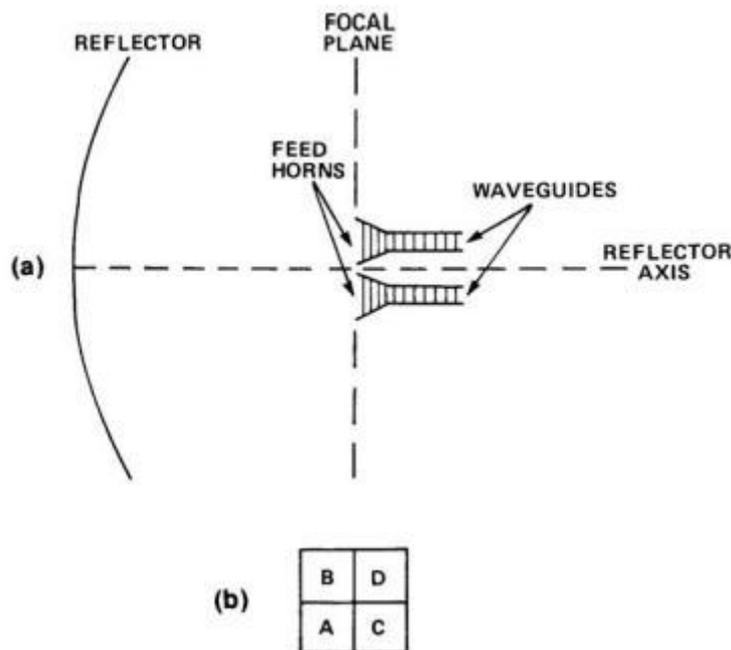


Figura 2.5: Reflector y bocinas de alimentación (a) Vista lateral (b) Vista axial de las bocinas de alimentación desde el reflector

En la misma figura, también se puede observar la disposición y nominación de las cuatro bocinas de alimentación, A, B, C y D. Estas producen los cuatro haces, que luego serán comparados, para hacer la medición. Los cruces de estos haces son los que determinarán las mediciones angulares posteriores, siendo el eje de la antena, el punto

de intersección de los 4 haces, funcionando de manera idéntica al sistema de *Sequential lobing*, de cuatro lóbulos (Figura 2.4 b).

Si bien hay varias maneras, la forma más usual de utilizar a las señales recibidas por los receptores es generando las señales Suma (Σ), diferencia de Elevación (ΔEI) y diferencia Azimut (ΔAz). Esto se realiza mediante un conjunto de dispositivos llamados juntas híbridas, los cuales serán analizados en el Anexo II. El objetivo de estos elementos es el de sumar y restar señales.

A la salida de estos dispositivos se obtienen las señales mencionadas, que están compuestas a su vez por las ondas provenientes de la antena. Estas señales son mostradas en las Ecuaciones 2.1, 2.2 y 2.3.

- $\Sigma = (A + B + C + D)/4$ (2.1)

- $\Delta EI = [(A + C) - (B + D)]/4$ (2.2)

- $\Delta Az = [(D + C) - (B + A)]/4$ (2.3)

El factor $\frac{1}{4}$ en estas ecuaciones se debe a la atenuación misma de las juntas híbridas. En el Anexo II, también se analizará más en detalle este comportamiento.

En la Figura 2.6, se pueden ver las formas de onda que tendrán estas señales, a partir de las cuales se definen las siguientes ecuaciones:

- para Azimut, visualizadas en las Ecuaciones 2.4 y 2.5.

$$v_1 = (C + D)/\sqrt{2} \quad (2.4)$$

$$v_2 = (A + B)/\sqrt{2} \quad (2.5)$$

- para Elevación, visualizadas en las Ecuaciones 2.6 y 2.7.

$$v_1 = (A + C)/\sqrt{2} \quad (2.6)$$

$$v_2 = (B + C)/\sqrt{2} \quad (2.7)$$

La suma y diferencia en cada coordenada está relacionada a v_1 y v_2 por las Ecuaciones 2.8 y 2.9, respectivamente.

$$s = (v_1 + v_2)/\sqrt{2} \quad (2.8)$$

$$d = (v_1 - v_2)/\sqrt{2} \quad (2.9)$$

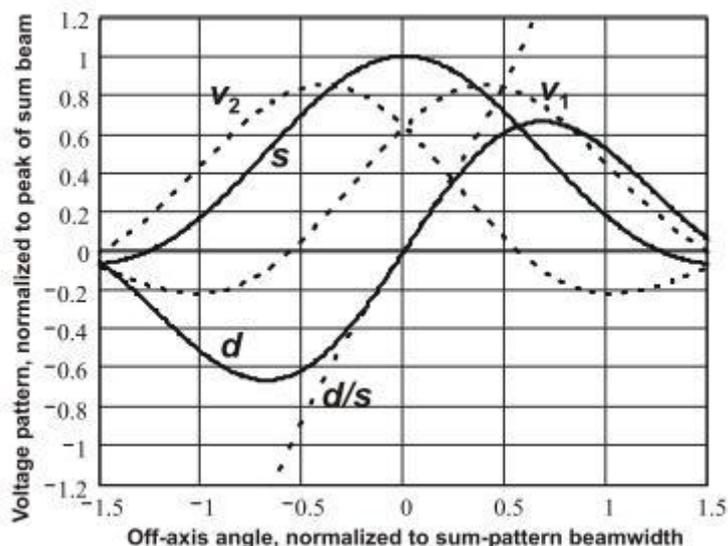


Figura 2.6: Patrones de monopulso por comparación de amplitud en cada coordenada: suma (s), diferencia (d), haces cruzados (v_1 y v_2) y diferencia normalizada (d/s)

La dirección en el espacio en que los patrones de diferencia de elevación y azimut tienen sus nulos se denomina eje monopulso, eje de puntería, eje de seguimiento o eje eléctrico. Lo ideal es que coincida con el eje geométrico o mecánico del reflector, pero en la práctica suele haber alguna desviación. Para determinar el eje monopulso como la referencia para las lecturas angulares, es necesario alinear la antena. Este proceso consiste esencialmente en apuntar la antena para obtener un nulo en el objetivo de prueba en una dirección conocida, luego ajustar las lecturas de ángulo a los valores correctos en esa dirección. Cuando la palabra "eje" se usa solo en un contexto de monopulso, se entiende que significa el eje eléctrico en lugar del mecánico.

El patrón de suma es un haz en forma de lápiz (*pencil beam*) con su pico en el eje del monopulso. En la práctica, las direcciones del pico de suma y la diferencia nula pueden diferir ligeramente debido a la simetría imperfecta. A menos que se especifique lo contrario, la anchura del haz de una antena de monopulso se define habitualmente como la anchura del haz de media potencia unidireccional del patrón de suma: es el intervalo angular entre los puntos donde la tensión de suma es $(\sqrt{2})^{-1}$ veces su valor máximo. La escala horizontal de la Figura 2.6 se normaliza a esa anchura del haz. El ancho de la mitad de potencia del haz de suma es mayor que el de cada haz de diferencia.

Mediante un duplexor, el canal de la señal suma, también se usa para transmisión, siendo entonces el patrón de transmisión igual al patrón de suma mostrado en la Figura 2.5. En recepción, la señal de suma se utiliza en diversas aplicaciones, como detección, rango, etc.

Las señales de trabajo son convertidas de radiofrecuencia (RF) a frecuencia intermedia (FI), mediante mezcladores, para luego ser filtradas, amplificadas y demoduladas.

La siguiente etapa consiste en los llamados *procesadores de monopulso*, que reciben las señales demoduladas y las combinan en forma de cocientes, para realizar el control. En el caso más genérico, se utilizan dos procesadores, uno por cada medida angular. La salida será dicho cociente, multiplicado por un coseno relativo a la diferencia de fase entre ambas. Este término que indica la fase, se lo expresa de manera angular y se lo

denota como δ_{tr} (ó δ_{az} , en el caso del azimut) y δ_{el} (para la elevación). Idealmente esta diferencia debería ser 180° , pero en ocasiones, debido a motivos diversos, no es así, y por ello se utiliza este factor de corrección.

Esta salida indica que tanto se desvió del objetivo, hacia arriba o hacia abajo, o hacia a la derecha o izquierda, dependiendo de cuál señal se vaya a analizar. Los patrones de antena están diseñados de tal manera que la señal de diferencia normalizada d/s en cualquiera de las coordenadas, en respuesta a un objetivo de punto único, es: (1) (1) casi proporcional al ángulo objetivo del eje en esa coordenada aproximadamente a la mitad de la anchura del haz hacia cualquier lado, como se puede ver en la Figura 2.6, y (2) casi independiente del ángulo objetivo en la otra coordenada. La normalización hace que la salida sea independiente de la intensidad del eco y dependa únicamente del ángulo del objetivo.

El modelo de referencia es un radar de seguimiento guiado mecánicamente. Las salidas del procesador de monopolso, después de la transformación de coordenadas, se convierten en entradas a los canales del servoamplificador, y los servos giran la antena en la dirección correcta hasta que se alcanza un nulo en la salida del procesador monopolso. El motivo de la transformación de coordenadas es que las coordenadas mecánicas de rotación de la montura de la antena suelen ser azimut y elevación, mientras que las señales de diferencia son funciones de la trayectoria y elevación del objetivo en relación con el eje de la antena. Una transformación aproximada de primer orden generalmente es suficiente. Consiste en multiplicar la salida del error de azimut por la secante del ángulo de elevación de la antena para impulsar el servo de azimut y usar la salida del monopolso de elevación sin transformación para impulsar el servo de elevación.

Idealmente, el eje de la antena seguiría exactamente la dirección del objetivo. En la práctica hay desviaciones. Mientras que el servo hace lo mejor que puede para mantener el eje de seguimiento en un blanco móvil, se retrasará en cierta medida. El retraso puede ser causado por velocidades o aceleraciones angulares del objetivo que exceden las capacidades máximas del servo, o por derivadas de orden superior del movimiento angular objetivo. Se denomina a estos retrasos de seguimiento "lag". Las fuerzas del viento también pueden hacer que el eje de la antena se desvíe del objetivo. En cualquier caso, ya sea lag o fuerzas del viento, hay una tensión residual en la salida del procesador monopolso que el servo no puede anular. El error resultante puede eliminarse en gran parte mediante una función opcional denominada **corrección de errores** o **señal de corrección eléctrica**. La salida de monopolso residual que el servo no puede anular se mide y se convierte al ángulo del eje correspondiente mediante una función de calibración conocida. El ángulo fuera del eje, agregado al ángulo de rotación del eje del pedestal, ya sea en tiempo real o en el análisis posterior, proporciona un valor corregido del ángulo objetivo.

Un modelo esquemático del sistema presentado en esta sección puede visualizarse de manera genérica en la Figura 2.7. [1][2]

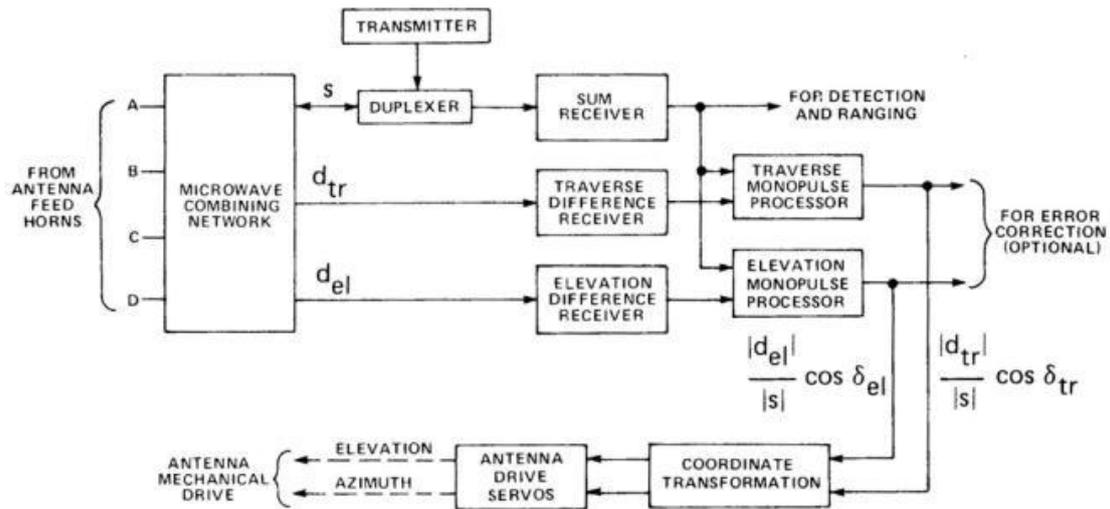


Figura 2.7: Diagrama en bloques de radar de monopulso por comparación angular de 3 canales

2.2.2 Monopulso por comparación de fase

La técnica de comparación de fase es utilizada por arreglos de múltiples antenas con haces que se superponen en un objetivo. Interpolan los ángulos de estos objetivos es logrado comparando las fases de las antenas, como se visualiza en la Figura 2.8.

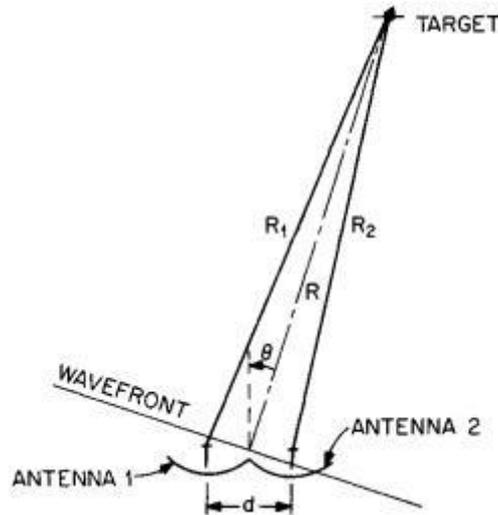


Figura 2.8: Relaciones de fase de frente de onda en un radar de monopulso por comparación de fase

Como es de esperarse, si el objetivo no se corrió respecto del eje de referencia, las fases de las señales de cada antena serán idénticas (en el caso ideal), y a medida que el objetivo se mueve, la fase relativa cambia. El circuito detector de fase, se lo ajusta con una línea de transmisión de 90° de atraso de fase en uno de los canales para dar salida nula cuando está en el eje y una salida creciente para cuando el desplazamiento angular aumenta, con la polaridad correspondiente a la dirección del error.

Arreglos de fase de alimentación colectiva de cara plana típicos comparan la salida de las mitades de la apertura y caída en el modelo de monopulso por comparación de fase. Sin embargo, el comportamiento básico de los modelos de comparación por fase y amplitud es esencialmente el mismo.

La Figura 2.9 nos enseña la antena y el receptor, para una sola coordenada angular de rastreo, utilizando la técnica de comparación por fase. Cualquier cambio de fase que ocurra en los mezcladores y/o amplificadores de fase causa un cambio en el eje de perspectiva del sistema. Las desventajas que posee este método, respecto del de amplitud es precisamente la dificultad de mantener un eje estable y, además de proveer la conicidad de iluminación de antena para las señales suma y resta en simultáneo. También, debido a que el camino desde las salidas de la antena hasta el circuito comparador, es largo, haciéndolo más susceptible a que el eje, cambie debido a cargas mecánicas, diferencia de calor, etcétera.

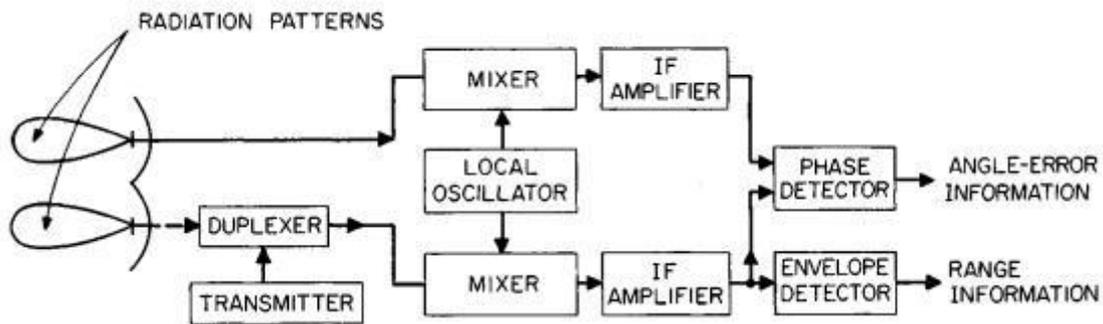


Figura 2.9: Diagrama en bloques de radar de monopulso por comparación de fase de coordenada angular única.

Existe una técnica que da una mayor estabilidad, combinando las dos salidas de las antenas en RF, con circuitos pasivos, para asegurar las señales suma y diferencia, como se muestra en la Figura 2.10. Estas señales pueden ser procesadas como con un comparador por amplitud. Este sistema, es óptimo en el canal diferencia, pero en el canal suma genera lóbulos laterales. Esto se soluciona permitiendo cierta superposición de apertura, a costa de perder ganancia de antena y sensibilidad angular. [2]

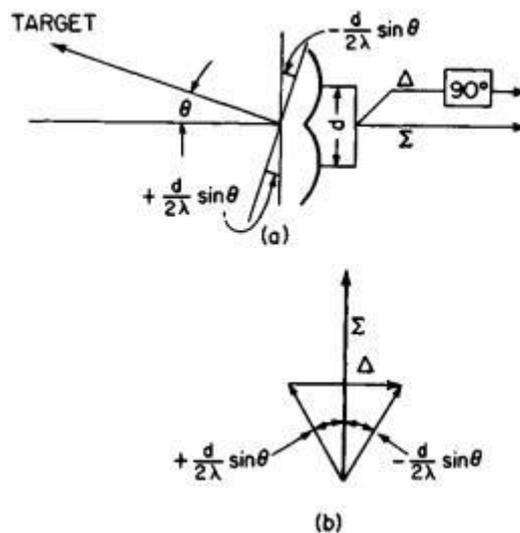


Figura 2.10: (a) Sistema de monopulso de comparación de fase con salidas suma y resta (b) Diagrama vectorial de las señales suma y diferencia

2.2.3 Monopulso según la cantidad de canales

A su vez, existe una segunda clasificación, que está relacionada con la cantidad de canales que posee:

- Un canal
- Dos canales
- Tres canales

El modelo presentado inicialmente en la Sección 2.2 es el que posee tres canales. Esto significa que por cada señal, ya sea tanto suma como cada diferencia angular, habrá una etapa demoduladora, con sus respectivos mezcladores, amplificadores y filtros. Una alternativa, es construir a estos sistemas, con menos cantidad de etapas de recepción. Esto se logra combinando las señales suma y diferencia por algunos medios de manera que puedan ser recuperadas individualmente en la salida.

Estas técnicas proveen ciertas ventajas en AGC u otras técnicas de procesamiento, pero a costa de pérdidas de la relación señal a ruido (SNR) o acoplamiento cruzado entre la información de azimut o elevación.

Existen muchos modelos de estos sistemas. Dentro de los de dos canales, uno más bien sencillo es el que se visualiza en la Figura 2.11.

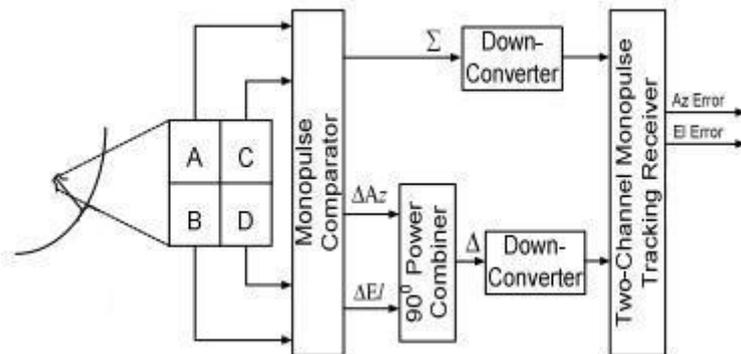


Figura 2.11: Modelo de sistema monopulso por comparación de amplitud de dos canales

En este caso, se coloca un combinador de 90° para que las diferencias angulares sean sus entradas, siendo la salida del mismo la suma de ambas. Después, le sigue una etapa de RF, con la correspondiente demodulación en los procesadores.

Un sistema de dos canales algo más complejo es el que se visualiza en la Figura 2.12. En este modelo, se combinan las señales suma y resta en RF.

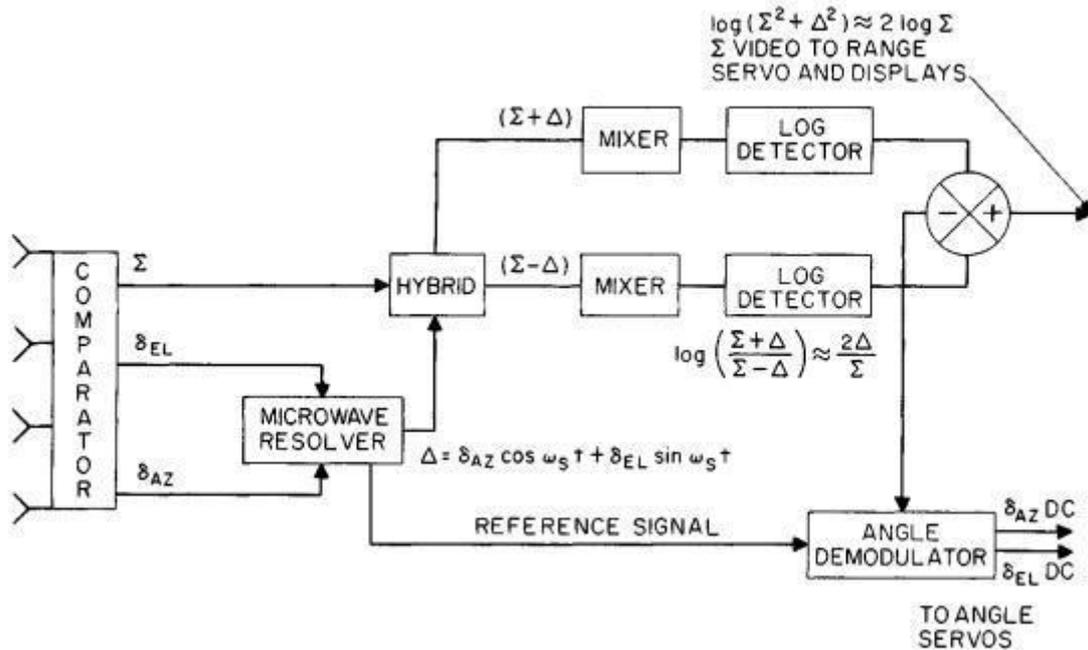


Figura 2.12: Modelo de sistema monopulso por comparación de fase

Se utiliza un dispositivo denominado *Microwave Resolver*, que es un lazo de acople de RF rotado mecánicamente en una guía de onda circular. A la salida del mismo, se obtienen ambas medidas angulares multiplicadas por un seno y coseno de ω_s , siendo esta frecuencia la velocidad angular de rotación. Esta salida, será la señal diferencia (Δ), que a su vez, será combinada por la señal suma (Σ) con un acoplador híbrido, que genera señales suma y resta de las entradas, siendo este caso $\Sigma+\Delta$ y $\Sigma-\Delta$. La ventaja de tener dos canales con información de error angular en sentidos opuestos es que las fluctuaciones de la señal en lo que se recibe son canceladas en el sustractor post-detección en la salida IF, el cual recupera la información de error angular.

El detector logarítmico IF, actúa como un AGC, dando la sensibilidad de error angular constante deseada de la señal diferencia normalizada respecto de la suma. La información de la señal diferencia detectada está contenida dentro de una envolvente senoidal. Esta señal, se separa en sus dos componentes correspondientes, por un demodulador angular. Este demodulador, usa una referencia del acoplador rotativo, logrando extraer así los errores de elevación y azimut.

Finalmente, se puede ver en la Figura 2.13, un ejemplo de modelo de un sistema de un solo canal. En la Sección 3, este tipo de sistemas se analizará con más detenimiento.

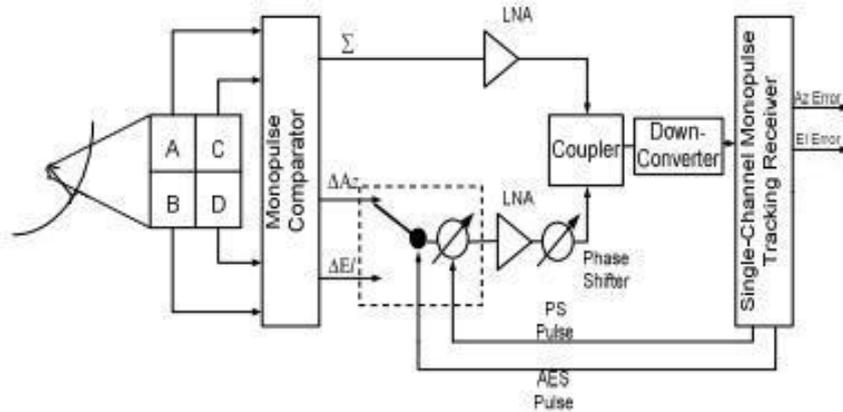


Figura 2.13: Modelo de sistema de monopulso por comparación de amplitud de un solo canal

Las señales de diferencia son multiplexadas mediante un circuito especial, que actúa como “llave”, que alterna entre cada entrada, siendo controlada por el procesador que genera las señales de error. Usualmente al sistema que actúa como llave, se lo denomina convertidor de Monoscan. La señal resultante de diferencia es luego sumada a la señal suma, mediante un acoplador, siendo modulada por el mismo en AM. La señal resultante, es demultiplexada por el mismo procesador que realiza el multiplexado y las señales resultantes son las coordenadas angulares. Al procesador, se lo denomina Electrónica de monopulso. Es necesario aclarar, que la señal de multiplexado tiene que ser mucho menor en frecuencia que la de trabajo del sistema en sí.

Una alternativa más sencilla, desde su desarrollo, es la de sumar con combinadores de 90° a las señales diferencia (de manera similar a la que se realiza en el primer sistema de dos canales mencionado) y sumarla a la señal suma, con el acoplador. Luego, se demodula y la señal es tratada por el procesador. [2][3]

2.3 Sistema de rastreo de objetivo basado en Monopulso

Como fue visto, la técnica de monopulso, fue generada y mayormente aplicada en el área de radar. Sin embargo, como se mencionó en el Subsección 2.1.2, también es utilizado en otras áreas muy diversas, bajo principios, casi idénticos.

Una de estas aplicaciones, es en el área de sistemas de rastreo y seguimiento de objetivos. Esta especialidad, tiene a su vez diversas disciplinas, la mayoría de ellas, de aplicación militar. Algunos ejemplos más clásicos, es la rastreo e interceptación de misiles de misiles, rastreo de aviones no tripulados, orientación de antenas en satélites y aviones, entre muchos otros.

El sistema de monopulso en este caso, no difiere del que fue presentado en las secciones anteriores. La diferencia más notoria, reside en que las señales de error, en lugar de ser utilizadas para mostrar en pantalla la posición relativa de un objetivo, respecto del eje de perspectiva, utiliza estas señales para orientar a la antena hacia el objetivo en cuestión, mediante un sistema de control, que maneja los servos, de acuerdo a los errores angulares que fueron medidos en las etapas previas. Otra diferencia muy destacable, es que, en este caso, como no es un radar, no hay lóbulos, por lo que la señal reflejada no existe. Lo que se utiliza, es la diferencia misma de la señal que se recibe, entre cada alimentador, para determinar la posición. Esto se puede realizar, debido al

hecho de que el funcionamiento anteriormente explicado, persiste sea pasiva o activa la fuente emisora.

Por otro lado, estas etapas precisamente no difieren en su comportamiento ni objetivo respecto de los modelos presentados con anterioridad. Es decir, que, en caso de utilizarse por ejemplo un sistema de dos coordenadas angulares que compara, los cuatro alimentadores, se conectarán al sistema que genera las señales sumas, diferencia de elevación y diferencia azimut, que luego deben ser demoduladas. Finalmente, se normalizan respecto de la suma y se generan los errores angulares.

Para los casos de uno y dos canales, estos principios se mantienen, al igual que las técnicas utilizadas en los radares, para adaptarse a cada circunstancia. [1][2]

2.4 Componentes en monopolso

Ya sea para el caso de radar, como para los sistemas de rastreo, las etapas críticas, se pueden construir con dispositivos iguales, que se adapten a las especificaciones de cada caso.

Las etapas son:

- Antena
- Dispositivos que sumen y resten señales electromagnéticas
- Receptores

2.4.1 Antenas

Una antena es la porción del sistema que irradia potencia desde el transmisor hacia el espacio o la recoja desde una señal entrante a ser transferida hacia el receptor. Puede ser descrito como un dispositivo que provee acople o adaptación de impedancia entre el transmisor (o receptor) y el espacio. Una sola antena puede ser compartida por varios receptores o transmisores. En el monopolso está relacionada principalmente con la recepción.

En los radares de monopolso se utilizan tres tipos de antenas principalmente, las de lentes, las reflectoras y los arreglos, que a su vez poseen varios subtipos. La principal distinción entre las antenas de monopolso y otras antenas utilizadas para diferentes propósitos es la naturaleza de sus bocinas de alimentación.

La bocina de alimentación (o alimentador) es la parte de la antena que distribuye la potencia proveniente del transmisor a la apertura principal de una manera deseada o recolecta la potencia capturada por la apertura para distribuir en el receptor. Existen dos tipos, la óptica o espacial, que recibe o irradia potencia de la apertura a través de espacio abierto, y la restringida, que distribuye o combina las potencias mediante líneas de transmisión o guías de ondas.

Se utiliza popularmente un sistema de cuatro bocinas de alimentación como fue mostrado en la Subsección 2.2.1, en la comparación por amplitud. Las dimensiones de estos dispositivos son del orden de la longitud de onda. Como fue mencionado, son

conectados a unos módulos denominados comparadores, que se encargan de sumar y restar la señal de los mismos. Estas señales, luego van a los receptores.

En el caso de un arreglo de cuatro bocinas, optimizar al patrón diferencia o suma, es posible, pero no a ambos a la vez, ya que son interdependientes. Si se agregaran más bocinas de alimentación, existe una independencia mayor, lo cual permite llegar a óptimos simultáneos con más facilidad.

Existe otro tipo de alimentación, el cual posee cinco alimentadores, se puede ver en la Figura 2.14. El central se lo utiliza para transmitir y recibir una señal de referencia, que, en esencia, cumple la misma función que la señal suma del caso de cuatro alimentadores. Una de las señales diferencia es extraída de los alimentadores de arriba y abajo, y la otra, de los alimentadores de los costados.

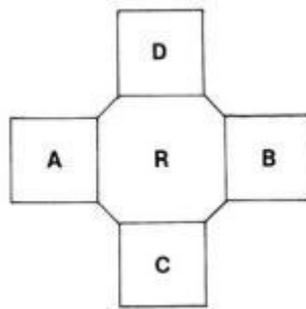


Figura 2.14: Alimentador de monopolso de cinco bocinas

En el caso de la comparación de fase se utilizan frecuentemente un arreglo de cuatro alimentadores lado a lado, de lentes o reflectores, conectados rígidamente para formar una antena sola. Cada lente o reflector tiene una alimentación única que hace foco.

Existen otras configuraciones, que son variantes más complejas de las anteriormente mencionadas, como por ejemplo la alimentación de 12 bocas, multi-modos, alimentaciones multi-capas o multi-modo de boca única, con distintas ventajas y desventajas. [1][4]

2.4.2 Dispositivos para sumar y restar señales electromagnéticas

En una antena típica de radar de monopolso, con sus cuatro alimentadores, también se encuentran ciertos dispositivos pasivos de microondas, que se encargan de generar las señales suma y diferencias. Usualmente, son dispositivos de cuatro puertos, dos de entrada y dos de salida. Usualmente los mismos dispositivos o similares son utilizados para otras funciones de radar, tales como división o combinación de potencia.

Hay muchos de estos dispositivos, que se los puede dividir en dos categorías, las juntas híbridas y los acopladores direccionales. Sin embargo, estas categorías en ocasiones se solapan. [1]

2.4.3 Junturas híbridas

En las **junturas híbridas** (o simplemente llamados híbridos) con las terminaciones debidamente adaptadas, una señal que entre en cualquiera de las entradas, es dividida en partes iguales de potencia, entre cada salida y no aparece en absoluto en el otro puerto de entrada. Además, cuando las dos señales que tienen la fase relativa apropiada son conectadas en los respectivos puertos de entrada, las dos salidas son proporcionales a la suma y diferencia. La diferencia de fase relativa entre las dos entradas depende del tipo de junta híbrida, aunque usualmente son 0° y 90° . Tanto la suma como la resta pueden estar en fase o cuadratura.

La Figura 2.15, ilustra un tipo de junta híbrida, conocida como “T mágica” (*magic-T*, en inglés), que consiste de guías de ondas ubicadas de una manera específica. Una señal de entrada en el puerto 1, se divide igualmente entre los puertos 3 y 4, pero no aparece en el puerto 2, porque la guía de onda no soporta ese modo de propagación. De igual manera ocurre, si se ingresara precisamente por el puerto 2. Si las guías tuvieran los largos y anchos apropiados, y ambas entradas son conectadas simultáneamente, un puerto será la suma de ambas y el otro la resta. En la práctica, los brazos 3 y 4, se los puede colocar de manera paralela a 2 ó a 1, y continuaría cumpliendo su objetivo. Si las dos entradas están en fase, la suma y diferencia también van a estar en fase. La diferencia de fase entre entrada y salida difiere debido al retardo de propagación dentro del mecanismo, pero eso no afecta a los propósitos de este dispositivo en esta aplicación particular. En teoría, este dispositivo, no es sensible a la frecuencia, por lo que puede trabajar en un amplio rango de frecuencias.

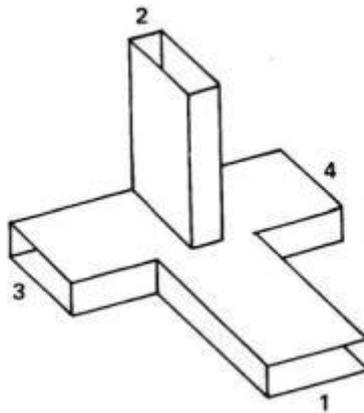


Figura 2.15: Junta híbrida T mágica

En las Ecuaciones 2.10 y 2.11, se visualiza cuáles serían los voltajes de salida si las entradas fueran v_1 y v_2 respectivamente.

$$v_3 = \frac{1}{\sqrt{2}} (v_1 + v_2) \quad (2.10)$$

$$v_4 = \frac{1}{\sqrt{2}} (v_1 - v_2) \quad (2.11)$$

Estas ecuaciones pueden intercambiarse dependiendo de la convención de polaridad de las entradas. La razón del factor proporcional que acompaña a las operaciones se debe a que la potencia total a la salida debe ser igual a la que entra, como se ve en la Ecuación

2.12. Nótese que los voltajes están elevados al cuadrado, porque se trabaja con potencias.

$$v_1^2 + v_2^2 = v_3^2 + v_4^2 \quad (2.12)$$

La **juntura híbrida de aro** (también conocida como *Rat-Race* o Híbrido pi) es ilustrada en la Figura 2.16. Una señal de entrada por el puerto 1, alcanza al puerto de salida 4, por dos caminos separados (a favor y en contra del sentido del reloj), que tienen la misma longitud de paso $3\lambda_g/4$, donde λ_g es la longitud de onda en la guía. Las dos señales de ambas ramas se refuerzan en el puerto 4. La misma señal de entrada alcanza al puerto 3 a través de los pasos teniendo longitudes de $\lambda_g/4$ y $3\lambda_g/4$, difiriendo por una longitud de onda. Por lo tanto, el refuerzo también ocurre en el puerto 3. Por otro lado, las longitudes de paso desde 1 a 2 difieren por media longitud de onda, ocurriendo una cancelación, por lo que no habría salida en el puerto 2.

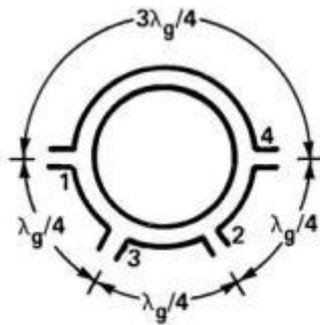


Figura 2.16: Juntura híbrida de anillo (*rat-race*)

De igual manera, una entrada en el puerto 2 produce salidas iguales en los puertos 3 y 4, pero nada en el puerto 1. Si ambas señales entran simultáneamente en 1 y 2, alcanzan al puerto 3 con la misma fase y al 4 con fases opuestas, siendo, por lo tanto, la suma y la resta respectivamente, estando en fase ambas salidas. Por reciprocidad, los puertos de entrada y salida pueden intercambiarse. Dado que las relaciones de fase responden a las guías de onda, por lo que es estrictamente correcto en solo una frecuencia, pudiendo este dispositivo ser usado en una banda más estrecha que la guía de onda. Las relaciones entrada-salida, son las mismas para la T Mágica. [1]

2.4.4 Acopladores

En general, un *acoplador* es un dispositivo que refleja una fracción de potencia que fluye a través de una guía de onda o línea de transmisión primaria en una guía o línea secundaria. El cociente entre la potencia de entrada primaria y la potencia de salida secundaria, se lo llama factor de acople o sencillamente acople. Pueden tener 3 o más puertos, dos para el primario y uno o más para el secundario. En monopolso, se usan de cuatro puertos. Un acoplador es *direccional* cuando este produce una salida en un puerto secundario dado, y la potencia que fluye a través del puerto primario en una dirección, pero no en la otra. En un acoplador de cuatro puertos direccional, se produce una salida en uno de los dos puertos secundarios, dependiendo de la dirección del flujo.

Como se puede observar en la Figura 2.17, la señal entra por el puerto 1, en la guía de onda primaria, y llega la potencia al puerto 3, menos una fracción, que va al puerto 4, pero debido a la separación de la longitud de onda de cuarto, se cancela hacia el otro

lado, produciendo un cero. Una entrada en 3, produce salidas en 1 y 2, y un cero en 4. Bajo este conocimiento, un nivel de acople de interés para el sistema en cuestión sería 3 dB, ya que esto implica que la mitad de la potencia se irá por el acople, y la otra por la salida del primario.

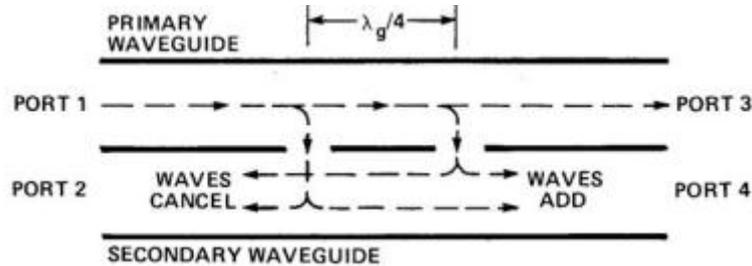


Figura 2.17: Modelo de acoplador direccional de dos pasos

Respecto a la fase, en este tipo de acopladores se cumple que si una entrada es aplicada en un puerto, las salidas estarán en cuadratura de fase entre ellas. Sin embargo, por cuestiones constructivas, hay que agregar un desfase de 90° antes de la entrada, para poder sumar y restar. [1]

2.4.5 Comparador

Cualquiera de estos dispositivos descritos previamente, se los utiliza para obtener la suma y la diferencia de dos entradas. Como fue mencionado, al menos cuatro puntos de alimentación se usan, por lo que no alcanzaría un solo híbrido (o acoplador). Todo el ensamble de híbridos, desfasadores (si son necesarios) y guías de onda (o líneas de transmisión), se lo denomina **comparador**. Si bien este elemento no compara nada de manera directa, provee los medios para realizar una comparación de manera indirecta, ya que genera señales diferencias y suma a partir de la doble comparación de las señales de entrada.

La Figura 2.18 muestra un diagrama esquemático de un sistema de monopulso de 4 alimentaciones. Las cuatro entradas, denominadas desde la A hasta la D, son las señales obtenidas de las bocinas de alimentación. Se utilizan cuatro híbridos.

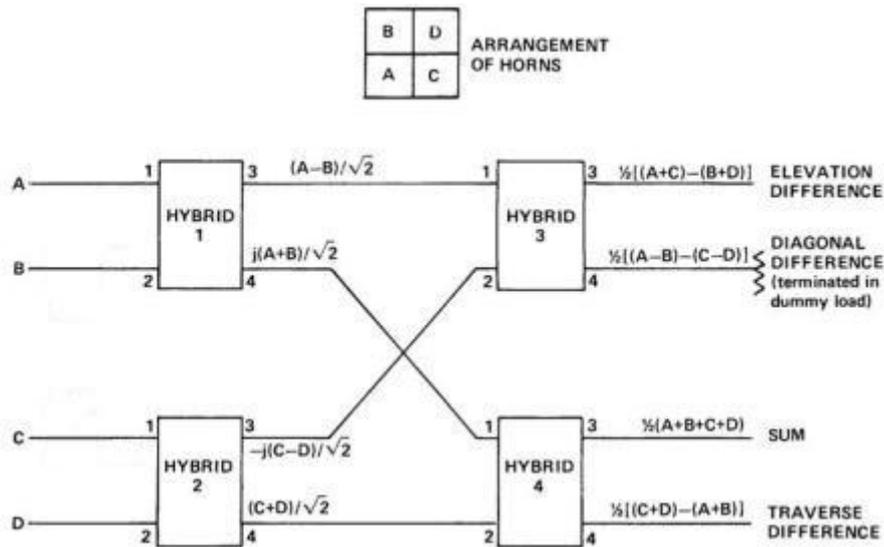


Figura 2.18: Comparador para sistema de monopulso de cuatro alimentadores.

Los puertos de cada híbrido en la Figura 2.18 están nominados desde 1 a 4 correspondiéndose con las Figuras 2.16 y 2.17.

Si se usaran acopladores, es necesario agregar desfases en las entradas B y C, como fue mencionado en la sección previa. Las salidas, pueden observarse en la sección derecha de la figura. Estas son la suma, la diferencia de azimut y la diferencia de elevación. Existe una cuarta salida, que recibe nombres diversos, como, por ejemplo, diferencia diagonal, porque es la diferencia entre las sumas diagonales, que usualmente no se utiliza, por lo que se la conecta a una carga ficticia.

Los dispositivos utilizados asumen componentes sin pérdidas. En la práctica, pequeñas pérdidas están presentes y deben tomarse en cuenta. Si no existieran, la suma total de potencias de salida debería ser igual a la suma de las potencias de entrada.

En diseños actuales, los componentes de los comparadores son colocados de manera cercana a las bocinas de alimentación de antena, formando un ensamblaje compacto. Esto ayuda a disminuir el bloqueo cuando el ensamble está enfrente de un reflector y también minimiza las longitudes de las guías de onda, disminuyendo así diferencias de fase y pérdidas. Además, un peso liviano es deseable para minimizar desviaciones mecánicas del ensamblaje debido a la gravedad o aceleración.

Si la configuración fuera de cinco bocinas de alimentación, como se vio en la Figura 2.14, las diferencias salen de las restas entre las bocinas derecha e izquierda (azimut) y superior e inferior (elevación), mientras que la bocina central provee la señal de referencia que cumpliría la función de la señal suma, teniendo incluso la misma forma. En este caso, el comparador solo contendría dos híbridos, que generarán cada resta. Existe alguna variante que utiliza tres híbridos, ya que también generan la señal suma a partir de las bocinas y la bocina de referencia central, se utiliza solo para la comunicación principal, como se observa en la Figura 2.19. Esto ocurre particularmente en aplicaciones en que el sistema no se utiliza solo como radar. [1][4]

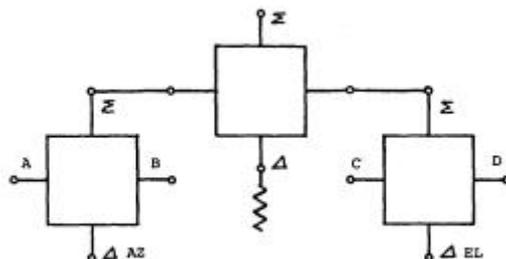


Figura 2.19: Configuración de comparador de tres híbridos, utilizado en la alimentación de cinco bocinas.

La configuración de cuatro bocinas de alimentación es utilizada mayormente, debido a que utiliza menos bocinas de alimentación que el otro. Las mismas, son más costosas ya que se hacen a medida y son difíciles de diseñar. Además, en el de cinco bocinas (denominado “Estrella” o “Diamante”), no utiliza a todos los híbridos, para formar a ambas señales diferencia, resultando una diferencia de 6 dB respecto a la suma, mientras que en el de cuatro bocinas (llamado también “Cuadrado”), donde la diferencia es de 3 dB solamente.

2.4.6 Receptores

En los receptores de cada canal (si es que hay más de uno), los voltajes de radio frecuencia (RF) que provienen desde la red combinatoria de microondas son convertidas a frecuencia intermedia (IF) mezclando la entrada con un oscilador local, luego amplificada y filtrada en IF. El filtro está adaptado al pulso de radar. Esto significa que idealmente la función transferencia del filtro es la conjugada compleja del espectro del pulso de voltaje. En la práctica, esta característica es aproximada, así que el ancho de banda del filtro es aproximadamente igual al recíproco de la duración del pulso transmitido.

Debido a que las señales sumas y diferencias fueron formadas por dispositivos estables pasivos, que preceden a los receptores, la dirección del eje de simetría es más estable que si estas señales fueran formadas después de haber pasado por los receptores. Una señal diferencia nula a la entrada de un receptor produce una señal nula en la salida incluso si el receptor posee ganancia o desfase. Sin embargo, un nulo nunca es perfecto, ya que debido a imperfecciones de los dispositivos RF, la diferencia tiene un componente de voltaje residual en cuadratura de fase con la suma. Esto, al pasar a través de los dispositivos pasivos, genera un error angular. A pesar de que los receptores estén después de estos dispositivos, lo cual atenúa este error, el sistema no es totalmente inmune a estos errores.

Para una medición más precisa, es importante que los tres canales se “rastreen” el uno al otro, en ganancia y fase. Con “rastrear” uno se refiere que, una vez que la ganancia y fase han sido igualadas, deben permanecer igual (dentro de los límites tolerables) con el pasaje de tiempo hasta la siguiente calibración, y sobre un adecuado rango de niveles de entrada, temperatura y frecuencia dentro de la banda de sintonizado del radar.

Algunos radares de monopolso usan pulsos pilotos, inyectados en la interfaz de los receptores para mantener la adaptación de fase y ganancia. Disparidades entre los receptores son detectadas y corregidas automáticamente por atenuadores y desfasadores

ajustables o en la computación de la salida de monopolso si es hecho por computadora. [1]

2.5 Conclusiones

A modo de resumen, un sistema de monopolso utiliza una señal reflejada, y la compara con la transmitida, la cual usa como referencia un sistema de cuatro lóbulos. En base a la diferencia que exista, ya sea de amplitud o fase, determina que tanto se ha movido el objetivo respecto del eje de referencia que forman los cuatro lóbulos.

Cuando es un sistema que analiza amplitud, para hacer el cálculo de cuanto se ha movido, ya sea en elevación o azimut, se utiliza un arreglo de dispositivos pasivos, a los que se denomina comúnmente híbridos, utilizados para realizar sumas y restas. Estos generan un conjunto de señales (suma, diferencia de elevación y diferencia de azimut). Cada una de estas señales será demodulada por un receptor y finalmente, se referencia cada diferencia a la suma, obteniéndose así las señales de error. Estas señales serán utilizadas por los sistemas de control como referencia, para orientar la antena en pos del objetivo.

Si uno quisiera realizar una representación muy simplificada de un modelo típico de este sistema, se podría reducir a una antena, con cuatro bocinas de alimentación, seguidos por un comparador, luego los receptores, seguidos finalmente por el sistema de control que maneja los servos.

Existen variantes del sistema en amplitud, que utilizan menos canales, es decir, menos receptores. Para ellos se utilizan diversas técnicas, como el multiplexado y combinación de señales. Un sistema muy popularmente utilizado es el de un canal. En este sistema, se multiplexa las señales de diferencias, mediante un sistema de conmutadores. Este es controlado por un sistema llamado Electrónica de Monopulso, que genera las señales que activan y desactivan a las llaves. Luego le sigue un acoplador que acopla las señales sumas y la que sale del convertidor, denominada sencillamente “diferencia”. Esto referencia a esta señal a la suma. Finalmente, la señal resultante ingresa en un receptor, que demodulará a la señal en AM, y la enviará a la Electrónica de Monopulso, donde será demultiplexada y las señales de error serán obtenidas. En la Figura 2.20, se puede observar el modelo recientemente descrito.

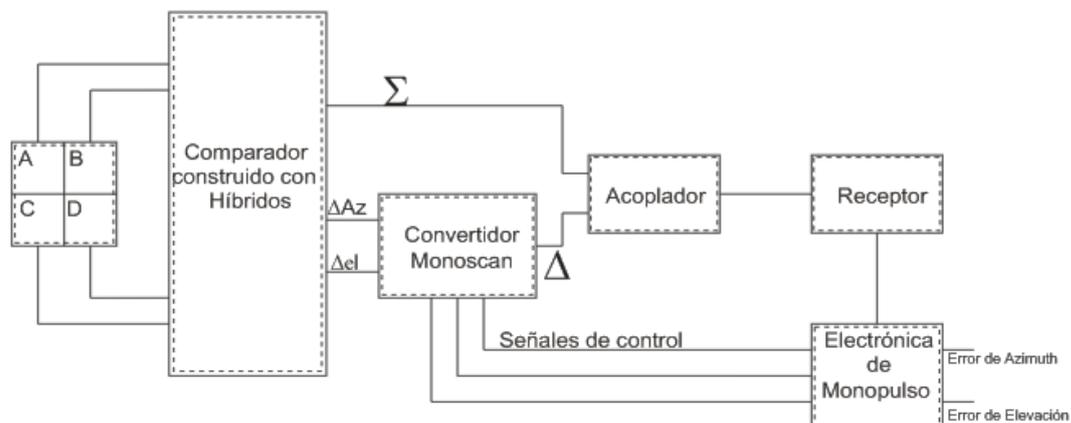


Figura 2.20: Sistema de monopolso por amplitud de canal único

2.6 Bibliografía

- [1] **S. M. Sherman S. M., D. K. Barton.**(2011) Monopulse principles and techniques. Estados Unidos: Artech House.
- [2] **M. I. Skolnick.** (1990). Radars Handbook. En Tracking Radar (18.1-18.25). Estados Unidos: McGraw Hill.
- [3] **S. Lacheta, P.K. Gupta, J.K. Hota** (2015) Generic Digital Monopulse Tracking Receiver for Advanced Communication Satellites. IEEE paper.
- [4] **J.C. Pullara, C.W. Bales, G.P. Kefalas and M. Uyehara** (1974) Dual S and K Band Tracking Feed for a TDRS Antenna. Estados Unidos: Nasa.

3 Pseudomonopulso

3.1 Sistemas de monopolso de canal único

Como fue señalado en la Sub-Sección 2.2.3, dentro de los sistemas de monopolso, existe cierta clasificación dentro de estos tipos de sistemas, de acuerdo a la cantidad de canales que posean. La cantidad de canales equivale a la cantidad de receptores de IF dentro del sistema. Dado que existen tres señales (suma, diferencia de Elevación y diferencia de Azimut), el sistema básico de monopolso, posee tres receptores, por lo que como máximo, los sistemas pueden ser de hasta tres canales. Para tener sistemas de uno o dos canales, diversas técnicas que combinan a las señales suma y diferencias, de manera que dicha combinación pueda ser demodulada luego. Las ventajas de estas técnicas se traducen en mejoras en el AGC y costos menores, pero a su vez empeoran la relación señal a ruido y pueden producir acoplamiento entre señales.

Dentro de los sistemas de un solo canal, existen técnicas diversas, que también fueron señaladas en el capítulo antes mencionado. Algunas de las técnicas más conocidas se basan en el concepto de multiplexado. Multiplexar, implica la alternancia entre varias entradas.

Existe un sistema de multiplexado de tiempo, que se puede ver en la Figura 3.1, denominado TDM debido a su nombre en inglés, *Time Division Multiplexing*. Esta técnica, es igual a la técnica clásica hasta el primer IF. Luego de este último, se colocan filtros de banda angosta, para limitar en banda antes de muestrear. Esto previene que se degrade la señal debido al ruido de alta frecuencia o señales parásitas presentes en la etapa IF. La velocidad de muestreo como mínimo es el doble de la frecuencia de trabajo, y requiere un ancho de banda de 6 veces la misma frecuencia, para que la salida de la etapa IF sea esencialmente cero antes de que la siguiente muestra arribe. La salida IF es conectada a un segundo conmutador operado en sincronización (demorado por el *delay* de IF) con el primer conmutador. La salida del segundo conmutador es conectada a tres filtros idénticos a los utilizados antes de muestrear. Un AGC es desarrollado usando al filtro del canal suma (Σ) y es aplicado al aplicador IF para lograr una normalización. Si bien no posee exactamente un único receptor, posee menos componentes que un caso de tres canales.

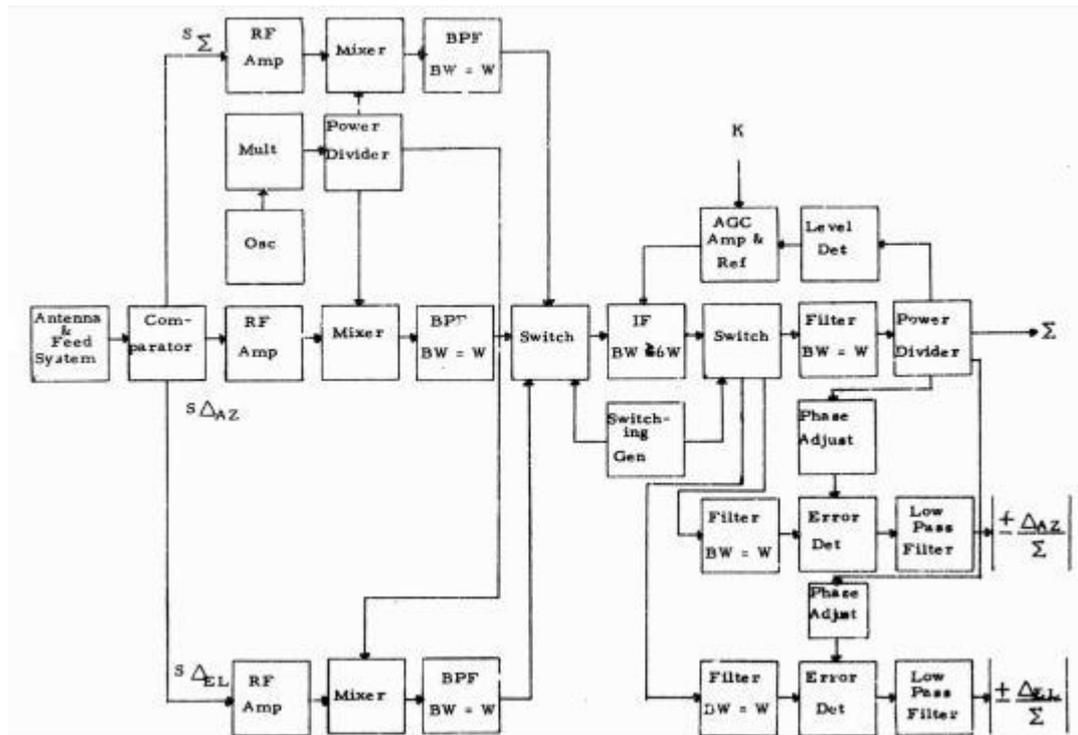


Figura 3.1: Sistema de Monopulso de Multiplexado en el Tiempo (TDM)

Existe otra tipología, que en lugar de multiplexar en el tiempo, lo hace en frecuencia, como se lo visualiza en la Figura 3.2. A este sistema se lo denomina Sistema de Monopulso de Multiplexado en Frecuencia (FDM, o *Frequency Division Multiplexing*). Las salidas del comparador en RF son mezcladas a tres frecuencias centrales, de manera que sus espectros individuales no se solapen. Las frecuencias diferencias $f_2 - f_1$ y $f_2 - f_3$ son formadas y aplicadas para separar a los mezcladores. Las señales suma y diferencias son sumadas linealmente y amplificadas en la banda ancha de IF. Nuevamente, un AGC es desarrollado desde la salida del canal suma y aplicada al amplificador IF para normalizar. La señal suma es mezclada con señal $f_2 - f_1$ y la salida del mezclador de suma a la frecuencia f_2 es utilizada como referencia en los detectores de errores. La señal diferencia, en una frecuencia central f_3 es mezclada con la señal $f_2 - f_3$ y la salida de ese mezclador es también aplicada al detector de error. Si bien posee menos componentes que respecto al caso del TDM, este sistema aún sigue siendo caro y varias etapas son complejas.

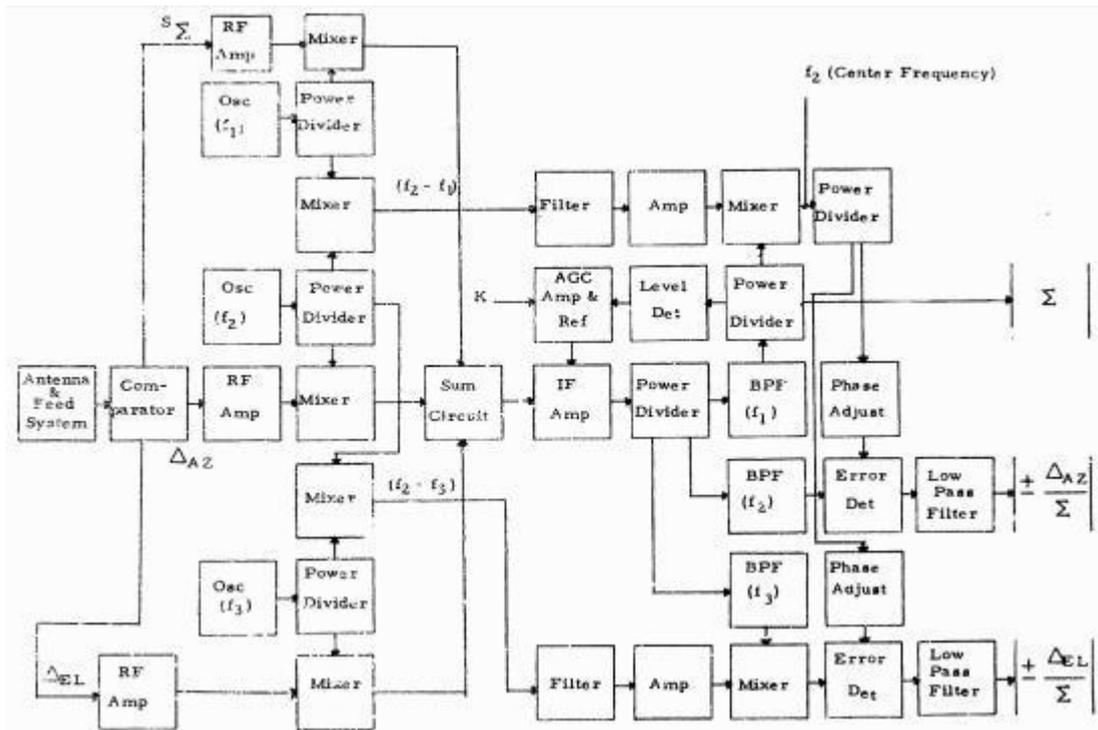


Figura 3.2: Sistema de Monopulso de Multiplexado en Frecuencia (FDM)

Existe otra variante, denominada procesador de monopulso de canal único o SCAMP (*Single Channel Monopulse Processor*), el cual provee una sensibilidad de error angular constante deseada, normalizando las señales diferencia respecto a la suma utilizando un solo canal IF, como se muestra en la Figura 3.3. Estas señales son convertidas desde RF a distintas IF mediante diferentes osciladores locales de frecuencias distintas para cada señal. Estas son amplificadas en un único amplificador IF, que soporte a las señales en frecuencias distintas. A la salida del amplificador son limitadas en banda por filtros de banda angosta. Luego son convertidas a la misma frecuencia al batir dos de las señales con la frecuencia diferencia entre su oscilador local y el oscilador local de la tercera señal. El voltaje de error angular es luego determinado por un detector de fase o amplitud. El efecto de la acción del AGC y normalizar es realizado por el limitado en banda, el cual causa una supresión de la señal débil en la señal diferencia, similar al tratamiento que se hace con el ruido.

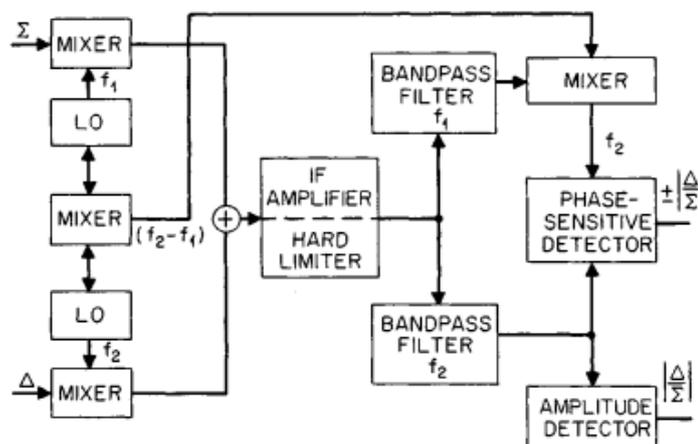


Figura 3.3: Diagrama en bloques del SCAMP, en una sola coordenada angular. (El sistema es capaz de rastrear ambas coordenadas)

Hasta ahora, todas las técnicas mencionadas, se destacan por su costo y complejidad. Sin embargo, existe una alternativa, que minimiza ambas cuestiones. Se la denomina Pseudomonopulso, que, si bien se basa en Monopulso, posee ciertas características que difieren precisamente de la definición del mismo, acercándola a las técnicas de escaneo cónico y *sequential lobing*, mencionadas en la Subsección 2.1. Al igual que las técnicas anteriores, el modelo es idéntico al sistema de monopulso de tres canales, hasta el comparador. Sin embargo, es distinto luego del mismo, viéndose su diagrama simplificado en la Figura 3.4. Las señales diferencia son combinadas en un dispositivo denominado Convertidor de Monoscan, o sencillamente Scanner, a una frecuencia baja (mucho menor a la de trabajo, por ejemplo 100 Hz) y luego sumada a la señal suma, mediante un acoplador, formando una señal de salida modulada en AM. Las señales pueden ser sumadas en cuadratura (modulación de fase) cuando la información de comunicaciones básica en la portadora de RF es de un mínimo de unos pocos cientos de Hz (velocidades más bajas causarían diafonía con la señal de escaneo o conmutación). La señal de AM es procesada a través de un único canal receptor, donde será demodulada. Eligiendo debidamente la conmutación, la salida contiene la información de fase y amplitud necesaria, que será decodificada por un sistema denominado Electrónica de Monopulso (el mismo que controla al convertidor de Monoscan). Las técnicas de escaneo cónico y *sequential lobing*, hacen un barrido mediante la antena, mientras que este sistema, el barrido, lo realiza electrónicamente, siendo esta su principal diferencia. Por este mismo motivo, no es monopulso, ya que necesita de dos pulsos para poder realizar la performance, y no uno, como originalmente fue diseñado. Por esta razón se lo denomina Pseudomonopulso. [1][2]

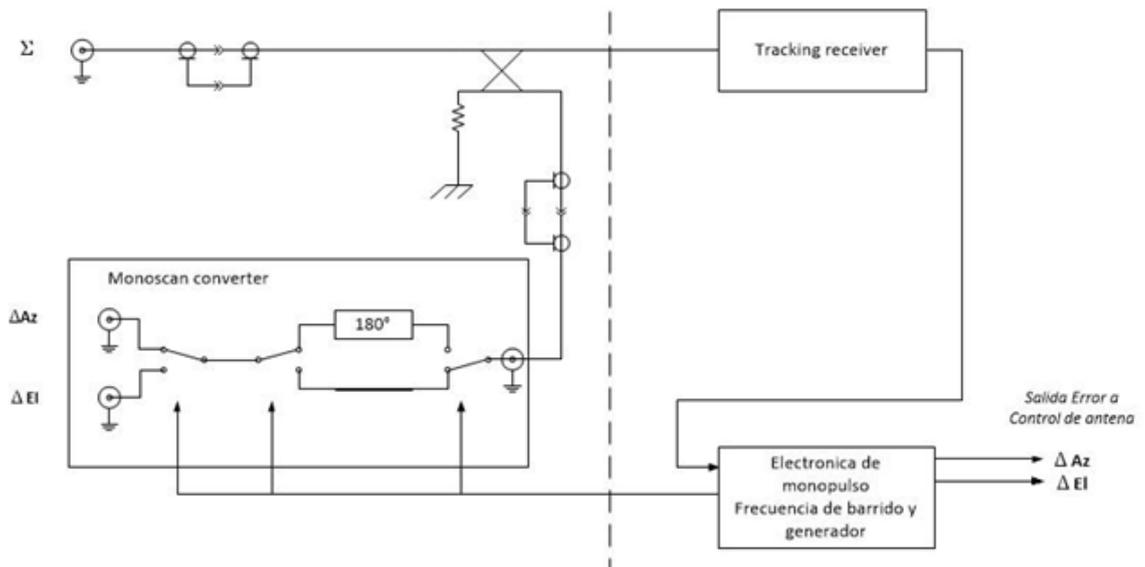


Figura 3.4: Diagrama del sistema de Pseudomonopulso

En la Tabla 3.1, se puede observar una comparación de cada sistema mencionado y al de tres canales, abarcando distintas áreas de particular interés. Se califica de 1 a 10, siendo 1 la peor calificación y 10 la calificación máxima. Se observa que el sistema de Pseudomonopulso es el que presenta un desempeño más regular, e incluso superior en algunos aspectos, teniendo una confiabilidad cercana a la del sistema de 3 canales. [1][2]

Ítems	Pseudomonopulso	TDM	FDM	SCAMP	Monopulso Clásico
Complejidad	9	2	4	5	7
Degradación	7	5	9	7	10
Costo	8	1	3	2	4
Rango Dinámico	9	4	10	7	7
Error de Rastreo	4	4	5	5	3
Sincronización	9	3	6	5	10
Diafonía	10	5	4	6	9
Confiabilidad	9	4	5	4	10

Tabla 3.1: Comparación entre los sistemas de un solo canal y el sistema de tres canales

3.2 Introducción a Pseudomonopulso

El sistema de alimentación de antena en el pseudomonopulso es del mismo tipo que en los sistemas de monopulso de comparación de amplitud. Las señales suma y diferencia son generadas a partir de un comparador formado por híbridos. Hasta este punto, no presenta ninguna diferencia respecto a los sistemas ya explicados, de tres canales.

El sistema desde el comparador hasta el receptor es lo que define a este sistema y lo diferencia de otros, ya presentados. El sistema completo es denominado **Red de Escaneo**, compuesta por dos etapas, el Conversor de Monoscan (o, en inglés, *monoscan converter*) y un acoplador. Se puede ver su esquema simplificado, en la Figura 3.5. Este conjunto de mecanismos, toma las señales de diferencia y las reparte en el tiempo.

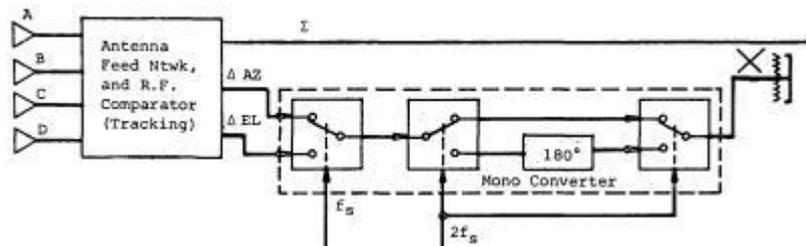


Figura 3.5: Diagrama en bloques de la Red de Escaneo

El primer conmutador, alterna a una frecuencia, denominada f_s , entre las dos señales de diferencia. Esto implica, que, en cada ciclo, se trabajará con una señal diferencia o la otra. Debido a que precisamente se necesitan dos ciclos de trabajo para tener una muestra completa, es denominado “pseudomonopulso”, ya que el sistema de monopulso, utiliza precisamente un único pulso, para poder obtener el error angular. La frecuencia de conmutación debe ser mucho menor a la de trabajo (un criterio conservador habla de una diferencia de entre 10 y 100 veces), de manera que el intercambio entre cada canal no se confunda con la señal. Al mismo tiempo, no debe ser muy baja, debido a que se perdería información del canal que no está siendo analizado en ese ciclo, y el seguimiento, a su vez, no sería lo suficientemente rápido. Es por estos motivos que se debe lograr una relación de compromiso entre la frecuencia de trabajo y la de conmutación.

A esta señal, se le agrega, mediante el acoplador, la señal de suma, formando de esta manera una señal modulada en amplitud, donde la Suma será la portadora. El nivel de acople del acoplador actuará a su vez como índice o factor de modulación. La Ecuación III.1, disponible en el Anexo III, representa un modelo de modulación en AM. Sin embargo, como se desconoce cuál es el valor de la señal Suma, haría imposible distinguirla de la señal diferencia al demodularla. De ser así, sería necesario un demodulador adicional, que demodule solamente a esta señal. En muchos casos, como en telemetría o comunicaciones, la señal suma es la contenedora de información, por lo que será demodulada por separado eventualmente. Sin embargo, esta señal está sujeta a los retardos propios del sistema, por lo que no podrá mantener el sincronismo con el resto del sistema.

Es por este motivo, que existe una etapa intermedia, entre el primer conmutador y el acoplador. Luego del primer conmutador, aparece un segundo conmutador, que alterna a una frecuencia, que es el doble de la frecuencia f_s . La misma está conectada a una línea con retardo de 180° y otra con retardo nulo. Un tercer conmutador que también opera a $2f_s$, se encuentra conectado entre el acoplador y las líneas mencionadas. Estos dos conmutadores, están sincronizados, ya que no solo trabajan a la misma frecuencia, sino que ambos están simultáneamente conectados a la línea de 0° y de 180° .

Con este mecanismo, lo que se busca es que en la mitad de cada ciclo de cada señal diferencia, sea positiva (cuando están los conectores en la línea de 0°) o negativa (cuando están en la línea de 180°). Esto se realiza para que la señal diferencia pueda demodularse sin necesidad de que se conozca la señal suma, pues en el acoplador se sumará medio ciclo positivo y otro medio ciclo negativo, logrando que el valor medio sea la señal suma y pueda visualizarse con claridad el signo.

La etapa que sigue, visualizada en la Figura 3.6, corresponde al receptor. En general es precedido por un amplificador de bajo ruido (LNA, *Low Noise Amplifier*) y un filtro pasabanda centrado en la frecuencia de trabajo y un ancho de banda que no distorsione la señal, para aumentar el nivel de la señal y bajar el piso de ruido.

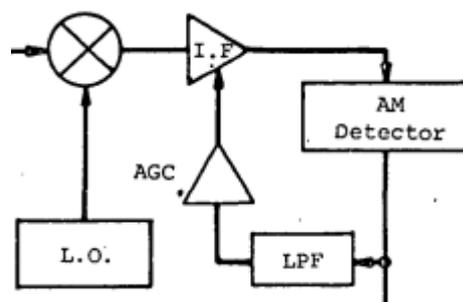


Figura 3.6: Etapa de recepción en Pseudomonopulso con AGC.

El mezclador y el oscilador local se encargan de mover la señal de trabajo a una frecuencia menor, y el amplificador de IF, amplifica el nivel de la señal y la filtra nuevamente, pero en una frecuencia IF. Este sistema está basado en los sistemas de recepción superheterodinos, explicados con más detalle en la Subsección III.3, del Anexo III. El detector de AM, se encargará de demodular la señal proveniente de las etapas previas. En la práctica se deberá agregar un AGC, ya que las señales de entrada

van a variar en amplitud, dependiendo el rango del objetivo a seguir, agregándole mayor confiabilidad al sistema.

Finalmente existe una última etapa, denominada **Electrónica de monopolso**. En ella, se realizan tareas diversas, tales como generar las señales que manejan los conmutadores del conversor de monoscan. Mediante esta misma señal de multiplexado, se puede adquirir las señales del receptor, separarlas y obtener el error en cuestión. Las señales de error angular, que se utilizarán en los sistemas de control de los servos, son resultantes de este trabajo de de-multiplexado. Esta etapa puede ser analógica, aunque los equipos modernos utilizan sistemas digitales para ello.

Existe una etapa de control, que utiliza las señales de referencia antes mencionadas, para mover a las antenas en dirección del objeto que se rastrea, mediante servomecanismos. Usualmente, esta etapa, varía según el tamaño de la antena, el/los objeto/s que se rastrea, la potencia de la señal, entre otros aspectos, de igual manera que en los sistemas de monopolso clásicos de tres canales. [2][3][4]

3.3 Red de Escaneo

Es de particular interés analizar el funcionamiento de la Red de escaneo, para conocer algunas alternativas de diseño.

En lo que respecta al convertidor de monoscan, el mecanismo que presenta puede ser realizado en principio por cualquier conmutador, que soporte tanto la frecuencia de trabajo como la de multiplexado. A su vez, su construcción interna debe garantizar la adaptación de impedancias del sistema. Estos dispositivos tienen la ventaja fundamental de que hacen a la construcción del sistema muy sencillo, a su vez de que no son difíciles de adquirir.

Existe una alternativa, que consiste en utilizar diodos del tipo PIN y circuladores (visto en el capítulo 3), como se ve en la Figura 3.7.

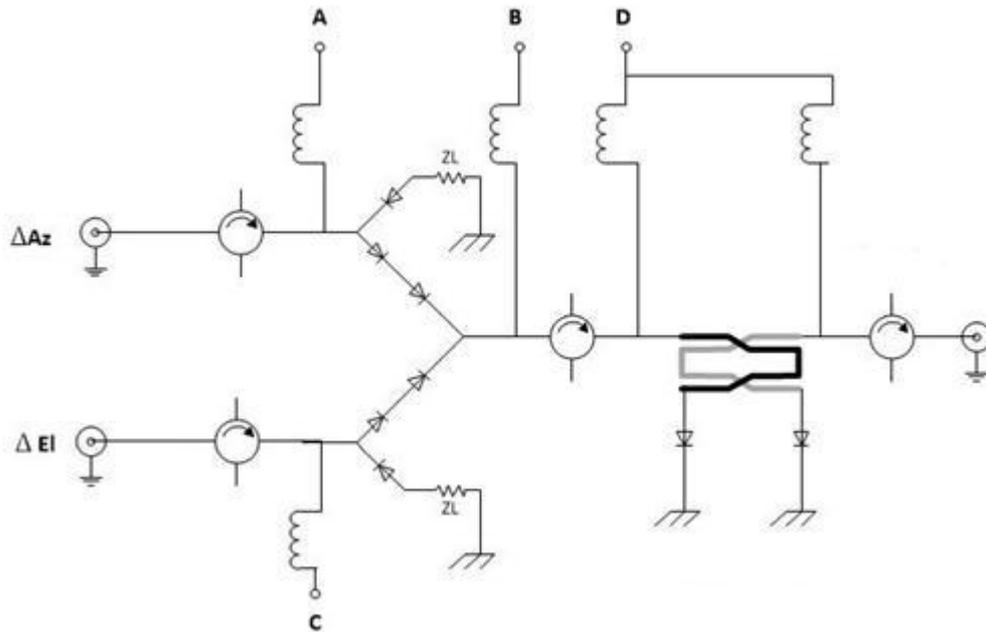


Figura 3.7: Sistema de Conversor de Monoscan con diodos PIN.

Se llama diodo PIN a una estructura de tres capas, siendo la intermedia un semiconductor intrínseco, y las externas, una de tipo P y la otra tipo N (estructura P-I-N que da nombre al diodo). Sin embargo, en la práctica, la capa intrínseca se sustituye bien por una capa tipo P de alta resistividad (π) o bien por una capa n de alta resistividad (ν). Estos diodos pueden ser utilizados, entre otras cosas, como conmutador de RF, resistencia variable, protector de sobretensiones o fotodetector. Tiene capacidad para manejar alta potencia.

En la configuración presentada en la Figura 3.7, los diodos junto con los circuladores, forman la configuración típica del conjunto de conmutadores, de la manera que está descrita en los sistemas de convertidor de monoscan previamente explicados. Las señales A, B y C corresponden a la señal de la frecuencia f_s y la señal D, a la frecuencia $2f_s$. En la misma figura también se halla un dispositivo entre cada conexión de la terminal D. El mismo, es un acoplador direccional especial, ya que se lo realiza tomando como punto de partida un desfasador, de manera que logre desfasar 180° entre la entrada y la salida acoplada, con un nivel de acople acorde de manera que no se pierda información. Se utiliza en este caso un acoplador adaptado en lugar de un desfasador, debido a que se necesitan dos canales para garantizar la función de conmutación. Sin embargo, su diseño corresponde inicialmente al de un rotador de fase típico, buscando el desfasaje deseado, pero se debido a las características del sistema del cual forma parte, se deben tener en cuenta factores propios de acopladores, tales como el acoplamiento, la aislación y las pérdidas de inserción.

En lo que respecta al acoplador que realiza la adición entre la señal Suma y la señal multiplexada de Diferencia, responde a las características de diseño que fueron explyadas en la Subsección II.3.2, del Anexo II. Un nivel de acople óptimo correspondería a 3 dB, siendo este nivel de acople proporcional al índice de modulación, aunque eso involucra diseños de acopladores mucho más complejos. Niveles de acoples más bajos (usualmente entre 9 y 12 dB son los más aceptables), dan

índices de modulación menores, y resultan en acopladores más sencillos de realizar. [2][3][5]

3.4 Electrónica de Monopulso

Esta etapa del sistema es la protagonista del multiplexado de las señales diferencia, ya que se encarga de generar las señales que activa a los conmutadores y además, demultiplexa, a partir de la misma señal que se utiliza para conmutar en primer lugar.

La señal con frecuencia de conmutación es generada en esta etapa. Usualmente consiste en una señal cuadrada, cuya frecuencia tenga en cuenta los criterios explicados en la sección anterior. También se genera la señal que posee el doble de frecuencia, para los conmutadores que alternan entre las líneas de 0° y 180° .

Esta etapa es también la que recibe la señal demodulada del receptor. Esta tendrá las características del esquema visualizado en la Figura 3.8, siendo la misma una representación teórica esquemática, hecha para representar con más claridad la situación.

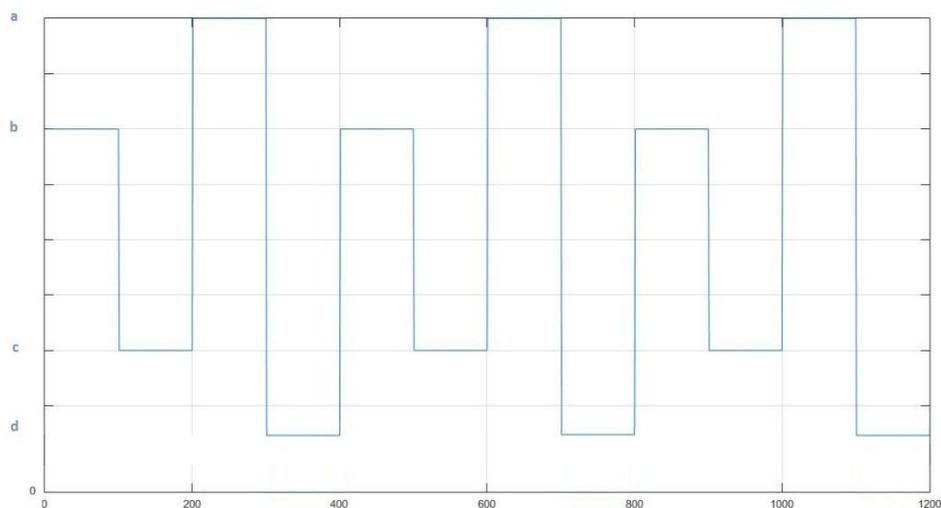


Figura 3.8: Esquema de la señal recibida por la Electrónica de Monopulso.

Como se observa, existe un ciclo en el que estará una señal diferencia (V_a) y otro ciclo, en el que estará la otra (V_b), siendo su período $1/f_s$. A su vez, medio ciclo (definido cada $1/2f_s$, V_c y V_d en este caso) será positivo y otro medio ciclo será negativo, en ambas señales. Esto se debe al desfase de 180° que realiza el Conversor de Monoscan, en la mitad de su período. Se recuerda que esto se hace para que el valor medio de la señal pueda detectarse y eliminarse, siendo el mismo correspondiente a la señal utilizada como portadora, la señal suma.

Esta etapa, utilizando la misma frecuencia que se utiliza para multiplexar, es la encargada de separar a las señales de diferencia de azimuth y elevación, las cuales serán utilizadas como señales de referencia o error, para los sistemas de control que moverán los servos, los cuales direccionan la señal.

Dado el hecho de que existe un ciclo en el que se encontrará una señal y otro ciclo la otra, el sistema puede realizar varias alternativas en lo que respecta al error angular que no está siendo analizado. La más sencilla, utilizada en la técnica de *sequential lobing*, consiste simplemente en no emitir error durante ese lapso, en esa coordenada. Existen también, técnicas de interpolación que permiten predecir el comportamiento del error, con relativamente buena precisión, basándose en muestras previas, aunque esto implica más carga de procesamiento.

Este subsistema, puede realizarse analógicamente, aunque esta idea involucra una complejidad bastante grande, en comparación de la posibilidad que ofrecen los sistemas digitales modernos, que a precios moderados, permiten realizar la misma tarea con mayor sencillez y confiabilidad. Actualmente, microcontroladores modernos, los más básicos y adquiribles, tanto en disponibilidad como precio, son perfectamente adecuados para realizar las tareas descriptas previamente. [1][2][3]

3.4.1 Arduino

Arduino es una plataforma de prototipos electrónica de código abierto (open-source) basada en hardware y software flexibles y sencillos de usar. Está pensado para cualquiera interesado en crear objetos o entornos interactivos, sin que sea necesario desarrollar o haber desarrollado amplios conocimientos de electrónica.

Arduino “percibe” al entorno mediante la recepción de entradas desde una variedad de sensores y puede afectar a su alrededor mediante el control de luces, motores y otros artefactos. El microcontrolador de la placa se programa usando el *Arduino Programming Language* (basado en *Wiring 1*) y el *Arduino Development Environment* (basado en *Processing 2*). Los proyectos de Arduino pueden ser autónomos o se pueden comunicar con software en ejecución en un ordenador (por ejemplo, con Flash, Processing, MaxMSP, etc.).

Las placas se pueden ensamblar a mano o encargarse preensambladas; el software se puede descargar gratuitamente. Los diseños de referencia del hardware (archivos CAD) están disponibles bajo licencia de fuente abierta, por lo que uno es libre de adaptarlas a sus necesidades.

Hay muchos otros microcontroladores y plataformas microcontroladoras disponibles para computación física. Parallax Basic Stamp, Netmedia’s BX-24, Phidgets, MIT’s Handyboard, y muchas otras ofertas de funcionalidad similar. Todas estas herramientas toman los desordenados detalles de la programación de microcontrolador y la encierran en un paquete simple de usar. Arduino también simplifica el proceso de trabajo con microcontroladores, pero ofrece algunas ventajas para profesores, estudiantes y aficionados interesados sobre otros sistemas:

- **Económico:** Las placas Arduino son relativamente baratas comparadas con otras plataformas microcontroladoras. La versión más económica del módulo Arduino puede ser ensamblada a mano, e incluso los módulos de Arduino preensamblados cuestan menos de 10 dólares.

- **Multiplataforma:** El software de Arduino se ejecuta en sistemas operativos Windows, Macintosh OSX y GNU/Linux. La mayoría de los sistemas microcontroladores están limitados a Windows.

- **Entorno de programación simple y claro:** El entorno de programación de Arduino es sencillo de usar para principiantes, pero suficientemente flexible para que usuarios avanzados puedan aprovecharlo también.

- **Código abierto y software extensible:** El software Arduino está publicado como herramientas de código abierto, disponible para extensión por programadores experimentados. El lenguaje puede ser expandido mediante librerías C++, y la gente que quiera entender los detalles técnicos pueden hacer el salto desde Arduino a la programación en lenguaje AVR C en el cual está basado. De forma similar, puedes añadir código AVR-C directamente en los programas Arduino que uno posea.

- **Código abierto y hardware extensible:** El Arduino está basado en microcontroladores de Atmel, denominados ATMEGA. Los planos para los módulos están publicados bajo licencia Creative Commons, por lo que diseñadores experimentados de circuitos pueden hacer su propia versión del módulo, extendiéndolo y mejorándolo. Incluso usuarios relativamente inexpertos pueden construir la versión de la placa del módulo para entender cómo funciona y ahorrar dinero. [6]

3.4.1.1 Arduino UNO

Arduino Uno es una placa electrónica basada en el microcontrolador ATmega328. Cuenta con 14 entradas/salidas digitales, de las cuales 6 se pueden utilizar como salidas PWM (Modulación por ancho de pulsos) y otras 6 son entradas analógicas. Además, incluye un resonador cerámico de 16 MHz, un conector USB, un conector de alimentación, una cabecera ICSP y un botón de reseteo. La placa incluye todo lo necesario para que el microcontrolador haga su trabajo, basta conectarla a un ordenador con un cable USB o a la corriente eléctrica a través de un transformador. Con esta placa, Arduino conmemoraba el lanzamiento de Arduino 1.0., convirtiéndose en la versión de referencia de Arduino.

3.5 Conclusiones

Existen diversos tipos de sistemas de monopulso de canal único, entre ellos el pseudomonopulso. El mismo se destaca por sobre el resto debido a su gran desempeño y confiabilidad en diversas áreas, y su bajo costo y realizabilidad.

El sistema es idéntico hasta el comparador, a cualquier sistema de monopulso, independientemente de la cantidad de canales. Sin embargo, a partir de las salidas de este dispositivo, el sistema cambia, debido a que se implementara un único receptor y no tres, debido a que el sistema es precisamente de canal único.

Las señales diferencia son multiplexadas por una señal de baja frecuencia. Luego, alternan entre una con retardo de 180° y otra sin retardo, a una frecuencia el doble de grande respecto a la primera. Esto se realiza para que pueda recatarse la señal, ya que solo calculando y eliminando el valor medio de una señal, se obtienen las señales

diferencia multiplexadas. Esta etapa es denominada Convertidor de Monoscan. Su salida, es conectada, junto a la suma, a un acoplador, sumando ambas señales. Esto pretende, generar una modulación de AM, siendo la suma la portadora. Luego se demodula con un receptor y finalmente se demultiplexan ambas señales en una etapa, llamada electrónica de monopolso, que puede ser implementada mediante microcontroladores comerciales. En esta etapa, también se generan las señales que controlan al convertidor. Las señales de referencia angular son las salidas de esta última etapa.

Habiendo concluido el presente capítulo, en el posterior, se mostrarán las simulaciones realizadas mediante software específico, de cada elemento que se consideró prudente realizar pruebas previas. De este modo se obtendrían diseños preliminares, que luego serán armados y probados con los bancos de medición acorde.

3.6 Bibliografía

[1] **M. I. Skolnick.** (1990). Radars Handbook. En Tracking Radar (18.1-18.25). Estados Unidos: McGraw Hill.

[2] **S. Bauer, M. Harvey and G.Pelchant**(1973) Single Channel Monopulse Techniques Nueva York, Estados Unidos: US Air Force.

[3] **J.C. Pullara, C.W. Bales, G.P. Kefalas and M. Uyehara** (1974) Dual S and K Band Tracking Feed for a TDRS Antenna. Estados Unidos: Nasa.

[4] **R. J. Howley, W. C. Daffron, S. J. Hemlinger and A. J. Giatanasio**(2008) Monopulse Antenna Tracking and Direction Finding of Multiple Sources.Estados Unidos: Publicación de Aplicación de Patente.

[5]**Doherty, Bill**, MicroNotes: PIN Diode Fundamentals, Estados Unidos: Microsemi Corp., MicroNote Series 701.

[6] **Herrador, Rafael Henriquez** (2009) Guía de Usuario de Arduino. España, Universidad de Córdoba.

4 Tecnologías y técnicas propuestas

4.1 Introducción

En este capítulo, se pretende establecer, a partir de los conceptos teóricos exployados en los apartados previos, cuál será la propuesta tecnológica para llevar adelante al proyecto. Para ello se estableció un sistema, junto con todas las etapas que forman parte del mismo. Asimismo, se establecieron los parámetros y la metodología para su diseño, simulación e implementación, explicándose el criterio de elección de los mismos, enmarcados en los conceptos teóricos establecidos, tanto como en los capítulos previos como en los anexos.

4.2 Sistema propuesto

De acuerdo a lo explicado en la Sección 2, existen dos variantes de diseño en este sistema, Monopulso de Amplitud y Monopulso de Fase. El primero ofrece mejores alternativas, que son más viables a nivel económico y de diseño, respecto del segundo, por lo que se optó por trabajar en construir un dispositivo de estas características. En la misma sección, se detalla una segunda clasificación de este tipo de sistemas, que es de acuerdo a la cantidad de módulos de recepción, también denominados “canales”. A medida que mayor cantidad de canales se utilicen (pueden ser uno, dos o tres) la relación S/N mejora y desaparece el acoplamiento cruzado de señales, siendo cada vez menos complejos. Sin embargo, también aumenta su valor. Una ventaja adicional que ofrece un sistema de menor cantidad de canales es que ofrecen un buen AGC. Priorizando costo y ganancia por sobre complejidad y degradación, se eligió un sistema de un solo canal, y se buscó desde su diseño, minimizar estas características negativas.

Ahora bien, como se presenta en la Sección 3, existen diversos modelos, los cuales pueden verse detallados en la Tabla 3.1 de la misma sección. En ella se puede observar que la técnica “Pseudomonopulso”, que si bien no es la óptima en casi todas las características presentadas, es la que presenta mejor rendimiento general respecto de las demás alternativas. La Figura 4.1, explicita al mismo.

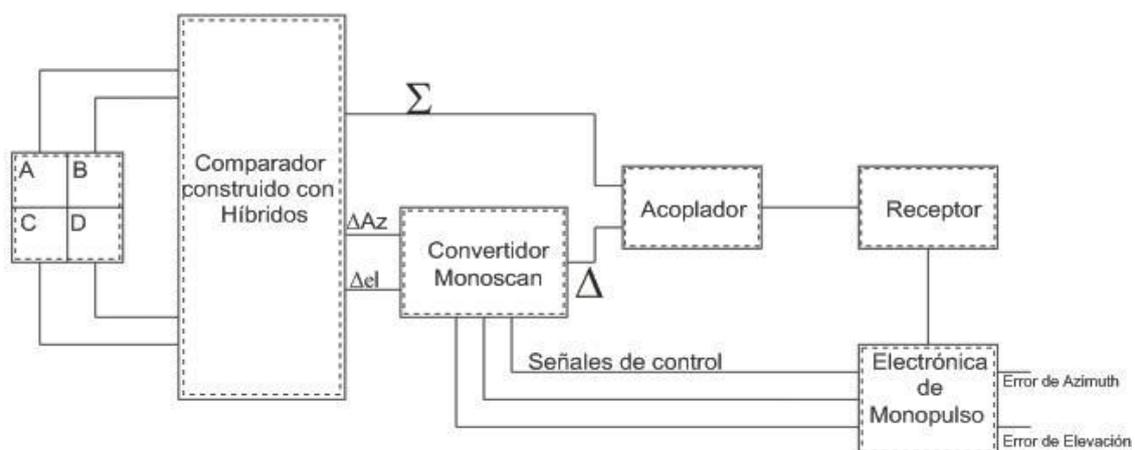


Figura 4.1: Sistema propuesto

La imagen presenta inicialmente un sistema de antenas, que no fue diseñado, debido a que esta etapa requiere una atención especial para su diseño, simulación y armado, ya que las características de cada antena deben ser igual, y el entorno de trabajo no ofrece ni el ambiente ni el equipo ni los materiales para garantizar un comportamiento que se considere acorde a los propósitos del proyecto. Este arreglo, se lo consideró de cuatro antenas, como está dispuesto en la Figura 4.2, debido a que utiliza menos bocinas de alimentación, las cuales son muy costosas y difíciles de diseñar.

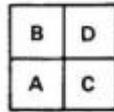


Figura 4.2: Disposición del sistema de antena propuesto

Como se puede observar, el mismo consta, del sistema denominado combinador, el cual genera las señales de suma y diferencia (ya sea en azimut como elevación), a partir de las señales que se reciben del sistema de antenas. Para lograr el comportamiento algebraico necesario para generar estas señales, se utilizarán acopladores híbridos pi, que como se señaló en la Sección 3, tienen la capacidad de sumar y restar dos señales. En la Figura 4.3, se observa la manera en que deberán conectarse estos dispositivos, obteniéndose de esta manera, el comportamiento esperado. Se eligieron a estos, por sobre las demás alternativas propuestas en la misma Sub Sección, debido a sus ventajas prácticas y económicas, pues los acopladores clásicos son difíciles de diseñar y el sistema Magic-T además, es muy costoso. Una ventaja adicional, es que los mismos podían armarse en el laboratorio.

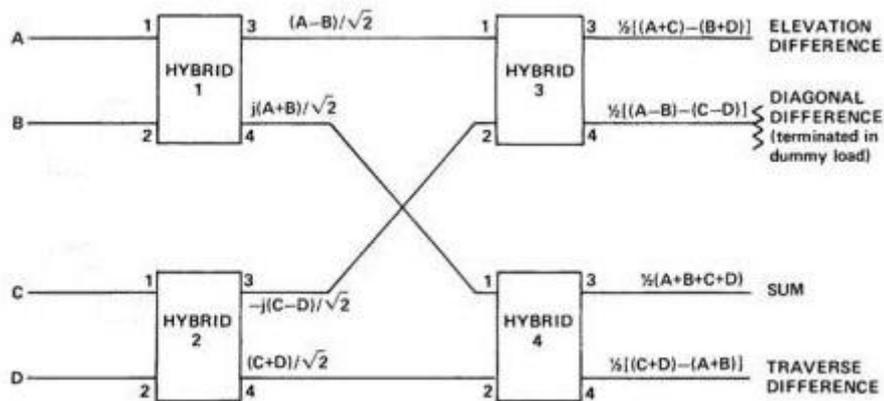


Figura 4.3: Sistema propuesto para generar señales suma y diferencia

Para la construcción de los acopladores híbridos, se utilizaron tanto técnicas microstrip como stripline, y se compararon los resultados prácticos, para decidir qué sistema será el utilizado. Dado que microstrip ofrece mayor sencillez y confiabilidad de diseño y construcción, pero al mismo tiempo stripline, ofrece mejor comportamiento ante interferencias, se consideró conveniente poner ambos métodos a prueba en la práctica, comparando su desempeño y eligiendo para el sistema final, al que se obtuvieron resultados más acordes al comportamiento ideal. Para ello, se utilizó software específico para el diseño y simulación de los dispositivos. Su construcción y prueba se realizó con elementos proporcionados por el entorno de trabajo.

Esta primera etapa es propia de los sistemas de monopulso, tenga la cantidad de canales que sea. Sin embargo, las etapas que continúan poseen características propias de la variante propuesta.

Se observa en la Figura 4.1, que las señales Diferencia de Azimut y Elevación se conectan a un sistema denominado Convertidor Monoscan. El mismo puede verse internamente en la Figura 4.4. Como se puede observar, este consiste en una serie de conmutadores, controlados por una etapa denominada Electrónica de Monopulso. Se eligió a esta variante, respecto de la alternativa propuesta en la misma sección, en la cual se usaban diodos PIN, debido a que ofrecía más facilidades constructivas, a pesar de ser más costosa. Sin embargo, respecto al coste total, la diferencia económica, no era significativa.

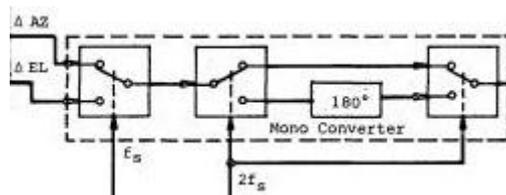


Figura 4.4: Esquema de Convertidor de Monoscan propuesto

Como se explica en esa misma sección, se le proporciona al conversor dos señales de multiplexado, eligiéndose una señal de aproximadamente 650 Hz y 1300 Hz respectivamente, como establece el marco teórico, originadas en la Electrónica de Monopulso. Los conmutadores elegidos, tienen que soportar la frecuencia de trabajo del sistema general y de la electrónica de monopulso. La salida de esta etapa, a la que se denomina señal diferencia (Δ) es entonces una multiplexación de sendas señales diferencia, a una frecuencia de 650 Hz, con una forma similar a la que se observa en la Figura 4.5.

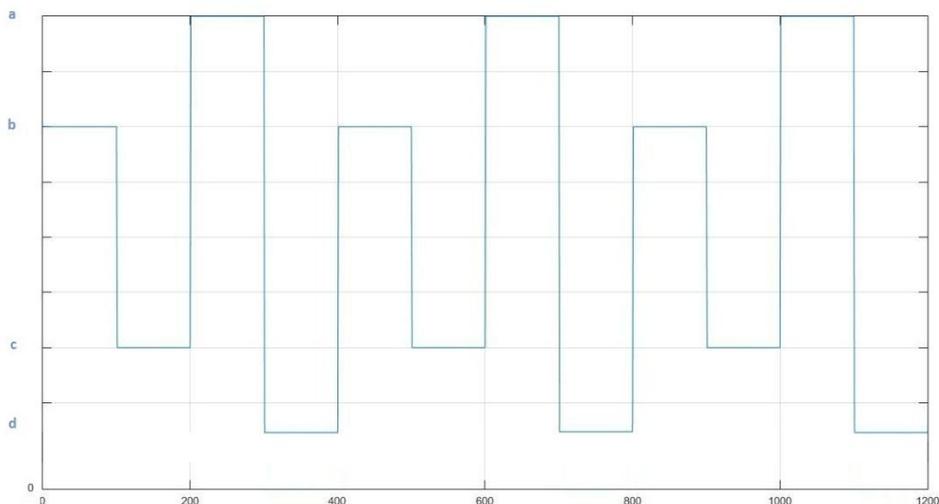


Figura 4.5: Señal esperada a la salida

Los conmutadores que operan con la segunda frecuencia (la cual es el doble de la frecuencia de multiplexado original) sirven para poder obtener el signo de la señal en cuestión cuando se la obtenga en el procesador. Para ello, se intercala entre las salidas

del primer conmutador y las entradas del segundo, dos conexiones que poseen una diferencia de fase de 180° entre ellas.

La señal diferencia, será sumada mediante un acoplador direccional, a la señal suma proveniente del comparador, generando una modulación AM, como se explica en el Anexo III. Se decidió utilizar este tipo de dispositivos debido a que era el que mejor se ajustaba a los parámetros de diseño que ofrece el sistema elegido, ofrece mayor factibilidad de construcción que otras alternativas del mismo tipo y se lo podía realizar en el entorno de trabajo. El diseño y armado del mismo está basada en lo explicado en los Anexo I y II. Se utilizó tecnología stripline, junto con software acorde para su diseño y simulación, debido a que la misma ofrece mejor comportamiento a interferencias. Para su implementación y posterior prueba, se utilizaron los mismos recursos que en el caso de los acopladores híbridos. Se lo diseñó con un acople de 10 dB, de acuerdo a los criterios establecido en la Sección 2.

A partir de las etapas siguientes, que corresponden a recepción de señales, se utilizaron conceptos explicados en el Anexo III, usando al modelo de un receptor superheterodino que se observa en la Figura 4.6. Se diseñaron y armaron placas que realizaron las tareas de amplificación y mezclado, de manera que funcionaran a la frecuencia de trabajo, establecida en 1.8 GHz. La ganancia del amplificador se estableció en 20 dB y el mezclador se diseñó de manera de que pueda convertir la señal a una frecuencia acorde al receptor utilizado (alrededor de 50 MHz en el SDR y 400KHz en el receptor analógico). Las mismas fueron impresas en una empresa particular. El laboratorio proporcionó además un integrado implementado, que cumplió la función de Oscilador Local. El mismo, podía cambiar su frecuencia de trabajo a las que eran necesarias para cada caso, mediante software.

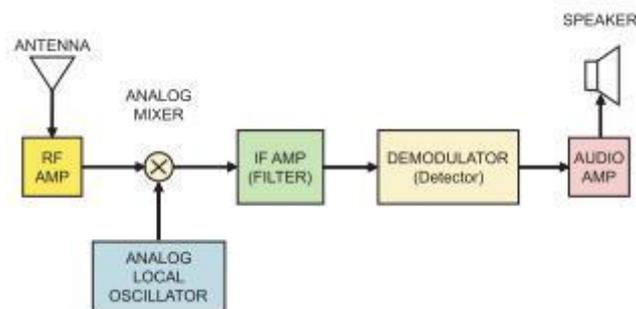


Figura 4.6: Modelo de un receptor superheterodino.

Para probar al sistema hasta esta etapa y, además, adquirir conocimientos sobre estos dispositivos, se utilizó un SDR, cuya explicación teórica, se aprecia en la Sección 4. Se usó un RTL-SDR, el cual ofrece diversos entornos de software específicos, entre ellos Matlab, siendo sumamente práctico para los propósitos del proyecto, a lo que se suma su bajo costo.

Una vez constatado el funcionamiento general del equipo con el SDR, se diseñó un detector de envolvente por diodo junto a un amplificador de 30dB, para que actúe como Receptor de AM. Para el diseño del mismo, se tuvieron en cuenta la frecuencia de trabajo, los recortes diagonales y el ripple. Para ello se utilizó software específico y se lo armó en el entorno de trabajo.

Finalmente, la señal demodulada va a la Electrónica de Monopulso, la cual actúa como procesadora de señal y generadora de señales de multiplexado. Si bien existen muchos dispositivos que pueden realizar esta tarea, se decidió utilizar un Arduino Uno, por su gran disponibilidad, sencillez de uso y bajo costo. El mismo generará a partir de la señal recibida desde el receptor, dos pulsos PWM que se corresponden con los errores de Elevación y Azimut, respectivamente.

5 Diseños realizados

5.1 Introducción

El diseño de los dispositivos electromagnéticos (híbrido pi y acoplador direccional de 12dB) tiene en cuenta distintos factores, algunos de los cuales son los materiales, la frecuencia de trabajo, la tecnología, los parámetros scattering, entre otros.

Para poder diseñar estos dispositivos se utilizó la herramienta de simulación Ansoft Designer. Esta herramienta permite calcular las dimensiones de distintos tipos de líneas de transmisión en función de parámetros como impedancia, frecuencia central, porcentaje de longitud de onda y el material a utilizar.

Esta sección también incluye el diseño del receptor, el cual consiste en un amplificador y un demodulador de AM. Para ello se consideraron parámetros como el nivel de señal, la frecuencia y el nivel de modulación.

5.2 Híbrido-pi

El híbrido pi o juntura híbrida de cuadratura es un acoplador de 3db, también conocido como acoplador rat-race. Se trata de un componente pasivo con cuatro puertos. Está formado por 3 tramos de línea de transmisión de $\lambda/4$ los cuales generan un desfase de 90° cada uno y un tramo de $3\lambda/4$, el cual genera un desfase de 270° , todos con una impedancia de $2\sqrt{Z_0}$. Los puertos están ubicados en las uniones de dichos tramos por medio de líneas de transmisión con impedancia Z_0 .

La matriz de scattering del modelo ideal es la expresada en la Ecuación 5.1.

$$[s] = \frac{-j}{\sqrt{2}} \begin{bmatrix} 0 & 1 & 1 & 0 \\ 1 & 0 & 0 & -1 \\ 1 & 0 & 0 & 1 \\ 0 & -1 & 1 & 0 \end{bmatrix} \quad (5.1)$$

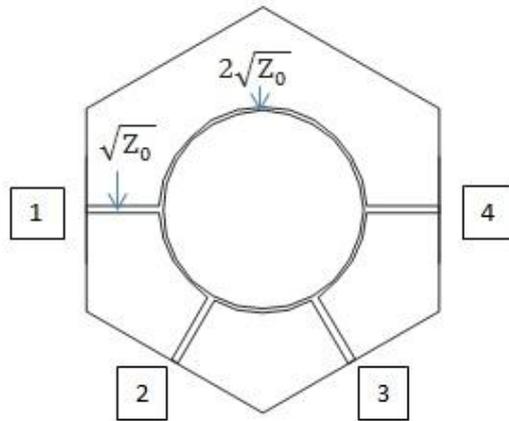


Figura 5.1: Modelo de la placa

Por las características que presenta y tomando como referencia la Figura 5.1 y en concordancia con la Ecuación 5.1 puede funcionar como:

Divisor:

Si se utiliza puerto 3 como entrada, la potencia de la señal que ingresa se dividirá en dos componentes en fase entre los puertos de salida 2 y 4, ambos con un desfase de 90° con respecto a la entrada, como se ve en las Ecuaciones 5.2 y 5.3. El puerto 1 estará aislado.

$$P_2 = \frac{-j P_3}{\sqrt{2}} \tag{5.2}$$

$$P_4 = \frac{-j P_3}{\sqrt{2}} \tag{5.3}$$

En cambio, si se utiliza el puerto 1 como entrada, la potencia se dividirá equitativamente en dos componentes en contrafase entre los puertos de salida 2 y 4 como se ve en las Ecuaciones 5.4 y 5.5. El puerto 3 estará aislado.

$$P_2 = \frac{-j P_1}{\sqrt{2}} \tag{5.4}$$

$$P_4 = \frac{j P_1}{\sqrt{2}} \tag{5.5}$$

Sumador – restador:

La suma es generada en el puerto 2 y está formada por las señales que ingresan al puerto 1 y 3. La relación de fase entre las entradas y la salida es de 90°.

$$P_2 = \frac{-j(P_1 + P_3)}{\sqrt{2}} \tag{5.6}$$

En la Ecuación 5.6, se observa a la potencia de salida del puerto 2 en función de las potencias de entrada.

En cambio, la resta es generada en el puerto 4 y está formada por la señal de entrada del puerto 1, la cual presenta un desfase de 270° y por la señal de entrada del puerto 3 la cual presenta un desfase de 90° . En la Ecuación 5.7 se representa esto, siendo P_4 la potencia de salida del puerto 4 en función de las potencias de entrada-

$$P_4 = \frac{-j(-P_1 + P_3)}{\sqrt{2}} \quad (5.7)$$

5.2.1 Diseño

Las especificaciones utilizadas para obtener el largo y ancho de cada tramo de línea de transmisión fueron la impedancia, el desfase, la frecuencia de operación y el material dieléctrico (permitividad ϵ_r , espesor H).

Para darle la forma circular al dispositivo, se consideró como un área de corona circular, dividiéndola en sectores, como se observa en la Ecuación 5.8, donde R es el radio mayor, r es el radio menor y α es el ángulo que determina la porción de la corona circular.

$$\text{Superficie sector corona circular} = \frac{\pi(R^2 - r^2)\alpha}{360} \quad (5.8)$$

Por otro lado, los datos de microstrip y stripline, usualmente se corresponden con superficies rectangulares, determinados por la Ecuación 5.9, donde W y P son la base y la altura de un rectángulo.

$$\text{Superficie rectángulo} = W * P \quad (5.9)$$

Como ambas superficies deben ser iguales y considerando a la Ecuación 5.10.

$$W = R - r \quad (5.10)$$

Se combinan las tres ecuaciones, obteniéndose las Ecuaciones 5.11 y 5.12.

$$R = \frac{W}{2} + \frac{180 P}{\pi\alpha} \quad (5.11)$$

$$r = -\frac{W}{2} + \frac{180 P}{\pi\alpha} \quad (5.12)$$

Los materiales y las principales características para el diseño fueron:

- Frecuencia de operación = 1.8 GHz
- Substrato = FR4 (H=60mil y $\epsilon_r = 4.4$)
- Impedancia de entrada $Z_0 = 50 \Omega$
- Impedancia de salida $Z_0 = 50 \Omega$
- Impedancia del sector circular $Z_0 = 50\sqrt{2} = 70.71 \Omega$

Luego, en base a las características mencionadas, se utilizó la herramienta *TRL synthesis del software Ansoft Designer* como se observa en las Figuras 5.2 y 5.3, con el fin de obtener las dimensiones para cada línea de transmisión.

- **En microstrip:**

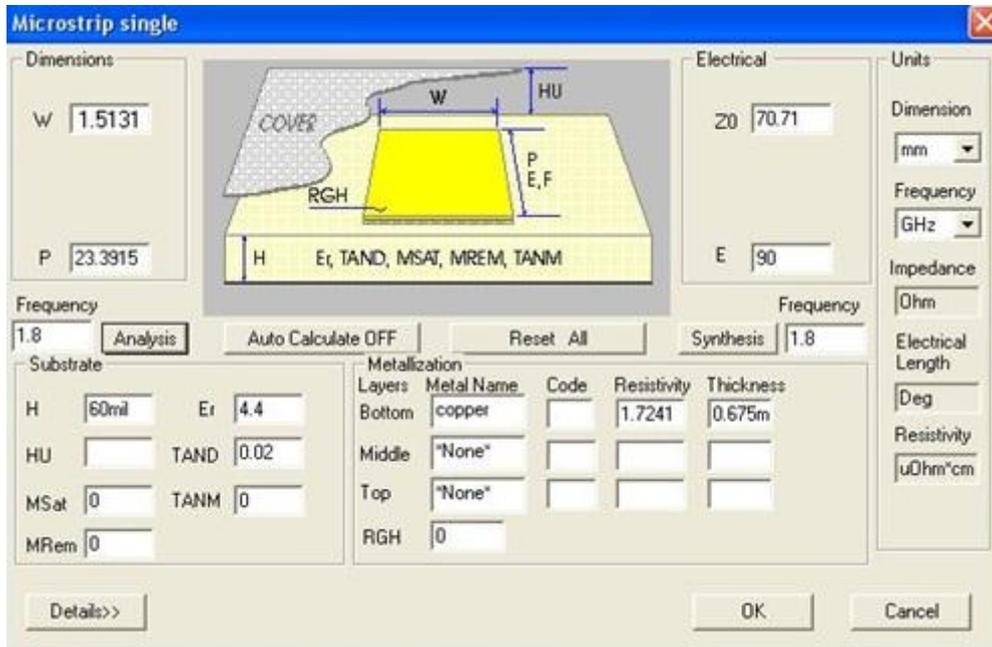


Figura 5.2: Resultados obtenidos para una línea de cuarto de lambda en Ansoft Designer.

Para el caso de $\lambda/4$ se obtuvo:

- $W = 1.5131 \text{ mm}$
- $P = 23.3915 \text{ mm}$

Despejando α de la Ecuación 5.8 se tiene que

- $\alpha = 60^\circ$

Utilizando las Ecuaciones 5.11 y 5.12 se tiene que

- $R = 23.0938 \text{ mm}$
- $r = 21.5807 \text{ mm}$

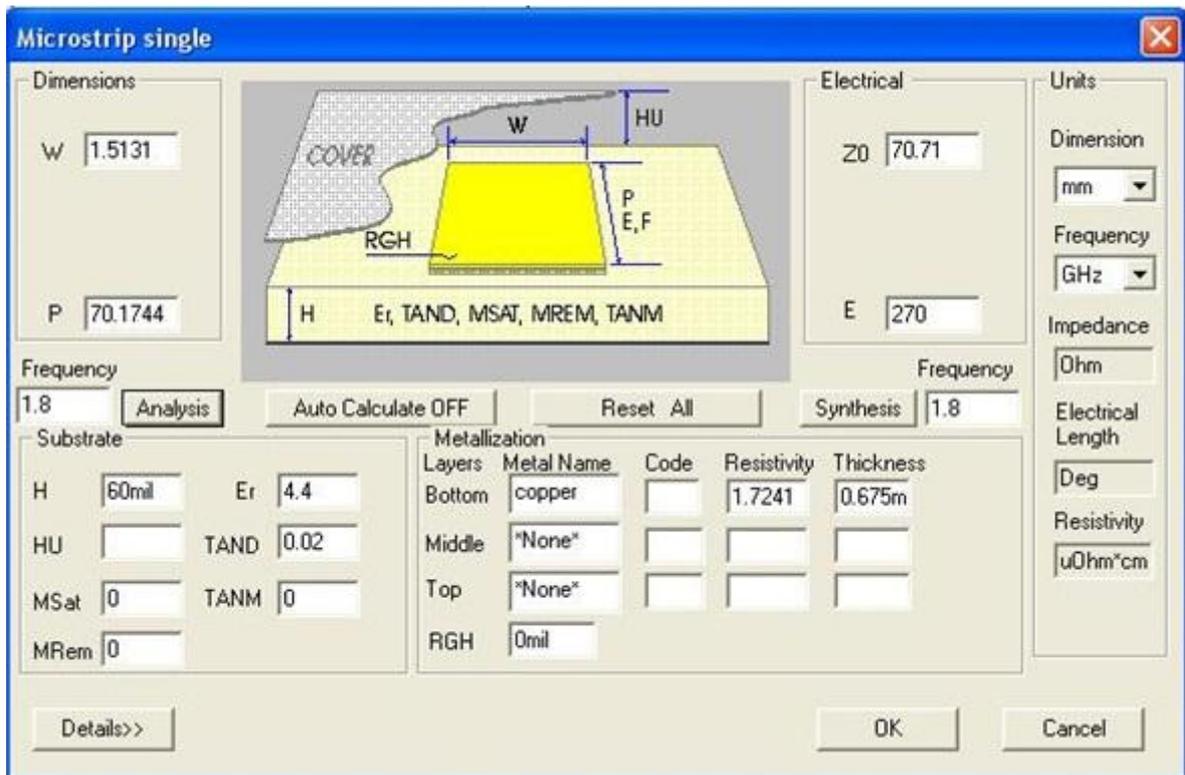


Figura 5.3: Resultados obtenidos para una línea de tres cuarto de lambda en Ansoft Designer.

Análogamente para $3\lambda/4$ se obtuvo:

- $W = 1.5131$ mm
- $P = 70.1744$ mm
- $\alpha = 180^\circ$
- $R = 23.0937$ mm
- $r = 21.5806$ mm

Para el caso de la línea de transmisión de 50Ω que conectan la sección circular con los conectores de entrada las dimensiones obtenidas fueron:

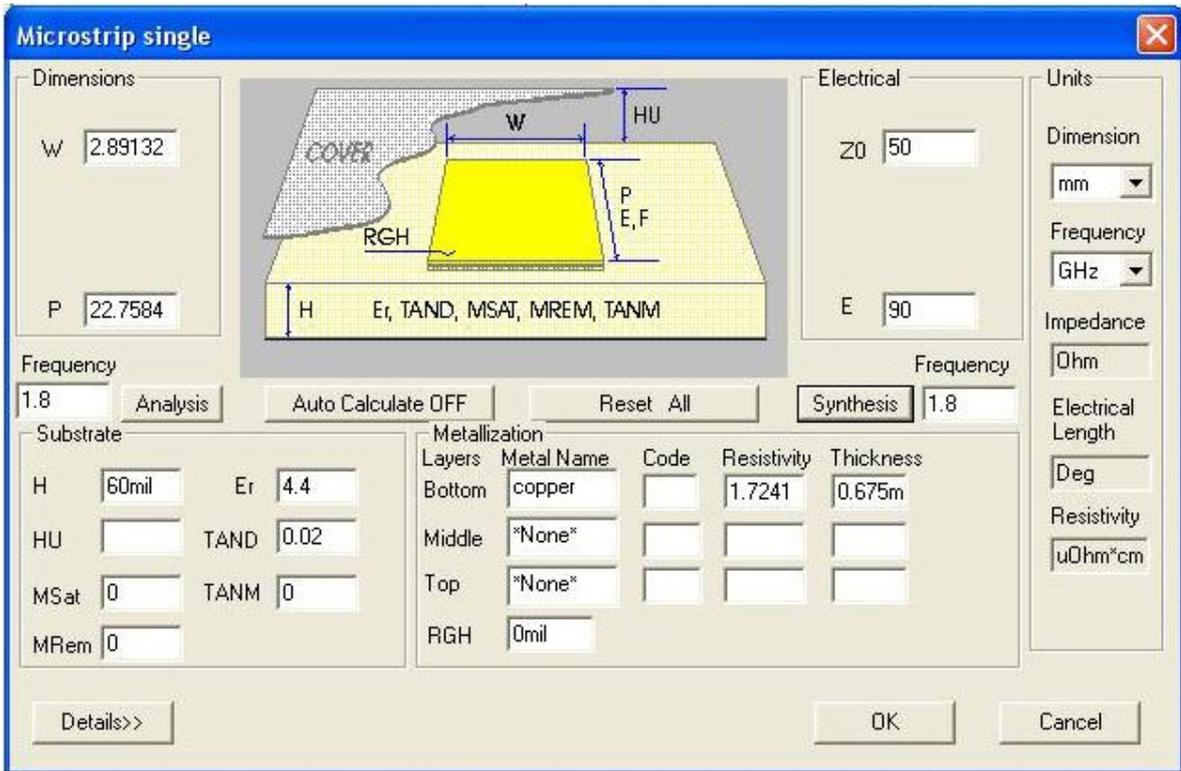


Figura 5.4: Resultados obtenidos para una línea de cuarto de lambda y 50Ω en Ansoft Designer.

- $W = 2.89132 \text{ mm}$
- $P = 22.7584 \text{ mm}$

• **En stripline:**

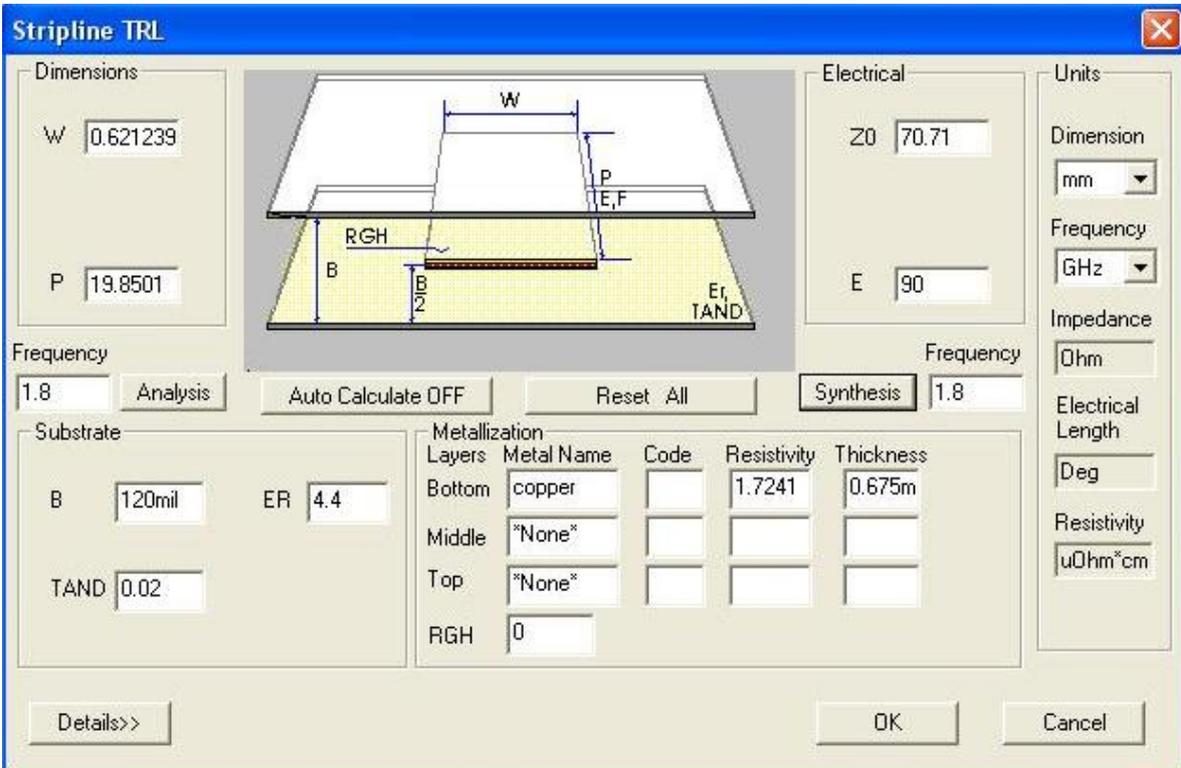


Figura 5.5: Resultados obtenidos para una línea de cuarto de lambda en Ansoft Designer.

Para el caso de $\lambda/4$ se obtuvo:

- $W = 0.6212 \text{ mm}$
- $P = 19.8501 \text{ mm}$

Despejando α de la Ecuación 5.8 se tiene que

- $\alpha = 60^\circ$

Utilizando las Ecuaciones 5.11 y 5.12 se tiene que

- $R = 19.2660 \text{ mm}$
- $r = 18.6448 \text{ mm}$

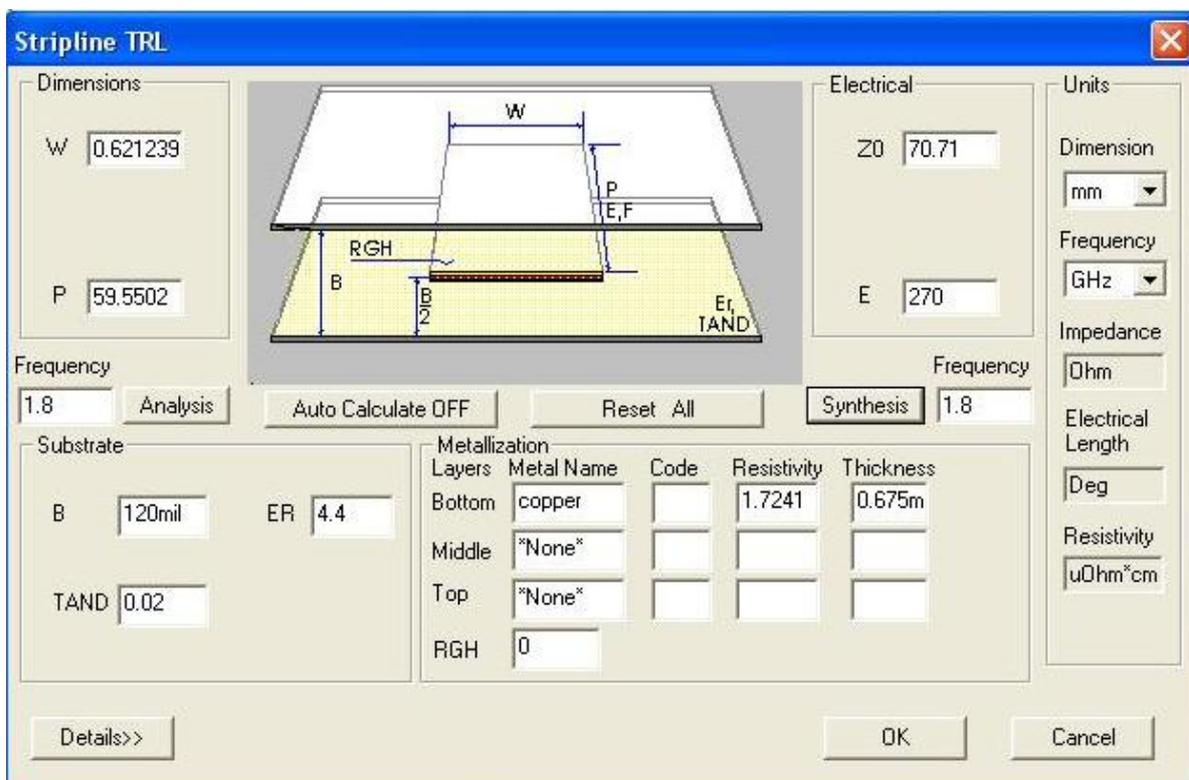


Figura 5.6: Resultados obtenidos para una línea de tres cuarto de lambda en Ansoft Designer.

Análogamente para $3\lambda/4$ se obtuvo:

- $W = 0.6212 \text{ mm}$
- $P = 59.5503 \text{ mm}$
- $\alpha = 180^\circ$
- $R = 19.2660 \text{ mm}$
- $r = 18.6448 \text{ mm}$

Para el caso de la línea de transmisión de 50Ω que conectan la sección circular con los conectores de entrada las dimensiones obtenidas para $\lambda/4$ fueron:

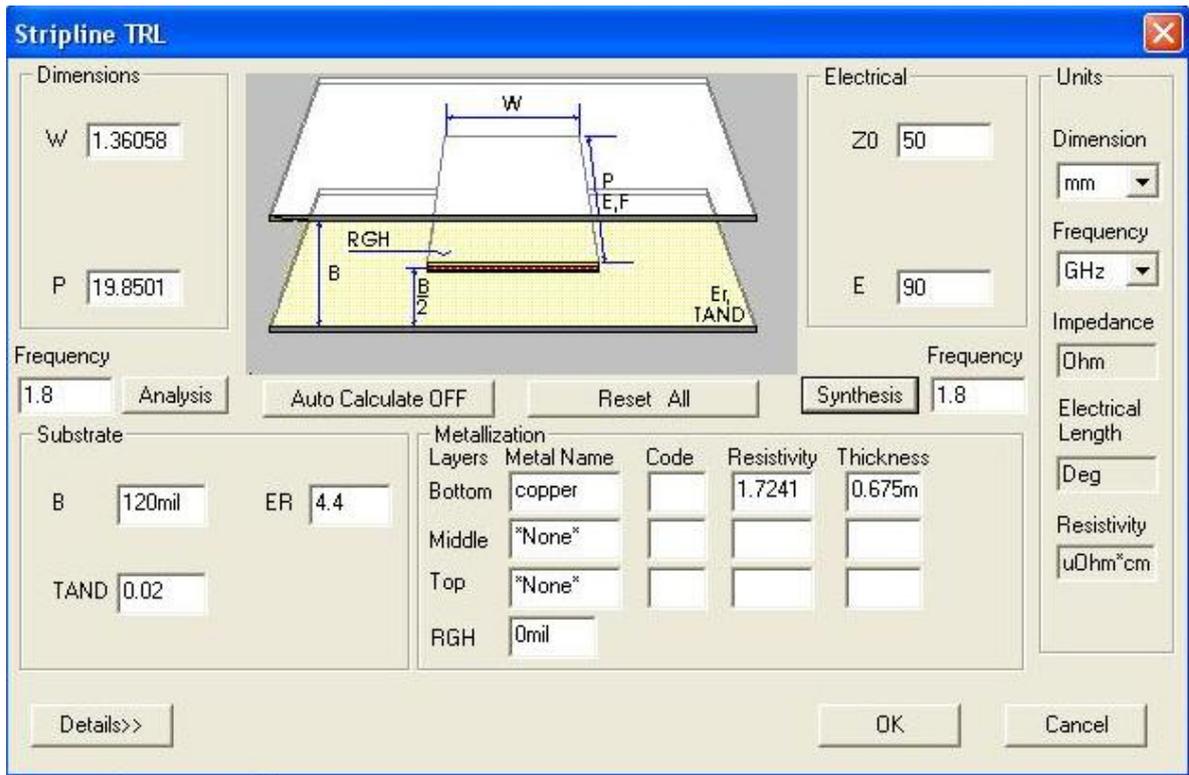


Figura 5.7: Resultados obtenidos para una línea de cuarto de lambda y 50Ω en Ansoft Designer.

- $W = 1.36058 \text{ mm}$
- $P = 19.8501 \text{ mm}$

5.3 Acoplador direccional de 12db como (modulador-sumador)

Un acoplador direccional es una red pasiva de cuatro puertos donde uno de los puertos queda aislado respecto al puerto de entrada. De los otros dos, uno es el que recibe la mayor parte de la señal incidente (puerto directo) y el otro el que recibe una parte fija de la señal (puerto acoplado).

Un esquema del dispositivo es el que se muestra en la Figura 5.8. Suponiendo los cuatro puertos cargados con sus impedancias características, y a la frecuencia de diseño del acoplador:

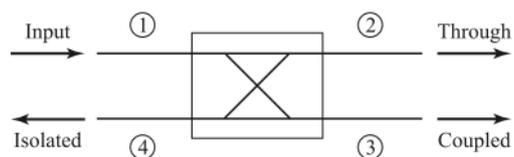


Figura 5.8: Esquema representativo de un acoplador direccional.

- Una porción de la onda que viaja de 1 (puerto de entrada) a 2 (puerto directo respecto al puerto 1) se acopla a 3 (puerto acoplado respecto al puerto 1) pero no a 4 (puerto aislado respecto al puerto 1).

- Una porción de onda que viaja de 2 (puerto de entrada) a 1 (puerto directo respecto al puerto 2) se acopla a 4 (puerto acoplado respecto al puerto 2) pero no a 3 (puerto aislado).
- De forma análoga para los puertos 3 y 4.

De esta manera si se utiliza el puerto de entrada 1 con la intención de utilizar el puerto 2 como salida, se puede utilizar el puerto aislado 4 como segunda entrada con el objetivo de que se acople a 2. Por lo tanto, en el puerto de salida 2 se va a encontrar la combinación de ambas entradas.

El acoplador formado por dos líneas de transmisión se denomina de sección única y está limitado en ancho de banda. Éste puede ser incrementado utilizando líneas acopladas en cascada, tal como se muestra en la Figura 5.9. Este tipo de acopladores recibe el nombre de multisección.

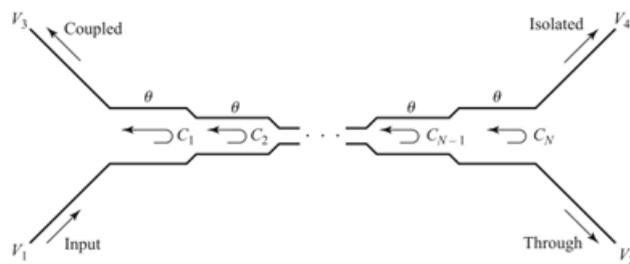


Figura 5.9: Acoplador de n secciones acopladas

Generalmente, se diseña el acoplador de manera que resulte simétrico, es decir:

$$C_1 = C_N, C_2 = C_{N-1}, C_3 = C_{N-2}, \dots$$

Donde C representa el factor de acoplamiento de cada sección, siendo N impar.

5.3.1 Diseño

El circuito fue diseñado para tener un acoplamiento de 12db. Se optó por un acoplador de 3 secciones con las siguientes especificaciones: frecuencia central en 1.8GHz e impedancia del sistema en 50Ω .

Cada sección fue diseñada para tener una longitud de $\lambda/4$ ($\theta = \pi/2$) en la frecuencia central.

Suponiendo que la potencia no se pierde a través de una sección a otra. Se debe cumplir la Ecuación 5.13.

$$\frac{d^n}{d\theta^n} C(\theta)|_{\theta=\pi/2} = 0, \quad \text{para } n = 1, 2 \quad (5.13)$$

C representa el coeficiente de acoplamiento de tensión, cuya deducción se encuentra en la Ecuación 5.14 y su aplicación a la ecuación anterior, en la Ecuación 5.15.

$$\begin{aligned}
 C &= \left| \frac{V_3}{V_1} \right| = 2 \sin \theta \left[C_1 \cos 2\theta + \frac{1}{2} C_2 \right] = \\
 &= C_1 (\sin 3\theta - \sin \theta) + C_2 \sin \theta = \\
 &= C_1 \sin 3\theta + (C_2 - C_1) \sin \theta
 \end{aligned} \tag{5.14}$$

Como $\frac{dC}{d\theta} = [3C_1 \cos 3\theta + (C_2 - C_1) \cos \theta] |_{\pi/2} = 0$,

$$\frac{d^2C}{d\theta^2} = [-9C_1 \sin 3\theta - (C_2 - C_1) \sin \theta] |_{\pi/2} = 10C_1 - C_2 = 0 \tag{5.15}$$

Reemplazando los valores para $\theta = \pi/2$ y $C_0 = 12\text{dB}$, se obtiene $C = 0.25119 = C_2 - C_1$ Proveniente de la Ecuación 5.14. Sustituyendo en la Ecuación 5.15, se obtienen los siguientes resultados:

$$C_1 = C_3 = 0.03139 = -30.064 \text{ dB}$$

$$C_2 = 0.3139 = -10.064 \text{ dB}$$

Con los valores de los acoplamientos calculados, se ingresó con la herramienta *TRL synthesis* de Ansoft Designer como se observa en las Figuras 5.10 y 5.11, con el objetivo de obtener las dimensiones físicas que debería tener cada una de las secciones del acoplador.

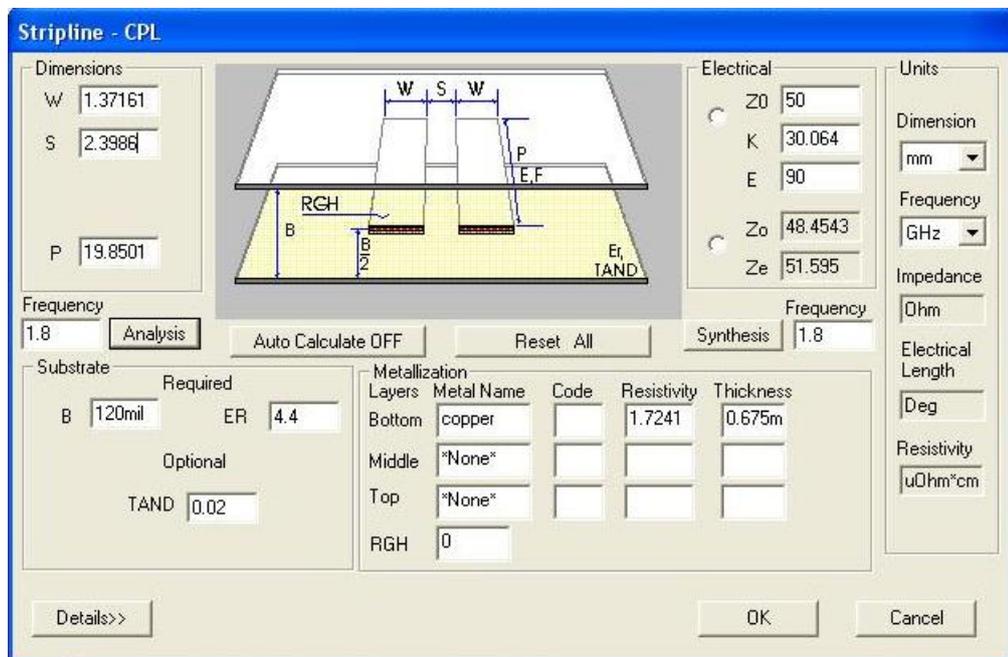


Figura 5.10: Resultados obtenidos para los tramos C1 y C3 en Ansoft Designer.

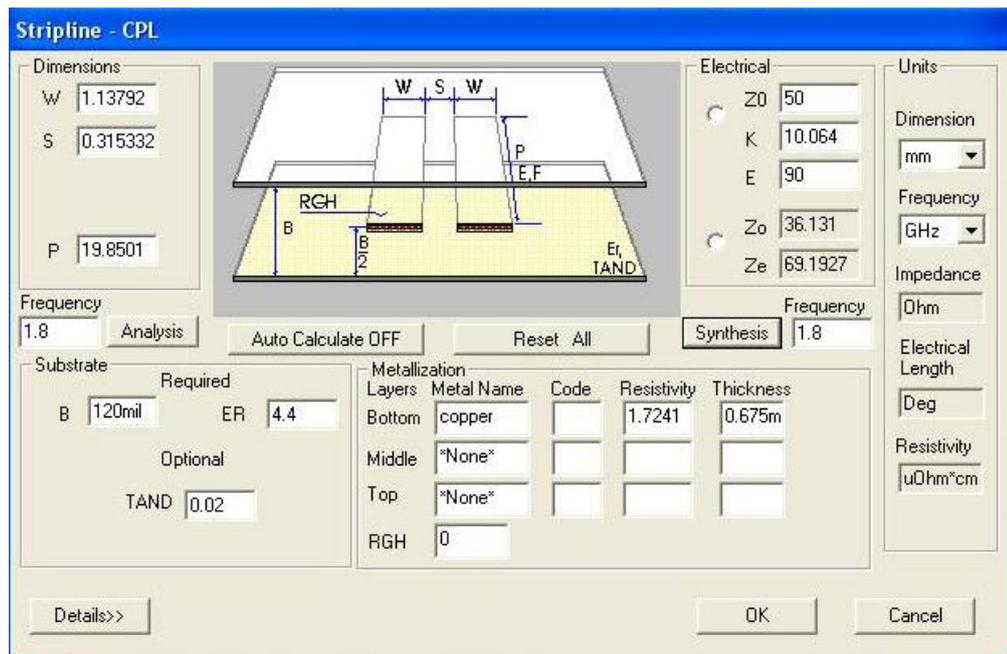


Figura 5.11: Resultados obtenidos para los tramos C1 y C3 en Ansoft Designer.

Los parámetros que debemos introducir en la herramienta son la impedancia del sistema ($Z_0 = 50\Omega$), la longitud eléctrica ($E=90^\circ$) y la frecuencia central ($F=1.8\text{GHz}$).

Con estos datos el *TRL synthesis* nos devolverá la anchura de la línea (w), la separación entre líneas (s) y la longitud de la línea (l).

Para C_1 y C_3 los valores obtenidos fueron:

- $l_1 = l_3 = 19.8501 \text{ mm}$
- $s_1 = s_3 = 2.3986 \text{ mm}$
- $w_1 = w_3 = 1.37161 \text{ mm}$

Para C_2 los valores obtenidos fueron:

- $l_2 = 19.8501 \text{ mm}$
- $s_2 = 0.315332 \text{ mm}$
- $w_2 = 1.13792 \text{ mm}$

Debido al tamaño reducido del acoplador, se tuvo que recurrir a la utilización de líneas perpendiculares, de igual impedancia, de manera de que se puedan conectar los conectores debidamente. Estas líneas tienen que ser todas del mismo ancho para mantener la misma impedancia. Para que su conexión sea óptima, buscando mínimas pérdidas, se las conecta mediante una esquina, que posee la forma que se observa en la Figura 5.12.

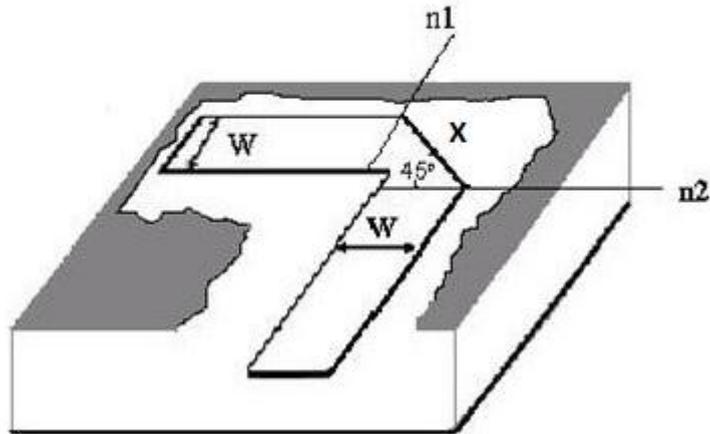


Figura 5.12: Forma de la esquina conectora en el caso de anchos de línea iguales

La Ecuación 5.16 indica el largo que debe tener la diagonal X que hay entre ambas líneas, siendo h, el grosor del dieléctrico.

$$X = 2 \cdot W \cdot \sqrt{2} \cdot (0.52 + 0.65 \cdot e^{-1.35 \frac{W}{h}}) \quad (5.16)$$

Las medidas n_1 y n_2 surgen a partir de realizar relaciones trigonométricas y longitudinales entre x y los datos de las demás líneas de transmisión.

Luego las líneas de transmisión de 50Ω que conectan al acoplador con los conectores de entrada tienen las siguientes dimensiones (calculadas para $\lambda/4$):

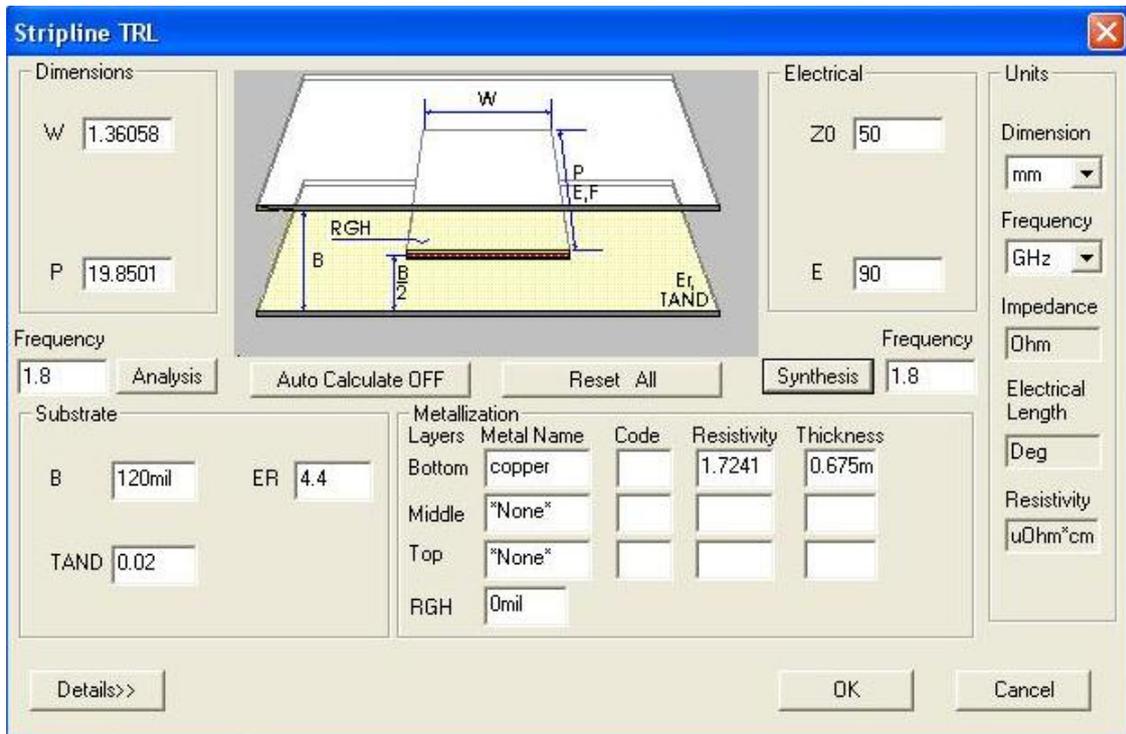


Figura 5.13: Resultados obtenidos para una línea de cuarto de lambda y 50Ω en Ansoft Designer.

- W = 1.36058 mm
- P = 19.8501 mm

5.4 Receptor de AM

5.4.1 Introducción

Un receptor es un dispositivo capaz de aceptar y demodular una señal de radio frecuencia, a fin de obtener la información contenida en ella. En el caso presente, se trata de una señal modulada en AM, por lo que el demodulador en cuestión debe ser apto para hallar la información que se encuentra en la amplitud. La señal de entrada generalmente presenta una amplitud extremadamente baja, por lo tanto un receptor típico debe ser capaz de amplificar la señal a niveles de amplitud adecuados.

A continuación se desarrollara los criterios utilizados para el diseño del amplificador y el demodulador de AM.

5.4.2 Diseño

Amplificador

Las especificaciones para el diseño del amplificador son una ganancia de 47 veces (33.44dB) y un ancho de banda superior a 417 Khz. Para cumplir con las especificaciones se decidió utilizar un AO (amplificador operacional) en su configuración como inversora como se puede ver en la Figura 5.14.

La ganancia del circuito se determinada a partir de la Ecuación 5.17 [6].

$$\frac{V_{out}}{V_{in}} = -\frac{R_4}{R_3 + R_4} \frac{A(w)}{1 + A(w) \frac{R_3}{R_3 + R_4}} \quad (5.17)$$

Donde A(w) es la ganancia del AO a lazo abierto. Si se considera que $1 \ll A(w) \frac{R_3}{R_3 + R_4}$ la ganancia del sistema queda como se puede ver en la Ecuación 5.18

$$\frac{V_{out}}{V_{in}} = -\frac{R_4}{R_3} \quad (5.18)$$

Para contemplar los requerimientos de ancho de banda y por cuestiones de disponibilidad y precio se eligió el AO LM318 (en el Anexo V se puede ver la hoja de

datos). El integrado presenta un ancho de banda de 15Mhz y una A(w) superior a los 40db a la frecuencia de trabajo (417Khz).

Considerando a la Ecuación 5.18 para el diseño, los valores elegidos para R₄ y R₃ son 100 y 4.7k respectivamente, quedando una ganancia de 47 veces (33.44 dB). Pero verificando en la Ecuación 5.17 se tiene que la ganancia del sistema es de 31.75 (30dB).

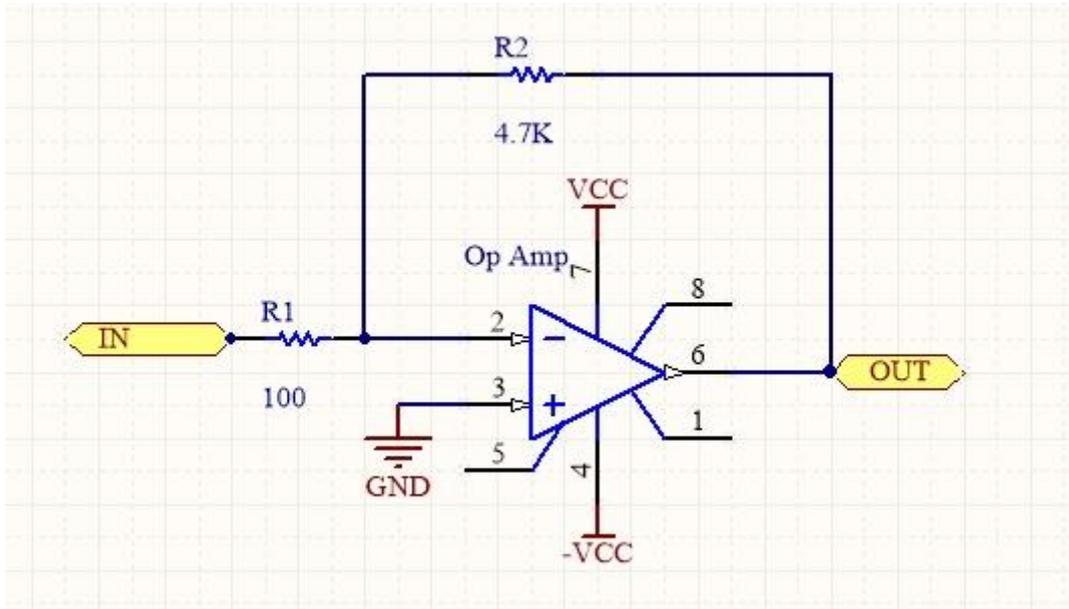


Figura 5.14: Amplificador de 30dB

Demodulador de AM

Las especificaciones para el diseño del demodulador de AM contemplan una onda cuadrada de 675 Hz como modulante, una señal portadora de 417 KHz y un índice de modulación del 90%.

Se decidió diseñar un detector de envolvente (Figura 5.15) teniendo como condición fundamental evitar el recorte diagonal. Observando a la Ecuación III.7, del Anexo III, se tiene que $\tau \leq 7.17 \cdot 10^{-4}$. Eligiendo un capacitor de 22nF, y como $\tau = RC$, se tiene que la resistencia debe ser menor a 32.6 k Ω , por lo que se eligió R = 4.7k Ω .

El diodo elegido es un Schottky ya que tienen una caída de tensión en directa inferior a los típicos diodos de silicio, a su vez permiten conmutaciones rápidas entre directa e inversa, tolerando frecuencias superiores al MegaHertz. El modelo utilizado por disponibilidad es el 1N5819 (en el Anexo V se puede ver la hoja de datos).

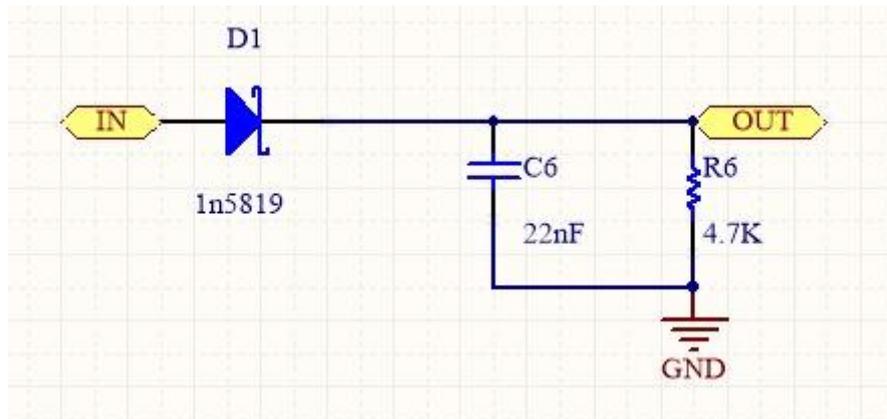


Figura 5.15 Demodulador de AM

5.5 Bibliografía

- [1] **D. M. Pozar.** (2012) Microwave Engineering. Estados Unidos: Artech House.
- [2] **R. Mongia, I. Bahl y P. Bhartia,** (1999) RF and Microwave Coupled-Line Circuits. Estados Unidos: Artech House.
- [3] <http://www.redalyc.org/pdf/849/84917316005.pdf> , 6 de junio 2018
- [4] **F. Di Paolo,** (2000) Networks and Devices Using Planar Transmission Lines, Estados Unidos:
- [5] **C. Perez Vega,** Sistemas de Telecomunicación, 2007, España, Universidad de Cantabria. Capítulo 5. http://personales.unican.es/perezvr/pdf/CH5ST_Web.pdf
- [6] <http://www3.fi.mdp.edu.ar/control403/apuntes/OP.pdf>

6 Simulaciones

6.1 Introducción

El análisis de dispositivos electromagnéticos requiere un procesamiento de datos importante, por lo que se utilizó el programa Ansoft HFSS (*High Frequency Structure Simulator*). Esta herramienta nos permite simular todo tipo de estructura electromagnética, ya sea antenas, líneas de transmisión, acopladores, filtros, entre otros.

En esta ocasión se lo utilizó para simular los elementos diseñados, el híbrido pi y el acoplador de 12dB. Para poder obtener conclusiones se comparó con las especificaciones de diseño mencionadas en el capítulo anterior.

En el caso del demodulador de AM se utilizó el programa LTspice, el cual permite realizar análisis en el tiempo. Con lo cual se pudo variar los valores de los componentes y observar las distintas formas de onda, con el objetivo de obtener el mejor desempeño.

6.2 Conceptos previos

A continuación, se mencionan las relaciones necesarias para comprender el funcionamiento de los dispositivos electromagnéticos diseñados.

6.2.1 Pérdidas de inserción (IL)

Es la relación que existe entre la potencia de salida P_{out} y la potencia de entrada P_{in} . Es un parámetro que depende de la frecuencia, por lo tanto, va a estar definida para un determinado ancho de banda.

Al tratarse de una relación de potencias, se puede expresar matemáticamente en decibeles como se lo muestra en la Ecuación 6.1.

$$IL = 10 \log\left(\frac{P_{out}}{P_{in}}\right) \quad (6.1)$$

Un valor bajo en la especificación de la Pérdida por Inserción es lo más deseable.

6.2.2 Pérdidas de retorno (RL)

Es la pérdida de potencia resultante de las reflexiones, en otras palabras, es la relación que existe entre la potencia reflejada P_r y la potencia de entrada P_{in} . Al igual que las IL, las RL están definidas para un determinado ancho de banda.

Expresado en decibeles queda como en la Ecuación 6.2.

$$RL = 10 \log\left(\frac{P_r}{P_{in}}\right) \quad (6.2)$$

Un valor alto en la especificación de la Pérdida por Retorno es lo más deseable, mayor a 20 dB.

6.2.3 Desfasaje

Indican la relación de fase que existe entre los puertos de un determinado circuito. En algunos dispositivos este parámetro es fundamental para el correcto funcionamiento del mismo.

6.3 Dispositivos simulados

6.3.1 Híbrido-pi

Se diseñaron 2 prototipos, uno en microstrip y otro en stripline para comparar sus características y en base a ellas elegir el que presente mejor desempeño.

6.3.1.1 Microstrip

En la Figura 6.1 se observa el diseño en HFSS del híbrido pi en microstrip, utilizando los datos que fueron obtenidos en el diseño, explicitado en la Subsección 5.2. Los mismos, fueron ajustados, ya que esta simulación tiene en cuenta las dimensiones y la forma propuesta, en cambio el Ansoft Designer solo permite realizar una simulación considerando cada tramo como rectangular y uniéndolos idealmente. Los valores de las dimensiones para el mejor desempeño obtenido se presentan en la Tabla 6.1.

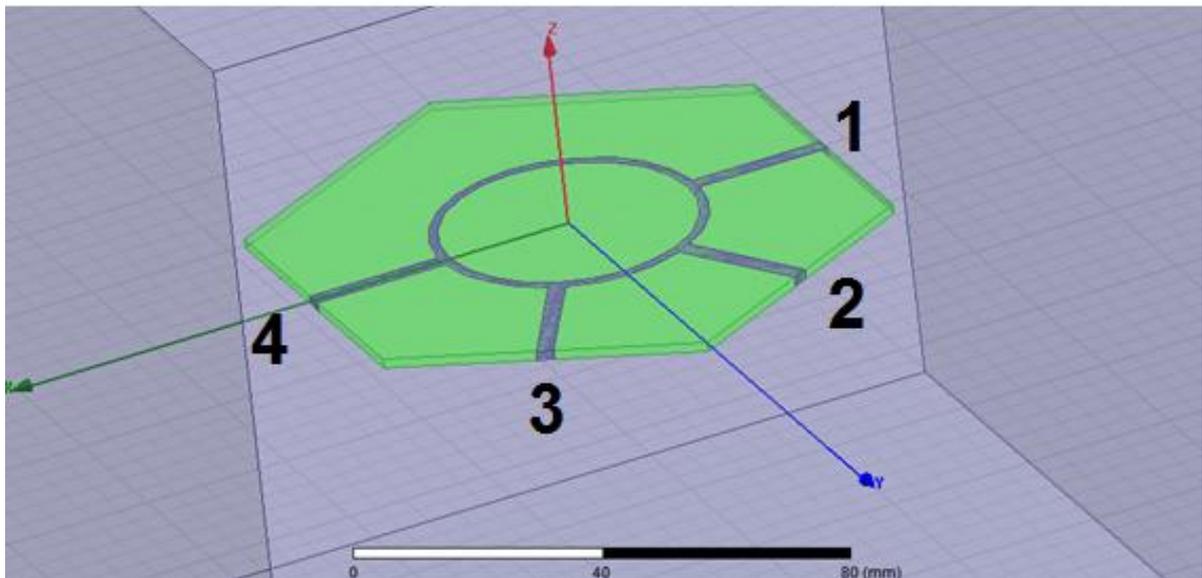


Figura 6.1: Modelo de híbrido pi, en microstrip diseñado en HFSS.

Nombre	Valor	Unidad
R (Radio externo)	23,1040	mm
r (Radio interno)	21,5560	mm
h (Grosor del dieléctrico)	60	mil
W (Ancho de línea de entrada)	2,9137	mm
hex (distancia entre lados opuestos del hexagonal)	53,32	mm

Tabla 6.1: valores utilizados en el diseño de Híbrido pi en Microstrip en HFSS

En las Figuras 6.2, 6.3 y 6.4 se presentan los resultados de simulación del dispositivo en cuestión, representando las pérdidas de inserción, las pérdidas de retornos y desfases, respectivamente.

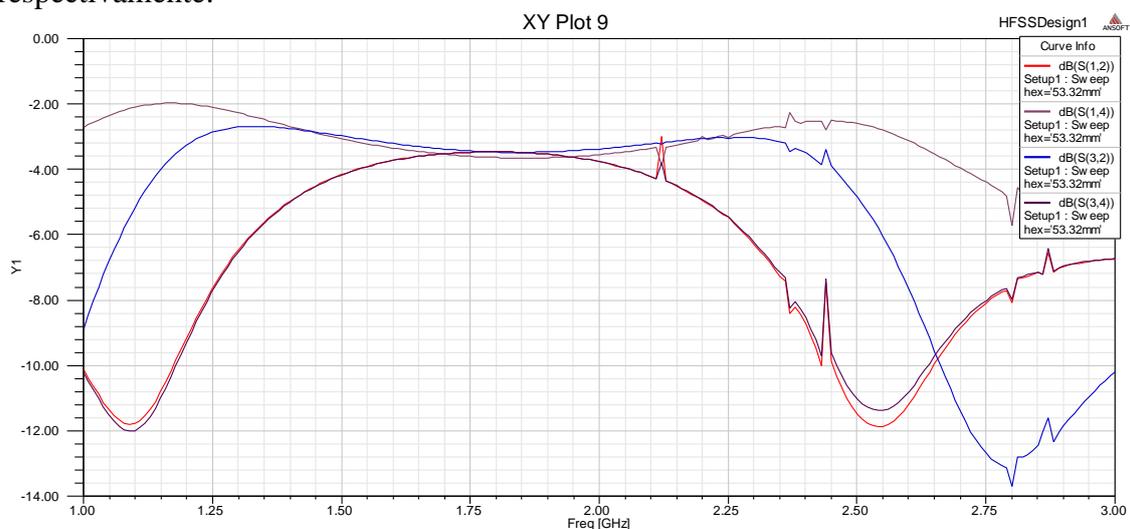


Figura 6.2: Resultados de pérdidas de inserción de híbrido pi en microstrip en HFSS.

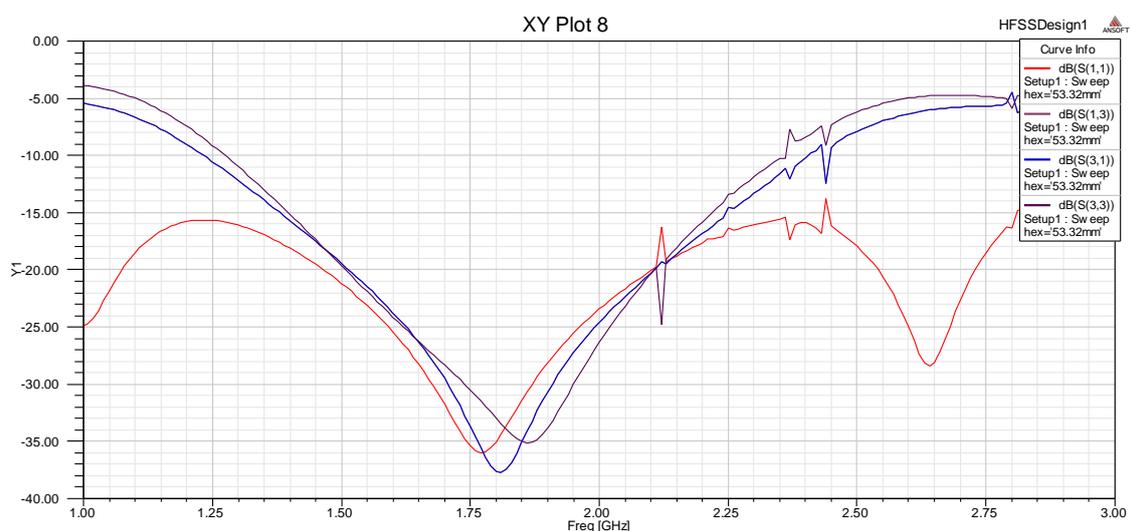


Figura 6.3: Resultados de pérdidas de retorno de híbrido pi en microstrip en HFSS.

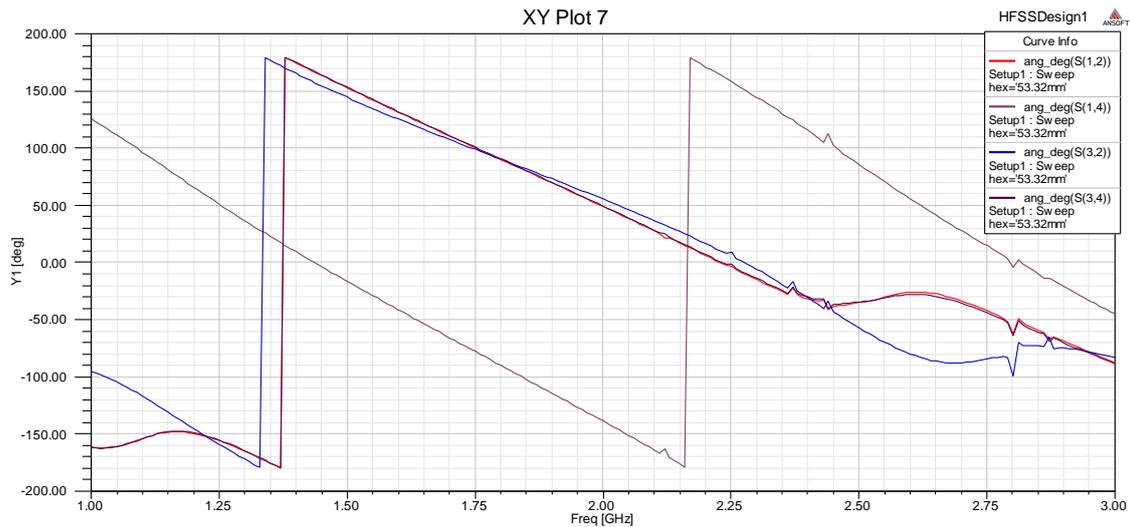


Figura 6.4: Resultados de desfasajes de híbrido pi en microstrip en HFSS.

En las Tabla 6.2 y 6.3 se muestran las relaciones de magnitudes y fase entre los distintos puertos del híbrido-pi en microstrip a la frecuencia de trabajo, ubicada en 1.8GHz, respectivamente.

Puertos	1	2	3	4
1	-39.9	-3.46	-35	-3.67
2	-3.46	-31	-3.5	-36.8
3	-35	-3.5	-33.3	-3.46
4	-3.67	-36.8	-3.46	-38.2

Tabla 6.2: Resultados de los puertos en magnitud (dB) del híbrido pi en microstrip en HFSS.

Puertos	1	2	3	4
1	11.7	90.4	-6.23	-90
2	90.4	32.3	90.3	-12.5
3	-6.23	90.3	21.5	89.9
4	-90	-12.5	89.9	62.5

Tabla 6.3: Resultados de los puertos en fase (grados) del híbrido pi en microstrip en HFSS.

6.3.1.2 Stripline

En la Figura 6.5 se observa el diseño en HFSS del híbrido pi en stripline, utilizando los datos que fueron obtenidos en el diseño, explicitado en la Subsección 5.2. Los mismos fueron ajustados con el objetivo de obtener un mejor desempeño. Dichos valores, se presentan en la Tabla 6.4.

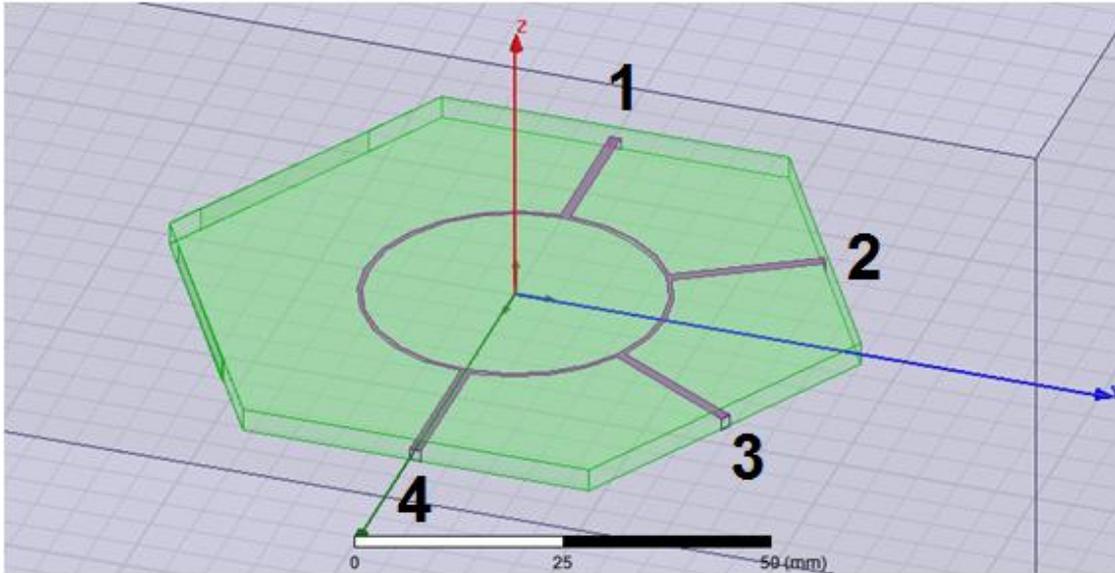


Figura 6.5: Modelo de híbrido pi, en stripline diseñado en HFSS.

Nombre	Valor
R (Radio externo)	19,2616mm
r (Largo de línea interna)	18,6493 mm
h (Grosor de dielectrico)	60mil
W (Ancho de línea de entrada)	1,3606 mm
hex (utilizado para dar forma hexagonal)	44,3 mm

Tabla 6.4: valores utilizados en el diseño de Híbrido pi en Stripline en HFSS

En las Figuras 6.6, 6.7 y 6.8 se presentan los resultados de simulación del dispositivo en cuestión, representando las pérdidas de inserción, las pérdidas de retornos y desfasajes, respectivamente.

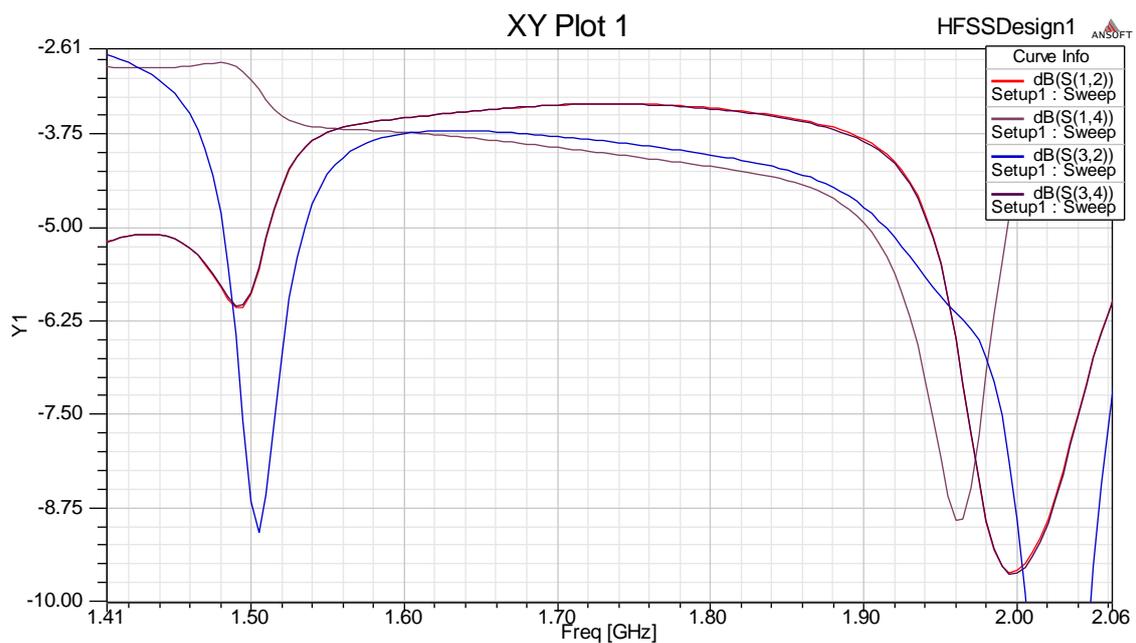


Figura 6.6: Resultados de pérdidas de inserción de híbrido pi en stripline en HFSS.

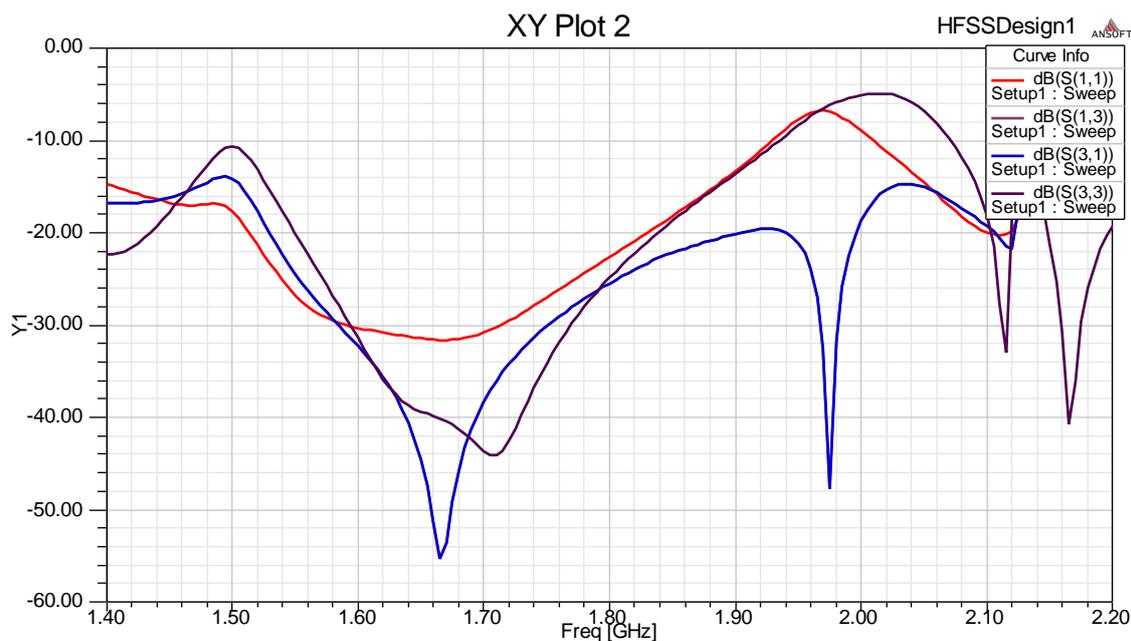


Figura 6.7: Resultados de pérdidas de retorno de híbrido pi en stripline en HFSS.



Figura 6.8: Resultados de desfases de híbrido pi en stripline en HFSS.

En las Tablas 6.5 y 6.6 se muestran las relaciones de magnitudes y fase entre los distintos puertos del híbrido-pi realizado en stripline a la frecuencia de 1.8GHz, respectivamente.

Puertos	1	2	3	4
1	-22.9	-3.4	-25.8	-4.18
2	-3.4	-26.2	-4.02	-26.7
3	-25.8	-4.02	-25.5	-3.41
4	-4.18	-26.7	-3.41	-21.5

Tabla 6.5: Resultados de los puertos en magnitud (dB) del híbrido pi en stripline en HFSS.

Puertos	1	2	3	4
1	107	92	85.7	-83.6
2	92	-148	87.6	88.3
3	85.7	87.6	-148	91.4
4	-83.6	88.3	91.4	106

Tabla 6.6: Resultados de los puertos en fase (grados) del híbrido pi en stripline en HFSS.

6.3.1.3 Conclusión

El diseño realizado en microstrip presenta pérdidas por inserción ligeramente mejores que el de stripline ya que sus resultados son más parejos entre sus puertos en la frecuencia de interés y se aproximan al ideal de 3 dB. Las pérdidas por retorno están al menos 10 dB por debajo en el primer diseño.

La relación de fase en ambos casos es buena, pero en microstrip los valores son más próximos a los ideales de 90° y 270° . Sin embargo, lo que realmente importa es que, si se ingresa señal por el puerto de entrada 3, la relación de fase con los puertos de salida 2 y 4 debe ser aproximadamente la misma. En cambio, si se ingresa señal por el puerto de entrada 1, la relación de fase con los puertos de salida 2 y 4 debe ser de 180° . En otras palabras, se debe cumplir que $\text{fase}(3,2) = \text{fase}(3,4)$ y $\text{fase}(1,4) = \text{fase}(1,2) + 180^\circ$.

Los valores obtenidos indican que el primer diseño tiene un mejor comportamiento, pero al ser una simulación con valores exactos en la práctica puede haber ligeras variaciones en los resultados. El segundo diseño tiene como ventaja que es menos susceptible a interferencias, ya que la línea conductora está “blindada” por el dieléctrico. Por lo tanto, se realizaron ambos modelos para poder realizar una comparación.

6.3.2 Acoplador 12db (sumador)

En la Figura 6.9 se observa el diseño en HFSS del acoplador de 12 dB en stripline. Se utilizó como base para su modelado los datos que fueron obtenidos en el diseño, explicitado en la Subsección 5.3. Los mismos fueron ajustados como en los casos anteriores, ya que esta simulación presenta mayor veracidad respecto a la que otorga el Ansoft Designer. Dichos valores, se presentan en la Tabla 6.7.

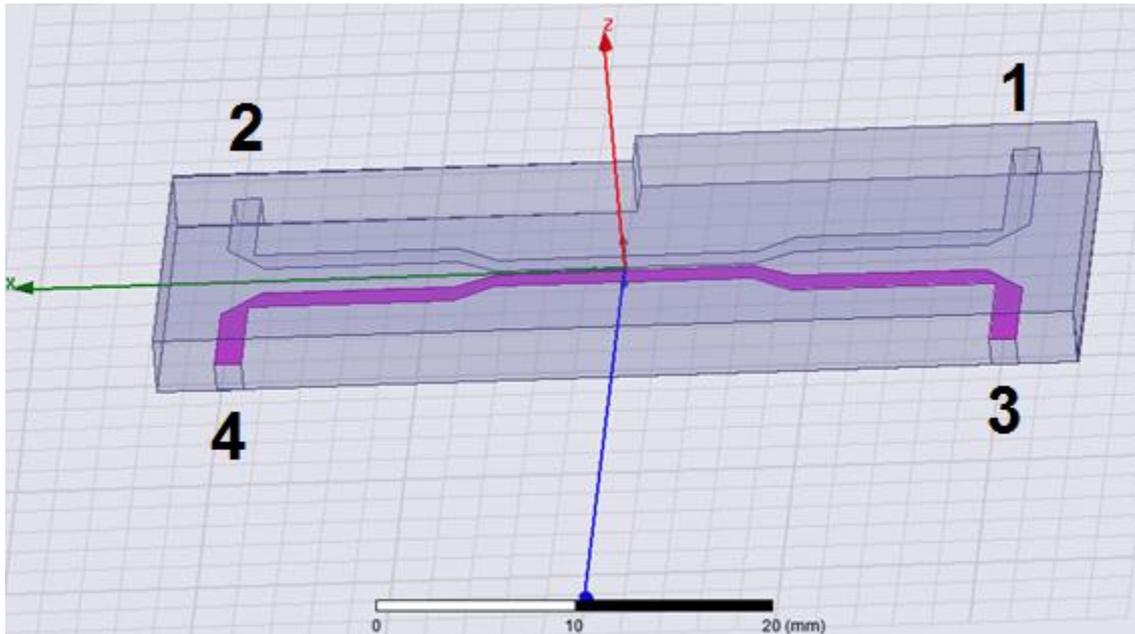


Figura 6.9: Modelo de acoplador de 12dB, en stripline diseñado en HFSS.

Nombre	Valor
L(largo total)	73,70mm
AM (Ancho mayor)	46,0101 mm
Am (Ancho menor)	26,16mm
we (ancho de líneas externas)	1.37161mm
se (separación entre líneas exteriores)	2.3986mm
le (largo de líneas exteriores)	19.8501mm
wm (ancho de líneas del medio)	1.13792mm
sm (separación entre las líneas del medio)	0.3153mm
lm (largo de la línea del medio)	19.8501mm
lee(tramo agregado de línea exterior del puerto 1)	19.8501mm
h (espesor del dieléctrico)	60mil

Tabla6.7: Valores utilizados en el diseño de acoplador de 12 dB en Stripline en HFSS

En las Figuras 6.10, 6.11 y 6.12 se presentan los resultados de simulación del dispositivo en cuestión, representando las pérdidas de inserción, las pérdidas de retornos y desfases, respectivamente.

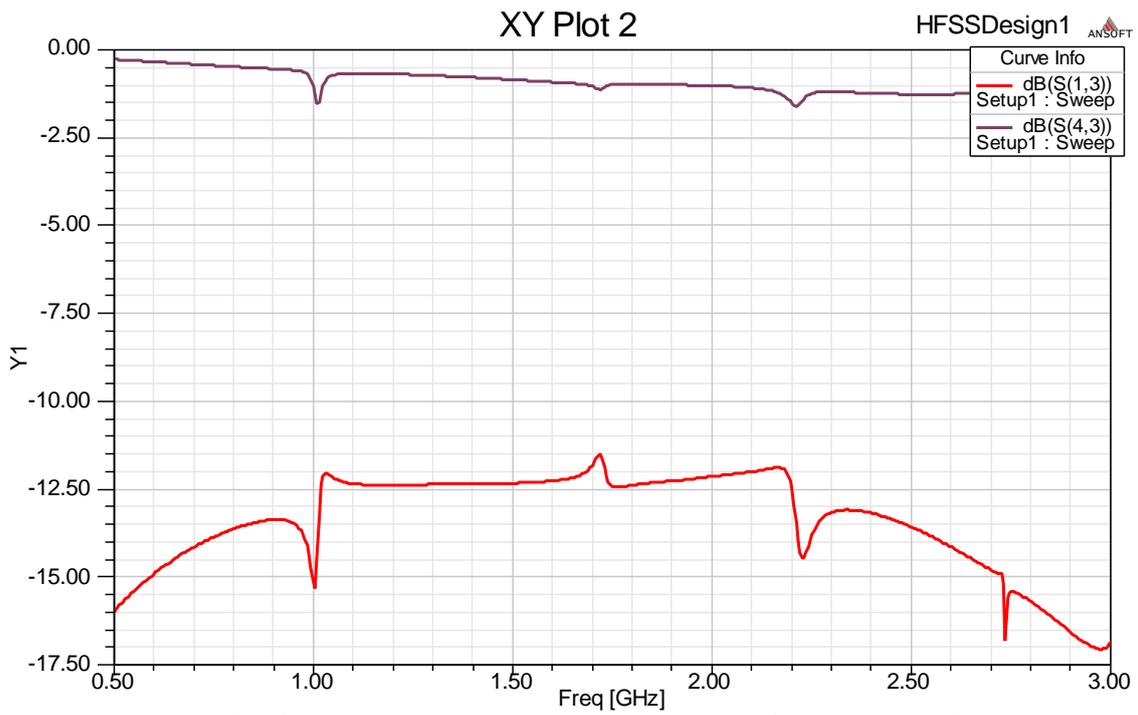


Figura 6.10: Resultados de pérdidas de inserción de acoplador de 12 dB en stripline en HFSS.

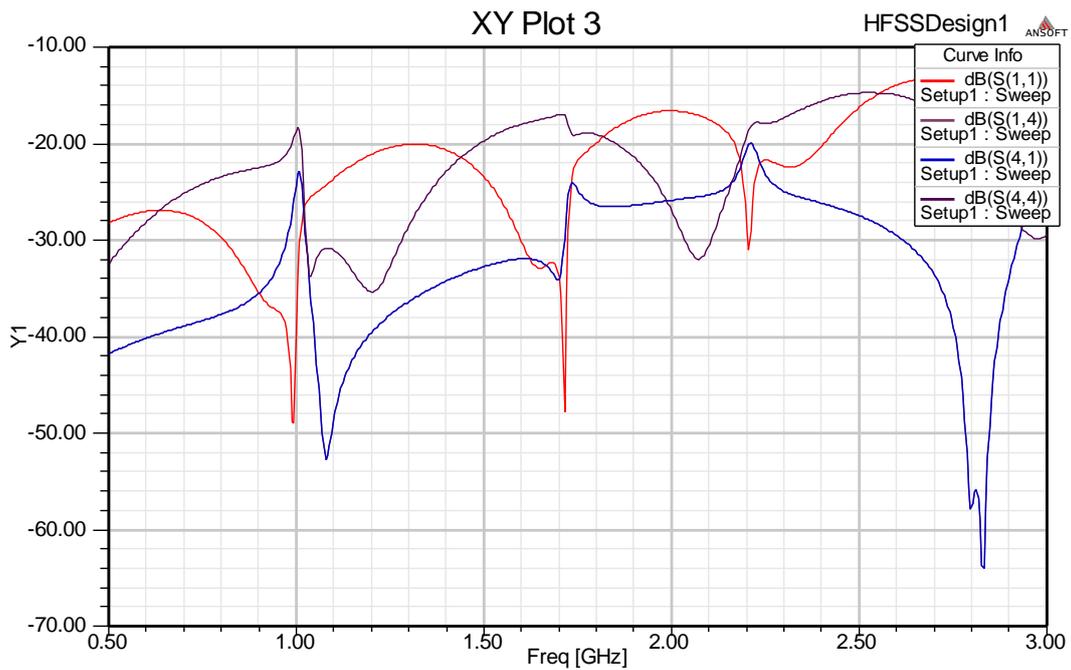


Figura 6.11: Resultados de rechazos de retorno de acoplador de 12 dB en stripline en HFSS.

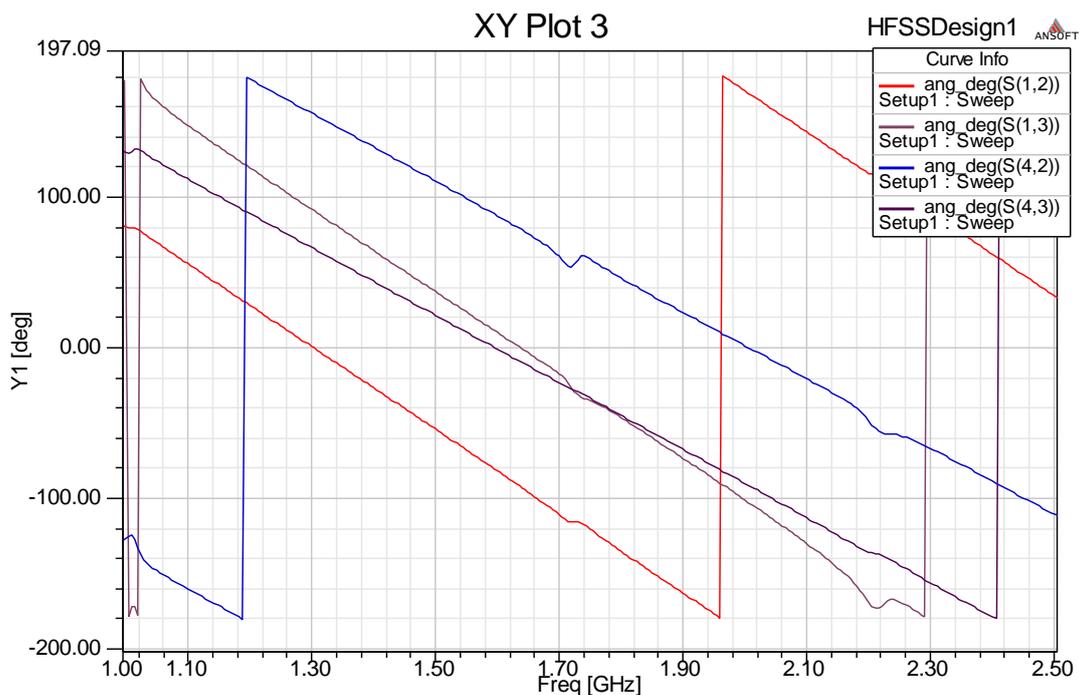


Figura 6.12: Resultados de desfasaje de acoplador de 12 dB en stripline en HFSS.

En las Tablas 6.8 y 6.9 se muestran las relaciones de magnitudes y fase entre los distintos puertos del acoplador de 12 dB a la frecuencia de 1.8GHz, respectivamente.

Puertos	1	2	3	4
1	-19.9	-1.16	-12.4	-26.4
2	-1.16	-18.4	-41.9	-12.4
3	-12.4	-41.9	-19.9	-0.997
4	-26.4	-12.4	-0.997	-19.1

Tabla 6.8: Resultados de los puertos en magnitud (dB) del acoplador de 12 dB en stripline en HFSS.

Puertos	1	2	3	4
1	139	-135	-46.2	5.54
2	-135	115	35.4	46.1
3	-46.2	35.4	52.7	-44.8
4	5.54	46.1	-44.8	52.1

Tabla 6.9: Resultados de los puertos en fase (°) del acoplador de 12 dB en stripline en HFSS.

6.3.2.1 Conclusión

El diseño realizado presenta un acoplamiento de 12.4 dB en el puerto de salida (3) con respecto al puerto de entrada (1) y pérdidas de inserción de 0.997dB entre el puerto directo (3) y el de entrada (4). Las pérdidas por retorno al mismo puerto son superiores a los 18 dB. En cuanto la relación entre el puerto de entrada y el aislado es superior a los 25 dB. Se consideró que sus valores se hallaban dentro del límite de tolerancia establecido, por lo que se realizó su implementación.

6.3.3 Amplificador de 10dB y demodulador de AM

La simulación del demodulador de AM se realizó en el programa LTspice.

La señal de AM se generó de una manera similar a la utilizada en el proyecto como se puede ver en la Figura 6.13, para ello se utilizaron dos generadores senoidales de frecuencia 417 KHz y amplitudes de 0.18V para V1 y 0.02V para V2. Luego de los generadores se conectaron a los conmutadores S1 y S2, los mismos están conectados a dos generadores senoidales de frecuencia 680Hz, uno desfasado 180° de otro, con el objetivo de que cuando un conmutador este conduciendo el otro no lo haga. La razón de las amplitudes de V1 y V2 es la de simular un índice de modulación del 80%.

En la Figura 6.14 se puede ver la señal de AM resultante explicada en el párrafo anterior como V(in) y la señal demodulada V(com). En V(in) se observa una amplitud intermedia, esto se debe al retardo propio de conmutador utilizado en la simulación.

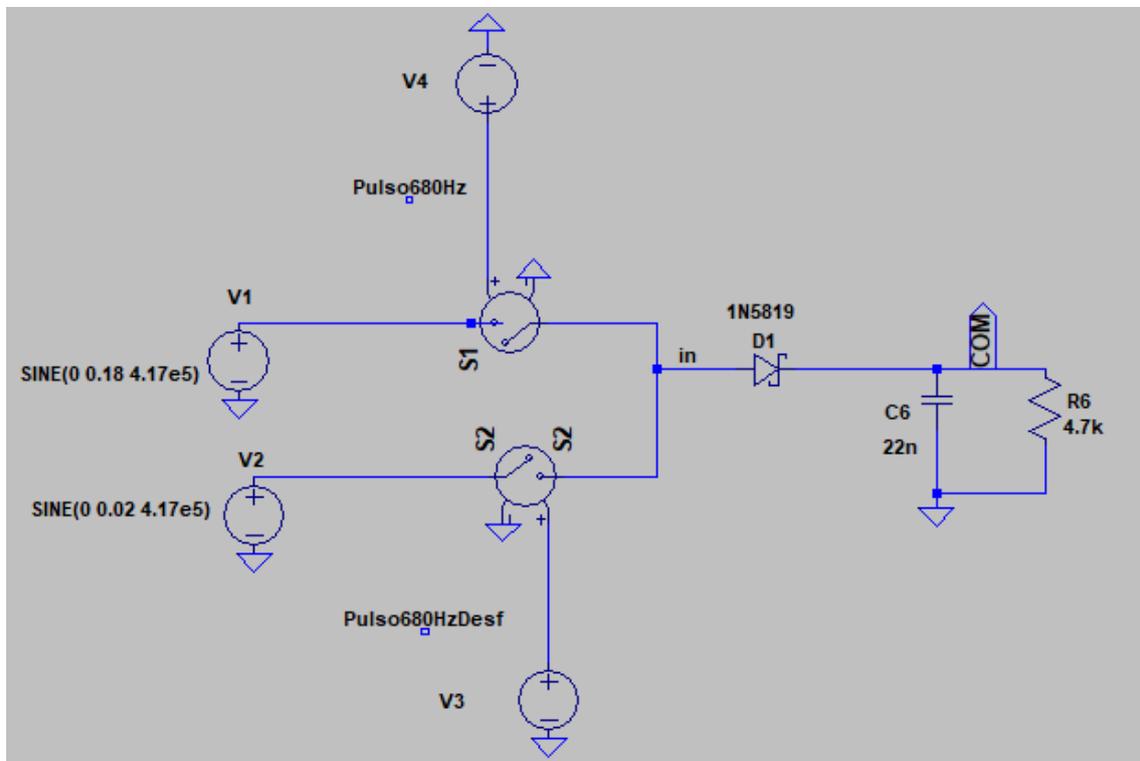


Figura 6.13: Demodulador de AM

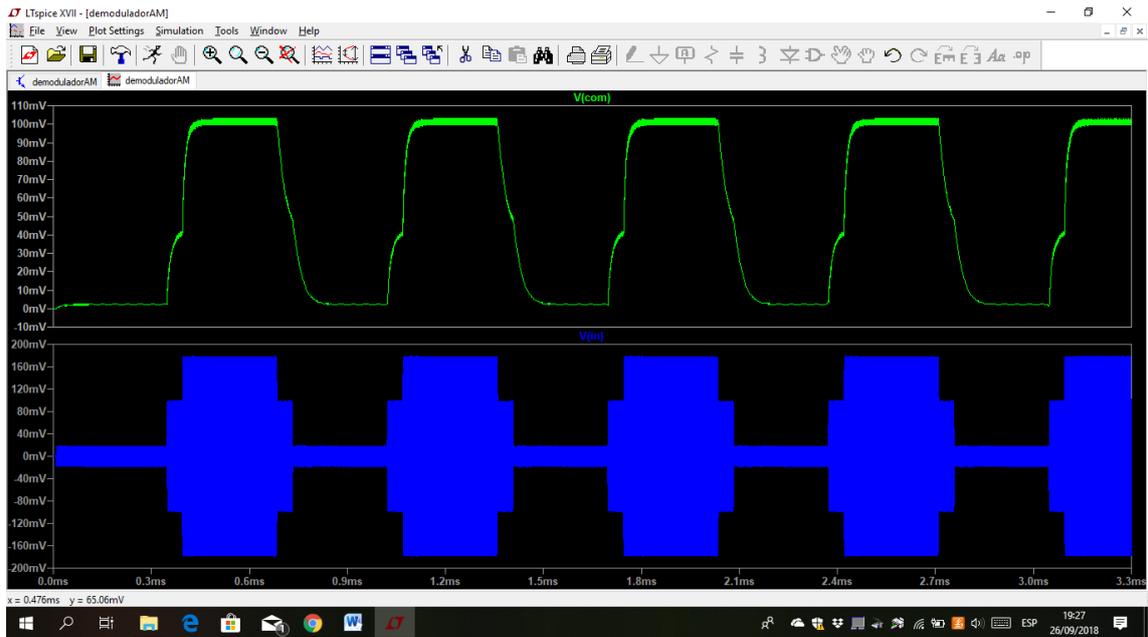


Figura 6.14: Señal ingresada al demodulador (azul) y señal demodulada (verde)

6.3.3.1 Conclusión

El demodulador presenta ciertos recortes debido al alto índice de modulación, sin embargo sigue correctamente a la señal, pudiéndose distinguir claramente los dos niveles de amplitud. Presenta un pequeño “ripple” menor a 4 mV en el peor caso. Teniendo en cuenta el desempeño mostrado se encuentra en condiciones de realizarse en la práctica.

6.4 Bibliografía

- [1] J. Anguera, A. Pérez. Teoría de antenas. Ingeniería La Salle. Universitat Ramon Llull.

7 Implementación

7.1 Implementación dispositivos pasivos

7.1.1 Introducción

Como fue explicado en el marco teórico, los dispositivos pasivos, tanto en microstrip como en stripline cumplen un rol fundamental en el desarrollo del proyecto. En el capítulo anterior, fueron desarrollados y rediseñados mediante simulaciones acorde a cada caso. Esta práctica no solo arrojó las medidas, material, tipo y formas que debe adquirir cada parte, sino que proporcionó resultados, ya sean transferencias o desfasajes, que cumplían los criterios de funcionamiento necesarios para el equipo que se está desarrollando.

En esta subsección, se pretende analizar los resultados de las implementaciones de los dispositivos previamente simulados. Se realizará una comparación entre los resultados esperados y los obtenidos, con el fin de optimizar el desempeño práctico de estos elementos.

7.1.2 Acoplador Híbrido pi

Se propusieron y simularon dos posibles tipos de diseños, una en microstrip y otra en stripline. Se decidió armar ambas variantes, debido al hecho de que presentan distintas ventajas que pueden ser aprovechadas. Los modelos realizados en microstrip, son sencillos de armar y probar, siendo sus resultados siempre muy similares a los obtenidos en la simulación. Sin embargo, al estar las pistas sin recubrir, las mismas pueden actuar como “antenas”, obteniendo señales parásitas, críticas para el sistema en cuestión. Esto es algo que no ocurre en stripline, ya que, al recubrirse con otra capa de dieléctrico con su respectiva masa, estas señales parásitas no interferirán. Un problema que poseen estos últimos, es el hecho de que son difíciles de construir y su performance depende en gran medida de su correcta construcción. En este apartado, se pretende elegir cuál de los dos será utilizado.

7.1.2.1 Banco de medición y resultados

En primer lugar, se procedió a implementar el diseño en microstrip. El mismo, al igual que todos los dispositivos pasivos armados en esta sección, fue impreso a partir de los diseños realizados en las simulaciones hechas en el capítulo anterior, mediante una insoladora, y armada en el laboratorio donde se realizó el trabajo final. En la Figura 7.1, se observa el diseño armado, con los correspondientes nombres de puertos.

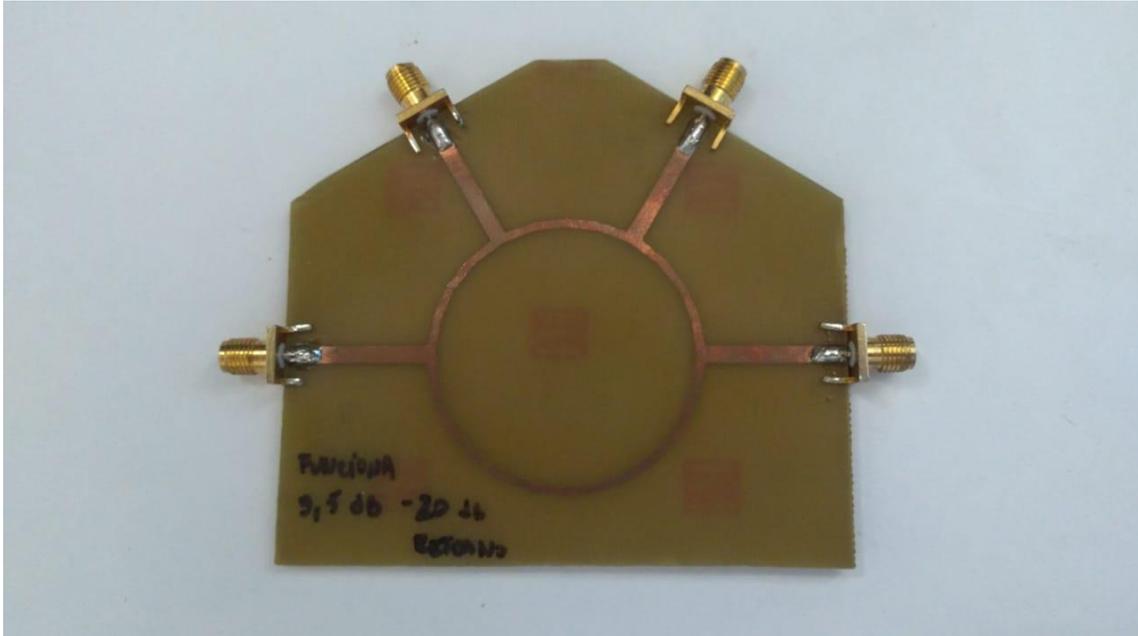


Figura 7.1: Modelo real de acoplador híbrido pi, realizado en insuladora.

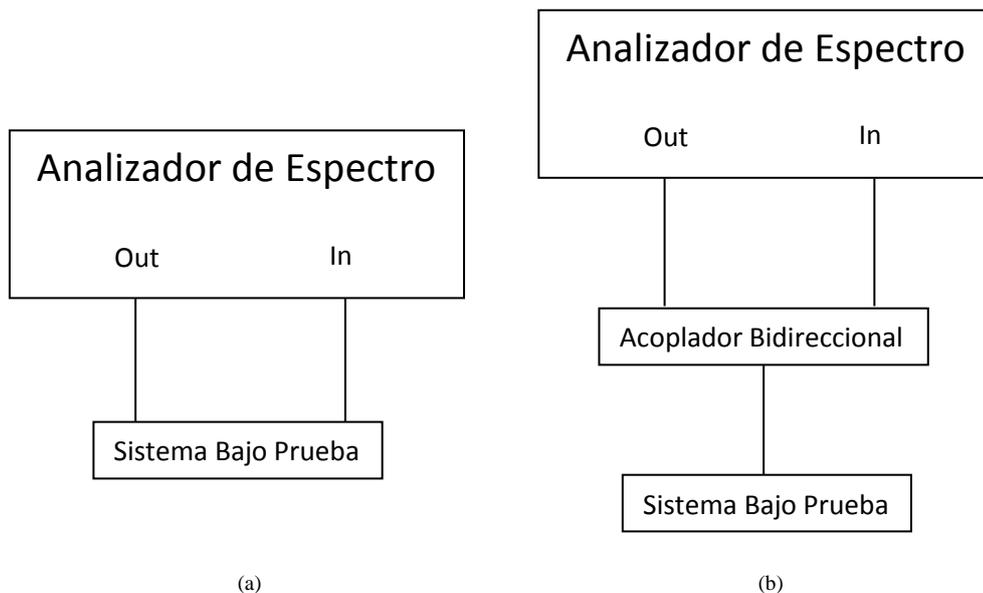


Figura 7.2: Banco de medición para medir dispositivos pasivos. (a) Parámetros S n-m (b) Parámetros S n-n

Se utilizó un analizador de espectro Hewlett Packard 8594E, con el modo generador de tracking, para analizar una porción de banda espectral en este dispositivo. Además, se utilizó un acoplador bidireccional Hewlett Packard 778D, para medir los rechazos de retorno. El banco de medición propuesto se ve en la Figura 7.2. Se extrajeron los resultados visibles en las Figuras 7.3 a 7.12, correspondientes a los parámetros s medidos, considerados significativos. Previamente se conectó la salida del generador de tracking a la entrada del AE para considerar la atenuación de los cables, colocar la función de marcado (*marker*) del instrumento como referencia y de esta forma obtener directamente la atenuación del dispositivo bajo prueba. En el caso de la medición de rechazo de retorno en donde se utilizó el acoplador direccional, se ajustó el marker antes de colocar el sistema bajo prueba y luego se procedió a realizar las mediciones.

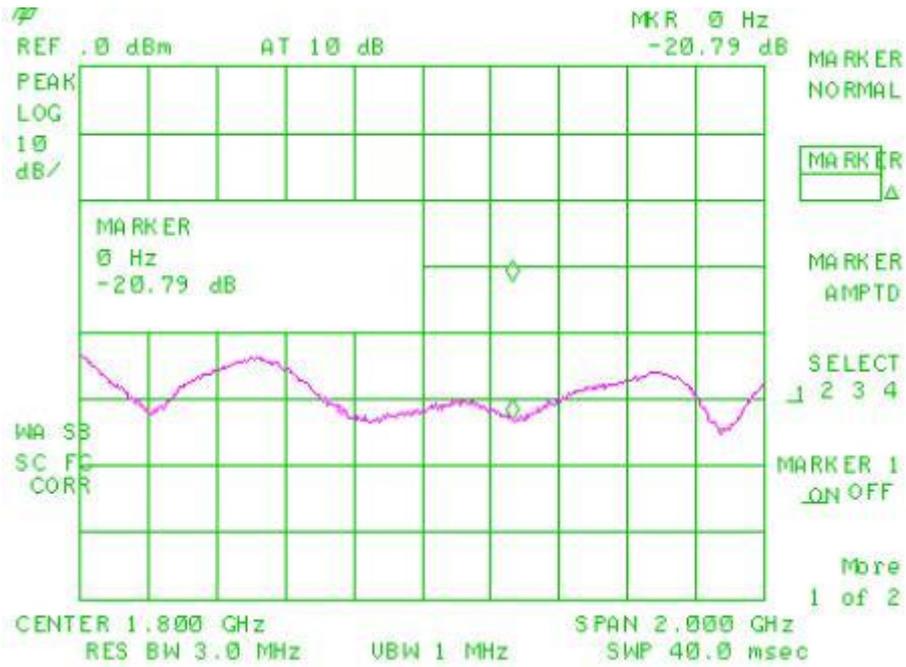


Figura 7.3: Parámetro s 1-1 del híbrido pi, en microstrip.

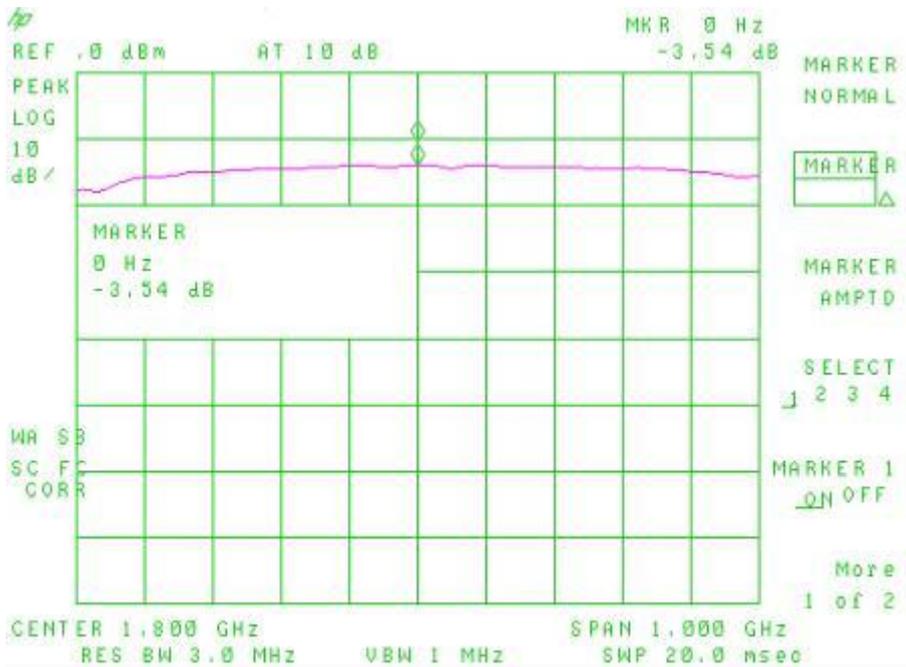


Figura 7.4: Parámetro s 1-2 del híbrido pi, en microstrip.

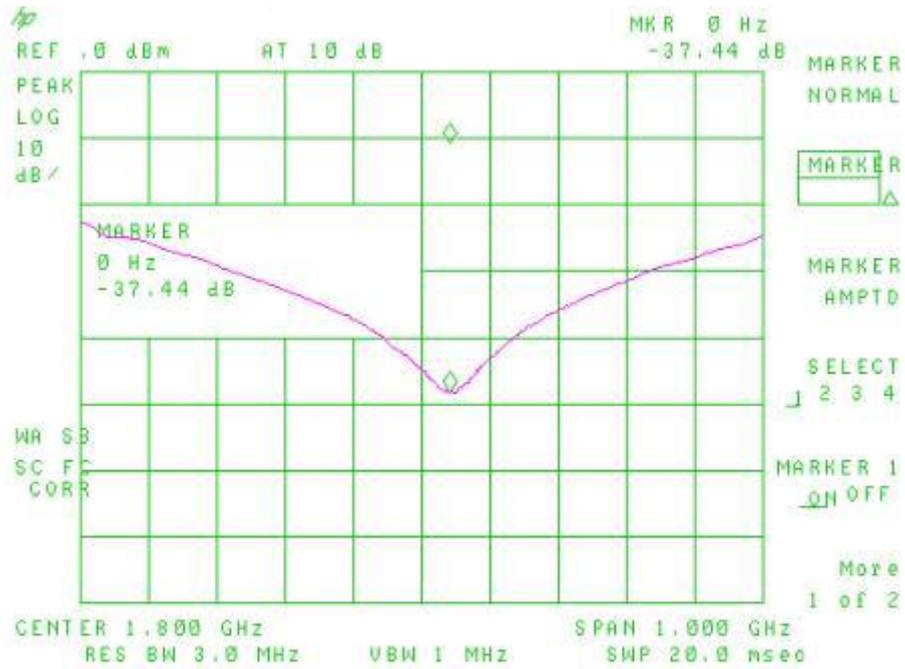


Figura 7.5: Parámetro s 1-3 del híbrido pi, en microstrip.

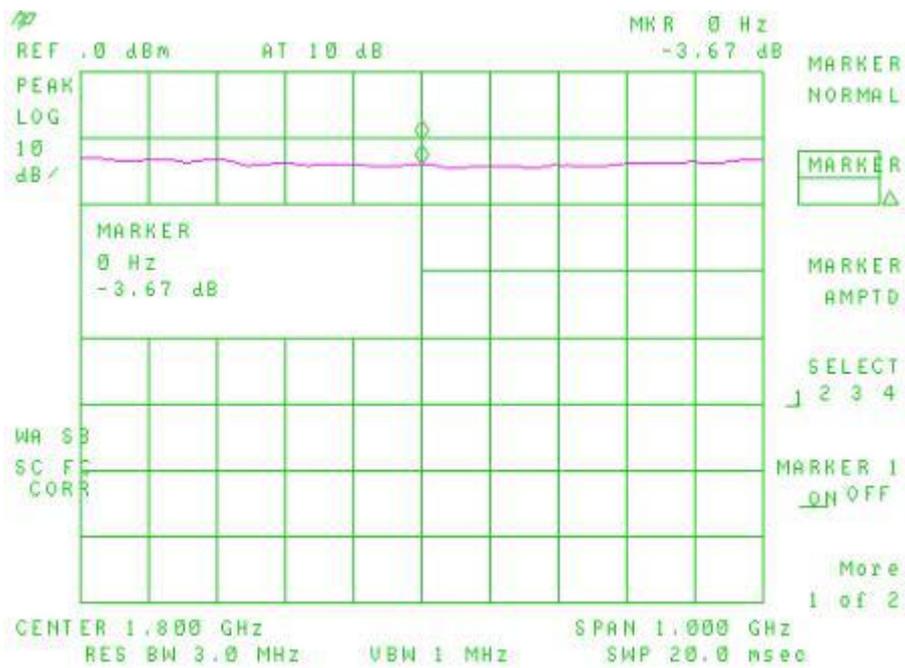


Figura 7.6: Parámetro s 1-4 del híbrido pi, en microstrip.

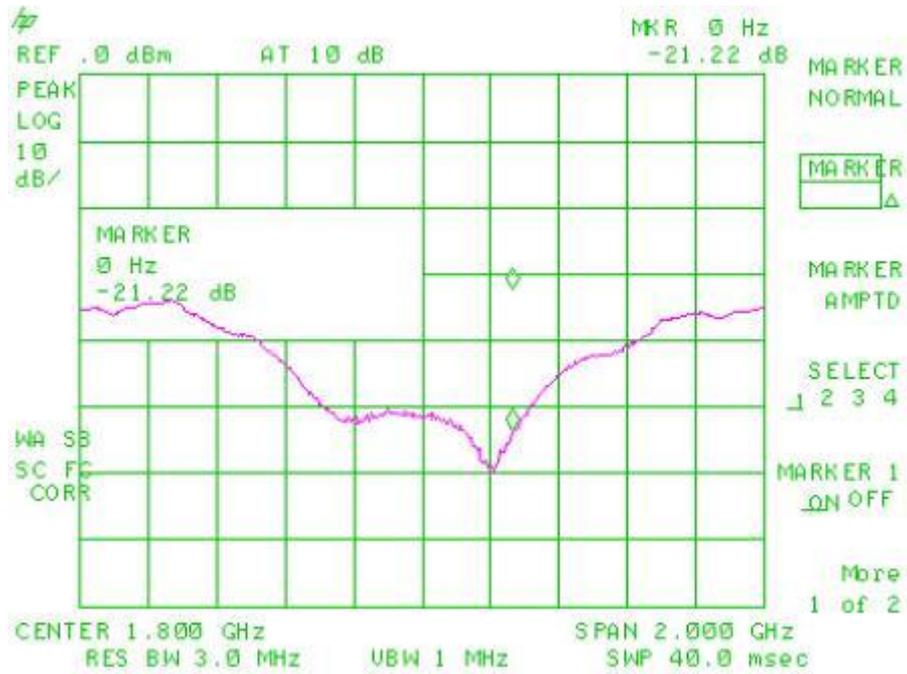


Figura 7.7: Parámetro s 2-2 del híbrido pi, en microstrip.

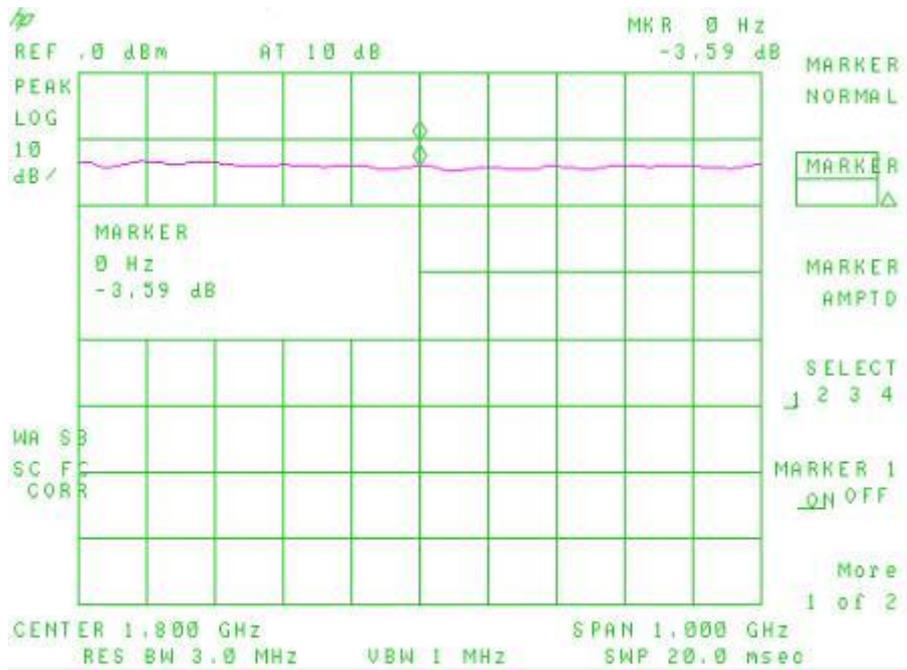


Figura 7.8: Parámetro s 2-3 del híbrido pi, en microstrip.

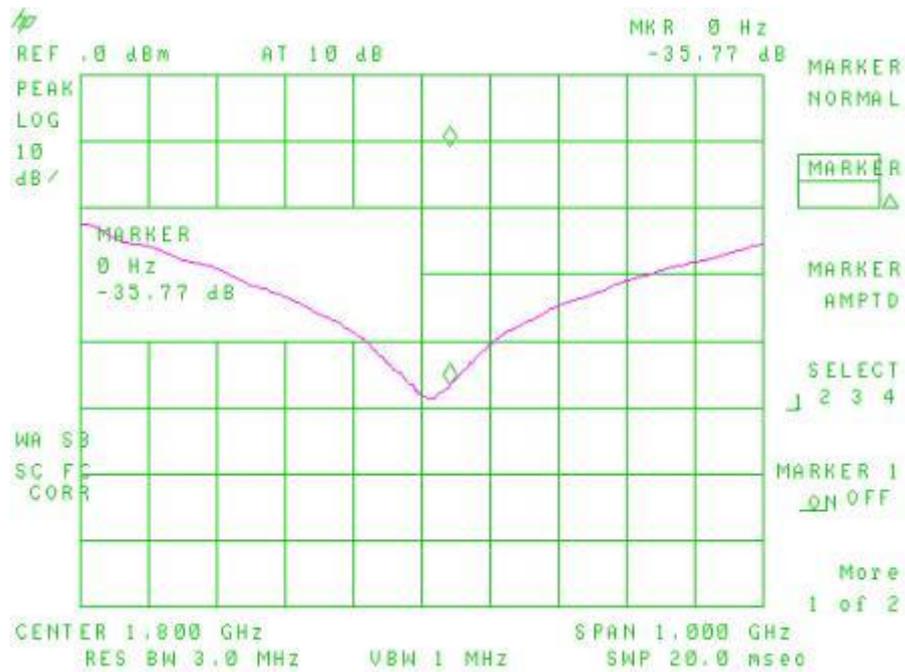


Figura 7.9: Parámetros 2-4 del híbrido pi, en microstrip.

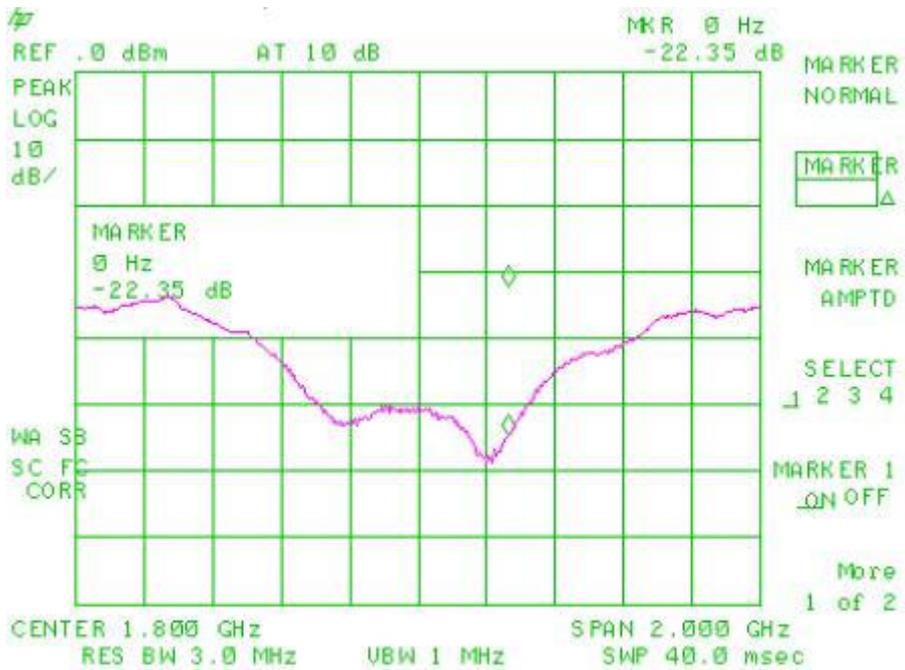


Figura 7.10: Parámetros 3-3 del híbrido pi, en microstrip.

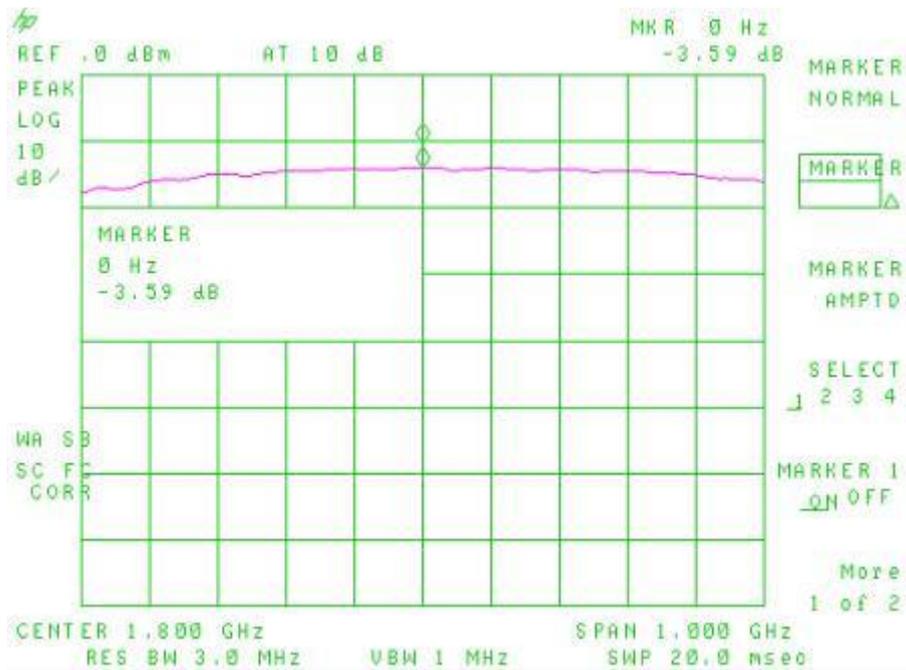


Figura 7.11: Figura 1.9: Parámetros 3-4 del híbrido pi, en microstrip.

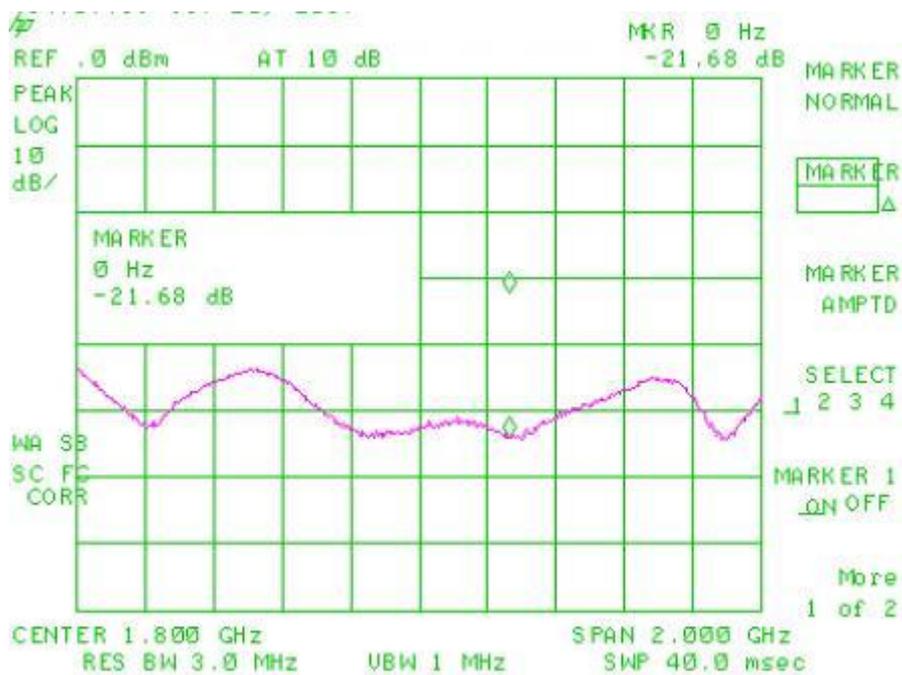


Figura 7.12: Figura 1.9: Parámetros 4-4 del híbrido pi, en microstrip.

En la Tabla 7.1, se comparan los resultados en dB de la experiencia práctica con los resultados arrojados por la simulación realizada en el software HFSS a la frecuencia de trabajo, establecida en 1.8 GHz.

Parámetro	Simulación (en dB)	Implementación (en dB)
11	-39.9	-20.79
12	-3.46	-3.54
13	-35	-37.4
14	-3.67	-3.67
22	-31	-21.22
23	-3.5	-3.59
24	-36.8	-35.77
33	-33.3	-22.35
34	-3.46	-3.59
44	-38.2	-21.68

Tabla 7.1: Tabla comparativa entre resultados simulados y prácticos del híbrido pi, en microstrip, en la frecuencia de interés.

Luego, se procedió a implementar el diseño en stripline. En la Figura 7.13, se observa el diseño armado, con los correspondientes nombres de puertos.

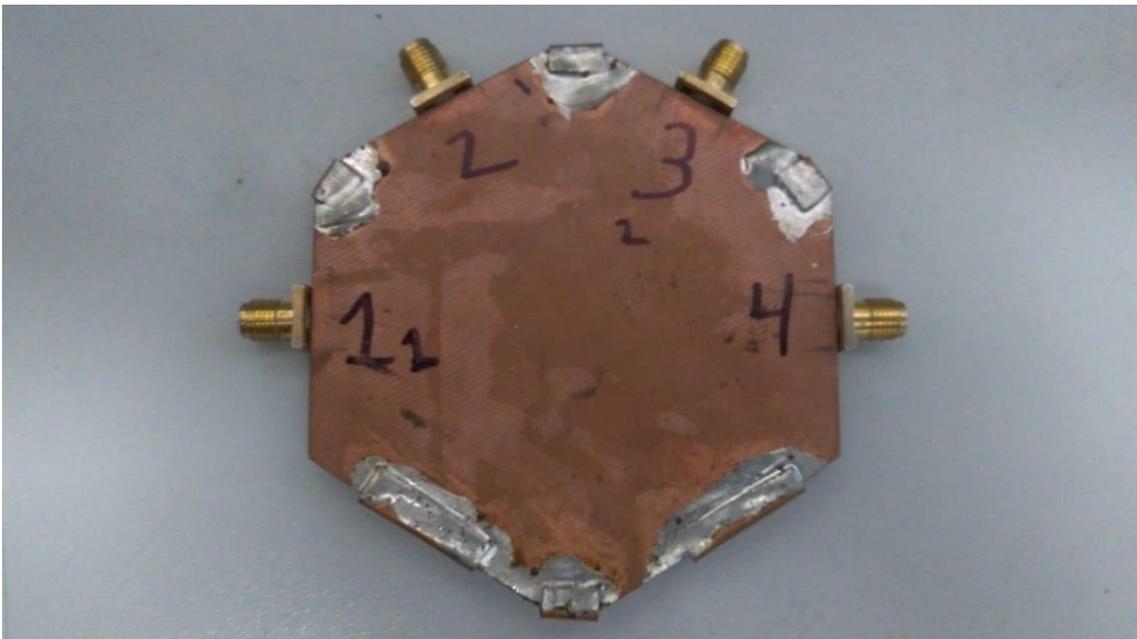


Figura 7.13: Modelo real de acoplador híbrido pi en stripline.

También se utilizaría el mismo analizador de espectro y acoplador direccional, para medir los parámetros s , que se observa en la Figura 7.2. Se extrajeron los resultados visibles en las Figuras 7.14 a 7.23, correspondientes a las transferencias significativas.

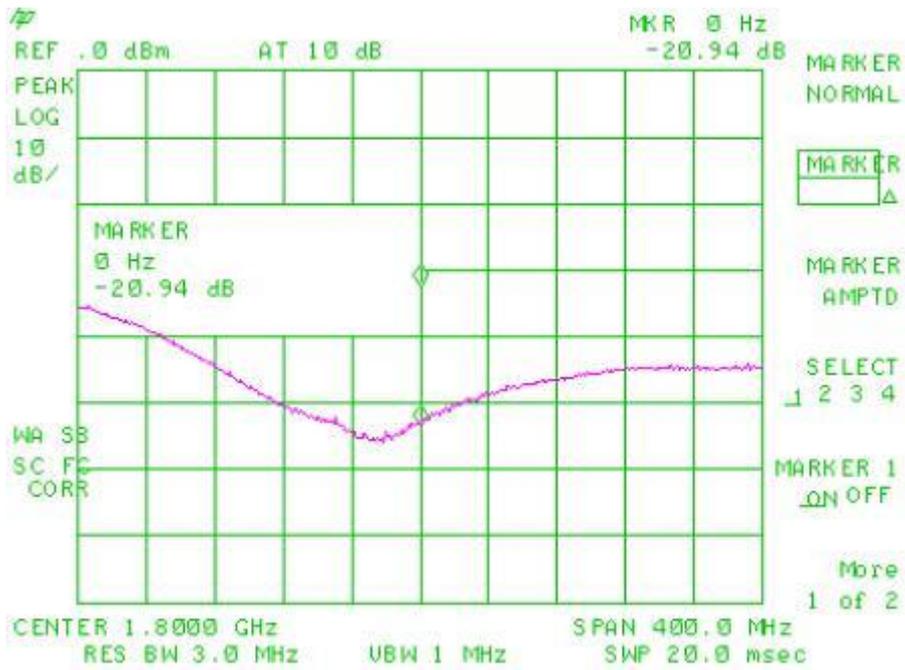


Figura 7.14: Parámetro s 1-1 del híbrido pi, en stripline.

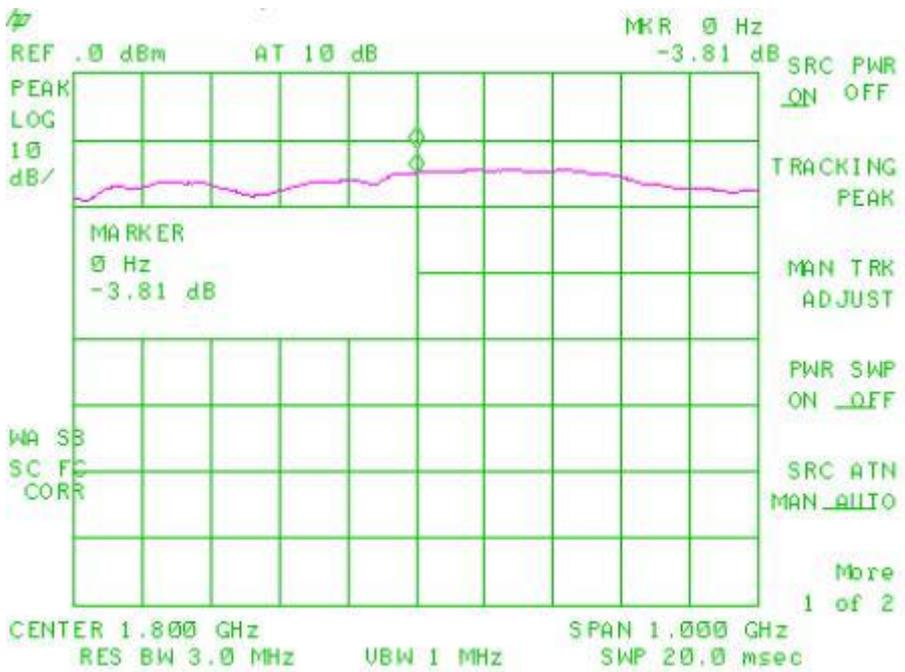


Figura 7.15: Parámetro s 1-2 del híbrido pi, en stripline.

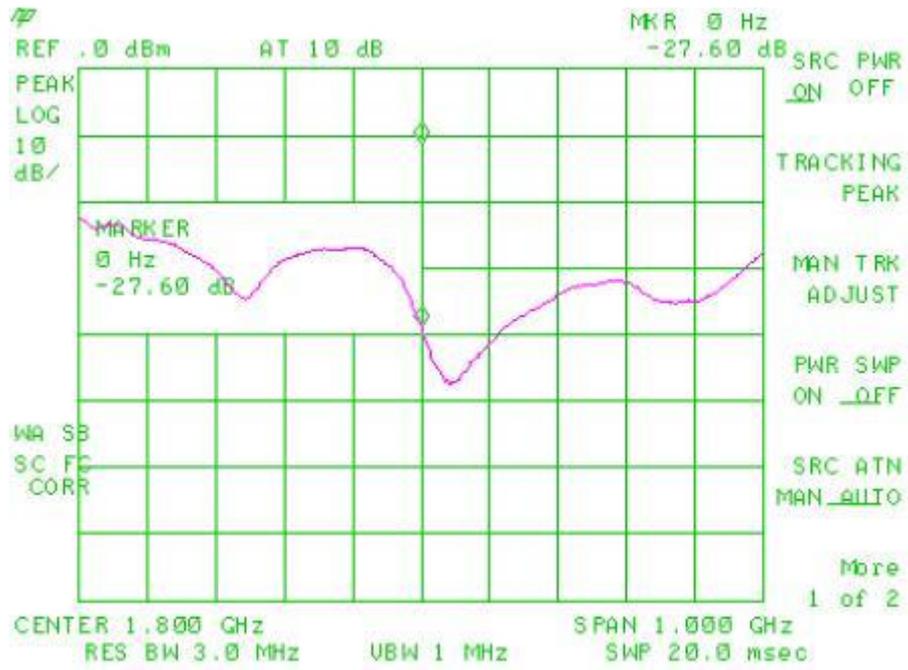


Figura 7.16: Parámetros 1-3 del híbrido pi, en stripline.

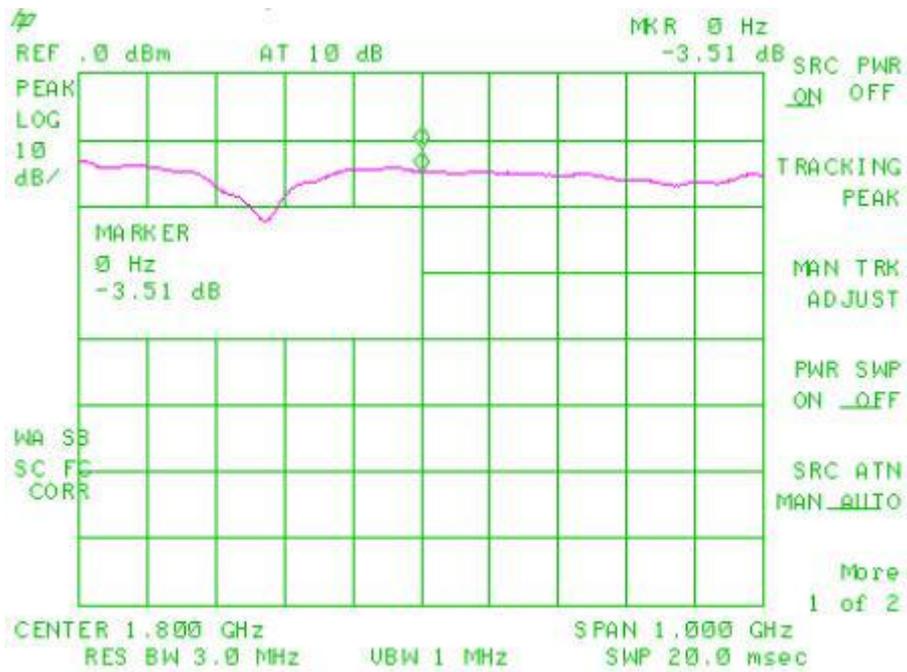


Figura 7.17: Parámetros 1-4 del híbrido pi, en stripline.

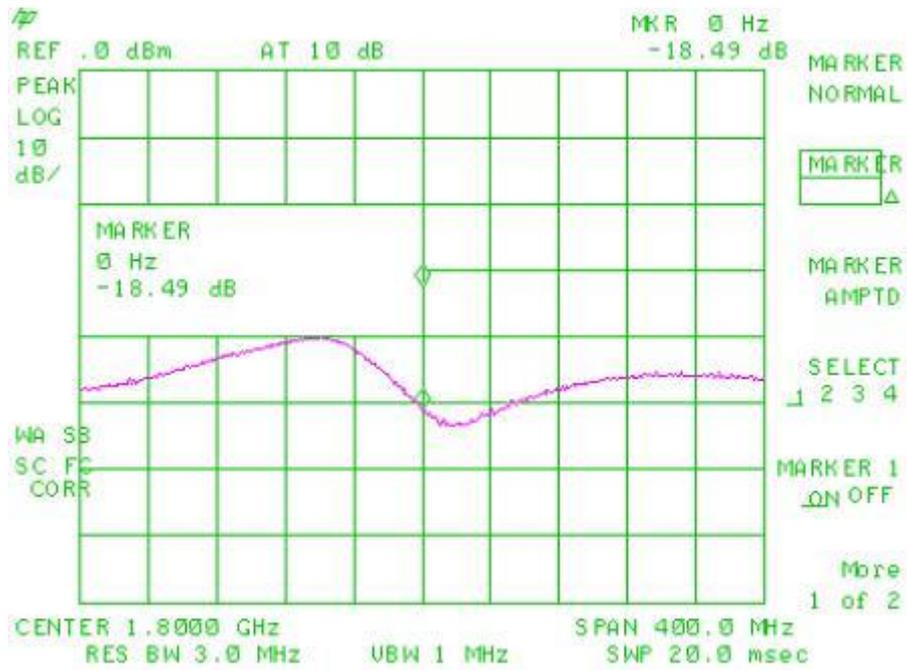


Figura 7.18: Parámetro s 2-2 del híbrido pi, en stripline.

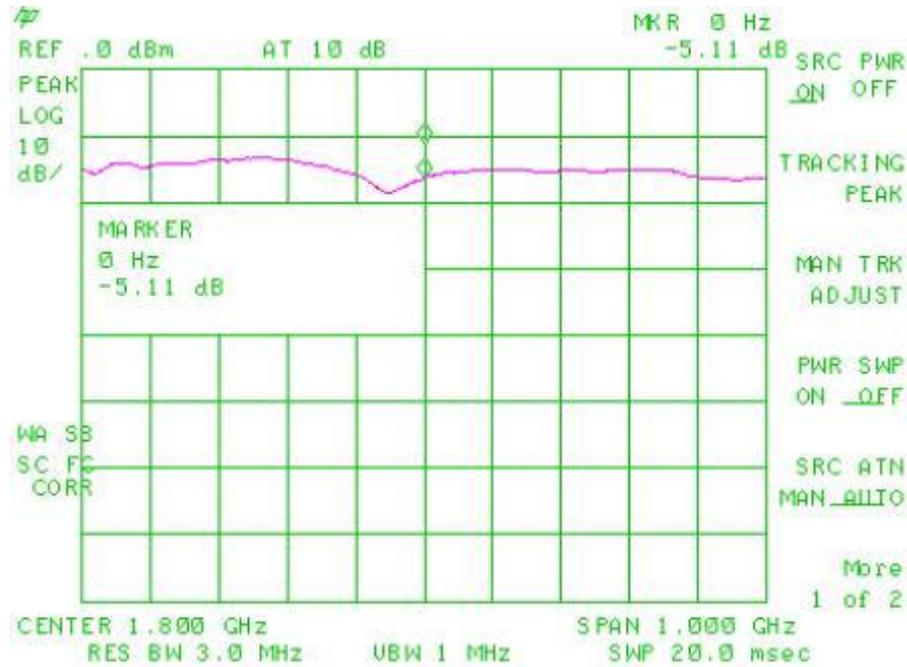


Figura 7.19: Parámetro s 2-3 del híbrido pi, en stripline.

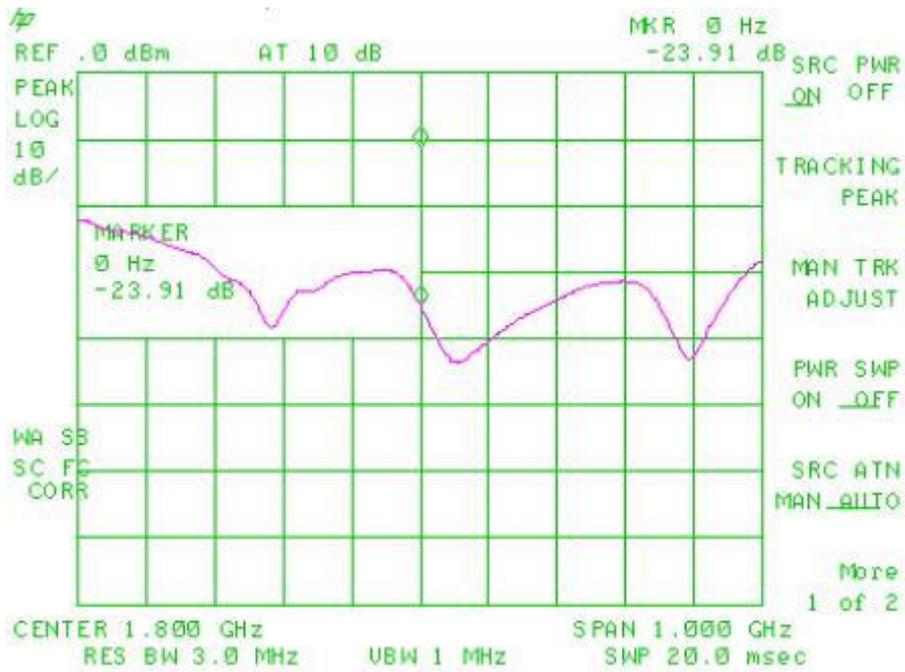


Figura 7.20: Parámetros 2-4 del híbrido pi, en stripline.

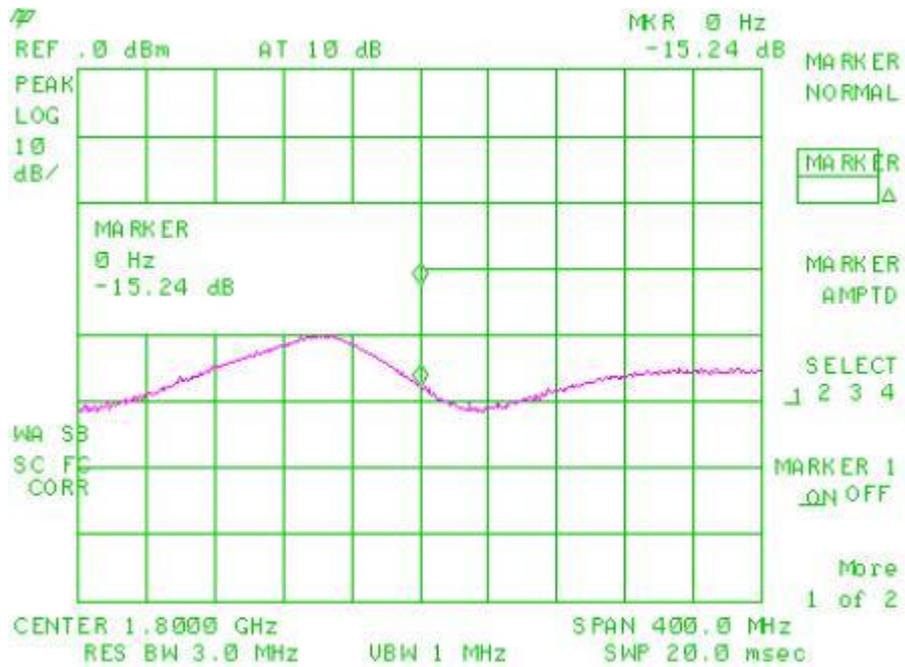


Figura 7.21: Parámetros 3-3 del híbrido pi, en stripline.

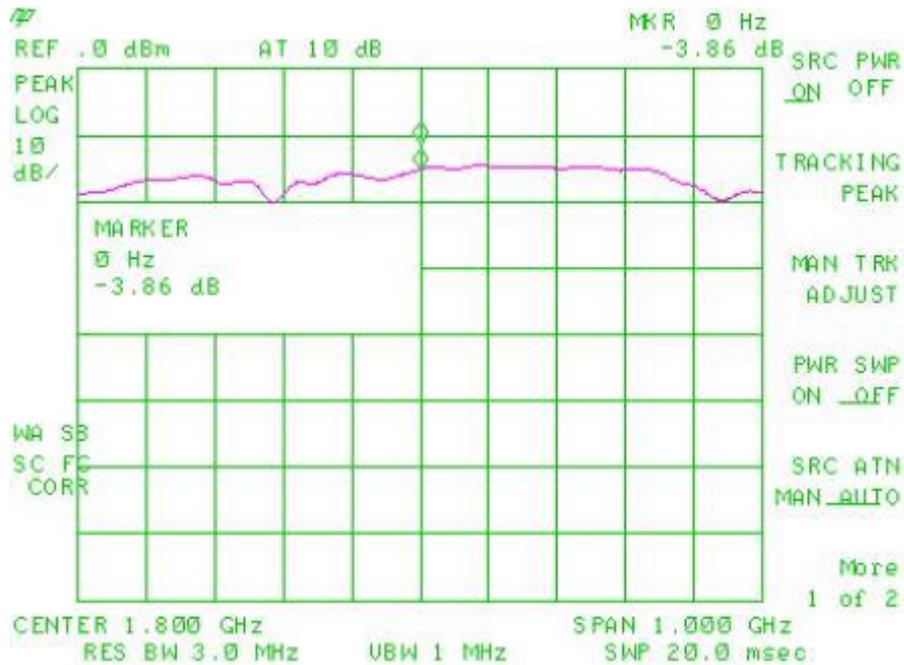


Figura 7.22: Parámetros 3-4 del híbrido pi, en stripline.

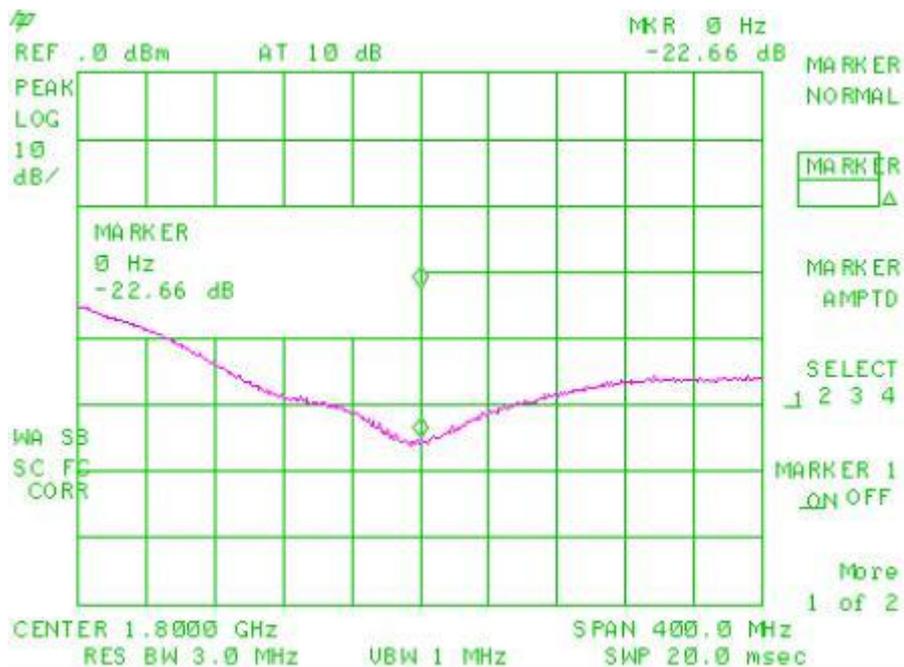
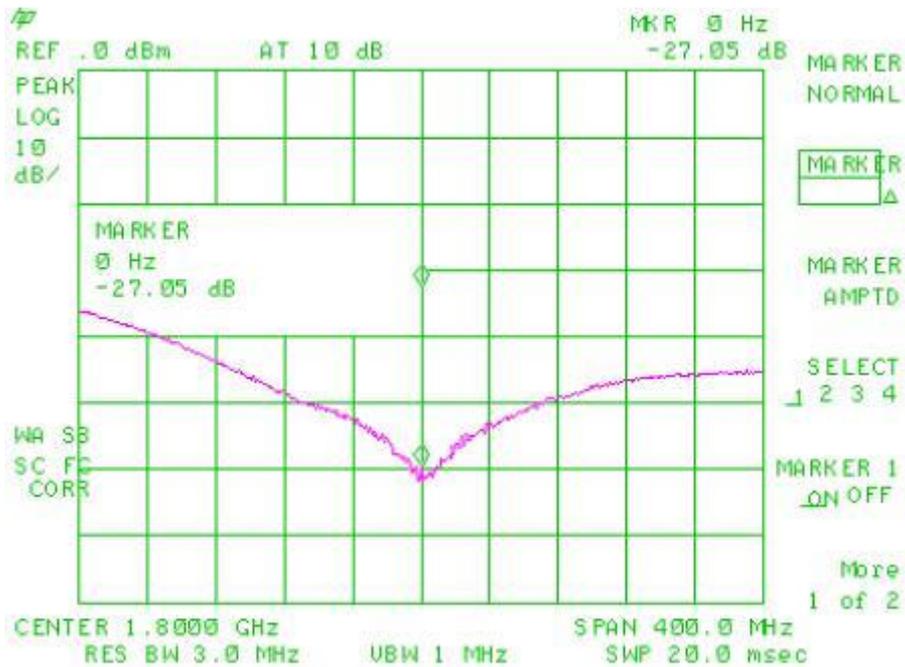
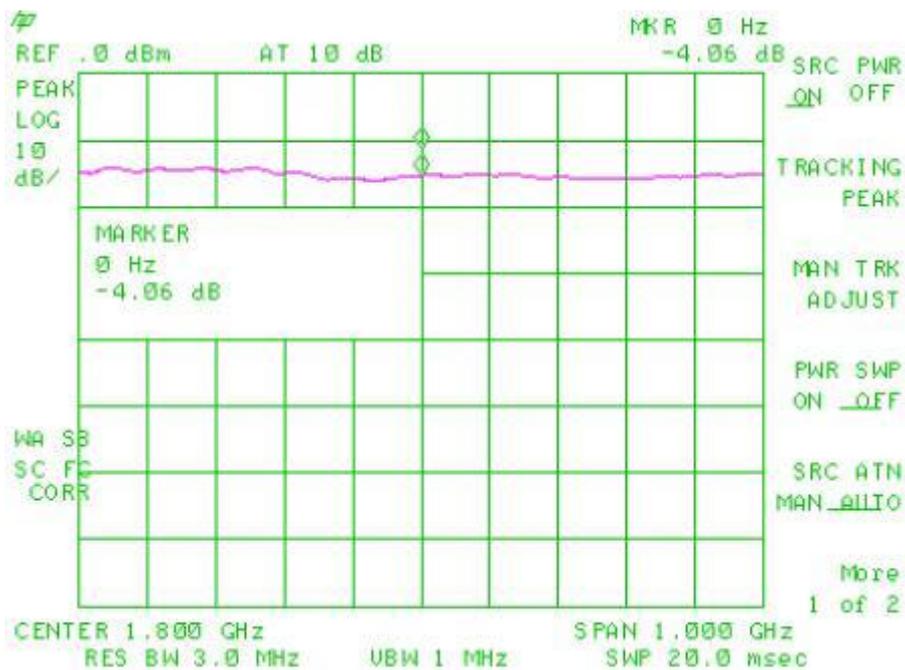


Figura 7.23: Parámetros 4-4 del híbrido pi, en stripline.

En la implementación del modelo en stripline, se notó una irregularidad, digna de ser mencionada. Los modelos stripline, si bien fueron presionados con distintas máquinas para ser armados, al apretarlos, su performance mejoraba, dependiendo el caso, entre décimas de dB y unos pocos dB. En las Figuras 7.24 y 7.25, se pueden ver ejemplos, comparados con los casos antes mostrados.



Figuras 7.24: Parámetro s 1-1 del híbrido pi, en stripline, al presionar.



Figuras 7.25: Parámetro s 2-3 del híbrido pi, en stripline, al presionar.

Bajo esta premisa, se procedió a colocar tornillos en lugares estratégicos de la placa, para verificar si mejoraba su performance. Sin embargo, al no estar uniformemente presionado, algunos valores mejoraban mientras otros se alejaban de lo esperado.

En la Tabla 7.2, se comparan los resultados en dB de la experiencia práctica con los resultados arrojados por la simulación realizada en el software HFSS, analizados en la frecuencia de trabajo, 1.8 GHz.

Parámetro	Simulación (en dB)	Implementación (en dB)
11	-22.9	-20.94
12	-3.4	-3.81
13	-25.8	-27.60
14	-4.18	-3.51
22	-26.2	-18.49
23	-4.02	-5.11
24	-26.7	-23.91
33	-25.5	-15.24
34	-3.41	-3.86
44	-21.5	-22.66

Tabla 7.2: Tabla comparativa entre resultados simulados y prácticos del híbrido pi, en stripline, a la frecuencia de interés.

Finalmente, se adjunta en la Tabla 7.3, una tabla comparativa entre ambos diseños, en la misma frecuencia.

Parámetro	Simulación Microstrip (en dB)	Implementación Microstrip (en dB)	Simulación Stripline (en dB)	Implementación Stripline (en dB)
11	-39.9	-20.79	-22.9	-20.94
12	-3.46	-3.54	-3.4	-3.81
13	-35	-37.4	-25.8	-27.60
14	-3.67	-3.67	-4.18	-3.51
22	-31	-21.22	-26.2	-18.49
23	-3.5	-3.59	-4.02	-5.11
24	-36.8	-35.77	-26.7	-23.91
33	-33.3	-22.35	-25.5	-15.24
34	-3.46	-3.59	-3.41	-3.86
44	-38.2	-21.68	-21.5	-22.66

Tabla 7.3: Tabla comparativa entre resultados de microstrip y stripline a la frecuencia de interés.

7.1.2.2 Medición de fase y amplitud

Habiéndose elegido la técnica en Microstrip, como modelo, se procedió a medir los desfases entre puertos, para comprobar si se cumplen las características de fase antes simuladas, fundamentales para el correcto funcionamiento de estos dispositivos. Para ello se estableció el banco de medición que se muestra en la Figura 7.26. El mismo consta de un generador de onda de alta frecuencia HP8657B, un osciloscopio Tektronix TDS 220, una línea de onda de longitud variable, dos mezcladores MAX2681 de Maxim Integrated y un oscilador local, que constaba de un Sintetizador de Banda Ancha ADF4351 y un PIC 4550. El análisis del funcionamiento de todos estos integrados es analizado en subsecciones posteriores.

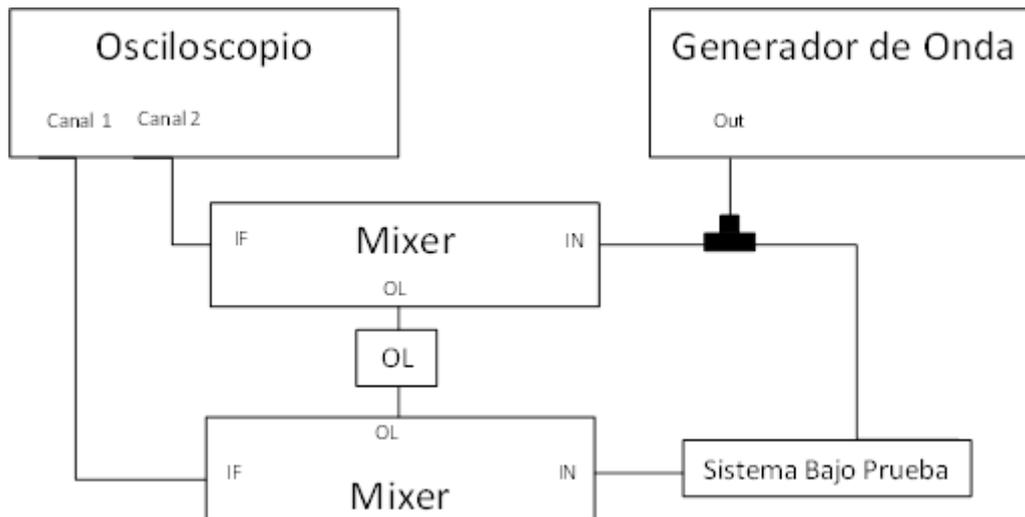


Figura 1.26: Banco de Medición propuesto para obtener el desfasaje.

El generador otorga una señal de baja potencia -30 dBm, a una frecuencia de 1.8GHz, siendo conectada a ambos mezcladores. A los mismos, se conecta el oscilador local a una frecuencia de 1,7496GHz, y se coloca la línea de onda de longitud variable a la salida de uno de los mezcladores, calibrando así el banco. Estas salidas se conectan al osciloscopio, donde se observan dos señales, una por cada mezclador, de frecuencia $f_{FI} = 50,4$ MHz, en fase.

Luego se conectó entre una salida y el osciloscopio cada sistema bajo prueba. El osciloscopio permite medir el retardo entre la señal que pasa por la placa a medir y la señal original. A continuación, en la Tabla 7.4 se colocan los retardos, medidos en ns, medidos entre cada puerto del dispositivo. Como la medición no fue realizada en las mejores condiciones debido al ancho de banda del osciloscopio, la misma presenta un error de medición del $\pm 0.2\text{ns}/3.63^\circ$.

Parámetro	Simulación (grados)	Implementación (ns/grados)
11	11.7	No es crítica
12	90.4	2.2/39.92°
13	-6.23	No es Crítica
14	-90	-7.2/-130.64°
22	32.3	No es crítica
23	90.3	2.2/39.92°
24	12.5	No es Crítica
33	21.5	No es crítica
34	89.9	2.2/39.92°
44	62.5	No es crítica

Tabla 7.4: Tabla comparativa entre resultados simulados y prácticos del híbrido pi en fase, en microstrip, a la frecuencia de interés.

Para convertir de milisegundos a grados, se utilizó la Ecuación 7.1.

$$Fase (^\circ) = t_{medido} * f_{FI} * 360^\circ \quad (7.1)$$

Si se tiene en cuenta lo mencionado en el Anexo II, en este caso, se debe cumplir lo indicado en la Ecuación 7.2, visualizándose los resultados en la Tabla 7.5. En este caso el error de medición es de $\pm 4ns/7.26^\circ$.

$$\text{fase (2,3)} - \text{fase (3,4)} = 0 \text{ y fase (1,4)} - \text{fase (1,2)} = 180^\circ \quad (7.2)$$

Caso	Simulación	Implementación
fase (2,3) – fase (3,4)	-0.4°	0°
fase (1,4) – fase (1,2)	180.4	174.19°

Tabla 7.5: Tabla comparativa entre resultados simulados y prácticos del híbrido pi en fase, en microstrip, entre los puertos de salida.

Una vez verificado los resultados de fase, se procedió a realizar una medición de amplitud más adecuada. Para ellos se utilizó el banco de medición de la Figura 7.27, el mismo cuenta con el generador de RF y el analizador de espectro utilizados en la medición de fase. En primer lugar, se calibro el sistema considerando las pérdidas de los cables, para ello se ajustó el generador para entregar una potencia de -30dBm a la frecuencia de 1.8Ghz, obteniéndose una medida en el AE de -32.23dBm. Luego, se marcó el valor de la medición con la función *Marker* del AE como referencia.

Los resultados obtenidos se pueden observar en la Tabla 7.6.

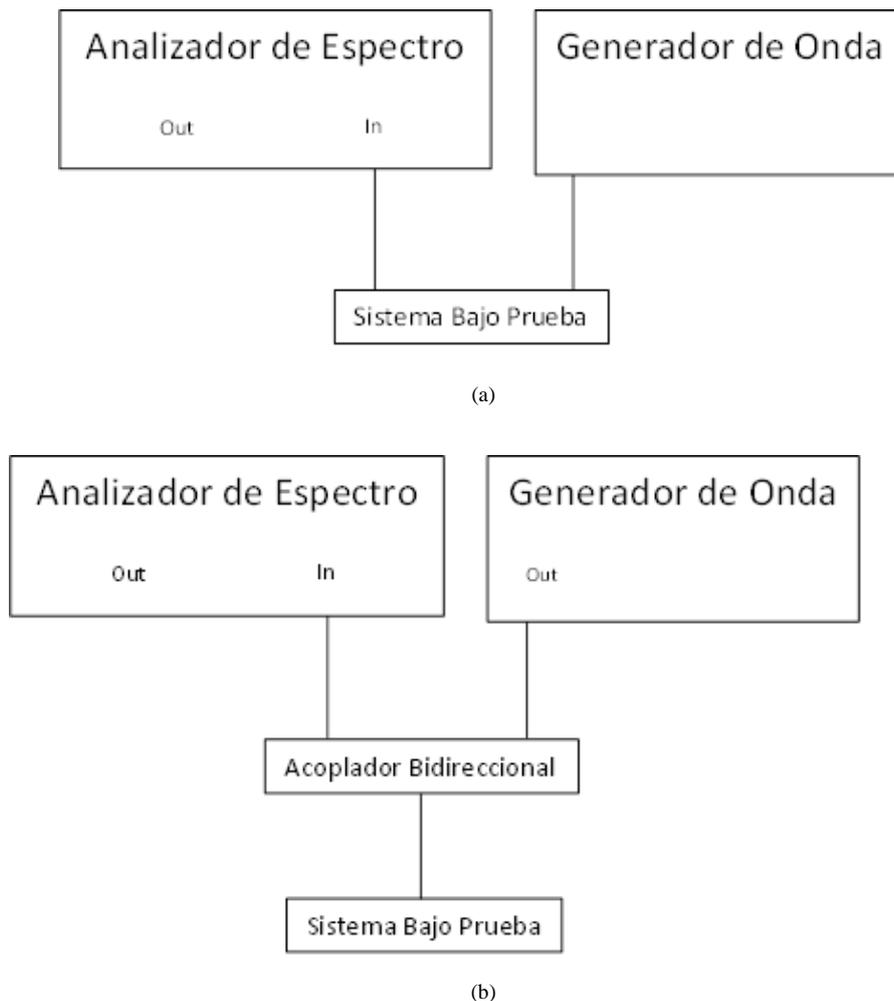


Figura 7.27: Banco de Medición propuesto para obtener la amplitud. (a) Parámetros S n-m (b) Parámetros S n-n

Parámetro	Simulación (en dB)	Implementación (en dB)
11	-39.9	-20.4
12	-3.46	-3.7
13	-35	-36.5
14	-3.67	-3.6
22	-31	-20.8
23	-3.5	-3.58
24	-36.8	-36.5
33	-33.3	-21.9
34	-3.46	-3.6
44	-38.2	-21.8

Tabla 7.6: Tabla comparativa entre resultados simulados y prácticos del híbrido pi

7.1.2.3 Análisis de datos y conclusiones

Como se puede ver, los valores medidos por los bancos están en correlación con los que se obtuvieron en las simulaciones previas. Sin embargo, es destacable la problemática constructiva que poseen los diseños realizados en stripline. Se dedujo, que los mismos no podrían realizarse en el laboratorio, ya que no se cuenta con el equipo necesario para una construcción confiable.

Se decidió, por lo tanto, utilizar y replicar a la placa realizada con técnicas de microstrip, dado que los resultados, no solo se mostraron más confiables en su desempeño, sino que sus resultados fueron mucho mejores (tanto en simulación, como en implementación) respecto al otro diseño. Si bien microstrip presenta el problema de ser susceptible a interferencias, una solución es la de aislar dicha etapa.

Se realizó la medición de fase de los dispositivos elegidos, obteniéndose los resultados muy cercanos a los esperados, respecto a lo conseguido en las simulaciones realizadas previamente.

7.1.3 Comparador

Una vez realizado el modelo del acoplador híbrido y verificado su funcionamiento, se procedió a armar el dispositivo denominado comparador, que consiste de cuatro híbridos dispuestos de acuerdo a la Figura 7.28. Se puede observar en ella, que las señales provenientes de las 4 bocinas de alimentación son conectadas en entradas seleccionadas, de manera que las salidas sean las señales sumas y ambas diferencias, Elevación y Azimut

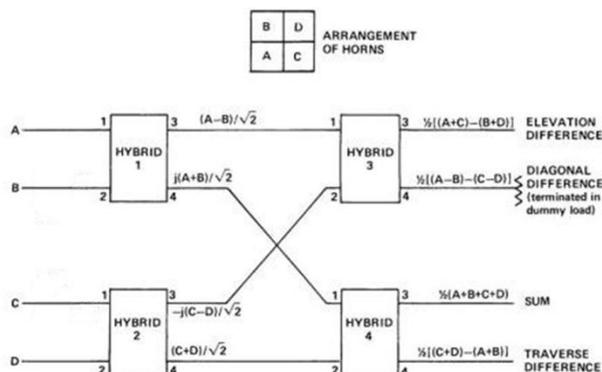


Figura 7.28: Esquema del comparador.

Para su construcción, se armaron con la misma insoladora cuatro acopladores híbridos, cuyos valores en la frecuencia de interés (1.8 GHz), se observan en las Tablas 7.7 (parámetros S) y 7.8 (fase). Para realizar estas mediciones, se utilizaron los mismos bancos propuestos utilizados en la sección

7.1.3.1 Medición de fase y amplitud.

Parámetro S	Acoplador 1(en dB)	Acoplador 2 (en dB)	Acoplador 3 (en dB)	Acoplador 4 (en dB)
11	-20.4	-20.32	-20.15	-21.03
12	-3.67	-3.66	-3.55	-3.73
13	-36.5	-35.69	-36.06	-37.20
14	-3.64	-3.98	-3.80	-3.84
22	-20.8	-20.36	-20.64	-21.02
23	-3.58	-3.63	-3.67	-3.82
24	-36.5	-33.66	-33.59	-34.89
33	-21.9	-23.56	-23.65	-23.22
34	-3.62	-3.78	-3.74	-3.65
44	-21.8	-20.53	-21.02	-20.96

Tabla 7.7: Comparación del comportamiento de parámetros S en la frecuencia de interés entre cada acoplador.

Puerto	Acoplador 1 (en ns/grados)	Acoplador 2 (en ns/grados)	Acoplador 3 (en ns/grados)	Acoplador 4 (en ns/grados)
11	No es crítica	No es crítica	No es crítica	No es crítica
12	2.2/39.92°	2.4/43.55°	2.4/43.55°	2.4/43.55°
13	No es Crítica	No es Crítica	No es Crítica	No es Crítica
14	-7.4/-134.27°	-7.4/-134.27°	-7.4/-134.27°	-7.4/-134.27°
22	No es crítica	No es crítica	No es crítica	No es crítica
23	2.2/39.92°	2.4/43.55°	2.4/43.55°	2.4/43.55°
24	No es Crítica	No es Crítica	No es Crítica	No es Crítica
33	No es crítica	No es crítica	No es crítica	No es crítica
34	2.2/39.92°	2.4/43.55°	2.4/43.55°	2.4/43.55°
44	No es crítica	No es crítica	No es crítica	No es crítica

Tabla 7.8: Comparación del comportamiento de desfase en la frecuencia de interés entre cada acoplador.

Si recordamos nuevamente que se debe cumplir lo indicado en la Ecuación 7.2, visualizándose los resultados en la Tabla 7.9.

Caso	Acoplador 1	Acoplador 1	Acoplador 1	Acoplador 1
fase (2,3) – fase (3,4)	0°	0°	0°	0°
fase (1,4) – fase (1,2)	174.19°	177.82°	177.82°	177.82°

Tabla 7.9: Comparación del comportamiento de desfase en la frecuencia de interés entre cada acoplador.

Una vez construidos los dispositivos se los conectó en la manera que está dispuesto en la Figura 7.28. En la Figura 7.29, se puede observar al modelo real armado. Las conexiones entre los híbridos se realizaron con cables de la misma longitud con el fin de evitar diferencias de fases.

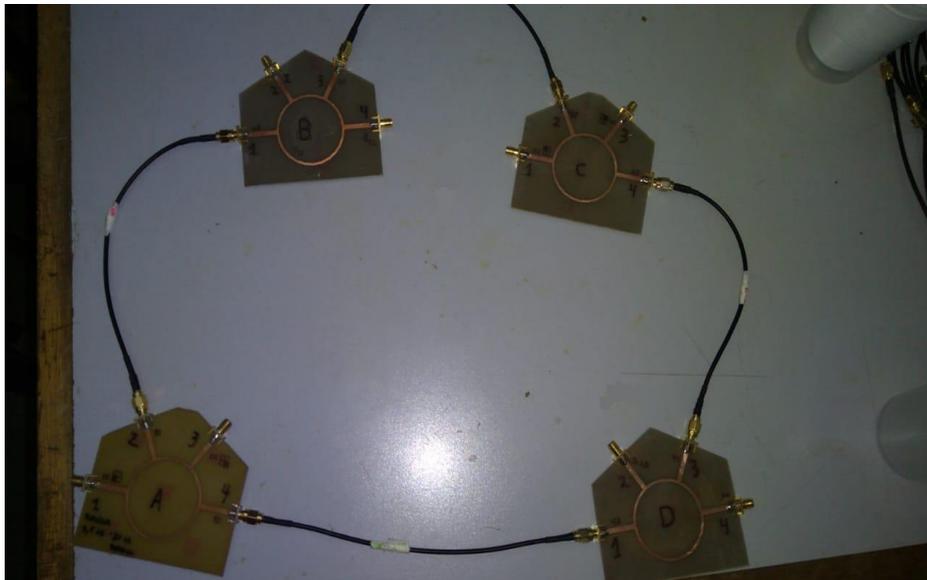


Figura 7.29: Modelo real del comparador.

7.1.3.2 Banco de medición y resultados

El banco de medición propuesto es el mismo utilizado previamente correspondiente a la Figura 1.27. En primer lugar, se calibro el sistema considerando las pérdidas de los cables para ello se ajustó el generador para entregar una potencia de -30dBm a la frecuencia de 1.8Ghz, obteniéndose una medida en el AE de -32.23dBm. Luego, se marcó el valor de la medición con la función *Marker* del AE como referencia, y se procedió a colocar el sistema bajo prueba.

Los resultados obtenidos se pueden observar en la Tabla 7.10.

Parámetro	Resultado (en dB)
A-Suma	-7.42
A-Diferencia Elevación	-7.5
A-Diferencia Azimut	-7.76
B-Suma	-6.8
B-Diferencia Elevación	-7.8
B-Diferencia Azimut	-7.8
C-Suma	-7.4
C-Diferencia Elevación	-7.42
C-Diferencia Azimut	-7.6
D-Suma	-7.2
D-Diferencia Elevación	-6.9
D-Diferencia Azimut	-6.9

Tabla 7.10: Resultados de parámetros S del comparador a 1.8 GHz

7.1.3.3 Análisis de datos y conclusiones

Se replicó al dispositivo elegido en la medición previa y se realizó la medición correspondiente a cada réplica, obteniéndose resultados muy similares a los conseguidos en la primera instancia.

Luego, se comprobó su comportamiento de forma conjunta, obteniéndose señales que respondían a las atenuaciones esperadas de la suma de híbridos en cascada y los cables.

7.1.4 Acoplador de 12 dB

El acoplador será utilizado para generar la modulación en AM, entre las señales Diferencia (Modulada) y Suma (Modulante). Su factor de acople corresponde con su índice de modulación, siendo 12 dB un valor más que aceptable para este papel. Se utilizó como modelo el diseño planteado en la simulación del capítulo anterior. En la Figura 7.30, se ve al modelo, realizado de la misma forma que fueron hechos dispositivos previos.

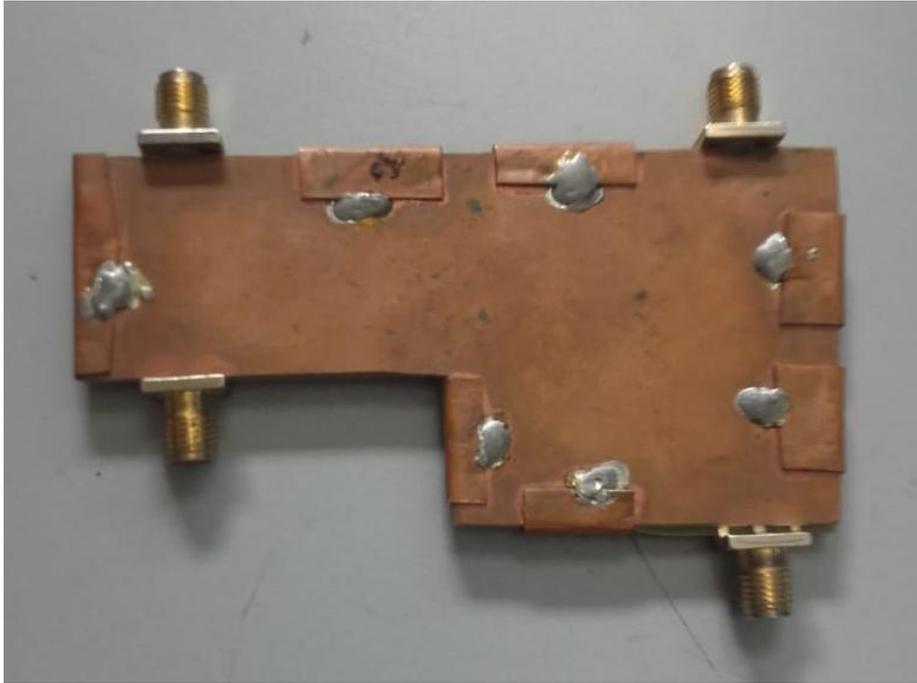


Figura 7.30: Modelo real del acoplador de 12 dB.

7.1.4.1 Banco de medición y resultados

El banco de medición propuesto es el mismo (anализador de espectro y acoplador direccional), utilizados para medir los parámetros S, visualizado en la Figura 7.2. En las Figuras 7.31 a 7.40, se pueden visualizar las curvas medidas, que representan el comportamiento en un intervalo de frecuencias de estos parámetros.

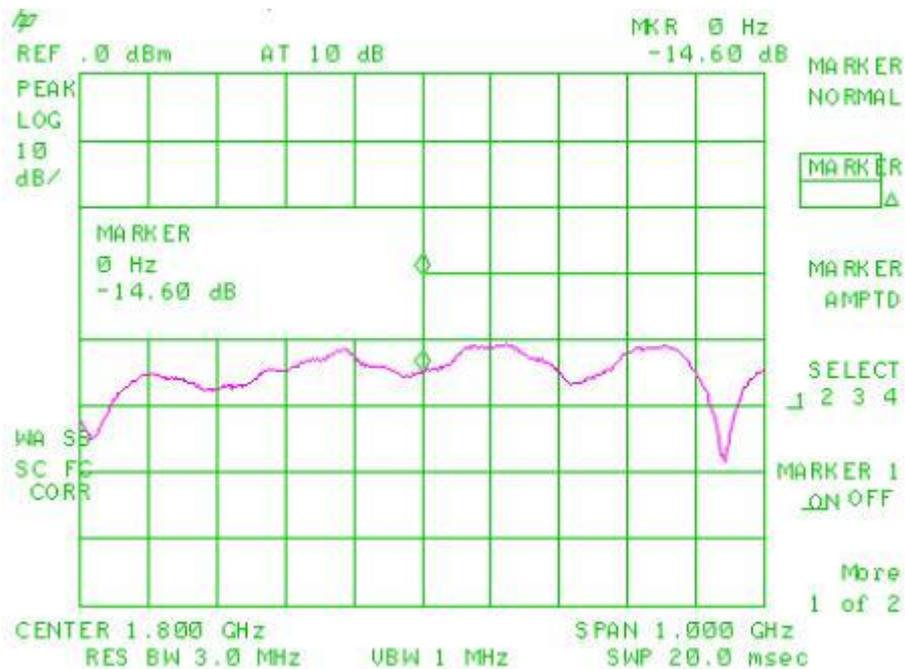


Figura 7.31: Parámetro x-x del acoplador de dB.

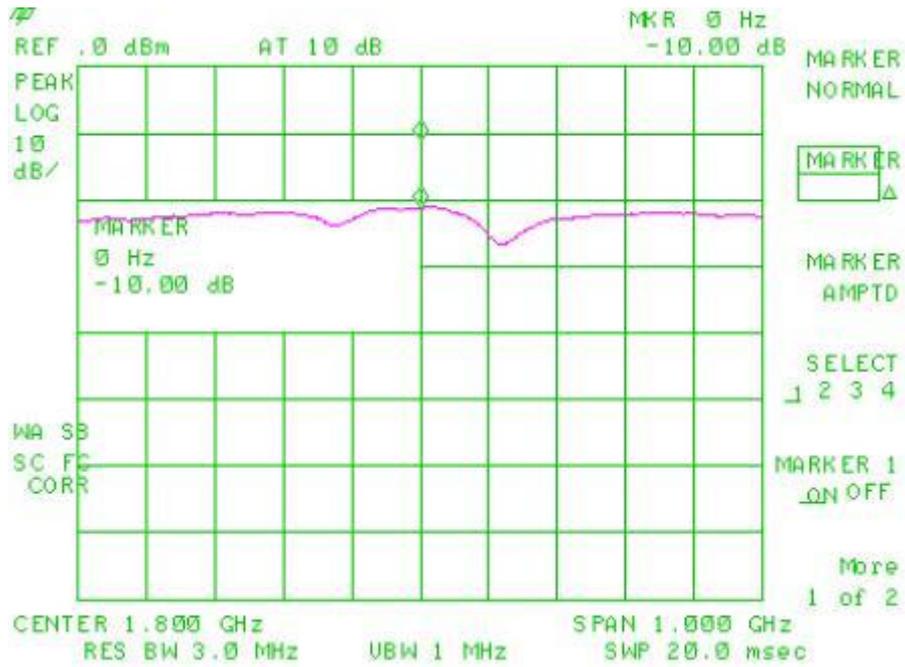


Figura 7.32: Parámetro x-in1 del acoplador de dB.

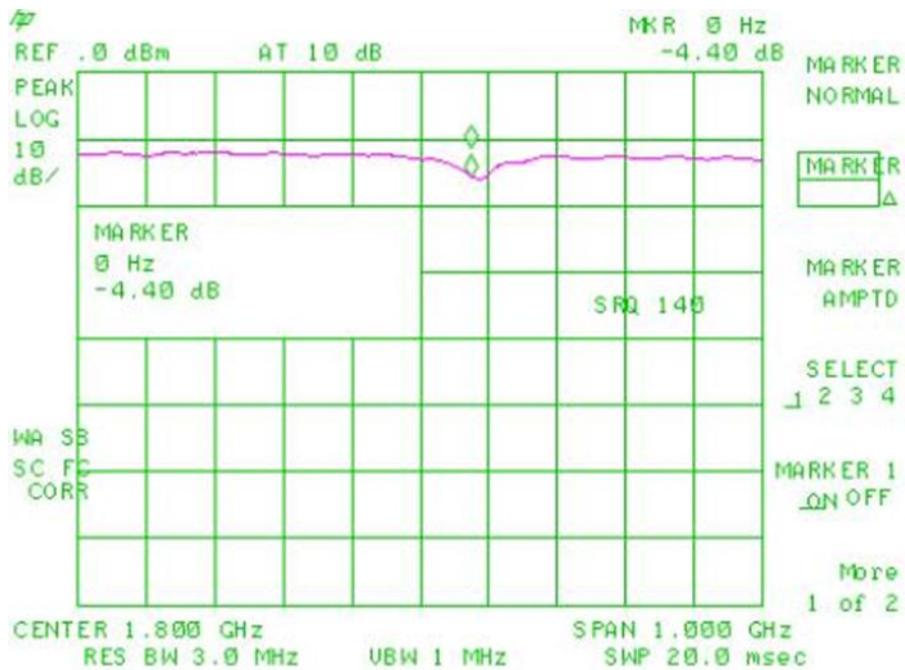


Figura 7.33: Parámetro x-in2 del acoplador de dB.

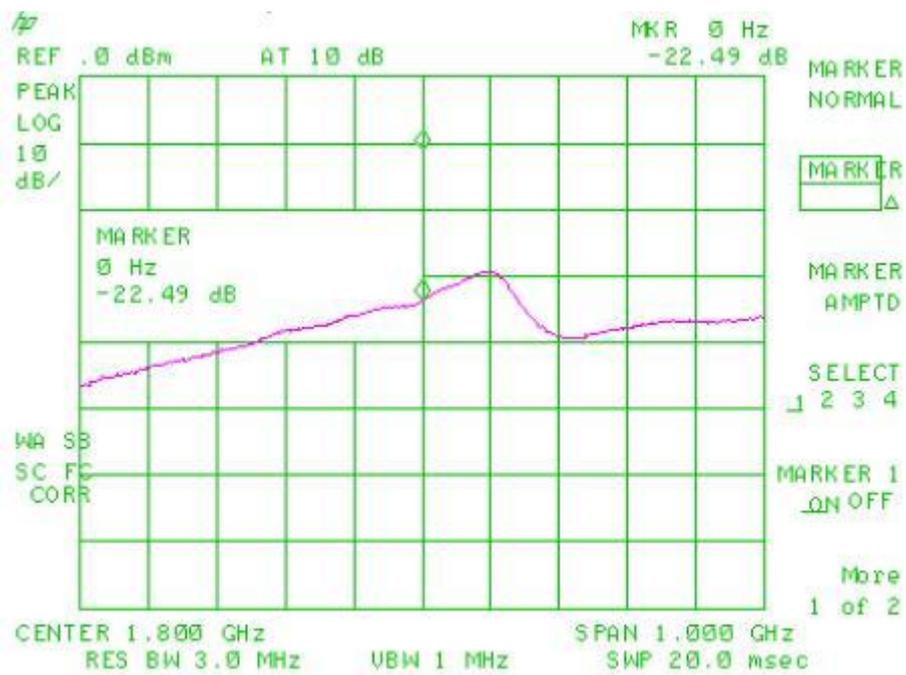


Figura 7.34: Parámetro x-out del acoplador de dB.

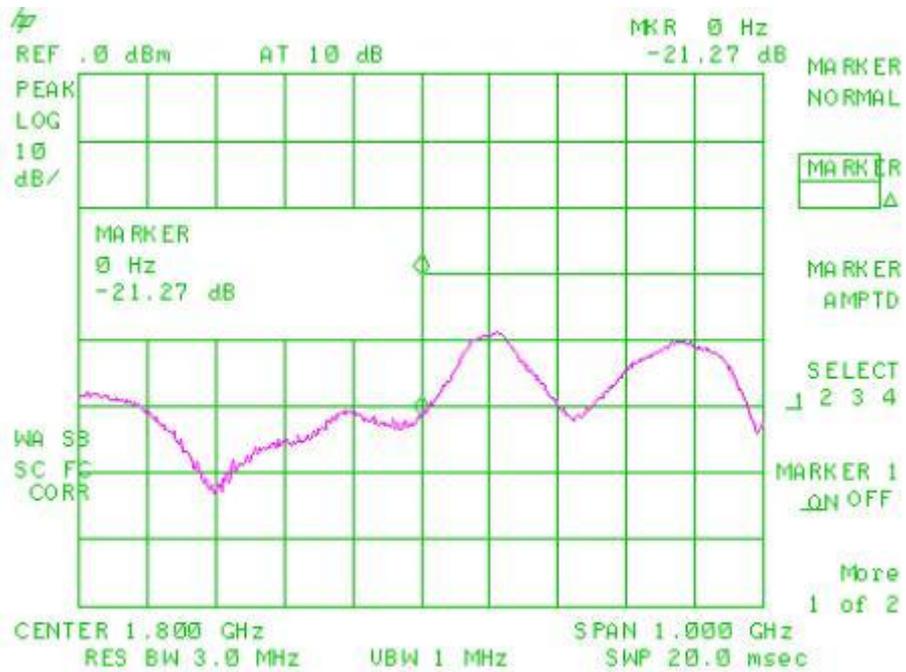


Figura 7.35: Parámetro in1-in1 del acoplador de dB.

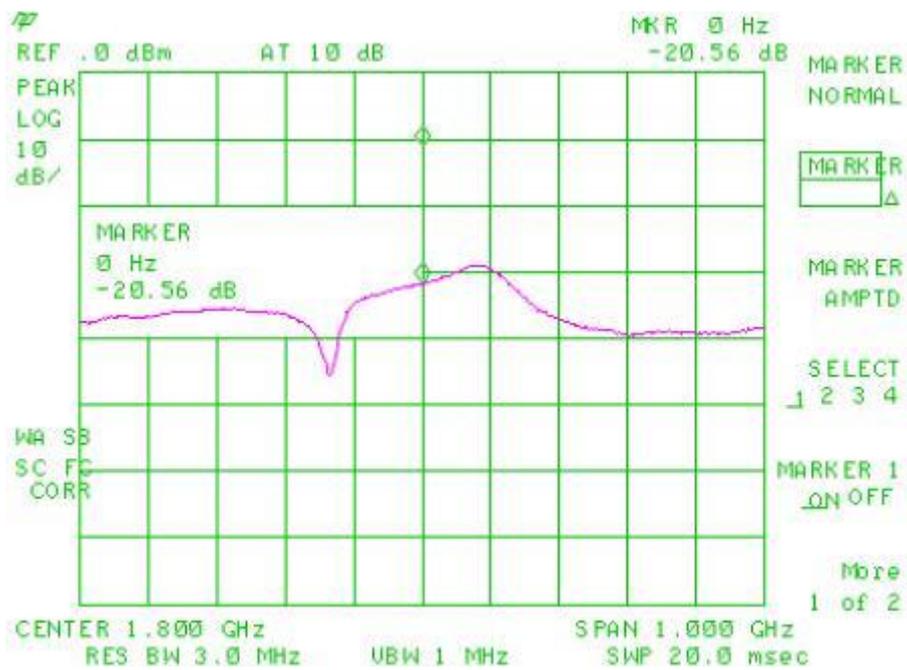


Figura 7.36: Parámetro in1-in2 del acoplador de dB.

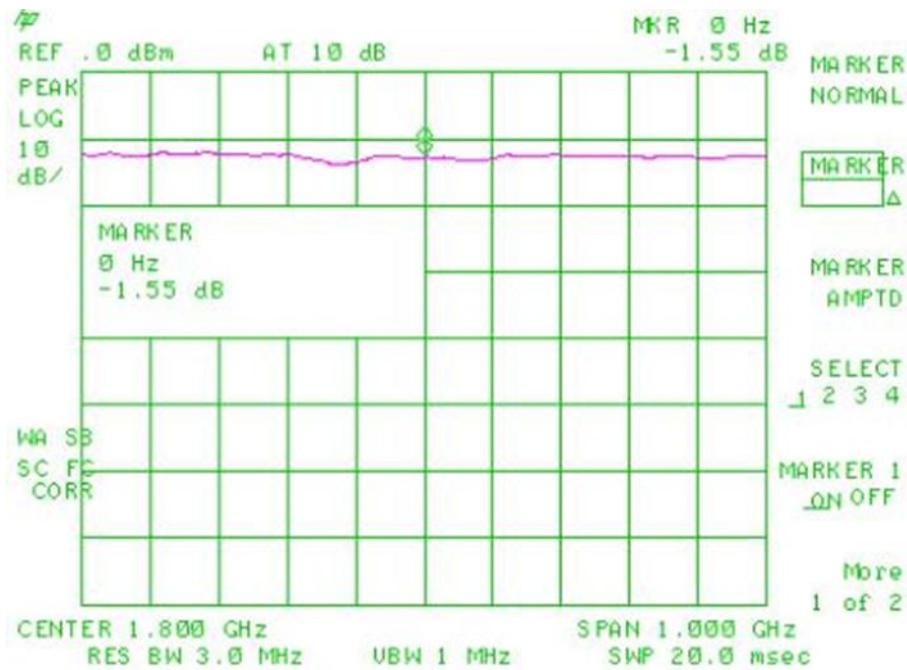


Figura 7.37: Parámetro in1-out del acoplador de dB.

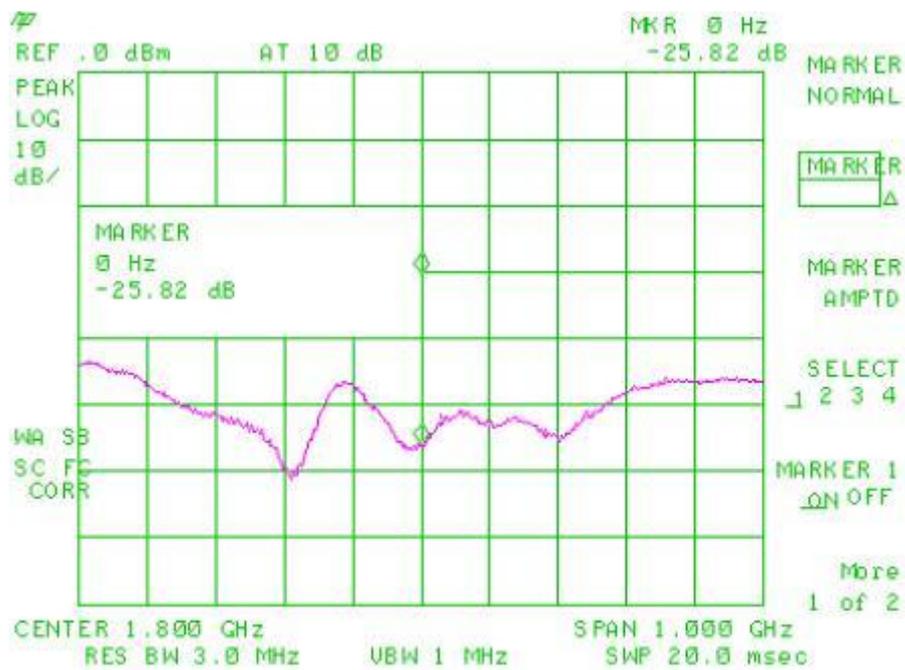


Figura 7.38: Parámetro in2-in2 del acoplador de dB.

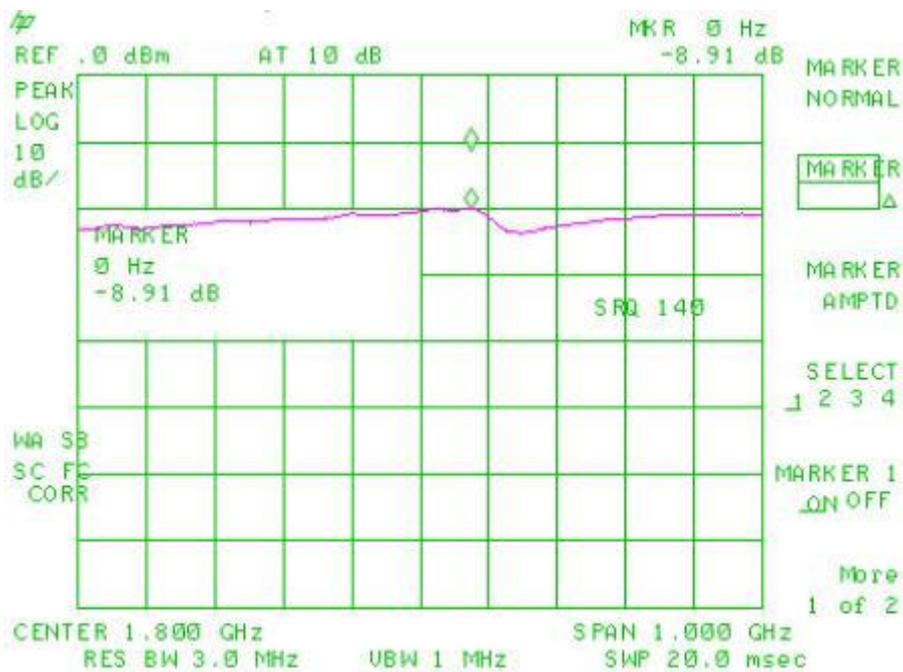


Figura 7.39: Parámetro in2-out del acoplador de dB.

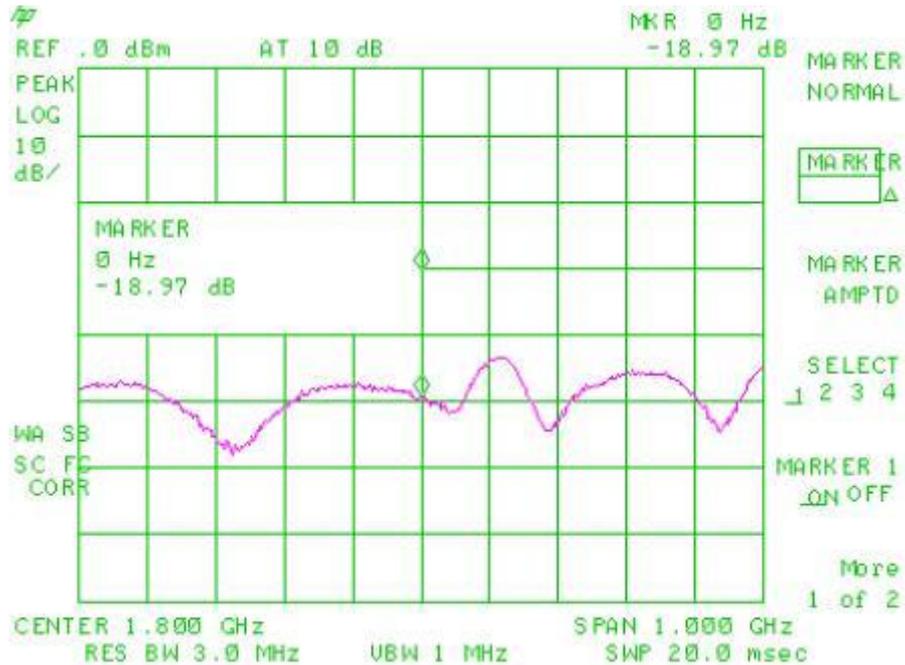


Figura 7.40: Parámetro out-out del acoplador de dB.

Finalmente, se realizó una medición de amplitud con el banco de medición indicado en la figura 1.27 en las mismas condiciones mencionadas previamente. Se adjunta en la Tabla 7.11, una comparativa entre el modelo simulado y el implementado.

Parámetro	Simulación (en dBm)	Implementación (en dBm)
x-x	-18.4	-14.6
x-in1	-12.4	-10
x-in2	-1.16	-4.40
x-out	-41.9	-22.49
in1-in1	-19.1	-21.27
in1-in2	-26.4	-19.78
in1-out	-0.997	-2.27
in2-in2	-19.9	-25.82
in2-out	-12.4	-8.97
out-out	-19.9	-18.97

Tabla 7.11: Tabla comparativa entre resultados simulados y prácticos del acoplador de 12 dB, a la frecuencia de interés.

7.1.4.2 Análisis de datos y conclusiones

Se obtuvo un dispositivo que posee un acoplamiento de 9 dB, valor que se encuentra dentro de los límites de especificación, a pesar de que no es el valor simulado. Esto se debe por un lado problema constructivo mencionado en el híbrido realizado en stripline, y por otro lado la distancia que separa las dos pistas internas del dispositivo puede haber variado de las dimensiones originales, debido al método utilizado para su construcción, provocando un acoplamiento diferente. De igual manera, el resto de los parámetros, también presentan estas pequeñas discrepancias, pero se los considera correcto para los propósitos del mismo en el sistema.

7.2 Implementación de conmutadores de alta frecuencia

7.2.1 Introducción

Como fue señalado en capítulos anteriores, al implementarse una topología de canal único, una de las alternativas propuestas, planteaba utilizar la multiplexación, controlada por un microprocesador. El mismo, para lograr dicho propósito, maneja una serie de conmutadores o *switches*.

Estos conmutadores deben tener características especiales, que permitan su correcto funcionamiento. Es fundamental que sean aptos para poder realizar su tarea, a la frecuencia de trabajo, es decir, 1.8 GHz. También es necesario que cumplan con ciertos requisitos relativos a las pérdidas y figura de ruido, de tal manera que su presencia, no genere inconsistencias en el funcionamiento general del sistema.

7.2.2 Diseño de la placa

Se decidió utilizar, luego de analizar diversas opciones, al conmutador MASWSS0136, de la empresa Macom, el cual trabaja entre continua y 3 GHz. Acepta hasta un máximo de 30 dBm como entrada. Un diagrama del mismo se puede observar en la Figura 7.41.

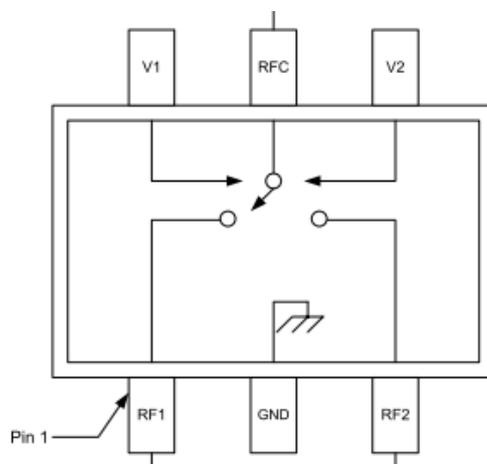


Figura 7.41: Modelo básico del conmutador MASWSS0136

Los pines que presenta se corresponden con la entrada de RF (RFC), las dos salidas correspondientes (RF1 y RF2), ambas de RF, las señales de control (V1 y V2) y tierra (GND). El integrado funciona mediante la tabla de verdad mostrada en la Tabla 7.12. Se toma como un “1” a un valor de voltaje entre 2,5 y 5 Volt y como un “0” a un valor entre 0 y 0,2 Volt. Además, la diferencia de potencial entre ambas entradas de control no puede ser menor a 2,3 Volt ni mayor a 8,5 Volt.

Control V1	Control V2	RFC-RF1	RFC-RF2
0	1	On	Off
1	0	Off	On

Tabla 7.12: Tabla de verdad del conmutador MASWSS0136.

Se colocan capacitores bloqueadores de continua en los pines de RF para la operación de voltaje positivo. Para frecuencias mayores a 500 MHz se utilizan capacitores de 100 pF. Para desacople, también, son utilizados en las entradas de control, capacitores del mismo valor.

En la Tabla 7.13 se observan algunas características destacables de dicho integrado, a 5V y temperatura ambiente (25°C).

Característica	Valor en frecuencia de trabajo típico
Pérdidas de Inserción	0.45 dB
Aislación	22 dB
Pérdida de Retorno	21 dB
VSWR	1.2:1
Tiempo de ascenso y descenso	20 ns
IP3	40 dB

Tabla 7.13: Características de funcionamiento del conmutador MASWSS0136, en la frecuencia de trabajo 1.8GHz.

Los valores presentados, se ajustan a los criterios y requisitos establecidos, que se consideran mínimos para el correcto funcionamiento del sistema.

Mediante el software dedicado Altium, se diseñó la placa para trabajar con ella. En la Figura 7.42 se puede observar al esquemático realizado en dicho programa, mientras que en la Figura 7.43 se observa al diseño en PCB que será impreso en la placa.

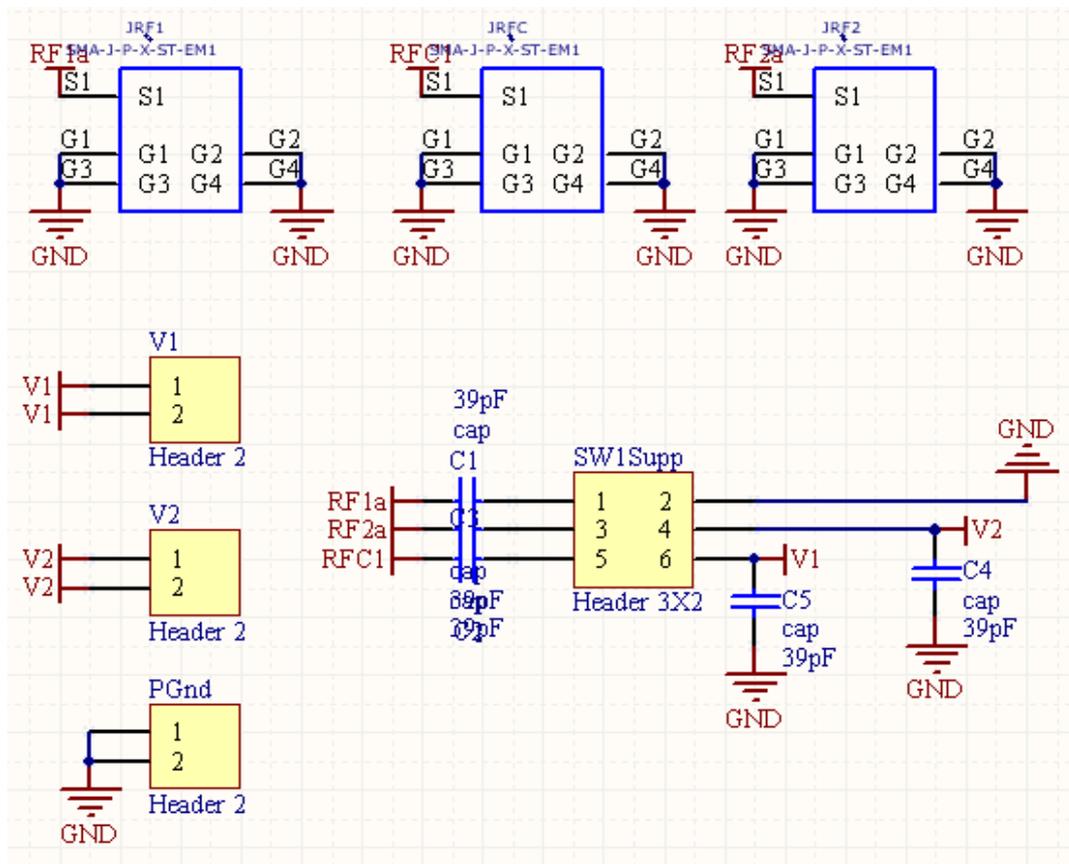


Figura 7.42: Esquemático de la implementación del conmutador MASWSS0136 en Altium.

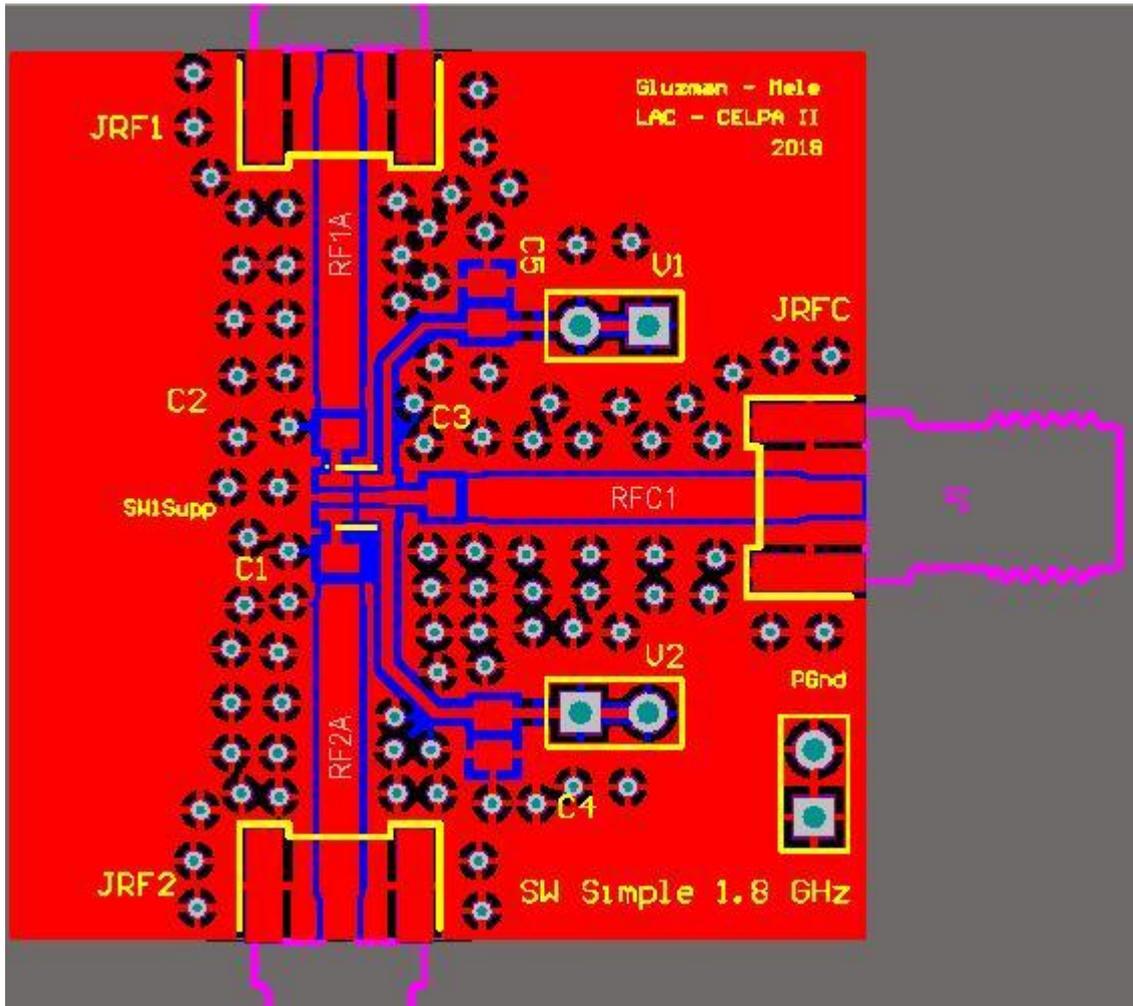


Figura 7.43: PCB de la implementación del conmutador MASWSS0136 en Altium.

El PCB fue diseñado con componentes SMD, acorde a la disponibilidad de proveedores locales. En el mismo se pueden observar los capacitores utilizados para desacople antes mencionados.

Se colocaron agujeros, denominados “Taps” en las áreas de alta frecuencia, para evitar que se formen capacitancias parásitas entre ambos planos de la placa. Deben colocarse de manera que haya una distancia menor a una décima de longitud de onda. Para ello se calculó la magnitud de la misma, mediante la Ecuación 7.3, siendo “f” la frecuencia de trabajo, 1.8 GHz, “c” la velocidad del medio (considerada la del vacío) y ϵ_r , la permitividad relativa del material, en este caso FR4 (4.4). Se ajusta la velocidad del medio, mediante la permitividad, por eso se utiliza la del vacío.

$$\lambda = \frac{c}{f\sqrt{\epsilon_r}} \quad (7.3)$$

En este caso, λ resultó ser 7.94 cm. Si se lo divide por 10, resulta en 7,94 mm, por lo que las distancias entre taps, debe ser menor a ello.

Por otro lado, se consideró el hecho de que al ser alta frecuencia, el ancho de la pistas, podría derivar en desadaptaciones de impedancia, por lo que en el diseño de la placa, se

lo tomó en cuenta. Para ello, dado que se utilizaría un plano de masa, se calculó mediante el software Ansoft Designer, los tamaños necesarios para el ancho de pista y el grosor entre la pista y el plano de masas. La placa armada se puede ver en la Figura 7.44.

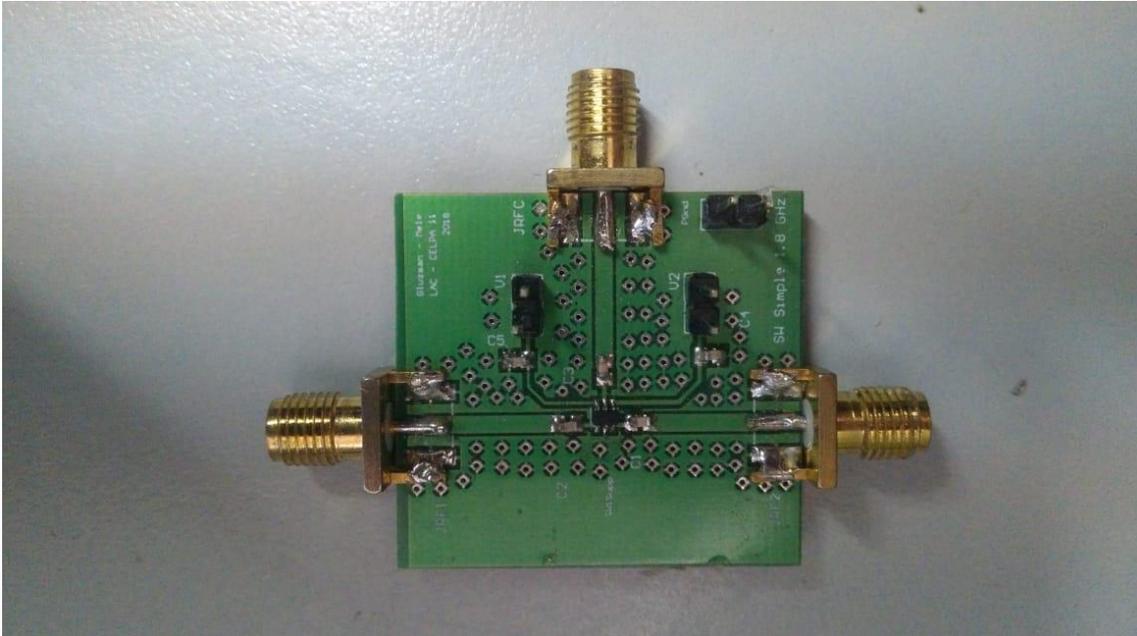


Figura 7.44: Placa de la implementación del conmutador

También se diseñó una placa, con dos conmutadores conectados entre sí, de la manera en que se resalta en la Figura 7.45. Esto se realizó porque, como fue explicado en la Sección 3, ambos se utilizan en dicha configuración para lograr el multiplexado. Los primeros dos conmutadores, de acuerdo a esta figura, podrían colocarse seguidos, en una única placa.

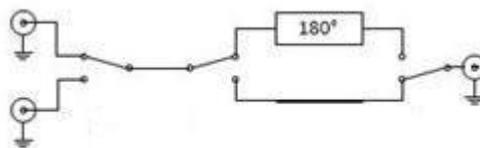


Figura 7.45: Modelo básico para multiplexado.

En las Figuras 7.46 y 7.47 se pueden observar el esquemático y el PCB respectivamente, realizado en Altium también. Para este caso, se utilizaron los mismos criterios de diseño antes adoptados. En la Figura 7.48 se puede ver la placa realizada.

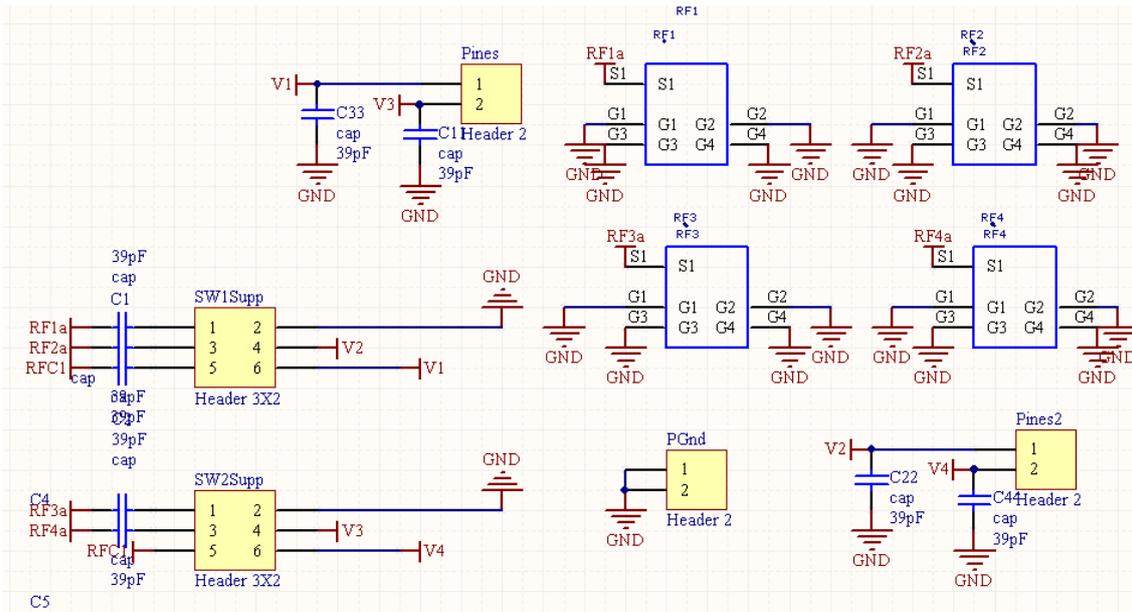


Figura 7.46: Esquemático de la implementación de los dos conmutadores MASWSS0136 en Altium.

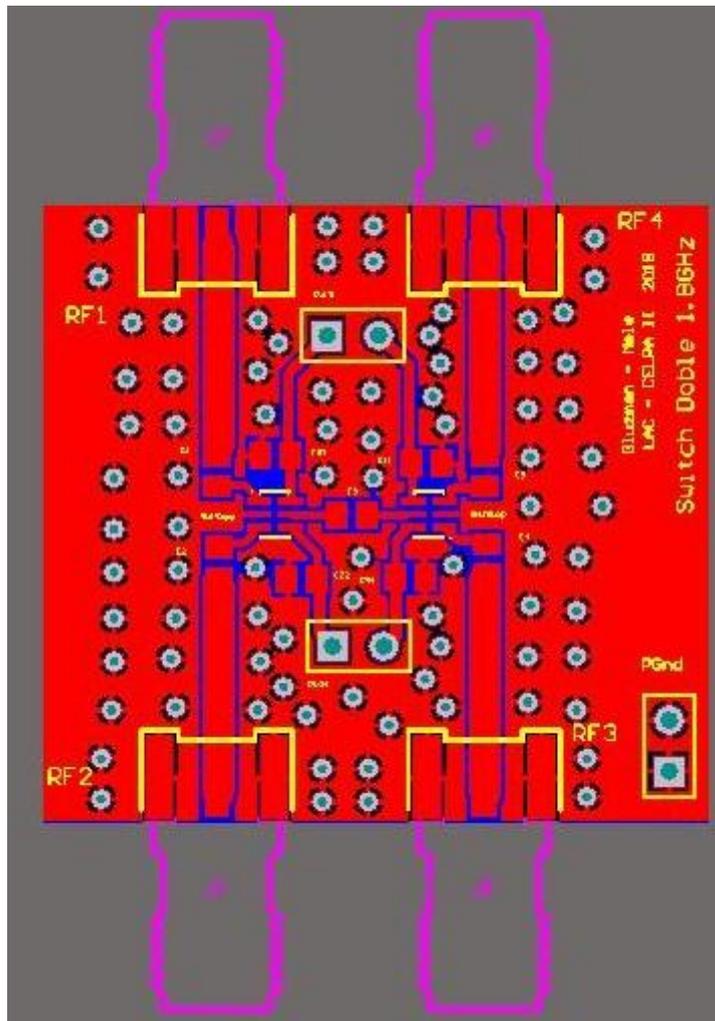


Figura 7.47: PCB de la implementación de los dos conmutadores MASWSS0136 en Altium.

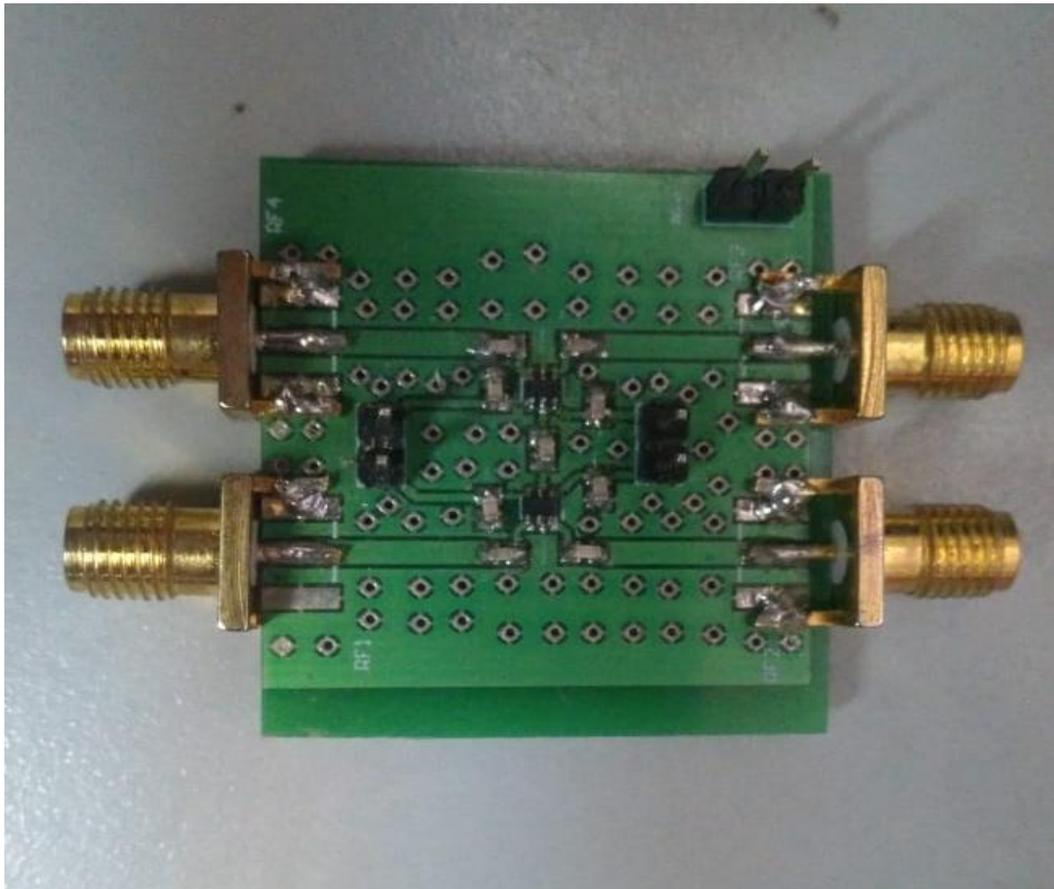


Figura 7.48: Placa de la implementación de los dos conmutadores.

La tabla de verdad para este caso se puede ver en la Tabla 1.14. Al utilizar dos conmutadores, van a ocurrir casos donde uno va a estar conduciendo y el otro no. De todas formas no presenta un problema, ya que la no conducción de uno es debería ser suficiente para atenuar la señal.

V1	V2	V3	V4	RF1-RF3	RF2-RF3	RF1-RF4	RF2-RF4
0	1	1	0	On-off	Off-off	On-on	Off-on
0	1	0	1	On-on	Off-on	Off-on	Off-off
1	0	1	0	Off-off	On-off	Off-on	On-on
1	0	0	1	Off-on	On-on	Off-off	On-off

Tabla 7.14: Tabla de verdad del conmutador doble

7.2.3 Generación de señales de multiplexado

Para generar las señales que manejan a las placas antes diseñadas, se utilizó un microprocesador Arduino Uno, del cual se pueden ver las características y propósitos en la Sección 2 y el Anexo V.

El mismo, genera una señal cuadrada de frecuencia 683 Hz y otra de la misma frecuencia, pero desfasada 180°. Además, se generan dos señales más, de las mismas

características, pero con el doble de frecuencia (1366 Hz). La conexión de las mismas, se puede observar en la Figura 7.49.

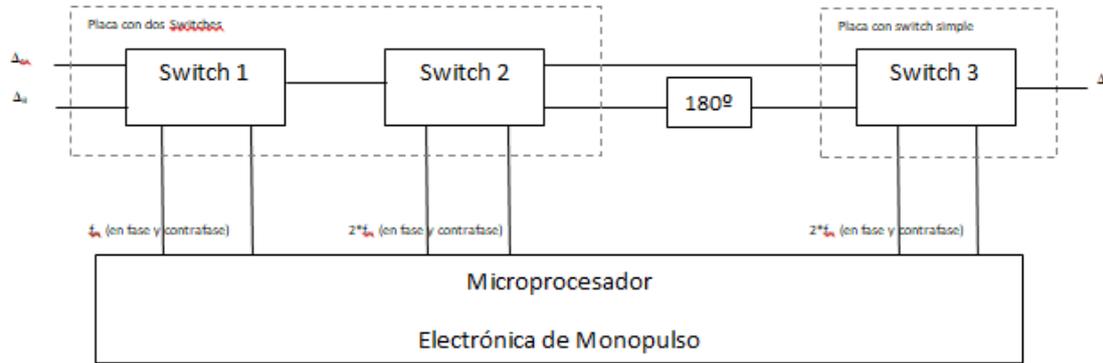


Figura 7.49: Conexión de señales en conmutadores

En la misma figura, se observa la presencia de dos conexiones entre los conmutadores, teniendo una de ellas 180° de diferencia de fase con respecto a la otra.

Para generar el desfase de 180° se utilizaron dos cables, teniendo en cuenta que su constante de velocidad es de $k = 0.6$, se tiene que la longitud de onda debe ser de $\lambda = c*k/f = 3.10^8 \text{ m/s} * 0,6 / 1,8 \text{ GHz} = 10 \text{ cm}$.

Para generar el desfase buscado los cables deben tener una diferencia de longitud de $\lambda/2 = 5 \text{ cm}$. Por lo tanto se armó 2 cables uno de 15.5cm y el otro de 20.5cm.

7.2.4 Prueba de funcionamiento

Una vez armado los circuitos, se procedió a realizar pruebas para verificar su funcionamiento. A continuación, se detallan los parámetros utilizados como entradas, los bancos de prueba y resultados de los mismos, comparados con los criterios de funcionamiento establecidos.

7.2.4.1 Medición de las señales del microprocesador

Para realizar tal medición se conectó al osciloscopio Tektronix TBS 1052B a las salidas del microprocesador. En la Figura 7.50, se observa la relación entre las dos señales de frecuencia 683 Hz, en la Figura 7.51, entre las dos de frecuencia 1366 Hz y en la Figura 7.52, entre dos que no poseen desfase entre sí, pero sí distinta frecuencia.

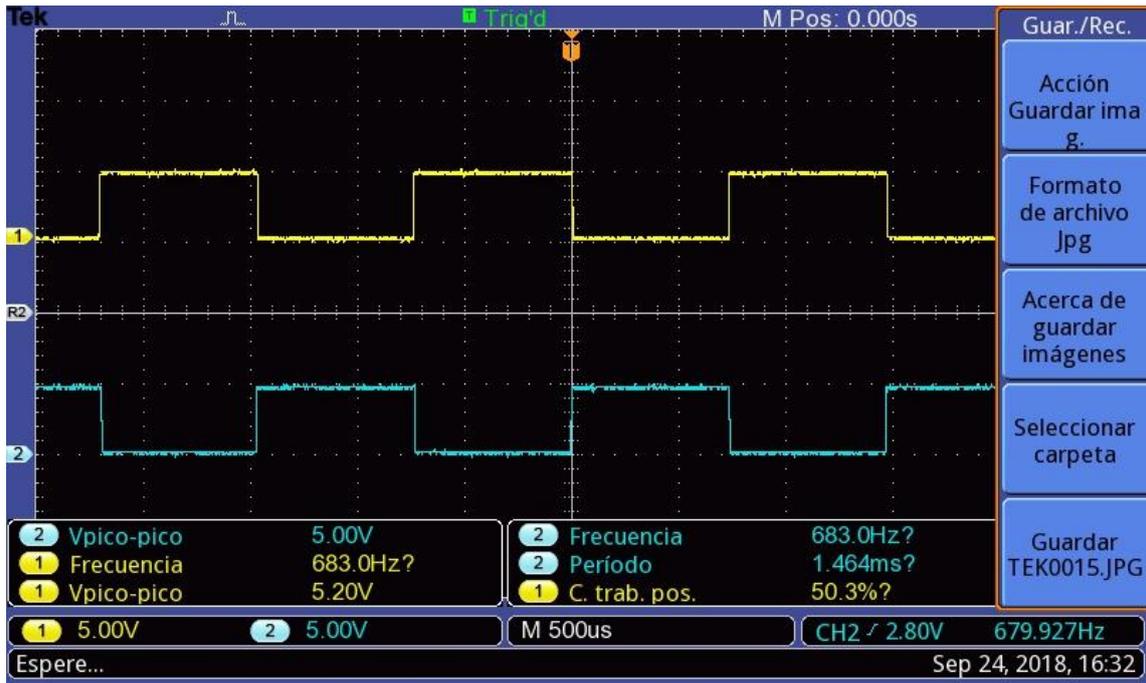


Figura 7.50: Medición en osciloscopio de señales de multiplexado.

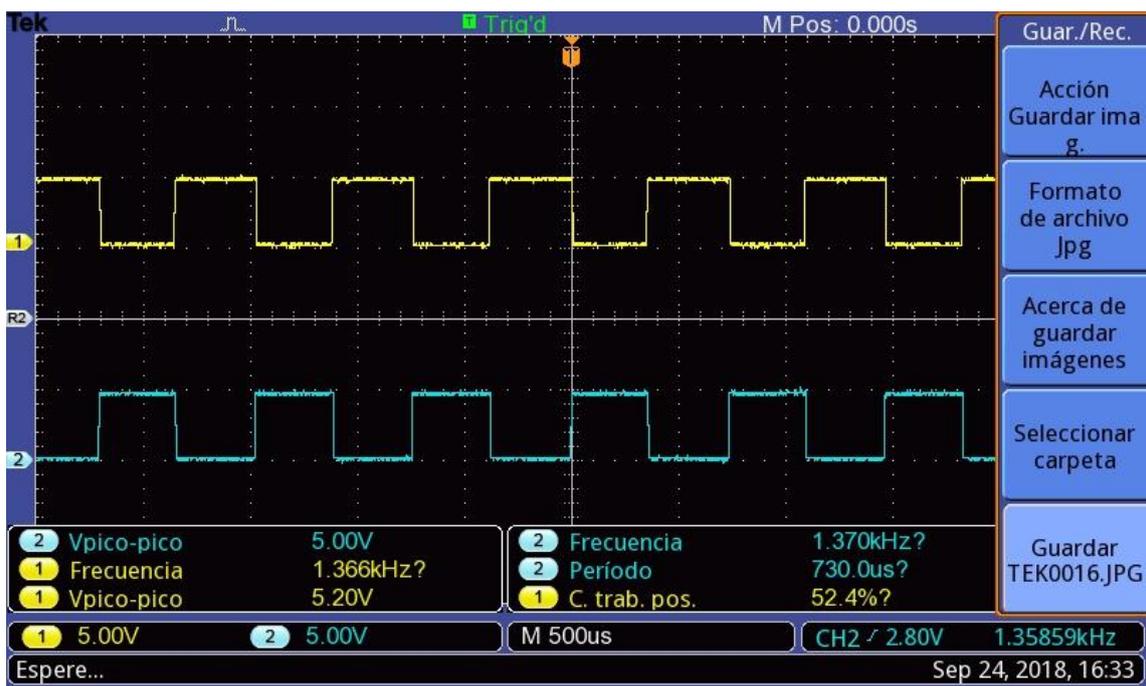


Figura 7.51: Medición en osciloscopio de señales de multiplexado de doble de frecuencia.

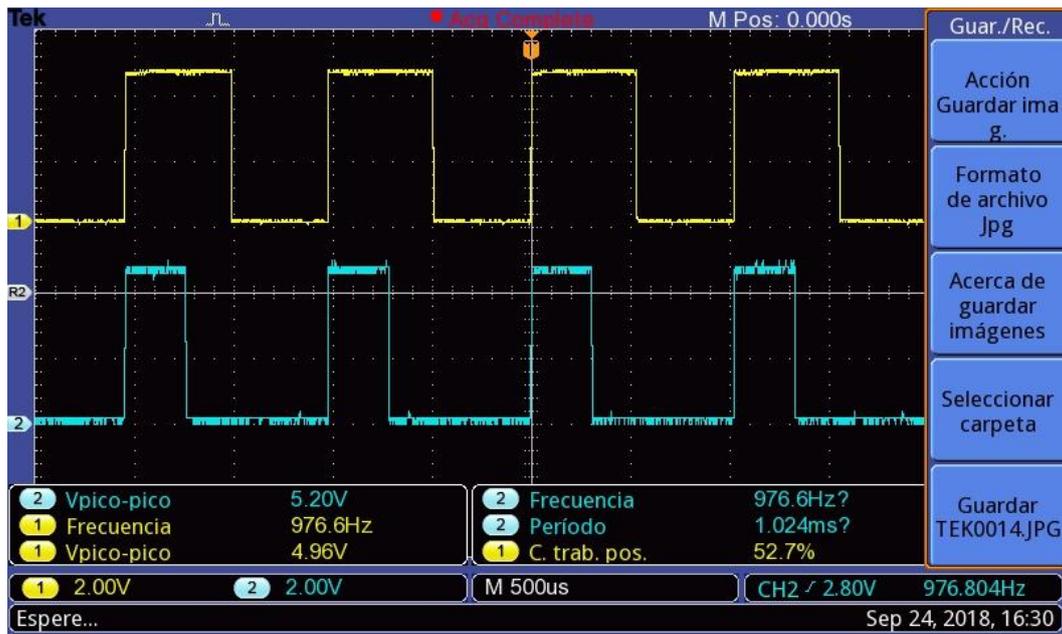


Figura 7.52: Medición en osciloscopio de señales de multiplexado de misma fase y distinta frecuencia.

Se puede observar que las señales cumplen con el rango de frecuencias establecidas y con los desfases esperados, por lo que podrán utilizarse para probar a los circuitos anteriormente implementados.

7.2.4.2 Medición de los cables con desfase

Para medir la relación de fase de los cables se utilizó el mismo banco de medición que en el caso de dispositivos pasivos, el cual se puede observar en la Figura II.26, del Anexo II. Primero se calibró el banco buscando que las salidas de los dos mezcladores estén en fase. Luego, a diferencia de las mediciones realizadas en los dispositivos pasivos, se conectaron ambos cables uno a cada mezclador, obteniéndose un retardo de 9.8ns. Si se aplica la Ecuación II.1, disponible también en el Anexo II, el desfase medido es de 177.81° . Por lo tanto, ambos cables son adecuados para ser empleados en esta etapa.

7.2.4.3 Medición conmutador individual

Se utilizó el banco de medición visible en la Figura 7.27, en las mismas condiciones, señal del generador a 1.8Ghz con una amplitud de -30dBm, obteniéndose una amplitud de referencia de -32.23dBm. Para simular los dos estados de la Tabla 7.12 se utilizó las salidas de 5V y masa del Arduino Uno. Se conectó la salida del generador a la entrada (RFC) del conmutador, la salida RF1 del conmutador a la entrada del AE y a la salida RF2 se le colocó una carga de 50Ω. Luego se cambió de lugar la entrada del AE a la salida RF2 y la carga a la salida RF1. Los resultados obtenidos se observan en la tabla 7.15.

Control V1	Control V2	RFC-RF1	RFC-RF2
0 (masa)	1 (5V)	-0.77dB	-26.52
1 (5V)	0 (masa)	-26.52	-0.77dB

Tabla 7.15: Tabla de resultados del conmutador.

Una vez verificado el funcionamiento como conmutador, y utilizando el mismo banco de medición, se procedió a reemplazar las entradas de control por las señales de 1366Hz del Arduino Uno como se observa en la Figura 7.53. Se conectó la salida del generador a la entrada (RFC) del conmutador, la salida RF1 del mismo a la entrada del AE y a la salida RF2 se le colocó una carga de 50Ω. De esta manera, se buscó comprobar si el dispositivo en cuestión respondía bien a las variaciones, a la frecuencia de multiplexado, en las entradas de control.

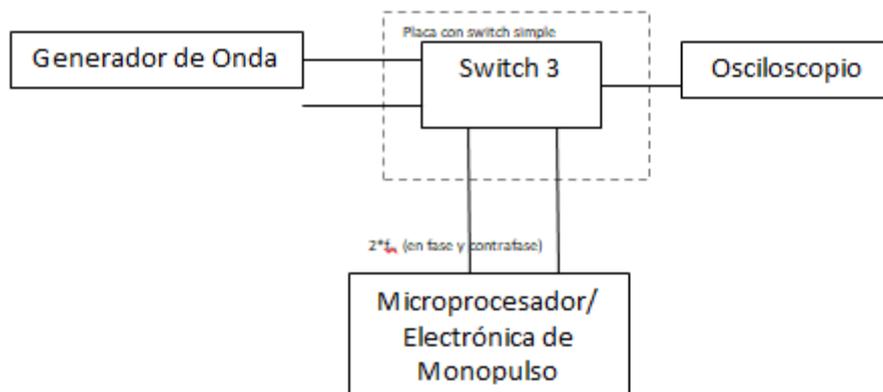


Figura 7.53: Banco de medición de conmutador simple MASWSS0136.

El mismo se comportó de manera apropiada, mostrando en el analizador de espectro la señal cada vez que el estado estuviera en *on* y desapareciendo la misma, en los estados *off*.

7.2.4.4 Medición de placa con dos conmutadores

En este caso, se utilizó el mismo banco de medición que se usó inicialmente en el caso anterior, pero se simularon 4 casos. En primer lugar, se conectó el generador a la entrada RF1, y se midió la salida RF4 en el AE, a dos puertos restantes se le colocó una carga de 50Ω a cada uno. Luego se cambió de lugar la entrada del AE al puerto RF3. Por último, se utilizó como entrada el puerto RF2 y se midió en RF3 y RF4, manteniendo los puertos sin usar con sus respectivas cargas. Como alimentación para simular los casos se volvió a utilizar el Arduino Uno.

Los resultados obtenidos se pueden ver en la Tabla 7.16.

V1	V2	V3	V4	RF1-RF3	RF2-RF3	RF1-RF4	RF2-RF4
0	1	1	0	-11.2	-39.64	-1.53	-24.8
0	1	0	1	-1.53	-24.8	-11.2	-39.64
1	0	1	0	-39.64	-11.2	-24.8	-1.53
1	0	0	1	-24.8	-1.53	-39.64	-11.2

Tabla 7.16: Tabla de verdad del conmutador doble

Verificado el funcionamiento en relación a la Tabla 7.14, se procedió a reemplazar las entradas de control por las señales de 683Hz y 1366Hz del Arduino Uno como se observa en la Figura 7.54. Utilizando el mismo banco de medición, se conectó la salida del generador a la entrada (RF4) del conmutador, la salida RF1 del mismo a la entrada del AE y a los otros dos puertos se le colocó una carga de 50Ω. De esta manera, se buscó comprobar si el dispositivo en cuestión respondía bien a las variaciones, a la frecuencia de multiplexado, en las entradas de control.

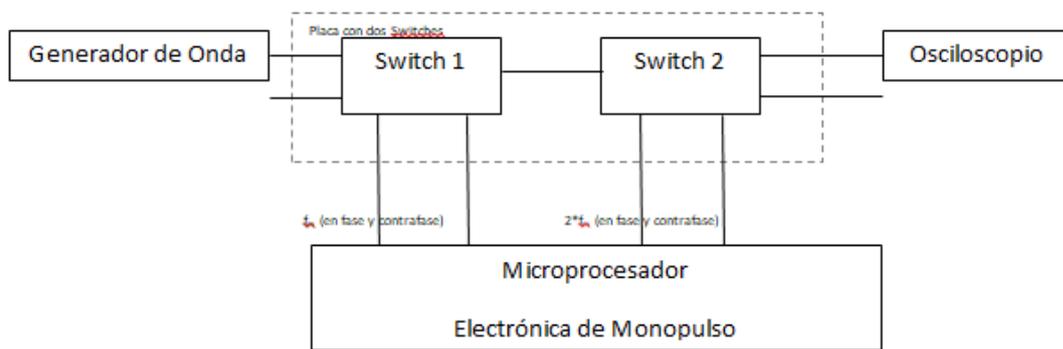


Figura 7.54: Banco de medición de placa con dos conmutador es MASWSS0136.

El mismo se comportó de manera apropiada, mostrando en el analizador de espectro los cuatro niveles de señales en concordancia a los casos mostrados en la Tabla 7.16.

7.3 Implementación de etapa receptora

7.3.1 Introducción

Existe una etapa en el diseño que implica amplificar la señal entrante y trasladarla en frecuencia, de tal manera que pueda ser demodulada por el receptor. Esto fue explicado con mayor detenimiento y profundidad en el Anexo III.

Consiste de dos sub-etapas, una de amplificación, manejada con un amplificador de bajo ruido (LNA, *Low Noise Amplifier*) y otra de conversión de frecuencia, manejada con un mezclador. Dado que la señal recibida es muy pequeña, del orden de los microvolt, el amplificador debe tener una buena ganancia, además de ser muy sensible a señales de baja potencia, siendo estos los motivos por lo cual se decidió utilizar un LNA. Además debe cumplir los requisitos respecto a la frecuencia de trabajo e inserción de ruido. Respecto al mezclador, también tiene que cumplir el requisito de frecuencia y ruido. Además, tiene que ser capaz de trasladar la frecuencia de trabajo (1.8 GHz) a una que pueda leer receptor, y, para facilitar las mediciones, un osciloscopio (menos de 100 MHz).

7.3.2 Diseño de la placa

7.3.2.1 Amplificador de bajo ruido

Se eligió, al amplificador de bajo ruido MAX2641 de la empresa MAXIM. Este amplificador posee un amplio espectro de frecuencias de trabajo, desde 1.4 GHz a 2.5 GHz, abarcando la frecuencia de trabajo utilizada. Además, posee buenas cualidades en lo respectivo a figura de ruido, ganancia y consumo. En la Figura 7.55 se ve un esquema, del mismo.

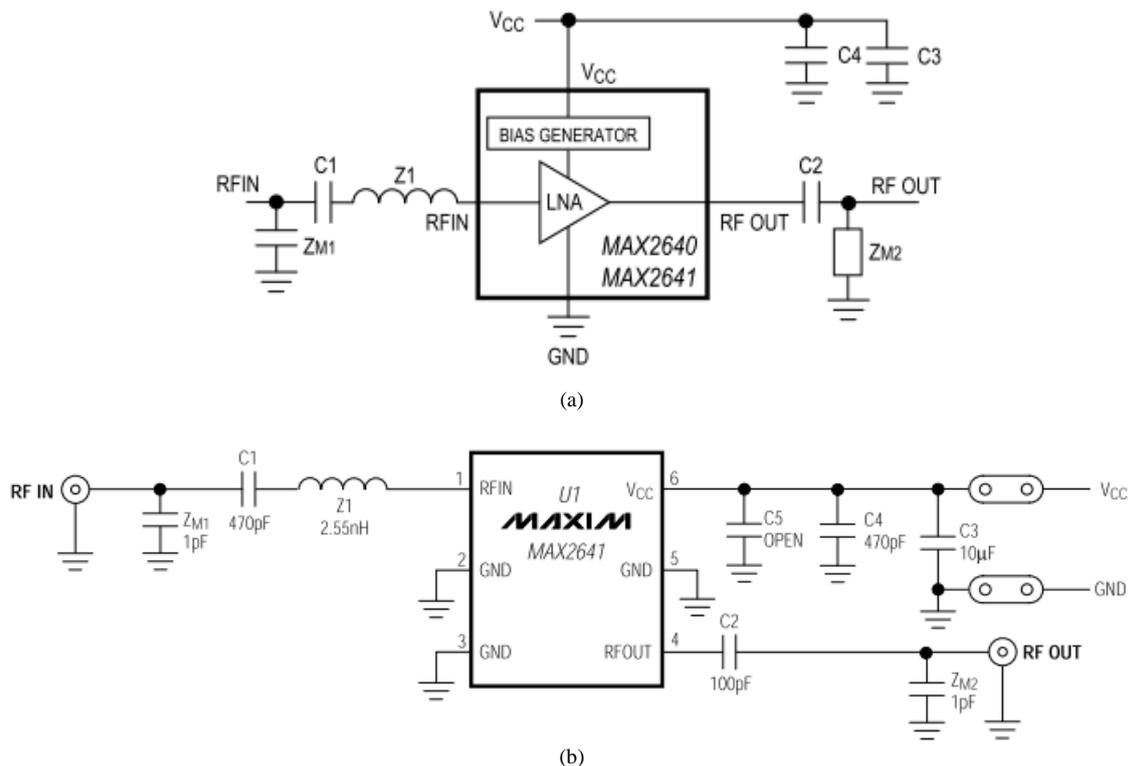


Figura 7.55: Esquema que representa el funcionamiento del LNA MAX2641(a) Esquema que representa los pines que posee el LNA MAX2641 (b)

Los pines, los cuales pueden observarse en la Figura 1.1 (b) se corresponden a:

- RFIN: la entrada del amplificador;
- RFOUT: La salida del mismo;
- GND: Tierra
- VCC: Fuente de voltaje. Puede ser entre +2.7 y +5.5V.

En la Tabla 7.17, se presentan las características más relevantes del circuito integrado en cuestión.

Característica	Valor en frecuencia de trabajo típico
Ganancia	14.4 dB
Figura de ruido	1.3 dB
Pérdidas de retorno de entrada	-12dB
Aislación reversa	30 dB

Tabla 7.17: Características de funcionamiento del LNA MAX2641, en la frecuencia de trabajo 1.8GHz.

Los valores presentados, se ajustan a los criterios y requisitos establecidos, que se consideran mínimos para el correcto funcionamiento del sistema.

Dado que tanto la entrada como la salida RF no presentan la misma impedancia que la de trabajo (50Ω), debe realizarse una adaptación, que además funcione a la frecuencia de operación (1.8 GHz). Mediante los gráficos y hojas de datos, se llegó a una red, como la que se observa en la Figura 7.55 (b), en los pines correspondientes. Además, se agrega en los mismo, un capacitor bloqueador de continua. Las redes de adaptación, deben estar ubicadas cerca del integrado, disminuyendo las trazas a una longitud mínima. Esto se debe a que estas redes son muy sensibles a inductancias parásitas, propias del layout, y esa es una buena, de disminuir en gran medida ese efecto.

También utilizan las “taps” utilizados en la implementación del conmutador, para disminuir la capacitancia parásita que se genera en las líneas de alta frecuencia, entre los planos de masa. Se utilizó el mismo criterio de diseño y ubicación que en la placa de los conmutadores, debido a que se utilizan para el mismo propósito, y bajo los mismos parámetros.

Para minimizar el acople entre distintas secciones del circuito integrado, se utilizan caminos distintos para cada nodo de alimentación. De esta manera, se mejora la estabilidad a alta frecuencia. Se colocan también capacitores de $10 \mu\text{F}$ y 1000 pF . Realizando todas estas acciones, se logra desacople local al pin V_{CC} . En altas frecuencias, cualquier señal filtrada ve una impedancia relativamente alta, y si están todos los nodos de V_{CC} conectados, todos se verían afectados, al igual que una impedancia baja a tierra. Los capacitores, también pueden ser visualizados en la Figura 7.55 (b).

Por otro lado, al igual que en el caso de los conmutadores, se consideró nuevamente el factor del ancho de las pistas en alta frecuencia, que podrían derivar en desadaptaciones de impedancia, al colocar el plano de masa. Para ello, dado que se utilizaría un plano de masa, se calculó mediante el software Ansoft Designer, los tamaños necesarios para el ancho de pista y el ancho entre la pista y el plano de masas. Estos coinciden con los calculados para la placa anteriormente mencionada, ya que las condiciones de funcionamiento son las mismas.

Mediante el software dedicado Altium, se diseñaría la placa para trabajar con ella, teniendo en cuenta todos los criterios antes mencionados. En la Figura 7.56 se puede observar al esquemático realizado en dicho programa, mientras que en la Figura 7.57 se observa al diseño en PCB que será impreso en la placa y en la Figura 7.58 la placa construida.

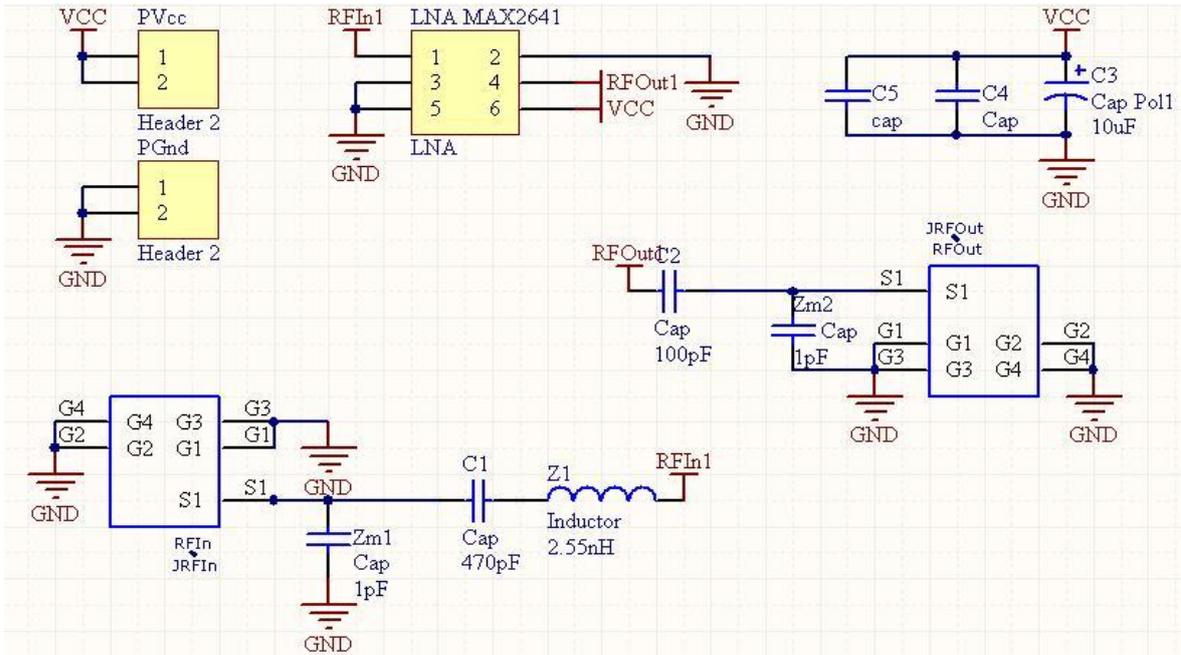


Figura 7.56: Esquemático de la implementación del LNA MAX2641 en Altium.

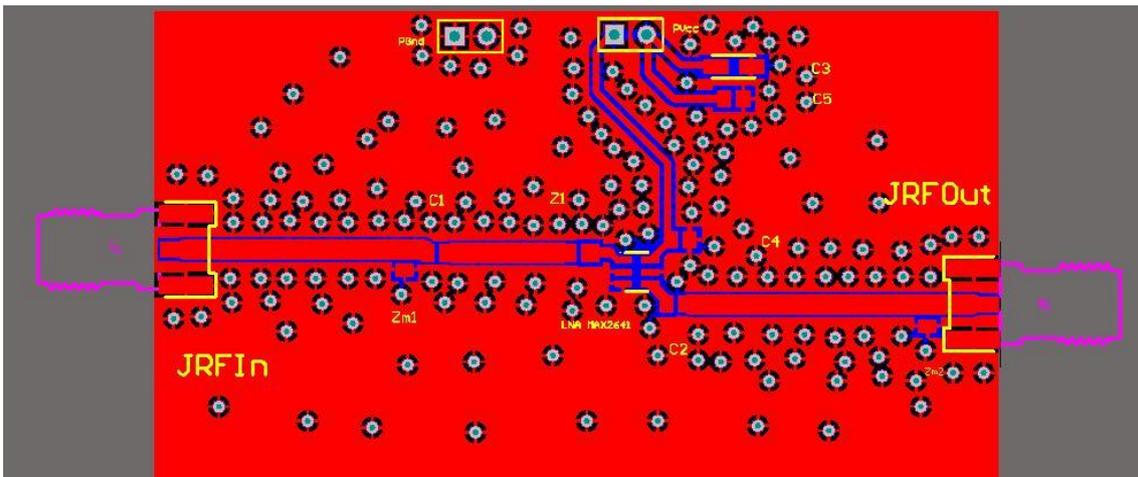


Figura 7.57: PCB de la implementación del LNA MAX2641 en Altium.

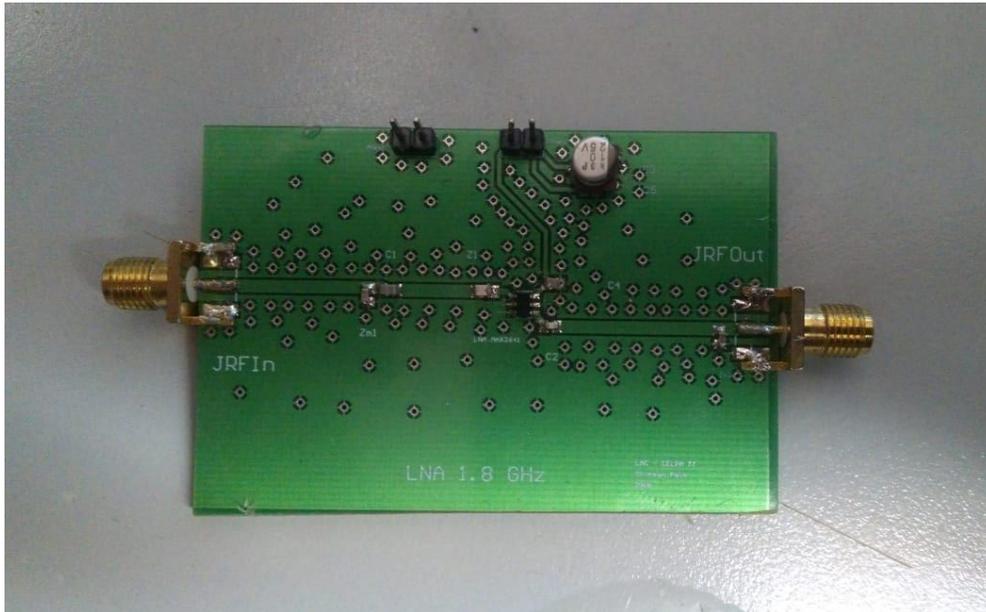


Figura 7.58: PCB de la implementación del LNA

7.3.2.2 Mezclador

Se eligió, al amplificador de bajo ruido MAX2681 de la empresa MAXIM. Se trata de un circuito integrado, de montaje superficial, de tamaño pequeño, de bajo costo y ruido, ideales para señales de baja potencia y alta frecuencia. Admite señales de entrada que pueden variar entre los 400 MHz y 2500 MHz, desplazándolas a una salida que puede ser entre 10 MHz y 500 MHz, dependiendo siempre del oscilador local. Posee bajo consumo y buenas propiedades respecto.

En la Figura 7.59 se ve un esquema en donde se muestran los pines del circuito integrado en cuestión. En ella, se observa lo siguiente:

- LO: Entrada de oscilador local. Siendo una entrada adaptada a 50Ω , acepta señales con una potencia que va desde -10 a 0 dBm.
- GND: Tierra.
- RFIN: Entrada de RF, a desplazar en frecuencia.
- IFOUT: Salida de IF, es decir, desplazada.
- VCC: Alimentación. Puede ser entre +2.7 y +5.5V.
- SHDN: Apagado activo. Cuando se lo conecta a tierra, desactiva todas las funciones del dispositivo, reduciendo el consumo de corriente a $5 \mu\text{V}$. Para operar de manera normal, de lo debe conectar a VCC.

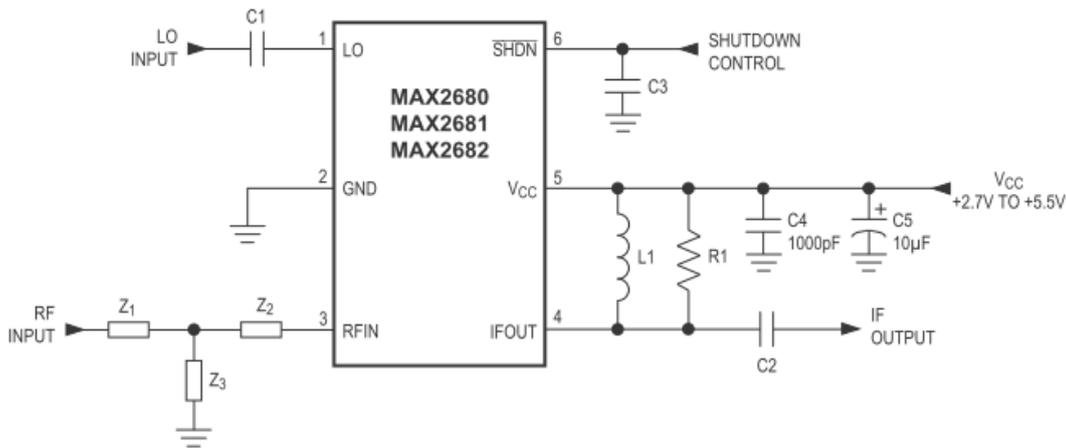


Figura 7.59: Esquema que representa los pines que posee el Mezclador MAX2681

En la Tabla 7.18, se puede observar las características más relevantes del circuito integrado en cuestión.

Característica	Valor en frecuencia de trabajo típico
Ganancia	8.4 dB
Figura de ruido	11.1 dB
Pérdidas LO/IFOut	-23 dB
Pérdidas LO/RFIn	-27 dB

Tabla 7.18: Características de funcionamiento del Mezclador MAX2681, en la frecuencia de trabajo 1.8GHz.

Los valores presentados, se ajustan a los criterios y requisitos establecidos, que se consideran mínimos para el correcto funcionamiento del sistema.

Al igual que en el caso del amplificador, se tomaron criterios similares para el diseño de la red de adaptación en la entrada RF y la salida IF, como se observa en la Figura 1.6. También se tomó el mismo criterio utilizado en el amplificador y los conmutadores, para la colocación de *taps*. Otra práctica adoptada, fue la del diseño de la línea de alimentación, ya que posee los mismos problemas que el LNA en esta área.

Se utiliza un capacitor de acople de alterna en el oscilador local. En el pin SHDN, se utiliza un capacitor a tierra de gran tamaño para desacoplar y minimizar la corriente de fuga. También se coloca una resistencia en serie para reducir el acople de señales de alta frecuencia en el pin SHDN.

Por otro lado, al igual que en el caso de los conmutadores y el amplificador, se consideró nuevamente el factor del ancho de las pistas en alta frecuencia utilizándose para ello, el software Ansoft Designer, los tamaños necesarios para el ancho de pista y el ancho entre la pista y el plano de masas los cuales coinciden con los calculados para las placas antes armadas.

Mediante el software dedicado Altium, se diseñaría la placa, teniendo en cuenta todos los criterios antes mencionados. En la Figura 7.60 se puede observar al esquemático realizado en dicho programa, mientras que en la Figura 7.61 se observa al diseño en PCB que será impreso en la placa y en la Figura 7.62 la placa construida.

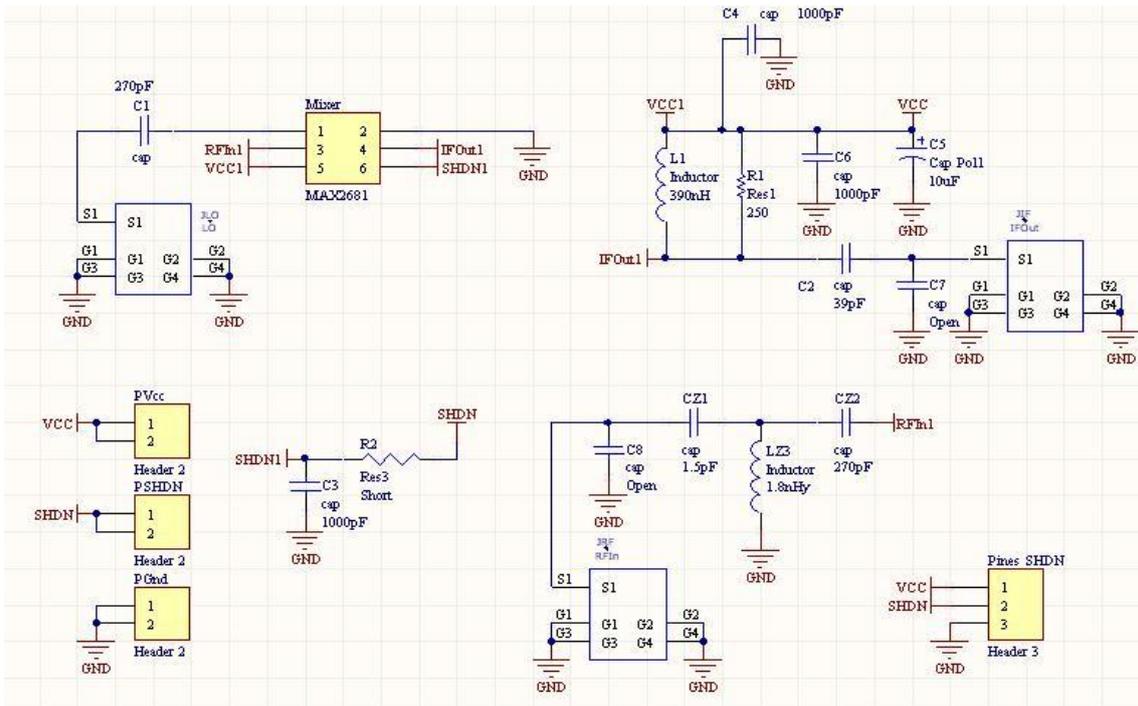


Figura 7.60: Esquemático de la implementación del Mixer MAX2681 en Altium.

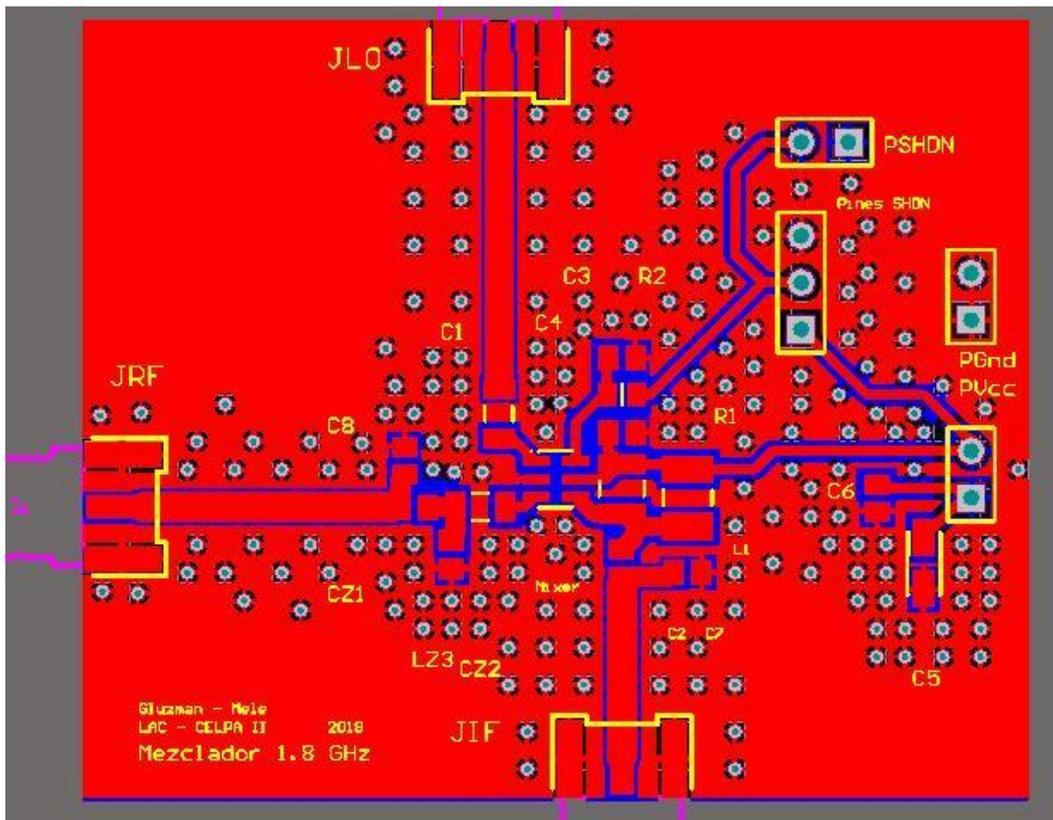


Figura 7.61: PCB de la implementación del Mixer MAX2681 en Altium.

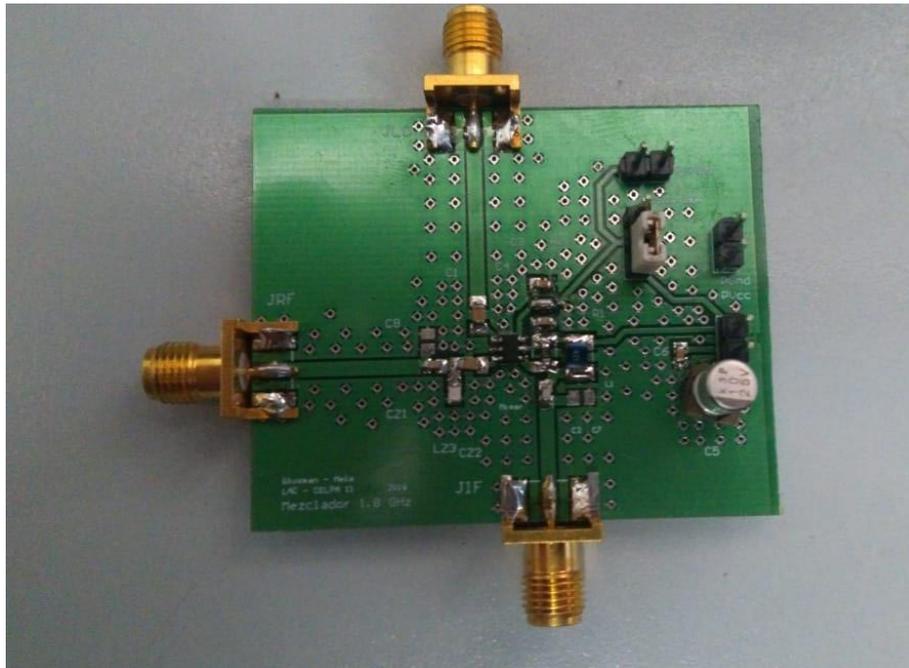


Figura 7.62: PCB de la implementación del Mixer

7.3.2.3 Oscilador Local

Para el oscilador local se utilizó al circuito integrado ADF4351, un sintetizador de banda ancha, ya que solo se dispone de un único generador de onda en alta frecuencia, y se lo usa para generar la señal de RF. El integrado, entre muchas otras funciones, puede generar una frecuencia determinada, siendo en este caso particular 1.799 GHz. El integrado se lo utilizó mediante una placa proporcionada por el laboratorio. La misma se la conecta a un microprocesador PIC4550, que contaba con el programa visible en el Anexo IV. Este se comunica con el sintetizador con comunicación SPI, en la cual, se explicita la frecuencia a la cual se quiere trabajar.

La placa fue proporcionada por el laboratorio, por lo que solo se procedió a modificar el programa de manera que pudiera utilizarse con los propósitos antes mencionados.

7.3.3 Pruebas y resultados

7.3.3.1 Amplificador de bajo ruido

Mediante el banco de medición propuesto en la Figura 7.63, se procedió a analizar el funcionamiento de la placa en cuestión. El mismo consiste en el mismo analizador y generador de alta frecuencia utilizado en experiencias anteriores, HP8594E y HP8657B respectivamente.

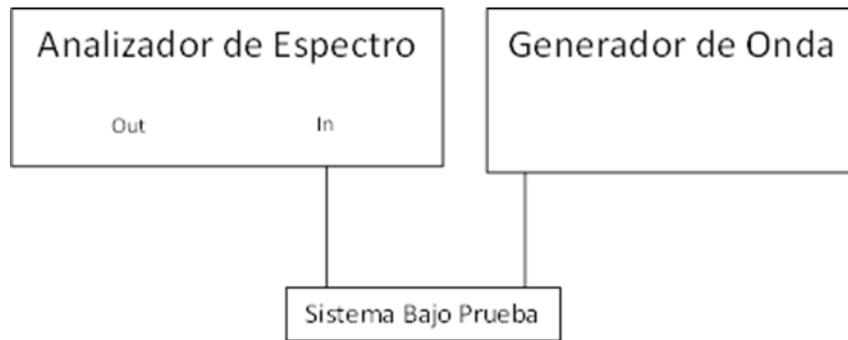


Figura 7.63: Banco de medición para placa de amplificador de bajo ruido.

En el generador se forma una señal senoidal de -30 dBm, a una frecuencia de 1.8 GHz. Al conectárselo con los cables directamente, sin el dispositivo bajo prueba al Analizador de Espectro (que contaba con un ancho de banda de 10 KHz), se obtuvo una señal de la misma frecuencia, pero con una potencia de -32.23 , atenuada por los cables y conectores colocados. Posee también una potencia de ruido de -97.8 dBm.

Luego de conectarse de manera adecuada al dispositivo bajo prueba, se obtuvieron los resultados visibles en la Tabla 7.19, trabajando con la señal de 1.8 GHz. Se muestran los resultados de dos amplificadores de las mismas características que fueron construidos.

Característica	Amplificador 1	Amplificador 2	Amplificadores en serie
Ganancia (en dB)	10.69	10.38	19.23
Piso de Ruido (en dBm)	-90.04	-90.09	-89.3
S/N (dB)	68.5	68.34	76
Sensibilidad (dBm)	-90	-90	No aplica
Rechazo de Retorno (dBm)	7.5	8	15
Aislación Reversa (dBm)	25	25.36	49.8

Tabla 1.3: Resultados obtenidos de la medición del LNA en el analizador de espectro.

Con el mismo banco y señal de prueba, se conectaron ambos amplificadores en serie, obteniéndose los resultados visibles en la misma tabla. Se observaron en este caso dos barras laterales de ± 200 KHz con una potencia de -86 dBm. Esto se debe a algún desacople presente en la alimentación. Sin embargo, su potencia es escasa y su presencia no incide en los resultados finales.

Los datos de rechazo de retorno y aislación reversa, se midieron con el banco propuesto en la Figura 7.2 (b) (pasivos).

El dispositivo diseñado en cuestión posee una diferencia de 4 dB en ganancia respecto a los datos que otorgan las hojas de datos. Esto se debe sobre todo a que la prueba fue realizada bajo condiciones distintas, y pueden existir imperfecciones en el diseño de las pistas. Además, algunos componentes, pertenecientes a la adaptación, variaban ligeramente a los valores, dado que los que se necesitaban no se consiguieron. Respecto a los rechazos de retorno y aislación reversa, si bien eran menores a lo estipulado por la hoja de datos, sus valores se mantenían dentro del rango de tolerancia esperado del dispositivo.

7.3.3.2 Oscilador Local

Mediante el banco de medición propuesto en la Figura 7.64, se procedió a analizar el funcionamiento de la placa que actuará como oscilador local. El mismo consiste en el analizador antes, HP8594E, y una placa con un PIC 4550, que proporcionará el código correspondiente, de manera que el sintetizador genere la señal en cuestión.

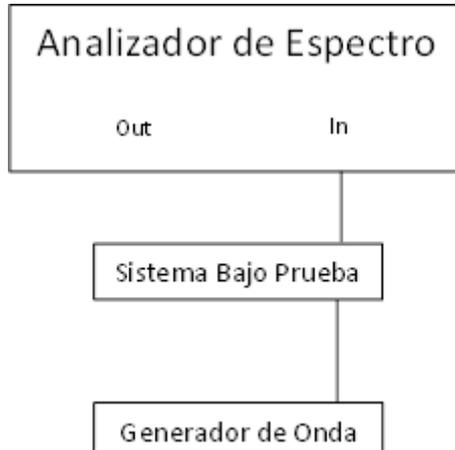


Figura 1.9: Banco de medición para placa de oscilador local.

En el analizador de espectro se observó lo que presenta la Tabla 7.20. Se encuentran dos valores de frecuencia, debido a que se utilizaron uno para experimentar en el SDR y otro para el receptor analógico.

Característica	Valor
Frecuencia (en MHz)	1749.6/1799.59
Potencia (en dBm)	-9.5
Ruido (en dBm)	-98
S/N (en dB)	88.5

Tabla 1.4: Resultados obtenidos de la medición del Oscilador Local en el analizador de espectro.

Se generó una señal que permitiría al mezclador trabajar dentro del rango de trabajo del SDR. Además, posee una potencia de -9.5 dBm, lo cual la coloca dentro del rango admitido por la entrada de OL del mezclador para poder trabajar adecuadamente.

7.3.3.3 Mezclador

Habiéndose medido dos elementos complementarios del mezclador, se procedió finalmente a probar el correcto funcionamiento del mismo. Se utilizó el siguiente banco de medición, visualizado en la Figura 7.65. El mismo consiste en el analizador y el generador antes mencionados (HP8594E y HP8657B respectivamente), a los que se suma el oscilador local antes medido.

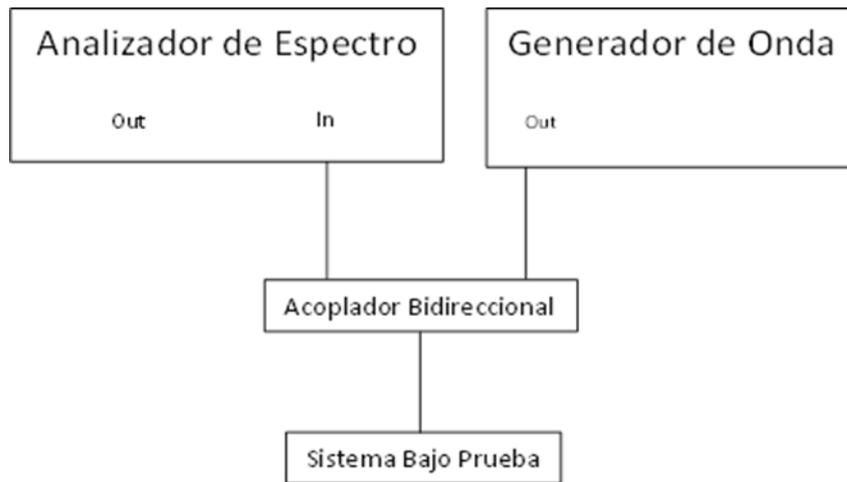


Figura 7.65: Banco de medición para placa de mezclador.

En el generador se forma una señal senoidal de -30 dBm, a una frecuencia de 1.8 GHz. Al conectárselo con los cables directamente, sin el dispositivo bajo prueba al Analizador de Espectro (que contaba con un ancho de banda de 10 KHz), se obtuvo una señal de la misma frecuencia, pero con una potencia de -32.23 , atenuada por los cables y conectores colocados. Posee también una potencia de ruido de -97.8 dBm.

Se conecta el dispositivo bajo prueba con el oscilador local, cuyas condiciones se mantienen, respecto a la medición efectuada en la Subsección 7.3.2.2. En la Tabla 7.21, se observa la señal obtenida en el analizador de espectro, en las dos placas armadas con el integrado en cuestión.

Caraterística	Mezclador 1	Mezclador 2
Ganancia (en dB)	2.8	2.9
Frecuencia (en MHz)	50.4	50.4
Sensibilidad (en dBm)	-100	-100
Ruido (en dBm)	-105	-105
S/N (en dB)	75.57	75.57
Rechazo de Retorno (en dB)	21.5	21
Aislación Reversa (en dB)	23.5	23

Tabla 7.21: Resultados obtenidos de la medición del Mezclador en el analizador de espectro.

Además, se encuentra una señal en 1.804 GHz, que posee una potencia de $-40,3$ dBm, aunque la misma no será utilizada.

A continuación, se intercaló entre el generador y el mezclador al LNA, obteniéndose una señal con la misma frecuencia que la anterior medición, pero ahora con una potencia de -21.33 dBm.

Característica	Resultado
Ganancia (en dB)	12.9
Frecuencia (en MHz)	50.4
Ruido (en dBm)	-105

Tabla 7.22: Resultados obtenidos de la medición del Mezclador en el analizador de espectro.

Al igual que en el LNA, los datos de rechazo de retorno y aislación reversa, se midieron con el banco propuesto en la Figura 7.2 (b).

El mezclador presenta una señal de salida IF, con la que puede trabajarse en el dispositivo utilizado como receptor, ya que entra dentro de su ancho de banda. Presenta una ganancia aceptable, y es correctamente complementado por el LNA, sin generar ninguna señal que perturbe la medición.

Estos dispositivos son utilizados previamente de un receptor, configurando la señal de manera que el mismo pueda demodularla apropiadamente. Como se mencionó, se utilizó un receptor SDR para realizar pruebas del sistema hasta etapa y luego se diseñó y utilizó un receptor analógico para el sistema definitivo. A continuación, se muestran las mediciones de prueba del receptor analógico. Las mediciones del SDR, debido a sus amplias posibilidades, se analizaron en la subsección que continúa a esta.

7.3.4 Medición de receptor de AM

Habiéndose elegido los componentes en la Sección 6, se procedió a construirlo como se observa en la Figura 7.66. A diferencia de los circuitos implementados previamente que son esenciales para el funcionamiento del sistema, en este caso solo se buscó crear un receptor que sea capaz de demodular la señal resultante con el fin de verificar el comportamiento del equipo. Por lo tanto se lo armó en una placa pre-perforada.

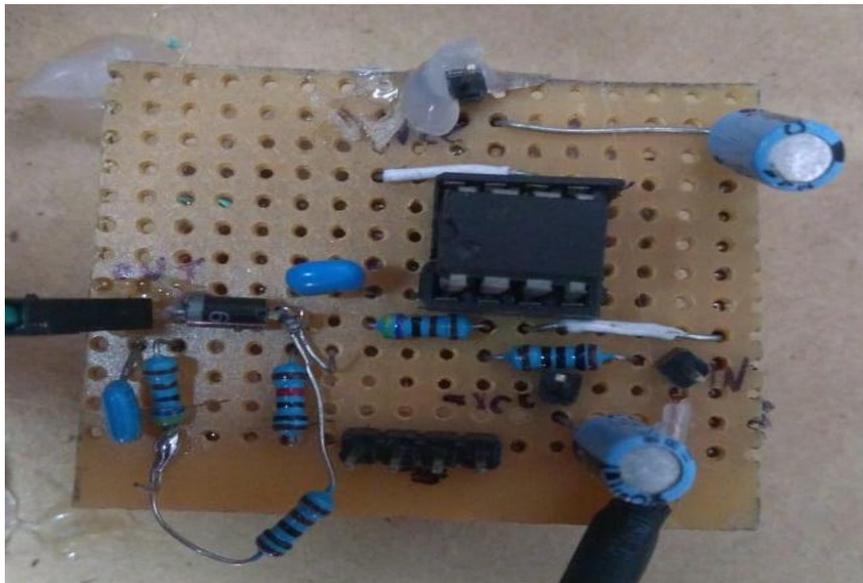


Figura 7.66: Foto del receptor de AM

El banco de medición empleado en esta ocasión consta del generador de RF utilizado previamente y de un osciloscopio Tektronix TDS 220. Se ingresó con una señal de 50 mV_{pp}, con una portadora a 500 KHz y una modulante de 1KHz. El índice de modulación se fue variando con el fin de observar problemas de seguimiento de la señal. Para un índice de modulación de 80% se realizó la medición a la salida a la entrada de receptor, a la salida del amplificador y a la salida del demodulador, como pueden observar en las Figuras 7.67, 7.68 y 7.69, respectivamente.

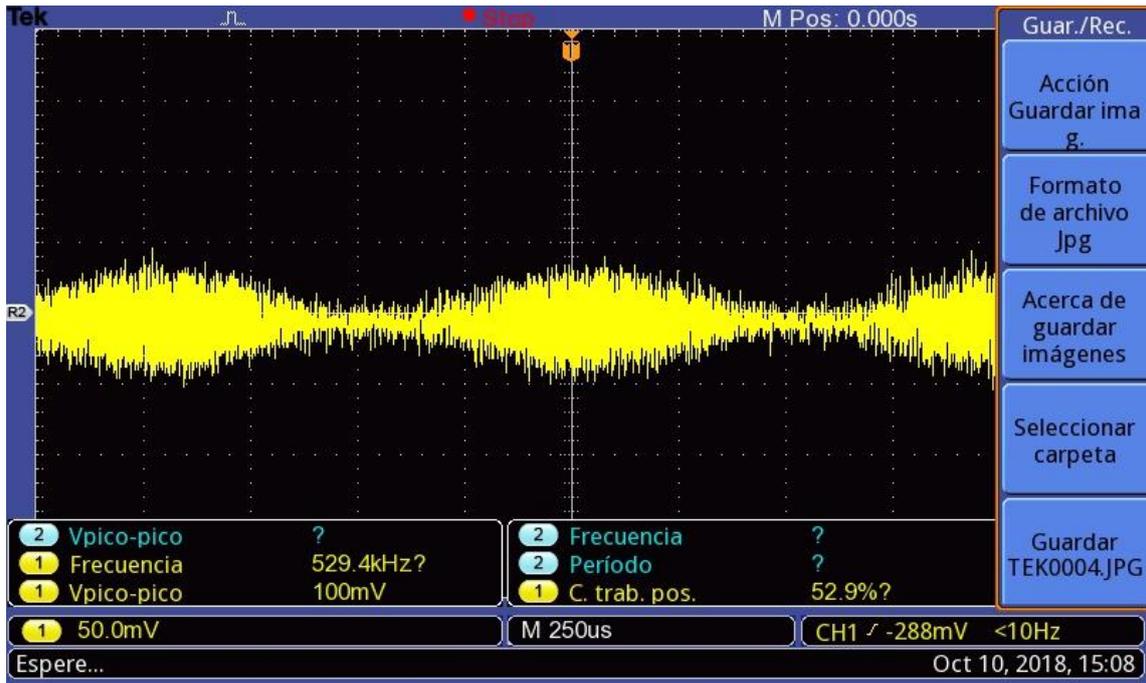


Figura 7.67: Señal obtenida en la entrada del receptor, amplitud medida 82mv.

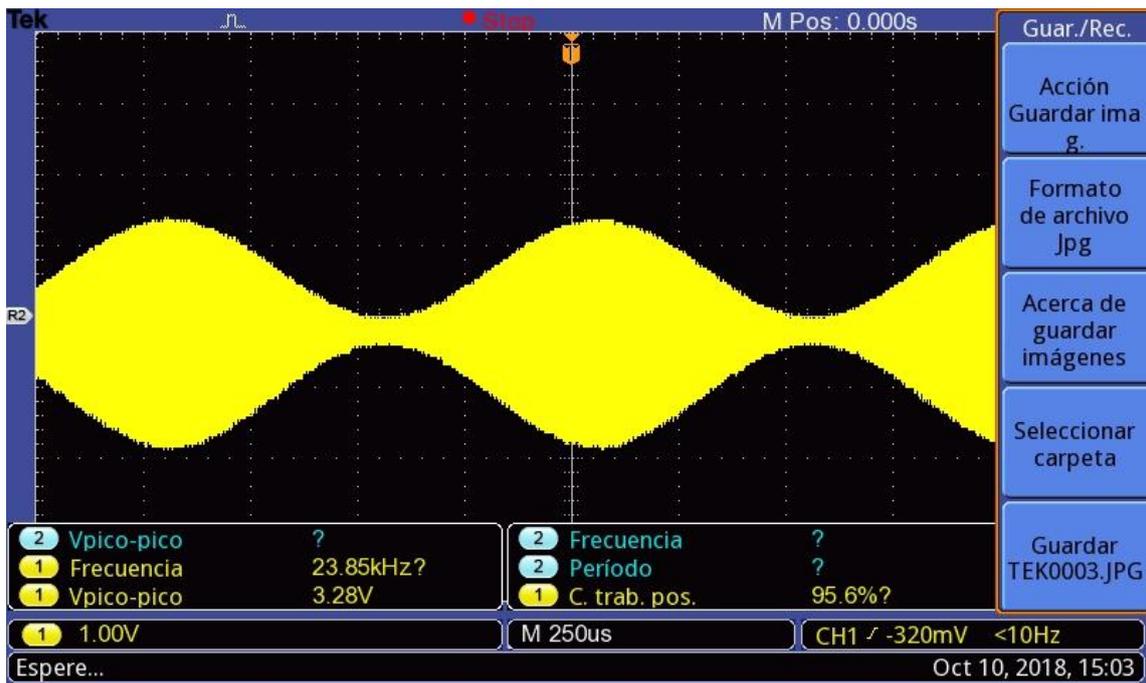


Figura 7.68: Señal obtenida en la salida del amplificador, amplitud medida 3.24V

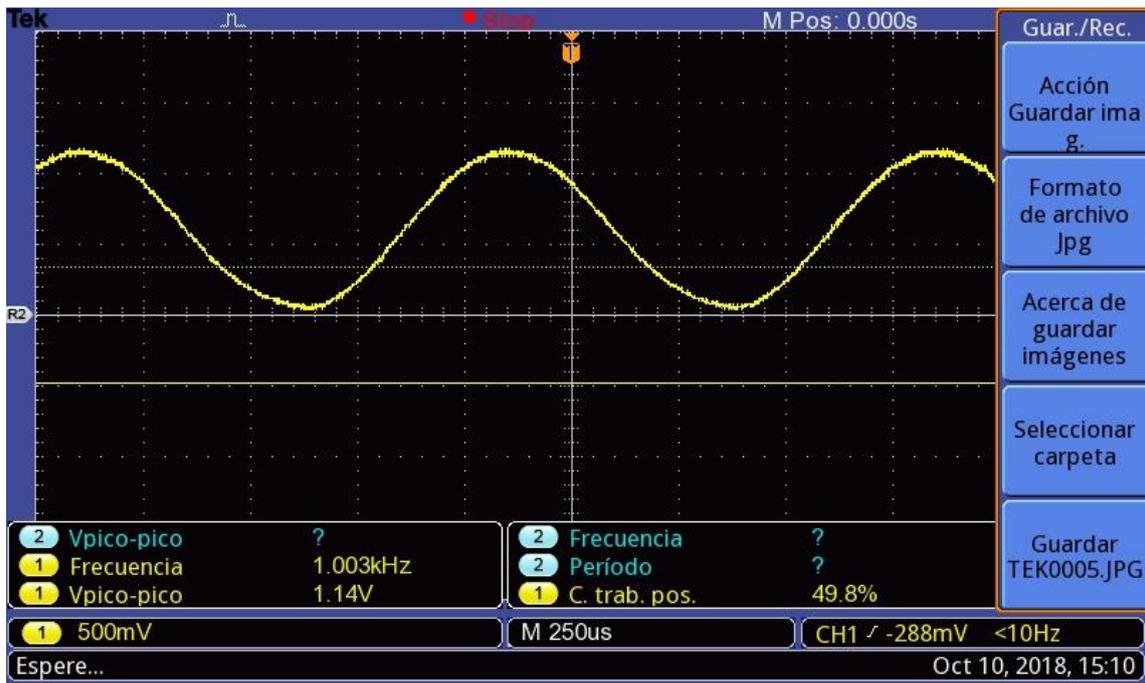


Figura 7.69: Señal obtenida en la salida del demodulador, amplitud 1.12V

Verificado su funcionamiento como receptor, se procedió a realizar una prueba en condiciones reales, utilizando el sistema diseñado como banco de medición. Los resultados obtenidos se pueden ver en la [Figura 7.70, 7.71, 7.72](#).

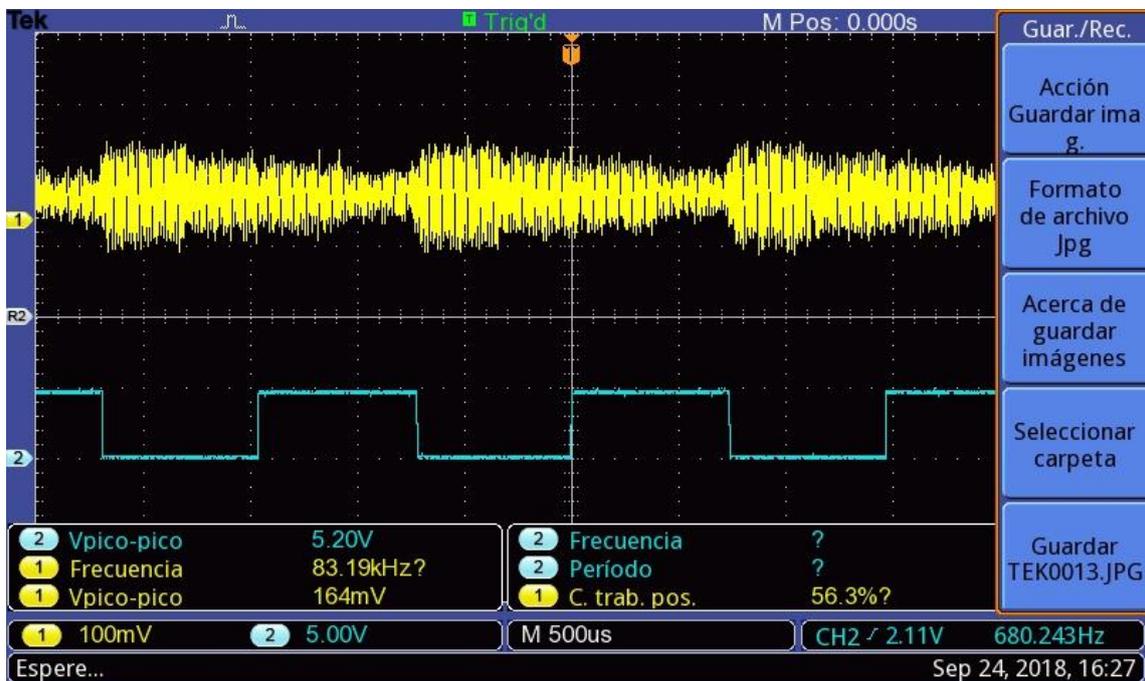


Figura 7.70: Señal obtenida en la entrada del receptor (amarillo), señal de control de multiplexado (azul).

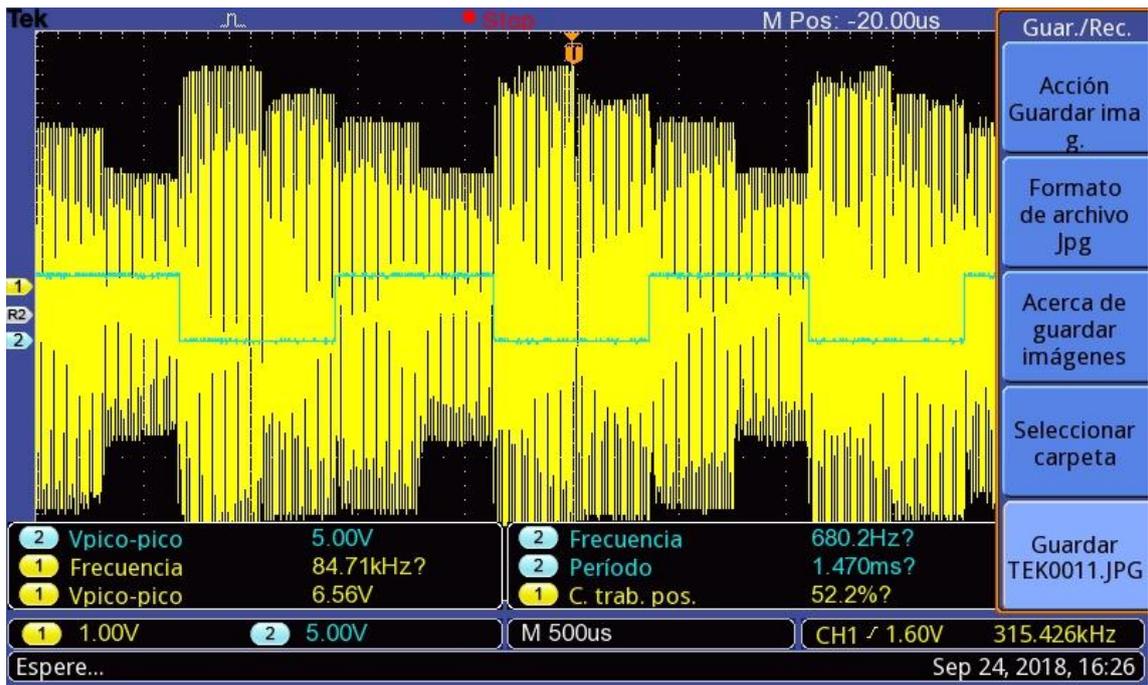


Figura 7.71: Señal obtenida en la salida del amplificador (amarillo), señal de control de multiplexado (azul).

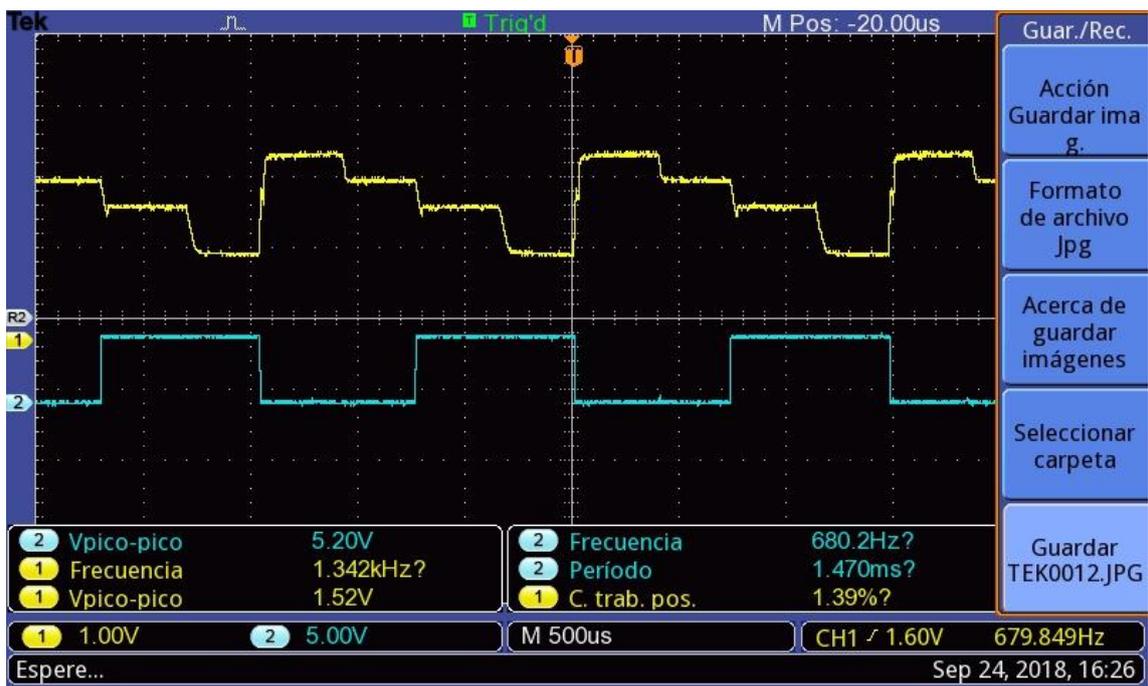


Figura 7.72: Señal obtenida en la salida del demodulador (amarillo), señal de control de multiplexado (azul).

Los resultados obtenidos muestran que en condiciones de trabajo el receptor es capaz de amplificar la señal 40 veces y de demodularla adecuadamente, sin un excesivo recorte diagonal ocasionado por un cambio de estado de gran pendiente y un ripple despreciable.

7.4 Implementación y pruebas de SDR

7.4.1 Introducción

En este trabajo, la tecnología denominada *Software Defined Radio* (SDR), será utilizada en la etapa de recepción, como demodulador de AM. La señal que se obtendrá en su salida será usada como parámetro de referencia a la hora de diseñar el receptor.

Se utilizará un *dongle* de RTL-SDR, cuyas características técnicas, modo de funcionamiento y entornos de software fueron explicados en el capítulo 4.

Se recuerda que su frecuencia de trabajo es de 25Mhz a 1.75Ghz y que debe estar conectado a una PC para poder utilizarlo.

7.4.2 Pruebas iniciales

En primer lugar, se procedió a comprobar el funcionamiento del dispositivo y los entornos disponibles. Se decidió utilizar al software específico de tecnología SDR, denominado HSDR y al de Matlab. El primero fue elegido debido a su simplicidad de uso, junto con sus abundantes herramientas, bajo consumo de recursos de la PC, el hecho de ser un software libre y de gran soporte. Respecto a Matlab, fue seleccionado debido a la amplia cantidad de recursos que ofrece, su soporte y la experiencia que se posee por haberlo utilizado en otras oportunidades.

Se colocó al *dongle* de RTL-SDR en un puerto USB, con una antena básica y se ubicó al HSDR en la banda de FM, demodulando en frecuencia también, pudiendo visualizarse su recepción en los analizadores de espectro que ofrece el entorno. También se escuchó con claridad a diversas estaciones, comprobándose que la demodulación también funciona correctamente. En la Figura 7.73, se observa una porción del espectro analizado. A su vez, se verificó que las señales de audio recibidas eran las esperadas.

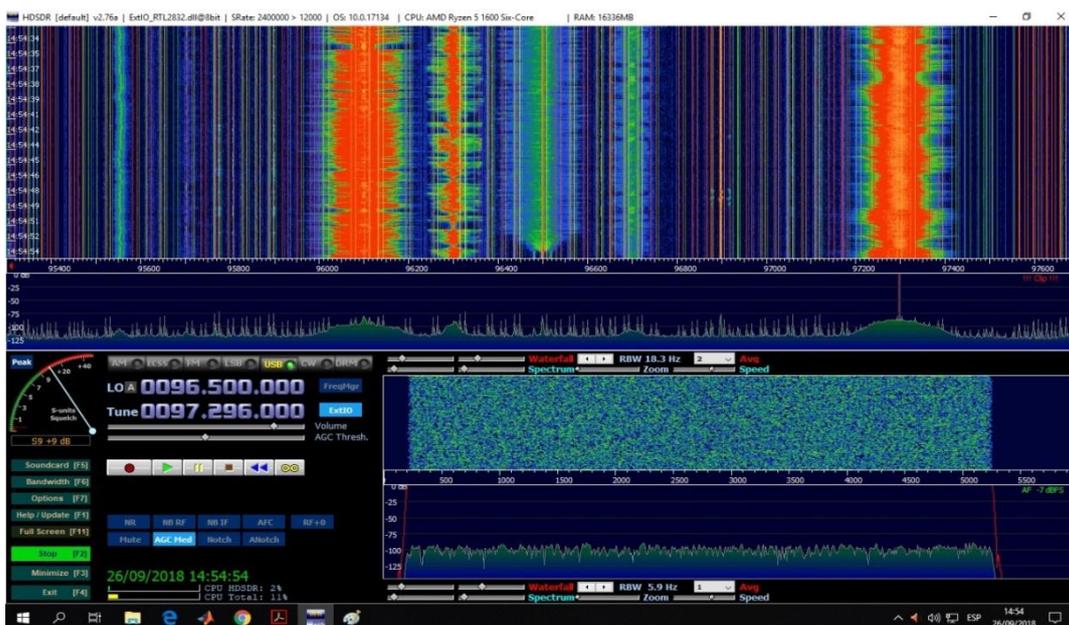


Figura 7.73: Espectro observado en el software SDRSharp durante prueba con señales FM

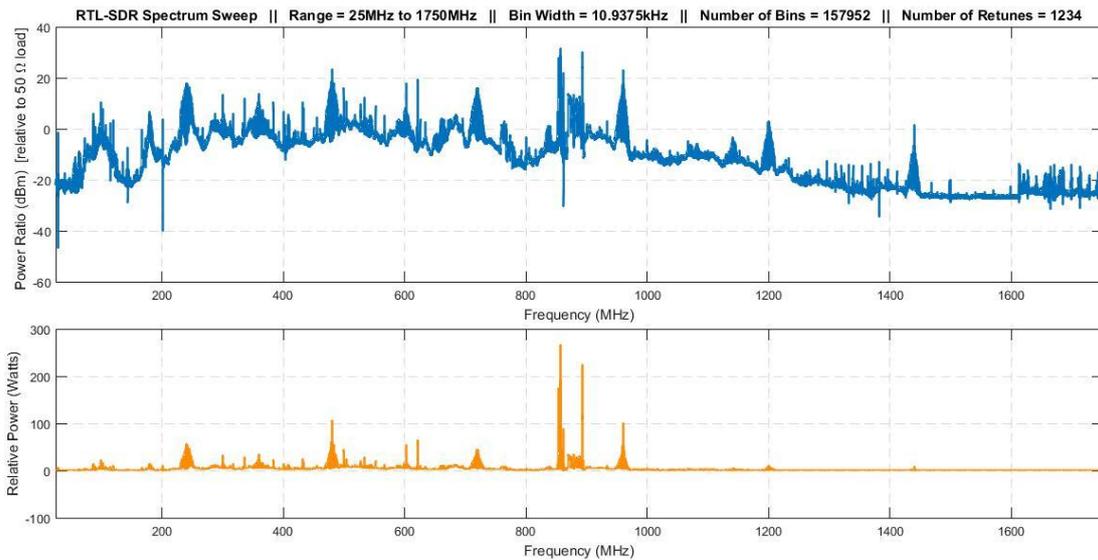
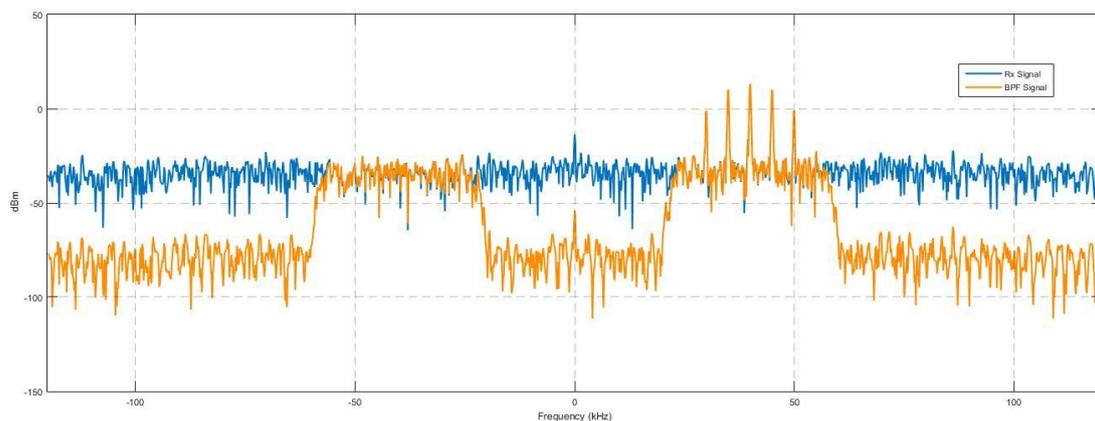


Figura 4.2: Barrido de frecuencias, utilizando Matlab

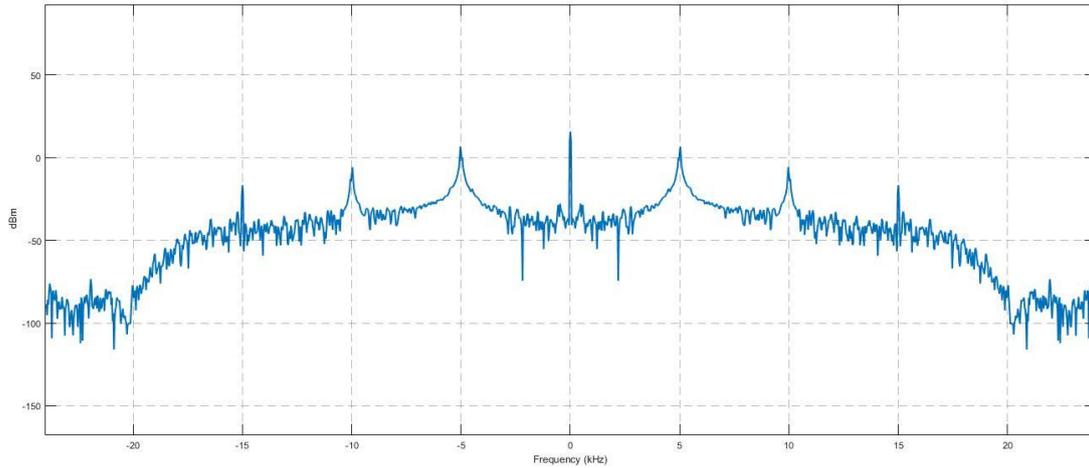
Luego, se utilizó el programa Matlab, en su versión R2015a, en donde se realizó un barrido en frecuencia mediante el código correspondiente, visualizado en el Anexo IV. Los resultados se observan en la Figura 7.74, para un barrido entre las frecuencias 25 MHz y 1750MHz. El gráfico superior hace el cálculo de potencia en escala logarítmica, en dBm, mientras que el inferior lo hace en Watts.

También, se probó en Simulink y .m (el modelo y el código se pueden observar en el Anexo I, respectivamente), un receptor de AM. En las Figuras 7.75, 7.76 y 7.77 se pueden ver los resultados (material recibido, demodulado en frecuencia y en el tiempo, respectivamente) del código en Simulink, utilizando una muestra de audio.



RBW=234.37 Hz

Figura 7.75: Espectro antes de demodular la señal



RBW=46.87 Hz

Figura 7.76: Espectro luego de demodular la señal.

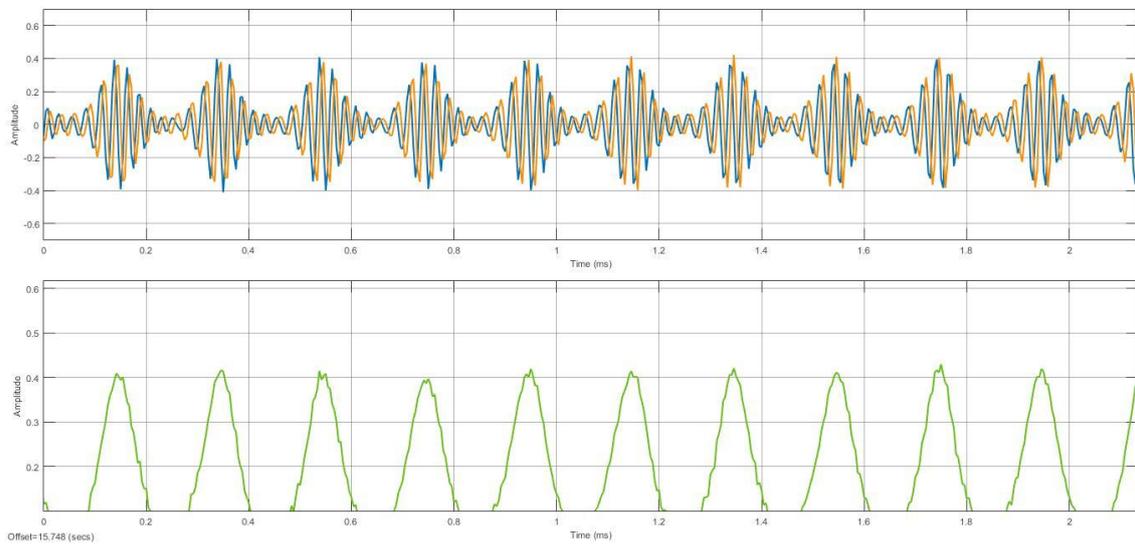


Figura 7.77: Señal recibida (superior) y demodulada (inferior) graficada en el tiempo.

7.4.3 Banco de medición

Una vez comprobado el funcionamiento del dispositivo, se procedió a armar un banco de medición para comprobar el desempeño del mismo, en presencia de una señal de trabajo simulada. Para ello se contó con el banco de medición que se visualiza en la Figura 7.78.



Figura 7.78: Banco de medición del SDR

Para la prueba de demodulación AM, se colocó un generador de onda Hewlett Packard HP8657B, modulado en AM con una modulante de 1KHz, un índice de modulación del 85% y una frecuencia de 1000MHz.

El generador es conectado al SDR, y este es conectado en un puerto USB de una computadora. Se conectaría luego la salida de audio de la PC, a un Osciloscopio Tektronix TDS 210. Se utilizarían a los programas HDSDR y Matlab (tanto el archivo .m como el simulink), obteniéndose la señal observada en la Figura 7.79, en el osciloscopio, junto con las Figuras 7.80 y 7.81, que muestran las señales modulada y demodulada respectivamente medidas en Matlab, utilizando el código en .m.

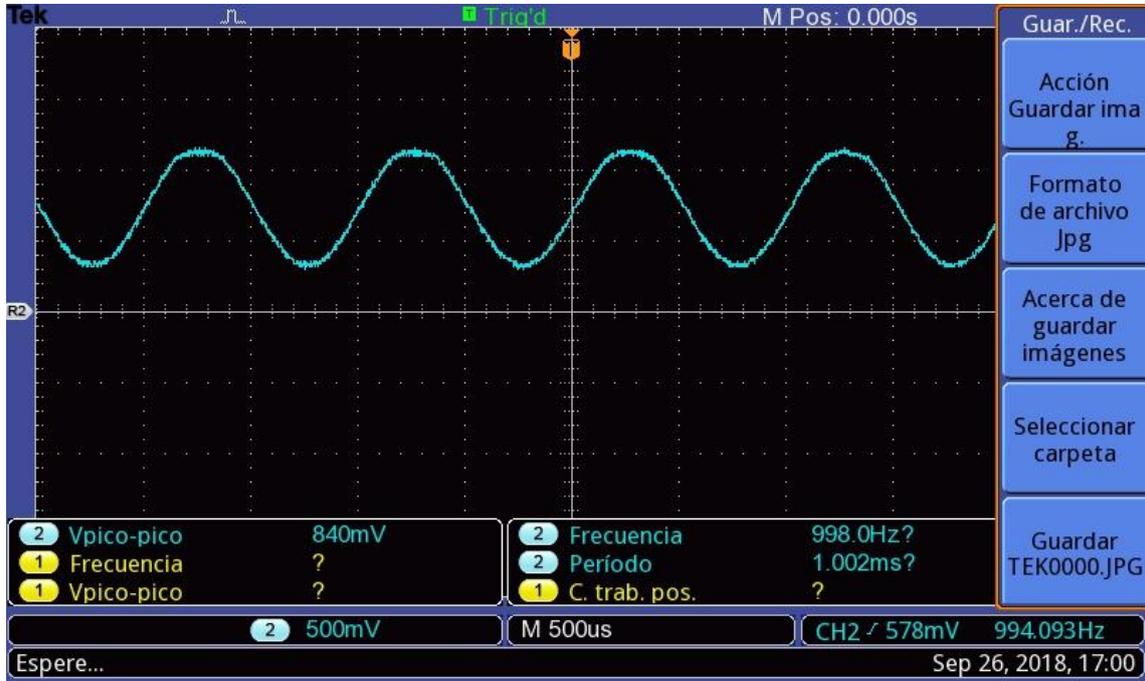


Figura 7.79: Señal demodulada en el osciloscopio utilizando el código en .m

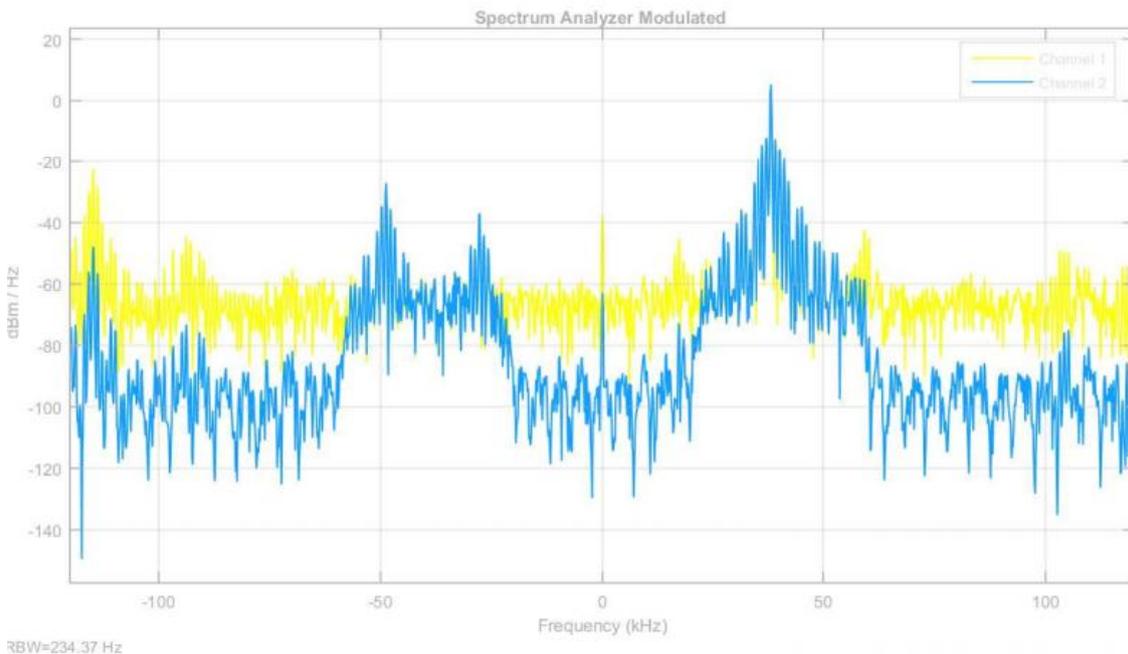


Figura 7.80: Señal modulada en Matlab utilizando el código en .m

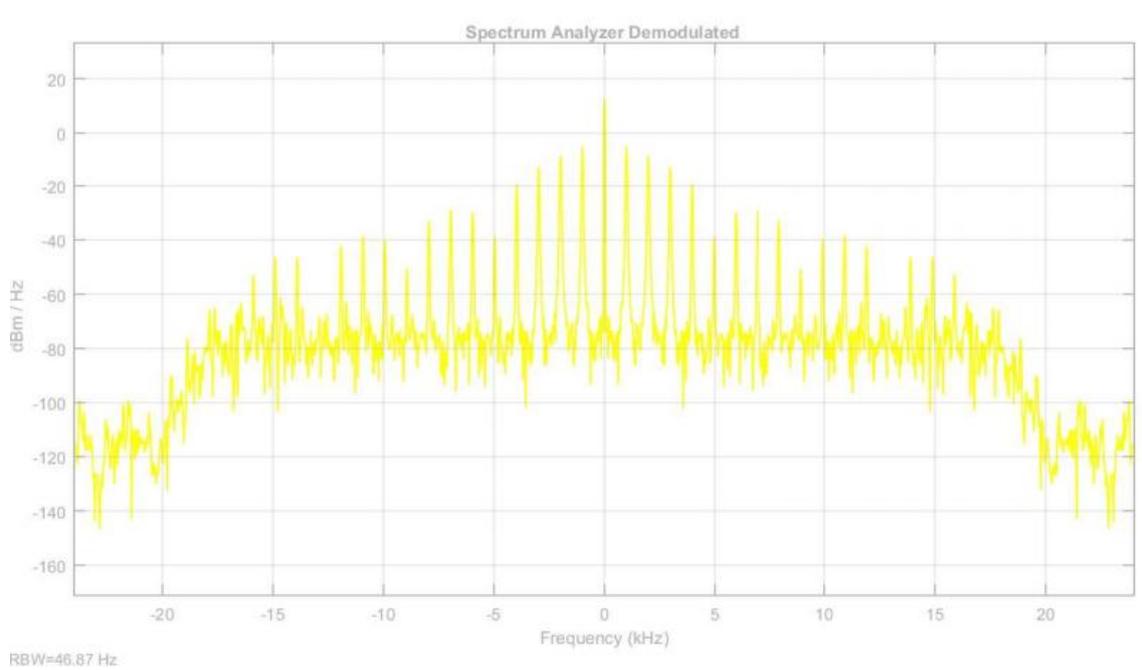


Figura 7.81: Señal demodulada en Matlab utilizando el código en .m.

Luego, se realizaron las mismas mediciones, pero utilizando el código en bloques de Simulink de Matlab. En las Figuras siguientes se observan la señal en el osciloscopio (7.82), modulada en frecuencia en Matlab (7.83) y demodulada, en el mismo programa, en frecuencia (7.84) y tiempo (7.85).

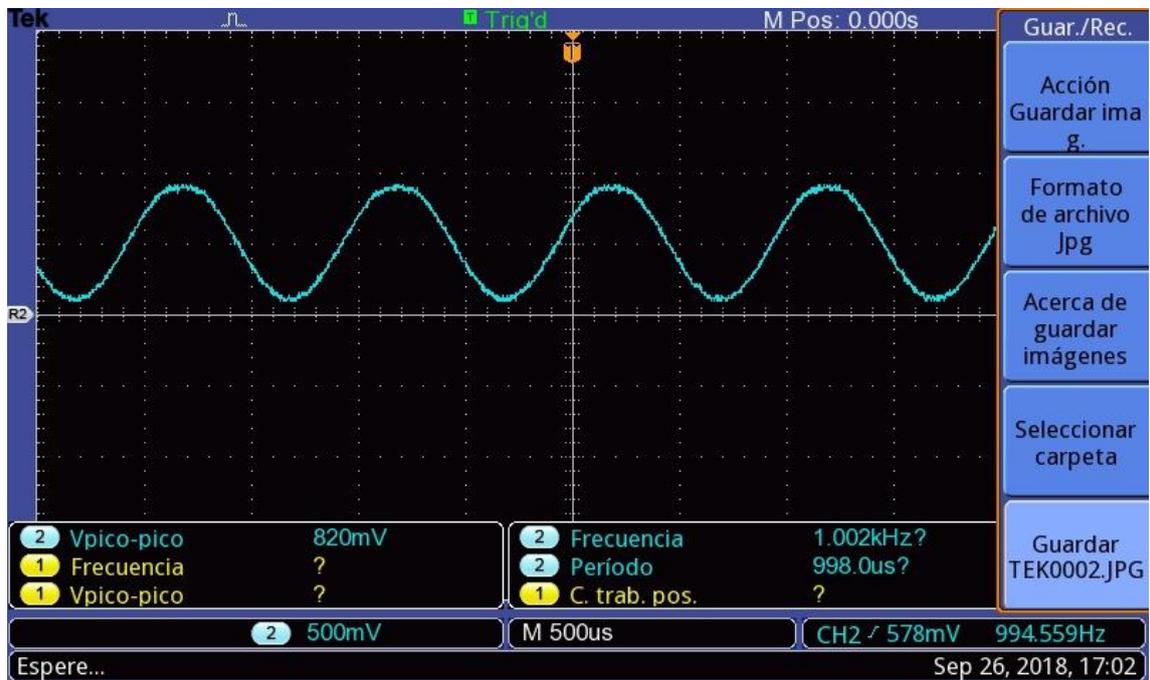


Figura 7.82: Señal demodulada en el osciloscopio utilizando el código en Simulink.

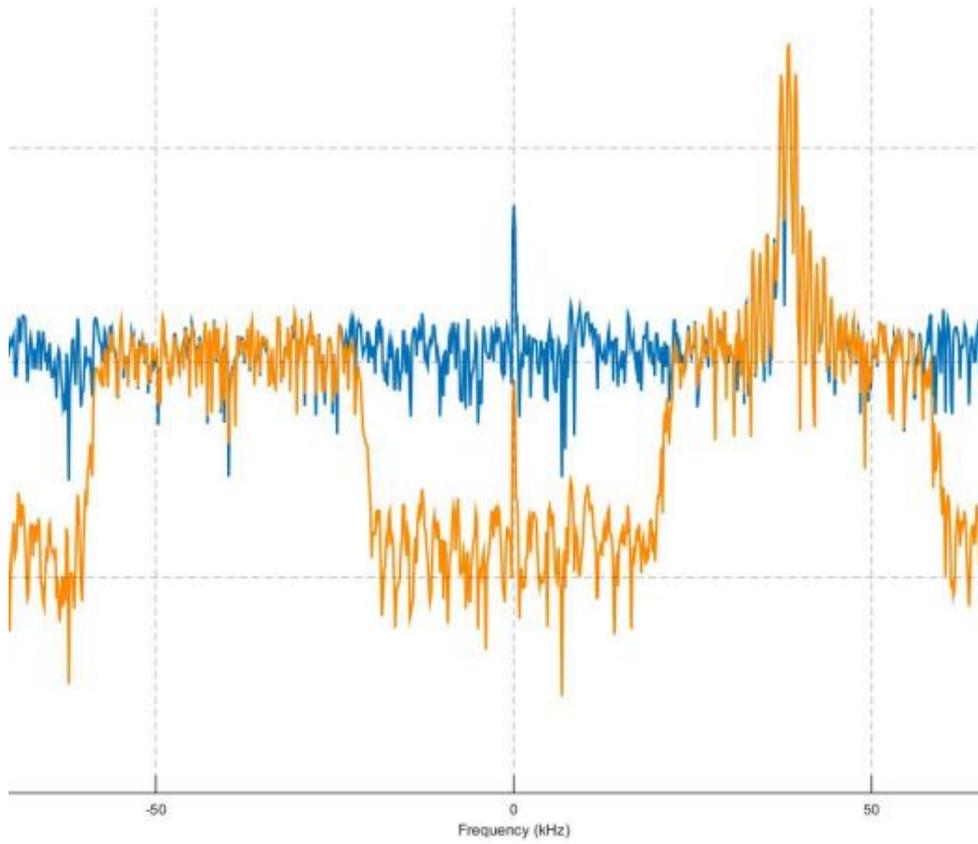


Figura 7.83: Señal modulada en Matlab utilizando el código en Simulink.

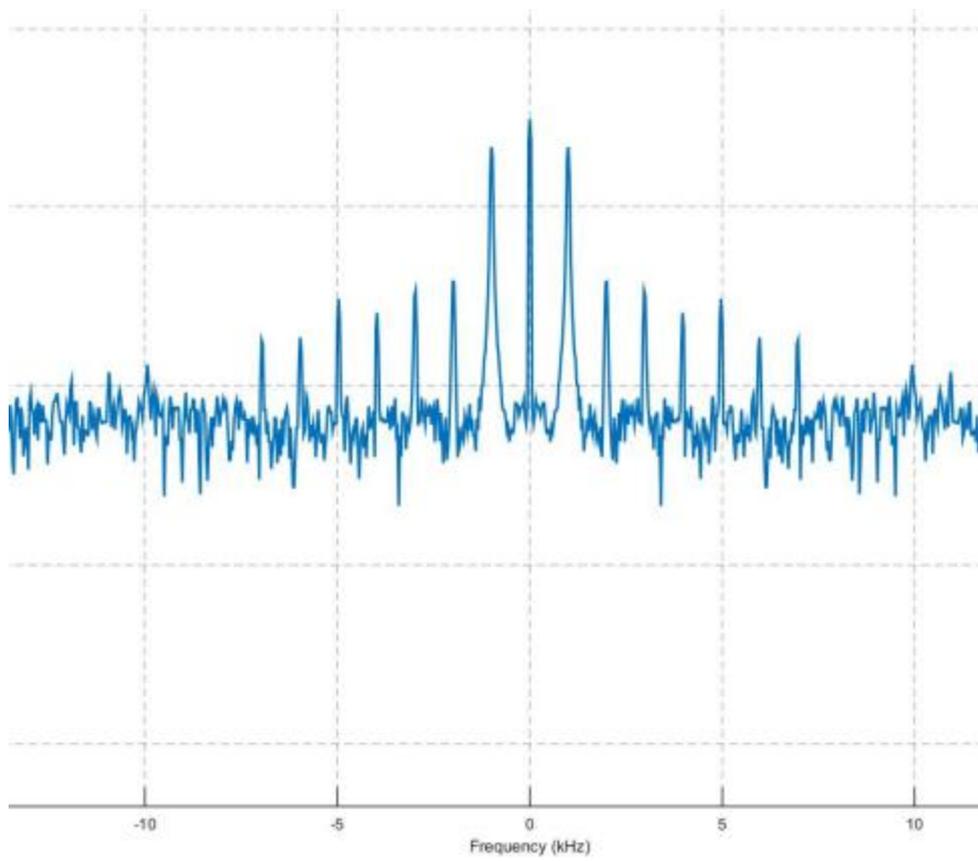


Figura 7.84: Señal demodulada en frecuencia en Matlab utilizando el código en Simulink.

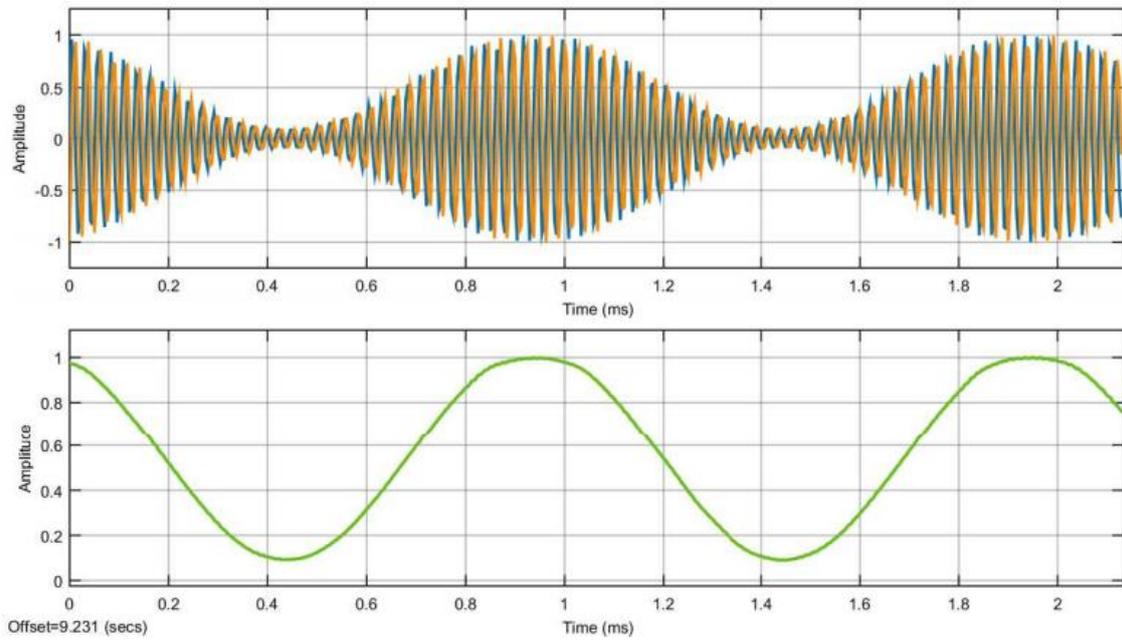


Figura 7.85: Señal demodulada en el tiempo en Matlab utilizando el código en Simulink.

Finalmente, se repitió el proceso, utilizando el software HSDR, observándose en la Figura 7.86 la señal en el Osciloscopio y en la Figura 7.87, la señal en el entorno computacional.

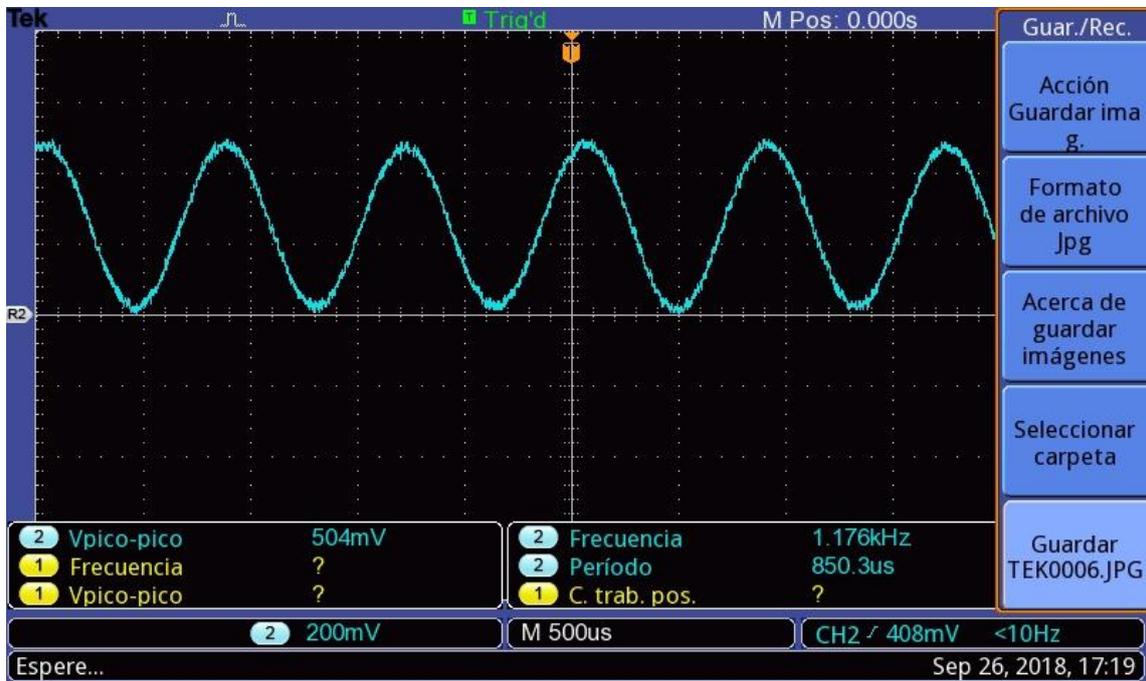


Figura 7.86: Señal demodulada en el osciloscopio utilizando HSDR.

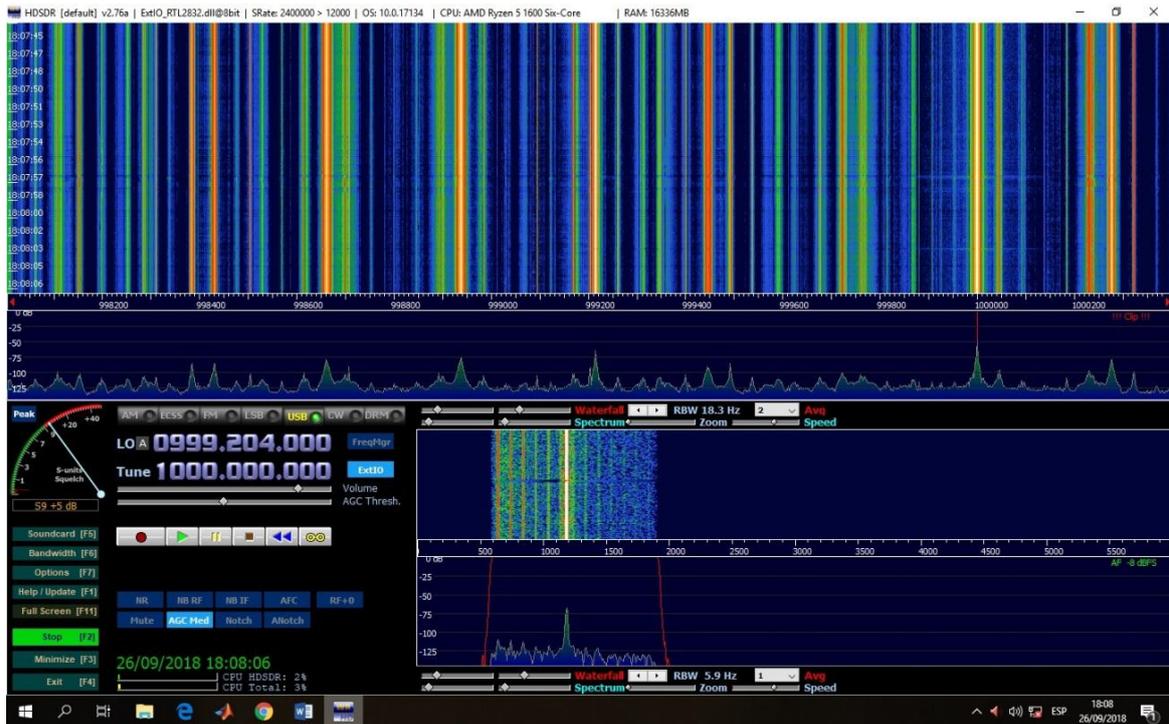


Figura 7.87: Espectro de la señal en HSDR.

Para conocer el desempeño en conjunto de los dispositivos pasivos junto al SDR, se procedió a armar el banco de medición visualizado en la Figura 7.88.

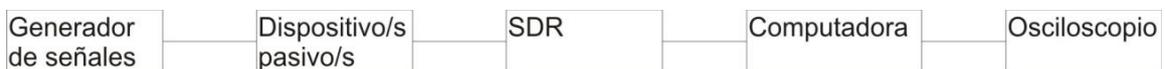


Figura 7.88: Banco de medición para analizar dispositivo pasivo junto a SDR

En este caso, se utilizó el mismo generador de ondas de alta frecuencia, HP8657B, con una señal de prueba de 1.7 GHz. El dispositivo pasivo que se utilizó, es el acoplador híbrido pi. Se realizaron las mismas mediciones que en el caso anterior, utilizando el archivo .m (Figuras 7.89, 7.90 y 7.91), Simulink (Figuras 7.92, 7.93, 7.94 y 7.95) y HSDR (Figuras 7.96 y 7.97).

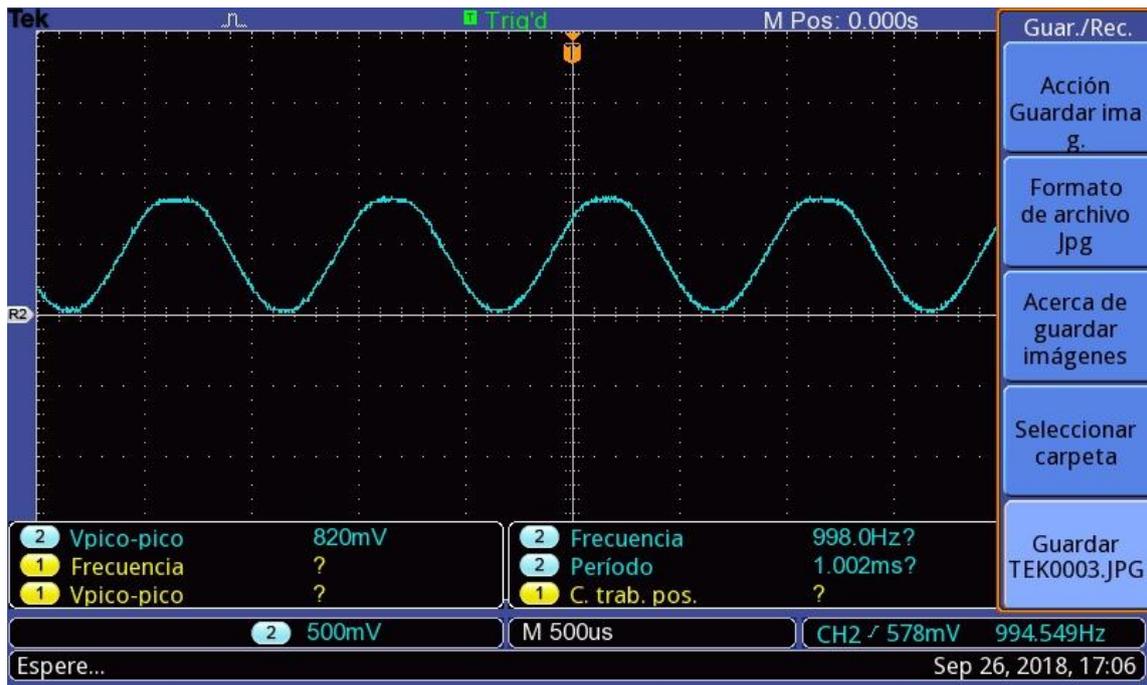


Figura 7.89: Señal demodulada en el osciloscopio utilizando el código en .m con dispositivo pasivo previo.

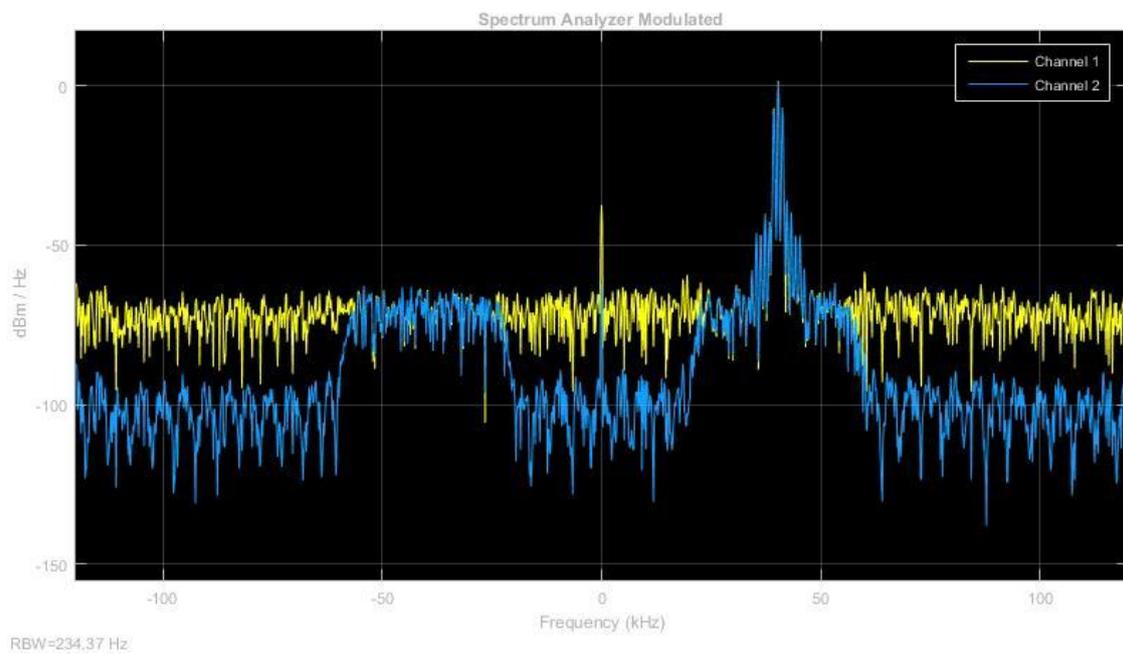


Figura 7.90: Señal modulada en Matlab utilizando el código en .m con dispositivo pasivo previo.

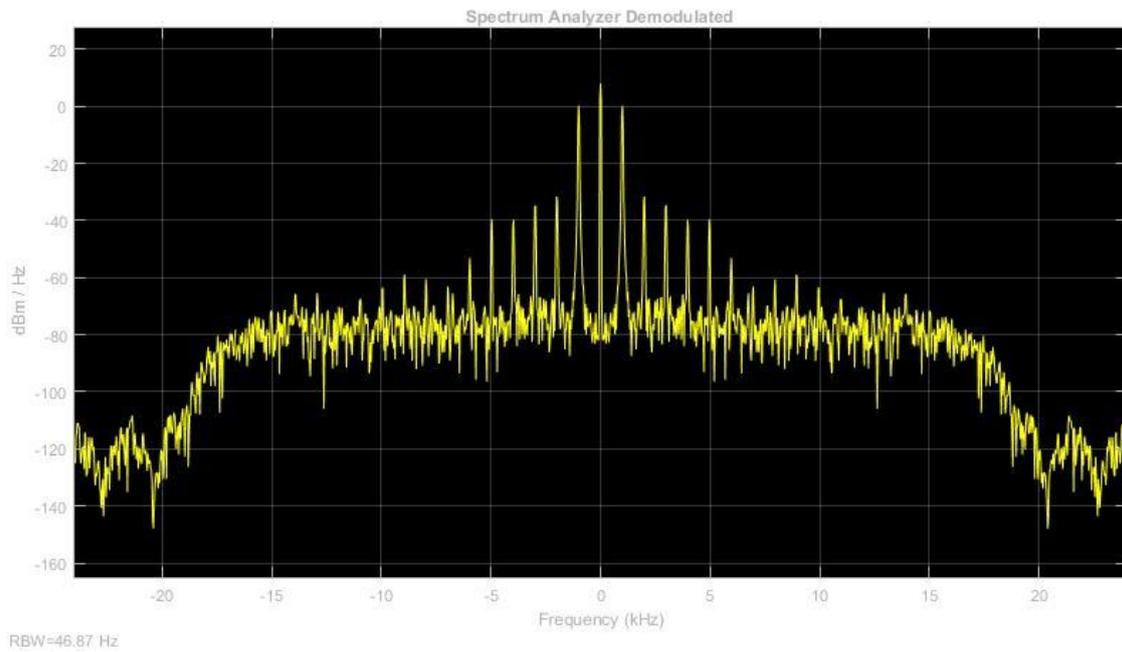


Figura 7.91: Señal demodulada en Matlab utilizando el código en .m con dispositivo pasivo previo.

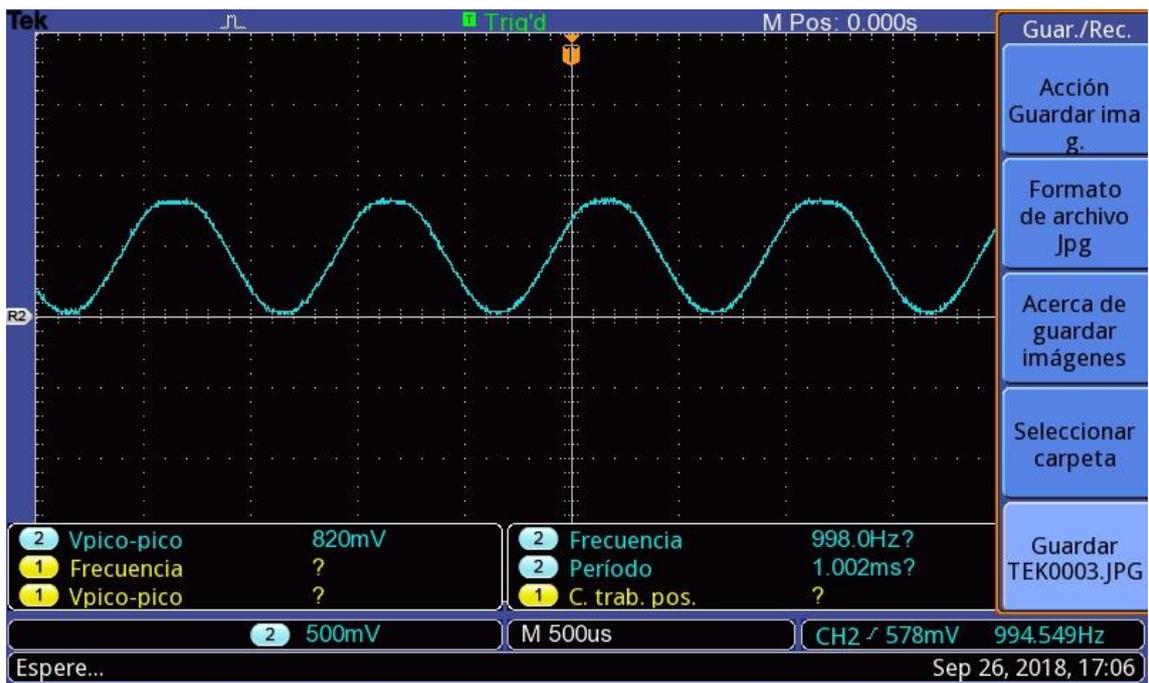


Figura 7.92: Señal demodulada en el osciloscopio utilizando el código en Simulink con dispositivo pasivo previo.

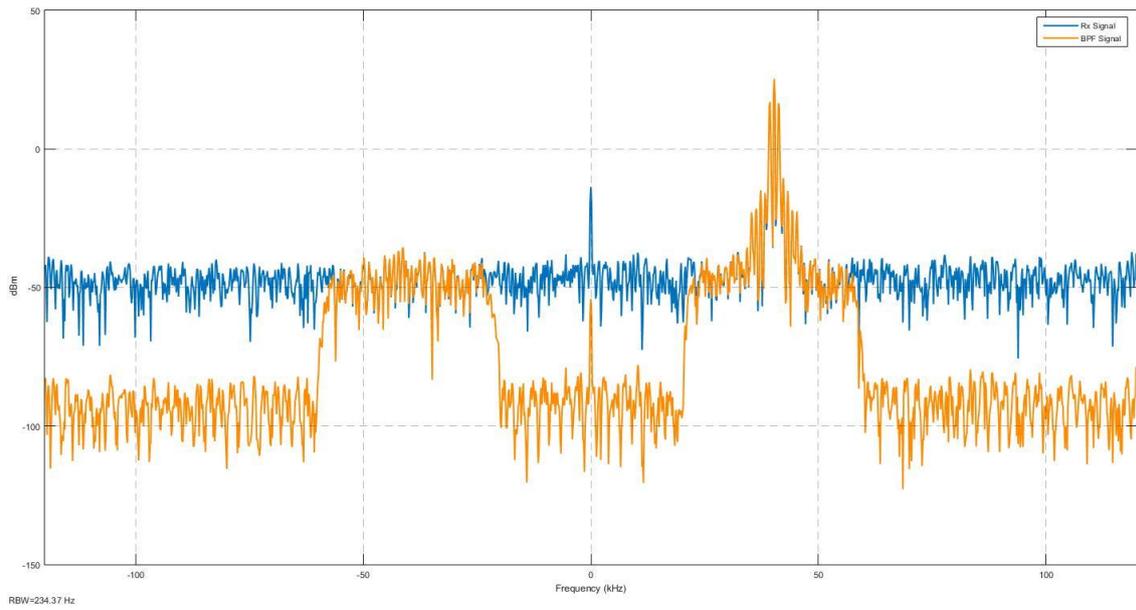


Figura 7.93: Señal modulada en Matlab utilizando el código en Simulink con dispositivo pasivo previo.

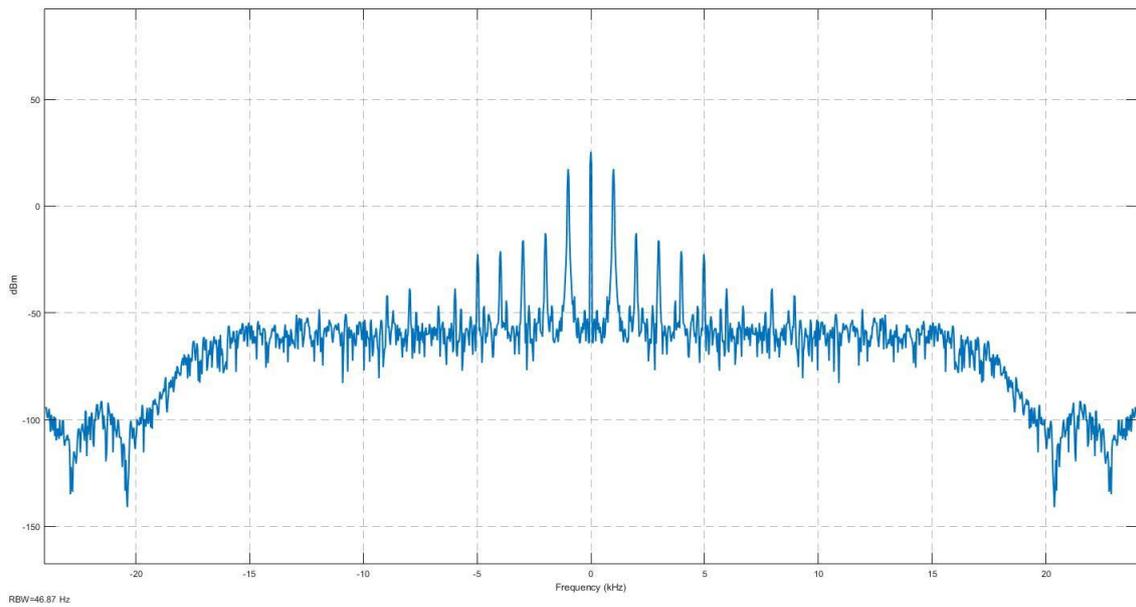


Figura 7.94: Señal demodulada en frecuencia en Matlab utilizando el código en Simulink con dispositivo pasivo previo.

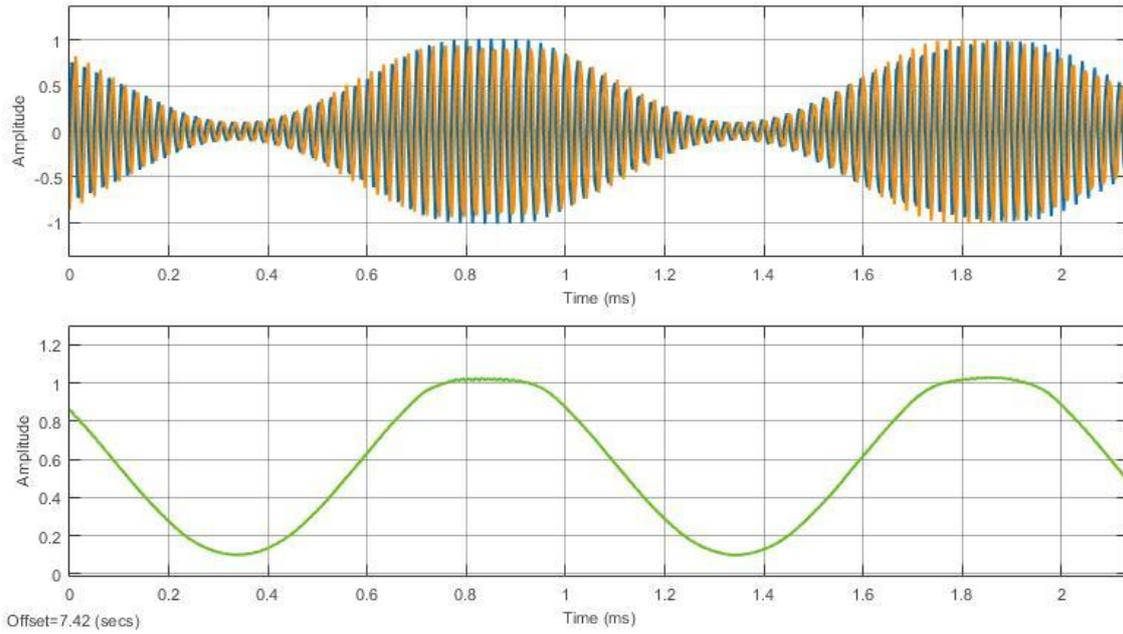


Figura 7.95: Señal demodulada en el tiempo en Matlab utilizando el código en Simulink con dispositivo pasivo previo.

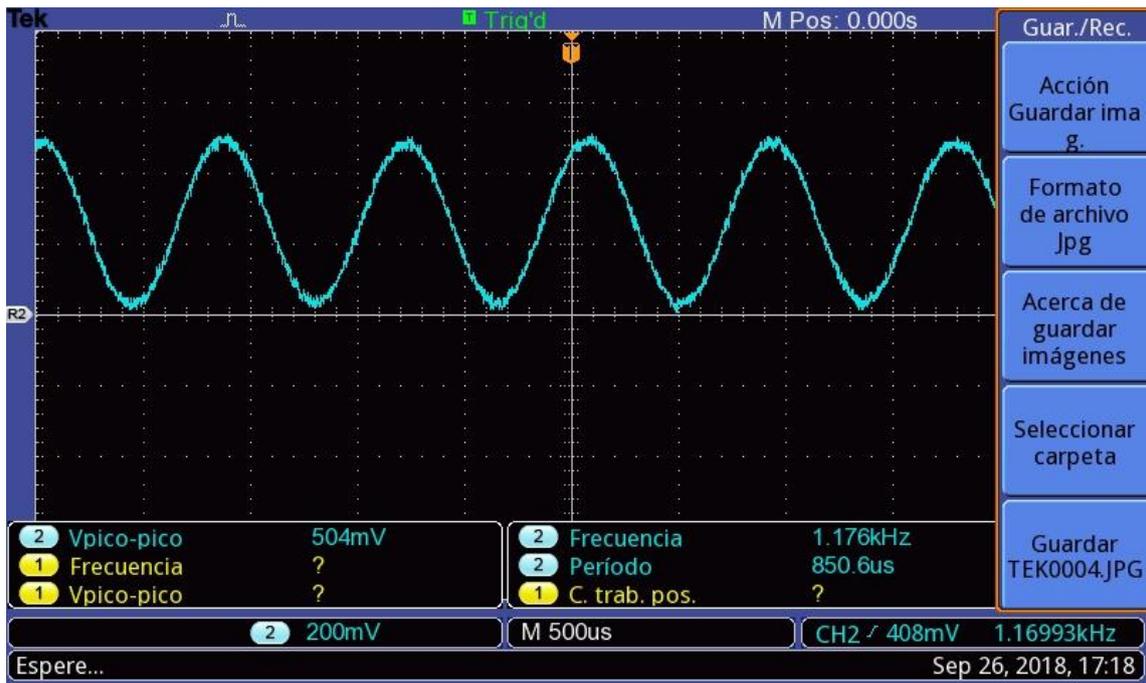


Figura 7.96: Señal demodulada en el osciloscopio utilizando HSDR con dispositivo pasivo previo.

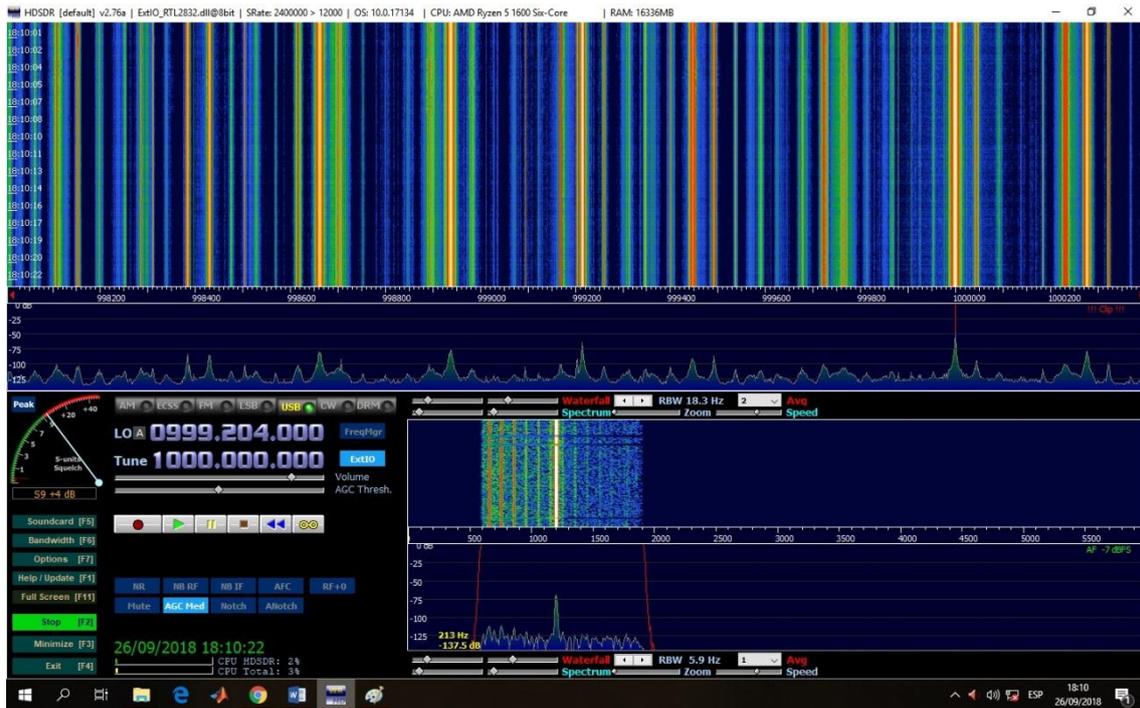


Figura 7.97: Espectro de la señal en HSDR con dispositivo pasivo previo.

En todos los casos, la señal analizada, respondía a los cambios de amplitud y frecuencia realizados en el generador, al igual que la modificación del índice de modulación. Se observaron retrasos considerables en las pruebas realizadas, debido a procesamiento.

7.4.4 Análisis de resultados y Conclusiones

Las pruebas en los distintos entornos otorgaron los resultados esperados, demostrando gran confiabilidad del dispositivo para la prestación que requiere el proyecto. Sin embargo, el entorno Matlab, que si bien ofrece una gran variedad de herramientas y soporte para manejar al SDR, mostró problemas de demoras y complicaciones para modificar los códigos, dificultando el proceso. El HSDR no mostró estas complicaciones, ya que su uso es por demás sencillo. Para instancias venideras, se utilizará este software, debido a estos motivos.

Es necesario aclarar que el SDR que se está utilizando, no es adecuado en este caso para una aplicación en tiempo real, debido a que se comunica con la PC, mediante puertos USB. Esto provoca que la señal de salida presente retardos variables relacionados con la carga de los buffers. Una alternativa, es utilizar un sistema operativo que trabaje en tiempo real.

7.5 Implementación Final

7.5.1 Introducción

De manera integradora, se procedió a realizar la implementación de todo el sistema funcionando de manera conjunta. Se planteará, por lo tanto, un banco de medición

acorde, de manera de poder verificar si su funcionamiento es el esperado y se lo comparará con los criterios establecidos a lo largo del desarrollo del proyecto.

En la Figura 7.98, se establece nuevamente el sistema que estará bajo prueba. El mismo, consta, como puede observarse, de:

- Combinador, compuesto por cuatro acopladores híbridos pi, que toman la señal de la antena, y la combinan, de manera de generar señales diferencia (azimut y elevación) y suma, cuyo funcionamiento práctico también fue mostrado en la Subsección 7.1;
- Microprocesador, el cual genera las señales de multiplexado y obtiene las señales de error, cuyo programa puede visualizarse en el Anexo IV, y su funcionamiento en conjunto en la Subsección 7.2;
- Sistema de conmutadores, el cual, mediante las señales del microprocesador, multiplexa a ambas señales de diferencia, cuya implementación y funcionamiento se puede ver en la Subsección 7.2;
- Acoplador de 9 dB, el cual suma y modula en AM, las señales suma y diferencia, cuyo comportamiento se evidencia en la Subsección 7.1;
- Amplificadores de bajo ruido, los cuales amplifican la señal;
- Mezcladores, que mueven a una frecuencia menor a la señal;
- Sintetizador de señales, que actúa como oscilador local, cuya implementación, junto con el mezclador y los amplificadores, se explica en la Subsección 7.3;
- Receptor, que demodula la señal, y la envía al microprocesador, cuyo funcionamiento se explica en la Subsección 7.4.

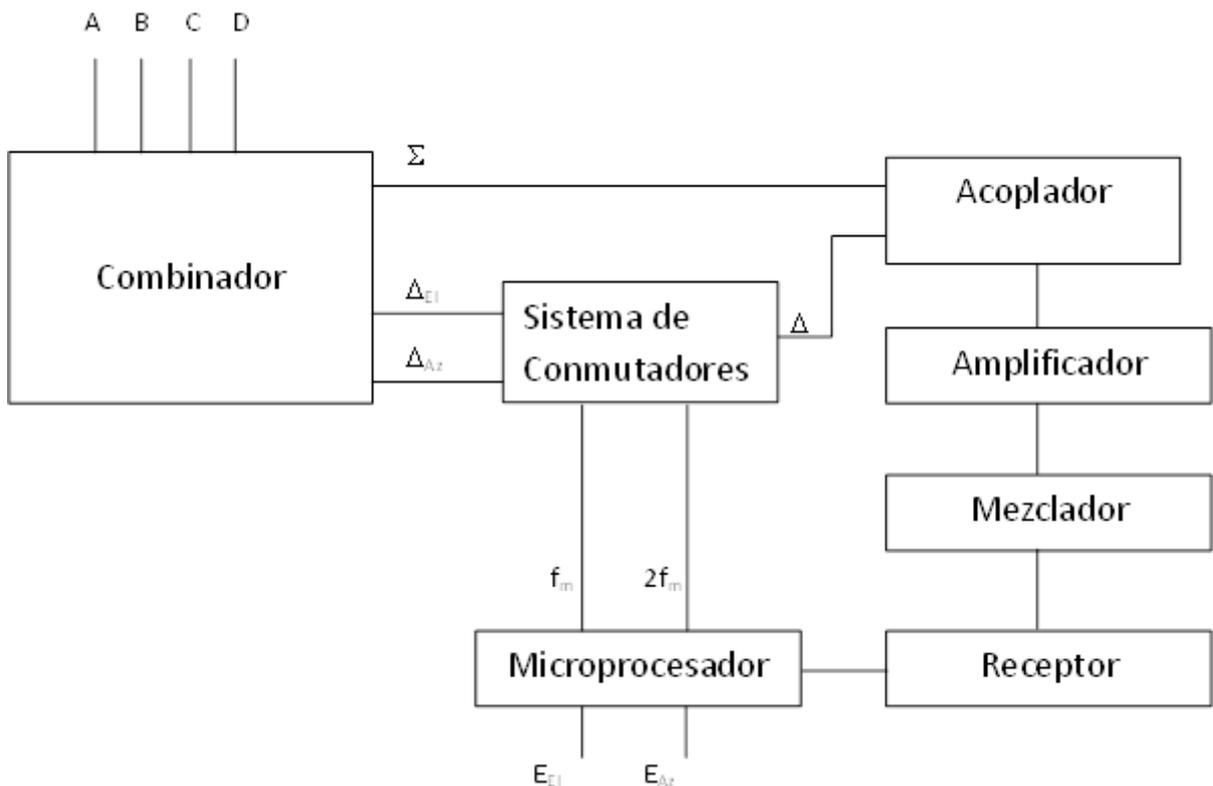


Figura 7.98: Sistema bajo prueba

En la Figura 7.99 se observa el equipo armado.

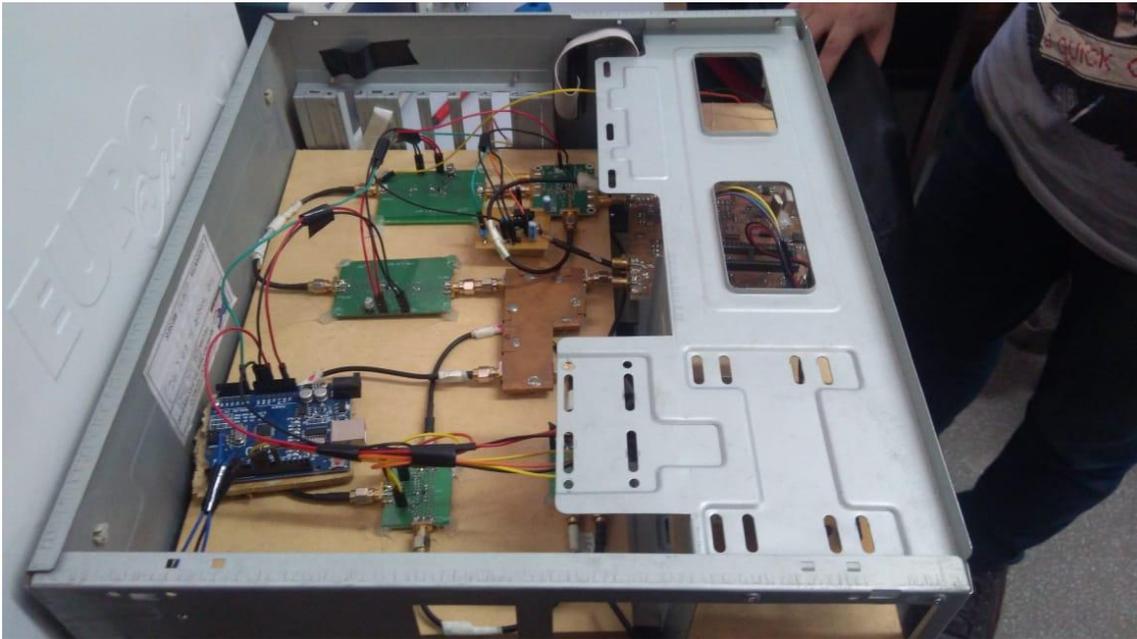


Figura 7.99: Equipo armado.

7.5.2 Banco de medición y resultados

En la Figura 7.100, se puede observar el banco de medición propuesto, para verificar el correcto funcionamiento del dispositivo.

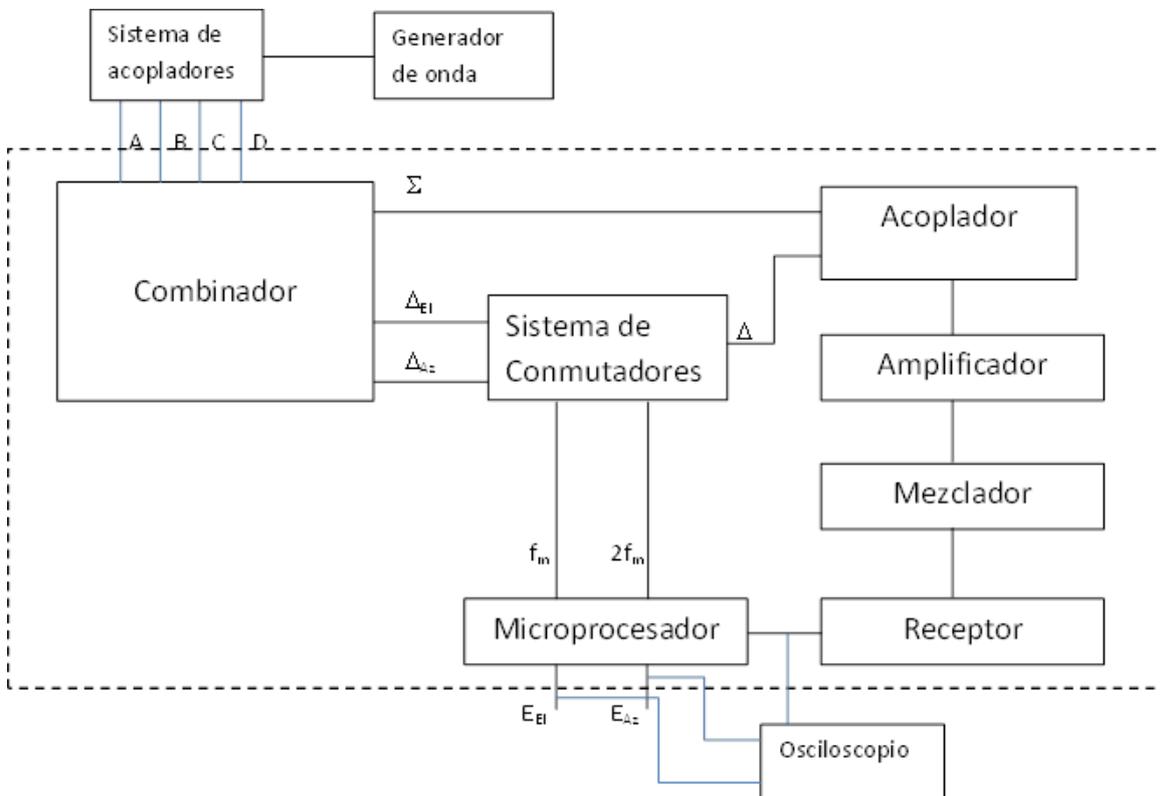


Figura 7.100: Banco de medición propuesto para verificación de sistema final, sin antenas.

En primera instancia, se procede a verificar que el dispositivo esté funcionando correctamente, sin las antenas de por medio. Por ello, se conecta al generador HP8657B, dos acopladores híbridos, de manera de generar cuatro señales, que simularán a la información captada por la antena. Esto se realiza, de manera de obtener una señal confiable, libre de señales parásitas. Luego se conectó a los híbridos, al sistema completo sin las antenas. Se utilizó un receptor SDR conectado en una pc para demodular la señal, y de su salida de audio, la cual se medirá con un osciloscopio Tektronix TDS220, se obtendrá la señal útil.

La misma, debería ser una señal símil cuadrada, como se ve en la Figura 7.101. La misma, consta de dos lóbulos, cada uno a su vez, con un semiciclo negativo y otro negativo. Esto es producto de la modulación realizada por los conmutadores, que primero multiplexan a la señal y luego la multiplexan con su invertida. Esta señal, tiene que coincidir con la que se envía desde el microprocesador.

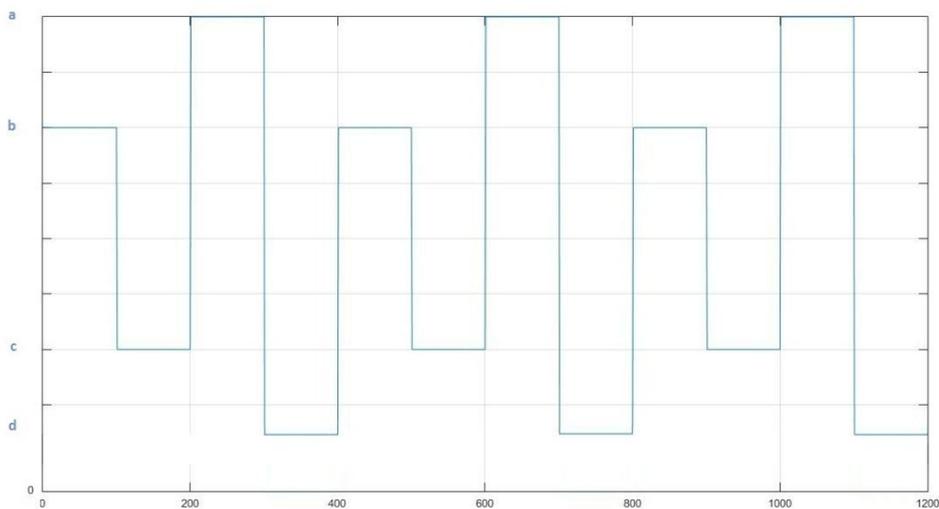


Figura 7.101: Señal esperada en la salida del sistema.

Se dispuso que el generador aporte una señal de 1.8 GHz de -20 dBm de potencia, el microprocesador genera señales de 683 Hz y el doble de la misma para multiplexar y el resto de los dispositivos se mantengan bajo las mismas condiciones de funcionamiento con las que funcionaron en las pruebas anteriormente realizadas y explicitadas en subsecciones previas.

En la PC, mediante el Software HSDR se obtuvo la señal necesaria, que luego se observaría en el osciloscopio. En el programa, se puede apreciar que la señal de trabajo recibida del mezclador se encuentra en 50,4 MHz, con una potencia aproximada de -50 dBm. Asimismo, se a una señal cuadrada de frecuencia 683 Hz, observándose sus armónicos correspondientes, en la parte de audio. En la Figura 7.102, se observa la señal que arroja el osciloscopio. En la misma se observa con claridad, la correspondencia con lo estipulado en la Figura 5.3. La frecuencia de la misma sigue siendo 683 Hz y su amplitud de 200 mV, con un offset de 20 mV.

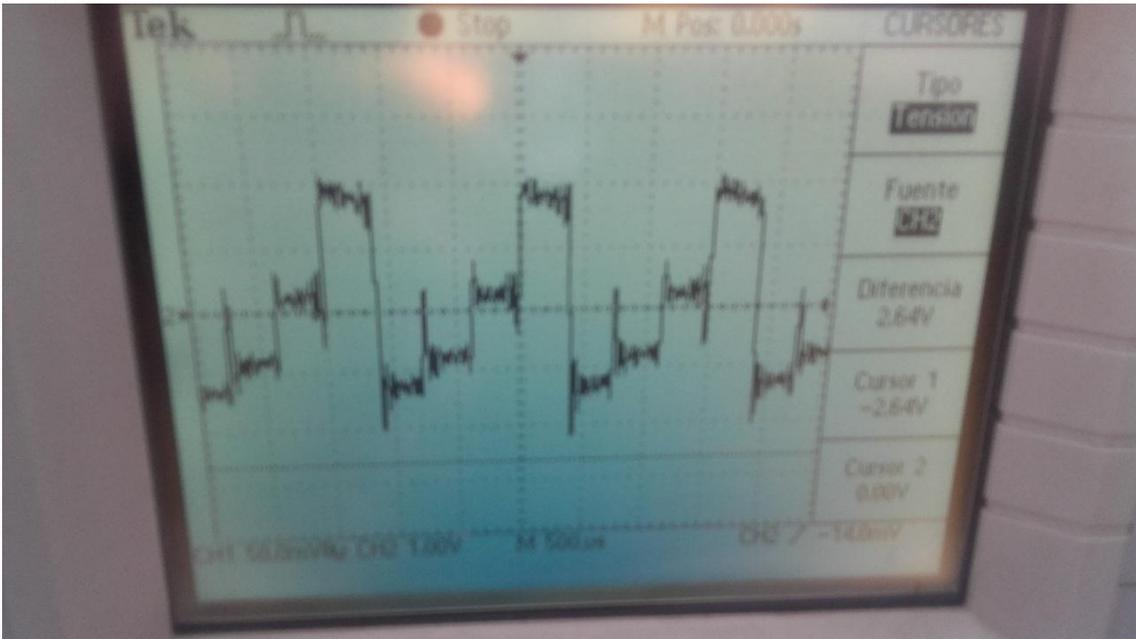


Figura 7.102: Señal obtenida en la salida de audio, con el osciloscopio utilizando SDR.

Finalmente se conectó el receptor de AM diseñado al mismo banco de medición, conectando la salida del mismo al microprocesador, del cual se extraerán las señales PWM. En la Figura 7.103 se observa la salida del receptor en el osciloscopio, mientras que en las Figuras 7.104 y 7.105 se observan la señal en la entrada del demodulador y a la entrada del amplificador de recepción, respectivamente. A todas se las compara con la señal de multiplexado emitida por el microprocesador.

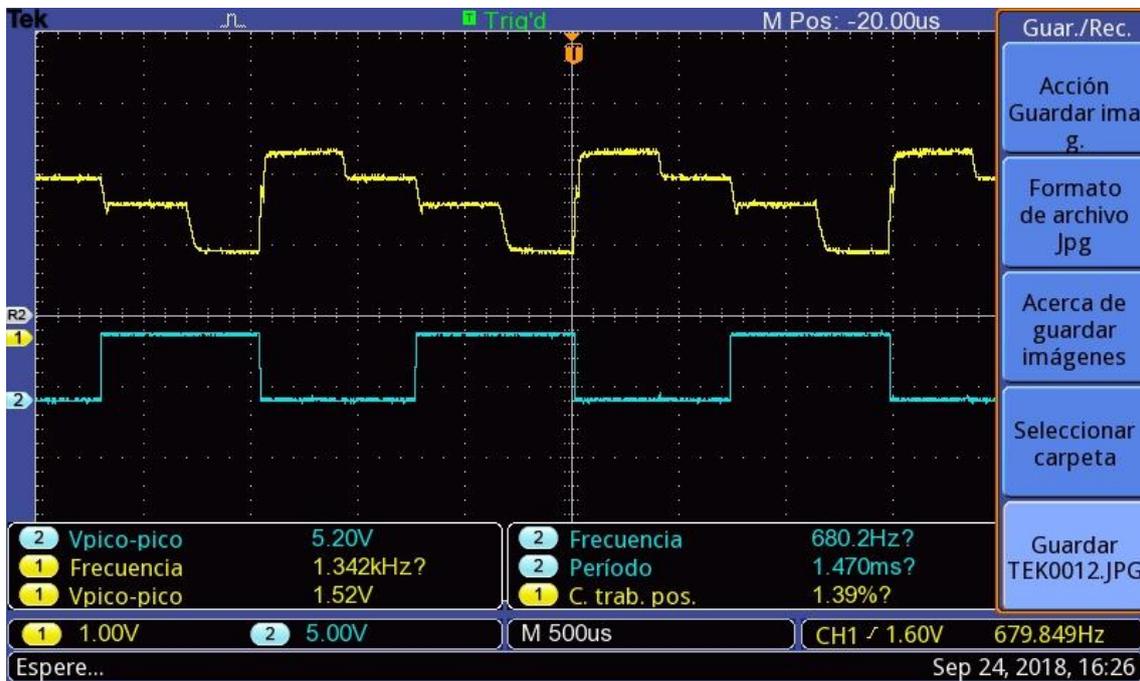


Figura 7.103: Señal obtenida en la salida del receptor, con el osciloscopio utilizando el receptor analógico.

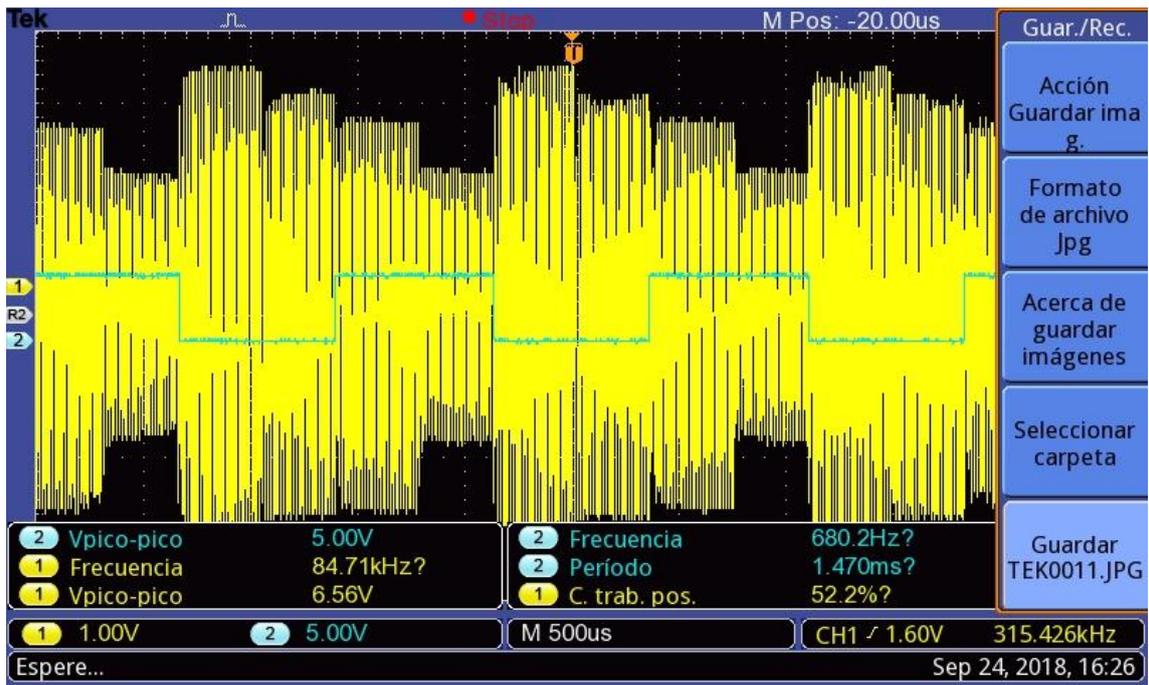


Figura 7.104: Señal obtenida en la entrada del demodulador de AM, con el osciloscopio en el receptor analógico.

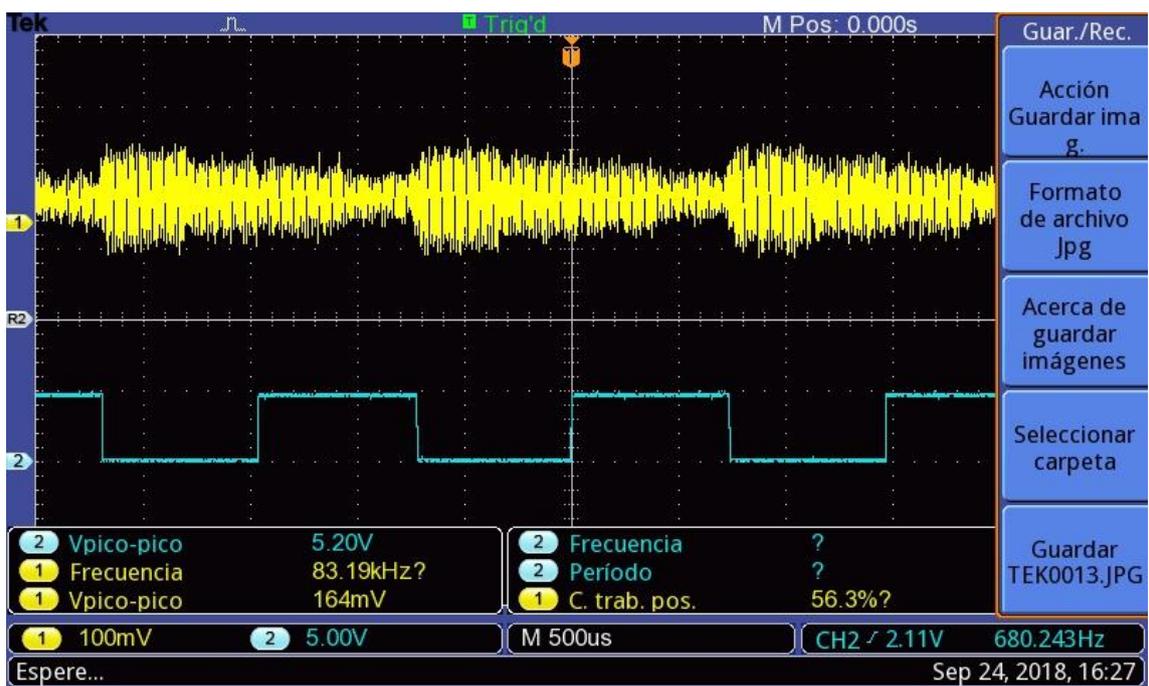


Figura 7.105: Señal obtenida en la entrada, antes del amplificador, con el osciloscopio en el receptor analógico.

Por otro lado, se observan en la Figura 7.106, las salidas PWM correspondientes a los errores de Elevación (superior) y Azimut (inferior).

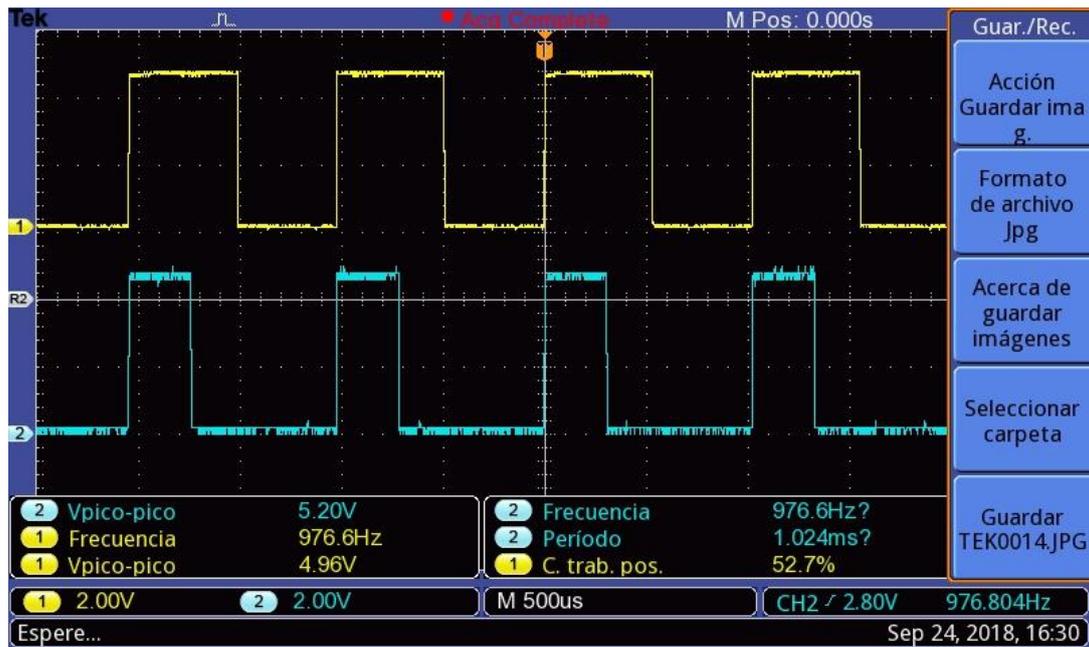


Figura 7.106: Señal PWM obtenida en el osciloscopio, correspondiente al error de Elevación (superior) y Azimut (inferior).

Una vez verificado el funcionamiento del sistema y sus etapas, se procedió a realizar una comparación de los 4 posibles casos de error, es decir, se buscó corroborar las distintas señales de salida para los casos donde se tiene un error en azimut positivo o negativo y un error en elevación positivo o negativo. Para ello se utilizó el sistema de acopladores mencionado en la Figura 7.100 y como referencia se utilizó la Figura 5.5.

- Primer caso: Error en elevación positivo

Para poder realizar la verificación de este caso se conectó el sistema de acopladores a las entradas A y C de la Figura 7.107, dejando las entradas B y D libres. De esta forma se tiene que el error en elevación es $(A+C)/2$.

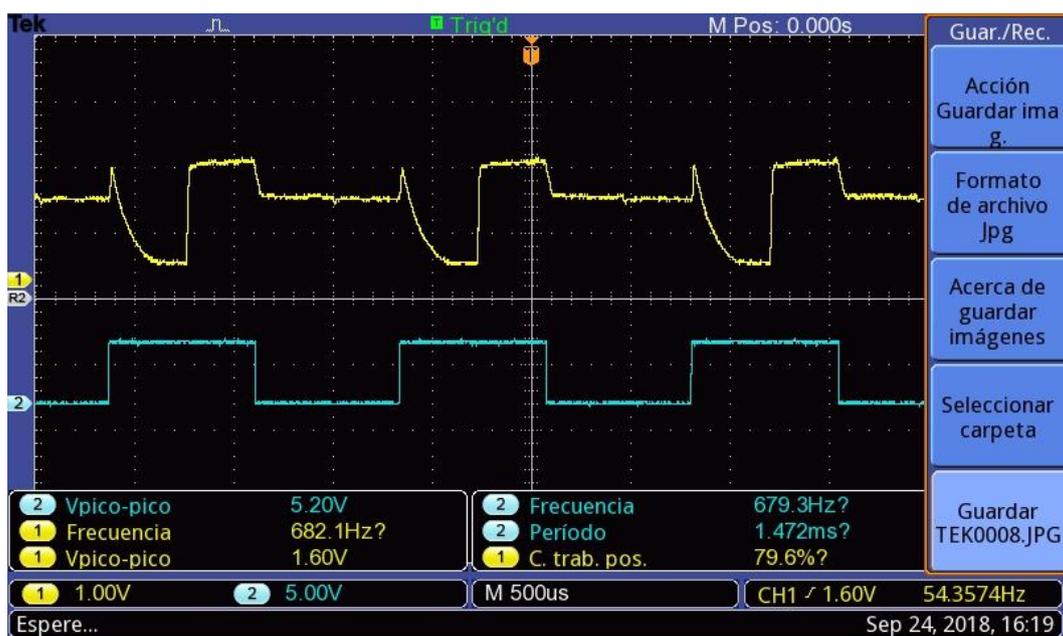


Figura 7.107: Error en elevación positivo (en amarillo) y señal de conmutadores de fs (en azul).

En la Figura 7.107 se puede ver claramente que cuando la señal proveniente de los conmutadores se encuentra en el semiciclo positivo, la señal de error empieza con un semiciclo negativo y luego se hace positivo. Teniendo en cuenta la ubicación de las antenas de la Figura 5.5, esta señal indica que se trata de un error de elevación positivo. En el caso de un error en elevación negativo esta señal deberá aparecer invertida, es decir, comenzando con un semiciclo positivo y luego negativo.

En cuanto a la señal correspondiente al semiciclo negativo de la señal del conmutador, se trata del error en azimut. Idealmente debería estar todo el semiciclo con la misma amplitud, pero el sistema de acopladores no es ideal y se puede presentar diferencias de atenuación en las diferentes entradas. En este caso se puede observar que tiene una ligera mayor amplitud en la primera mitad del semiciclo y luego baja en la segunda mitad.

- Segundo caso: Error en elevación negativo

En este caso para poder realizar la verificación se conectó el sistema de acopladores a las entradas B y D de la Figura 5.5, dejando las entradas A y C libres. De esta forma se tiene que el error en elevación es $-(B+D)/2$. El resultado obtenido se puede ver en la figura 5.11.

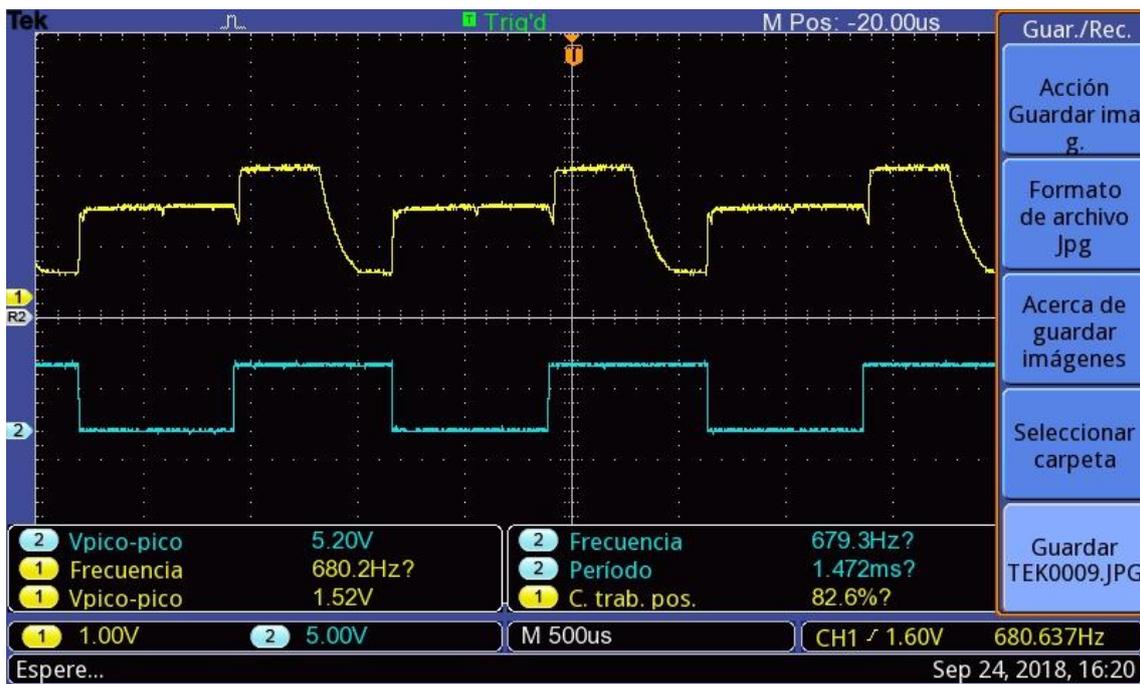


Figura 7.108: Error en elevación negativo (en amarillo) y señal de conmutadores de f_c (en azul).

En la Figura 7.108 se puede ver como se invierte la señal al caso anterior, es decir, cuando la señal proveniente de los conmutadores se encuentra en el semiciclo positivo, la señal de error empieza la primera mitad con un semiciclo positivo y luego se hace negativo. Esta señal indica que se trata de un error de elevación negativo. En la figura se puede ver que cuando la señal pasa de un nivel alto a uno negativo la caída es exponencial, esto se debe a que se trata de una pendiente muy

abrupta y el detector de envolvente tiene un tiempo de decrecimiento mayor. Sin embargo, por un lado se trata de un caso extremo donde no hay señales en 2 de las cuatro antenas, y por el otro a la hora de censar el valor con el microprocesador se toma un margen de seguridad de 0.2ms, de manera que el valor quede establecido.

- Tercer caso: Error en azimut positivo

En este caso se conectó el sistema de acopladores a las entradas C y D de la Figura 5.5, dejando las entradas A y B libres. De esta forma se tiene que el error en elevación es $(C+D)/2$. El resultado obtenido se puede ver en la Figura 7.109.

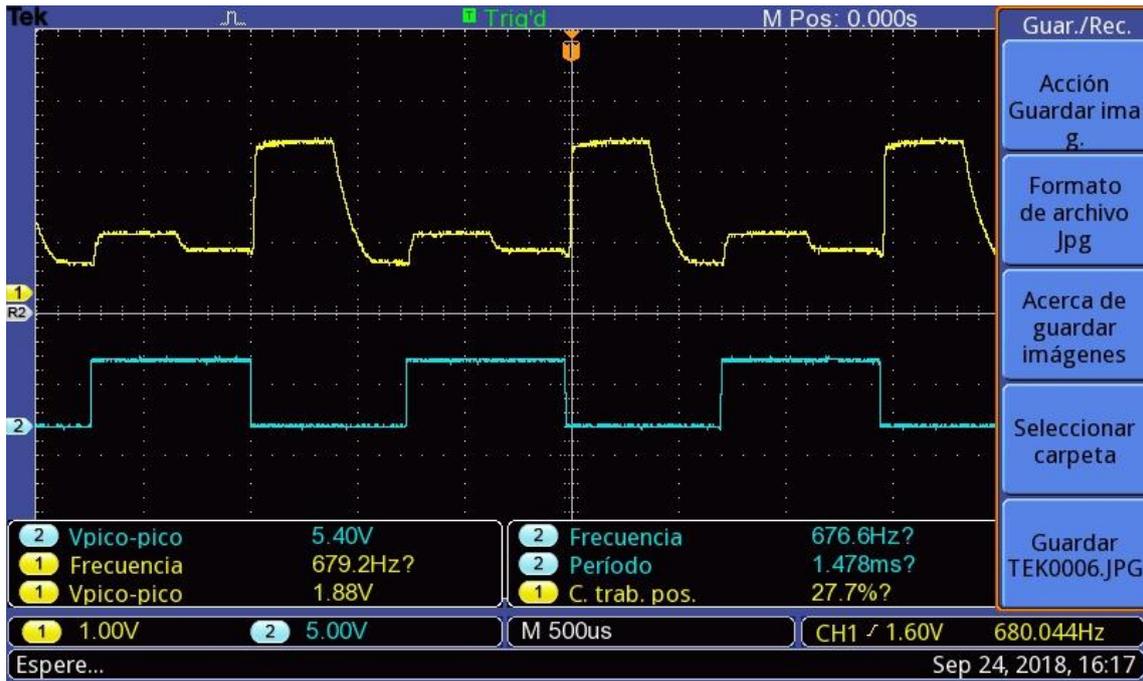


Figura 7.109: Error en azimut positivo (en amarillo) y señal de conmutadores de fs (en azul).

En la Figura 7.109 se puede ver que cuando la señal proveniente de los conmutadores se encuentra en el semiciclo negativo, la señal de error empieza la primera mitad con un semiciclo positivo y luego se hace negativo. Esta señal indica que se trata de un error de azimut positivo. Como se indicó en el primer caso, el sistema de acopladores no es ideal y en este caso la diferencia es más notable. La causa es que se usó 2 acopladores que presentan una diferencia de pérdidas de inserción diferentes.

- Cuarto caso: Error en azimut negativo

En este caso para poder realizar la verificación se conectó el sistema de acopladores a las entradas A y B de la Figura 5.5, dejando las entradas C y D libres. De esta forma se tiene que el error en elevación es $-(A+B)/2$. El resultado obtenido se puede ver en la Figura 7.110.

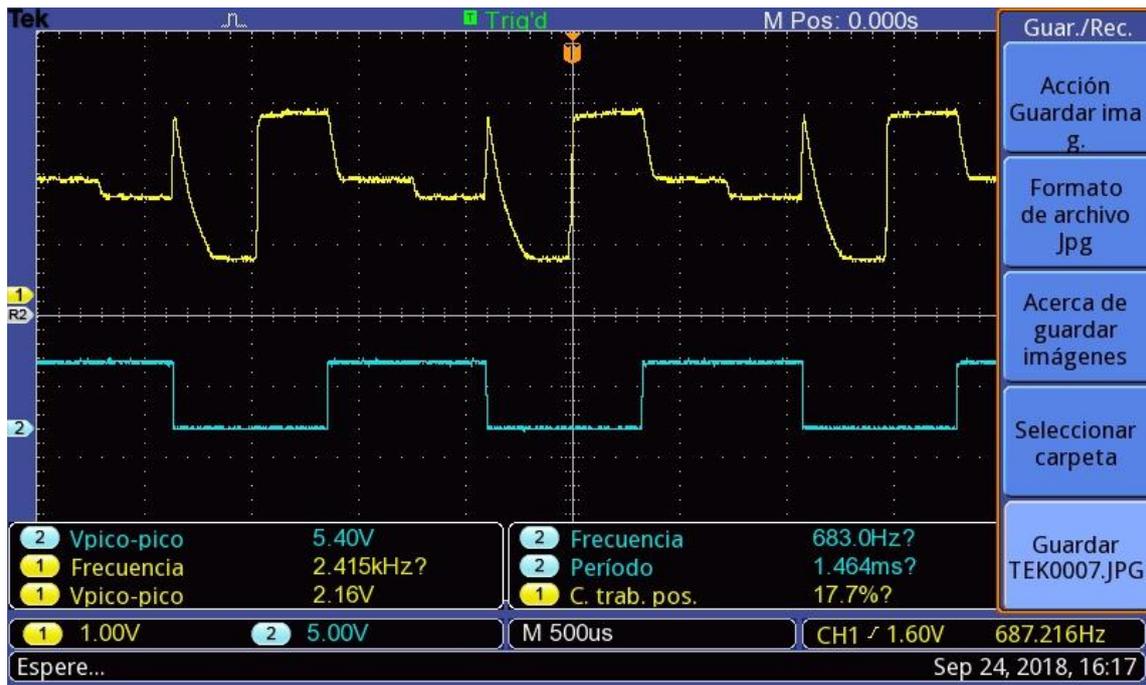


Figura 7.110: Error en azimuth negativo (en amarillo) y señal de conmutadores de fs (en azul).

En la Figura 7.110 se puede ver como se invierte la señal al caso anterior, es decir, que cuando la señal proveniente de los conmutadores se encuentra en el semiciclo negativo, la señal de error empieza la primera mitad con un semiciclo negativo y luego se hace positivo. Esta señal indica que se trata de un error de azimuth negativo.

8 Conclusión

A partir de los resultados obtenidos en las pruebas realizadas al equipo desarrollado, se puede afirmar que el mismo se comporta de la manera esperada, obteniéndose una señal que representa proporcionalmente a las señales de error de azimut y elevación, que proporcionan los datos necesarios para realizar un seguimiento al objetivo, al cual se desea seguir con el sistema de antena. Asimismo, se verificó con éxito que la señal recibida, se correspondía con los signos esperados, de acuerdo a lo que se estableció en la misma medición.

Respecto a las etapas que conforman al sistema en cuestión, sus mediciones respectivas otorgaron valores que se hallaban dentro de los límites de tolerancia establecidos por su diseño y simulación. También se verificó el funcionamiento de las etapas funcionando en subconjuntos entre sí, de manera de garantizar, como después se verificó, el funcionamiento correcto del sistema final.

Tanto para diseño, como para simulación, se utilizaron softwares específicos para cada etapa, por lo que se desarrolló un aprendizaje sobre los mismos de manera de usarlos de manera correcta, teniendo en cuenta los criterios necesarios, de manera de garantizar el funcionamiento de cada dispositivo una vez implementado.

Para el desarrollo del proyecto, se aplicaron conocimientos de líneas de transmisión, más específicamente de microstrip y stripline, y construcción de dispositivos pasivos. También se aplicaron conocimientos de comunicaciones, en la búsqueda de obtener la señal en cuestión, construyéndose un sistema receptor que lograra demodular a la misma. Por otro lado, el desarrollo del sistema completo, implicó el conocimiento de radares, posicionamiento y similares, para poder desarrollarlo en su conjunto.

Para verificar su funcionamiento, además, antes de realizar un sistema receptor, se utilizó un dispositivo SDR, aprendiendo sobre su funcionamiento tanto en hardware como software para ello. De esta manera, se verificó el funcionamiento de etapas previas, permitiéndose así el diseño del receptor analógico en cuestión.

A modo de cierre, se concluye que los resultados obtenidos tanto en etapas individuales como en conjunto respondieron a las especificaciones establecidas, y se desarrollaron y aprendieron conceptos tanto en hardware como software valiosos para el desarrollo profesional en áreas diversas del campo.

9 Mejoras y desarrollos futuros

Las posibles mejoras y/o desarrollos aplicables al proyecto realizado, son variadas y de distintos calibres.

La propuesta más inmediata de mejora consiste en generar una placa única para todo el sistema en lugar de utilizar placas separadas. Para ello se deben tener en cuenta cuestiones de diseño fundamentales, relativas a fase y transferencia de los distintos dispositivos, ya sea las líneas de transmisión como en los circuitos implementados. Esto garantizaría mejor practicidad de manejo y aplicación en un equipamiento, que incluya a la antena y los servos.

Una etapa que merece cierta atención es la de procesamiento, ya que la señal requerida para el manejo correcto de los servomecanismos con precisión ya sea debido al propio funcionamiento de los mismos como por cuestiones prácticas que surgen de la misma implementación del equipo desarrollado. Para ellos se deberán tener en cuenta cuestiones de procesamiento, ya que el sistema no puede tolerar demoras.

Se debe armar un arreglo de antenas, que responda a las topologías que fueron expuestas en el marco teórico para el presente sistema. Este sistema tiene que ser lo suficientemente robusto, en todos sus parámetros (ROE, ancho de banda, directividad) de tal manera que la señal sea distinguible y no se genere interferencia a su vez entre los distintos lóbulos.

Respecto a SDR, se podría utilizar algún sistema operativo en tiempo real, con un procesador de gran capacidad de procesamiento, para poder aprovechar sus capacidades al máximo.

Finalmente, es necesario desarrollar un sistema de control acorde, que interprete las señales emitidas por el sistema desarrollado y mediante ellas, poder manejar a los servomecanismos que orienten a la antena en la dirección del dispositivo transmisor. Para diseñar una planta a ser controlada, se debe tener en cuenta no solo la característica de la señal entrante, sino que también los servos y la antena en sí.

Anexo I: Líneas de transmisión

I.1 Introducción

La principal diferencia entre la teoría de circuitos y la teoría de líneas de transmisión es el tamaño eléctrico. Los análisis de circuitos suponen que las dimensiones físicas de la red son mucho más pequeñas que la longitud de onda eléctrica, mientras que las líneas de transmisión pueden ser una fracción considerable de una longitud de onda, o muchas longitudes de onda, en tamaño. Por lo tanto, una línea de transmisión es una red de parámetros distribuidos, donde los voltajes y las corrientes pueden variar en magnitud y fase en toda su longitud, mientras que el análisis ordinario de circuitos trata con elementos concentrados, donde el voltaje y la corriente prácticamente no varía sobre la dimensión física de los elementos.

I.2 Características

Como se muestra en la Figura I.1a, una línea de transmisión se puede representar esquemáticamente como una línea de dos cables, ya que las líneas de transmisión (para la propagación de ondas electromagnéticas transversales, o TEM) siempre tienen al menos dos conductores. La línea de longitud infinitesimal Rz de la Figura I.1a puede modelarse como un circuito de elementos agrupados, como se muestra en la Figura I.1b, donde R , L , G y C son cantidades por unidad de longitud definidas de la siguiente manera:

- R = resistencia en serie por unidad de longitud, para ambos conductores, en Ω / m .
- L = inductancia en serie por unidad de longitud, para ambos conductores, en H/m .
- G = conductancia en derivación por unidad de longitud, en S / m .
- C = capacitancia en derivación por unidad de longitud, en F / m .

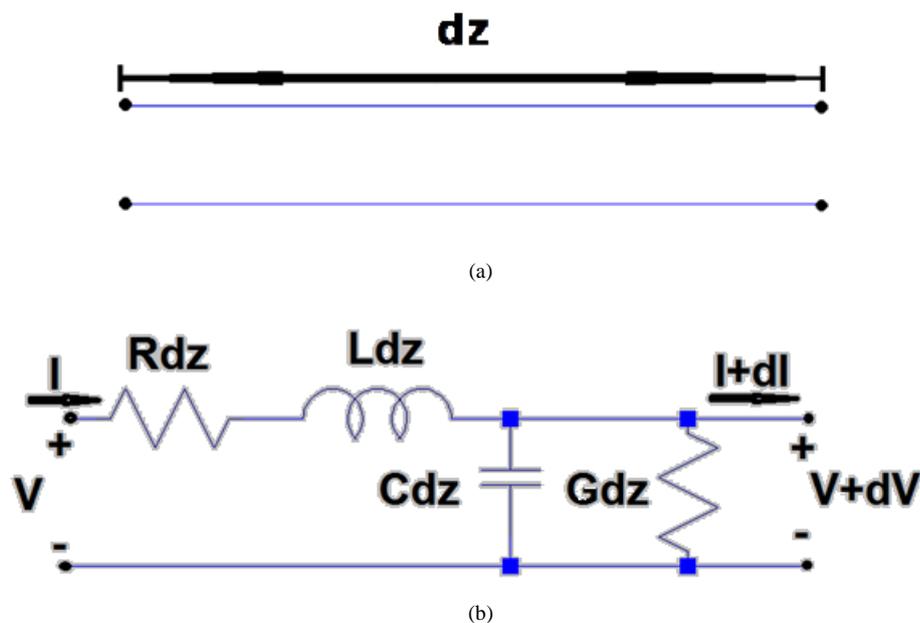


Figura I.1: Circuito equivalente de una línea de transmisión TEM o cuasi-TEM de longitud dz

La inductancia en serie L representa la inductancia total de los dos conductores, y la capacitancia en derivación C se debe a la proximidad de los dos conductores. La resistencia en serie R representa la resistencia debida a la conductividad finita de los conductores individuales, y la conductancia en derivación G se debe a la pérdida dieléctrica en el material entre los conductores. R y G , por lo tanto, representan pérdidas.

Del circuito de la Figura I.1b, la ley de voltaje de Kirchhoff se puede aplicar, obteniéndose la Ecuación I.1.

$$v(z, t) - Rdz i(z, t) - Ldz \frac{di(z, t)}{dt} - v(z, t) - dv(z, t) = 0 \quad (I.1)$$

Y la ley de corriente de Kirchhoff nos da la Ecuación I.2.

$$i(z, t) - Gdz(v(z, t) + dv(z, t)) - Cdz \frac{d(v(z, t) + dv(z, t))}{dt} - i(z, t) - di(z, t) = 0 \quad (I.2)$$

Dividiendo I.1 y I.2 por dz y tomado el límite cuando dz tiende a cero da las ecuaciones diferenciales I.3 y I.4.

$$\frac{dv(z, t)}{dz} = -Ri(z, t) - L \frac{di(z, t)}{dt} \quad (I.3)$$

$$\frac{di(z, t)}{dz} = -Gv(z, t) - C \frac{dv(z, t)}{dt} \quad (I.4)$$

Estas son las ecuaciones de las líneas de transmisión en el dominio del tiempo, también conocidas como **ecuaciones de telegrafía**.

Para la condición de estado estacionario sinusoidal, con fasores basados en coseno, (I.3) y (I.4) se pueden simplificar a las Ecuaciones I.5 y I.6.

$$\frac{dV(z)}{dz} = -(R + j\omega L)I(z) \quad (I.5)$$

$$\frac{dI(z)}{dz} = -(G + j\omega C)V(z) \quad (I.6)$$

I.2.1 Propagación de onda en una línea de transmisión

Las dos Ecuaciones I.5 y I.6 se pueden resolver simultáneamente para dar ecuaciones de onda para $V(z)$ y $I(z)$, representadas en las Ecuaciones I.7 y I.8, respectivamente.

$$\frac{d^2V(z)}{dz^2} - \gamma^2 V(z) = 0 \quad (I.7)$$

$$\frac{d^2I(z)}{dz^2} - \gamma^2 I(z) = 0 \quad (I.8)$$

Donde γ es la constante de propagación compleja, en el dominio de frecuencia, representada en la Ecuación I.9.

$$\gamma = \alpha + j\beta = \sqrt{(R + j\omega L)(G + j\omega C)} \quad (I.9)$$

I.2.2 Impedancia característica

Resolviendo las Ecuaciones diferenciales I.7 y I.8 se obtienen las resoluciones que se visualizan en las Ecuaciones I.10 y I.11.

$$V(z) = V_0 e^{-\gamma z} + V_0^- e^{\gamma z} \quad (\text{I.10})$$

$$I(z) = I_0 e^{-\gamma z} + I_0^- e^{\gamma z} \quad (\text{I.11})$$

Donde el término $e^{-\gamma z}$ representa la propagación de la onda en la dirección $+z$, y el término $e^{\gamma z}$ representa la propagación de la onda en la dirección $-z$. Aplicando la Ecuación I.5 al voltaje representado en la Ecuación I.10 da la corriente sobre la línea de transmisión, que se visualiza en la Ecuación I.12.

$$I(z) = \frac{\gamma}{R+j\omega L} (V_0 e^{-\gamma z} + V_0^- e^{\gamma z}) \quad (\text{I.12})$$

Comparando a las Ecuaciones I.12 y I.11 muestra que la impedancia característica Z_0 , puede ser definida como se denota en la Ecuación I.13.

$$Z_0 = \frac{R+j\omega L}{\gamma} = \sqrt{\frac{R+j\omega L}{G+j\omega C}} \quad (\text{I.13})$$

En líneas de transmisión fabricados con metales normales y encerrados en un dieléctrico de bajas pérdidas y en las frecuencias de microondas, las condiciones de bajas pérdidas $\omega L \gg R$ y $\omega C \gg G$ generalmente se cumplen, por lo que la Ecuación I.13 queda reducida a la Ecuación I.14.

$$Z_0 \approx \sqrt{\frac{L}{C}} \quad (\text{I.14})$$

I.2.3 Pérdidas en la línea de transmisión

Relacionando la Ecuación I.14 y la Ecuación I.9 (γ) se obtiene que la siguiente relación, representada en la Ecuación I.15.

$$\gamma = \alpha + j\beta = \frac{1}{2} \left(\frac{R}{Z_0} + G Z_0 \right) + j\omega \sqrt{LC} \quad (\text{I.15})$$

Donde $\omega = 2\pi f$ es la frecuencia angular. En esta ecuación se definen dos nuevos parámetros, α y β . β y v_p indican la constante de fase y la velocidad de fase, respectivamente, también en la dirección de propagación. En la Ecuación I.16, se puede observar cómo están relacionadas ω y v_p .

$$\beta = \frac{\omega}{v_p} = \omega \sqrt{LC} \quad \text{Radianes/unidad de longitud} \quad (\text{I.16})$$

La constante de atenuación α estará dada por la Ecuación I.17. La unidad que posee es denominada Neper (Np), y se diferencia con el Decibel (dB) en que en lugar de usar logaritmo decimal, usa logaritmo natural.

$$\alpha = \frac{1}{2} \left(\frac{R}{Z_0} + GZ_0 \right) \quad \text{Np/unidad de longitud} \quad (\text{I.17})$$

Comúnmente la atenuación se expresa en decibeles (db) en lugar de nepers (Np). Las pérdidas en db se obtienen de multiplicar las pérdidas en nepers por 8,686, resultando en la Ecuación I.18.

$$\alpha = 4,343 \left(\frac{R}{Z_0} + GZ_0 \right) \quad \text{dB/unidad de longitud} \quad (\text{I.18})$$

Despejando L de la Ecuación I.16 y reemplazando en la Ecuación I.14 nos queda una relación muy significativa. Entre la impedancia característica Z_0 , la capacidad de la línea C y la velocidad de fase v_p , visualizada en la Ecuación I.19.

$$Z_0 = \frac{1}{v_p C} \quad (\text{I.19})$$

Esta última nos muestra que la impedancia característica Z_0 está relacionada con la velocidad de fase a lo largo de la línea de transmisión y a la capacidad entre los conductores de dicha línea de transmisión.

En la Ecuación I.18 se puede ver que la atenuación de la línea se debe a dos factores: a la resistencia en serie R y a la conductancia en derivación G. La atenuación total por lo tanto se puede expresar como se ve en las Ecuaciones I.20, I.21 y I.22.

$$\alpha = \alpha_c + \alpha_d \quad (\text{I.20})$$

$$\alpha_c = \frac{R}{2Z_0} \quad \text{Np/unidad de longitud} \quad (\text{I.21})$$

$$\alpha_d = \frac{GZ_0}{2} \quad \text{Np/unidad de longitud} \quad (\text{I.22})$$

Donde α_c indica las pérdidas del conductor y α_d indica las pérdidas del dieléctrico

I.3 Líneas planares

I.3.1 Microstrip

La línea Microstrip es uno de los tipos más populares de líneas de transmisión plana, principalmente porque puede ser fabricado por procesos fotolitográficos y es fácilmente miniaturizado e integrado con dispositivos de microondas pasivos y activos. La geometría de una línea de microstrip se muestra en la Figura I.2. Un conductor de ancho W está impreso en un delgado, sustrato dieléctrico con conexión a tierra de espesor d y permitividad relativa ϵ_r ; un boceto de las líneas de campo se muestra en la Figura I.3.

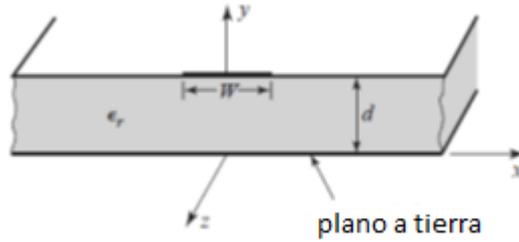


Figura 2.2: Geometría de una línea de microstrip

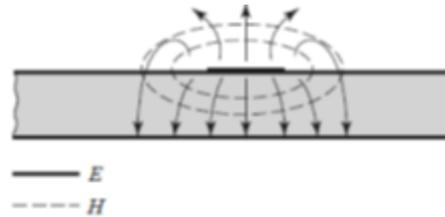


Figura I.3: Línea de campo magnético y electromagnético de una línea de microstrip

Si el sustrato dieléctrico no estuviera presente ($\epsilon_r = 1$), tendríamos una línea de dos hilos que consiste en un conductor de banda plana sobre un plano de tierra, incrustado en un medio homogéneo (aire). Esto constituiría una simple línea de transmisión TEM con velocidad de fase $v_p = c$ y constante de fase $\beta = k_0$.

La presencia del dieléctrico, particularmente el hecho de que el dieléctrico no llena la región por encima de la franja ($y > d$), complica el comportamiento y el análisis de la línea microstrip. A diferencia de stripline, el cual será analizado en el Anexo II, donde todos los campos están contenidos dentro de una región dieléctrica homogénea, microstrip tiene algunas (generalmente la mayoría) de sus líneas de campo en la región dieléctrica entre la banda conductora y el plano de tierra y alguna fracción en la región de aire por encima del sustrato, por esta razón, la línea de microstrip no puede soportar una onda TEM pura ya que la velocidad de fase de los campos TEM en la región dieléctrica serían $\frac{c}{\sqrt{\epsilon_r}}$, mientras que la velocidad de fase de los campos TEM en la región de aire sería c , por lo que una condición de coincidencia de fase en la interfaz dieléctrico-aire sería imposible de hacer cumplir.

En realidad, los campos exactos de una línea de microstrip constituyen una onda híbrida TM-TE y requieren técnicas de análisis más avanzadas. En la mayoría de las aplicaciones prácticas, sin embargo, el sustrato dieléctrico es eléctricamente muy delgado ($d \ll \lambda$), por lo que los campos son casi TEM. En otras palabras, los campos son esencialmente los mismos que los del caso estático (DC). Por lo tanto, se pueden obtener buenas aproximaciones para la velocidad de fase, la constante de propagación y la impedancia característica a partir de soluciones estáticas o cuasi-estáticas.

Entonces la velocidad de fase y la constante de propagación se pueden expresar como en las Ecuaciones I.23 y I.24 respectivamente.

$$v_p = \frac{c}{\sqrt{\epsilon_e}} \tag{I.23}$$

$$\beta = k_0 \sqrt{\epsilon_e} \tag{I.24}$$

Siendo ϵ_r la constante dieléctrica efectiva de la línea de microstrip. Debido a que algunas líneas del campo están en la región del dieléctrico y otras en el aire, la constante dieléctrica efectiva satisface la siguiente condición

$$1 < \epsilon_e < \epsilon_r$$

La misma depende de la constante dieléctrica del sustrato, el espesor del sustrato, el ancho del conductor y la frecuencia.

El problema cuasi-estático de una línea de microstrip fue resuelta analíticamente por Wheeler [7]. A continuación, se presentarán las fórmulas aproximadas de diseño para la constante dieléctrica efectiva, impedancia característica y atenuación de la línea microstrip que se deducen debido a las propiedades físicas explicadas por diversos autores [5,6].

La constante dieléctrica efectiva de una línea microstrip está dada aproximadamente por la Ecuación I.25.

$$\epsilon_e = \frac{\epsilon_r + 1}{2} \frac{\epsilon_r - 1}{2} \frac{1}{\sqrt{1 + 12 \frac{d}{W}}} \quad (\text{I.25})$$

La constante dieléctrica efectiva puede ser interpretada como la constante dieléctrica de un medio homogéneo que reemplaza equivalentemente a las regiones de aire y dieléctricas de la línea de microstrip, como se muestra en la Figura I.4.

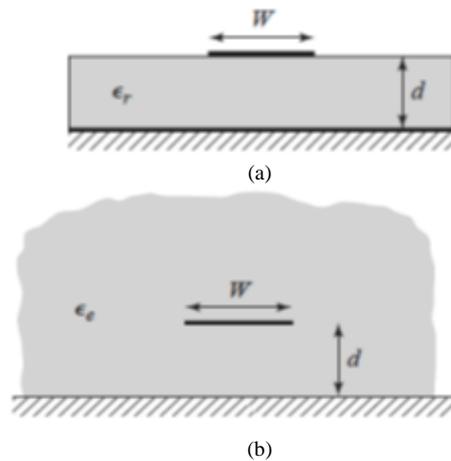


Figura I.4: Geometría original de una línea de microstrip. (a) Geometría equivalente, donde el sustrato dieléctrico de permitividad ϵ_r es reemplazado con un medio homogéneo de permitividad relativa efectiva ϵ_e (b)

Dadas las dimensiones de la línea microstrip, se puede calcular la impedancia característica como se visualiza en las Ecuaciones I.26 y I.27 (la diferencia esta como se denota en las mismas, acorde a las dimensiones).

$$Z_0 = \frac{60}{\sqrt{\epsilon_e}} \ln\left(\frac{8d}{W} + \frac{W}{4d}\right) \quad \text{para } \frac{W}{d} \leq 1 \quad (\text{I.26})$$

$$Z_0 = \frac{120\pi}{\sqrt{\epsilon_e} \left[\frac{W}{d} + 1.393 + 0.667 \ln\left(\frac{W}{d} + 1.444\right) \right]} \quad \text{para } \frac{W}{d} \geq 1 \quad (\text{I.27})$$

Dada una impedancia característica Z_0 y una constante dieléctrica ϵ_r , la relación $\frac{W}{d}$ puede ser encontrada de acuerdo a las Ecuaciones I.28 y I.29.

$$\frac{W}{d} = \frac{8e^A}{e^{2A}-2} \quad \text{para } \frac{W}{d} < 2 \quad (\text{I.28})$$

$$\frac{W}{d} = \frac{2}{\pi} [B - 1 - \ln(2B - 1) + \frac{\epsilon_r - 1}{2\epsilon_r} \{\ln(B - 1) + 0.39 - \frac{0.61}{\epsilon_r}\}] \quad \text{para } \frac{W}{d} > 2 \quad (\text{I.29})$$

A y B son definidas en las Ecuaciones I.30 y I.31, respectivamente.

$$A = \frac{Z_0}{60} \sqrt{\frac{\epsilon_r + 1}{2}} + \frac{\epsilon_r - 1}{\epsilon_r + 1} (0.23 + \frac{0.11}{\epsilon_r}) \quad (\text{I.30})$$

$$B = \frac{377 \pi}{2Z_0 \sqrt{\epsilon_r}} \quad (\text{I.31})$$

Considerando una línea de microstrip como una línea cuasi-TEM, podemos determinar la atenuación debido a la pérdida dieléctrica, como se visualiza en la Ecuación I.32.

$$\alpha_d = \frac{k_0 \epsilon_r (\epsilon_r - 1) \tan \delta}{2\sqrt{\epsilon_r} (\epsilon_r - 1)} \quad \text{Np/m} \quad (\text{I.32})$$

Se define también $\tan \delta$ como la pérdida tangencial del dieléctrico. La atenuación debida a la pérdida del conductor se da aproximadamente por la Ecuación I.33.

$$\alpha_c = \frac{R_s}{Z_0 W} \quad \text{Np/m} \quad (\text{I.33})$$

$$R_s = \sqrt{\frac{\omega \mu_0}{2\sigma}} \quad (\text{I.34})$$

Es este caso R_s es la resistividad superficial del conductor. Para la mayoría de los sustratos de microstrip, la pérdida de conductores es más importante que la pérdida dieléctrica; pueden ocurrir excepciones con algunos sustratos semiconductores.

I.3.2 Stripline

Es un tipo de línea de transmisión planar formada por una tira de conductor delgada de anchura “W” y centrada entre dos planos de masa conductores separados por un espesor “b”, mientras que el espacio vacío entre los planos de masa está compuesto por un material dieléctrico, cuya principal característica es su constante dieléctrica ϵ_r . En la Figura I.5 se puede observar su geometría básica.

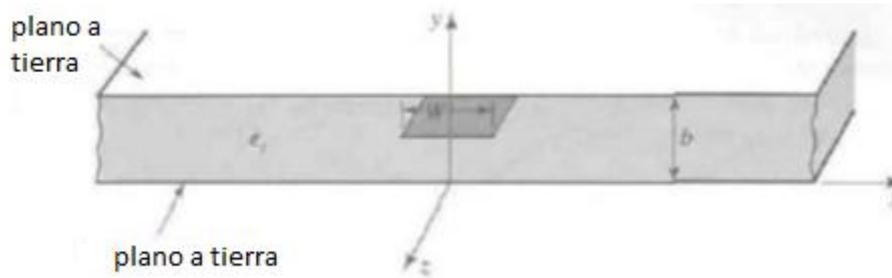


Figura 2.5: Geometría de una línea de stripline

Como la tira conductora se encuentra completamente rodeada por un dieléctrico, el stripline puede soportar modos de propagación TEM (Transversal Electromagnético) puros, e incluso modos TM (Transversal Magnético) y TE (Transversal Eléctricos) de orden superior. En la Figura I.6 se pueden ver las líneas del campo eléctrico y magnético.

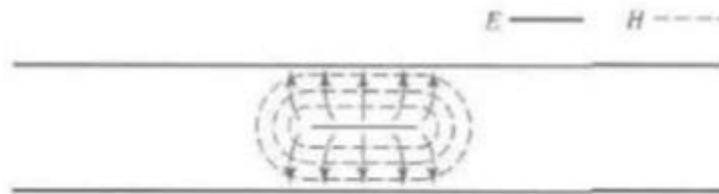


Figura 2.6: Líneas de campo eléctrico y magnético de una línea de stripline

Al igual que el microstrip, las líneas de transmisión y guías de onda, el stripline no tiene un análisis simple, sin embargo, para obtener la constante de propagación y la impedancia característica es suficiente con realizar un análisis electrostático. A continuación, se presentan soluciones aproximadas de estos parámetros, la solución exacta vendría de resolver la ecuación homogénea de Laplace.

La velocidad de fase para un modo de propagación TEM viene dada por la Ecuación I.35.

$$v_p = \frac{1}{\sqrt{\mu_0 * \epsilon_0 * \epsilon_r}} = \frac{c}{\sqrt{\epsilon_r}} \quad (I.35)$$

Donde c es la velocidad de la luz en el vacío. La constante de propagación se puede visualizar en la Ecuación I.36.

$$\beta = \frac{\omega}{v_p} = \omega \sqrt{\mu_0 * \epsilon_0 * \epsilon_r} = \frac{\epsilon_r}{k_0} \quad (I.36)$$

La impedancia característica de la línea resulta en la Ecuación I.37.

$$Z_0 = \sqrt{\frac{L}{C}} = \frac{\sqrt{L * C}}{C} = \frac{1}{C * v_p} \quad (I.37)$$

Donde L y C son la inductancia y capacitancia por unidad de longitud de la línea. Conociendo C se puede encontrar la impedancia característica de la línea.

Resolviendo las ecuaciones de Laplace se puede encontrar la capacidad por unidad de longitud de stripline, pero la solución resultante involucra funciones especiales complejas [1] por lo que, para cálculos prácticos simples, las formulas se han

desarrollado ajustando la curva a la solución exacta [1]. La fórmula resultante para la impedancia característica es la presentada en la Ecuación I.38.

$$Z_0 = \frac{30 \pi}{\sqrt{\epsilon_r}} \frac{b}{W_e + 0.441b} \quad (\text{I.38})$$

Donde W_e es el ancho efectivo del conductor central dado por la Ecuación I.39.

$$\frac{W_e}{b} = \frac{W}{b} - \begin{cases} 0 & \text{para } \frac{W}{b} > 0.35 \\ (0.35 - \frac{W}{b})^2 & \text{para } \frac{W}{b} < 0.35 \end{cases} \quad (\text{I.39})$$

Estas fórmulas asumen una tira con grosor tendiendo a cero y son citadas con una precisión aproximadamente del 1% de los resultados exactos. Se ve en la Ecuación I.39 que la impedancia característica disminuye a medida que aumenta el ancho de la tira W . Al diseñar circuitos de stripline, generalmente se necesita encontrar el ancho de la tira, dado la impedancia característica (altura b y permitividad relativa ϵ_r), que requiere la inversa de las fórmulas recién mencionadas. Tales formulas han sido derivadas como se ven en la Ecuación I.40.

$$\frac{W}{b} = \begin{cases} x & \text{para } \sqrt{\epsilon_r} Z_0 < 120 \Omega \\ 0.85 - \sqrt{0.6 - x} & \text{para } \sqrt{\epsilon_r} Z_0 > 120 \Omega \end{cases} \quad (\text{I.40})$$

Donde “x” es la representada en la Ecuación I.41.

$$x = \frac{30 \pi}{\sqrt{\epsilon_r} Z_0} - 0.441 \quad (\text{I.41})$$

Como stripline es una línea TEM, la atenuación debido a la pérdida dielectrica es de la misma forma que el de otras líneas TEM. La atenuación debido a la pérdida del conductor se puede encontrar mediante el método de perturbación o la regla de inductancia incremental de Wheeler. El resultado aproximado es el que se observa en la Ecuación I.42.

$$\alpha_c = \begin{cases} \frac{2.7 \cdot 10^{-3} R_s \epsilon_r Z_0}{30 \pi (b-t)} A & \text{para } \sqrt{\epsilon_r} Z_0 < 120 \Omega \\ \frac{0.16 R_s}{Z_0 b} B & \text{para } \sqrt{\epsilon_r} Z_0 > 120 \Omega \end{cases} \quad (\text{I.42})$$

Donde A y B, son representadas en las Ecuaciones I.43 y I.44, respectivamente.

$$A = 1 + \frac{2W}{b-t} + \frac{1}{\pi} \frac{b+t}{b-t} \ln\left(\frac{2b-t}{t}\right) \quad (\text{I.43})$$

$$B = 1 + \frac{b}{(0.5W+0.7t)} \left(0.5 + \frac{0.414t}{W} + \frac{1}{2\pi} \ln \frac{4\pi W}{t}\right) \quad (\text{I.44})$$

Donde t es el espesor de la tira.

I.4 Bibliografía

- [1] **D. M. Pozar.** (2012) Microwave Engineering. Estados Unidos: Artech House.
- [2] **R. Mongia, I. Bahl y P. Bhartia.** (1999) RF and Microwave Coupled-Line Circuits. Estados Unidos: Artech House.
- [3] **A. S. Prieto,** (2009) Diseño de acopladores direccionales para matrices de Butler. Argentina: Universidad Nacional de Buenos Aires.
- [4] **E. J. B. Acosta y M. E. R. Saladen,** (2004) Circuitos demostrativos y tutorial para el diseño y construcción de circuitos de RF. Argentina: Universidad Nacional de Cordoba.
- [5] **I. J. Bahl and D. K. Trivedi.** (1977) A Designer's Guide to Microstrip Line Microwaves, pp. 174–182. Estados Unidos: Artech House.
- [6] **K. C. Gupta, R. Garg, and I. J. Bahl.** (1979) Microstrip Lines and Slotlines. Estados Unidos: Artech House.
- [7] **Wheeler H.A.** Transmission Line Properties of Parallel Strips Separated by a Dielectric Sheet. Estados Unidos: McGraw Hill.

Anexo II: Dispositivos Pasivos

II.1 Introducción

La teoría clásica de circuitos viene descrita en términos de tensiones y corrientes. Sin embargo, en alta frecuencia los efectos de propagación (ondas propagándose en ambos sentidos en una línea de transmisión, coeficientes de reflexión, etc.) sugieren una descripción nueva, denominada parámetros de dispersión, scattering o parámetros S.

Estos parámetros ponen de manifiesto de forma evidente los aspectos de propagación del circuito que se estudie y su medida puede hacerse de manera más directa y sencilla que los parámetros de impedancia o admitancia. Además permiten incorporar fácilmente las guías de onda, las cavidades y otros elementos que inicialmente solo eran tratables a través de su descripción electromagnética completa.

II.2 Parámetros scattering

Los parámetros scattering, también conocidos como parámetros S, representan como la potencia que ingresa en un determinado circuito es distribuida entre todos sus puertos.

Un circuito puede tener “n” puertos, en los cuales pueden entrar o salir potencia. Por lo tanto se tiene “n” ondas incidentes y “n” ondas reflejadas. Es decir, la potencia que ingresa en un determinado puerto se puede distribuir entre todos los puertos para formar ondas reflejadas.

Asociado a cada puerto esta la noción de plano de referencia en el que la amplitud de la onda incidente y la fase se definen. Al tratarse de una red de “n” puertos, las ondas incidentes y reflejadas se pueden representar por medio de un vector “A” y un vector “B” de n valores complejos (ya que contiene la información de amplitud y fase), respectivamente. El vector B está representado en función de las ondas de entrada y por la matriz S (scattering) de dimensiones (n*n). En general los valores de la matriz S dependen de la frecuencia. En la Ecuación II.1 es representada la relación.

$$B=S*A \quad (II.1)$$

O matricialmente, se observa en la Ecuación II.2.

$$\begin{pmatrix} b_1 \\ b_2 \\ \dots \\ b_n \end{pmatrix} = \begin{pmatrix} s_{11} & s_{12} & \dots & s_{1n} \\ s_{21} & s_{22} & \dots & s_{2n} \\ \dots & \dots & \dots & \dots \\ s_{n1} & s_{n2} & \dots & s_{nn} \end{pmatrix} * \begin{pmatrix} a_1 \\ a_2 \\ \dots \\ a_n \end{pmatrix} \quad (II.2)$$

Un elemento de la matriz scattering puede ser determinada como se observa en la Ecuación II.3.

$$s_{ij} = \frac{b_i}{a_j} \quad \text{cuando} \quad a_k = 0 \quad \text{para } k \neq j \quad (II.3)$$

La Ecuación II.3 dice que S_{ij} se encuentra manejando el puerto j con una onda incidente de voltaje a_j y midiendo la amplitud de onda reflejada b_i que sale del puerto i . Las ondas incidentes en todos los puertos, excepto el j -ésimo puerto, se establecen en cero, lo que significa que todos los puertos deben terminarse en cargas coincidentes para evitar reflejos. Por lo tanto, S_{ii} es el coeficiente de reflexión visto mirando en el puerto i cuando todos los demás puertos terminan en cargas coincidentes, y S_{ij} es el coeficiente de transmisión del puerto j al puerto i cuando todos los demás puertos se terminan en cargas coincidentes.

II.2.1 Reciprocidad

Una matriz es recíproca si tiene simetría respecto a la diagonal principal, por lo tanto la matriz S va a tener reciprocidad si se cumple que $S_{ji}=S_{ij}$, donde i y j son enteros entre 1 y n . Es decir que los puertos de entrada y salida se pueden intercambiar sin modificar la distribución de la potencia.

Un ejemplo que cumple con esta condición es precisamente el híbrido- π , el cual se verá más adelante, en esta misma sección.

Algunos dispositivos no recíprocos son las ferritas. Son utilizados para construir aislantes, desplazadores de fase, circuladores y mezcladores de potencia.

II.2.2 Ausencia de pérdidas

Una red sin pérdidas es aquella que no consume potencia, en otras palabras, la potencia incidente es igual a la potencia reflejada. Por lo tanto, $\text{Re} \{P_{\text{promedio}}\} = 0$

$$[S]^t [S]^* = [U] \quad (\text{II.4})$$

O

$$[S]^* = \{[S]^t\}^{-1} \quad (\text{II.5})$$

Una matriz que satisface la condición de la Ecuación II.5 es llamada matriz unitaria.

La matriz se puede expresar como una sumatoria de la forma de la Ecuación II.6, si se cumple que $i = j$.

$$\sum_{k=1}^N S_{ki} S_{ki}^* = 1 \quad (\text{II.6})$$

Y de la forma de la Ecuación II.7, si $i \neq j$.

$$\sum_{k=1}^N S_{ki} S_{kj}^* = 0 \quad (\text{II.7})$$

En palabras, la Ecuación II.6 establece que el producto escalar de cualquier columna de $[S]$ con el conjugado de esa misma columna da la unidad, mientras que la Ecuación II.7 establece que el producto escalar de cualquier columna con el conjugado de una

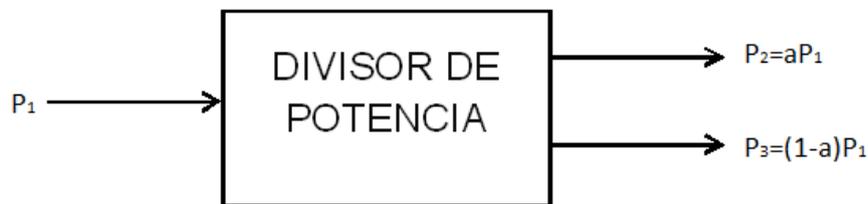
columna diferente da cero (las columnas son ortogonales). Desde la Ecuación II.5 también tenemos que se cumple la Ecuación II.8.

$$[S][S]^*t = [U] \quad (II.8)$$

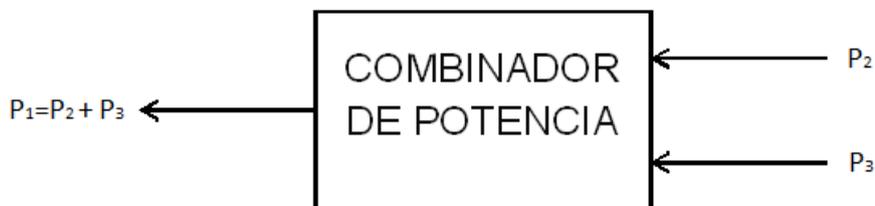
Por lo tanto, se pueden hacer las mismas afirmaciones sobre las filas de la matriz de dispersión.

II.3 Acopladores y divisores de potencia

Los divisores de potencia y los acopladores direccionales son componentes pasivos de microondas utilizados para la división o combinación de potencia, como se ilustra en la Figura II.1. En la división de potencia, una señal de entrada se divide en dos (o más) señales de salida de menor potencia, mientras que un combinador de potencia acepta dos o más señales de entrada y las combina en un puerto de salida. El acoplador o divisor puede tener tres puertos, cuatro puertos o más, y puede ser (idealmente) sin pérdidas. Las redes de tres puertos toman la forma de uniones en T y otros divisores de potencia, mientras que las redes de cuatro puertos toman la forma de acopladores direccionales e híbridos. Los divisores de potencia suelen proporcionar señales de salida en fase con una relación de división de potencia igual (3 dB), pero también son posibles proporciones de división de potencia desigual. Los acopladores direccionales se pueden diseñar para la división de potencia arbitraria, mientras que los híbridos suelen tener la misma división de potencia. Los híbridos tienen un desplazamiento de fase de 90° o 180° entre los puertos de salida.



(a)



(b)

Figura II.1: Esquemas básicos de (a) Divisor de potencia (b) Combinador de potencia

II.3.1 Redes de 3 puertos

El tipo más simple de divisor de potencia es una unión en T, la cual es una red de tres puertos con dos entradas y una salida. La matriz de dispersión de una red arbitraria de tres puertos tiene nueve elementos independientes, como puede verse en la Ecuación II.9.

$$[S] = \begin{bmatrix} S_{11} & S_{12} & S_{13} \\ S_{21} & S_{22} & S_{23} \\ S_{31} & S_{32} & S_{33} \end{bmatrix} \quad (\text{II.9})$$

Si el dispositivo es pasivo y no contiene materiales anisotrópicos, entonces debe ser recíproco y su matriz de dispersión será simétrica ($S_{ij} = S_{ji}$). Por lo general, para evitar la pérdida de energía, nos gustaría tener un cruce que no tenga pérdida y que coincida en todos los puertos. Sin embargo, se puede demostrar que es imposible construir una red recíproca sin pérdidas de tres puertos que coincida en todos los puertos.

Si todos los puertos coinciden, entonces $S_{ii} = 0$, y si la red es recíproca, la dispersión de la matriz de Ecuación 3.8 se reduce a la matriz visualizada en la Ecuación II.10.

$$[S] = \begin{bmatrix} 0 & S_{12} & S_{13} \\ S_{21} & 0 & S_{23} \\ S_{31} & S_{32} & 0 \end{bmatrix} \quad (\text{II.10})$$

Si la red también es sin pérdidas, entonces la conservación de energía requiere que la matriz de dispersión satisfaga las propiedades unitarias, lo que conduce a las condiciones descritas en las Ecuación II.11.[1]

$$|S_{12}|^2 + |S_{13}|^2 = 1 \quad (\text{II.11a})$$

$$|S_{12}|^2 + |S_{23}|^2 = 1 \quad (\text{II.11b})$$

$$|S_{13}|^2 + |S_{23}|^2 = 1 \quad (\text{II.11c})$$

$$S_{13}^* S_{23} = 0 \quad (\text{II.11d})$$

$$S_{23}^* S_{12} = 0 \quad (\text{II.11e})$$

$$S_{12}^* S_{13} = 0 \quad (\text{II.11f})$$

Las Ecuaciones (II.11d) - (II.11f) muestran que al menos dos de los tres parámetros (S_{12} , S_{13} , S_{23}) deben ser cero. Sin embargo, esta condición siempre será inconsistente con una de las ecuaciones (II.11a) - (II.11c), lo que implica que una red de tres puertos no puede ser simultáneamente sin pérdida, recíproca y combinada en todos los puertos. Si alguna de estas tres condiciones se relaja, entonces es posible un dispositivo físicamente realizable.

Si la red de tres puertos no es recíproca, entonces $S_{ij} \neq S_{ji}$, y las condiciones de entrada se puede satisfacer el emparejamiento en todos los puertos y la conservación de la energía. Tal dispositivo se conoce como un circulador, y generalmente se basa en un material anisotrópico, tal como ferrita, para lograr un comportamiento no recíproco. Podemos demostrar que cualquier red de tres puertos sin pérdidas debe ser no recíproca y, por lo tanto, circuladora. La matriz de dispersión de una red de tres puertos combinada tiene la forma de la matriz visualizada en la Ecuación II.12.

$$[S] = \begin{bmatrix} 0 & S_{12} & S_{13} \\ S_{21} & 0 & S_{23} \\ S_{31} & S_{32} & 0 \end{bmatrix} \quad (\text{II.12})$$

Si la red no tiene pérdidas, la matriz S debe ser unitario, lo que implica las condiciones mostradas en las Ecuaciones II.13.

$$s_{31}^* s_{32} = 0 \quad (\text{II.13a})$$

$$s_{21}^* s_{23} = 0 \quad (\text{II.13b})$$

$$s_{12}^* s_{13} = 0 \quad (\text{II.13c})$$

$$|S_{12}|^2 + |S_{13}|^2 = 1 \quad (\text{II.13d})$$

$$|S_{21}|^2 + |S_{23}|^2 = 1 \quad (\text{II.13e})$$

$$|S_{31}|^2 + |S_{32}|^2 = 1 \quad (\text{II.13f})$$

Estas ecuaciones se pueden satisfacer de una de dos maneras. Ya sea como en la Ecuación II.14 o como en la II.15.

$$s_{12} = s_{23} = s_{31} = 0, \quad |S_{21}| = |S_{32}| = |S_{13}| = 1 \quad (\text{II.14})$$

$$s_{21} = s_{32} = s_{13} = 0, \quad |S_{12}| = |S_{23}| = |S_{31}| = 1 \quad (\text{II.15})$$

Estos resultados muestran que $S_{ij} \neq S_{ji}$ para $i \neq j$, lo que implica que el dispositivo debe ser no recíproco. Las matrices de dispersión para las soluciones de II.14 o II.15 se muestran en la Ecuación II.9, junto con los símbolos para los dos posibles tipos de circuladores. La única diferencia entre los dos casos es en la dirección del flujo de potencia entre los puertos: la solución de la Ecuación II.14 corresponde a un circulador que permite el flujo de potencia solo desde el puerto 1 al 2, o el puerto 2 al 3, o el puerto 3 al 1, mientras que la solución de la Ecuación II.15 corresponde a un circulador con la dirección opuesta al flujo de potencia.

Alternativamente, una red de tres puertos sin pérdidas y recíproca se puede realizar físicamente si solo dos de sus puertos coinciden [1]. Si los puertos 1 y 2 son los puertos coincidentes, entonces la matriz de dispersión se puede escribir como en la Ecuación II.16.

$$[S] = \begin{bmatrix} 0 & S_{12} & S_{13} \\ S_{21} & 0 & S_{23} \\ S_{31} & S_{32} & 0 \end{bmatrix} \quad (\text{II.16})$$

$$[S] = \begin{bmatrix} 0 & 0 & 1 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix}$$

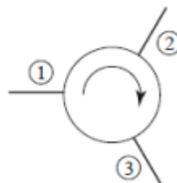


Figura II.2: Circulación a la derecha

$$[S] = \begin{bmatrix} 0 & 0 & 1 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix}$$

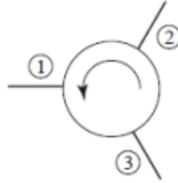


Figura II.3: Circulación antihoraria.

Las Figuras II.2 y II.3 muestran las matrices y diagramas de los dispositivos en sentido horario y antihorario respectivamente.

Las referencias de fase para los puertos son arbitrarias.

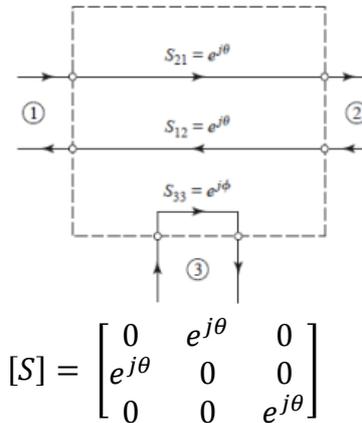


Figura II.4: Red recíproca sin pérdidas de tres puertos combinada en los puertos 1 y 2.

Para no tener pérdidas, se deben cumplir las condiciones de unitaridad expresadas en la Ecuación II.17.

$$s_{13}^* s_{23} = 0 \quad (\text{II.17a})$$

$$s_{12}^* s_{13} + s_{23}^* s_{33} = 0 \quad (\text{II.17b})$$

$$s_{23}^* s_{12} + s_{33}^* s_{13} = 0 \quad (\text{II.17c})$$

$$|s_{12}|^2 + |s_{13}|^2 = 1 \quad (\text{II.17d})$$

$$|s_{12}|^2 + |s_{23}|^2 = 1 \quad (\text{II.17e})$$

$$|s_{13}|^2 + |s_{23}|^2 + |s_{33}|^2 = 1 \quad (\text{II.17f})$$

Las Ecuaciones II.17d y II.17e muestran que $|s_{13}| = |s_{23}|$, entonces II.17a lleva al resultado que $s_{13} = s_{23} = 0$. Entonces, $|s_{12}| = |s_{33}| = 1$. La matriz de dispersión y el gráfico de flujo de señal correspondiente para esta red se muestran en las Figuras II.2 o II.3, donde se ve que la red degenera en dos componentes separados: uno con una línea de dos puertos combinada y el otro con un puerto totalmente incompatible.

Finalmente, si se permite que la red de tres puertos sea con pérdida, puede ser recíproca y coincidir en todos los puertos; este es el caso del divisor resistivo. Además, se puede

hacer que una red de tres puertos con pérdidas tenga aislamiento entre sus puertos de salida (por ejemplo, $S_{23} = S_{32} = 0$).

II.3.2 Redes de 4 puertos

La matriz de dispersión de una red recíproca de cuatro puertos tiene la forma matricial que se visualiza en la Ecuación II.18.

$$[S] = \begin{bmatrix} 0 & S_{12} & S_{13} & S_{14} \\ S_{12} & 0 & S_{23} & S_{24} \\ S_{13} & S_{23} & 0 & S_{34} \\ S_{14} & S_{24} & S_{34} & 0 \end{bmatrix} \quad (\text{II.18})$$

Si la red no tiene pérdidas, las Ecuaciones II.19 resultan de la condición de unitariedad o conservación de la energía [1, 2]. Considere la multiplicación de la fila 1 y la fila 2, y la multiplicación de la fila 4 y la fila 3 y se obtiene la ecuación antes mencionada.

$$\begin{aligned} s_{13}^* s_{23} + s_{14}^* s_{24} &= 0 \\ s_{14}^* s_{13} + s_{24}^* s_{23} &= 0 \end{aligned} \quad (\text{II.19})$$

Si se multiplica II.19a por S_{24}^* , y II.19b por S_{13}^* , y se restan, se obtiene la Ecuación II.20.

$$s_{14}^* (|S_{13}|^2 - |S_{24}|^2) = 0 \quad (\text{II.20})$$

Del mismo modo, la multiplicación de la fila 1 y la fila 3, y la multiplicación de la fila 4 y la fila 2, da la Ecuación II.21.

$$\begin{aligned} s_{12}^* s_{23} + s_{14}^* s_{34} &= 0 \\ s_{14}^* s_{12} + s_{34}^* s_{23} &= 0 \end{aligned} \quad (\text{II.21})$$

Multiplicando II.21a por S_{12} , y II.21b por S_{34} , y restándolos obtenemos la Ecuación II.22.

$$s_{23} (|S_{12}|^2 - |S_{34}|^2) = 0 \quad (\text{II.22})$$

Una forma de satisfacer II.20 y II.22 es si $S_{14} = S_{23} = 0$, lo que da como resultado un acoplador direccional. Luego, los productos propios de las filas de la matriz de dispersión unitaria de II.18 producen las siguientes Ecuaciones (II.23).

$$|S_{12}|^2 + |S_{13}|^2 = 1 \quad (\text{II.23a})$$

$$|S_{12}|^2 + |S_{24}|^2 = 1 \quad (\text{II.23b})$$

$$|S_{13}|^2 + |S_{34}|^2 = 1 \quad (\text{II.23c})$$

$$|S_{24}|^2 + |S_{34}|^2 = 1 \quad (\text{II.23d})$$

Esto implica que $|S_{13}| = |S_{24}|$ [usando (II.23a) y (II.23b)], y que $|S_{12}| = |S_{34}|$ [usando (II.23b) y (II.23d)]. Se puede simplificar aún más eligiendo las referencias de fase en tres de los cuatro puertos. Por lo tanto, elegimos $S_{12} = S_{34} = \alpha$, $S_{13} = \beta e^{j\theta}$, y $S_{24} = \beta e^{j\phi}$,

donde α y β son reales, y θ y ϕ son constantes de fase a determinar (uno de los cuales todavía podemos elegir). El producto escalar de las filas 2 y 3 da la Ecuación II.24.

$$s_{12}^* s_{13} + s_{24}^* s_{34} = 0 \quad (\text{II.24})$$

Esta ecuación produce una relación entre las constantes de fase restantes, visualizada en la Ecuación II.25.

$$\theta + \phi = \pi \pm 2n\pi \quad (\text{II.25})$$

Si ignoramos los múltiplos enteros de 2π , hay dos opciones particulares que comúnmente ocurren en la práctica:

1. Un acoplador simétrico: $\theta = \phi = \pi / 2$. Las fases de los términos que tienen amplitud β se eligen iguales. Entonces la matriz de dispersión tiene la forma matricial de la Ecuación II.26.

$$[S] = \begin{bmatrix} 0 & \alpha & j\beta & 0 \\ \alpha & 0 & 0 & j\beta \\ j\beta & 0 & 0 & \alpha \\ 0 & j\beta & \alpha & 0 \end{bmatrix} \quad (\text{II.26})$$

2. Un acoplador antisimétrico: $\theta = 0, \phi = \pi$. Las fases de los términos que tienen amplitud β se eligen para estar separados 180° . Entonces la matriz de dispersión tiene la forma matricial de la Ecuación II.27.

$$[S] = \begin{bmatrix} 0 & \alpha & \beta & 0 \\ \alpha & 0 & 0 & -\beta \\ \beta & 0 & 0 & \alpha \\ 0 & -\beta & \alpha & 0 \end{bmatrix} \quad (\text{II.27})$$

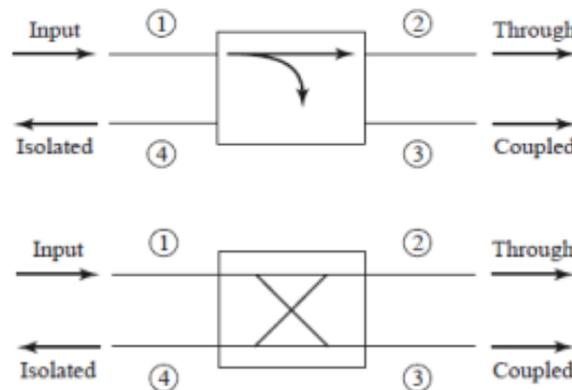


Figura II.5: Símbolos comúnmente usados para acopladores direccionales y convención del flujo de potencia

Hay que tener en cuenta que estos dos acopladores difieren solo en la elección de los planos de referencia. En adición, las amplitudes α y β no son independientes, ya que II.22a requiere que se cumpla la Ecuación II.28.

$$\alpha^2 + \beta^2 = 1 \quad (\text{II.28})$$

Por lo tanto, aparte de las referencias de fase, un acoplador direccional ideal de cuatro puertos tiene solo un grado de libertad, lo que lleva a dos configuraciones posibles.

Otra forma de satisfacer a las Ecuaciones II.18 y II.20 es si $|S_{13}| = |S_{24}|$ y $|S_{12}| = |S_{34}|$. Si se eligen referencias de fase, sin embargo, tal que $S_{13} = S_{24} = \alpha$ y $S_{12} = S_{34} = j\beta$ (que satisface a la Ecuación II.25), luego (acorde a la Ecuación II.19a) produce $\alpha(S_{23} + S_{14}) = 0$, y la Ecuación II.21a produce $\beta(S_{14} - S_{23}) = 0$. Estas dos ecuaciones tienen dos soluciones posibles. Primero, $S_{14} = S_{23} = 0$, que es el mismo que la solución anterior para el acoplador direccional. La otra solución ocurre para $\alpha = \beta = 0$, lo que implica que $S_{12} = S_{13} = S_{24} = S_{34} = 0$. Este es el caso de dos redes desacopladas de dos puertos (entre los puertos 1 y 4, y los puertos 2 y 3), que es de interés trivial y no será considerado más. Por lo tanto, nos queda la conclusión de que cualquier red recíproca, sin pérdidas, compatible de cuatro puertos es un acoplador direccional.

La operación básica de un acoplador direccional se puede ilustrar con la ayuda de la Figura II.5, que muestra dos símbolos de uso común para un acoplador direccional y las definiciones de puerto. La potencia suministrada al puerto 1 está acoplada al puerto 3 (el puerto acoplado) con el factor de acoplamiento $|S_{13}|^2 = \beta^2$, mientras que el resto de la potencia de entrada se entrega al puerto 2 (el puerto de paso) con el coeficiente $|S_{12}|^2 = \alpha^2 = 1 - \beta^2$. En un acoplador direccional ideal, no se suministra energía al puerto 4 (el puerto aislado).

Las siguientes ecuaciones (II.29 a II.32), representan cantidades que se usan comúnmente para caracterizar un acoplador direccional:

$$\text{Acoplamiento} = C = 10 \log \frac{P_1}{P_3} = -20 \log \beta \text{ dB} \quad (\text{II.29})$$

$$\text{Directividad} = D = 10 \log \frac{P_3}{P_4} = -20 \log \frac{\beta}{|S_{14}|} \text{ dB} \quad (\text{II.30})$$

$$\text{Aislamiento} = I = 10 \log \frac{P_1}{P_4} = -20 \log |S_{14}| \text{ dB} \quad (\text{II.31})$$

$$\text{Pérdida de inserción} = L = 10 \log \frac{P_1}{P_2} = -20 \log |S_{12}| \text{ dB} \quad (\text{II.32})$$

El factor de acoplamiento indica la fracción de la potencia de entrada que está acoplada al puerto de salida. La directividad es una medida de la capacidad del acoplador para aislar las ondas hacia adelante y hacia atrás (o los puertos acoplados y desacoplados). El aislamiento es una medida de la potencia entregada al puerto desacoplado. Estas cantidades están relacionadas mediante la Ecuación II.33.

$$I = D + C \text{ dB} \quad (\text{II.33})$$

La pérdida de inserción representa la potencia de entrada entregada al puerto de paso, disminuida por la potencia entregada a los puertos acoplados y aislados. El acoplador ideal tiene una direccionalidad y aislamiento infinitos ($S_{14} = 0$). Entonces tanto α como β pueden determinarse a partir del factor de acoplamiento, C.

Los acopladores híbridos son casos especiales de acopladores direccionales, donde el factor de acoplamiento es 3 dB, lo que implica que $\alpha = \beta = 1 / \sqrt{2}$. Hay dos tipos de híbridos:

- El híbrido de cuadratura tiene un desplazamiento de fase de 90° entre los puertos 2 y 3 ($\theta = \varphi = \pi / 2$) cuando se alimenta en el puerto 1, y es un ejemplo de un acoplador simétrico. Su matriz de dispersión tiene la forma de la ecuación matricial II.33. Su representación típica se halla en la Figura II.6.

$$[S] = \frac{1}{\sqrt{2}} \begin{bmatrix} 0 & 1 & j & 0 \\ 1 & 0 & 0 & j \\ j & 0 & 0 & 1 \\ 0 & j & 1 & 0 \end{bmatrix} \quad (\text{II.34})$$

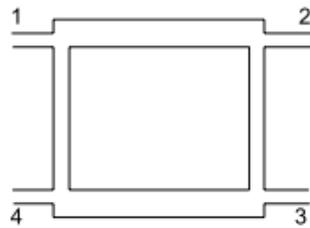


Figura II.6: Representación del acoplador híbrido de 90°

- El híbrido *rat-race* (o híbrido pi) tienen una diferencia de fase de 180° entre los puertos 2 y 3 cuando se alimentan en el puerto 1 y 4, y son ejemplos de un acoplador antisimétrico. Su matriz de dispersión tiene la forma de la ecuación matricial II.35. Su representación típica se halla en la Figura II.7.

$$[S] = \frac{1}{\sqrt{2}} \begin{bmatrix} 0 & 1 & 1 & 0 \\ 1 & 0 & 0 & -1 \\ 1 & 0 & 0 & 1 \\ 0 & -1 & 1 & 0 \end{bmatrix} \quad (\text{II.35})$$

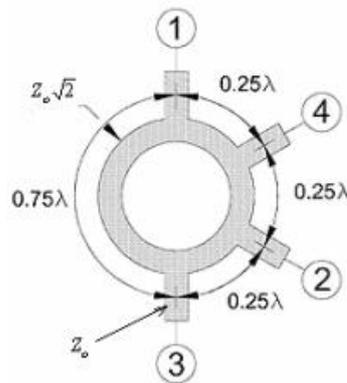


Figura II.7: Representación del acoplador híbrido de 180° , o *Rat-Race*

II.4 Bibliografía

- [1] **D. M. Pozar.** (2012) Microwave Engineering. Estados Unidos: Artech House.
- [2] **R. Mongia, I. Bahl y P. Bhartia,** (1999) RF and Microwave Coupled-Line Circuits. Estados Unidos: Artech House.

Anexo III: Receptores y Software Defined Radio (SDR)

III.1 Introducción a los sistemas de comunicaciones

Todos los sistemas de comunicaciones tienen una función básica, que es la transferencia de información entre dos puntos. Llamaremos a estos dos puntos fuente y destino respectivamente, y a la información a transmitir la denominaremos mensaje.

El mensaje puede provenir de distintas fuentes, puede ser un micrófono, una cámara o una PC, pero todas las fuentes serán convertidas en una magnitud eléctrica (p. ej Volts) para su transmisión. La representación eléctrica del mensaje es la señal de transmisión.

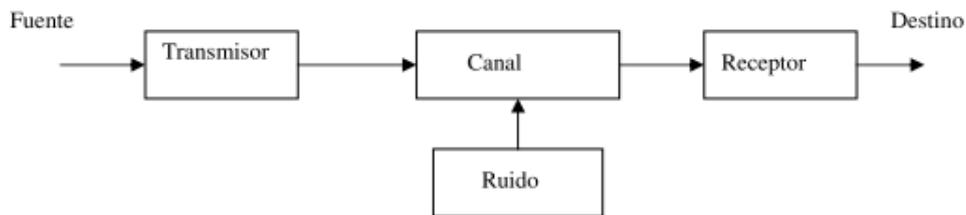


Figura III.1: Elementos de un sistema de comunicaciones

Siempre que se haga referencia a una señal a transmitir, como la indicada como fuente en la Figura III.1 será una señal eléctrica, que corresponderá o representará una manifestación física del mensaje.

Se pueden clasificar los mensajes en digitales y analógicos. Un mensaje analógico dará una señal con variación continua con el tiempo, y no demasiado rápida. En cambio, un mensaje digital será una secuencia de símbolos conocidos.

La función del sistema de comunicaciones analógicas es crear una reproducción en el destino de la señal de la fuente, con un cierto grado de fidelidad. Se pueden reconocer tres partes básicas, el transmisor, el canal de transmisión y el receptor. El transmisor adecuará la señal al canal de transmisión, generalmente mediante un proceso de modulación. El canal, es el medio en el que se propaga el mensaje, que podrá ser un cable coaxial, una fibra óptica, o el aire en que se propaga una onda de radio. En cualquier caso, el resultado será la atenuación de la señal con la distancia, y además lo podremos caracterizar por su ancho de banda. Otros efectos importantes serán el ruido o interferencias que aparecerán en el canal, como así también las distorsiones de la forma de la señal. Finalmente, el receptor mediante demodulación y filtrado permitirá recuperar la señal para entregarla al destino.

Este modelo corresponde a la transmisión en una sola vía, denominado transmisión simplex. Cuando se permite la transmisión en ambos sentidos, se denomina dúplex. Si se puede recibir y transmitir simultáneamente se denomina full-dúplex. Para ello se requiere utilizar dos canales distintos, uno para cada sentido. Un sistema half-dúplex, permite la comunicación en ambos sentidos, pero solo uno por vez. En tal caso, se utiliza el mismo canal para transmitir y recibir. [1]

III.1.1 Modulación y Demodulación

Modulación engloba el conjunto de técnicas que se usan para transportar información sobre una onda portadora, típicamente una onda sinusoidal. Estas técnicas permiten un mejor aprovechamiento del canal de comunicación lo que posibilita transmitir más información de forma simultánea además de mejorar la resistencia contra posibles ruidos e interferencias. Según la *American National Standard for Telecommunications*, la modulación es el proceso, o el resultado del proceso, de variar una característica de una onda portadora de acuerdo con una señal que transporta información. El propósito de la modulación es sobreponer señales en las ondas portadoras.

Básicamente, la modulación consiste en hacer que un parámetro de la onda portadora cambie de valor de acuerdo con las variaciones de la señal moduladora, que es la información que queremos transmitir.

El proceso de recuperar la información de las ondas portadoras se denomina demodulación. En esencia, es invertir los pasos utilizados para modular los datos. En general, a medida que los esquemas de transmisión o modulación (compresión) se hacen más complejos y la velocidad de transmisión de datos aumenta, la inmunidad al ruido se reduce y la cobertura disminuye. [1]

III.1.1.1 Técnicas de modulación empleadas

Uno de los objetivos de las comunicaciones es utilizar una frecuencia portadora como frecuencia básica de una comunicación, pero modificándola siguiendo un proceso denominado modulación para codificar la información en la onda portadora.

Las formas básicas de modulaciones analógicas son:

- Amplitud - AM
- Angular
 - Modulación en Frecuencia – FM
 - Modulación en Fase - PM

III.1.1.2 Modulación en Amplitud

En este tipo de modulación, la amplitud de la portadora varía según la señal de información, de modo que la información de amplitud y frecuencia de ésta se “montan” sobre la portadora haciendo que su envolvente varíe de acuerdo a la señal moduladora o de información. Los diversos esquemas de modulación de amplitud se designan también como de envolvente variable y comprenden los siguientes:

- AM con portadora completa y dos bandas laterales o AM completa.
- AM con dos bandas laterales y portadora suprimida (AM-DSB).
- AM con dos bandas laterales y vestigio o piloto de portadora.
- Banda lateral única (BLU o SSB) sin portadora.
- Banda lateral única con piloto de portadora.

- AM con vestigio de banda lateral o AM con banda lateral vestigial (AM-VSB).

La señal de amplitud modulada completa suele expresarse en la forma siguiente:

$$\begin{aligned} z(t) &= V_C [1 + m \cos(\omega_m t)] \cos(\omega_c t) \\ &= V_C \cos(\omega_c t) + m V_C / 2 [\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t] \end{aligned} \quad (\text{III.1})$$

En ella, V_c representa el voltaje de pico de la portadora y m , designado como índice de modulación, está dado por $m = V_m / V_c$, donde V_m es el voltaje instantáneo de pico de la señal moduladora. El índice de modulación, m , puede tomar valores entre 0 y 1. El primero corresponde a la ausencia de modulación, en tanto que $m = 1$ corresponde al máximo nivel (100%) permisible de modulación. En la Figura III.2 se muestran conjuntamente la portadora sin modulación, la señal moduladora y la señal modulada al 50%, es decir con un valor de m igual a 1. [1]

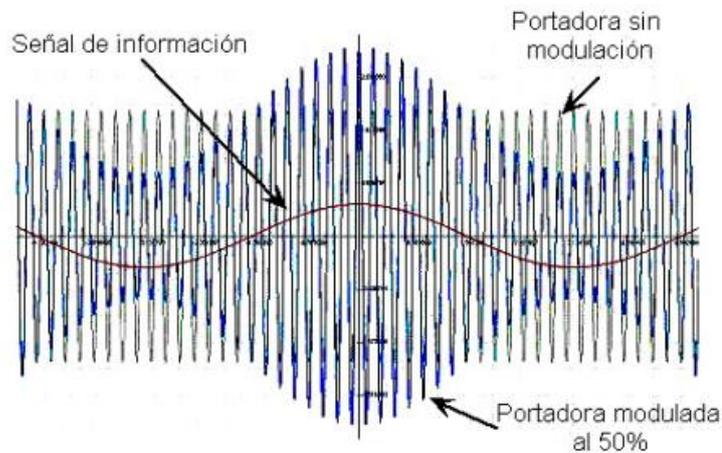


Figura III.2: Señal modulada en amplitud en que se muestra la señal en banda base, la portadora sin modulación y la portadora modulada al 50%.

III.1.1.3 Demodulación en Amplitud

El proceso de demodulación de AM consiste en recuperar la envolvente de la señal modulada, que es donde se encuentra la información. Para lograrlo existen diversos métodos, entre ellos, la detección sincrónica, la detección de envolvente por diodo y la detección de envolvente por transistor (TRJ), siendo la más conocida y conceptual la detección por diodo.

El detector por diodo como se puede ver en la Figura III.3 consiste en un diodo seguido por una resistencia en paralelo a un capacitor. El diodo actúa como un rectificador rechazando la parte negativa de la señal modula, y con ella la envolvente inferior. Si solo estuviese la resistencia de carga, el circuito funcionaria como un rectificador de media onda. El agregado del condensador permite filtrar la portadora, siendo su funcionamiento similar a un filtro RC.

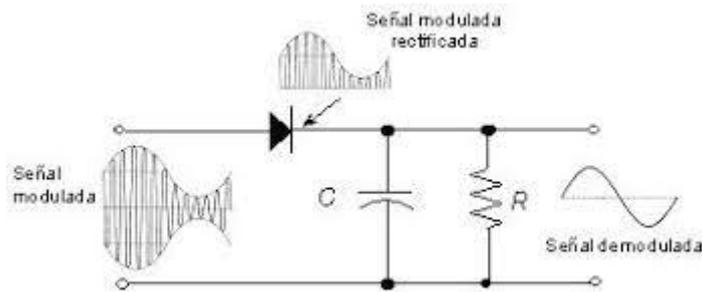


Figura III.3 Detector de envolvente por diodo.

El capacitor se carga a través del diodo al voltaje pico de la señal modulada cuando está en los ciclos positivos, con una constante de tiempo $\tau_c = R_d C$, en donde R_d es la resistencia del diodo en conducción.

En los semiciclos negativos, el diodo queda polarizado inversamente, comportándose como un circuito abierto. En esta condición el condensador comienza a descargarse a través de la resistencia de carga R . Si se cumple que $R \gg R_d$, la constante de tiempo de descarga $\tau_d = RC$ será mucho mayor que la de carga. Por lo tanto, el capacitor se cargará rápidamente en los ciclos positivos y se descargará lentamente en los negativos.

La señal en la resistencia de carga es proporcional a la amplitud de la señal modulada, de modo que seguirá aproximadamente la forma de la envolvente con el agregado de un ripple (Figura III.4) ocasionado por una constante de descarga que no es infinita, el mismo se podrá reducir mediante un filtrado adicional.

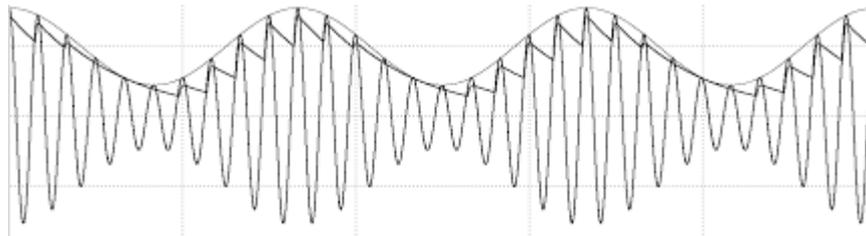


Figura III.4 Ripple en la envolvente

Durante el ciclo de modulación, mientras el voltaje de entrada aumenta, el voltaje del capacitor sigue creciendo proporcionalmente a la entrada, esto se cumple si se mantiene una constante de tiempo de carga pequeña. Sin embargo, durante la excursión descendente de la señal modulada, la descarga puede no ser lo suficientemente rápida, dependiendo de la constante de tiempo de descarga, ocasionando lo que se conoce como distorsión por recorte diagonal (Figura III.5). Esta distorsión se produce cuando la pendiente de la envolvente (Ecuación III.2) es mayor a la pendiente de descarga del capacitor (Ecuación III.3).

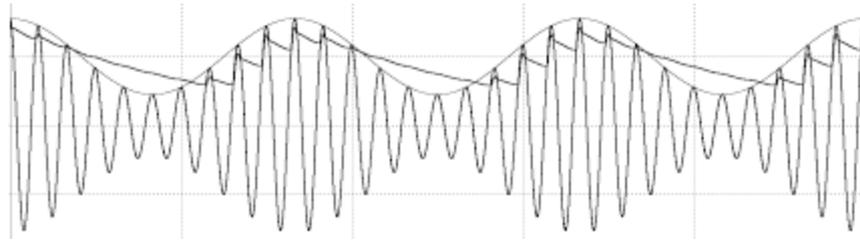


Figura III.5 Distorsión por recorte diagonal

$$\frac{de_0(t)}{dt} = \frac{d(E_0(1+\cos(1+m\omega_m t))t)}{dt} = -E_0 m \omega_m \sin(\omega_m t) \quad (\text{III.2})$$

$$\frac{de(t)}{dt} = \frac{e_0(t)}{\tau} \exp\left(\frac{-t}{\tau}\right) \quad (\text{III.3})$$

Siendo el caso más exigente en $t = 0$, cuando la pendiente de descarga es máxima, como se observa en la Ecuación III.4.

$$\frac{de(t)}{dt} = \frac{e_0(t_1)}{\tau} \quad (\text{III.4})$$

La condición para evitar la distorsión por recorte diagonal es tener una pendiente de descarga mayor a la pendiente de la envolvente (Ecuación III.5). Por lo tanto a la hora de diseñar R y C se debe tener en cuenta el m máximo y la ω_m máxima (Ecuación III.7).

$$\frac{e_0(t_1)}{\tau} = \frac{E_0(1+\cos(1+m\omega_m t))}{\tau} \geq E_0 m \omega_m \sin(\omega_m t) \quad (\text{III.5})$$

Y despejando τ , se obtiene la Ecuación III.6.

$$\tau \leq \frac{1+m\cos(\omega_m t)}{m\omega_m \sin(\omega_m t)} \quad (\text{III.6})$$

Siendo el mínimo cuando $\cos(\omega_m t) = -m$

$$\tau \leq \frac{\sqrt{1-m^2}}{m\omega_m} \quad (\text{III.7})$$

III.2 Introducción a Radio Definida por Software

El Radio definida por Software (Software Defined Radio o abreviado, SDR) es un desarrollo tecnológico que está tomando un protagonismo cada vez mayor en el desarrollo de tecnologías inalámbricas. Diversas acepciones se pueden tomar para poder tener un concepto claro de estos dispositivos.

Se podría definir a la Radio basada en Software (SBR, Software Based Radio) como una radio que utiliza técnicas de software y señales de radio digitalizadas. La razón primordial para este cambio de paradigma es que se pueden utilizar un entorno computacional para realizar tareas relacionadas a una radio.

La Radio Definida por Software (SDR) es un tipo especial de SBR. En este caso, la mencionada digitalización, se da en algún lugar, posterior a la antena, típicamente luego del filtrado de ancho banda, amplificación de bajo ruido y conversión a banda base, o

una frecuencia menor (llamada frecuencia intermedia o IF), en el caso de una recepción y el proceso inverso en el caso de una transmisión. En la Figura III.6, se visualiza un esquema básico en el que se basa SDR. El procesamiento digital de la señal es en bloques funcionales flexibles y reconfigurables que definen las características de la radio.

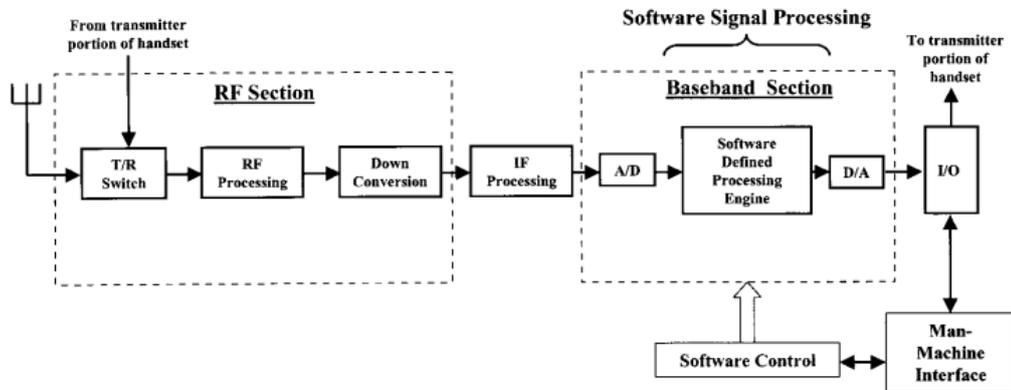


Figura III.6: Esquema representativo básico en que se basa SDR

Por otro lado, cuando se habla de Software-Radio (SR), la digitalización habría alcanzado a todo el esquema, sin incluir a la antena, como se ve en la Figura III.7. Existe una búsqueda de transición de SDR a SR, donde la digitalización y la eliminación progresiva de los componentes analógicos, juegan un papel decisivo. Distintos factores deben tenerse en cuenta, como el costo, la complejidad, la performance, tamaño o peso, entre otros.

Para el procesamiento digital, diversas herramientas pueden utilizarse, tales como procesadores digitales de señales (DSPs), FPGA's, o cómputo reconfigurable (RC), por solo mencionar algunas posibilidades. [2][3]

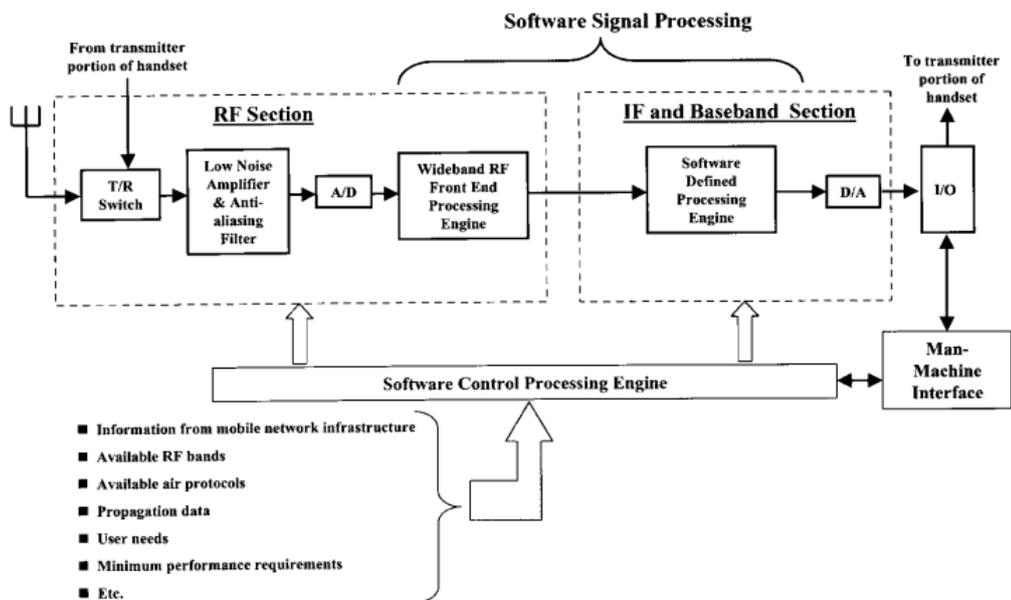


Figura III.7: Esquema representativo básico de Software-Radio.

III.3 Receptor Superheterodino, como base del Software Defined Radio

En primer lugar, se analizará un receptor de radio superheterodino, a partir del cual se llegará a un receptor de SDR.

Un receptor superheterodino convencional, puede ser visualizado en la Figura III.8. Su uso se ha extendido ampliamente, desde su creación a principios de siglo XX.

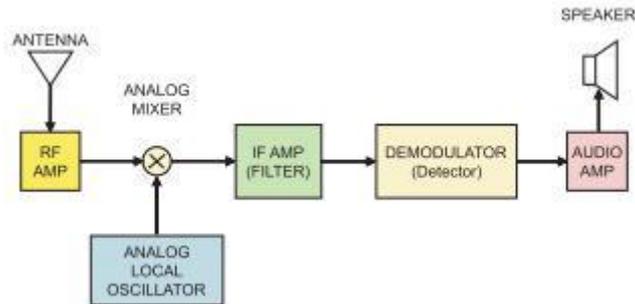


Figura III.8: Receptor Superheterodino

La señal captada por la antena es primero amplificada, típicamente con una etapa ajustada de RF, que amplifica una determinada banda del espectro en interés. La señal que se obtiene es conectada a un mezclador, que posee un oscilador local.

El mezclador, realiza una multiplicación analógica de las dos entradas senoidales, generando una señal que posee una frecuencia diferencia, resultando de la resta entre la frecuencia de la señal de entrada y la de oscilador local. Esta frecuencia diferencia, se la llama intermedia o IF. A este proceso se lo denomina *Down-conversion*, ya que la señal que se obtiene como salida es menor en frecuencia que la de entrada.

Le sigue una etapa IF, que amplifica y filtra, sintonizada precisamente a la frecuencia IF, dejando solamente una señal o estación de radio, atravesarla. Luego, el demodulador recupera la señal de audio modulada original, desde la salida de la etapa IF, usando alguno de los esquemas correspondientes a la modulación utilizada. Luego es enviada a un amplificador de audio, que será conectado, por ejemplo, a un parlante

En la Figura III.9, se puede observar un diagrama en bloques de un receptor de Software Defined Radio, que está basado precisamente en el receptor superheterodino original. Como se puede observar, el sintonizador de RF y la antena, se mantienen en este esquema.

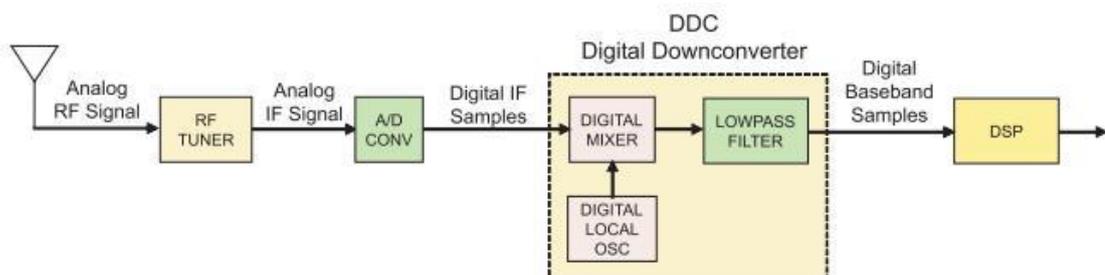


Figura III.9: Receptor SDR.

Sin embargo, luego, aparece un elemento que no se encontraba en el modelo original, tratándose de un conversor analógico-digital o A/D. Este, se encarga de digitalizar la señal resultante, y de este modo, las convierte en muestras digitales. Estas muestras son conectadas en la etapa siguiente, llamado conversor digital (*Digital Down Converter*, DDC), que puede ser visualizado en el recuadro de líneas punteadas de la Figura III.9.

Idealmente, el DDC consta de las etapas descritas, es decir un mezclador digital, un oscilador local digital y un filtro FIR, constando de un encapsulado monolítico o un IP de FPGA, siendo una etapa clave del sistema SDR. El mezclador y el oscilador trasladan a la señal a banda base, mientras que el filtro FIR pasabajo limita el ancho de banda y actúa como un filtro pasabajo de diezmado. En la realidad, este conversor digital, posee muchos multiplicadores, sumadores y registros, que garantizan este comportamiento.

Finalmente, las muestras en banda base digitales son enviadas a un sistema DSP, que realiza tareas tales como demodulación, decodificado, entre otras. Tradicionalmente, estas tareas con IC de aplicación específica dedicada (ASICs), FPGA y DSP programables. [4]

III.3.3 DDC

A la salida del mezclador, las señales en alta frecuencia de banda ancha que habían ingresado al conversor A/D, fueron trasladadas a banda base, como componentes complejos I y Q, con un cambio de frecuencia igual a la del oscilador local. Esto es muy similar al receptor superheterodino original, con la diferencia fundamental de que el traslado no fue a IF, sino a banda base, gracias a la representación compleja. Al ajustar el oscilador local en su rango, cualquier posición de la señal de entrada de RF se puede mezclar a continua.

Debido a que el oscilador local usa acumuladores de fase digitales, posee algunas características destacables. Este varía entre frecuencias con continuidad de fases, así que se pueden generar señales moduladas en frecuencia digitales (FSK) o barridos muy precisos sin espurias. La estabilidad y exactitud en frecuencia son determinadas enteramente por el reloj A/D, así que es inherentemente sincrónico al muestreo en frecuencia.

Dada que la salida del filtro FIR es limitado en banda, el teorema de Nyquist permite usar la velocidad de muestreo más baja. Si se mantiene solo una de cada N muestras, se bajaría esta tasa por un factor N. Este proceso es llamado diezmado. Mientras que la frecuencia de muestras de la salida diezmada se mantiene mayor que el doble del ancho de banda de la salida, no se pierde información. Un beneficio de estas señales es que se las puedo procesar con facilidad, se las puede transmitir a una velocidad menor y almacenarse en menos memoria, reduciendo los costos del sistema. En la transmisión, el proceso inverso al diezmado, es la interpolación.

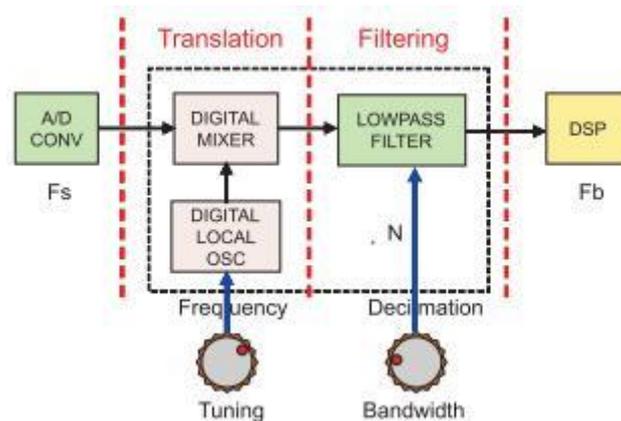


Figura III.10: Ajustes del DDC

Esta etapa, consta de dos instancias ajustables, como se puede observar en la Figura III.10, una de sintonizado y otra de ancho de banda. La primera, representa la habilidad del oscilador local de convertir la señal de alta frecuencia a banda base. La otra está relacionada con el factor de diezmado N y el filtro FIR, siendo gobernada por las Ecuaciones III.8 y III.9.

$$\text{Frecuencia de muestreo en banda base: } f_b = f_s/N \quad (\text{III.8})$$

$$\text{Ancho de banda de banda base: } AB = 0.8xf_b \quad (\text{III.9})$$

Se puede pensar a la etapa DDC como un preprocesador de hardware para un procesador programable DSP, que pre-selecciona solo las señales de interés y remueve todas las demás. Esto provee un ancho de bando óptimo y una velocidad de muestreo mínima. El número de procesadores necesarios es directamente proporcional a la de frecuencia de muestreo de los datos de salida y entrada. Como resultado, si uno reduce esta frecuencia, también disminuye dramáticamente el costo y la complejidad de los DSPs del sistema. Además, esta reducción de ancho de banda y velocidad de muestreo ayuda a ahorrar tiempo en transferencia de datos a otro sub-sistema, minimizando así el tiempo de grabado y espacio ocupado en el disco, tráfico y ancho de banda a través de los canales de comunicación. [4]

III.4 Procesos del SDR

En la Figura III.11, se pueden visualizar un ejemplo de las tareas realizadas dentro un receptor, con los dispositivos que las llevan a cabo.

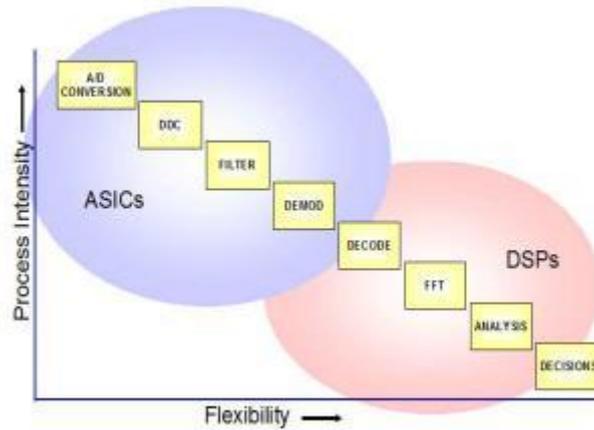


Figura III.11: Diagrama de tareas realizadas por cada etapa del dispositivo

Cuando la intensidad de proceso es más alta, es decir que las operaciones son muy repetitivas y primitivas, y la flexibilidad es baja, se requieren estructuras de hardware especializadas, que completen las tareas en tiempo real. Las ya mencionadas ASICs cumplen usualmente estas funciones. A medida que la flexibilidad aumenta, la capacidad de adaptar o cambiar al proceso para una aplicación específica, también aumenta. Procesadores de propósito general o DSPs son usualmente elegidos para estas tareas, ya que pueden ser fácilmente modificados mediante software.

Un dispositivo intermedio en esta escala es la FPGA, que, como se ve en la Figura III.12, puede realizar tareas de gran intensidad de proceso o que pueden tener una relativa flexibilidad. [4]

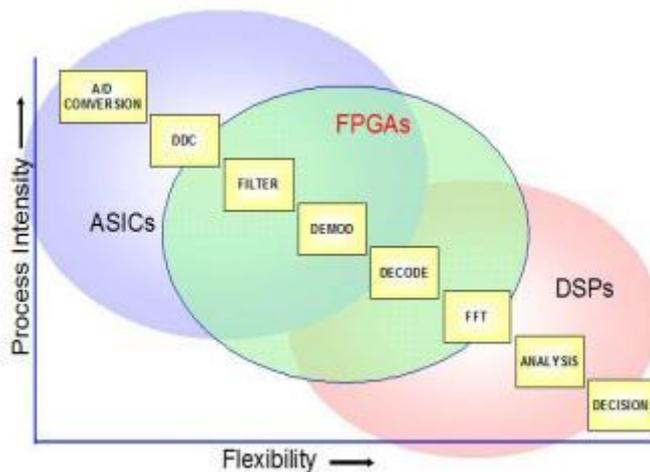


Figura III.12: Diagrama de tareas realizadas por cada etapa del dispositivo

III.5 RTL-SDR

RTL-SDR es un dispositivo USB de bajo costo, sencillo de usar, que actúa de receptor. Su rango es de 25 MHz hasta 1.75 GHz. Su funcionamiento, al igual que otras SDR, consiste en que las señales captadas por la antena son convertidas a banda base, luego digitalizadas, enviando estas muestras a través del puerto USB. Las tareas del DSP, las realiza, por ejemplo, un procesador. Como la tarea de demodulación, es llevada a cabo

mediante software, se dice que este dispositivo pertenece a la familia de Software Defined Radio.

Una de sus grandes virtudes es la existencia de software libre asociado al dispositivo, que resulta en su facilidad de manejo. Además, posee soporte en el software Matlab® y Simulink®, permitiendo a los usuarios realizar las tareas DSP, directamente en una PC, como se puede ver en la Figura III.13.



Figura III.13: SDR conectado a una notebook

En la Figura III.14, en tanto se observa un diagrama de bloques, de los dispositivos involucrados, con sus respectivas tareas. Como fue mencionado, las señales son captadas por la antena, luego convertidas en cuadratura, y estas muestras en fase/cuadratura (conocidas como I/Q) son presentadas a la computadora, que corre alguno de los softwares específicos o Matlab/Simulink. Para la demodulación y decodificación, se debe usar algún algoritmo específico, haciendo las veces de DSP, y así extraer la información. Esta información, puede ser video, audio, imágenes, etcétera. [5][6]

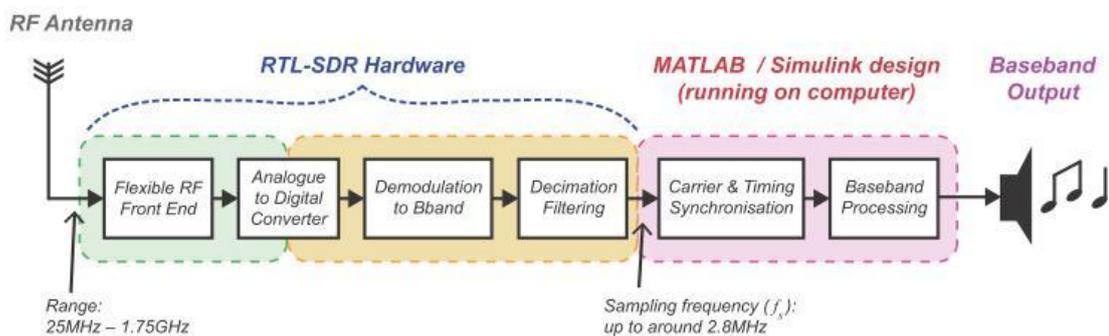


Figura III.14: Diagrama simplificado de RTL-SDR

III.5.1 Requisitos mínimos de uso

En lo concerniente al hardware, aparte del dispositivo RTL-SDR (llamados *dongle*), solo se requeriría alguna antena si es necesaria o el conector correspondiente, si es una señal cableada.

Los requisitos recomendables de PC son 8 GB de RAM (1 GB mínimo), 30 GB de espacio libre (5 GB mínimo), un puerto USB 2.0 (como mínimo) y salida y placa de audio. Cuanto más rápido sea el procesamiento de la computadora, el SDR se acercará proporcionalmente a un desempeño en tiempo real, sin tener en cuenta los comportamientos del puerto USB, según el sistema operativo. Respecto al sistema operativo, precisamente, varía según el software utilizado. Por ejemplo, si se utilizara el software libre SDRSharp, uno de los más populares, solo puede utilizarse en Windows 8 como mínimo, mientras que HDSDR, solo en Windows, pero desde XP o LinRad, acepta cualquier entorno. Existe también, software para sistemas basados en GNU/Linux, Unix o variantes como Raspberry Pi.

Respecto a la utilización de Matlab, existen librerías que son compatibles con versiones a partir de la de 2013b, y necesita de la presencia de las librerías de DSP, comunicaciones y procesamiento de señales. Matlab y Simulink proveen un entorno donde se puede programar y construir a los receptores, y estas librerías (también llamadas Toolbox) son necesarias para implementar cualquier algoritmo de SDR deseado. No solo dan facilidades para diseñar elementos tales como los filtros digitales, diezmadores o sincronizadores requeridos por un sistema, sino que también proveen herramientas que permiten visualizar a las señales en los dominios de tiempo y frecuencia a medida que se someten al proceso de demodulación. [5][6]

III.5.2 Arquitectura de RTL-SDR

En el contexto de los receptores, la arquitectura del RTL-SDR puede visualizarse en la Figura III.15. Posee dos etapas de proceso de demodulación: RF a IF en un hardware analógico en una primera instancia, y luego, IF a banda base implementado digitalmente. Algo importante, es que el control sobre el proceso de demodulación puede ser ejercido a través del software, lo que permite que las bandas deseadas sean seleccionadas.

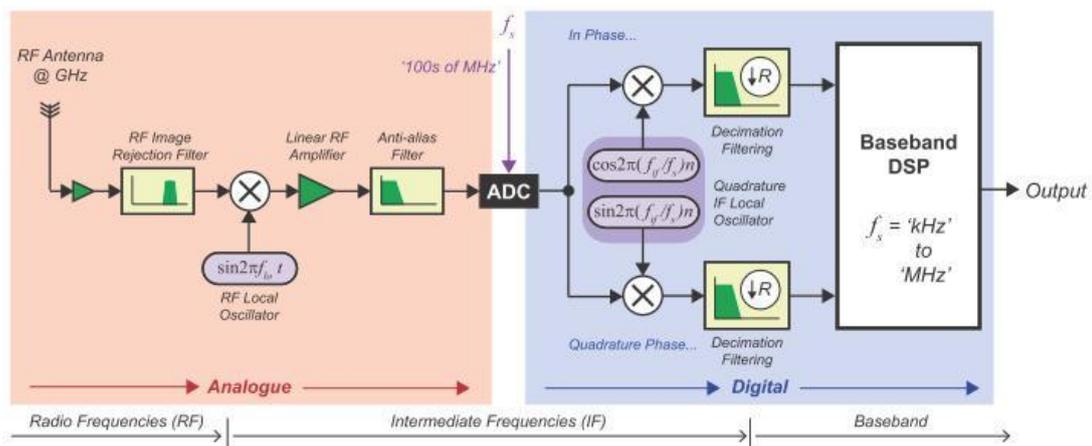


Figura III.15: Arquitectura RTL-SDR

La salida de este dispositivo es equivalente a las dos entradas del bloque “DSP Banda Base” que también se puede examinar en la Figura III.13. Un ejemplo serían las muestras banda base de las ramificaciones I y Q. Una vez que salen del dispositivo, estas muestras pueden ser llevadas a distintos entornos, ya sea software específico o algún otro software más general que lo soporte como Matlab, donde son diseñadas (o están prediseñadas) las etapas DSP finales del sistema. Las muestras de salida del RTL-SDR están en un formato de punto cambiado de 8 bits, pero los sistemas de los distintos programas disponibles en general trabajan usando aritmética de punto flotante, ya que se usa una transformación por software al inicio.

Nótese que la arquitectura planteada involucra que los procesos DSP sean realizados mediante software, ya sean diseñados o prediseñados. Esto significa una gran flexibilidad en el desarrollo de la etapa de software del receptor. Como fue mencionado en capítulos previos, la velocidad con que se desempeñe esta etapa va en correlato con la velocidad propia de procesamiento del procesador utilizado. Si se utiliza software de diseño, como Matlab, se permite crear una gran variedad de diseños, capaces de recibir señales de radio en diversos estándares, poder comparar el comportamiento en sus etapas en tiempo y frecuencia y extraer resultados de la experiencia con gran precisión. [5]

III.5.3 Hardware de RTL-SDR

El dispositivo en cuestión fue desarrollado en principio a partir de receptores DVB-T (un estándar de transmisión digital) diseñado para que los usuarios de dispositivos que funcionaban bajo esta normativa (conocidos como DTV) puedan visualizar los contenidos en una PC. Como es evidente, no fueron concebidos como SDR en un principio, pero un grupo de especialistas en SDR comenzaron a adaptarlos debido al potencial que hallaron en estos dispositivos, como tales. Hallaron que en ciertos modos, el comportamiento era esencialmente el de un SDR, con una banda de trabajo que va desde 25 MHz a 1,75 GHz.

Los dos componentes fundamentales de los RTL-SDR son un sintonizador DTV (usualmente Rafael Micro 820T o en algunos casos, Elonics E4000) y un demodulador multiplex de división en frecuencia ortogonal codificado en DVB-T (Realtek RTL 2832U). Un grupo de interesados y conocedores, descubrieron que si se colocaba al demodulador en modo de “prueba” actuaba como una radio IF digital, del mismo que se expuso previamente en la Figura III.13, esencialmente convirtiéndose en ADC de alta velocidad y una salida de datos en cuadratura sin formato con una resolución de 8 bits. Poco después del descubrimiento, se crearían los RTL-SDR, para ser lanzados al mercado (RTL proviene de Realtek).

La Figura III.16 muestra un diagrama de flujo del procesamiento de la señal de las principales etapas que son llevadas a cabo dentro del dispositivo. Las señales de RF que entran al sintonizador son convertidas a una IF baja usando un oscilador controlado por voltaje (VCO). El VCO es programable, siendo controlado por el Realtek RTL 2832U sobre una interfaz con una comunicación I2C. Luego de una etapa de control de ganancia activo (AGC), la cual ajusta dinámicamente la amplitud de la señal de entrada para ajustarla al rango operativo del dispositivo, la señal IF luego requiere ser trasladada a banda base. Para ello, se pasa a la señal IF a través de un filtro anti-aliasing, se

muestra la salida con un ADC, y finalmente se convierte a banda base usando osciladores controlados numéricamente (NCO).

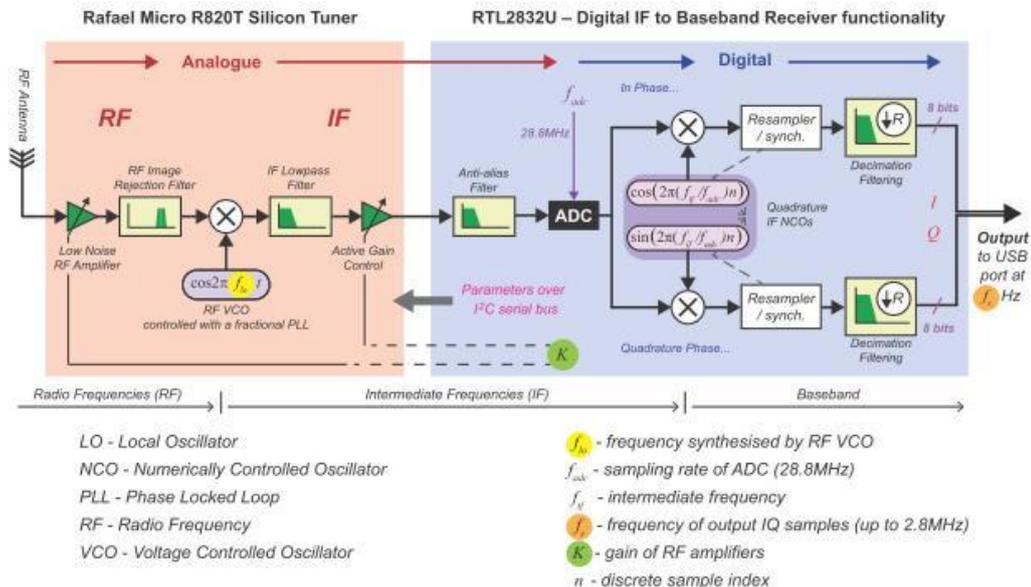


Figura III.16 El hardware y la función de sus componentes en la arquitectura de RTL-SDR

Cuando el RTL 2832U está operando en modo normal, los datos banda base IQ, son demodulados en DVB-T, y una transmisión de video MPEG2-TS sería la salida sobre la interfaz USB del dispositivo. Sin embargo, en el modo de prueba, la demodulación en DVB-T no se hace, resultando una salida de datos IQ en banda base de 8 bit.

Si se utilizara un Elonics E4000, este funciona de manera distinta al modelo previamente presentado, ya que trabaja en el modo IF cero (o, en inglés, *zero IF*). Esto implica que trasladará una banda ancha de señales RF sin necesidad de una etapa IF, realizando una demodulación en cuadratura. Las señales I y Q, son las que entrarán al RTL 2832U, y serán muestreadas, diezmadas y saldrán por la interfaz USB, como en el otro caso. El rango de trabajo con este dispositivo, en frecuencia es desde 75 MHz hasta 2.2 GHz, con una brecha entre 1.1 GHz y 1.2 GHz.

En la Figura III.17, se presenta un modelo real, donde se puede visualizar internamente como está formada una variante típica de RTL-SDR

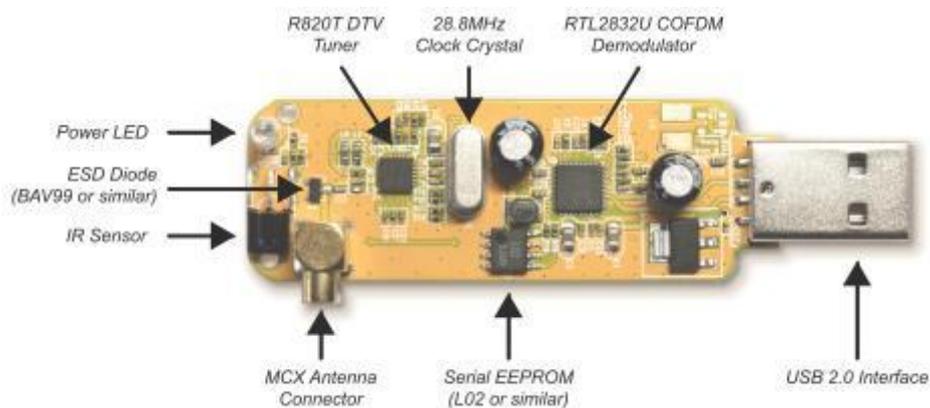


Figura III.17: Modelo real RTL-SDR

En dicha figura, se pueden visualizar los siguientes componentes:

- Conector MCX: para conectar la antena al dispositivo. Posee una conexión SMA.
- Diodo de descarga electrostático: protege al sintonizador de cualquier descarga proveniente del conector SMX.
- R820T: el microchip sintonizador que selecciona una frecuencia de recepción de RF y la traslada a IF.
- RTL283T: el microchip demodulador que convierte de IF a banda base, digitaliza la señal y reduce la frecuencia de muestreo.
- Cristal de reloj de 28.8 GHz: provee una referencia para la síntesis de frecuencia y usado para la generación del reloj y el oscilador local. Es común a ambos chips.
- Interfaz USB 2.0: parte del demodulador, se usa para transmitir los datos banda base IQ hacia la PC.
- Sensor Infra-rojo: utilizado como interfaz con el control remoto que viene con algunos kits del equipo.
- Memoria serie EEPROM: retiene la información de la configuración USB para el dispositivo. Está conectado al demodulador mediante un bus I2C. [5][6]

III.5.4 Software en RTL-SDR

En una PC adecuada, cuyas especificaciones fueron mencionadas en el capítulo 1.4.1, se realizarán las tareas DSP. Diversos softwares existen, algunos específicos de SDR y otros que poseen librerías que permiten trabajar con este dispositivo.

III.5.4.1 Matlab

MATLAB (abreviatura de MATrix LABoratory, "laboratorio de matrices") es una herramienta de software matemático que ofrece un entorno de desarrollo integrado (IDE) con un lenguaje de programación propio (lenguaje M). Está disponible para las plataformas Unix, Windows, Mac OS X y GNU/Linux.

Entre sus prestaciones básicas se hallan: la manipulación de matrices, la representación de datos y funciones, la implementación de algoritmos, la creación de interfaces de usuario (GUI) y la comunicación con programas en otros lenguajes y con otros dispositivos hardware. El paquete MATLAB dispone de dos herramientas adicionales que expanden sus prestaciones, a saber, Simulink (plataforma de simulación multidominio) y GUIDE (editor de interfaces de usuario - GUI). Además, se pueden ampliar las capacidades de MATLAB con las cajas de herramientas (toolboxes); y las de Simulink con los paquetes de bloques (blocksets).

Es un software muy usado en universidades y centros de investigación y desarrollo. En los últimos años ha aumentado el número de prestaciones, como la de programar directamente procesadores digitales de señal o crear código VHDL.

Simulink es un entorno de programación visual, que funciona sobre el entorno de programación Matlab. Es un entorno de programación de más alto nivel de abstracción que el lenguaje interpretado Matlab (archivos con extensión .m). Genera archivos con extensión. mdl (de "model"). Simulink viene a ser una herramienta de simulación de modelos o sistemas, con cierto grado de abstracción de los fenómenos físicos involucrados en los mismos. Se hace hincapié en el análisis de sucesos, a través de la concepción de sistemas (cajas negras que realizan alguna operación).

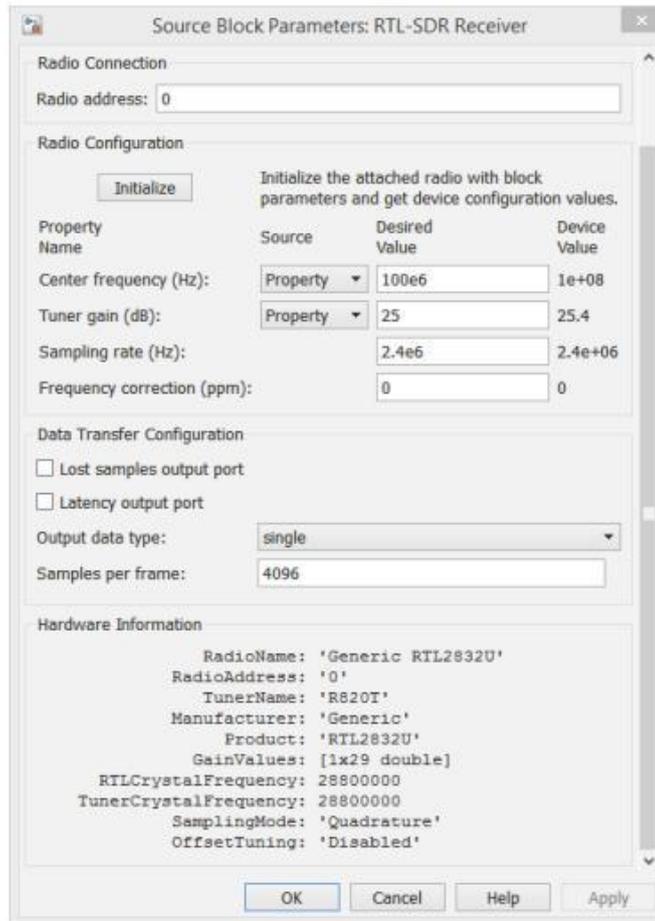
Es ampliamente usado en Ingeniería Electrónica en temas relacionados con el procesamiento digital de señales (DSP), involucrando temas específicos de ingeniería biomédica, telecomunicaciones, entre otros. También es muy utilizado en Ingeniería de Control y Robótica.

Existe un paquete, cuya descarga es gratuita, que permite vincular al software en cuestión con el receptor RTL-SDR y así trabajar con el mismo, aprovechando las ventajas que ofrece el entorno.

En la Figura III.18 (a) se puede observar el bloque que representa al RTL-SDR en Simulink. Si se quisiera trabajar con él, se abre el cuadro que se observa en la misma Figura III.18 (b), que permite configurar al RTL-SDR para que opere con una determinada frecuencia central, frecuencia de muestreo y ganancia de sintonizado, la configuración de la transferencia de datos. También se puede ajustar una corrección en frecuencia en ambas interfaces, para compensar cualquier tolerancia de hardware propia del dispositivo.



(a)



(b)

Figura III.18: Bloque que representa al RTL-SDR en Simulink (a) Menú del bloque de Simulink (b)

En la Figura III.19 se muestran los códigos de configuración en la interfaz clásica que ofrece el entorno. Si bien ambas interfaces ofrecen prácticamente las mismas facilidades de trabajo, es de destacar, que Simulink, presenta un entorno más simple de utilizar, pero que implica una mayor utilización de recursos, lo cual hace que la velocidad de respuesta sea más lenta. Con la interfaz tradicional, la velocidad de respuesta es notoriamente mayor (en PCs más poderosas opera prácticamente a tiempo real), pero aumenta la complejidad de operación.

```

%% PARAMETERS
rtlsdr_id      = '0';          % RTL-SDR ID
rtlsdr_freq    = 100e6;       % RTL-SDR tuner frequency in Hz
rtlsdr_gain    = 25;          % RTL-SDR tuner gain in dB
rtlsdr_fs      = 2.4e6;       % RTL-SDR sampling rate in Hz
rtlsdr_frmlen  = 4096;       % RTL-SDR output data frame size
rtlsdr_datatype = 'single';   % RTL-SDR output data type
rtlsdr_ppm     = 0;          % RTL-SDR tuner PPM correction

%% RTL-SDR System Object
obj_rtlsdr = comm.SDRRTLReceiver(...
    rtlsdr_id,...
    'CenterFrequency', rtlsdr_freq,...
    'EnableTunerAGC', false,...
    'TunerGain', rtlsdr_gain,...
    'SampleRate', rtlsdr_fs,...
    'SamplesPerFrame', rtlsdr_frmlen,...
    'OutputDataType', rtlsdr_datatype,...
    'FrequencyCorrection', rtlsdr_ppm);

```

Figura III.19: Ejemplo de programación del RTL-SDR utilizando la interfaz clásica de Matlab

Existe soporte diverso en páginas oficiales de Matlab para poder operar en ambos entornos, que incluyen libros, foros, videos, etcétera. [5][7]

III.5.4.2 Softwares de SDR de propósito general

RTL-SDR puede ser operado por diversos programas que trabajan con SDR. No existe un software específico para el dispositivo en cuestión, sino que el soporte recomienda usar programas utilizados por otros dispositivos basados en este tipo de receptor.

Los programas de SDR para propósito general, que se utilizaron para RTL-SDR son SDR# (o SDRSharp), HDSDR y SDR-Radio.

El más popular de los softwares mencionados, es SDR# o SDRSharp. Es gratuito y relativamente sencillo de utilizar e instalar en comparación de otros existentes. Las páginas oficiales del dispositivo ofrecen un amplio soporte referido a este programa, ya sea complementos, guía de instalación, tutoriales, foros etcétera. A pesar de su sencillez, posee características avanzadas. Tiene una útil arquitectura de tipo de complemento modular, y muchos complementos ya han sido desarrollados por desarrolladores de terceros. La descarga básica de SDR# sin complementos de terceros incluye una pantalla FFT estándar y cascada, un administrador de frecuencia, un complemento de grabación y un complemento de reducción de ruido digital. También decodifica las señales RDS de la emisión FM. En la Figura III.20, se puede visualizar el entorno en funcionamiento.

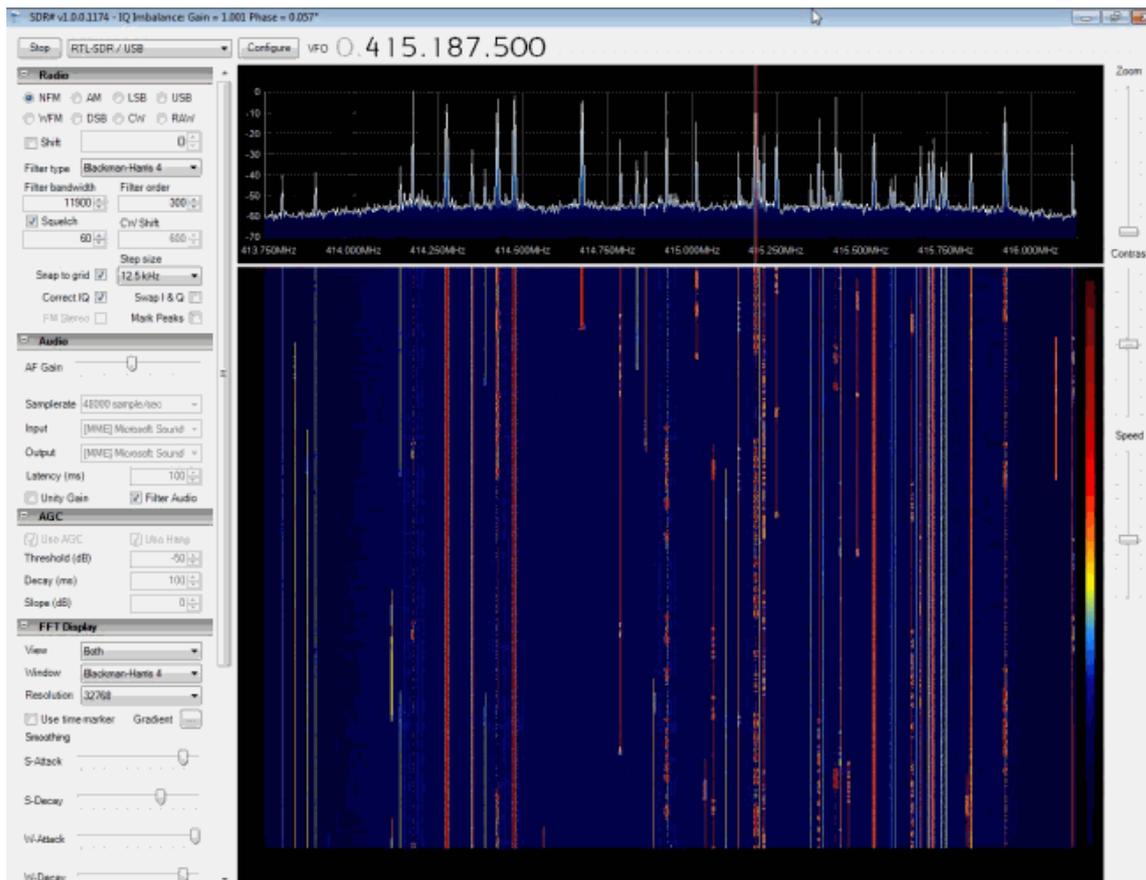


Figura III.20: Interfaz de SDR#

HSDR se basa en el antiguo programa WinRAD SDR. HSDR es compatible con RTL-SDR mediante el uso de un módulo ExtIO.dll. Se lo puede descargar de manera gratuita también, desde su página oficial, junto con los complementos necesarios para que funcione con RTL-SDR. Es muy sencillo de instalar.

Junto con una pantalla FFT y cascada, HSDR tiene algunas características avanzadas adicionales. Los usuarios también encontrarán un Audio FFT y una pantalla de cascada en la parte inferior de la pantalla. El audio de salida también se puede filtrar por paso de banda arrastrando los bordes del filtro en la pantalla. Se filtra de manera pasa-banda al audio realmente puede ayudar a limpiar una señal ruidosa. El procesamiento de audio también admite la colocación de filtros de muesca de forma manual o automática. También hay funciones de reducción de ruido y supresión de ruido y un algoritmo automático de centrado de frecuencia que centrará automáticamente la señal, por lo que no es necesario hacer clic exactamente en el centro de la señal. También posee un medidor de intensidad de señal de las unidades S y del administrador de frecuencia incorporado. En la Figura III.21, se puede visualizar el entorno en funcionamiento.

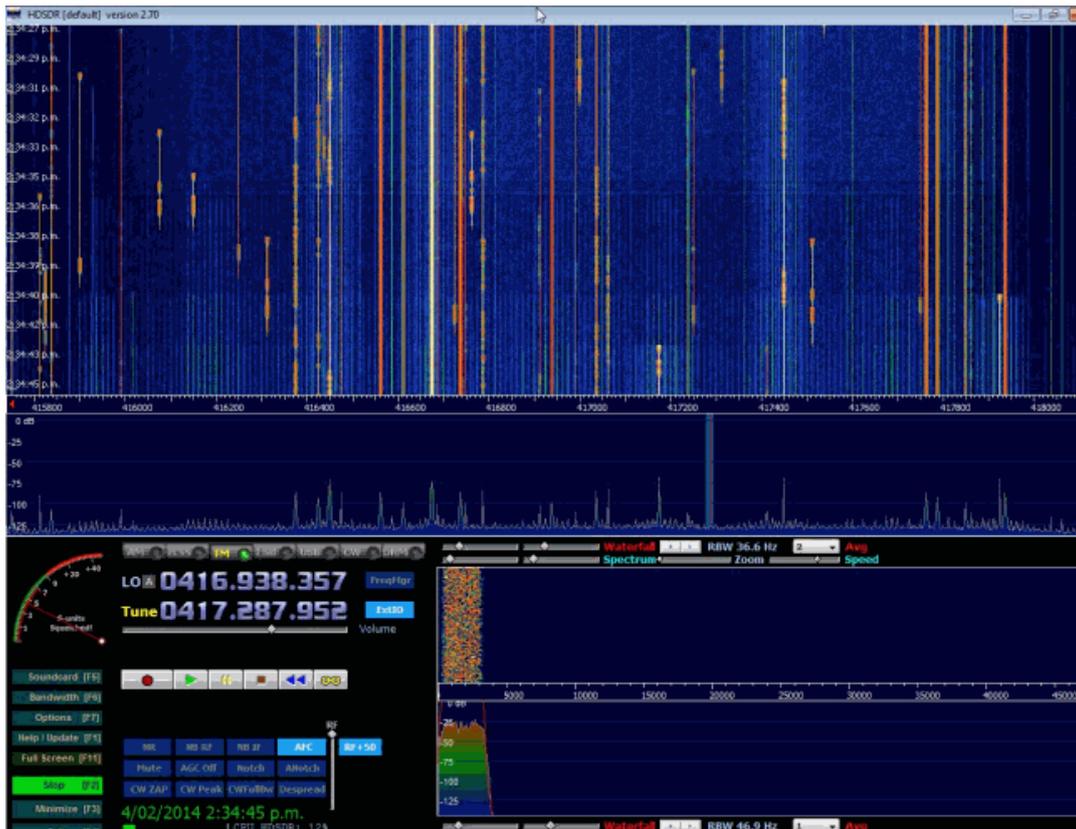


Figura III.21: Interfaz de HDSDR

SDR-Radio es un popular programa SDR con muchas características avanzadas. Como tal, es mucho más difícil de aprender y usar en comparación con SDR# y HDSDR. Es compatible a RTL-SDR partir de la versión 2, ya que las anteriores no tienen soporte con este dispositivo.

Una vez que SDR-Radio está instalado, para que funcione con RTL-SDR, se tiene que compilar o descargar tres archivos .dll y colocarlos en la SDRRadio carpeta. Es un poco más complejo de instalar que los anteriores.

Al igual que HDSDR, no solo tiene una señal RF FFT y una pantalla de cascada, sino también un FFT de espectro de audio opcional y una pantalla de cascada. Incorporado también hay varias características DSP como un silenciador de ruido, filtro de reducción de ruido, filtro de muesca y opciones de silenciamiento. El filtro de reducción de ruido EMNS es especialmente bueno para limpiar y aclarar automáticamente las señales de voz.

Para agregar a la lista de características, SDR-Radio también ha incorporado decodificadores PSK, RTTY y RDS, y también viene con un rastreador de satélite. Además, SDR-Radio V2 tiene un excelente servidor remoto que permite configurar y conectarse fácilmente a un servidor remoto RTL-SDR a través de una red o Internet. Finalmente, SDR-Radio es capaz de escuchar hasta 6 señales en el mismo fragmento de espectro visible a la vez. En la Figura III.22, se puede visualizar el entorno en funcionamiento. [6][7]

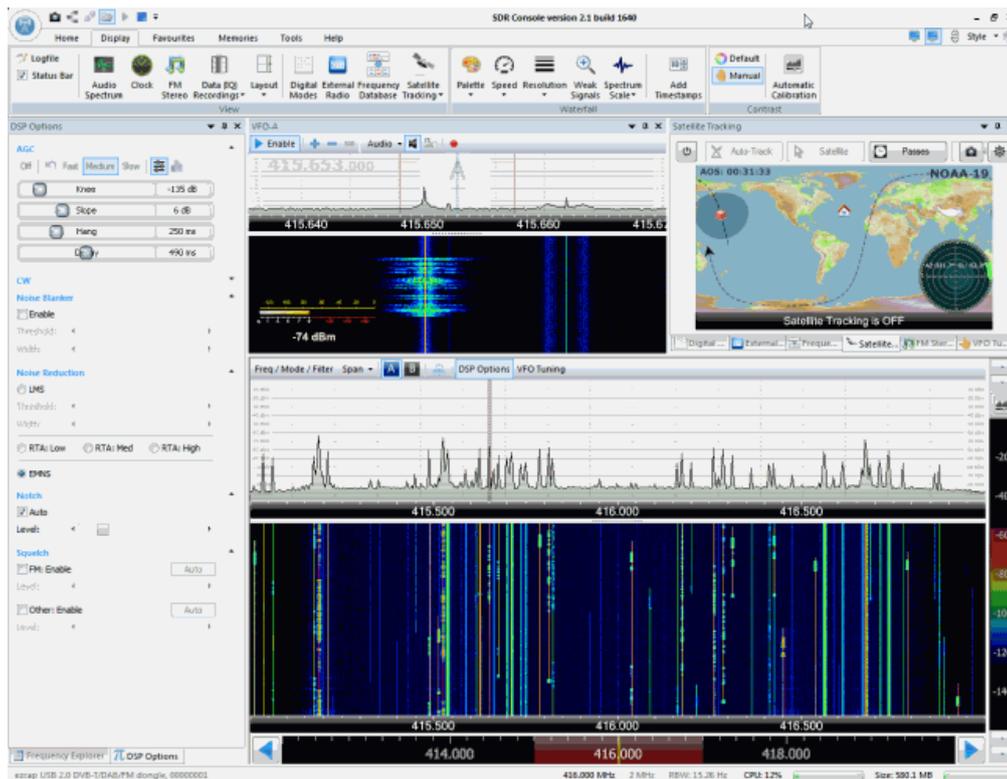


Figura III.22: Interfaz de SDR-Radio

III.6 SDR en Monopulso

Como se señaló en capítulos anteriores, en los sistemas de monopulso, son necesarios receptores para demodular la señal proveniente del sistema de sumas y restas utilizado. Dependiendo la cantidad de canales, distinta cantidad de receptores será necesaria, correspondiéndose siempre la cantidad de canales con las de receptores.

Cualquier SDR que opere a la frecuencia de trabajo, o si se le agrega una etapa analógica que lo preceda, que mueva la frecuencia de trabajo a una en la que el SDR opere, puede ser utilizado para estos propósitos.

Usualmente, las señales de las etapas previas son de muy baja potencia, y el SDR podría no distinguirlas, por lo que se utiliza un amplificador de bajo ruido (LNA, *low noise amplifier*) para aumentar el nivel de la señal de entrada, y de tal manera poder el SDR cumplir el propósito de recibirla y demodularla. Si es necesario, también se puede agregar un filtro, para mejorar la calidad de la señal. [8]

III.7 Conclusiones

En el presente capítulo, se repasaron conceptos básicos de la teoría de comunicaciones, deteniéndose puntualmente en la modulación en amplitud (AM) y su demodulación analógica, tomándose en cuenta criterios de diseño necesarios para su correcto funcionamiento, como el ripple y el recorte diagonal.

Se procedió también a analizar el funcionamiento de los dispositivos conocidos como SDR. Siendo su funcionalidad específica la de demodular señales (esto lo comparten con cualquier receptor), su principal diferencia es que ciertas etapas del sistema incumben dispositivos del tipo digital.

Si bien existe una etapa de carácter analógica en esta clase de dispositivos, pues las etapas iniciales tales como la antena o el sintonizado de entrada, la principal característica de esta clase de dispositivos son las etapas digitales que conforman a este sistema. Esta diferencia se basa en el hecho de que los receptores tradicionales, poseen todas etapas construidas con circuitos analógicos. La tendencia actual, sugiere que eventualmente los receptores tenderán a ser completamente digitales.

Los SDR se los puede armar de manera personalizada o ser adquiridos comercialmente. El RTL-SDR, es un receptor de este tipo que se vende a un precio accesible y que posee una prestación confiable en un rango amplio de frecuencias. Necesita de un entorno computacional para poder prestar sus funciones, lo que implica que su velocidad de respuesta es proporcional a la capacidad de procesamiento que posea la computadora en la que está conectado. Posee además, muchos software ya sean tanto gratuitos como pagos, para poder utilizarlo, sumándose a un amplio soporte.

En el presente proyecto, el SDR se encargará de demodular la señal (modulada en AM) en la etapa de prueba para corroborar el comportamiento del sistema y luego se procederá a diseñar un demodulador de AM. En próximo capítulo, se analizará el comportamiento precisamente del sistema que se utilizará en cuestión, basado en monopolso de canal único, denominado Pseudomonopulso.

III.8 Bibliografía

- [1] **A. B. Carlson** (1922) Communications Systems Estados Unidos: McGraw Hill.
- [2] **H. W. Tuttlebee** (2002) Software Defined Radio: Enabling Technologies. Estados Unidos: Wiley & Sons.
- [3] **P. B. Kenington** (2005) RF and Baseband Techniques for Software Defined Radio. Estados Unidos: Artech House.
- [4] **R. H. Hosking** (1998) Software Defined Radio Handbook. Estados Unidos: Pentek
- [5] **R.B. Stewart, K.W. Barlee, D.S.W. Atkinson y L.H. Crockett** (2015) Software Defined Radio using MATLAB Simulink and the RTL-SDR. Escocia: University of Strathclyde.
- [6] **C. Laufer** (2012) The Hobbyist's Guide To The RTL-SDR: Really Cheap Software Defined Radio. Estados Unidos: RTL-SDR
- [7] <https://www.rtl-sdr.com/>
- [8] **S. M. Sherman S. M., D. K. Barton.** (2011) Monopulse principles and techniques. Estados Unidos: Artech House.

Anexo IV: Código Utilizados

En el presente anexo se adjuntan todos los códigos utilizados en los distintos entornos, Arduino (entorno Arduino, utilizado para realizar la electrónica de Monopulso), MATLAB (entornos .m y Simulink, utilizados para manejar RTL-SDR y cálculo de constante dieléctrica) y C (para manejar PIC 4550, en entorno MPLABX).

IV.1 Arduino

Código utilizado para:

- manejar a los conmutadores del multiplexor
- demultiplexar los datos enviados por el receptor
- generar las señales angulares de error.

```
/*
  created 29 Jul 2018

  by Gluzman Brian, Mele Christian

  */

const int analogInPin = A0; // Entrada analógica desde el
receptor

const int salida1=5; // Primera señal de error
const int salida2=3; // Segunda señal de error

const int pulsoa=10; // Pulso de control a f1

const int pulsoaneg=12; // Pulso de control en contrafase a f1

const int pulsob=8; // Pulso de control a f2=2*f1
const int pulsobneg=9; // Pulso de control en contrafase a
f2=2*f1

int sensorValue = 0; // valor leído de la entrada A0
int outputValue = 0; // valor de salida del PWM

void setup() {
  // comunicación serie inicializada en 9600 bps:
  Serial.begin(9600);
}

void loop() {
  // lectura de valor de la entrada analógica
  sensorValue = analogRead(analogInPin);
  // mapea al rango de la salida 1
  outputValue = map(sensorValue, 0, 1023, 0, 255);
  // cambia el valor de la salida 1
  analogWrite( salida1, outputValue);

  // generacion de pulsos de control a f1
```

```

analogWrite( pulsoa, 255);
analogWrite( pulsoaneg, 0);

// generacion de pulsos de control a f2=2*f1
analogWrite( pulsob, 255);
analogWrite( pulsobneg, 0);

// generacion de pulsos de control a f2=2*f1
delayMicroseconds(366);
analogWrite( pulsobneg, 255);
analogWrite( pulsob, 0);
delayMicroseconds(166);

// lectura de valor de la entrada analógica
sensorValue = analogRead(analogInPin);
// mapea al rango de la salida 2
outputValue = map(sensorValue, 0, 1023, 0, 255);
// cambia el valor de la salida 2
analogWrite(salida2,outputValue);

// generacion de pulsos de control a f1
analogWrite( pulsoaneg, 255);
analogWrite( pulsoa, 0);

// generacion de pulsos de control a f2=2*f1
analogWrite( pulsob, 255);
analogWrite( pulsobneg, 0);

// generacion de pulsos de control a f2=2*f1
delayMicroseconds(366);
analogWrite( pulsobneg, 255);
analogWrite( pulsob, 0);
delayMicroseconds(166);
}

```

IV.2 Matlab

IV.2.1 RTL-SDR

Código utilizado para hacer un barrido espectral en el RTL-SDR

```

function rtlcdr_rx_specsweep

% PARAMETERS (can change)
location='cliff_lodge';           % location used for figure name
start_freq=25e6;                  % sweep start frequency
stop_freq=1750e6;                 % sweep stop frequency
rtlsdr_id='0';                    % RTL-SDR stick ID
rtlsdr_fs=2.8e6;                  % RTL-SDR sampling rate in Hz
rtlsdr_gain= 40;                  % RTL-SDR tuner gain in dB

```

```

rtlsdr_frmlen= 4096;           % RTL-SDR output data frame size
rtlsdr_datatype= 'single';    % RTL-SDR output data type
rtlsdr_ppm= 0;                % RTL-SDR tuner parts per
million correction

% PARAMETERS (can change, but may break code)
nfrmhold= 20;                 % number of frames to receive
fft_hold= 'avg';              % hold function "max" or "avg"
nfft=4096;                    % number of points in FFTs
(2^something)
dec_factor=16;                % output plot downsample
overlap=0.5;                  % FFT overlap to counter rolloff
nfrmdump=100;                 % number of frames to dump after
retuning (to clear buffer)

% CALCULATIONS
rtlsdr_tunerfreq = start_freq:rtlsdr_fs*overlap:stop_freq;
% range of tuner frequency in Hz

if( max(rtlsdr_tunerfreq) < stop_freq )
% check the whole range is covered, if not, add an extra tuner
freq
    rtlsdr_tunerfreq(length(rtlsdr_tunerfreq)+1) =
max(rtlsdr_tunerfreq)+rtlsdr_fs*overlap;
end
nretunes = length(rtlsdr_tunerfreq);
% calculate number of retunes required
freq_bin_width = (rtlsdr_fs/nfft);
% create xaxis
freq_axis = (rtlsdr_tunerfreq(1)-rtlsdr_fs/2*overlap :
freq_bin_width*dec_factor :
(rtlsdr_tunerfreq(end)+rtlsdr_fs/2*overlap)-freq_bin_width)/1e6;

% create spectrum figure
h_spectrum = create_spectrum;

% run capture and plot
capture_and_plot;

% make spectrum visible
h_spectrum.fig.Visible = 'on';

% save data
filename =
['rtlsdr_rx_specsweep_',num2str(start_freq/1e6),'MHz_',num2str(s
top_freq/1e6),'MHz_',location,'.fig'];
savefig(filename);

%% FUNCTION to create spectrum window
function h_spectrum = create_spectrum

    % colours
    h_spectrum.line_blue = [0.0000 0.4470 0.7410]; %
spectrum analyzer blue
    h_spectrum.line_orange = [1.0000 0.5490 0.0000]; %
spectrum analyzer orange

```

```

        h_spectrum.window_grey = [0.95 0.95 0.95];           %
background light grey
        h_spectrum.axes_grey = [0.1 0.1 0.1];               %
dark grey for axes titles etc
        h_spectrum.plot_white = [1 1 1];                   %
white for plot background

        % sizes
        fig_w = 1200;
        fig_h = 600;
        scnsz = get(0,'ScreenSize');                         %
find monitor 1 size
        if scnsz(3) < fig_w                                 % if
monitor is not fig_w wide
            fig_w = scnsz(3);                               %
reduce fig_w
        end
        if scnsz(4) < fig_h                                 % if
monitor is not fig_h tall
            fig_h = scnsz(4);                               %
reduce fig_h
        end
        fig_pos = [(scnsz(3)-fig_w)/2 (scnsz(4)-fig_h)/2
fig_w fig_h];      % set to open in middle of monitor 1

        % create new figure
h_spectrum.fig = figure(...
    'Color',h_spectrum.window_grey,...
    'Position',fig_pos,...
    'SizeChangedFcn',@resize_spectrum,...
    'Name',['RTL-SDR Spectrum Sweep: ',location],...
    'Visible', 'off');
h_spectrum.fig.Renderer = 'painters';

        % subplot 1
h_spectrum.axes1 = axes(...
    'Parent',h_spectrum.fig,...
    'YGrid','on','YColor',h_spectrum.axes_grey,...
    'XGrid','on','XColor',h_spectrum.axes_grey,...
    'GridLineStyle','--',...
    'Color',h_spectrum.plot_white);
box(h_spectrum.axes1,'on');
hold(h_spectrum.axes1,'on');
xlabel(h_spectrum.axes1,'Frequency (MHz)');
ylabel(h_spectrum.axes1,'Power Ratio (dBm) [relative to
50 \Omega load] ');
xlim(h_spectrum.axes1,[start_freq/1e6,stop_freq/1e6]);

        % subplot 2
h_spectrum.axes2 = axes(...
    'Parent',h_spectrum.fig,...
    'YGrid','on','YColor',h_spectrum.axes_grey,...
    'XGrid','on','XColor',h_spectrum.axes_grey,...
    'GridLineStyle','--',...
    'Color',h_spectrum.plot_white);
box(h_spectrum.axes2,'on');

```

```

    hold(h_spectrum.axes2,'on');
    xlabel(h_spectrum.axes2,'Frequency (MHz)');
    ylabel(h_spectrum.axes2,'Relative Power (Watts)');
    xlim(h_spectrum.axes2,[start_freq/1e6,stop_freq/1e6]);

    % figure title
    title(h_spectrum.axes1,['RTL-SDR Spectrum Sweep    ||
Range = ',num2str(start_freq/1e6),'MHz to ',...
        num2str(stop_freq/1e6),'MHz    ||    Bin Width =
',num2str(freq_bin_width*dec_factor/1e3),...
        'kHz    ||    Number of Bins =
',num2str(length(freq_axis)),'    ||    Number of Retunes = ',...
        num2str(nretunes)]);

    % position axes
    axes_position(fig_w,fig_h);

    % link plots together for zooming
    linkaxes([h_spectrum.axes1,h_spectrum.axes2],'x');

end

%% FUNCTION to calculate axes positions
function axes_position(fig_w,fig_h)

    h_spectrum.axes1.Position = [...           % dBm axes
        70/fig_w,...                           % 70px from left
        (fig_h/2)/fig_h,...                     % at centre line
        (fig_w-100)/fig_w,...                   % 100px from
right
        (fig_h/2-30)/fig_h];                   % 80px from top

    h_spectrum.axes2.Position = [...           % Watts axes
        70/fig_w,...                           % 70px from left
        50/fig_h,...                           % 50px from
bottom
        (fig_w-100)/fig_w,...                   % 100px from
right
        (fig_h/2-100)/fig_h];                 % 100px below
centre line

end

%% FUNCTION (callback) to resize axes in spectrum window
function resize_spectrum(hObject,callbackdata)

    % find current sizes
    fig_w = h_spectrum.fig.Position(3);
    fig_h = h_spectrum.fig.Position(4);

    % update axes positions
    axes_position(fig_w,fig_h);

end

```

```

%% FUNCTION to capture data from the RTL-SDR and plot it
function capture_and_plot

    % START TIMER
    tic;
    disp(' ');

    % SYSTEM OBJECTS
    % RTL-SDR system object
    obj_rtlsdr = comm.SDRRTLReceiver(...
        rtlsdr_id,...
        'CenterFrequency',      rtlsdr_tunerfreq(1),...
        'EnableTunerAGC',      false,...
        'TunerGain',           rtlsdr_gain,...
        'SampleRate',          rtlsdr_fs, ...
        'SamplesPerFrame',     rtlsdr_frmlen,...
        'OutputDataType',     rtlsdr_datatype ,...
        'FrequencyCorrection',  rtlsdr_ppm );

    % FIR decimator
    obj_decmttr = dsp.FIRDecimator(...
        'DecimationFactor',    dec_factor,...
        'Numerator',          fir1(300,1/dec_factor));

    % CALCULATIONS (others)
    rtlsdr_data_fft = zeros(1,nfft); %
    fullsize matrix to hold calculated fft [1 x nfft]
    fft_reorder = zeros(length(nfrmhold),nfft*overlap); %
    matrix with overlap compensation to hold re-ordered ffts [navg x
    nfft*overlap]
    fft_dec = zeros(nretunes,nfft*overlap/dec_factor); %
    matrix with overlap compensation to hold all ffts [ntune x
    nfft*overlap/data_decimate]

    % SIMULATION
    % check if RTL-SDR is active
    if ~isempty(sdrinfo(obj_rtlsdr.RadioAddress))
    else
        error(['RTL-SDR failure. Please check connection to
        ',...
            'MATLAB using the "sdrinfo" command.']);
    end

    % create progress variable
    tune_progress = 0;

    % for each of the tuner values
    for ntune = 1:1:nretunes;

        % tune RTL-SDR to new centre frequency
        obj_rtlsdr.CenterFrequency =
rtlsdr_tunerfreq(ntune);

        % dump frames to clear software buffer
        for frm = 1:1:nfrmdump

```

```

        % fetch a frame from the rtl_sdr stick
        rtl_sdr_data = step(obj_rtl_sdr);
    end

    % display current centre frequency
    disp(['          fc =
', num2str(rtl_sdr_tunerfreq(ntune)/1e6), 'MHz']);

    % loop for nfrmhold frames
    for frm = 1:1:nfrmhold

        % fetch a frame from the rtl_sdr stick
        rtl_sdr_data = step(obj_rtl_sdr);

        % remove DC component
        rtl_sdr_data = rtl_sdr_data - mean(rtl_sdr_data);

        % find fft [ +ve , -ve ]
        rtl_sdr_data_fft = abs(fft(rtl_sdr_data,nfft))';

        % rearrange fft [ -ve , +ve ] and keep only
overlap data
        fft_reorder(frm,( 1 : (overlap*nfft/2) ))      =
rtl_sdr_data_fft( (overlap*nfft/2)+(nfft/2)+1 : end ); % -ve
        fft_reorder(frm,( (overlap*nfft/2)+1 : end )) =
rtl_sdr_data_fft( 1 : (overlap*nfft/2) );             % +ve

    end

    % process the fft data down to [1 x
nfft*overlap/data_decimate] from [nfrmhold x
nfft*overlap/data_decimate]
    if strcmp(fft_hold,'avg')
        % if set to average, find mean
        fft_reorder_proc = mean(fft_reorder);

    elseif strcmp(fft_hold,'max')
        % if set to max order hold, find max
        fft_reorder_proc = max(fft_reorder);

    end

    % decimate data to smooth and store in spectrum
matrix
    fft_dec(ntune,:) =
step(obj_decmatr,fft_reorder_proc)';

    % show progress if at an n10% value
    if floor(ntune*10/nretunes) ~= tune_progress;
        tune_progress = floor(ntune*10/nretunes);
        disp(['          progress =
', num2str(tune_progress*10), '%']);
    end

end
end

```

```

        % REORDER INTO ONE MATRIX
        fft_masterreshape =
reshape(fft_dec',1,ntune*nfft*overlap/dec_factor);

        % PLOT DATA
        y_data = fft_masterreshape;
        y_data_dbm = 10*log10((fft_masterreshape.^2)/50);

plot(h_spectrum.axes1,freq_axis,y_data_dbm,'Color',h_spectrum.li
ne_blue,'linewidth',1.25);

plot(h_spectrum.axes2,freq_axis,y_data,'Color',h_spectrum.line_o
range,'linewidth',1.25);

        % STOP TIMER
        disp(' ');
        disp(['      run time = ',num2str(toc),'s']);
        disp(' ');

    end
end

```

Código utilizado para hacer una demodulación de AM en RTL-SDR

```

%% PARAMETERS (can change)
offline          = 1;                % '0' = use RTL-
SDR, '1' = import data
offline_filepath = 'rec_data/am_dsb_tc.mat'; % path to AM
signal
rtlsdr_id        = '0';              % stick ID
rtlsdr_fc        = 433.9e6;          % tuner centre
frequency in Hz
rtlsdr_gain      = 30;               % tuner gain in
dB
rtlsdr_fs        = 240e3;            % tuner sampling
rate
rtlsdr_ppm       = 0;                % tuner parts
per million correction
rtlsdr_frmlen    = 256*25;          % output data
frame size (must be a multiple of 5)
rtlsdr_datatype  = 'single';        % output data
type
audio_fs         = 48e3;              % audio output
sampling rate
sim_time         = 60;                % simulation
time in seconds

%% CALCULATIONS (do not edit)
rtlsdr_fc = rtlsdr_fc-40e3;          % add 40kHz offset
to tuner frequency entered by user
rtlsdr_frmtime = rtlsdr_frmlen/rtlsdr_fs; % calculate time for
1 frame of data

%% SYSTEM OBJECTS (do not edit)

```

```

% check if running offline
if offline == 1

    % link to an rtl-sdr data file
    obj_rtlsdr = import_rtlsdr_data(...
        'filepath', offline_filepath,...
        'frm_size', rtlsdr_frmlen,...
        'data_type',rtlsdr_datatype);

else

    % link to a physical rtl-sdr
    obj_rtlsdr = comm.SDRRTLReceiver(...
        rtlsdr_id,...
        'CenterFrequency', rtlsdr_fc,...
        'EnableTunerAGC', false,...
        'TunerGain', rtlsdr_gain,...
        'SampleRate', rtlsdr_fs, ...
        'SamplesPerFrame', rtlsdr_frmlen,...
        'OutputDataType', rtlsdr_datatype,...
        'FrequencyCorrection', rtlsdr_ppm);

end;

% fir decimator
obj_decmttr = dsp.FIRDecimator(...
    'DecimationFactor', 5,...
    'Numerator', firpm(100, [0 15e3 20e3 (240e3/2)]/(240e3/2),
    [1 1 0 0], [1 1], 20));

% fir bandpass filter
obj_bpf = dsp.FIRFilter(...
    'Numerator',
    firpm(50, [0,20e3,25e3,55e3,60e3,240e3/2]/(240e3/2),...
    [0 0 1 1 0 0],[1 1 1],20));

% audio output
obj_audio = dsp.AudioPlayer(audio_fs);    % set output sampling
rate to 48kHz

% spectrum analyzers
obj_spectrummod = dsp.SpectrumAnalyzer(...
    'Name', 'Spectrum Analyzer Modulated',...
    'Title', 'Spectrum Analyzer Modulated',...
    'SpectrumType', 'Power density',...
    'FrequencySpan', 'Full',...
    'ShowLegend', true,...
    'SampleRate', rtlsdr_fs);
obj_spectrumdemod = dsp.SpectrumAnalyzer(...
    'Name', 'Spectrum Analyzer Demodulated',...
    'Title', 'Spectrum Analyzer Demodulated',...
    'SpectrumType', 'Power density',...
    'FrequencySpan', 'Full',...
    'SampleRate', audio_fs);

% SIMULATION (do not edit)

```

```

% if using RTL-SDR, check first if RTL-SDR is active
if offline == 0
    if ~isempty(sdrinfo(obj_rtlsdr.RadioAddress))
    else
        error(['RTL-SDR failure. Please check connection to
',...
            'MATLAB using the "sdrinfo" command.']);
    end
end

% reset run_time to 0 (secs)
run_time = 0;

% loop while run_time is less than sim_time
while run_time < sim_time

    % fetch a frame from obj_rtlsdr (live or offline)
    rtlsdr_data = step(obj_rtlsdr);

    % bandpass filter data to isolate AM-DSB-TC signal around
40kHz
    data_bpf = step(obj_bpf,rtlsdr_data);

    % update 'modulated' spectrum analyzer window with the new
frame
    % of data, and the frame of bandpass filtered data
    step(obj_spectrummod,[rtlsdr_data,data_bpf]);

    % implement complex envelope detector
    env_mag = abs(data_bpf);
    data_dec = step(obj_decmod,env_mag);

    % update 'demodulated' spectrum analyzer window with new
frame
    step(obj_spectrummod,data_dec);
    % output demodulated signal to speakers
    step(obj_audio,data_dec);

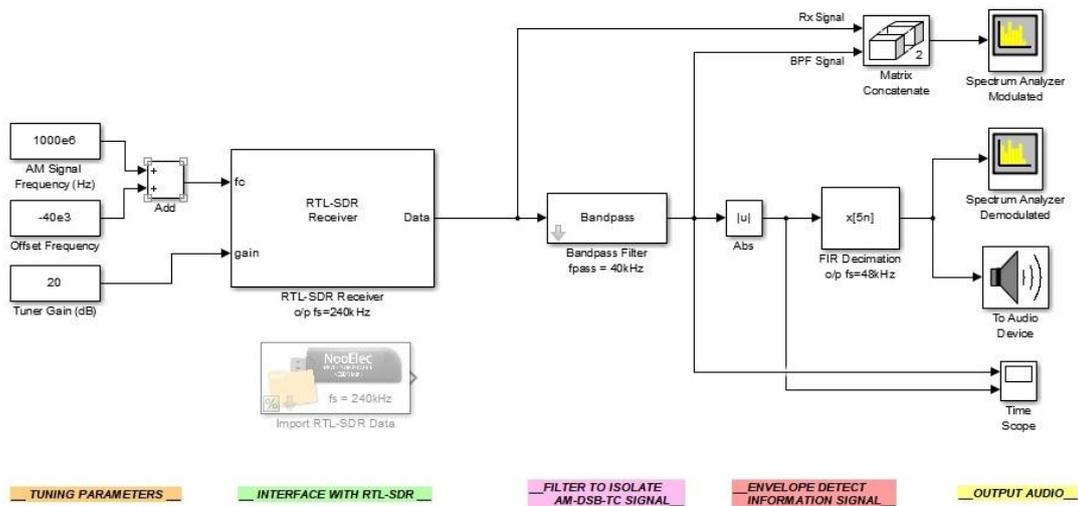
    % update run_time after processing another frame
    run_time = run_time + rtlsdr_frmttime;

end

end

```

Simulink utilizado para realizar la demodulación en AM en RTL-SDR



IV.2.2 Medición de constante dieléctrica en placas

Código utilizado para interpolar la constante dieléctrica de las placas.

```

m= %Modo 1
l= %Modo 2
freq=3e8 %Frecuencia del pico
c= %Velocidad del medio
x1= %x1<z1 %Dimensión 1
z1= %Dimensión 2

```

$$er = ((c / (2 * freq))^2) * [(m / z1)^2 + (1 / x1)^2]$$

Código utilizado para detectar las frecuencias de los picos en modos superiores.

```

m= %Valor1
l= %Valor2
er= %Constante dielectrica preliminar
c=3e8 %Velocidad del medio
x1= %x1<z1 %Dimensión 1
z1= %Dimensión 2

```

$$freq = (c / (2 * (er^{0.5}))) * (((1 / x1)^2 + (m / z1)^2)^{0.5})$$

IV.3 Código para PIC 4550

Código utilizado para controlar al generador que actua como oscilador local.

Archivo Main

```
#define VERSION_SOFT 3.3
```

```

#include <xc.h> //Library for compiler
#include <pic18f4550.h> //Library for PIC
//#include <plib/usart.h> //Library for UART
#include <stdio.h>
#include <stdlib.h>
#include <string.h>
//#include <plib/adc.h>

#include "ADF4351.c"

//CON ESTE ORDEN DE CONFIGURACION FUNCIONA RB5..... (P 48M)
#pragma config PLLDIV = 5, CPUDIV = OSC1_PLL2, USBDIV = 2
#pragma config FOSC = HSPLL_HS, FCMEN = OFF, IESO = OFF
#pragma config PWRT = OFF, BOR = OFF, VREGEN = OFF
#pragma config WDT = OFF, WDTPS = 32768
#pragma config MCLRE = ON, LPT1OSC = OFF, PBADEN = OFF
#pragma config STVREN = ON, LVP = OFF, ICPRT = OFF, XINST = OFF

#define _XTAL_FREQ 4800000 //The speed of your
internal(or)external oscillator
#define EAUSART_V4 //Le especifica al compilador la
versión de las funciones del modulo USART que se deben
declarar.
//Esto lo debería hacer el
compilador automaticamente pero debe haber un error y no lo
hace.

void decodificar_comandos(void); //Decodifica y detecta los
comandos
void set_registers(void); //Setea los registros de
perifericos
void init_perifericos(void); //Inicializa los perifericos

unsigned long FreqTrabajo = 1800;

/*
 * Main Function
 */
int main(int argc, char** argv) {
    set_registers();

    // CloseUSART();//

    init_perifericos();

    // init_screen_wait();
    set_freq(FreqTrabajo);
    while(1); //Bucle infinito

    return (EXIT_SUCCESS);
}

void set_registers(void)

```

```

{
    /*Inicialización de variables*/
    SPPCON = 0;    //disable SPP
    CVRCON = 0; //more disables
    SSPCON1 = 0; //disable SPI functionality
    CCP1CON = 0; //disable both ccp modules

    //Para SPI
    SSPSTAT = 0b00000000; //0x00 De acuerdo a la hoja de datos
    SSPCON1 = 0b00110001; // De acuerdo a la hoja de datos

    //Seteo de los TRIS para el SPI del generador.
    //como salidas para enviar información.
    TRISCbits.TRISC0 = 0;
    TRISCbits.TRISC1 = 0;
    TRISCbits.TRISC2 = 0;
    TRISAbits.TRISA5 = 0;
}

void init_periféricos(void)
{
    //Init Para SPI
    CE = 1;
    DATA_S = 1;
    LE = 1;
    CLK = 0;
    __delay_ms(10);
    set_freq_values(0); //-----
-----
}

void delay1Seg(void)
{
    int i;
    for (i=0;i<100;i++)
    {
        __delay_ms(10);
    }
}

void delayHalfSeg(void)
{
    int i;
    for (i=0;i<50;i++)
    {
        __delay_ms(10);
    }
}

Archivo ADF4351

#include "math.h"

//Definiciones
#define CLK LATCbits.LATC0 //PIN_C0

```

```

#define DATA_S LATCbits.LATC1 //PIN_C1
#define LE LATCbits.LATC2 //PIN_C2
#define CE LATAbits.LATA5 //PIN_C4 -/A5-----
--
#define bittest(D,i) ( ( (D) & ( ( (unsigned long) 1 << (i) ) ) )
) && ( ( (unsigned long) 1 << (i) ) ) )

#define _XTAL_FREQ 48000000

//Definicion de variables
float divisor;
unsigned long init;
float FrecInstant;
unsigned int vecADC; //Int aca es de 16 bites

/*
 *
 */
void set_freq_values(int initFrec)
{
    static const unsigned long FREQ_INIT[3][6]={ { 0xD20000,
0x8008321, 0x4E42, 0x4B3, 0x950024, 0x580005}, // <2200 2.1 GHz
--> MOD = 100 ; INT = 210 ; FRAC = 0 ; R = 1 DIV 2. PFD =
5MHz
                                { 0x708000, 0x8008321,
0x4E42, 0x4B3, 0x850024, 0x580005}, // >2200 2.1 GHz --> MOD =
100 ; INT = 210 ; FRAC = 0 ; R = 1 DIV 1. PFD = 10MHz
                                { 0xC80000, 0x8008321,
0x4E42, 0x4B3, 0xA50024, 0x580005}}; // <1100 1GHz --> MOD =
100 ; INT = 400 ; FRAC = 0 ; DIV 4. PFD = 2.5MHz

    CE = 0;          //CE Select device

    for (int i = 0; i <= 5; i++)          // para 6 registros
    {
        LE = 0;
        for (int m = 0; m <= 31; m++)          //para 32 bits
        {
            CLK = 0;
            DATA_S = bittest(FREQ_INIT[initFrec][5-i],31-m);
            CLK = 1;
        }
        CLK = 0;
        DATA_S = 1;
        LE = 1;
    }
    CE = 1;          //CE Deselect device

    LE = 0;
    __delay_ms(1);
    LE = 1;
}

/*
 *

```

```

*/
void set_freq(float freq)
{
    unsigned long intt, frac, register_0;
    float intt_f;
    divisor = 10 ;
    if (freq < 1100.0)
    {
        divisor = 2.5;
        init = 2 ;
    }
    else if (freq < 2200.0 )
    {
        divisor = 5;
        init = 0 ;
    }
    set_freq_values(init);
    if (freq == 1100.0)
    {
        divisor = 5;
        set_freq_values(0);
    }
    if (freq == 2200.0)
    {
        divisor = 10;
        set_freq_values(1);
    }

    intt_f = (freq / divisor);
    intt = floor(intt_f);
    frac = (100 / divisor) * (freq - divisor * intt);
    register_0 = 8 * frac + 32768 * intt ;

    CE = 0;          //CE Select device
    LE = 0;          // LE LOW
    for (int m=0;m<=31;m++) //for 32 bits
    {
        CLK = 0;
        DATA_S = bittest(register_0,31-m);
        CLK = 1;
    }
    CLK = 0;
    DATA_S = 1;
    LE = 1;          //LE HIGH
    CE = 1;          //CE Deselect device
    LE = 0;
    __delay_ms(1);
    LE = 1;          //LE high
}

```

Anexo V: Hojas de datos

A continuación se detallan las hojas de datos que se corresponden a los integrados utilizados en el proyecto. Los mismos son:

1. LNA MAX2640-MAX2641
2. Mezclador MAX2680-MAX2682
3. Amplificador de audio LM318-n
4. Conmutador MASWSS0136
5. Diodo 1N5817
6. Generador de Señales ADF4351

MAX2640/MAX2641

300MHz to 2500MHz SiGe Ultra-Low-Noise Amplifiers

General Description

The MAX2640/MAX2641 are low-cost, ultra-low-noise amplifiers designed for applications in the cellular, PCS, GPS, and 2.4GHz ISM frequency bands. Operating from a single +2.7V to +5.5V supply, these devices consume only 3.5mA of current while providing a low noise figure, high gain, high input IP3, and an operating frequency range that extends from 300MHz to 2500MHz.

The MAX2640 is optimized for 300MHz to 1500MHz applications, with a typical performance of 15.1dB gain, input IP3 of -10dBm, and a noise figure of 0.9dB at 900MHz. The MAX2641 is optimized for 1400MHz to 2500MHz applications, with a typical performance of 14.4dB gain, an input IP3 of -4dBm, and a noise figure of 1.3dB at 1900MHz.

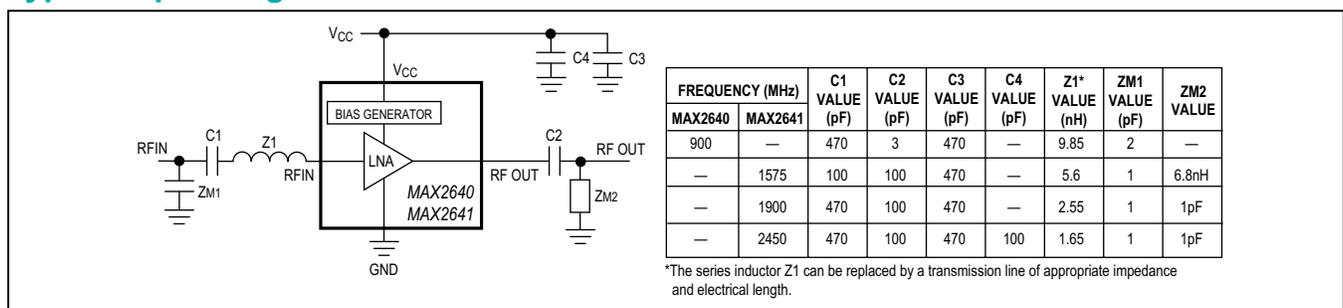
These devices are internally biased, eliminating the need for external bias resistors and chokes. In a typical application, the only external components needed are a two-element input match, input and output blocking capacitors, and a V_{CC} bypass capacitor.

The MAX2640/MAX2641 are designed on a high-frequency, low-noise, advanced silicon-germanium process and are offered in the space-saving, 6-pin SOT23 package.

Applications

- 315MHz/400MHz/900MHz/2.4GHz ISM Radios
- Cellular/PCS Handsets
- GPS Receivers
- Cordless Phones
- Wireless LANs
- Wireless Data

Typical Operating Circuit



Features

- Wide Operating Frequency Range
MAX2640: 300MHz to 1500MHz
MAX2641: 1400MHz to 2500MHz
- Low Noise Figure
MAX2640: 0.9dB at 900MHz
MAX2641: 1.2dB at 1575MHz
1.3dB at 1900MHz
1.5dB at 2450MHz
- High Gain
MAX2640: 15.1dB at 900MHz
MAX2641: 15.7dB at 1575MHz
14.4dB at 1900MHz
13.5dB at 2450MHz
- High Reverse Isolation
MAX2640: 40dB at 900MHz
MAX2641: 31dB at 1575MHz
30dB at 1900MHz
24dB at 2450MHz
- +2.7V to +5.5V Single-Supply Operation
- Low 3.5mA Supply Current
- Ultra-Small SOT23-6 Package

Ordering Information

PART	TEMP RANGE	PIN-PACKAGE	SOFT TOP MARK
MAX2640EUT-T	-40°C to +85°C	6 SOT23	AAAV
MAX2640EUT+T	-40°C to +85°C	6 SOT23	AAAV
MAX2640AUT+T	-40°C to +125°C	6 SOT23	AAAV
MAX2641EUT-T	-40°C to +85°C	6 SOT23	AAAW
MAX2641EUT+T	-40°C to +125°C	6 SOT23	AAAW

+Denotes a lead(Pb)-free/RoHS-compliant package.
T = Tape and reel.

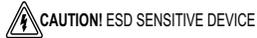
Pin Configuration appears at end of data sheet.

Absolute Maximum Ratings

V _{CC} to GND	-0.3V to +6V	Operating Temperature Range	
RFIN Power (50Ω source) (Note 1)	+5dBm	MAX2640EUT/MAX2641EUT.....	-40°C to +85°C
Continuous Power Dissipation (T _A = +70°C)		MAX2640AUT.....	-40°C to +125°C
SOT23-6 (derate 8.7mW/°C above +70°C)	696mW	Storage Temperature Range	-65°C to +160°C
		Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note 1: Pin must be AC-coupled with a DC blocking capacitor.



DC Electrical Characteristics

(V_{CC} = +2.7V to +5.5V, T_A = -40°C to +85°C (MAX2640EUT/MAX2641EUT), T_A = -40°C to +125°C (MAX2640AUT), unless otherwise noted. Typical values are at V_{CC} = +3.0V, T_A = +25°C.) Limits at T_A = +25°C are guaranteed by production test. Limits over temperature are guaranteed by design and characterization.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage		2.7		5.5	V
Operating Supply Current	T _A = +25°C		3.5	4.7	mA
	T _A = -40°C to +85°C (MAX2640EUT/MAX2641EUT)			6.4	
	T _A = -40°C to +125°C (MAX2640AUT)			7.8	

RF Electrical Characteristics

(V_{CC} = +3.0V, P_{RFIN} = -34dBm, Z_O = 50Ω, T_A = +25°C, unless otherwise noted.) (Notes 2 and 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
MAX2640 (f_{RFIN} = 900MHz)					
RFIN Frequency Range		300		1500	MHz
Gain		12.8	15.1		dB
Gain Variation Over Temperature	T _A = -40°C to +85°C (MAX2640EUT)		0.6	1.7	dB
	T _A = -40°C to +125°C (MAX2640AUT)		0.9	2.5	
Noise Figure	(Note 4)		0.9	1.1	dB
Input Return Loss			-11		dB
Output Return Loss			-14		dB
Reverse Isolation			40		dB
Input 1dB Gain Compression Point			-22		dBm
Input Third-Order Intercept Point	(Note 5)		-10		dBm
MAX2641 (f_{RFIN} = 1900MHz)					
RFIN Frequency Range		1400		2500	MHz
Gain		12.4	14.4		dB
Gain Variation Over Temperature	T _A = T _{MIN} to T _{MAX}		0.9	2.4	dB
Noise Figure	(Note 4)		1.3	1.5	dB
Input Return Loss			-12		dB
Output Return Loss			-12		dB
Reverse Isolation			30		dB
Input 1dB Gain Compression Point			-21		dBm
Input Third-Order Intercept Point	(Note 6)		-4		dBm

RF Electrical Characteristics (continued)

($V_{CC} = +3.0V$, $P_{RFIN} = -34dBm$, $Z_O = 50\Omega$, $T_A = +25^\circ C$, unless otherwise noted.) (Notes 2 and 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
MAX2641 ($f_{RFIN} = 1575MHz$)					
Gain			15.7		dB
Noise Figure	(Note 4)		1.2		dB
Input Return Loss			-8		dB
Output Return Loss			-15		dB
Reverse Isolation			-31		dB
Input 1dB Gain Compression Point			-21		dBm
Input Third-Order Intercept Point	(Note 7)		+1.4		dBm
MAX2641 ($f_{RFIN} = 2450MHz$)					
Gain			13.5		dB
Noise Figure	(Note 4)		1.5		dB
Input Return Loss			-10		dB
Output Return Loss			-11		dB
Reverse Isolation			-24		dB
Input 1dB Gain Compression Point			-19		dBm
Input Third-Order Intercept Point	(Note 8)		-2.5		dBm

Note 2: Guaranteed by design and characterization.

Note 3: Measured using typical operating circuit. Input and output impedance matching networks were optimized for best simultaneous gain and noise-figure performance.

Note 4: External component and circuit losses degrade noise-figure performance. Specification excludes external component and circuit board losses.

Note 5: Measured with two input tones, $f_1 = 899MHz$, $f_2 = 901MHz$, both at -34dBm per tone.

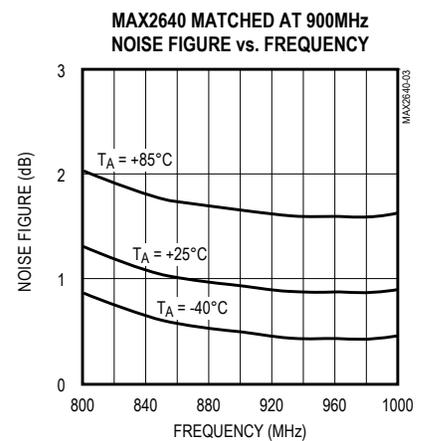
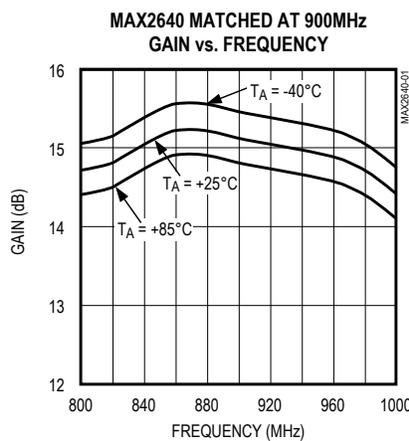
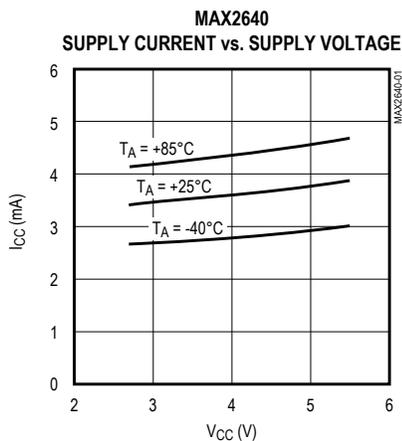
Note 6: Measured with two input tones, $f_1 = 1899MHz$, $f_2 = 1901MHz$, both at -34dBm per tone.

Note 7: Measured with two input tones, $f_1 = 1574MHz$, $f_2 = 1576MHz$, both at -34dBm per tone.

Note 8: Measured with two input tones, $f_1 = 2449MHz$, $f_2 = 2451MHz$, both at -34dBm per tone.

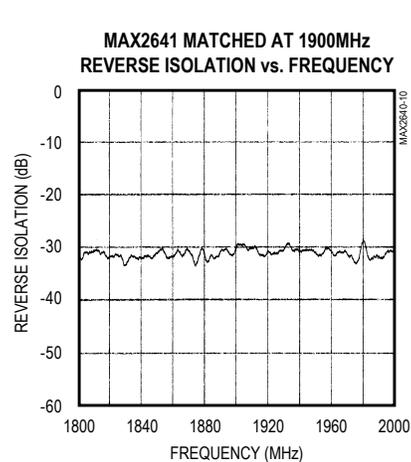
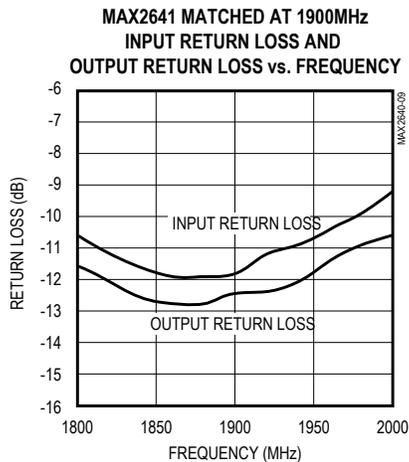
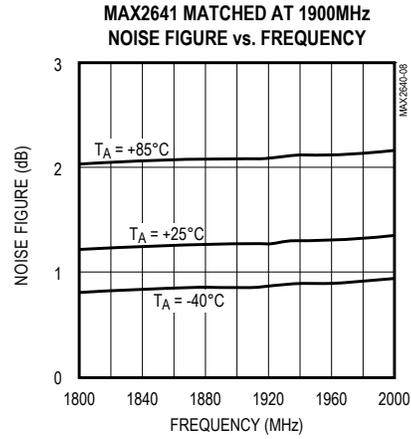
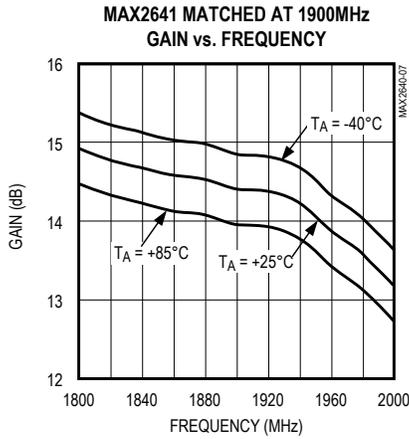
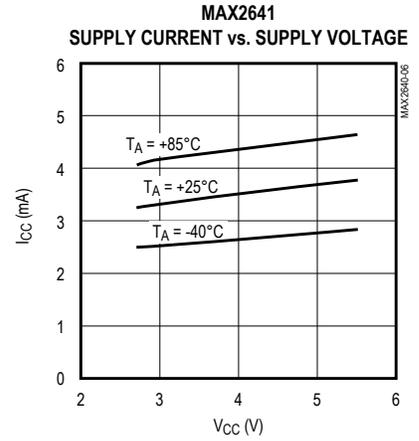
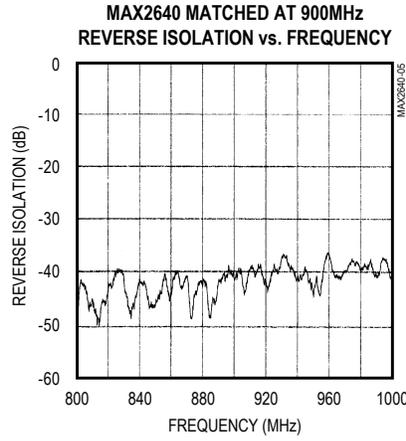
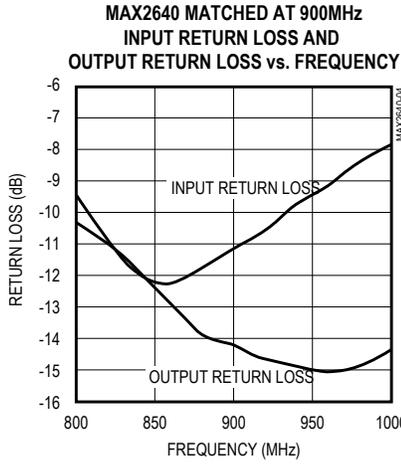
Typical Operating Characteristics

($V_{CC} = +3V$, $P_{RFIN} = -34dBm$, Typical Operating Circuit, $T_A = +25^\circ C$, unless otherwise noted.)



Typical Operating Characteristics (continued)

($V_{CC} = +3V$, $P_{RFIN} = -34dBm$, Typical Operating Circuit, $T_A = +25^\circ C$, unless otherwise noted.)



Pin Description

IN	NAME	FUNCTION
1	RFIN	Amplifier Input. AC-couple to this pin with a DC blocking capacitor. Use recommended input matching network (see Typical Operating Circuit).
2, 3, 5	GND	Ground. For optimum performance, provide a low inductance connection to the ground plane.
4	RFOUT	Amplifier Output. Use the recommended series blocking or matching capacitor (see Typical Operating Circuit).
6	V _{CC}	Supply Voltage. Bypass to ground directly at the supply pin. The value of the bypass capacitor is determined by the lowest operating frequency. Additional bypassing may be necessary for long VCC lines (see Typical Operating Circuit).

Detailed Description

The MAX2640 and MAX2641 are ultra-low-noise amplifiers that operate with RF input frequency ranges of 300MHz to 1500MHz (MAX2640) or 1400MHz to 2500MHz (MAX2641). These devices are available in SOT23-6 packages and contain internal bias circuitry to minimize the number of required external components. Their small size and low external component count make them ideal for applications where board space is limited.

Applications Information

External Matching Components

The MAX2640/MAX2641 are easy to use, generally requiring only five external components as shown in the *Typical Operating Circuit*. To reduce external component count further, replace external inductors with microstrip transmission lines. The high reverse isolation allows the tuning of the input matching network without affecting the output match, and vice versa. Select input and output matching networks to obtain the desired combination of gain, noise figure, and return loss performance. The *Typical Operating Circuit* show the recommended input and output matching networks for the MAX2640/MAX2641 at 900MHz and 1900MHz, respectively. These values are optimized for best simultaneous gain, noise figure, and return loss performance. To aid in the design of matching networks for other frequencies, Tables 1 and 2 list typical device S-parameters and Tables 3 and 4 list typical device noise parameters.

Table 1. MAX2640 Typical Scattering Parameters at $V_{CC} = +3V$, $T_A = +25^{\circ}C$

FREQUENCY (MHz)	S11 MAG	PHASE	S21 MAG	PHASE	S12 MAG	PHASE	S22 MAG	PHASE
400	0.907	-35.1	4.62	109.1	0.001	13.5	0.302	108.4
500	0.882	-43.1	4.70	90.4	0.001	64.7	0.33	93.6
600	0.858	-50.8	4.76	70.7	0.001	55.2	0.352	81.5
700	0.832	-58.1	4.80	50.6	0.002	39.4	0.365	69.4
800	0.810	-64.9	4.85	29.5	0.004	64.2	0.384	56.8
900	0.788	-71.0	4.77	9.2	0.005	36.3	0.396	44.7
1000	0.771	-76.6	4.74	-12.0	0.007	28.0	0.412	33.5
1100	0.749	-82.3	4.55	-32.4	0.010	12.3	0.436	21.9
1200	0.735	-88.0	4.48	-53.4	0.013	-10.6	0.455	10.7
1300	0.720	-93.4	4.24	-75.9	0.015	-28.2	0.469	-0.2
1400	0.702	-98.8	4.17	-94.9	0.021	-42.9	0.482	-9.9
1500	0.688	-104.9	3.81	-117.5	0.021	-59.8	0.489	-20.2

Table 2. MAX2641 Typical Scattering Parameters at $V_{CC} = +3V$, $T_A = +25^{\circ}C$

FREQUENCY (MHz)	S11 MAG	PHASE	S21 MAG	PHASE	S12 MAG	PHASE	S22 MAG	PHASE
1500	0.734	-75.5	4.397	-90.5	0.013	-80.3	0.535	17.7
1600	0.717	-80.3	4.209	-109.8	0.016	-91.9	0.514	8.6
1700	0.695	-85.3	4.193	-131.6	0.018	-116.5	0.513	-0.5
1800	0.678	-90.6	3.876	-150.0	0.021	-128.7	0.510	-10.6
1900	0.661	-96.6	3.801	-173.5	0.023	-150.6	0.493	-21.6
2000	0.646	-102.6	3.456	166.9	0.026	-166.6	0.470	-32.0
2100	0.632	-108.8	3.302	146.4	0.028	171.7	0.431	-43.4
2200	0.620	-114.0	2.981	123.6	0.029	150.7	0.403	-56.1
2300	0.610	-119.4	2.781	105.3	0.033	132.2	0.374	-69.4
2400	0.604	-124.6	2.430	82.9	0.032	111.2	0.338	-86.2
2500	0.603	-128.4	2.118	64.7	0.030	95.7	0.316	-98.3

Table 3. MAX2640 Typical Noise Parameters at $V_{CC} = +3V$, $T_A = +25^\circ C$

FREQUENCY (MHz)	f_{MIN} (dB)	$ \Gamma_{opt} $	Γ_{opt} ANGLE	R_N (Ω)
400	0.66	0.56	21	12.5
500	0.69	0.54	25	11.9
600	0.72	0.51	30	11.3
700	0.75	0.48	35	10.8
800	0.78	0.46	40	10.2
900	0.82	0.43	45	9.7
1000	0.85	0.40	50	9.3
1100	0.89	0.37	56	8.8
1200	0.93	0.35	62	8.3
1300	0.97	0.32	68	7.9
1400	1.01	0.29	77	7.4
1500		0.26	84	7.0

Table 4. MAX2641 Typical Noise Parameters at $V_{CC} = +3V$, $T_A = +25^\circ C$

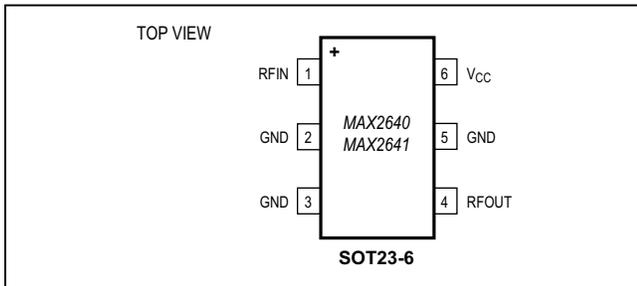
FREQUENCY (MHz)	f_{MIN} (dB)	$ \Gamma_{opt} $	Γ_{opt} ANGLE	R_N (Ω)
1500	1.02	0.43	44	12.4
1600	1.05	0.40	47	11.8
1700	1.08	0.38	50	11.3
1800	1.10	0.36	54	10.8
1900	1.14	0.32	58	10.3
2000	1.17	0.30	62	9.9
2100	1.20	0.28	66	9.4
2200	1.23	0.25	71	9.0
2300	1.27	0.22	77	8.6
2300	1.30	0.19	82	8.3
2500	1.34	0.17	91	8.0

Layout and Power-Supply Bypassing

A properly designed PCB is essential to any RF/micro-wave circuit. Be sure to use controlled impedance lines on all high-frequency inputs and outputs. The power supply should be bypassed with decoupling capacitors located close to the device V_{CC} pins. For long V_{CC} lines, it may be necessary to add additional decoupling capacitors. These additional capacitors can be located further away from the device package.

Proper grounding of the GND pins is essential. If the PCB uses a topside RF ground, connect it directly to all GND pins. For a board where the ground plane is not on the component side, the best technique is to connect the GND pin to the board with a plated through-hole close to the package.

Pin Configuration



Package Information

For the latest package outline information and land patterns (footprints), go to www.maximintegrated.com/packages. Note that a "+", "#", or "-" in the package code indicates RoHS status only. Package drawings may show a different suffix character, but the drawing pertains to the package regardless of RoHS status.

PACKAGE TYPE	PACKAGE CODE	DOCUMENT NO.	LAND PATTERN NO.
6 SOT23	U6+4	21-0058	90-0175

Revision History

REVISION NUMBER	REVISION DATE	DESCRIPTION	PAGES CHANGED
0	10/98	Initial release	—
1	2/99	Initial release of evaluation kit, added to data sheet	—
2	8/03	Informed customers of ESD sensitive devices	—
3	4/07	Added automotive temperature range	1, 2, 5
4	2/15	Removed automotive reference from data sheet	1

For pricing, delivery, and ordering information, please contact Maxim Direct at 1-888-629-4642, or visit Maxim Integrated's website at www.maximintegrated.com.

Maxim Integrated cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim Integrated product. No circuit patent licenses are implied. Maxim Integrated reserves the right to change the circuitry and specifications without notice at any time. The parametric values (min and max limits) shown in the Electrical Characteristics table are guaranteed. Other parametric values quoted in this data sheet are provided for guidance.

MAX2680/MAX2681/ MAX2682

400MHz to 2.5GHz, Low-Noise, SiGe Downconverter Mixers

General Description

The MAX2680/MAX2681/MAX2682 miniature, low-cost, low-noise downconverter mixers are designed for low-voltage operation and are ideal for use in portable communications equipment. Signals at the RF input port are mixed with signals at the local oscillator (LO) port using a double-balanced mixer. These downconverter mixers operate with RF input frequencies between 400MHz and 2500MHz, and downconvert to IF output frequencies between 10MHz and 500MHz.

The MAX2680/MAX2681/MAX2682 operate from a single +2.7V to +5.5V supply, allowing them to be powered directly from a 3-cell NiCd or a 1-cell Lithium battery. These devices offer a wide range of supply currents and input intercept (IIP3) levels to optimize system performance. Additionally, each device features a low-power shutdown mode in which it typically draws less than 0.1µA of supply current. Consult the *Selector Guide* for various combinations of IIP3 and supply current.

The MAX2680/MAX2681/MAX2682 are manufactured on a high-frequency, low-noise, advanced silicon-germanium process and are offered in the space-saving 6-pin SOT23 package.

Applications

- 400MHz/900MHz/2.4GHz ISM-Band Radios
- Personal Communications Systems (PCS)
- Cellular and Cordless Phones
- Wireless Local Loop
- IEEE-802.11 and Wireless Data

Features

- 400MHz to 2.5GHz Operation
- +2.7V to +5.5V Single-Supply Operation
- Low Noise Figure: 6.3dB at 900MHz (MAX2680)
- High Input Third-Order Intercept Point (IIP3 at 2450MHz)
 - -6.9dBm at 5.0mA (MAX2680)
 - +1.0dBm at 8.7mA (MAX2681)
 - +3.2dBm at 15.0mA (MAX2682)
- < 0.1µA Low-Power Shutdown Mode
- Ultra-Small Surface-Mount Packaging

Ordering Information

PART	TEMP RANGE	PIN-PACKAGE	SOT TOP MARK
MAX2680EUT-T	-40°C to +85°C	6 SOT23	AAAR
MAX2681EUT-T	-40°C to +85°C	6 SOT23	AAAS
MAX2682EUT-T	-40°C to +85°C	6 SOT23	AAAT

Selector Guide

PART	I _{CC} (mA)	FREQUENCY								
		900MHz			1950MHz			2450MHz		
		IIP3 (dBm)	NF (dB)	GAIN (dB)	IIP3 (dBm)	NF (dB)	GAIN (dB)	IIP3 (dBm)	NF (dB)	GAIN (dB)
MAX2680	5.0	-12.9	6.3	11.6	-8.2	8.3	7.6	-6.9	11.7	7.0
MAX2681	8.7	-6.1	7.0	14.2	+0.5	11.1	8.4	+1.0	12.7	7.7
MAX2682	15.0	-1.8	6.5	14.7	+4.4	10.2	10.4	+3.2	13.4	7.9

Typical Operating Circuit appears at end of data sheet.

MAX2680/MAX2681/ MAX2682

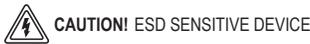
400MHz to 2.5GHz, Low-Noise, SiGe Downconverter Mixers

Absolute Maximum Ratings

V _{CC} to GND	-0.3V to +6.0V
RFIN Input Power (50Ω source).....	+10dBm
LO Input Power (50Ω source)	+10dBm
SHDN, IFOUT, RFIN to GND	-0.3V to (V _{CC} + 0.3V)
LO to GND.....	(V _{CC} - 1V) to (V _{CC} + 0.3V)

Continuous Power Dissipation (T _A = +70°C)	
SOT23 (derate 8.7mW/°C above +70°C).....	696mW
Operating Temperature Range.....	-40°C to +85°C
Junction Temperature.....	+150°C
Storage Temperature Range.....	-65°C to +160°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.



DC Electrical Characteristics

(V_{CC} = +2.7V to +5.5V, SHDN = +2V, T_A = T_{MIN} to T_{MAX} unless otherwise noted. Typical values are at V_{CC} = +3V and T_A = +25°C. Minimum and maximum values are guaranteed over temperature by design and characterization.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Current	I _{CC}	MAX2680		5.0	7.7	mA
		MAX2681		8.7	12.7	
		MAX2682		15.0	21.8	
Shutdown Supply Current	I _{CC}	SHDN = 0.5V		0.05		μA
Shutdown Input Voltage High	V _{IH}		2.0			V
Shutdown Input Voltage Low	V _{IL}				0.5	V
Shutdown Input Bias Current	I _{SHDN}	0 < SHDN < V _{CC}		0.2		μA

AC Electrical Characteristics

(MAX2680/1/2 EV Kit, V_{CC} = SHDN = +3.0V, T_A = +25°C, unless otherwise noted. RFIN and IFOUT matched to 50Ω. P_{LO} = -5dBm, P_{RFIN} = -25dBm.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
MAX2680					
RF Frequency Range	(Notes 1, 2)	400		2500	MHz
LO Frequency Range	(Notes 1, 2)	400		2500	MHz
IF Frequency Range	(Notes 1, 2)	10		500	MHz
Conversion Power Gain	f _{RF} = 400MHz, f _{LO} = 445MHz, f _{IF} = 45MHz		7.3		dB
	f _{RF} = 900MHz, f _{LO} = 970MHz, f _{IF} = 70MHz		11.6		
	f _{RF} = 1950MHz, f _{LO} = 1880MHz, f _{IF} = 70MHz (Note 1)	5.7	7.6	8.6	
	f _{RF} = 2450MHz, f _{LO} = 2210MHz, f _{IF} = 240MHz		7.0		
Gain Variation Over Temperature	f _{RF} = 1950MHz, f _{LO} = 1880MHz, f _{IF} = 70MHz, T _A = T _{MIN} to T _{MAX} (Note 1)		1.9	2.4	dB
Input Third-Order Intercept Point (Note 3)	f _{RF} = 900MHz, 901MHz, f _{LO} = 970MHz, f _{IF} = 70MHz		-12.9		dBm
	f _{RF} = 1950MHz, 1951MHz, f _{LO} = 1880MHz, f _{IF} = 70MHz		-8.2		
	f _{RF} = 2450MHz, 2451MHz, f _{LO} = 2210MHz, f _{IF} = 240MHz		-6.9		
Noise Figure (Single Sideband)	f _{RF} = 900MHz, f _{LO} = 970MHz, f _{IF} = 70MHz		6.3		dB
	f _{RF} = 1950MHz, f _{LO} = 2020MHz, f _{IF} = 70MHz		8.3		
	f _{RF} = 2450MHz, f _{LO} = 2210MHz, f _{IF} = 240MHz		11.7		
LO Input VSWR	50Ω source impedance		1.5:1		
LO Leakage at IFOUT Port	f _{LO} = 1880MHz		-22		dBm

AC Electrical Characteristics (continued)

(MAX2680/1/2 EV Kit, $V_{CC} = \overline{SHDN} = +3.0V$, $T_A = +25^\circ C$, unless otherwise noted. RFIN and IFOUT matched to 50Ω. $P_{LO} = -5dBm$, $P_{RFIN} = -25dBm$.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
LO Leakage at RFIN Port	$f_{LO} = 1880MHz$		-26		dBm
IF/2 Spurious Response	$f_{RF} = 1915MHz$, $f_{LO} = 1880MHz$, $f_{IF} = 70MHz$ (Note 4)		-51		dBm
MAX2681					
RF Frequency Range	(Notes 1, 2)	400		2500	MHz
LO Frequency Range	(Notes 1, 2)	400		2500	MHz
IF Frequency Range	(Notes 1, 2)	10		500	MHz
Conversion Power Gain	$f_{RF} = 400MHz$, $f_{LO} = 445MHz$, $f_{IF} = 45MHz$		11.0		dB
	$f_{RF} = 900MHz$, $f_{LO} = 970MHz$, $f_{IF} = 70MHz$		14.2		
	$f_{RF} = 1950MHz$, $f_{LO} = 1880MHz$, $f_{IF} = 70MHz$ (Note 1)	6.7	8.4	9.4	
	$f_{RF} = 2450MHz$, $f_{LO} = 2210MHz$, $f_{IF} = 240MHz$		7.7		
Gain Variation Over Temperature	$f_{RF} = 1950MHz$, $f_{LO} = 1880MHz$, $f_{IF} = 70MHz$, $T_A = T_{MIN}$ to T_{MAX} (Note 1)		1.7	2.3	dB
Input Third-Order Intercept Point (Note 3)	$f_{RF} = 900MHz$, $901MHz$, $f_{LO} = 970MHz$, $f_{IF} = 70MHz$		-6.1		dBm
	$f_{RF} = 1950MHz$, $1951MHz$, $f_{LO} = 1880MHz$, $f_{IF} = 70MHz$		+0.5		
	$f_{RF} = 2450MHz$, $2451MHz$, $f_{LO} = 2210MHz$, $f_{IF} = 240MHz$		+1.0		
Noise Figure (Single Sideband)	$f_{RF} = 900MHz$, $f_{LO} = 970MHz$, $f_{IF} = 70MHz$		7.0		dB
	$f_{RF} = 1950MHz$, $f_{LO} = 2020MHz$, $f_{IF} = 70MHz$		11.1		
	$f_{RF} = 2450MHz$, $f_{LO} = 2210MHz$, $f_{IF} = 240MHz$		12.7		
LO Input VSWR	50Ω source impedance		1.5:1		
LO Leakage at IFOUT Port	$f_{LO} = 1880MHz$		-23		dBm
LO Leakage at RFIN Port	$f_{LO} = 1880MHz$		-27		dBm
IF/2 Spurious Response	$f_{RF} = 1915MHz$, $f_{LO} = 1880MHz$, $f_{IF} = 70MHz$ (Note 4)		-65		dBm
MAX2682					
RF Frequency Range	(Notes 1, 2)	400		2500	MHz
LO Frequency Range	(Notes 1, 2)	400		2500	MHz
IF Frequency Range	(Notes 1, 2)	10		500	MHz
Conversion Power Gain	$f_{RF} = 400MHz$, $f_{LO} = 445MHz$, $f_{IF} = 45MHz$		13.4		dB
	$f_{RF} = 900MHz$, $f_{LO} = 970MHz$, $f_{IF} = 70MHz$		14.7		
	$f_{RF} = 1950MHz$, $f_{LO} = 1880MHz$, $f_{IF} = 70MHz$ (Note 1)	8.7	10.4	11.7	
	$f_{RF} = 2450MHz$, $f_{LO} = 2210MHz$, $f_{IF} = 240MHz$		7.9		
Gain Variation Over Temperature	$f_{RF} = 1950MHz$, $f_{LO} = 1880MHz$, $f_{IF} = 70MHz$, $T_A = T_{MIN}$ to T_{MAX} (Note 1)		2.1	3.2	dB
Input Third-Order Intercept Point (Note 3)	$f_{RF} = 900MHz$, $901MHz$, $f_{LO} = 970MHz$, $f_{IF} = 70MHz$		-1.8		dBm
	$f_{RF} = 1950MHz$, $1951MHz$, $f_{LO} = 1880MHz$, $f_{IF} = 70MHz$		+4.4		
	$f_{RF} = 2450MHz$, $2451MHz$, $f_{LO} = 2210MHz$, $f_{IF} = 240MHz$		+3.2		
Noise Figure (Single Sideband)	$f_{RF} = 900MHz$, $f_{LO} = 970MHz$, $f_{IF} = 70MHz$		6.5		dB
	$f_{RF} = 1950MHz$, $f_{LO} = 2020MHz$, $f_{IF} = 70MHz$		10.2		
	$f_{RF} = 2450MHz$, $f_{LO} = 2210MHz$, $f_{IF} = 240MHz$		13.4		

AC Electrical Characteristics (continued)

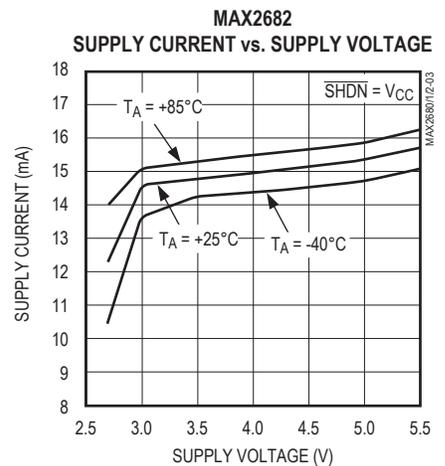
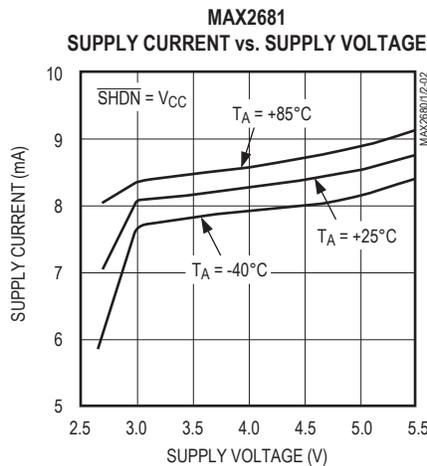
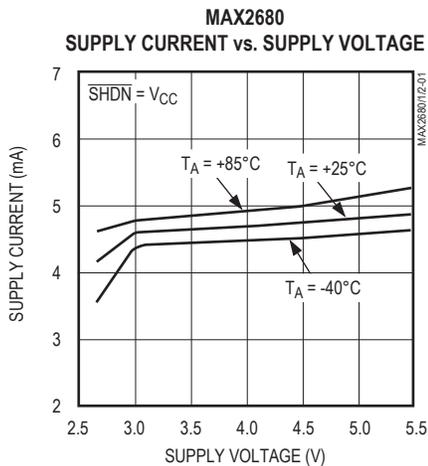
(MAX2680/1/2 EV Kit, $V_{CC} = \overline{\text{SHDN}} = +3.0\text{V}$, $T_A = +25^\circ\text{C}$, unless otherwise noted. RFIN and IFOUT matched to 50Ω . $P_{LO} = -5\text{dBm}$, $P_{\text{RFIN}} = -25\text{dBm}$.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
LO Input VSWR	50Ω source impedance		1.5:1		
LO Leakage at IFOUT Port	$f_{LO} = 1880\text{MHz}$		-23		dBm
LO Leakage at RFIN Port	$f_{LO} = 1880\text{MHz}$		-27		dBm
IF/2 Spurious Response	$f_{RF} = 1915\text{MHz}$, $f_{LO} = 1880\text{MHz}$, $f_{IF} = 70\text{MHz}$ (Note 4)		-61		dBm

- Note 1:** Guaranteed by design and characterization.
- Note 2:** Operation outside of this specification is possible, but performance is not characterized and is not guaranteed.
- Note 3:** Two input tones at -25dBm per tone.
- Note 4:** This spurious response is caused by a higher-order mixing product (2×2). Specified RF frequency is applied and IF output power is observed at the desired IF frequency (70MHz).

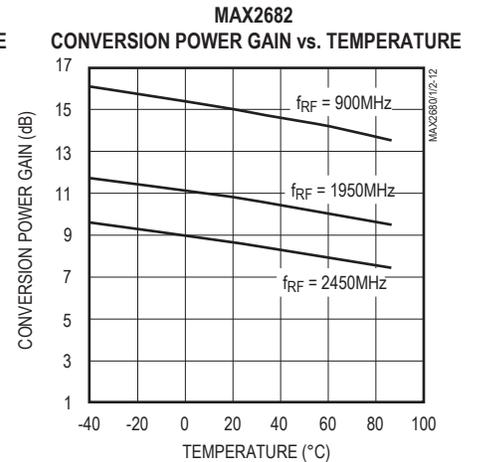
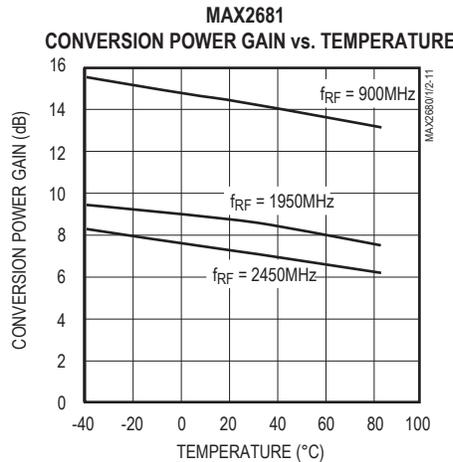
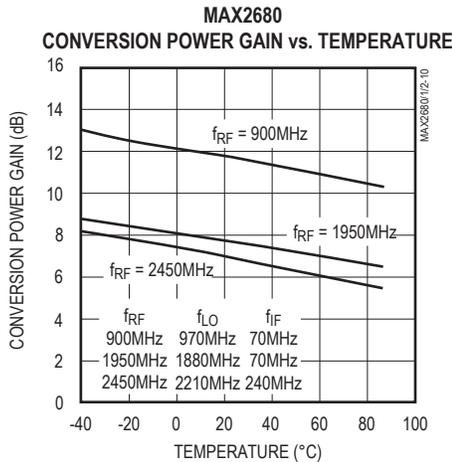
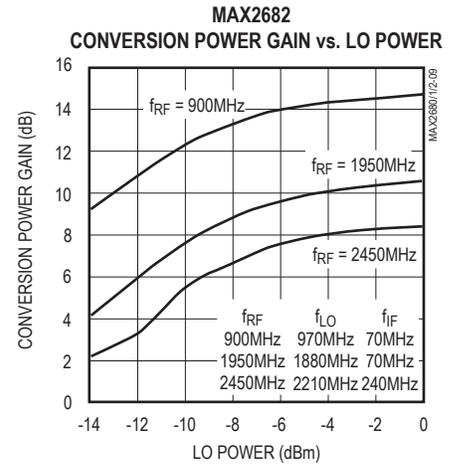
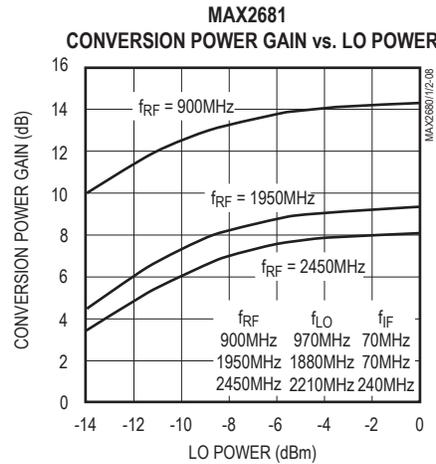
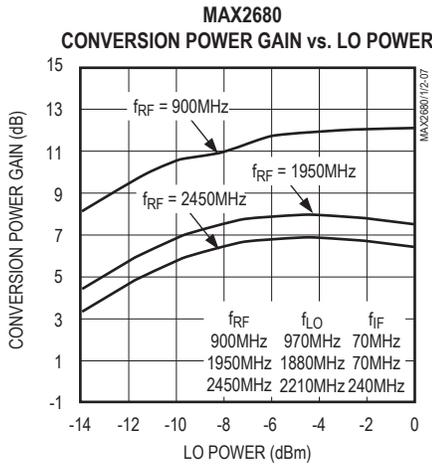
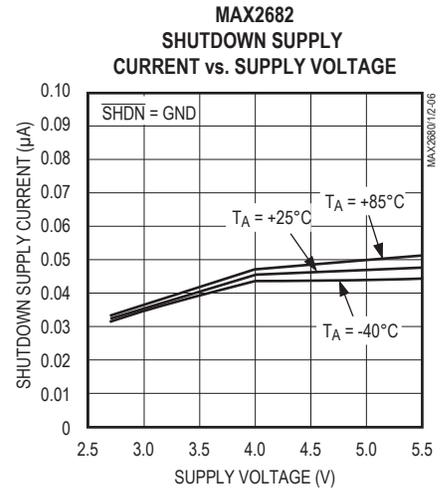
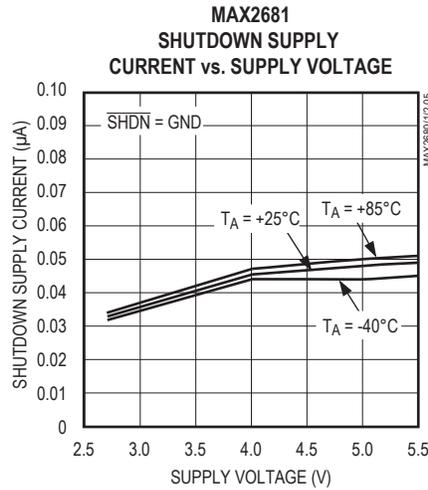
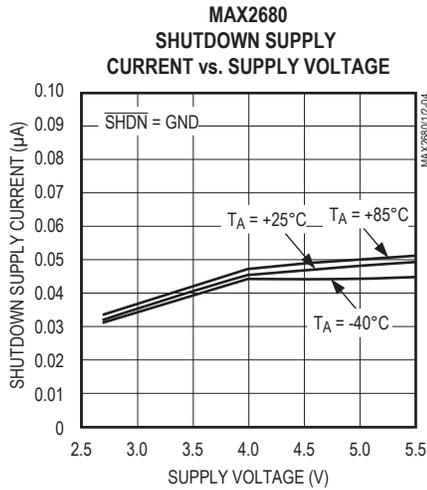
Typical Operating Characteristics

(*Typical Operating Circuit*, $V_{CC} = \overline{\text{SHDN}} = +3.0\text{V}$, $P_{\text{RFIN}} = -25\text{dBm}$, $P_{LO} = -5\text{dBm}$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



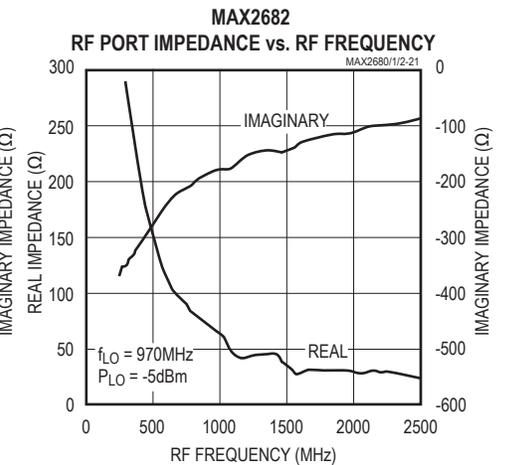
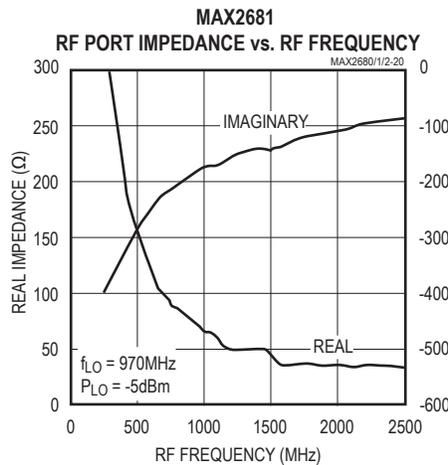
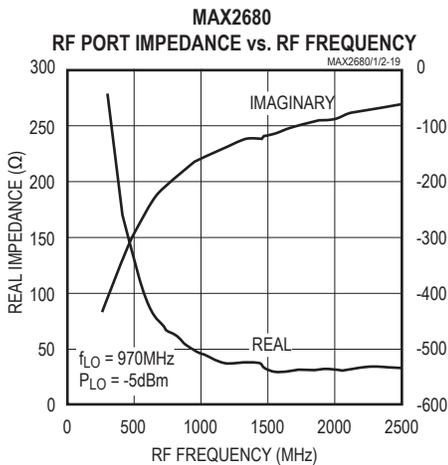
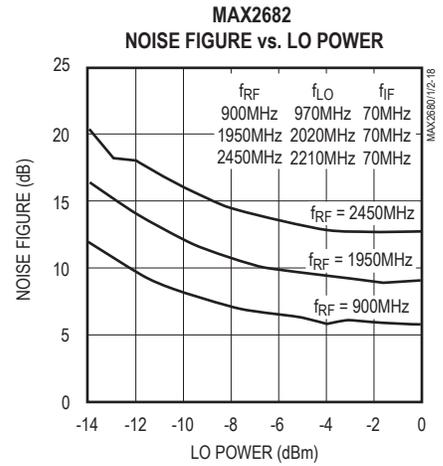
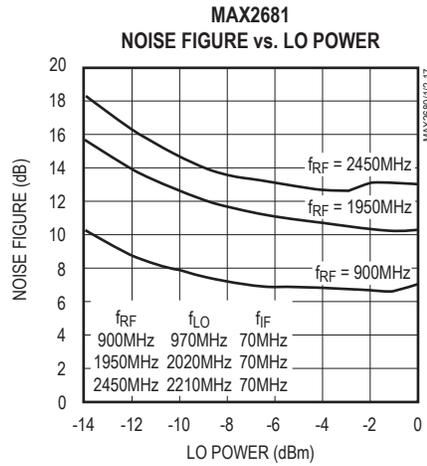
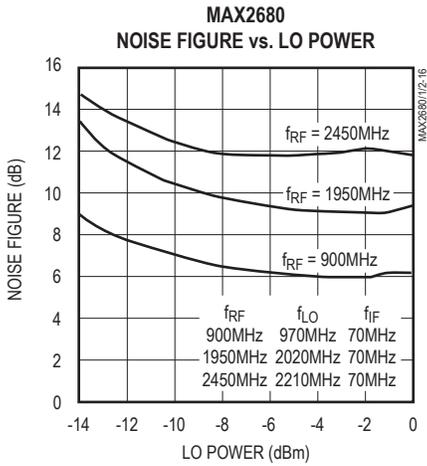
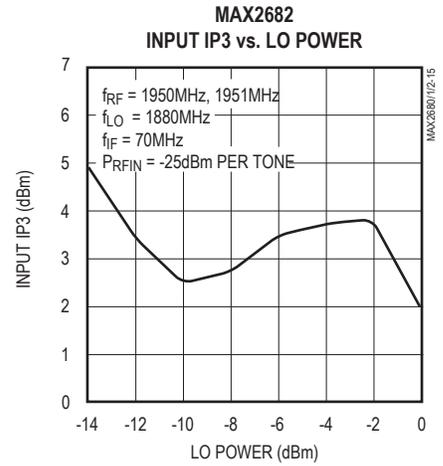
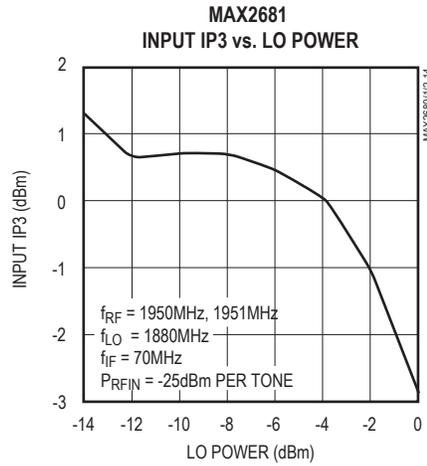
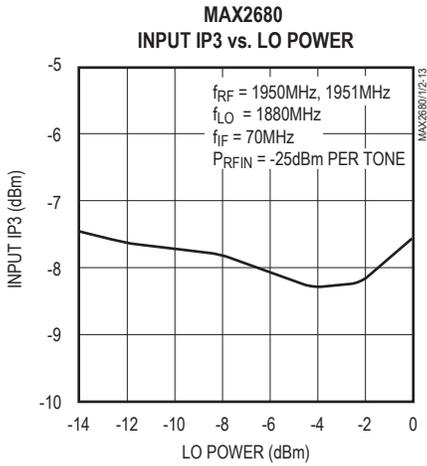
Typical Operating Characteristics (continued)

(Typical Operating Circuit, $V_{CC} = \overline{\text{SHDN}} = +3.0\text{V}$, $P_{\text{RFIN}} = -25\text{dBm}$, $P_{\text{LO}} = -5\text{dBm}$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



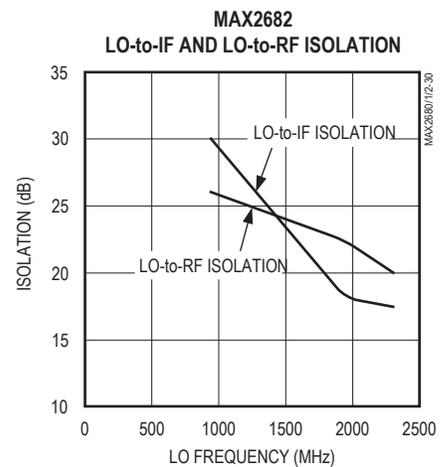
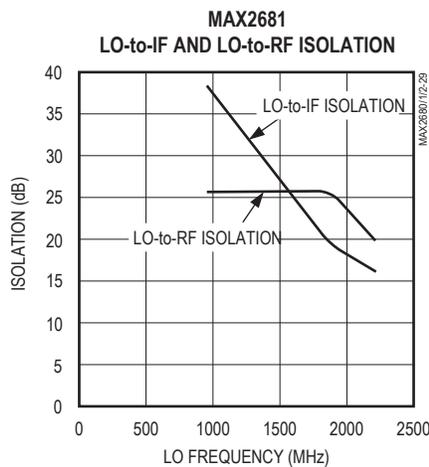
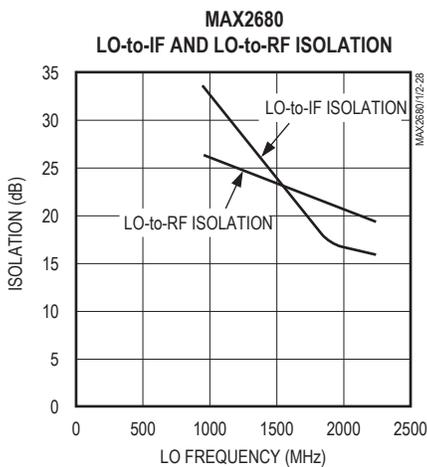
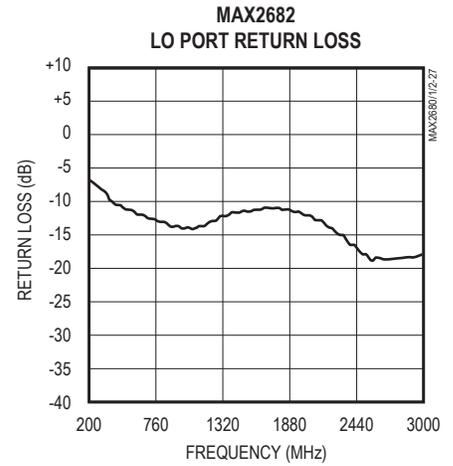
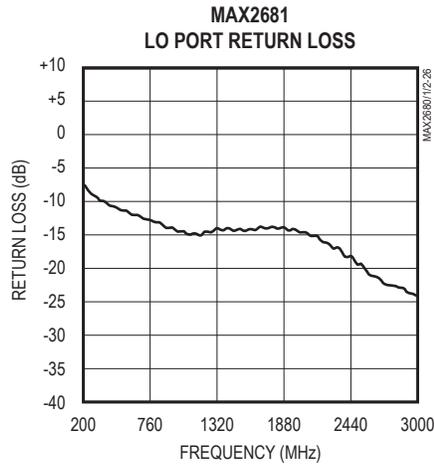
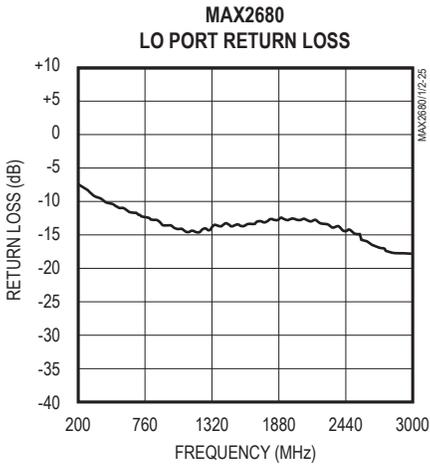
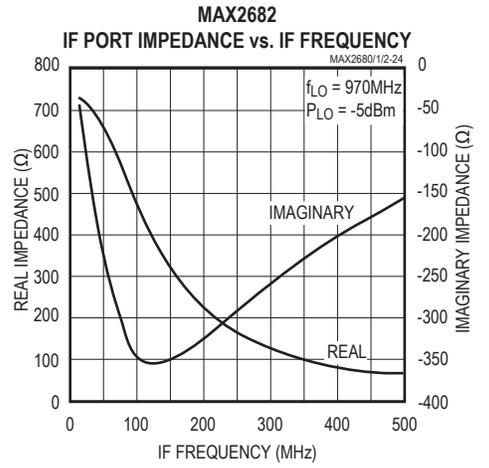
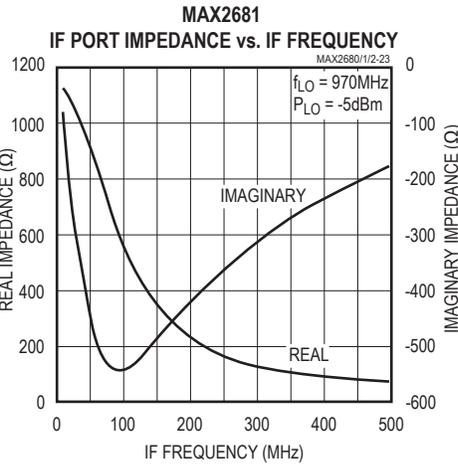
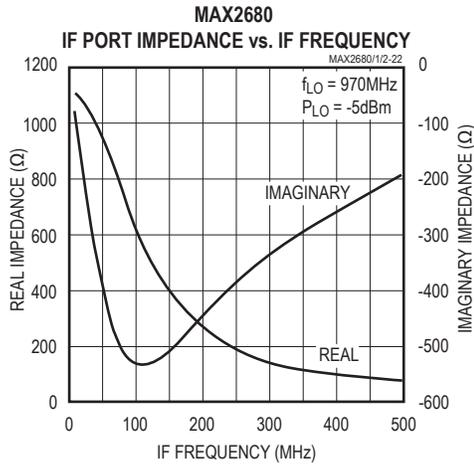
Typical Operating Characteristics (continued)

(Typical Operating Circuit, $V_{CC} = \overline{\text{SHDN}} = +3.0\text{V}$, $P_{\text{RFIN}} = -25\text{dBm}$, $P_{\text{LO}} = -5\text{dBm}$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



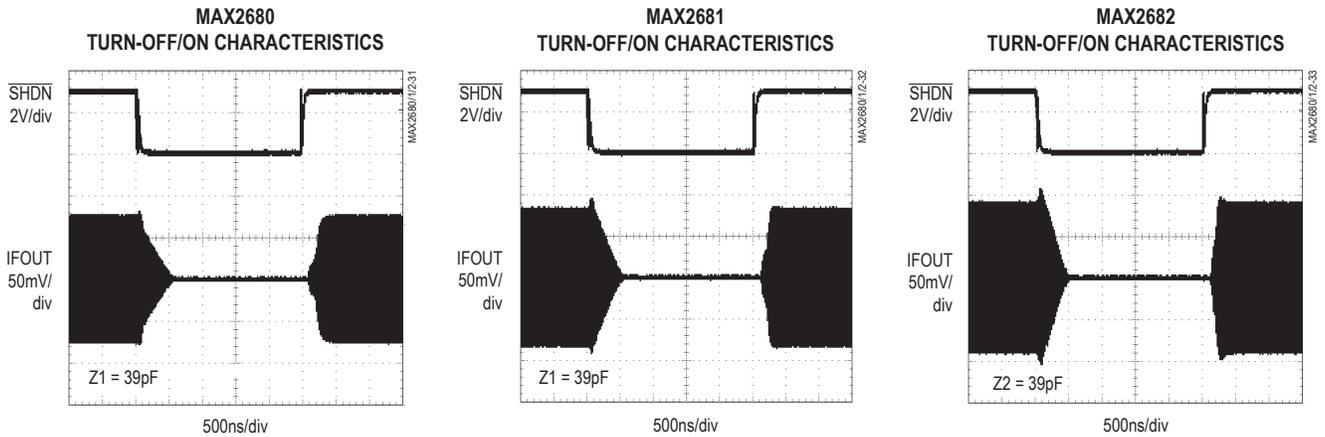
Typical Operating Characteristics (continued)

(Typical Operating Circuit, $V_{CC} = \overline{\text{SHDN}} = +3.0\text{V}$, $P_{\text{RFIN}} = -25\text{dBm}$, $P_{\text{LO}} = -5\text{dBm}$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

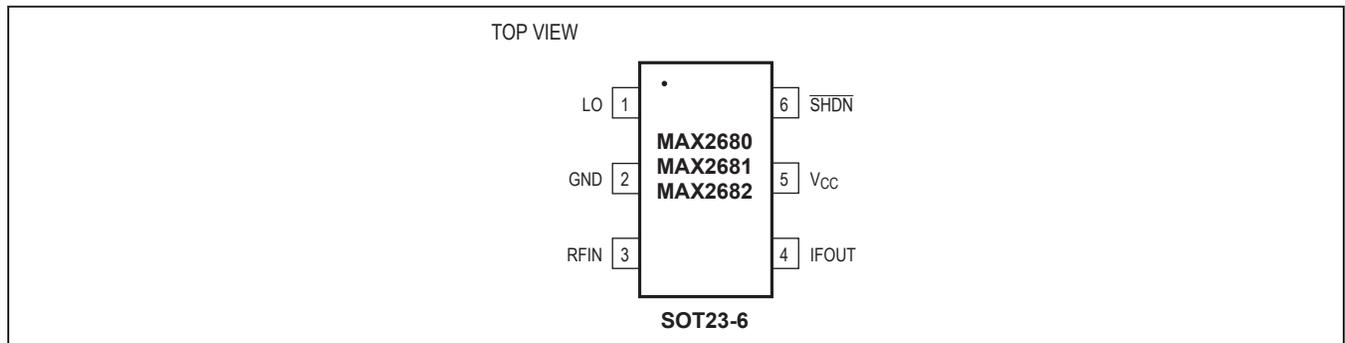


Typical Operating Characteristics (continued)

(Typical Operating Circuit, $V_{CC} = \overline{\text{SHDN}} = +3.0\text{V}$, $P_{\text{RFIN}} = -25\text{dBm}$, $P_{\text{LO}} = -5\text{dBm}$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



Pin Configuration



Pin Description

PIN	NAME	FUNCTION
1	LO	Local-Oscillator Input. Apply a local-oscillator signal with an amplitude of -10dBm to 0 (50Ω source). AC-couple this pin to the oscillator with a DC-blocking capacitor. Nominal DC voltage is $V_{CC} - 0.4\text{V}$.
2	GND	Mixer Ground. Connect to the ground plane with a low-inductance connection.
3	RFIN	Radio Frequency Input. AC-couple to this pin with a DC-blocking capacitor. Nominal DC voltage is 1.5V. See the <i>Applications Information</i> section for details on impedance matching.
4	IFOUT	Intermediate Frequency Output. Open-collector output requires an inductor to V_{CC} . AC-couple to this pin with a DC-blocking capacitor. See the <i>Applications Information</i> section for details on impedance matching.
5	V_{CC}	Supply Voltage Input, +2.7V to +5.5V. Bypass with a capacitor to the ground plane. Capacitor value depends upon desired operating frequency.
6	$\overline{\text{SHDN}}$	Active-Low Shutdown. Drive low to disable all device functions and reduce the supply current to less than 5μA. For normal operation, drive high or connect to V_{CC} .

Detailed Description

The MAX2680/MAX2681/MAX2682 are 400MHz to 2.5GHz, silicon-germanium, double-balanced downconverter mixers. They are designed to provide optimum linearity performance for a specified supply current. They consist of a double-balanced Gilbert-cell mixer with single-ended RF, LO, and IF port connections. An on-chip bias cell provides a low-power shutdown feature. Consult the [Selector Guide](#) for device features and comparison.

Applications Information

Local-Oscillator (LO) Input

The LO input is a single-ended broadband port with a typical input VSWR of better than 2.0:1 from 400MHz to 2.5GHz. The LO signal is mixed with the RF input signal, and the resulting downconverted output appears at IFOUT. AC-couple LO with a capacitor. Drive the LO port with a signal ranging from -10dBm to 0 (50Ω source).

RF Input

The RF input frequency range is 400MHz to 2.5GHz. The RF input requires an impedance-matching network as well as a DC-blocking capacitor that can be part of the matching network. Consult Tables 1 and 2, as well as the RF Port Impedance vs. RF Frequency graph in the [Typical Operating Characteristics](#) section for information on matching.

Table 1. RFIN Port Impedance

PART	FREQUENCY			
	400MHz	900MHz	1950MHz	2450MHz
MAX2680	179-j356	54-j179	32-j94	33-j73
MAX2681	209-j332	75-j188	34-j108	33-j86
MAX2682	206-j306	78-j182	34-j106	29-j86

Table 2. RF Input Impedance-Matching Component Values

MATCHING COMPONENTS	FREQUENCY											
	MAX2680				MAX2681				MAX2682			
	400 MHz	900 MHz	1950 MHz	2450 MHz	400 MHz	900 MHz	1950 MHz	2450 MHz	400 MHz	900 MHz	1950 MHz	2450 MHz
Z1	86nH	270pF	1.5pF	Short	68nH	270pF	1.5pF	Short	68nH	1.5pF	Short	Short
Z2	270pF	22nH	270pF	270pF	270pF	18nH	270pF	270pF	270pF	270pF	270pF	270pF
Z3	Open	Open	1.8nH	1.8nH	0.5pF	Open	1.8nH	2.2nH	0.5pF	10nH	2.2nH	1.2nH

Note: Z1, Z2, and Z3 are found in the *Typical Operating Circuit*.

IF Output

The IF output frequency range extends from 10MHz to 500MHz. IFOUT is a high-impedance, open-collector output that requires an external inductor to V_{CC} for proper biasing. For optimum performance, the IF port requires an impedance-matching network. The configuration and values for the matching network is dependent upon the frequency and desired output impedance. For assistance in choosing components for optimal performance, see [Table 3](#) and [Table 4](#) as well as the IF Port Impedance vs. IF Frequency graph in the [Typical Operating Characteristics](#) section.

Power-Supply and SHDN Bypassing

Proper attention to voltage supply bypassing is essential for high-frequency RF circuit stability. Bypass V_{CC} with a 10μF capacitor in parallel with a 1000pF capacitor. Use separate vias to the ground plane for each of the bypass capacitors and minimize trace length to reduce inductance. Use separate vias to the ground plane for each ground pin. Use low-inductance ground connections.

Decouple SHDN with a 1000pF capacitor to ground to minimize noise on the internal bias cell. Use a series resistor (typically 100Ω) to reduce coupling of high-frequency signals into the SHDN pin.

Layout Issues

A well-designed PC board is an essential part of an RF circuit. For best performance, pay attention to power-supply issues as well as to the layout of the RFIN and IFOUT impedance-matching network.

Table 3. IFOUT Port Impedance

PART	FREQUENCY		
	45MHz	70MHz	240MHz
MAX2680	960-j372	803-j785	186-j397
MAX2681	934-j373	746-j526	161-j375
MAX2682	670-j216	578-j299	175-j296

Table 4. IF Output Impedance-Matching Components

MATCHING COMPONENT	FREQUENCY		
	45MHz	70MHz	240MHz
L1	390nH	330nH	82nH
C2	39pF	15pF	3pF
R1	250Ω	Open	Open

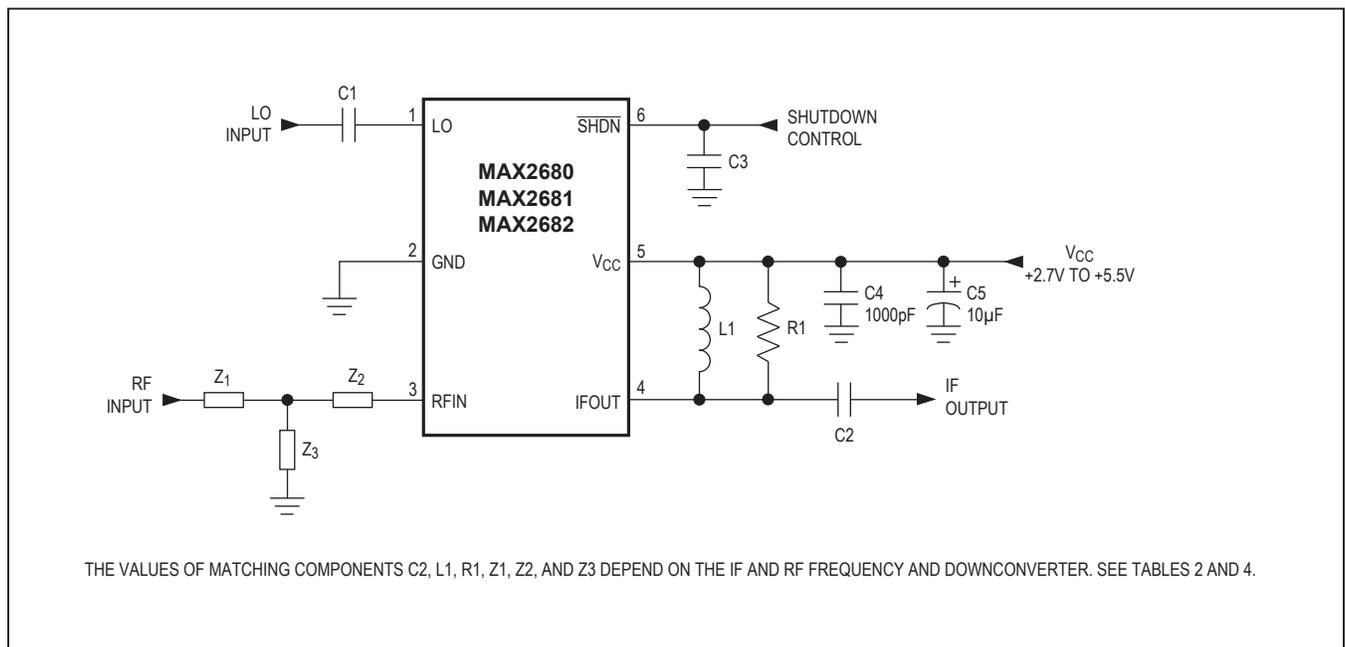
Power-Supply Layout

To minimize coupling between different sections of the IC, the ideal power-supply layout is a star configuration with a large decoupling capacitor at a central V_{CC} node. The V_{CC} traces branch out from this central node, each going to a separate V_{CC} node on the PC board. At the end of each trace is a bypass capacitor that has low ESR at the RF frequency of operation. This arrangement provides local decoupling at the V_{CC} pin. At high frequencies, any signal leaking out of one supply pin sees a relatively high impedance (formed by the V_{CC} trace inductance) to the central V_{CC} node, and an even higher impedance to any other supply pin, as well as a low impedance to ground through the bypass capacitor.

Impedance-Matching Network Layout

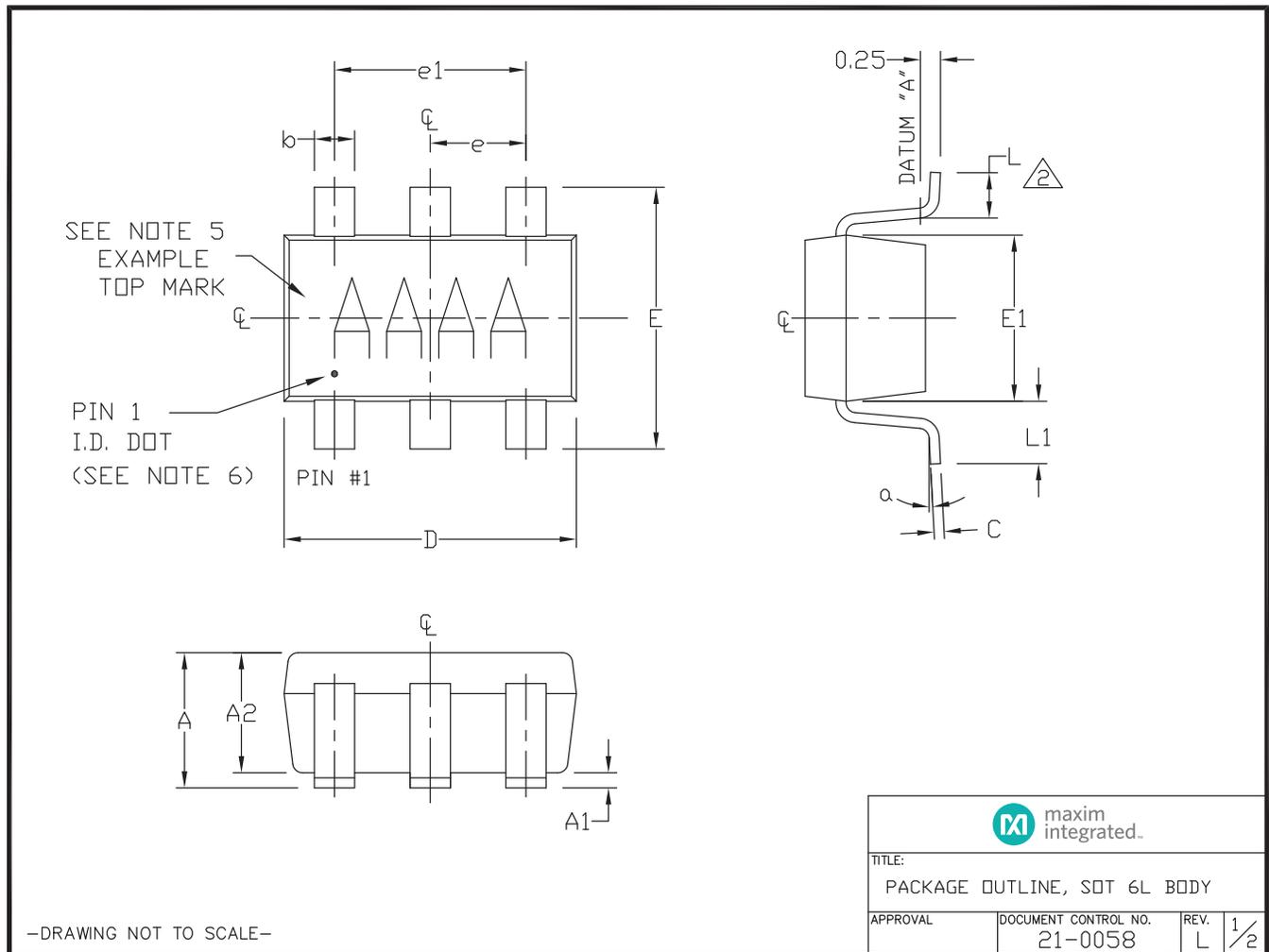
The RFIN and IFOUT impedance-matching networks are very sensitive to layout-related parasitics. To minimize parasitic inductance, keep all traces short and place components as close as possible to the chip. To minimize parasitic capacitance, use cutouts in the ground plane (and any other plane) below the matching network components. However, avoid cutouts that are larger than necessary since they act as aperture antennas.

Typical Operating Circuit



Package Information

For the latest package outline information and land patterns (footprints), go to www.maximintegrated.com/packages. Note that a "+", "#", or "-" in the package code indicates RoHS status only. Package drawings may show a different suffix character, but the drawing pertains to the package regardless of RoHS status.



Package Information (continued)

For the latest package outline information and land patterns (footprints), go to www.maximintegrated.com/packages. Note that a "+", "#", or "-" in the package code indicates RoHS status only. Package drawings may show a different suffix character, but the drawing pertains to the package regardless of RoHS status.

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2.  FOOT LENGTH MEASURED AT INTERCEPT POINT BETWEEN DATUM A & LEAD SURFACE.
3. PACKAGE OUTLINE EXCLUSIVE OF MOLD FLASH & METAL BURR. MOLD FLASH, PROTRUSION OR METAL BURR SHOULD NOT EXCEED 0.25mm.
4. PACKAGE OUTLINE INCLUSIVE OF SOLDER PLATING.
5. PIN 1 IS LOWER LEFT PIN WHEN READING TOP MARK FROM LEFT TO RIGHT. (SEE EXAMPLE TOP MARK)
6. PIN 1 I.D. DOT IS 0.3mm Ø MIN. LOCATED ABOVE PIN 1.
7. MEETS JEDEC MO178, VARIATION AB.
8. SOLDER THICKNESS MEASURED AT FLAT SECTION OF LEAD BETWEEN 0.08mm AND 0.15mm FROM LEAD TIP.
9. LEAD TO BE COPLANAR WITHIN 0.1mm.
10. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
12. ALL DIMENSIONS APPLY TO BOTH LEADED (-) AND PbFREE (+) PKG. CODES.

SYMBOL	MIN	NOMINAL	MAX
A	0.90	1.25	1.45
A1	0.00	0.05	0.15
A2	0.90	1.10	1.30
b	0.35	0.40	0.50
C	0.08	0.15	0.20
D	2.80	2.90	3.00
E	2.60	2.80	3.00
E1	1.50	1.625	1.75
L	0.35	0.45	0.60
L1	0.60 REF.		
e1	1.90 BSC.		
e	0.95 BSC.		
α	0°	2.5°	10°

PKG CODES:
U6-1, U6-2, U6-4, U6CN-2,
U6SN-1, U6F-6, U6FH-6; U6FH-7

** U6FH-7 TO BE USED FOR NP42 PARTS ONLY.

-DRAWING NOT TO SCALE-

 maxim integrated.			
TITLE: PACKAGE OUTLINE, SOT 6L BODY			
APPROVAL	DOCUMENT CONTROL NO. 21-0058	REV. L	2/2

For pricing, delivery, and ordering information, please contact Maxim Direct at 1-888-629-4642, or visit Maxim Integrated's website at www.maximintegrated.com.

Maxim Integrated cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim Integrated product. No circuit patent licenses are implied. Maxim Integrated reserves the right to change the circuitry and specifications without notice at any time. The parametric values (min and max limits) shown in the Electrical Characteristics table are guaranteed. Other parametric values quoted in this data sheet are provided for guidance.

LM118-N/LM218-N/LM318-N Operational Amplifiers

 Check for Samples: [LM118-N](#), [LM218-N](#), [LM318-N](#)

FEATURES

- 15 MHz Small Signal Bandwidth
- Ensured 50V/μs Slew Rate
- Maximum Bias Current of 250 nA
- Operates from Supplies of ±5V to ±20V
- Internal Frequency Compensation
- Input and Output Overload Protected
- Pin Compatible with General Purpose Op Amps

DESCRIPTION

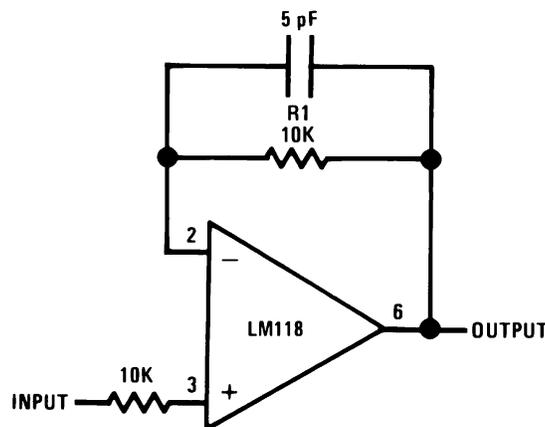
The LM118 series are precision high speed operational amplifiers designed for applications requiring wide bandwidth and high slew rate. They feature a factor of ten increase in speed over general purpose devices without sacrificing DC performance.

The LM118 series has internal unity gain frequency compensation. This considerably simplifies its application since no external components are necessary for operation. However, unlike most internally compensated amplifiers, external frequency compensation may be added for optimum performance. For inverting applications, feedforward compensation will boost the slew rate to over 150V/μs and almost double the bandwidth. Overcompensation can be used with the amplifier for greater stability when maximum bandwidth is not needed. Further, a single capacitor can be added to reduce the 0.1% settling time to under 1 μs.

The high speed and fast settling time of these op amps make them useful in A/D converters, oscillators, active filters, sample and hold circuits, or general purpose amplifiers. These devices are easy to apply and offer an order of magnitude better AC performance than industry standards such as the LM709.

The LM218-N is identical to the LM118 except that the LM218-N has its performance specified over a -25°C to +85°C temperature range. The LM318-N is specified from 0°C to +70°C.

Fast Voltage Follower



Do not hard-wire as voltage follower ($R1 \geq 5 \text{ k}\Omega$)



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

All trademarks are the property of their respective owners.



These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

Absolute Maximum Ratings⁽¹⁾⁽²⁾

Supply Voltage	±20V
Power Dissipation ⁽³⁾	500 mW
Differential Input Current ⁽⁴⁾	±10 mA
Input Voltage ⁽⁵⁾	±15V
Output Short-Circuit Duration	Continuous
Operating Temperature Range	
Im118-n	–55°C to +125°C
LM218-N	–25°C to +85°C
LM318-N	0°C to +70°C
Storage Temperature Range	–65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	
TO-99 Package	300°C
PDIP Package	260°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
SOIC Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C
ESD Tolerance ⁽⁶⁾	2000V

- (1) Refer to RETS118X for LM118H and LM118J military specifications.
- (2) If Military/Aerospace specified devices are required, please contact the TI Sales Office/Distributors for availability and specifications.
- (3) The maximum junction temperature of the Im118-n is 150°C, the LM218-N is 110°C, and the LM318-N is 110°C. For operating at elevated temperatures, devices in the LMC package must be derated based on a thermal resistance of 160°C/W, junction to ambient, or 20°C/W, junction to case. The thermal resistance of the dual-in-line package is 100°C/W, junction to ambient.
- (4) The inputs are shunted with back-to-back diodes for overvoltage protection. Therefore, excessive current will flow if a differential input voltage in excess of 1V is applied between the inputs unless some limiting resistance is used.
- (5) For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.
- (6) Human body model, 1.5 kΩ in series with 100 pF.

Electrical Characteristics⁽¹⁾

Parameter	Conditions	LM118-N/LM218-N			LM318-N			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	T _A = 25°C		2	4		4	10	mV
Input Offset Current	T _A = 25°C		6	50		30	200	nA
Input Bias Current	T _A = 25°C		120	250		150	500	nA
Input Resistance	T _A = 25°C	1	3		0.5	3		MΩ
Supply Current	T _A = 25°C		5	8		5	10	mA
Large Signal Voltage Gain	T _A = 25°C, V _S = ±15V V _{OUT} = ±10V, R _L ≥ 2 kΩ	50	200		25	200		V/mV
Slew Rate	T _A = 25°C, V _S = ±15V, A _V = 1 (2)	50	70		50	70		V/μs
Small Signal Bandwidth	T _A = 25°C, V _S = ±15V		15			15		MHz
Input Offset Voltage				6			15	mV
Input Offset Current				100			300	nA

- (1) These specifications apply for ±5V ≤ V_S ≤ ±20V and –55°C ≤ T_A ≤ +125°C (Im118-n), –25°C ≤ T_A ≤ +85°C (LM218-N), and 0°C ≤ T_A ≤ +70°C (LM318-N). Also, power supplies must be bypassed with 0.1 μF disc capacitors.
- (2) Slew rate is tested with V_S = ±15V. The Im118-n is in a unity-gain non-inverting configuration. V_{IN} is stepped from –7.5V to +7.5V and vice versa. The slew rates between –5.0V and +5.0V and vice versa are tested and specified to exceed 50V/μs.

Electrical Characteristics ⁽¹⁾ (continued)

Parameter	Conditions	LM118-N/LM218-N			LM318-N			Units
		Min	Typ	Max	Min	Typ	Max	
Input Bias Current				500			750	nA
Supply Current	$T_A = 125^\circ\text{C}$		4.5	7				mA
Large Signal Voltage Gain	$V_S = \pm 15\text{V}$, $V_{OUT} = \pm 10\text{V}$ $R_L \geq 2\text{ k}\Omega$	25			20			V/mV
Output Voltage Swing	$V_S = \pm 15\text{V}$, $R_L = 2\text{ k}\Omega$	± 12	± 13		± 12	± 13		V
Input Voltage Range	$V_S = \pm 15\text{V}$	± 11.5			± 11.5			V
Common-Mode Rejection Ratio		80	100		70	100		dB
Supply Voltage Rejection Ratio		70	80		65	80		dB

TYPICAL PERFORMANCE CHARACTERISTICS

LM118-N, LM218-N

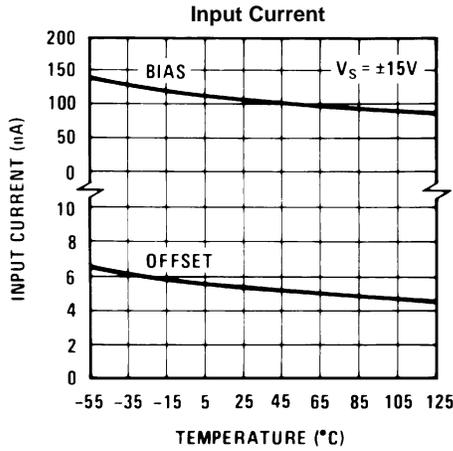


Figure 1.

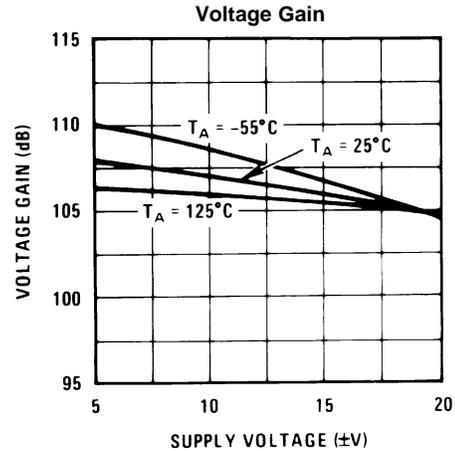


Figure 2.

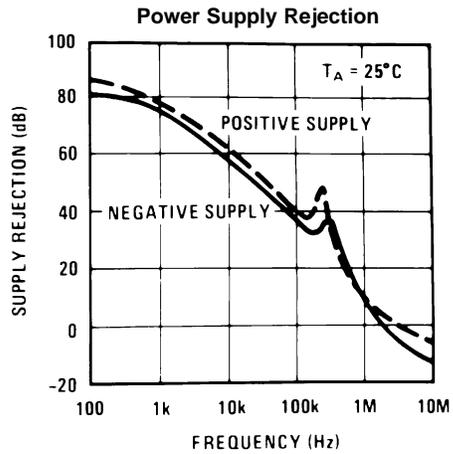


Figure 3.

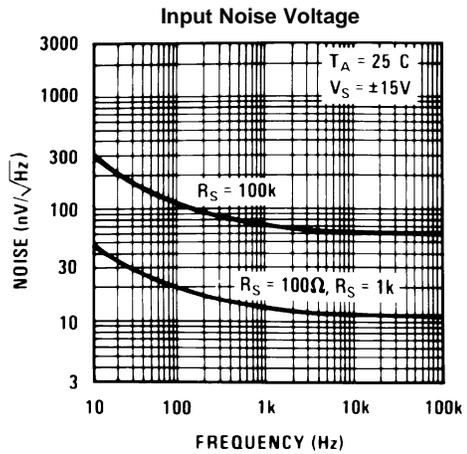


Figure 4.

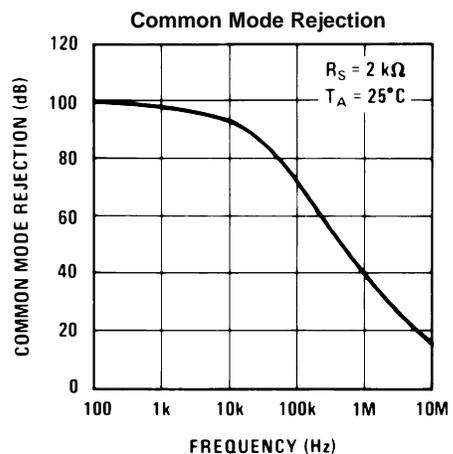


Figure 5.

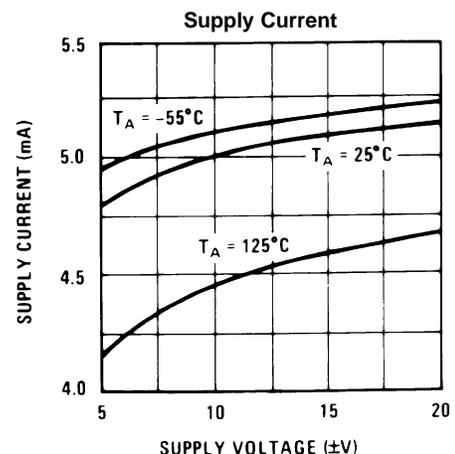


Figure 6.

TYPICAL PERFORMANCE CHARACTERISTICS (continued)

LM118-N, LM218-N

Closed Loop Output Impedance

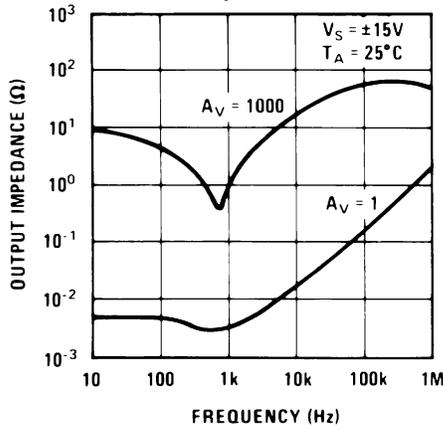


Figure 7.

Current Limiting

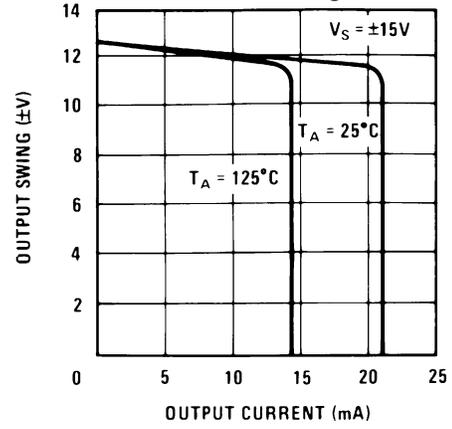


Figure 8.

Input Current

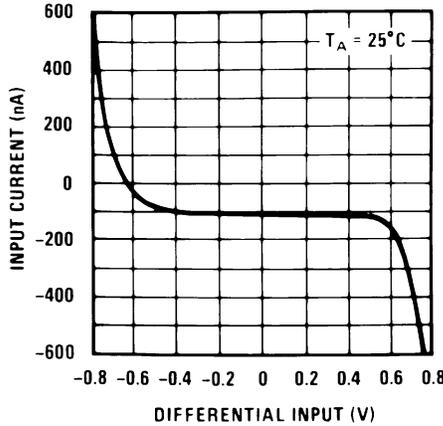


Figure 9.

Unity Gain Bandwidth

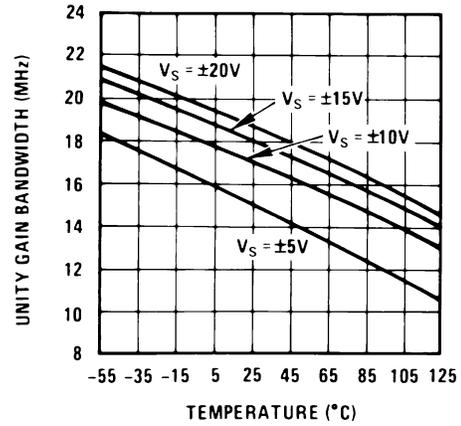


Figure 10.

Voltage Follower Slew Rate

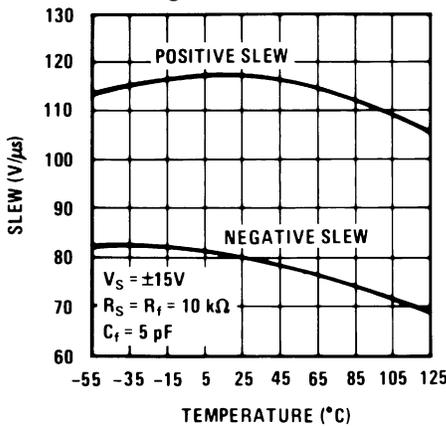


Figure 11.

Inverter Settling Time

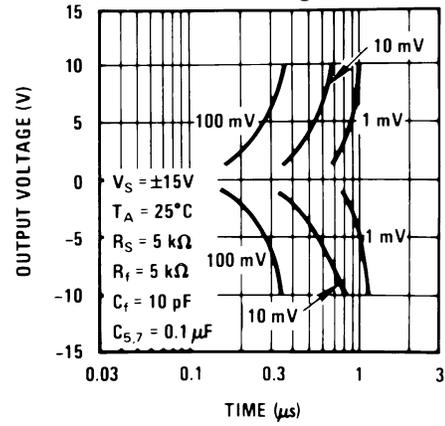


Figure 12.

TYPICAL PERFORMANCE CHARACTERISTICS (continued)

LM118-N, LM218-N

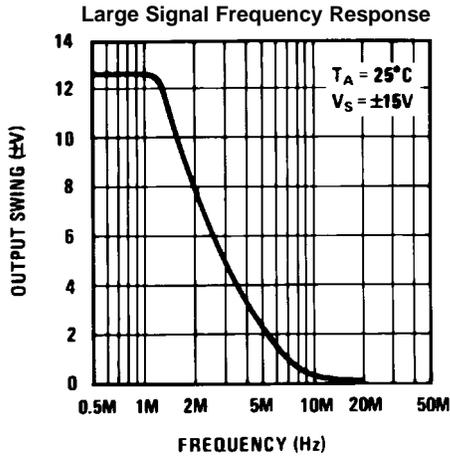


Figure 13.

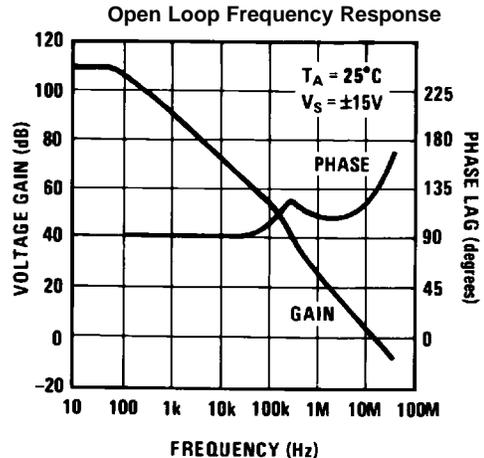


Figure 14.

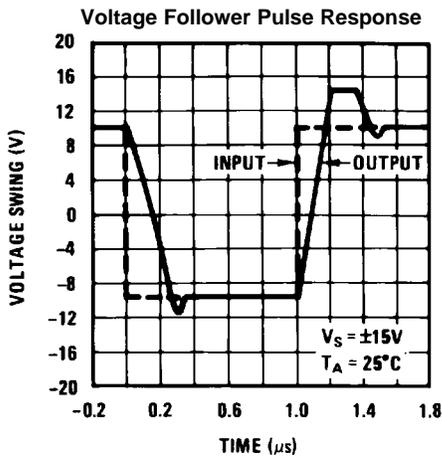


Figure 15.

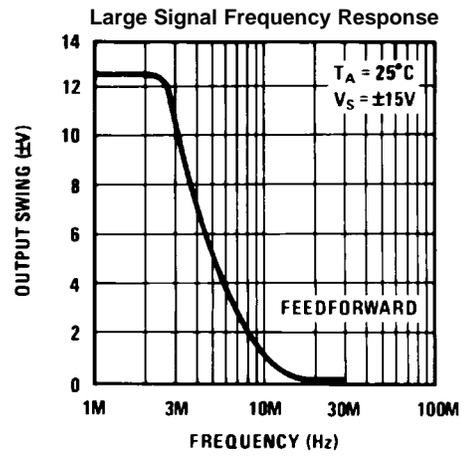


Figure 16.

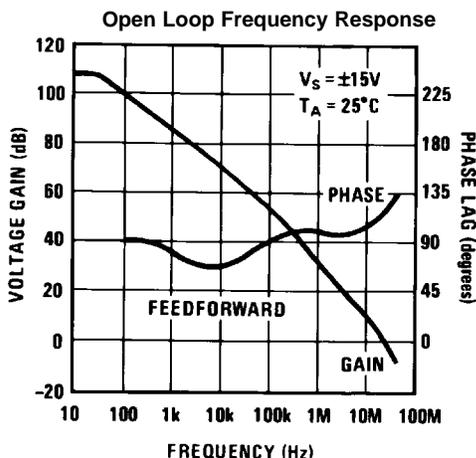


Figure 17.

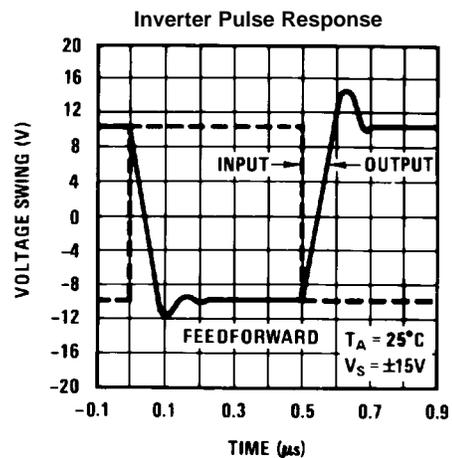


Figure 18.

Typical Performance Characteristics

LM318-N

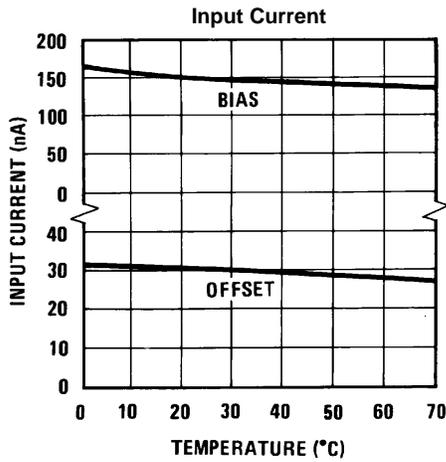


Figure 19.

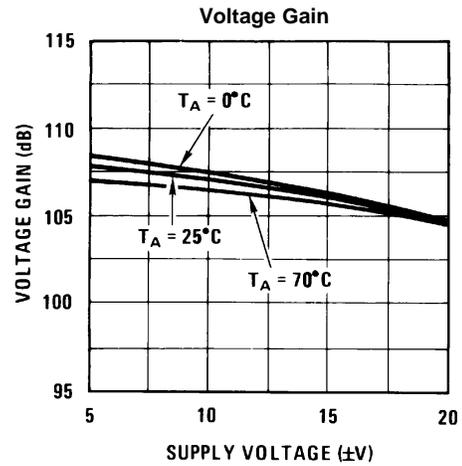


Figure 20.

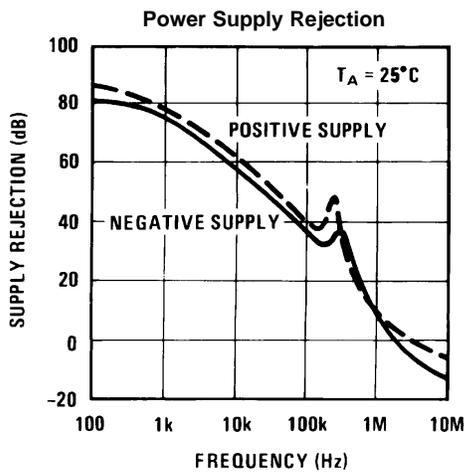


Figure 21.

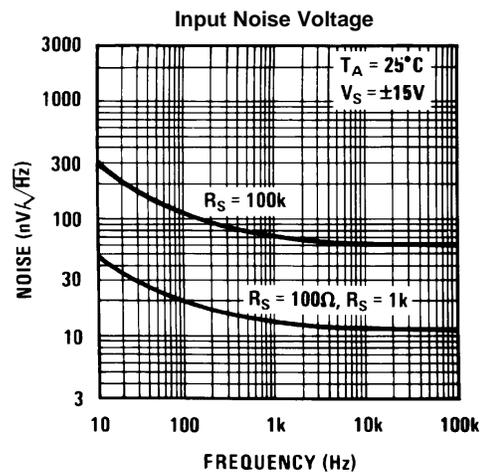


Figure 22.

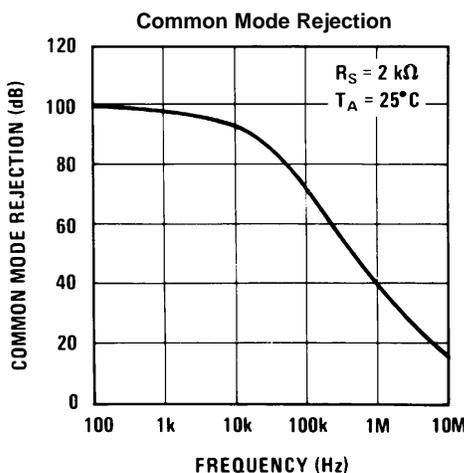


Figure 23.

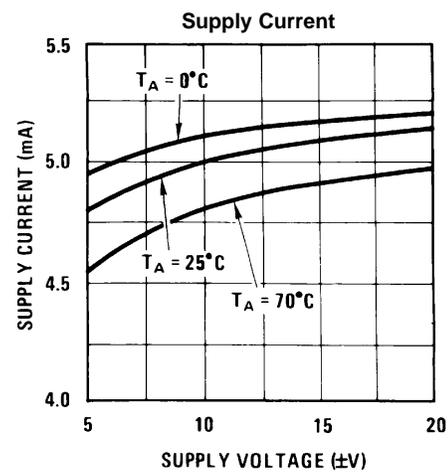


Figure 24.

Typical Performance Characteristics (continued)

LM318-N

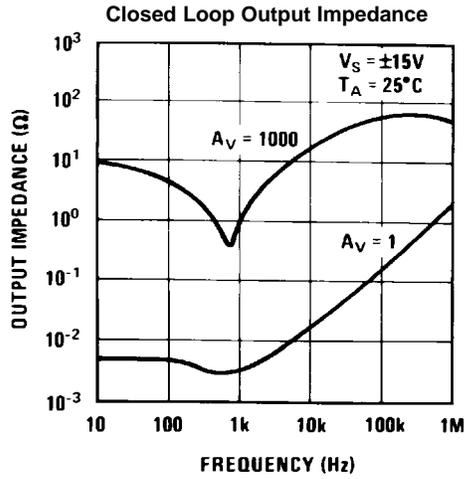


Figure 25.

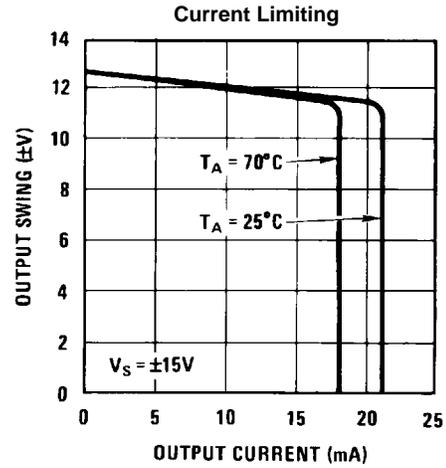


Figure 26.

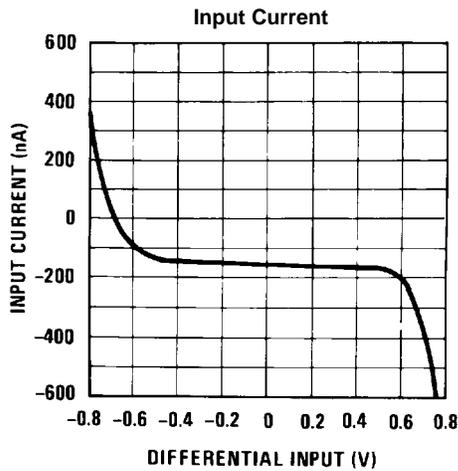


Figure 27.

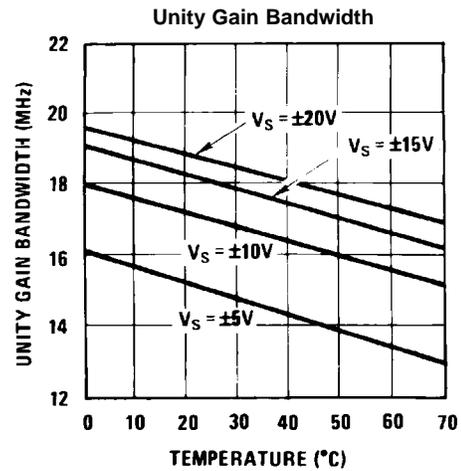


Figure 28.

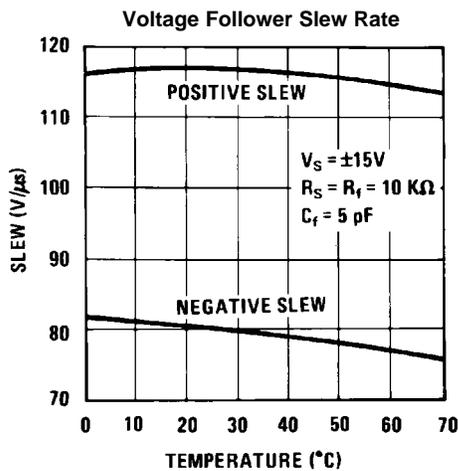


Figure 29.

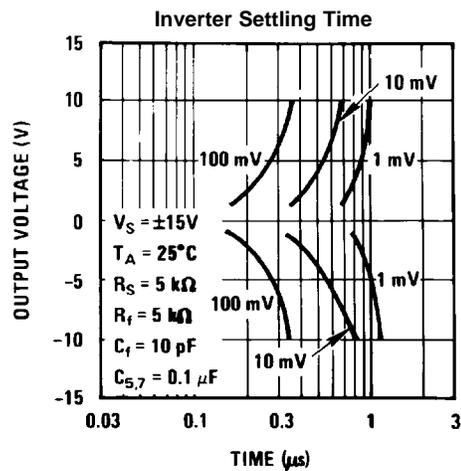


Figure 30.

Typical Performance Characteristics (continued)

LM318-N

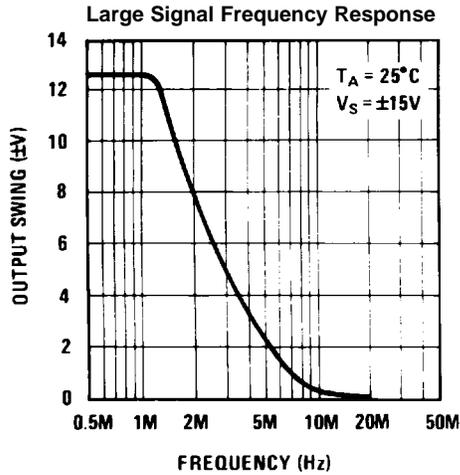


Figure 31.

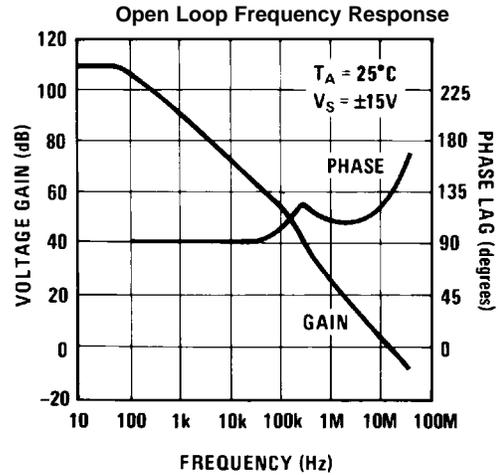


Figure 32.

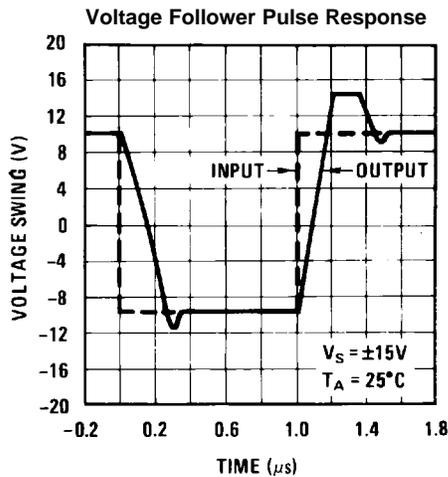


Figure 33.

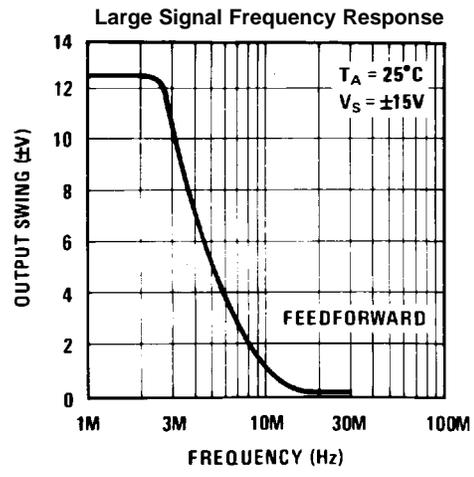


Figure 34.

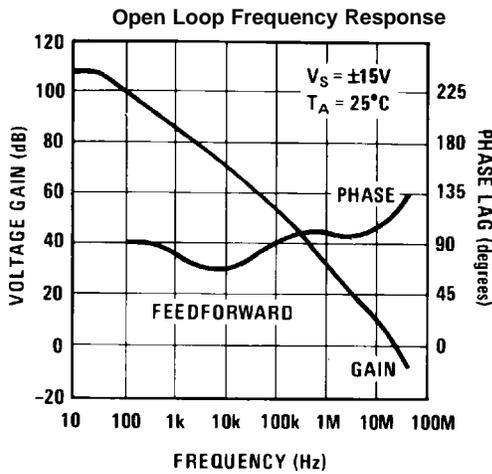


Figure 35.

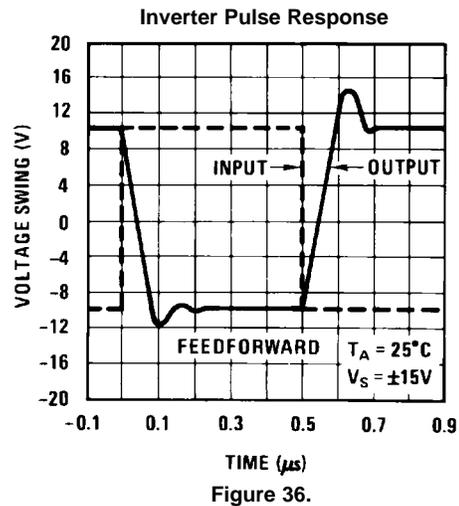
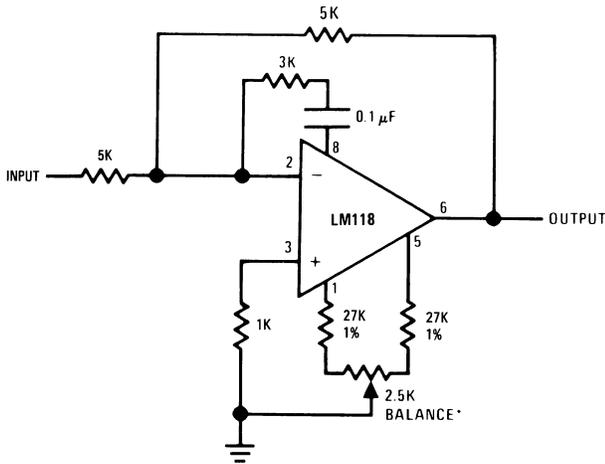


Figure 36.

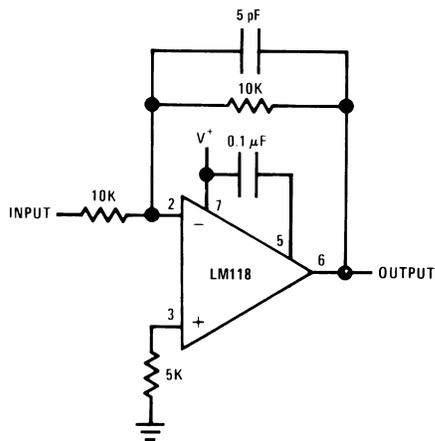
AUXILIARY CIRCUITS



*Balance circuit necessary for increased slew.

Slew rate typically 150V/μs.

Figure 37. Feedforward Compensation for Greater Inverting Slew Rate



Slew and settling time to 0.1% for a 10V step change is 800 ns.

Figure 38. Compensation for Minimum Settling Time

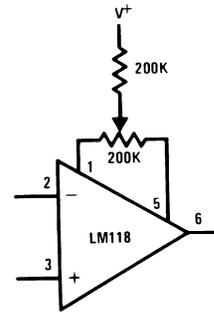


Figure 39. Offset Balancing

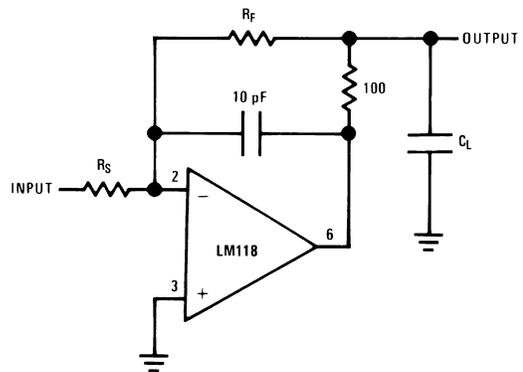


Figure 40. Isolating Large Capacitive Loads

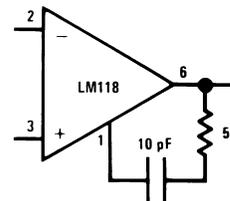
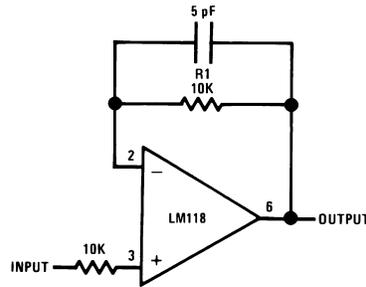


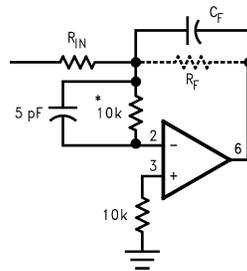
Figure 41. Overcompensation

TYPICAL APPLICATIONS



Do not hard-wire as voltage follower ($R_1 \geq 5 \text{ k}\Omega$)

Figure 42. Fast Voltage Follower



$C_F = \text{Large}$
($C_F \geq 50 \text{ pF}$)

*Do not hard-wire as integrator or slow inverter; insert a 10k-5 pF network in series with the input, to prevent oscillation.

Do not hard-wire as voltage follower ($R_1 \geq 5 \text{ k}\Omega$)

Figure 43.

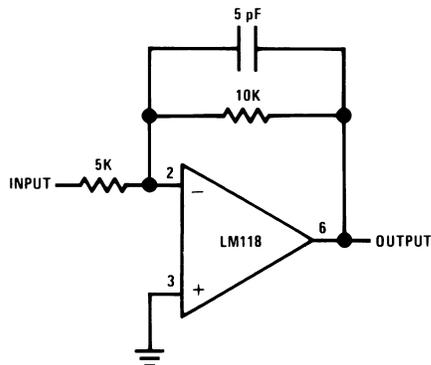


Figure 44. Fast Summing Amplifier

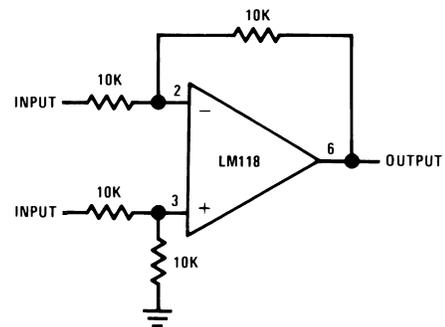


Figure 45. Differential Amplifier

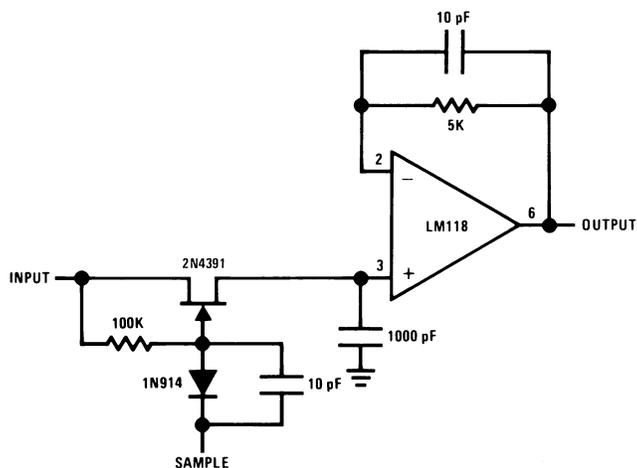
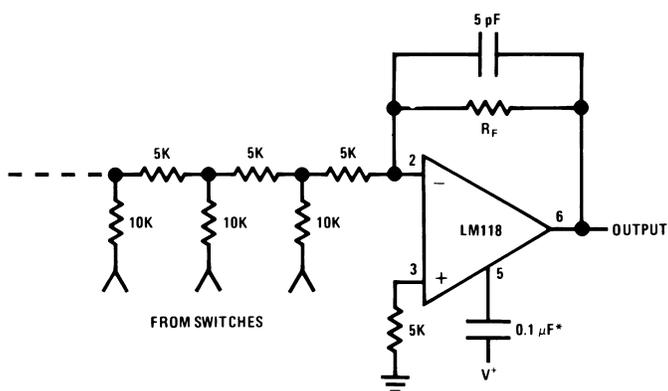
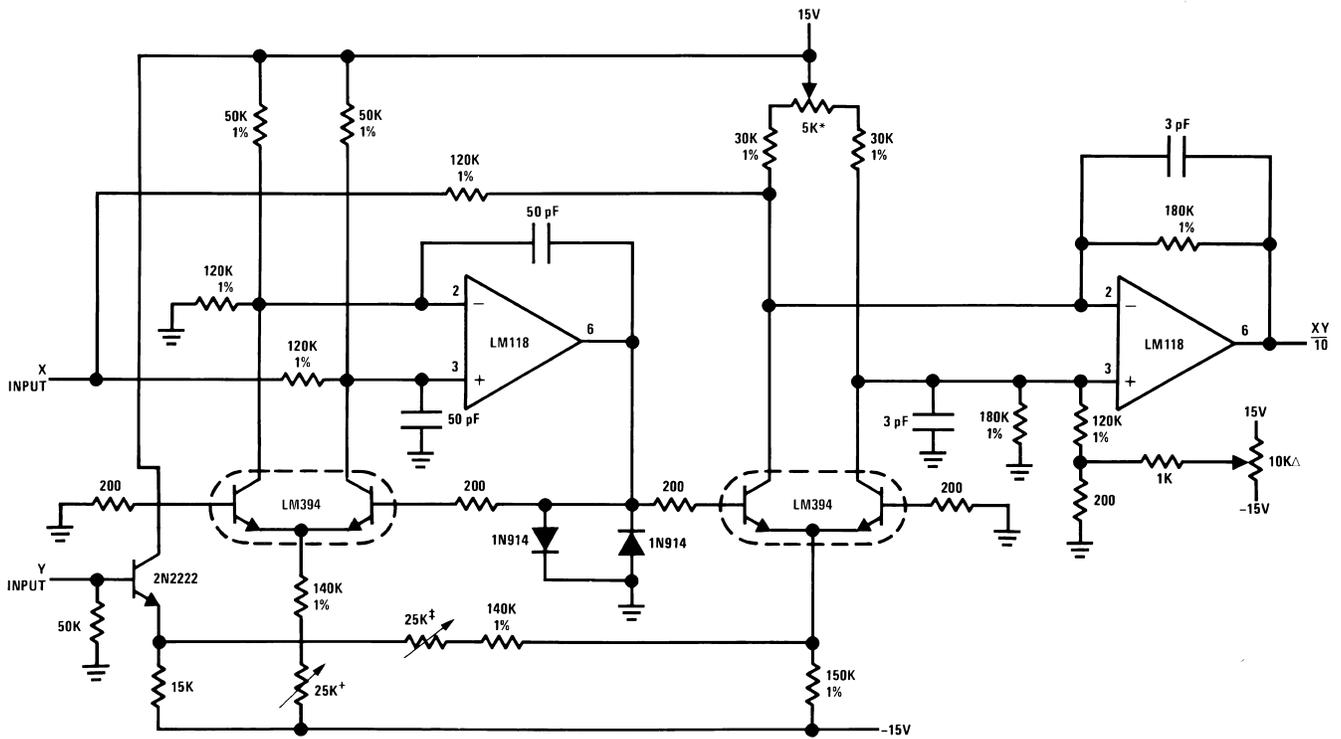


Figure 46. Fast Sample and Hold



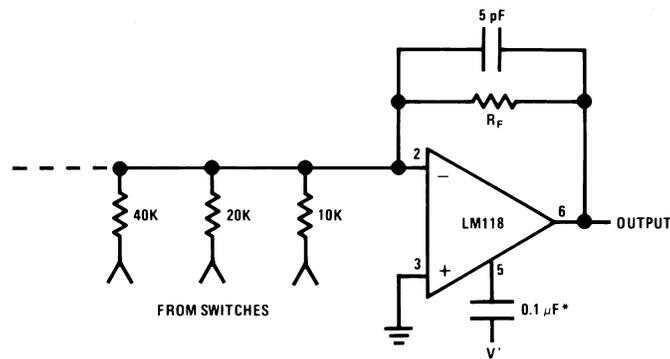
*Optional—Reduces settling time.

Figure 47. D/A Converter Using Ladder Network



Δ Output zero.
 * "Y" zero
 + "X" zero
 ‡ Full scale adjust.

Figure 48. Four Quadrant Multiplier



*Optional—Reduces settling time.

Figure 49. D/A Converter Using Binary Weighted Network

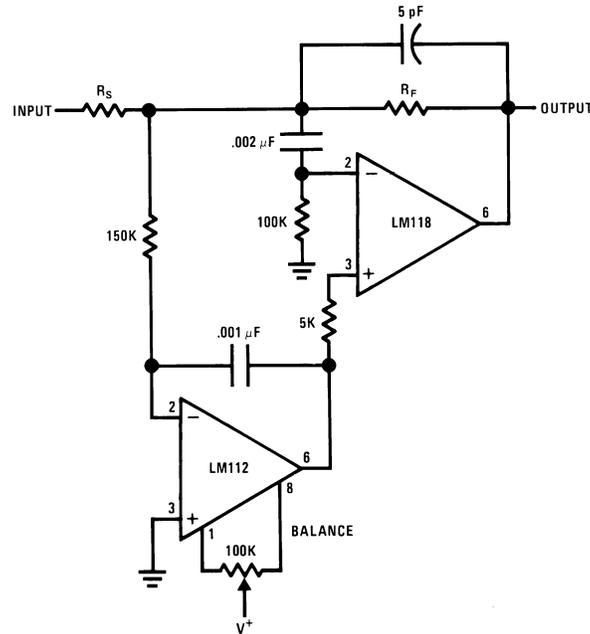
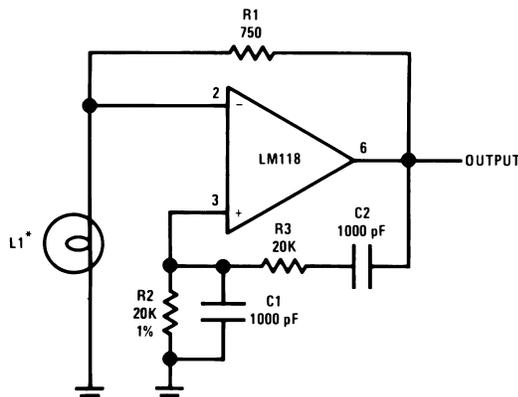


Figure 50. Fast Summing Amplifier with Low Input Current



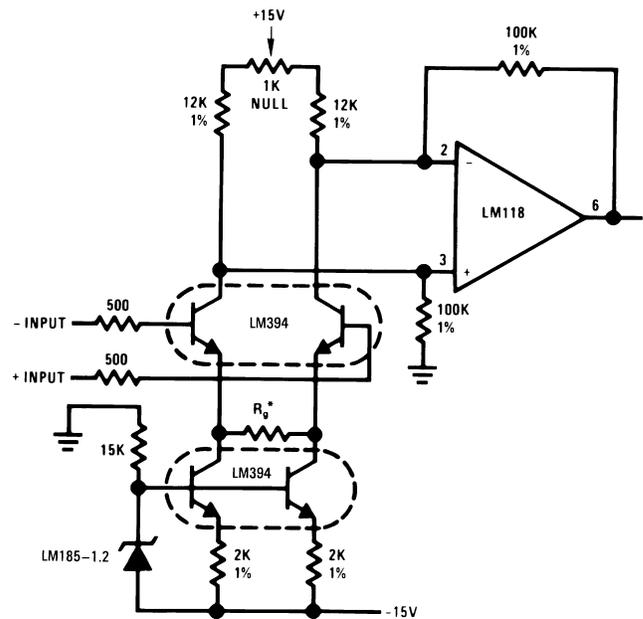
*L1—10V—14 mA bulb ELDEMA 1869

R1 = R2

C1 = C2

$$f = \frac{1}{2\pi R_2 C_1}$$

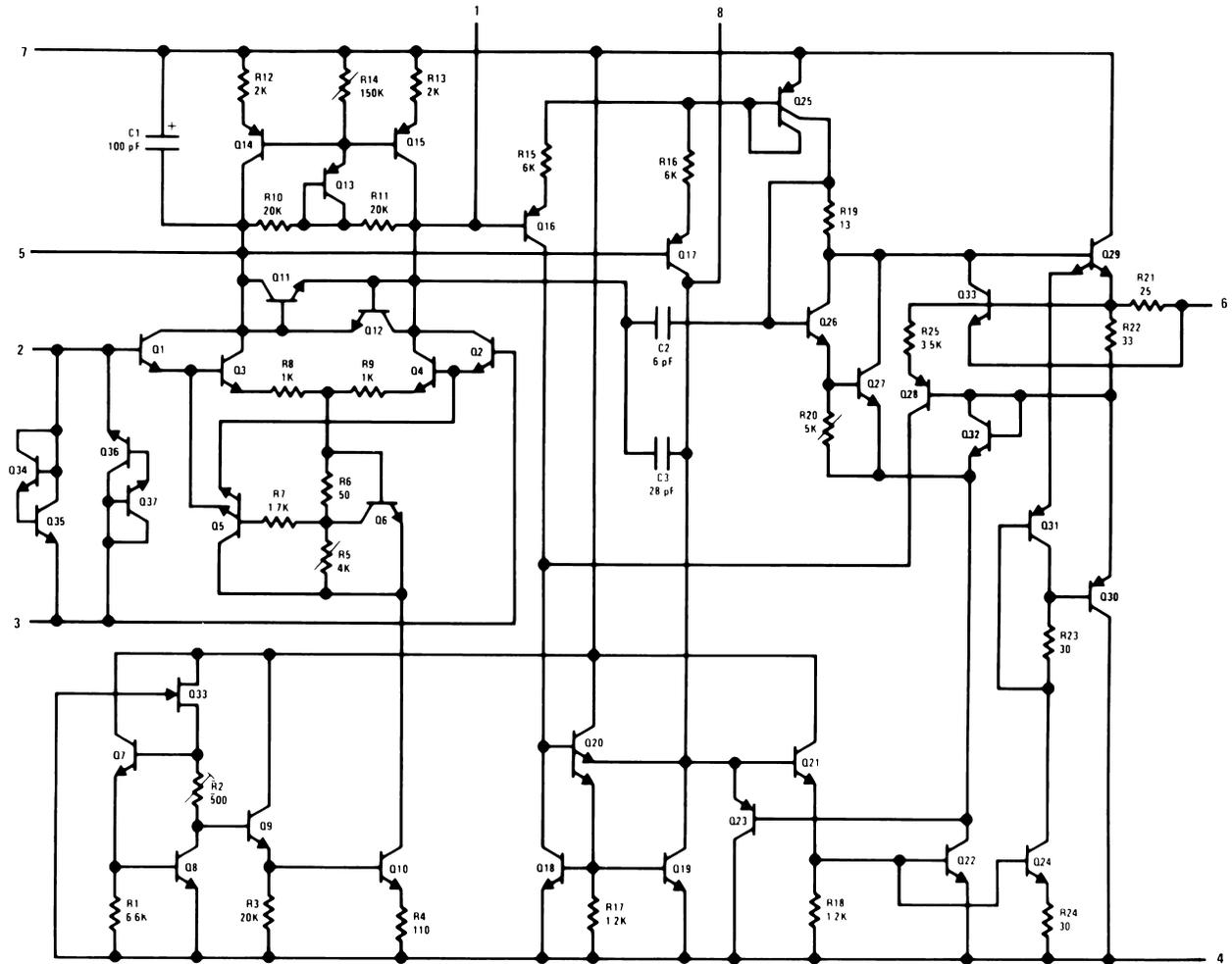
Figure 51. Wein Bridge Sine Wave Oscillator



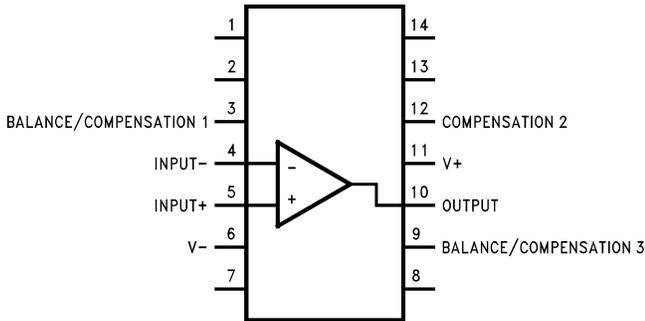
$$*Gain \geq \frac{200K}{R_g} \text{ for } 1.5K \leq R_g \leq 200K$$

Figure 52. Instrumentation Amplifier

Schematic Diagram

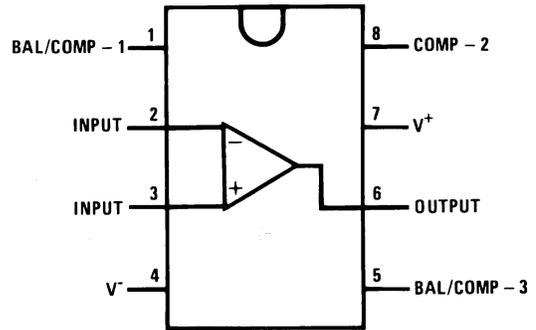


Pin Diagram



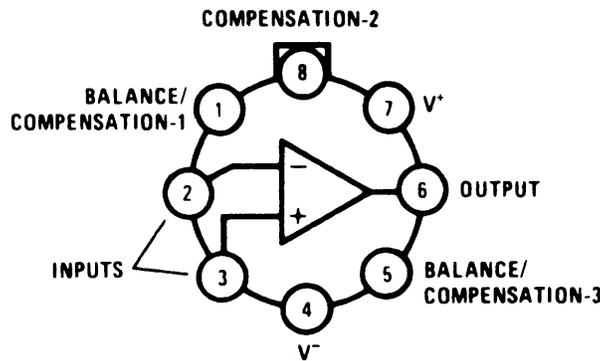
Available per JM38510/10107.

**Dual-In-Line Package
(Top View)
See Package Number J (R-GDIP-T14)**



Available per JM38510/10107.

**Dual-In-Line Package
(Top View)
See Package Number NAB008A, D (R-PDSO-G8),
or P (R-PDIP-T8)**



Pin connections shown on schematic diagram and typical applications are for TO-99 package.

**TO-99 Package
(Top View)
See Package Number LMC (O-MBCY-W8)**

REVISION HISTORY

Changes from Revision B (March 2013) to Revision C	Page
<ul style="list-style-type: none">• Changed layout of National Data Sheet to TI format	16

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LM118H	ACTIVE	TO-99	LMC	8	500	TBD	Call TI	Call TI	-55 to 125	(LM118H ~ LM118H)	Samples
LM118H/NOPB	ACTIVE	TO-99	LMC	8	500	Green (RoHS & no Sb/Br)	Call TI	Level-1-NA-UNLIM	-55 to 125	(LM118H ~ LM118H)	Samples
LM318M	NRND	SOIC	D	8	95	TBD	Call TI	Call TI	0 to 70	LM 318M	
LM318M/NOPB	ACTIVE	SOIC	D	8	95	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	0 to 70	LM 318M	Samples
LM318MX/NOPB	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	0 to 70	LM 318M	Samples
LM318N/NOPB	ACTIVE	PDIP	P	8	40	Green (RoHS & no Sb/Br)	CU SN	Level-1-NA-UNLIM	0 to 70	LM 318N	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

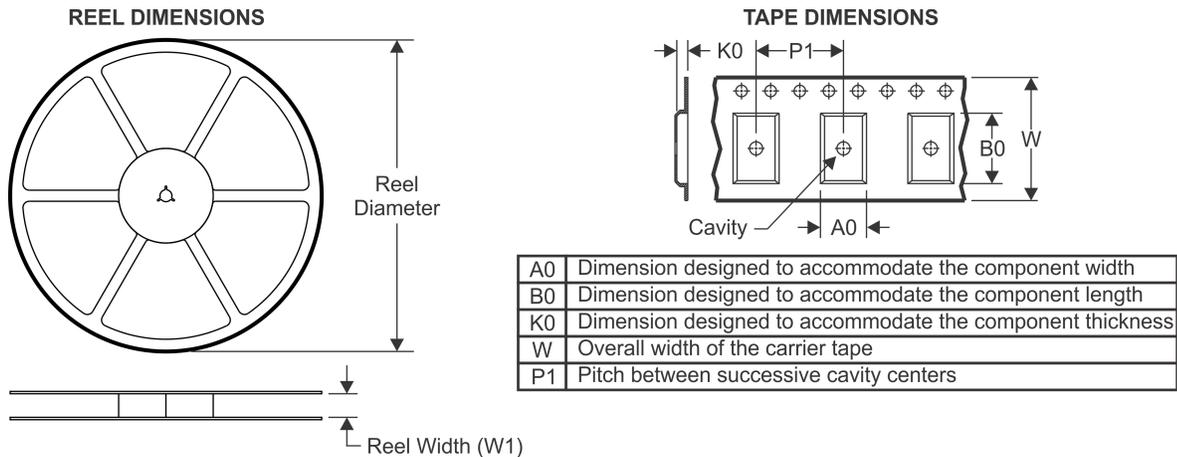
(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

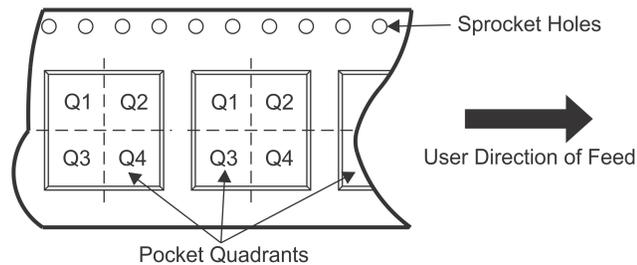
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



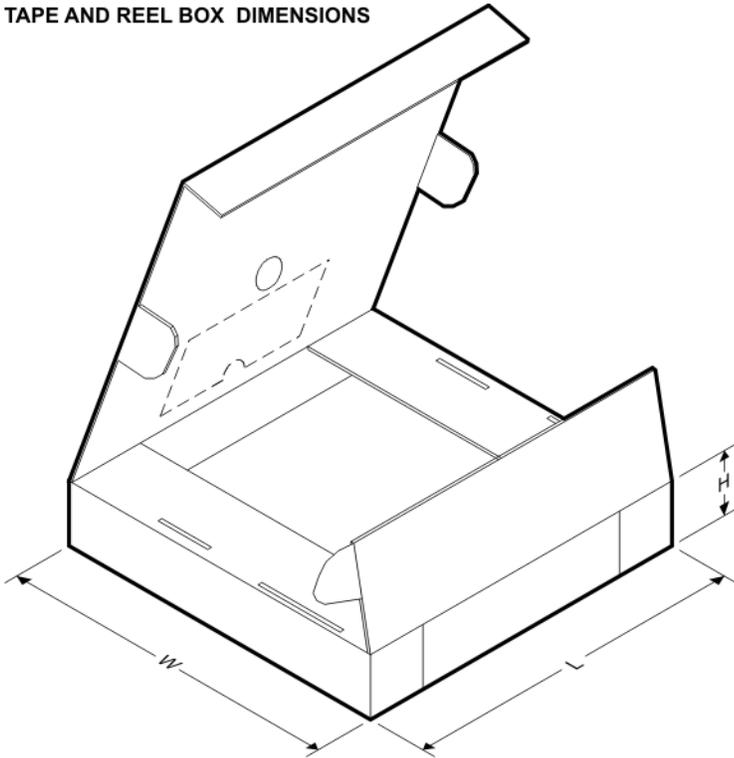
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM318MX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

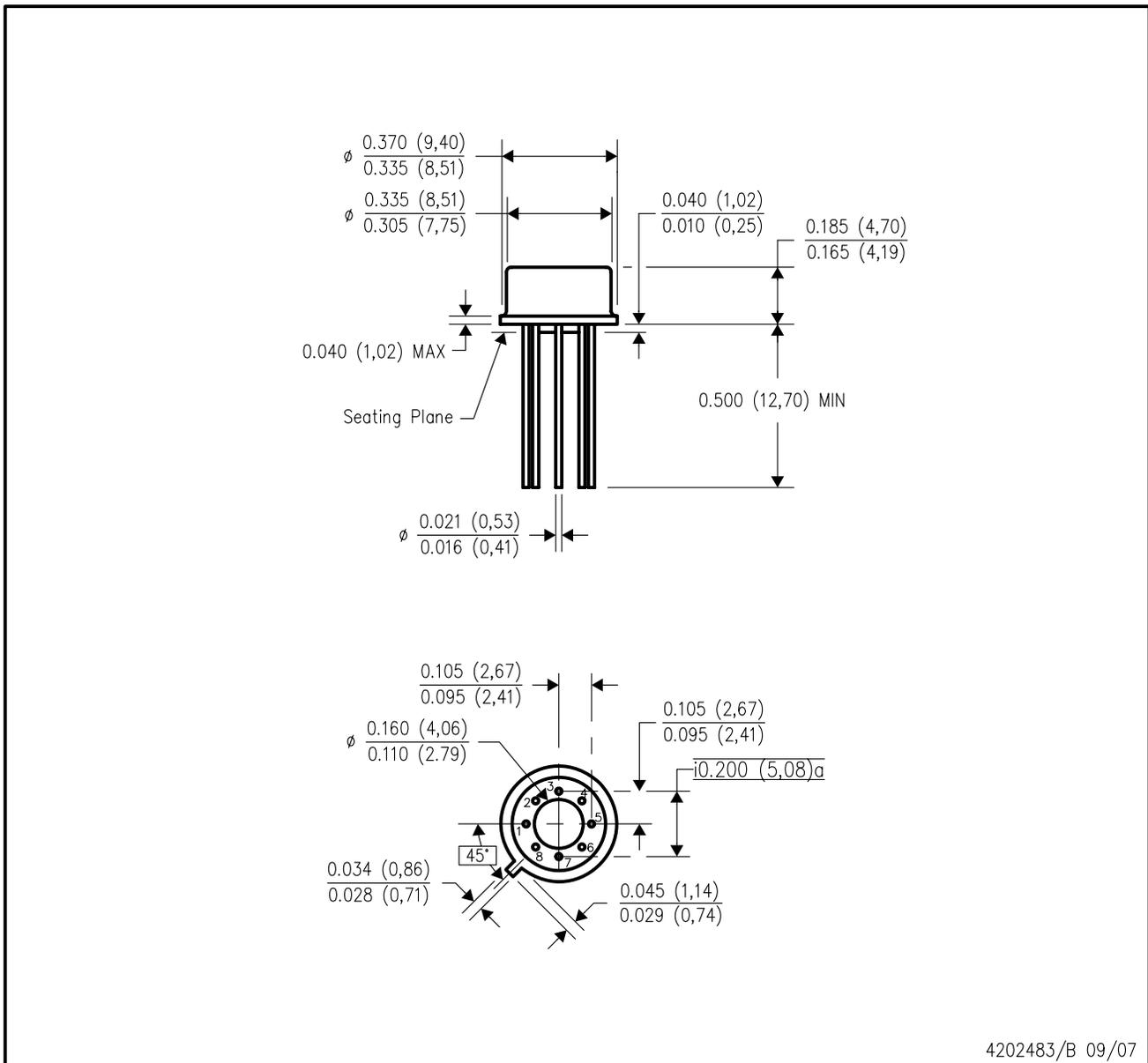


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM318MX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0

LMC (O-MBCY-W8)

METAL CYLINDRICAL PACKAGE

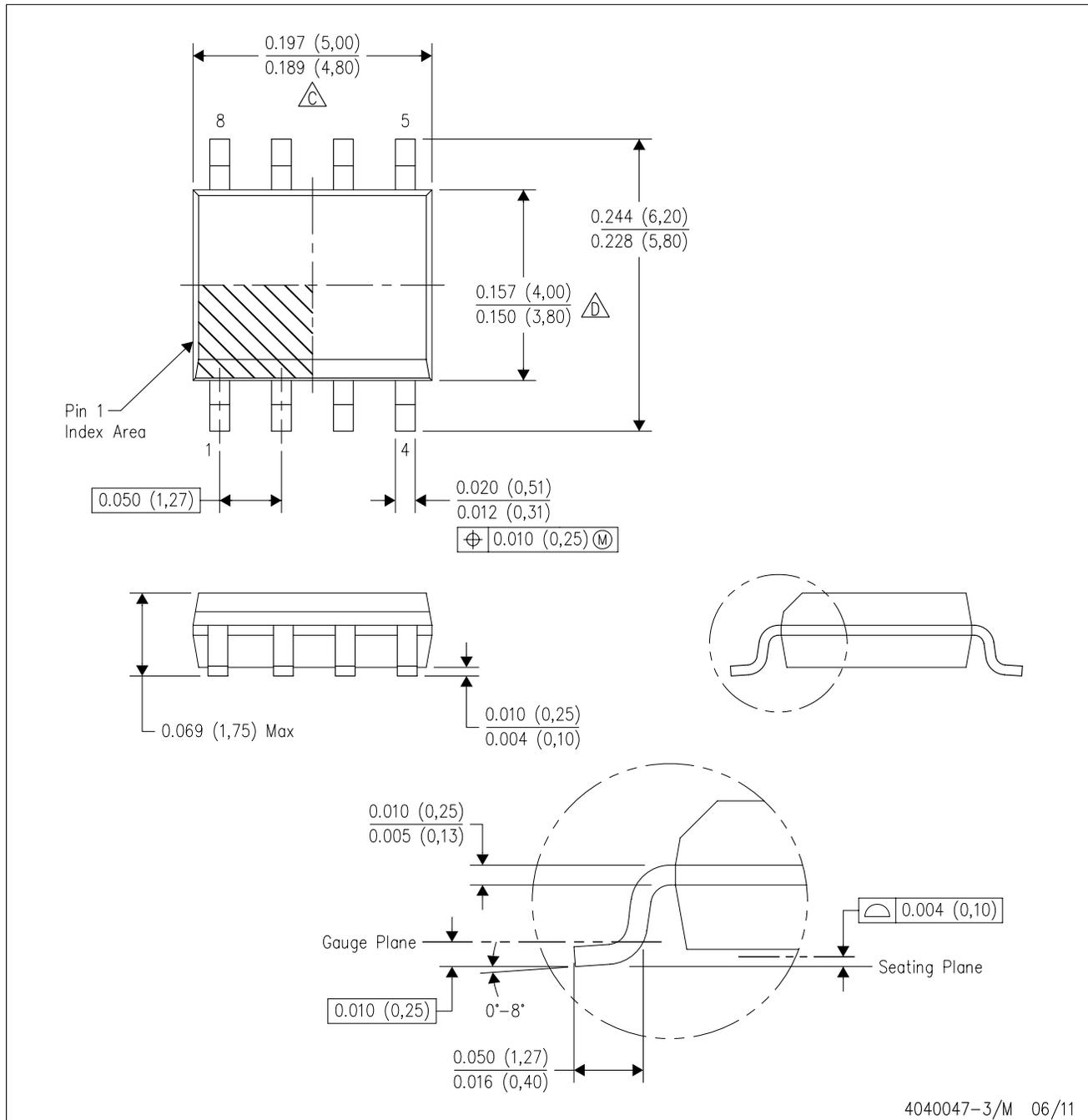


4202483/B 09/07

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Leads in true position within 0.010 (0,25) R @ MMC at seating plane.
 - D. Pin numbers shown for reference only. Numbers may not be marked on package.
 - E. Falls within JEDEC MO-002/TO-99.

D (R-PDSO-G8)

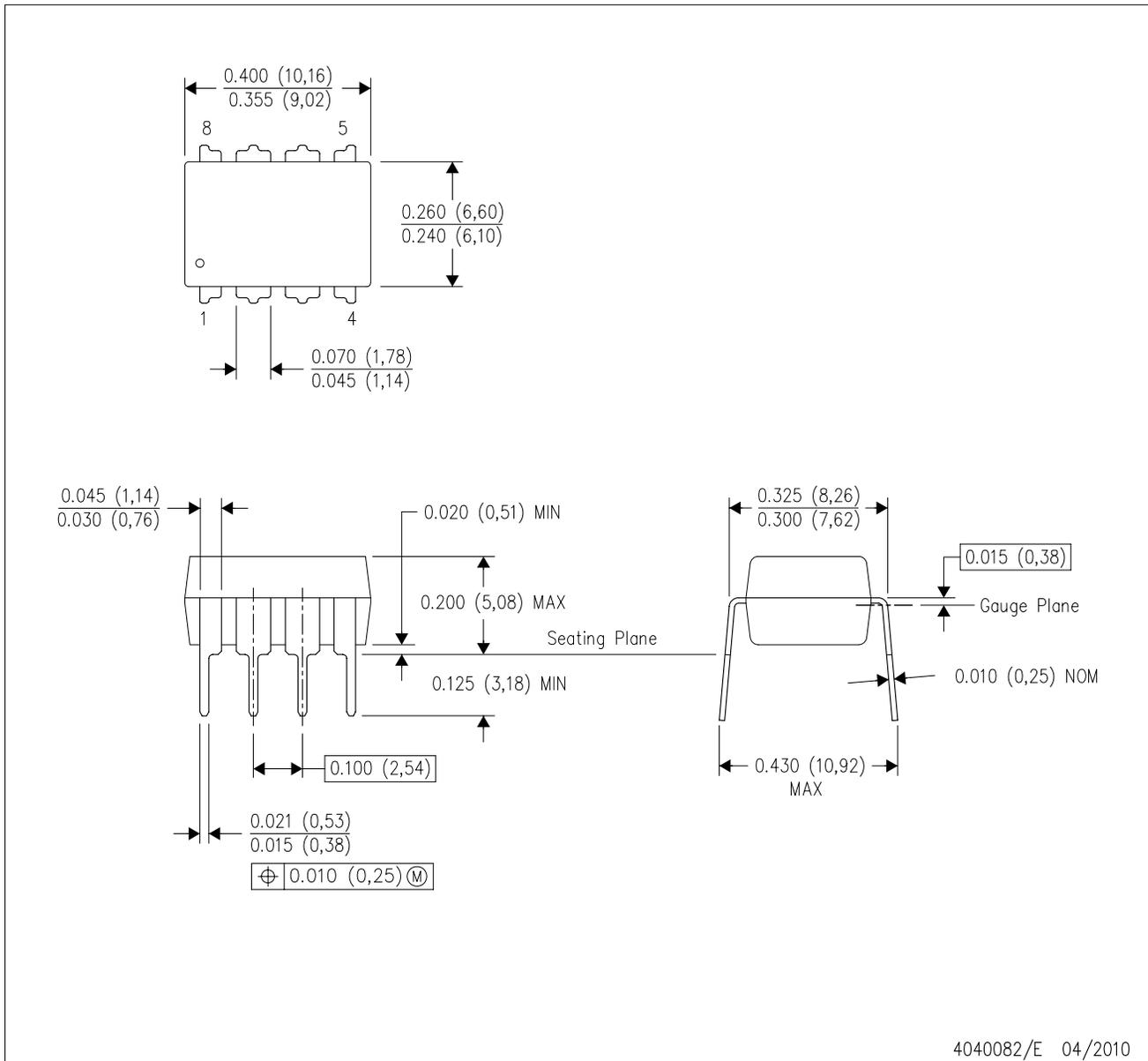
PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 -  Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 -  Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AA.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

IMPORTANT NOTICE

Texas Instruments Incorporated (TI) reserves the right to make corrections, enhancements, improvements and other changes to its semiconductor products and services per JESD46, latest issue, and to discontinue any product or service per JESD48, latest issue. Buyers should obtain the latest relevant information before placing orders and should verify that such information is current and complete.

TI's published terms of sale for semiconductor products (<http://www.ti.com/sc/docs/stdterms.htm>) apply to the sale of packaged integrated circuit products that TI has qualified and released to market. Additional terms may apply to the use or sale of other types of TI products and services.

Reproduction of significant portions of TI information in TI data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. TI is not responsible or liable for such reproduced documentation. Information of third parties may be subject to additional restrictions. Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Buyers and others who are developing systems that incorporate TI products (collectively, "Designers") understand and agree that Designers remain responsible for using their independent analysis, evaluation and judgment in designing their applications and that Designers have full and exclusive responsibility to assure the safety of Designers' applications and compliance of their applications (and of all TI products used in or for Designers' applications) with all applicable regulations, laws and other applicable requirements. Designer represents that, with respect to their applications, Designer has all the necessary expertise to create and implement safeguards that (1) anticipate dangerous consequences of failures, (2) monitor failures and their consequences, and (3) lessen the likelihood of failures that might cause harm and take appropriate actions. Designer agrees that prior to using or distributing any applications that include TI products, Designer will thoroughly test such applications and the functionality of such TI products as used in such applications.

TI's provision of technical, application or other design advice, quality characterization, reliability data or other services or information, including, but not limited to, reference designs and materials relating to evaluation modules, (collectively, "TI Resources") are intended to assist designers who are developing applications that incorporate TI products; by downloading, accessing or using TI Resources in any way, Designer (individually or, if Designer is acting on behalf of a company, Designer's company) agrees to use any particular TI Resource solely for this purpose and subject to the terms of this Notice.

TI's provision of TI Resources does not expand or otherwise alter TI's applicable published warranties or warranty disclaimers for TI products, and no additional obligations or liabilities arise from TI providing such TI Resources. TI reserves the right to make corrections, enhancements, improvements and other changes to its TI Resources. TI has not conducted any testing other than that specifically described in the published documentation for a particular TI Resource.

Designer is authorized to use, copy and modify any individual TI Resource only in connection with the development of applications that include the TI product(s) identified in such TI Resource. NO OTHER LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE TO ANY OTHER TI INTELLECTUAL PROPERTY RIGHT, AND NO LICENSE TO ANY TECHNOLOGY OR INTELLECTUAL PROPERTY RIGHT OF TI OR ANY THIRD PARTY IS GRANTED HEREIN, including but not limited to any patent right, copyright, mask work right, or other intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information regarding or referencing third-party products or services does not constitute a license to use such products or services, or a warranty or endorsement thereof. Use of TI Resources may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

TI RESOURCES ARE PROVIDED "AS IS" AND WITH ALL FAULTS. TI DISCLAIMS ALL OTHER WARRANTIES OR REPRESENTATIONS, EXPRESS OR IMPLIED, REGARDING RESOURCES OR USE THEREOF, INCLUDING BUT NOT LIMITED TO ACCURACY OR COMPLETENESS, TITLE, ANY EPIDEMIC FAILURE WARRANTY AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF ANY THIRD PARTY INTELLECTUAL PROPERTY RIGHTS. TI SHALL NOT BE LIABLE FOR AND SHALL NOT DEFEND OR INDEMNIFY DESIGNER AGAINST ANY CLAIM, INCLUDING BUT NOT LIMITED TO ANY INFRINGEMENT CLAIM THAT RELATES TO OR IS BASED ON ANY COMBINATION OF PRODUCTS EVEN IF DESCRIBED IN TI RESOURCES OR OTHERWISE. IN NO EVENT SHALL TI BE LIABLE FOR ANY ACTUAL, DIRECT, SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF TI RESOURCES OR USE THEREOF, AND REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.

Unless TI has explicitly designated an individual product as meeting the requirements of a particular industry standard (e.g., ISO/TS 16949 and ISO 26262), TI is not responsible for any failure to meet such industry standard requirements.

Where TI specifically promotes products as facilitating functional safety or as compliant with industry functional safety standards, such products are intended to help enable customers to design and create their own applications that meet applicable functional safety standards and requirements. Using products in an application does not by itself establish any safety features in the application. Designers must ensure compliance with safety-related requirements and standards applicable to their applications. Designer may not use any TI products in life-critical medical equipment unless authorized officers of the parties have executed a special contract specifically governing such use. Life-critical medical equipment is medical equipment where failure of such equipment would cause serious bodily injury or death (e.g., life support, pacemakers, defibrillators, heart pumps, neurostimulators, and implantables). Such equipment includes, without limitation, all medical devices identified by the U.S. Food and Drug Administration as Class III devices and equivalent classifications outside the U.S.

TI may expressly designate certain products as completing a particular qualification (e.g., Q100, Military Grade, or Enhanced Product). Designers agree that it has the necessary expertise to select the product with the appropriate qualification designation for their applications and that proper product selection is at Designers' own risk. Designers are solely responsible for compliance with all legal and regulatory requirements in connection with such selection.

Designer will fully indemnify TI and its representatives against any damages, costs, losses, and/or liabilities arising out of Designer's non-compliance with the terms and provisions of this Notice.

GaAs SPDT Switch DC - 3.0 GHz

Rev. V2

Features

- Low Insertion Loss: 0.4 dB @ 2.4 GHz
- Moderate Isolation: 27 dB @ 2.4 GHz
- Low Power Consumption: 5 μ A @ +3.0 V
- Lead-Free SC-70 (SOT-363) Package
- 100% Matte Tin Plating over Copper
- Halogen-Free “Green” Mold Compound
- RoHS* Compliant and 260°C Reflow Compatible

Description

M/A-COM’s MASWSS0136 is a GaAs PHEMT MMIC SPDT switch in a lead-free SC-70 (SOT-363) surface mount plastic package. The MASWSS0136 is ideally suited for applications where very small size and low cost are required.

Typical applications are transmit / receive (Tx / Rx) switching in linear systems such as WLAN 802.11b/g. Other applications include 1.9 GHz and 2.4 GHz DECT and linear systems operating up to 3.0 GHz.

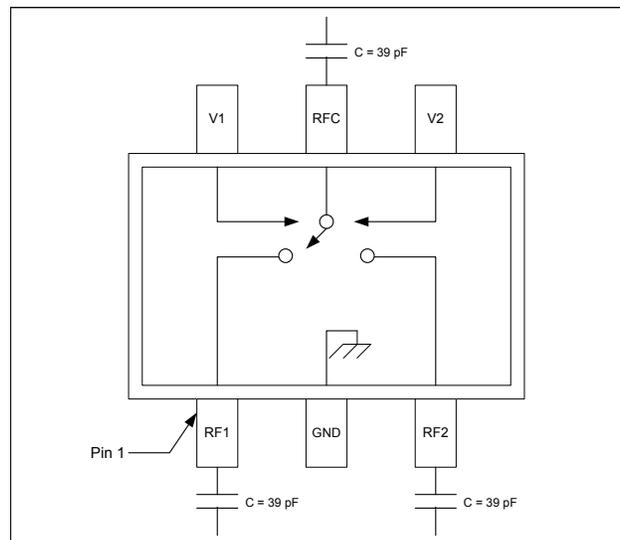
The MASWSS0136 is fabricated using a 0.5 micron gate length GaAs PHEMT process. The process features full passivation for performance and reliability.

Ordering Information¹

Part Number	Package
MASWSS0136	Bulk packaging
MASWSS0136TR-3000	3000 piece reel
MASWSS0136SMB	Sample Board

1. Reference Application Note M513 for reel size information.

Functional Schematic



Pin Configuration

Pin No.	Pin Name	Description
1	RF1	RF Port 1
2	GND	Ground
3	RF2	RF Port 2
4	V2	Control 2
5	RFC	RF Input
6	V1	Control 1

Absolute Maximum Ratings^{2,3}

Parameter	Absolute Maximum
Input Power (0.5 - 3.0 GHz) 3 V Control	+30 dBm
Voltage	-8.5 V \leq Vc \leq +8.5 V
Operating Temperature	-40°C to +85°C
Storage Temperature	-65°C to +150°C

2. Exceeding any one or combination of these limits may cause permanent damage to this device.
3. M/A-COM does not recommend sustained operation near these survivability limits.

* Restrictions on Hazardous Substances, European Union Directive 2002/95/EC.

GaAs SPDT Switch DC - 3.0 GHz

Rev. V2

Electrical Specifications: $T_A = 25^\circ\text{C}$, $V_C = 0\text{ V} / 3\text{ V}$, $Z_0 = 50\ \Omega$ ⁴

Parameter	Test Conditions	Units	Min.	Typ.	Max.
Insertion Loss ⁵	1.0 GHz	dB	—	0.3	—
	2.4 GHz	dB	—	0.4	0.5
Isolation	1.0 GHz	dB	—	24	—
	2.4 GHz	dB	25	27	—
VSWR	0.05 - 3.0 GHz	Ratio	—	1.2:1	—
IP2	Two Tone, +5 dBm / Tone, 5 MHz Spacing 2.4 GHz	dBm	—	80	—
IP3	Two Tone, +5 dBm / Tone, 5 MHz Spacing 2.4 GHz	dBm	—	48	—
Linear Pout	2.5 GHz, OFDM, QAM-64, 54Mbps, EVM=2.5%	3.0 V	dBm	—	22.5
		3.3 V	dBm	—	24.0
		5.0 V	dBm	—	28.5
P1dB	—	dBm	—	28	—
Trise, Tfall	10% to 90% RF and 90% to 10% RF	nS	—	35	—
Ton, Toff	50% control to 90% RF, 50% control to 10% RF	nS	—	40	—
Transients	—	mV	—	10	—
Current	$V_C = 3.0\text{ V}$	μA	—	5	10

4. For positive voltage control, external DC blocking capacitors are required on all RF ports.

5. Insertion Loss can be optimized by varying the DC blocking capacitor value, e.g. 1000 pF for 100 MHz – 1.0 GHz, 39 pF for 0.5 - 3.0 GHz.

Truth Table^{6,7}

Control V1	Control V2	RFC-RF1	RFC-RF2
0	1	On	Off
1	0	Off	On

6. Differential voltage, $V(\text{state } 1) - V(\text{state } 0)$, must be +2.3 V minimum and must not exceed 8.5 V.

7. 0 = 0 V \pm 0.2 V, 1 = +2.5 V to 5.0 V

Qualification

Qualified to M/A-COM specification REL-201, Process Flow –2.

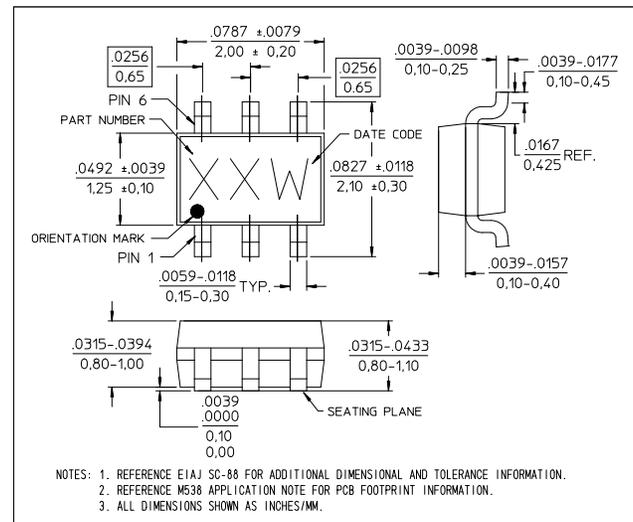
Handling Procedures

The following precautions should be observed to avoid damage:

Static Sensitivity

Gallium Arsenide Integrated Circuits are sensitive to electrostatic discharge (ESD) and can be damaged by static electricity. Proper ESD control techniques should be used when handling these devices.

Lead-Free SC-70 (SOT-363)[†]

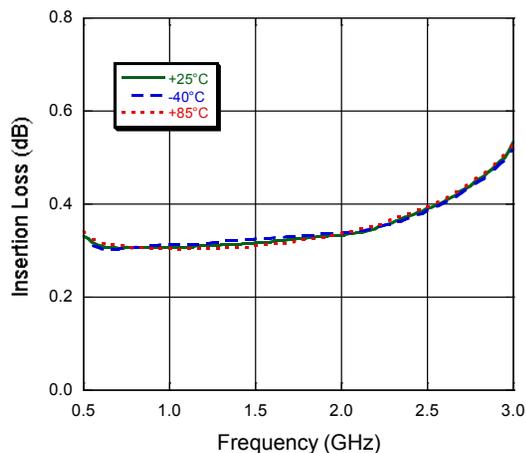


[†] Reference Application Note M538 for lead-free solder reflow recommendations.

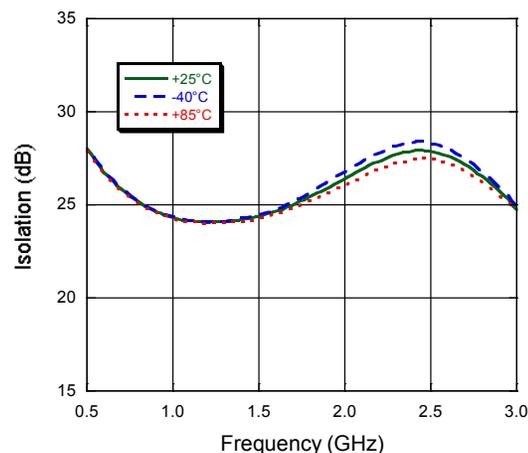
Meets JEDEC moisture sensitivity level 1 requirements.

Typical Performance Curves

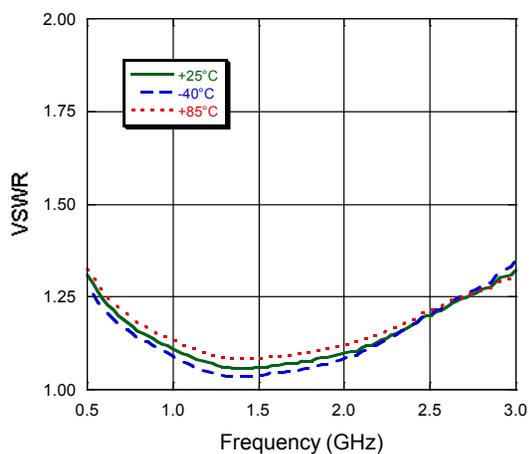
Insertion Loss



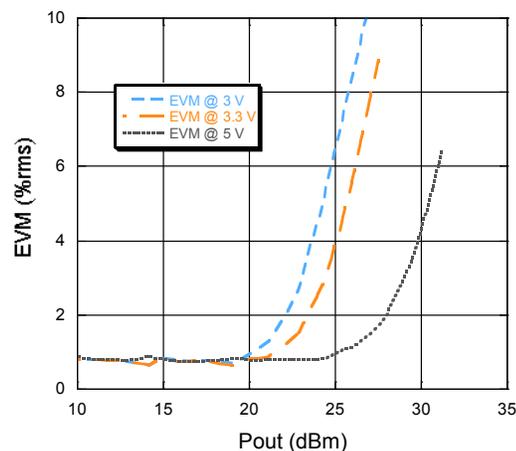
Isolation



VSWR



EVM vs. Pout @ 2.5 GHz



M/A-COM Technology Solutions Inc. All rights reserved.

Information in this document is provided in connection with M/A-COM Technology Solutions Inc ("MACOM") products. These materials are provided by MACOM as a service to its customers and may be used for informational purposes only. Except as provided in MACOM's Terms and Conditions of Sale for such products or in any separate agreement related to this document, MACOM assumes no liability whatsoever. MACOM assumes no responsibility for errors or omissions in these materials. MACOM may make changes to specifications and product descriptions at any time, without notice. MACOM makes no commitment to update the information and shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to its specifications and product descriptions. No license, express or implied, by estoppel or otherwise, to any intellectual property rights is granted by this document.

THESE MATERIALS ARE PROVIDED "AS IS" WITHOUT WARRANTY OF ANY KIND, EITHER EXPRESS OR IMPLIED, RELATING TO SALE AND/OR USE OF MACOM PRODUCTS INCLUDING LIABILITY OR WARRANTIES RELATING TO FITNESS FOR A PARTICULAR PURPOSE, CONSEQUENTIAL OR INCIDENTAL DAMAGES, MERCHANTABILITY, OR INFRINGEMENT OF ANY PATENT, COPYRIGHT OR OTHER INTELLECTUAL PROPERTY RIGHT. MACOM FURTHER DOES NOT WARRANT THE ACCURACY OR COMPLETENESS OF THE INFORMATION, TEXT, GRAPHICS OR OTHER ITEMS CONTAINED WITHIN THESE MATERIALS. MACOM SHALL NOT BE LIABLE FOR ANY SPECIAL, INDIRECT, INCIDENTAL, OR CONSEQUENTIAL DAMAGES, INCLUDING WITHOUT LIMITATION, LOST REVENUES OR LOST PROFITS, WHICH MAY RESULT FROM THE USE OF THESE MATERIALS.

MACOM products are not intended for use in medical, lifesaving or life sustaining applications. MACOM customers using or selling MACOM products for use in such applications do so at their own risk and agree to fully indemnify MACOM for any damages resulting from such improper use or sale.

Schottky Barrier Plastic Rectifier



DO-204AL (DO-41)

FEATURES

- Guardring for overvoltage protection
- Very small conduction losses
- Extremely fast switching
- Low forward voltage drop
- High frequency operation
- Solder dip 275 °C max. 10 s, per JESD 22-B106
- Material categorization: For definitions of compliance please see www.vishay.com/doc?99912


RoHS
COMPLIANT

TYPICAL APPLICATIONS

For use in low voltage high frequency inverters, freewheeling, DC/DC converters, and polarity protection applications.

MECHANICAL DATA

Case: DO-204AL (DO-41)

Molding compound meets UL 94 V-0 flammability rating
Base P/N-E3 - RoHS-compliant, commercial grade

Terminals: Matte tin plated leads, solderable per J-STD-002 and JESD 22-B102

E3 suffix meets JESD 201 class 1A whisker test

Polarity: Color band denotes the cathode end

PRIMARY CHARACTERISTICS	
$I_{F(AV)}$	1.0 A
V_{RRM}	20 V, 30 V, 40 V
I_{FSM}	25 A
V_F	0.45 V, 0.55 V, 0.60 V
T_J max.	125 °C
Package	DO-204AL
Diode variations	Single

MAXIMUM RATINGS ($T_A = 25$ °C unless otherwise noted)					
PARAMETER	SYMBOL	1N5817	1N5818	1N5819	UNIT
Maximum repetitive peak reverse voltage	V_{RRM}	20	30	40	V
Maximum RMS voltage	V_{RMS}	14	21	28	V
Maximum DC blocking voltage	V_{DC}	20	30	40	V
Maximum non-repetitive peak reverse voltage	V_{RSM}	24	36	48	V
Maximum average forward rectified current at 0.375" (9.5 mm) lead length at $T_L = 90$ °C	$I_{F(AV)}$	1.0			A
Peak forward surge current, 8.3 ms single half sine-wave superimposed on rated load	I_{FSM}	25			A
Voltage rate of change (rated V_R)	dV/dt	10 000			V/ μ s
Operating junction and storage temperature range	T_J, T_{STG}	- 65 to + 125			°C

ELECTRICAL CHARACTERISTICS ($T_A = 25$ °C unless otherwise noted)						
PARAMETER	TEST CONDITIONS	SYMBOL	1N5817	1N5818	1N5819	UNIT
Maximum instantaneous forward voltage	1.0	$V_F^{(1)}$	0.450	0.550	0.600	V
Maximum instantaneous forward voltage	3.1	$V_F^{(1)}$	0.750	0.875	0.900	V
Maximum average reverse current at rated DC blocking voltage	$T_A = 25$ °C	$I_R^{(1)}$	1.0			mA
	$T_A = 100$ °C		10			
Typical junction capacitance	4.0 V, 1.0 MHz	C_J	125	110		pF

Note

⁽¹⁾ Pulse test: 300 μ s pulse width, 1 % duty cycle



THERMAL CHARACTERISTICS ($T_A = 25\text{ }^\circ\text{C}$ unless otherwise noted)					
PARAMETER	SYMBOL	1N5817	1N5818	1N5819	UNIT
Typical thermal resistance	$R_{\theta JA}^{(1)}$	50			$^\circ\text{C/W}$
	$R_{\theta JL}^{(1)}$	15			

Note

(1) Thermal resistance from junction to lead vertical PCB mounted, 0.375" (9.5 mm) lead length with 1.5" x 1.5" (38 mm x 38 mm) copper pads

ORDERING INFORMATION (Example)				
PREFERRED P/N	UNIT WEIGHT (g)	PREFERRED PACKAGE CODE	BASE QUANTITY	DELIVERY MODE
1N5819-E3/54	0.332	54	5500	13" diameter paper tape and reel
1N5819-E3/73	0.332	73	3000	Ammo pack packaging

RATINGS AND CHARACTERISTICS CURVES

($T_A = 25\text{ }^\circ\text{C}$ unless otherwise noted)

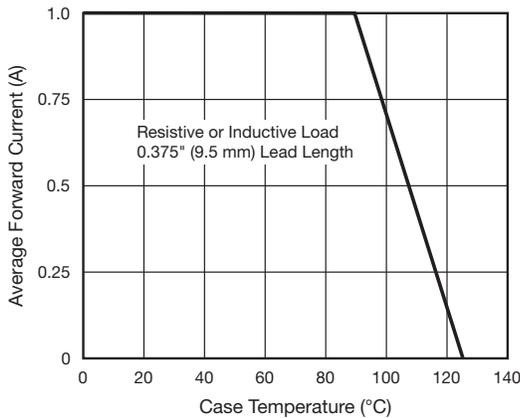


Fig. 1 - Forward Current Derating Curve

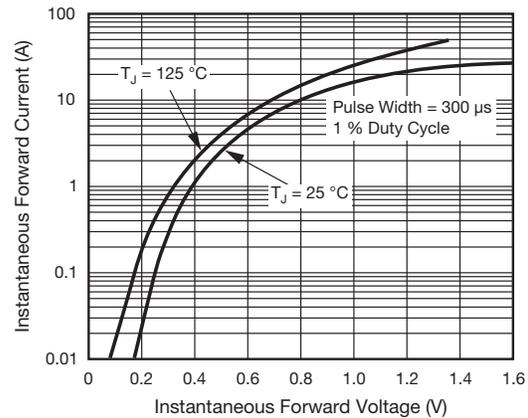


Fig. 3 - Typical Instantaneous Forward Characteristics

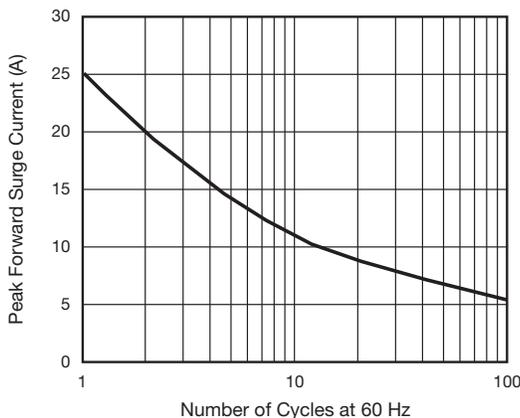


Fig. 2 - Maximum Non-Repetitive Peak Forward Surge Current

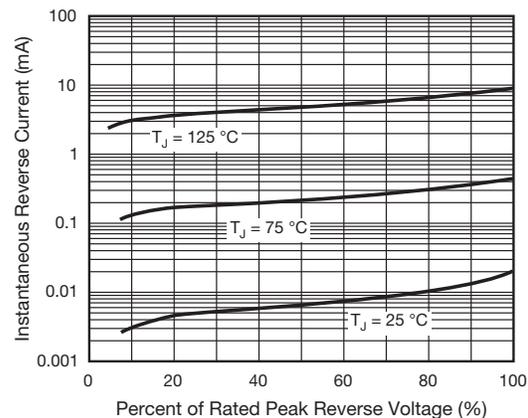


Fig. 4 - Typical Reverse Characteristics

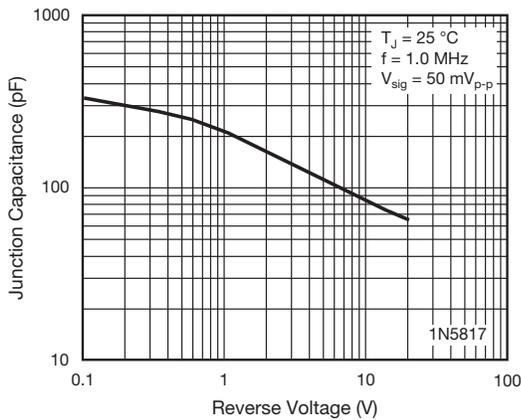


Fig. 5 - Typical Junction Capacitance

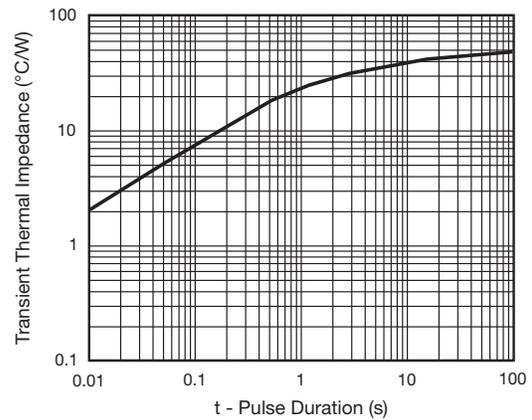


Fig. 7 - Typical Transient Thermal Impedance

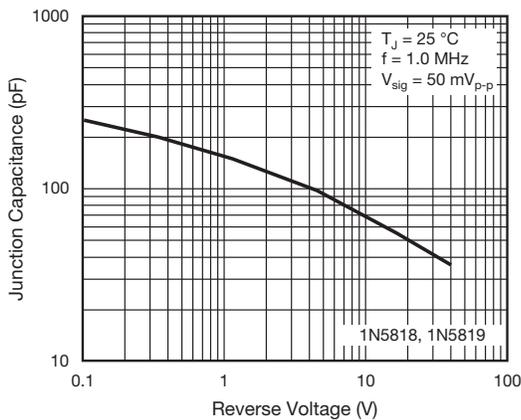
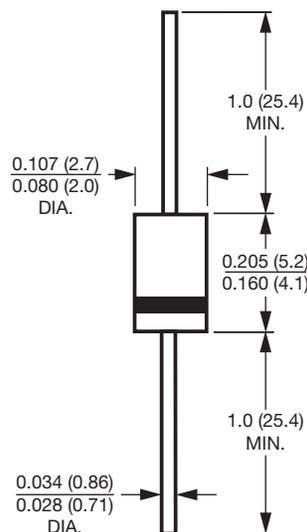


Fig. 6 - Typical Junction Capacitance

PACKAGE OUTLINE DIMENSIONS in inches (millimeters)

DO-204AL (DO-41)





Disclaimer

ALL PRODUCT, PRODUCT SPECIFICATIONS AND DATA ARE SUBJECT TO CHANGE WITHOUT NOTICE TO IMPROVE RELIABILITY, FUNCTION OR DESIGN OR OTHERWISE.

Vishay Intertechnology, Inc., its affiliates, agents, and employees, and all persons acting on its or their behalf (collectively, "Vishay"), disclaim any and all liability for any errors, inaccuracies or incompleteness contained in any datasheet or in any other disclosure relating to any product.

Vishay makes no warranty, representation or guarantee regarding the suitability of the products for any particular purpose or the continuing production of any product. To the maximum extent permitted by applicable law, Vishay disclaims (i) any and all liability arising out of the application or use of any product, (ii) any and all liability, including without limitation special, consequential or incidental damages, and (iii) any and all implied warranties, including warranties of fitness for particular purpose, non-infringement and merchantability.

Statements regarding the suitability of products for certain types of applications are based on Vishay's knowledge of typical requirements that are often placed on Vishay products in generic applications. Such statements are not binding statements about the suitability of products for a particular application. It is the customer's responsibility to validate that a particular product with the properties described in the product specification is suitable for use in a particular application. Parameters provided in datasheets and / or specifications may vary in different applications and performance may vary over time. All operating parameters, including typical parameters, must be validated for each customer application by the customer's technical experts. Product specifications do not expand or otherwise modify Vishay's terms and conditions of purchase, including but not limited to the warranty expressed therein.

Except as expressly indicated in writing, Vishay products are not designed for use in medical, life-saving, or life-sustaining applications or for any other application in which the failure of the Vishay product could result in personal injury or death. Customers using or selling Vishay products not expressly indicated for use in such applications do so at their own risk. Please contact authorized Vishay personnel to obtain written terms and conditions regarding products designed for such applications.

No license, express or implied, by estoppel or otherwise, to any intellectual property rights is granted by this document or by any conduct of Vishay. Product names and markings noted herein may be trademarks of their respective owners.

FEATURES

- Output frequency range: 35 MHz to 4400 MHz**
- Fractional-N synthesizer and integer-N synthesizer**
- Low phase noise VCO**
- Programmable divide-by-1/-2/-4/-8/-16/-32/-64 output**
- Typical jitter: 0.3 ps rms**
- Typical EVM at 2.1 GHz: 0.4%**
- Power supply: 3.0 V to 3.6 V**
- Logic compatibility: 1.8 V**
- Programmable dual-modulus prescaler of 4/5 or 8/9**
- Programmable output power level**
- RF output mute function**
- 3-wire serial interface**
- Analog and digital lock detect**
- Switched bandwidth fast lock mode**
- Cycle slip reduction**

APPLICATIONS

- Wireless infrastructure (W-CDMA, TD-SCDMA, WiMAX, GSM, PCS, DCS, DECT)**
- Test equipment**
- Wireless LANs, CATV equipment**
- Clock generation**

GENERAL DESCRIPTION

The ADF4351 allows implementation of fractional-N or integer-N phase-locked loop (PLL) frequency synthesizers when used with an external loop filter and external reference frequency.

The ADF4351 has an integrated voltage controlled oscillator (VCO) with a fundamental output frequency ranging from 2200 MHz to 4400 MHz. In addition, divide-by-1/-2/-4/-8/-16/-32/-64 circuits allow the user to generate RF output frequencies as low as 35 MHz. For applications that require isolation, the RF output stage can be muted. The mute function is both pin- and software-controllable. An auxiliary RF output is also available, which can be powered down when not in use.

Control of all on-chip registers is through a simple 3-wire interface. The device operates with a power supply ranging from 3.0 V to 3.6 V and can be powered down when not in use.

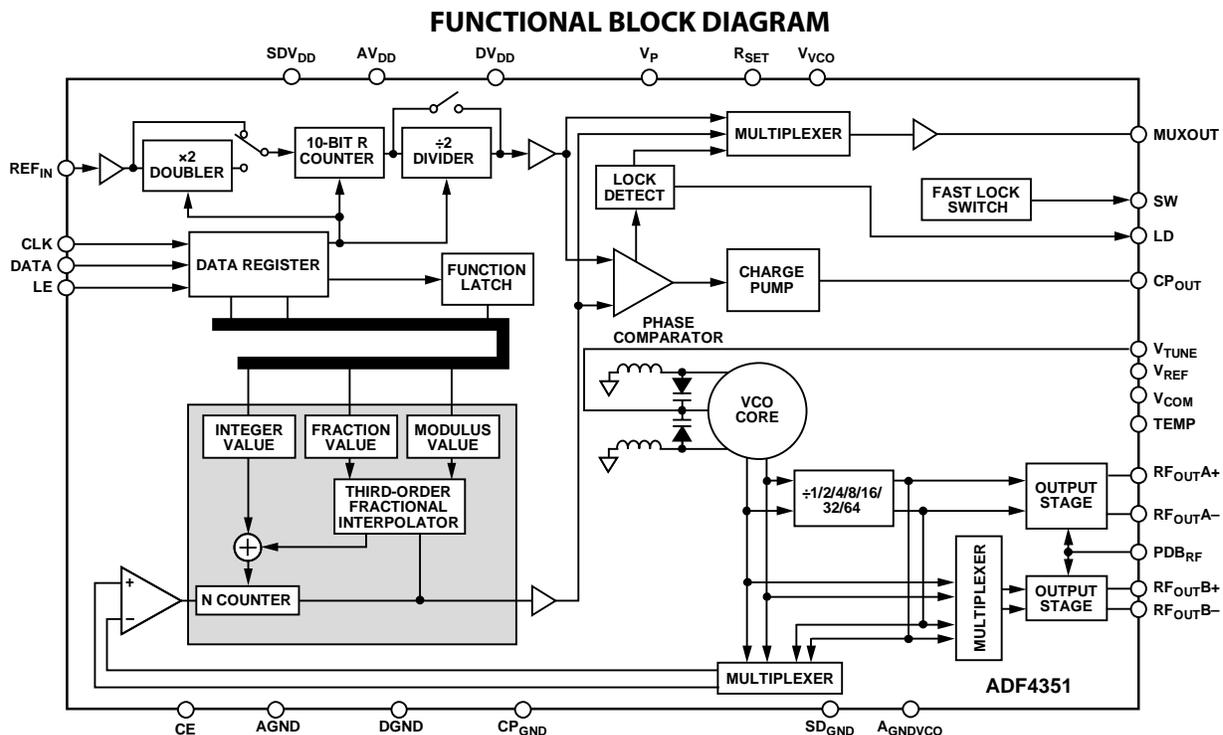


Figure 1.

Rev. A

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2012–2017 Analog Devices, Inc. All rights reserved.
[Technical Support](#) www.analog.com

TABLE OF CONTENTS

Features	1	Register 1	18
Applications	1	Register 2	18
General Description	1	Register 3	19
Functional Block Diagram	1	Register 4	20
Revision History	2	Register 5	20
Specifications	3	Register Initialization Sequence	20
Timing Characteristics	5	RF Synthesizer—A Worked Example	21
Absolute Maximum Ratings	6	Reference Doubler and Reference Divider	21
Transistor Count	6	12-Bit Programmable Modulus	21
Thermal Resistance	6	Cycle Slip Reduction for Faster Lock Times	22
ESD Caution	6	Spurious Optimization and Fast Lock	22
Pin Configuration and Function Descriptions	7	Fast Lock Timer and Register Sequences	22
Typical Performance Characteristics	9	Fast Lock Example	22
Circuit Description	11	Fast Lock Loop Filter Topology	23
Reference Input Section	11	Spur Mechanisms	23
RF N Divider	11	Spur Consistency and Fractional Spur Optimization	24
Phase Frequency Detector (PFD) and Charge Pump	11	Phase Resync	24
MUXOUT and Lock Detect	12	Applications Information	25
Input Shift Registers	12	Direct Conversion Modulator	25
Program Modes	12	Interfacing to the ADuC70xx and the ADSP-BF527	26
VCO	12	PCB Design Guidelines for a Chip Scale Package	26
Output Stage	13	Output Matching	27
Register Maps	14	Outline Dimensions	28
Register 0	18	Ordering Guide	28

REVISION HISTORY

1/2017—Rev. 0 to Rev. A

Changed CP-32-2 to CP-32-7	Throughout
Change to Figure 3	7
Updated Outline Dimension	28
Changes to Ordering Guide	28

5/2012—Revision 0: Initial Version

SPECIFICATIONS

$AV_{DD} = DV_{DD} = V_{VCO} = SDV_{DD} = V_P = 3.3\text{ V} \pm 10\%$; $AGND = DGND = 0\text{ V}$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Operating temperature range is -40°C to $+85^\circ\text{C}$.

Table 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
REF _{IN} CHARACTERISTICS					
Input Frequency	10		250	MHz	For $f < 10\text{ MHz}$, ensure slew rate $> 21\text{ V}/\mu\text{s}$ Biased at $AV_{DD}/2$; ac coupling ensures $AV_{DD}/2$ bias
Input Sensitivity	0.7		AV_{DD}	V p-p	
Input Capacitance		10		pF	
Input Current			± 60	μA	
PHASE FREQUENCY DETECTOR (PFD)					
Phase Detector Frequency			32	MHz	Fractional-N
			45	MHz	Integer-N (band select enabled)
			90	MHz	Integer-N (band select disabled)
CHARGE PUMP					
I_{CP} Sink/Source ¹					$R_{SET} = 5.1\text{ k}\Omega$
High Value		5		mA	
Low Value		0.312		mA	
R_{SET} Range	3.9		10	k Ω	
Sink and Source Current Matching		2		%	$0.5\text{ V} \leq V_{CP} \leq 2.5\text{ V}$
I_{CP} vs. V_{CP}		1.5		%	$0.5\text{ V} \leq V_{CP} \leq 2.5\text{ V}$
I_{CP} vs. Temperature		2		%	$V_{CP} = 2.0\text{ V}$
LOGIC INPUTS					
Input High Voltage, V_{INH}	1.5			V	
Input Low Voltage, V_{INL}			0.6	V	
Input Current, I_{INH}/I_{INL}			± 1	μA	
Input Capacitance, C_{IN}		3.0		pF	
LOGIC OUTPUTS					
Output High Voltage, V_{OH}	$DV_{DD} - 0.4$			V	CMOS output selected
Output High Current, I_{OH}			500	μA	
Output Low Voltage, V_{OL}			0.4	V	$I_{OL} = 500\text{ }\mu\text{A}$
POWER SUPPLIES					
AV_{DD}	3.0		3.6	V	These voltages must equal AV_{DD}
$DV_{DD}, V_{VCO}, SDV_{DD}, V_P$		AV_{DD}			
$DI_{DD} + AI_{DD}^2$		21	27	mA	Each output divide-by-2 consumes 6 mA
Output Dividers		6 to 36		mA	
I_{VCO}^2		70	80	mA	RF output stage is programmable
I_{RFOUT}^2		21	26	mA	
Low Power Sleep Mode		7	10	μA	
RF OUTPUT CHARACTERISTICS					
VCO Output Frequency	2200		4400	MHz	Fundamental VCO mode 2200 MHz fundamental output and divide-by-64 selected
Minimum VCO Output Frequency Using Dividers	34.375			MHz	
VCO Sensitivity, K_V		40		MHz/V	Into 2.00 VSWR load Fundamental VCO output Divided VCO output Fundamental VCO output Divided VCO output
Frequency Pushing (Open-Loop)		1		MHz/V	
Frequency Pulling (Open-Loop)		90		kHz	
Harmonic Content (Second)		-19		dBc	
		-20		dBc	
Harmonic Content (Third)		-13		dBc	
		-10		dBc	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Minimum RF Output Power ³		-4		dBm	Programmable in 3 dB steps
Maximum RF Output Power ³		5		dBm	
Output Power Variation		±1		dB	
Minimum VCO Tuning Voltage		0.5		V	
Maximum VCO Tuning Voltage		2.5		V	
NOISE CHARACTERISTICS					
VCO Phase Noise Performance					VCO noise is measured in open-loop conditions
		-89		dBc/Hz	10 kHz offset from 2.2 GHz carrier
		-114		dBc/Hz	100 kHz offset from 2.2 GHz carrier
		-134		dBc/Hz	1 MHz offset from 2.2 GHz carrier
		-148		dBc/Hz	5 MHz offset from 2.2 GHz carrier
		-86		dBc/Hz	10 kHz offset from 3.3 GHz carrier
		-111		dBc/Hz	100 kHz offset from 3.3 GHz carrier
		-134		dBc/Hz	1 MHz offset from 3.3 GHz carrier
		-145		dBc/Hz	5 MHz offset from 3.3 GHz carrier
		-83		dBc/Hz	10 kHz offset from 4.4 GHz carrier
		-110		dBc/Hz	100 kHz offset from 4.4 GHz carrier
		-131		dBc/Hz	1 MHz offset from 4.4 GHz carrier
		-145		dBc/Hz	5 MHz offset from 4.4 GHz carrier
Normalized Phase Noise Floor (PN_{SYNTH}) ⁴					PLL loop BW = 500 kHz
		-220		dBc/Hz	ABP = 6 ns
		-221		dBc/Hz	ABP = 3 ns
Normalized 1/f Noise ($PN_{1/f}$) ⁵					10 kHz offset; normalized to 1 GHz
		-116		dBc/Hz	ABP = 6 ns
		-118		dBc/Hz	ABP = 3 ns
In-Band Phase Noise		-100		dBc/Hz	3 kHz from 2111.28 MHz carrier
Integrated RMS Jitter ⁶		0.27		ps	
Spurious Signals Due to PFD Frequency		-80		dBc	
Level of Signal with RF Mute Enabled		-40		dBm	

¹ I_{CP} is internally modified to maintain constant loop gain over the frequency range.

² $T_A = 25^\circ\text{C}$; $AV_{DD} = DV_{DD} = V_{VCO} = 3.3\text{ V}$; prescaler = 8/9; $f_{REFIN} = 100\text{ MHz}$; $f_{PFD} = 25\text{ MHz}$; $f_{RF} = 4.4\text{ GHz}$.

³ Using 50 Ω resistors to V_{VCO} , into a 50 Ω load. Power measured with auxiliary RF output disabled. The current consumption of the auxiliary output is the same as for the main output.

⁴ The synthesizer phase noise floor is estimated by measuring the in-band phase noise at the output of the VCO and subtracting $20 \log N$ (where N is the N divider value) and $10 \log f_{PFD}$. To calculate in-band phase noise performance as seen at the VCO output, use the following formula: $PN_{SYNTH} = PN_{TOT} - 10 \log(f_{PFD}) - 20 \log N$.

⁵ The PLL phase noise is composed of flicker (1/f) noise plus the normalized PLL noise floor. The formula for calculating the 1/f noise contribution at an RF frequency (f_{RF}) and at a frequency offset (f) is given by $PN = PN_{1/f} + 10 \log(10 \text{ kHz}/f) + 20 \log(f_{RF}/1 \text{ GHz})$. Both the normalized phase noise floor and flicker noise are modeled in [ADIsimPLL](#).

⁶ $f_{REFIN} = 122.88\text{ MHz}$; $f_{PFD} = 30.72\text{ MHz}$; VCO frequency = 4222.56 MHz; $f_{RF} = 2111.28\text{ MHz}$; N = 137; loop BW = 60 kHz; $I_{CP} = 2.5\text{ mA}$; low noise mode. The noise was measured with an EVAL-ADF4351EB1Z and the Rohde & Schwarz FSUP signal source analyzer.

TIMING CHARACTERISTICS

$AV_{DD} = DV_{DD} = V_{VCO} = SDV_{DD} = V_P = 3.3\text{ V} \pm 10\%$; $AGND = DGND = 0\text{ V}$; 1.8 V and 3 V logic levels used; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.

Table 2.

Parameter	Limit	Unit	Description
t_1	20	ns min	LE setup time
t_2	10	ns min	DATA to CLK setup time
t_3	10	ns min	DATA to CLK hold time
t_4	25	ns min	CLK high duration
t_5	25	ns min	CLK low duration
t_6	10	ns min	CLK to LE setup time
t_7	20	ns min	LE pulse width

Timing Diagram

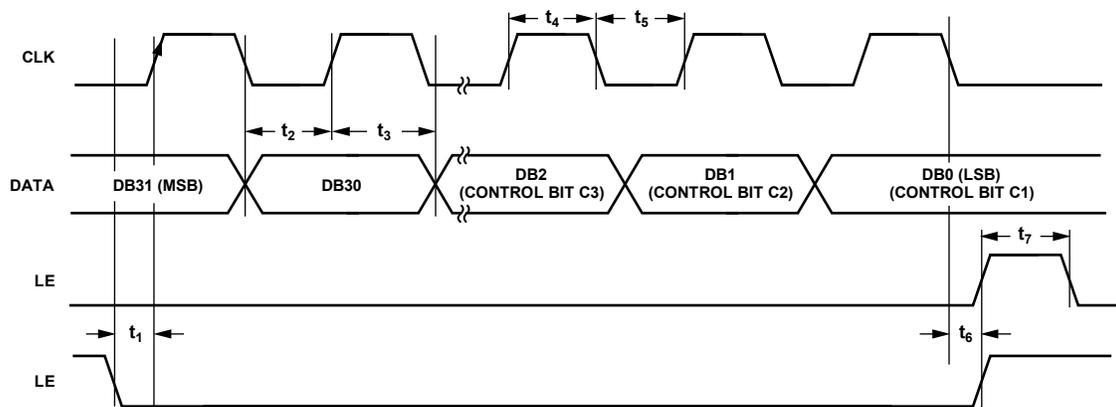


Figure 2. Timing Diagram

09800-002

ABSOLUTE MAXIMUM RATINGS

$T_A = 25^\circ\text{C}$, unless otherwise noted.

Table 3.

Parameter	Rating
AV_{DD} to GND ¹	-0.3 V to +3.9 V
AV_{DD} to DV_{DD}	-0.3 V to +0.3 V
V_{VCO} to GND ¹	-0.3 V to +3.9 V
V_{VCO} to AV_{DD}	-0.3 V to +0.3 V
Digital I/O Voltage to GND ¹	-0.3 V to $V_{DD} + 0.3$ V
Analog I/O Voltage to GND ¹	-0.3 V to $V_{DD} + 0.3$ V
REF_{IN} to GND ¹	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +125°C
Maximum Junction Temperature	150°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	40 sec

¹ GND = AGND = DGND = CP_{GND} = SD_{GND} = AGNDVCO = 0 V.

Stresses at or above those listed under Absolute Maximum Ratings may cause permanent damage to the product. This is a stress rating only; functional operation of the product at these or any other conditions above those indicated in the operational section of this specification is not implied. Operation beyond the maximum operating conditions for extended periods may affect product reliability.

This device is a high performance RF integrated circuit with an ESD rating of <1.5 kV and is ESD sensitive. Proper precautions should be taken for handling and assembly.

TRANSISTOR COUNT

The transistor count for the ADF4351 is 36,955 (CMOS) and 986 (bipolar).

THERMAL RESISTANCE

Thermal impedance (θ_{JA}) is specified for a device with the exposed pad soldered to GND.

Table 4. Thermal Resistance

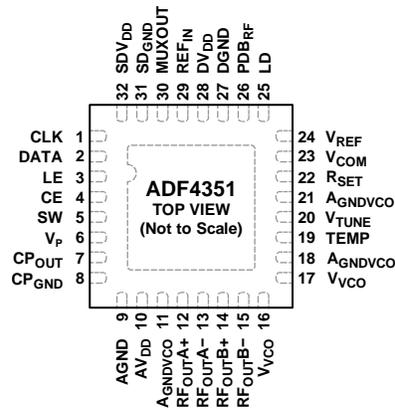
Package Type	θ_{JA}	Unit
32-Lead LFCSP (CP-32-7)	27.3	°C/W

ESD CAUTION



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

PIN CONFIGURATION AND FUNCTION DESCRIPTIONS



NOTES
1. THE LFCSP HAS AN EXPOSED PAD THAT MUST BE CONNECTED TO GND.

09800-003

Figure 3. Pin Configuration

Table 5. Pin Function Descriptions

Pin No.	Mnemonic	Description
1	CLK	Serial Clock Input. Data is clocked into the 32-bit shift register on the CLK rising edge. This input is a high impedance CMOS input.
2	DATA	Serial Data Input. The serial data is loaded MSB first with the three LSBs as the control bits. This input is a high impedance CMOS input.
3	LE	Load Enable. When LE goes high, the data stored in the 32-bit shift register is loaded into the register that is selected by the three control bits. This input is a high impedance CMOS input.
4	CE	Chip Enable. A logic low on this pin powers down the device and puts the charge pump into three-state mode. A logic high on this pin powers up the device, depending on the status of the power-down bits.
5	SW	Fast Lock Switch. A connection should be made from the loop filter to this pin when using the fast lock mode.
6	V _P	Charge Pump Power Supply. V _P must have the same value as AV _{DD} . Place decoupling capacitors to the ground plane as close to this pin as possible.
7	CP _{OUT}	Charge Pump Output. When enabled, this output provides $\pm I_{CP}$ to the external loop filter. The output of the loop filter is connected to V _{TUNE} to drive the internal VCO.
8	CP _{GND}	Charge Pump Ground. This output is the ground return pin for CP _{OUT} .
9	AGND	Analog Ground. Ground return pin for AV _{DD} .
10	AV _{DD}	Analog Power Supply. This pin ranges from 3.0V to 3.6V. Place decoupling capacitors to the analog ground plane as close to this pin as possible. AV _{DD} must have the same value as DV _{DD} .
11, 18, 21	AGNDVCO	VCO Analog Ground. Ground return pins for the VCO.
12	RF _{OUTA+}	VCO Output. The output level is programmable. The VCO fundamental output or a divided-down version is available.
13	RF _{OUTA-}	Complementary VCO Output. The output level is programmable. The VCO fundamental output or a divided-down version is available.
14	RF _{OUTB+}	Auxiliary VCO Output. The output level is programmable. The VCO fundamental output or a divided-down version is available.
15	RF _{OUTB-}	Complementary Auxiliary VCO Output. The output level is programmable. The VCO fundamental output or a divided-down version is available.
16, 17	V _{VCO}	Power Supply for the VCO. This pin ranges from 3.0V to 3.6V. Place decoupling capacitors to the analog ground plane as close to these pins as possible. V _{VCO} must have the same value as AV _{DD} .
19	TEMP	Temperature Compensation Output. Place decoupling capacitors to the ground plane as close to this pin as possible.
20	V _{TUNE}	Control Input to the VCO. This voltage determines the output frequency and is derived from filtering the CP _{OUT} output voltage.

Pin No.	Mnemonic	Description
22	R _{SET}	Connecting a resistor between this pin and ground sets the charge pump output current. The nominal voltage bias at the R _{SET} pin is 0.55 V. The relationship between I _{CP} and R _{SET} is as follows: $I_{CP} = 25.5/R_{SET}$ where: $R_{SET} = 5.1 \text{ k}\Omega$. $I_{CP} = 5 \text{ mA}$.
23	V _{COM}	Internal Compensation Node. Biased at half the tuning range. Place decoupling capacitors to the ground plane as close to this pin as possible.
24	V _{REF}	Reference Voltage. Place decoupling capacitors to the ground plane as close to this pin as possible.
25	LD	Lock Detect Output Pin. A logic high output on this pin indicates PLL lock. A logic low output indicates loss of PLL lock.
26	PDB _{RF}	RF Power-Down. A logic low on this pin mutes the RF outputs. This function is also software controllable.
27	DGND	Digital Ground. Ground return pin for DV _{DD} .
28	DV _{DD}	Digital Power Supply. DV _{DD} must have the same value as AV _{DD} . Place decoupling capacitors to the ground plane as close to this pin as possible.
29	REF _{IN}	Reference Input. This CMOS input has a nominal threshold of AV _{DD} /2 and a dc equivalent input resistance of 100 k Ω . This input can be driven from a TTL or CMOS crystal oscillator, or it can be ac-coupled.
30	MUXOUT	Multiplexer Output. The multiplexer output allows the lock detect value, the N divider value, or the R counter value to be accessed externally.
31	SD _{GND}	Digital Σ - Δ Modulator Ground. Ground return pin for the Σ - Δ modulator.
32	SDV _{DD}	Power Supply Pin for the Digital Σ - Δ Modulator. SDV _{DD} must have the same value as AV _{DD} . Place decoupling capacitors to the ground plane as close to this pin as possible.
EP	Exposed Pad	Exposed Pad. The LFCSP has an exposed pad that must be connected to GND.

TYPICAL PERFORMANCE CHARACTERISTICS

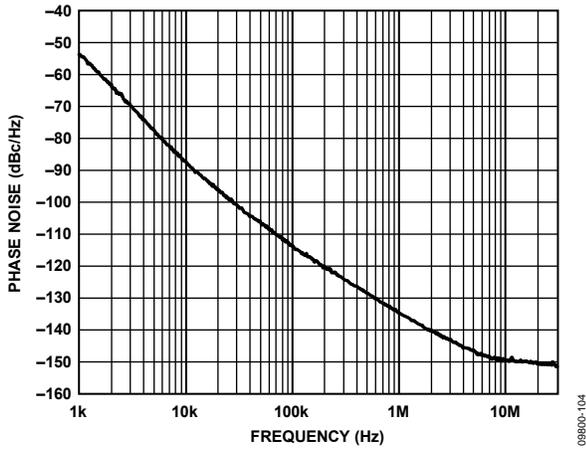


Figure 4. Open-Loop VCO Phase Noise, 2.2 GHz

09800-104

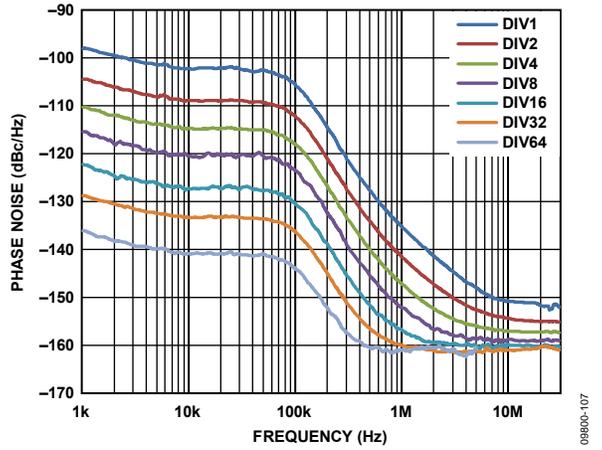


Figure 7. Closed-Loop Phase Noise, Fundamental VCO and Dividers, VCO = 2.2 GHz, PFD = 25 MHz, Loop Filter Bandwidth = 63 kHz

09800-107

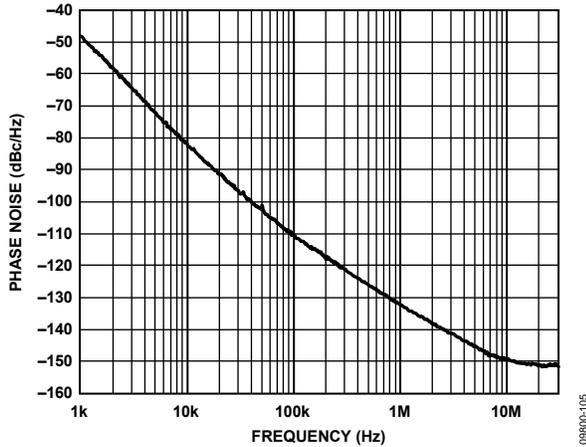


Figure 5. Open-Loop VCO Phase Noise, 3.3 GHz

09800-105

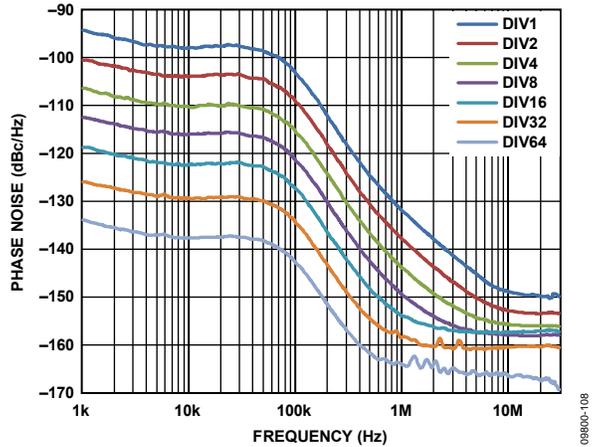


Figure 8. Closed-Loop Phase Noise, Fundamental VCO and Dividers, VCO = 3.3 GHz, PFD = 25 MHz, Loop Filter Bandwidth = 63 kHz

09800-108

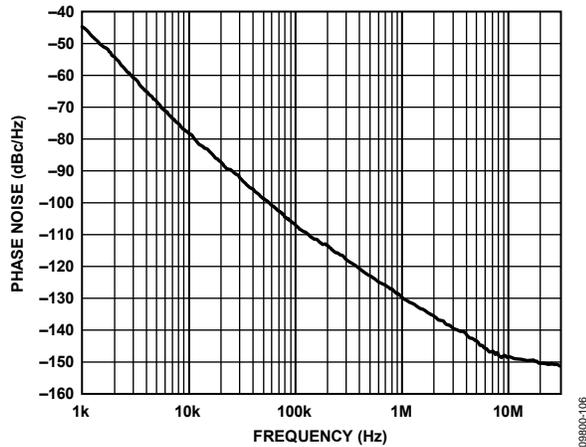


Figure 6. Open-Loop VCO Phase Noise, 4.4 GHz

09800-106

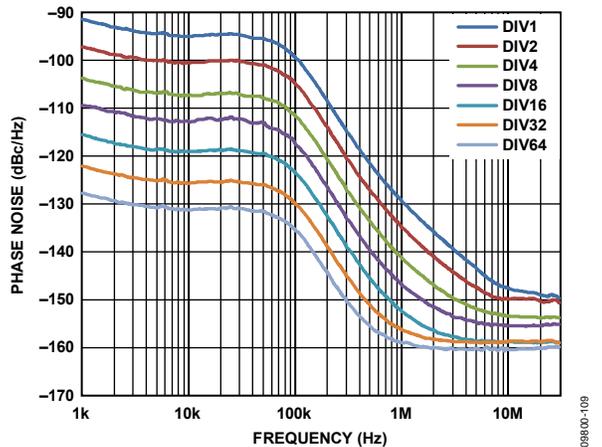


Figure 9. Closed-Loop Phase Noise, Fundamental VCO and Dividers, VCO = 4.4 GHz, PFD = 25 MHz, Loop Filter Bandwidth = 63 kHz

09800-109

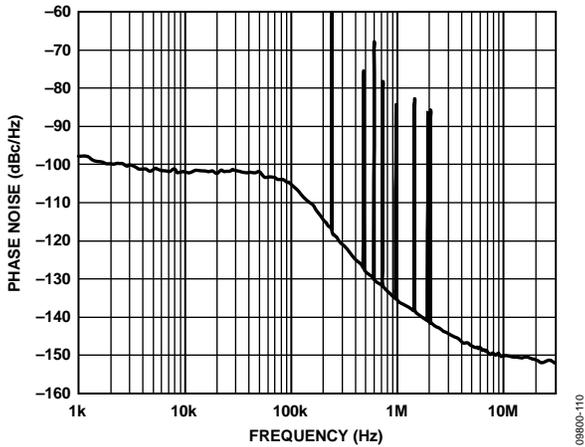


Figure 10. Fractional-N Spur Performance, Low Noise Mode, W-CDMA Band; $RF_{OUT} = 2111.28$ MHz, $REF_{IN} = 122.88$ MHz, $PF_D = 30.72$ MHz, Output Divide-by-2 Selected; Loop Filter Bandwidth = 60 kHz, Channel Spacing = 240 kHz; RMS Phase Error = 0.21°, RMS Jitter = 0.27 ps, EVM = 0.37%

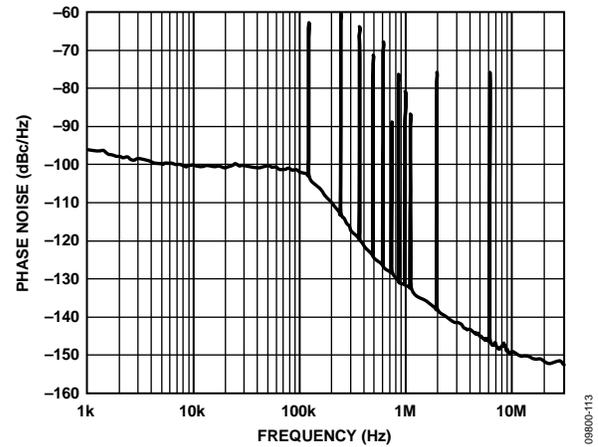


Figure 13. Fractional-N Spur Performance, Low Noise Mode, LTE Band; $RF_{OUT} = 2646.96$ MHz, $REF_{IN} = 122.88$ MHz, $PF_D = 30.72$ MHz; Loop Filter Bandwidth = 60 kHz, Channel Spacing = 240 kHz; Phase Word = 9, RMS Phase Error = 0.28°, RMS Jitter = 0.29 ps, EVM = 0.49%

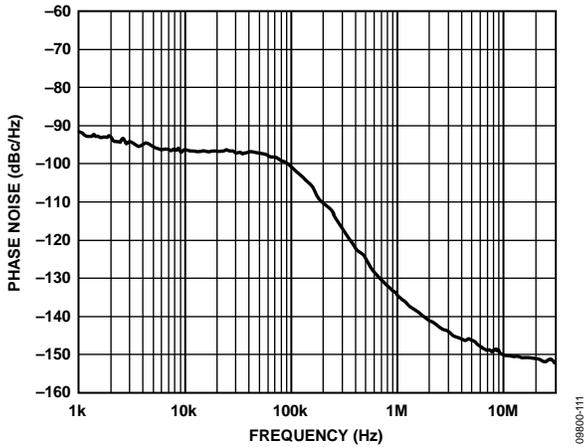


Figure 11. Fractional-N Spur Performance, Low Spur Mode, W-CDMA Band; $RF_{OUT} = 2111.28$ MHz, $REF_{IN} = 122.88$ MHz, $PF_D = 30.72$ MHz, Output Divide-by-2 Selected; Loop Filter Bandwidth = 60 kHz, Channel Spacing = 240 kHz; RMS Phase Error = 0.37°, RMS Jitter = 0.49 ps, EVM = 0.64%

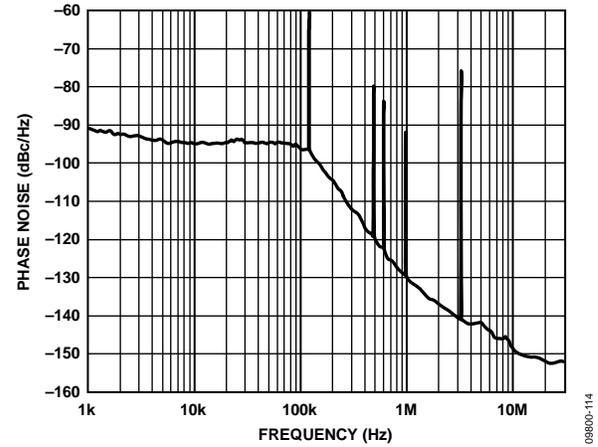


Figure 14. Fractional-N Spur Performance, Low Spur Mode, LTE Band; $RF_{OUT} = 2646.96$ MHz, $REF_{IN} = 122.88$ MHz, $PF_D = 30.72$ MHz; Loop Filter Bandwidth = 60 kHz, Channel Spacing = 240 kHz; RMS Phase Error = 0.56°, RMS Jitter = 0.59 ps, EVM = 0.98%

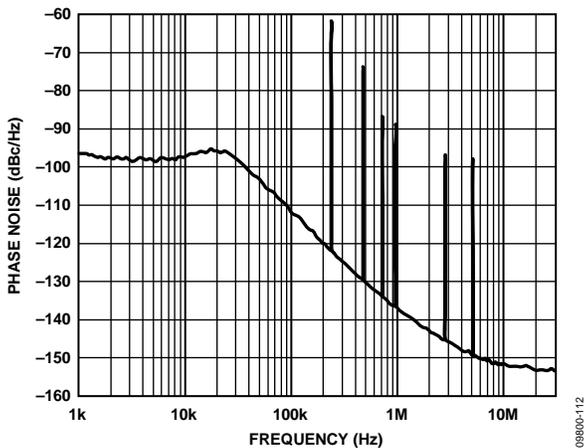


Figure 12. Fractional-N Spur Performance, Low Noise Mode, W-CDMA Band; $RF_{OUT} = 2111.28$ MHz, $REF_{IN} = 122.88$ MHz, $PF_D = 30.72$ MHz, Output Divide-by-2 Selected; Loop Filter Bandwidth = 20 kHz, Channel Spacing = 240 kHz; RMS Phase Error = 0.25°, RMS Jitter = 0.32 ps, EVM = 0.44%

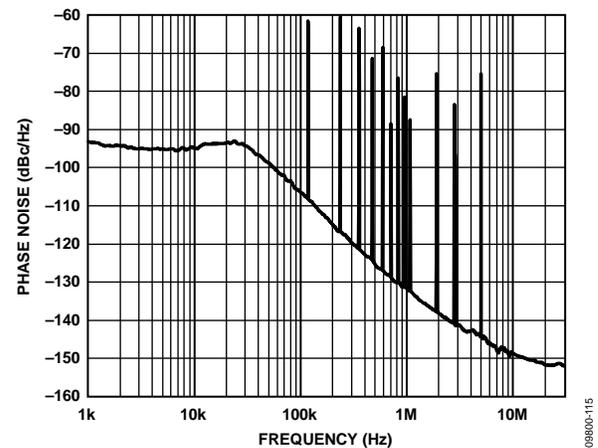


Figure 15. Fractional-N Spur Performance, Low Noise Mode, W-CDMA Band; $RF_{OUT} = 2646.96$ MHz, $REF_{IN} = 122.88$ MHz, $PF_D = 30.72$ MHz; Loop Filter Bandwidth = 20 kHz, Channel Spacing = 240 kHz; RMS Phase Error = 0.35°, RMS Jitter = 0.36 ps, EVM = 0.61%

CIRCUIT DESCRIPTION

REFERENCE INPUT SECTION

The reference input stage is shown in Figure 16. The SW1 and SW2 switches are normally closed. The SW3 switch is normally open. When power-down is initiated, SW3 is closed, and SW1 and SW2 are opened. In this way, no loading of the REF_{IN} pin occurs during power-down.

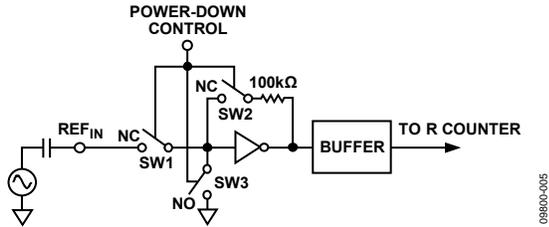


Figure 16. Reference Input Stage

RF N DIVIDER

The RF N divider allows a division ratio in the PLL feedback path. The division ratio is determined by the INT, FRAC, and MOD values, which build up this divider (see Figure 17).

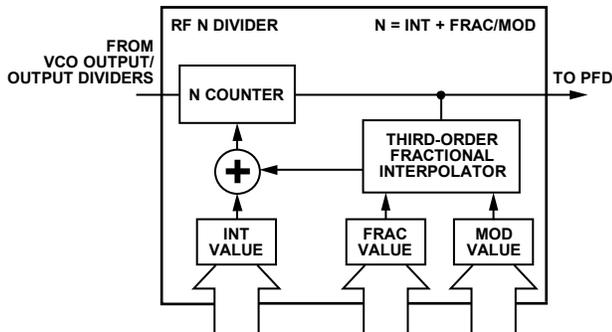


Figure 17. RF N Divider

INT, FRAC, MOD, and R Counter Relationship

The INT, FRAC, and MOD values, in conjunction with the R counter, make it possible to generate output frequencies that are spaced by fractions of the PFD frequency. For more information, see the RF Synthesizer—A Worked Example section.

The RF VCO frequency (RF_{OUT}) equation is

$$RF_{OUT} = f_{PFD} \times (INT + (FRAC/MOD)) \quad (1)$$

where:

RF_{OUT} is the output frequency of the voltage controlled oscillator (VCO).

INT is the preset divide ratio of the binary 16-bit counter (23 to 65,535 for the 4/5 prescaler; 75 to 65,535 for the 8/9 prescaler).
 FRAC is the numerator of the fractional division (0 to MOD – 1).
 MOD is the preset fractional modulus (2 to 4095).

The PFD frequency (f_{PFD}) equation is

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (2)$$

where:

REF_{IN} is the reference input frequency.

D is the REF_{IN} doubler bit (0 or 1).

R is the preset divide ratio of the binary 10-bit programmable reference counter (1 to 1023).

T is the REF_{IN} divide-by-2 bit (0 or 1).

Integer-N Mode

If FRAC = 0 and the DB8 (LDF) bit in Register 2 is set to 1, the synthesizer operates in integer-N mode. The DB8 bit in Register 2 should be set to 1 for integer-N digital lock detect.

R Counter

The 10-bit R counter allows the input reference frequency (REF_{IN}) to be divided down to produce the reference clock to the PFD. Division ratios from 1 to 1023 are allowed.

PHASE FREQUENCY DETECTOR (PFD) AND CHARGE PUMP

The phase frequency detector (PFD) takes inputs from the R counter and N counter and produces an output proportional to the phase and frequency difference between them. Figure 18 is a simplified schematic of the phase frequency detector.

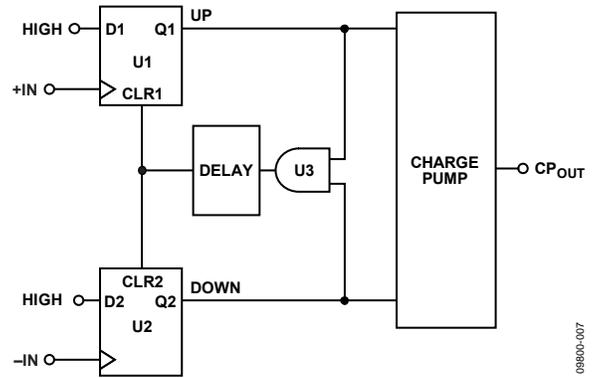


Figure 18. PFD Simplified Schematic

The PFD includes a programmable delay element that sets the width of the antibacklash pulse (ABP). This pulse ensures that there is no dead zone in the PFD transfer function. Bit DB22 in Register 3 (R3) is used to set the ABP as follows:

- When Bit DB22 is set to 0, the ABP width is programmed to 6 ns, the recommended value for fractional-N applications.
- When Bit DB22 is set to 1, the ABP width is programmed to 3 ns, the recommended value for integer-N applications.

For integer-N applications, the in-band phase noise is improved by enabling the shorter pulse width. The PFD frequency can operate up to 90 MHz in this mode. To operate with PFD frequencies higher than 45 MHz, VCO band select must be disabled by setting the phase adjust bit (DB28) to 1 in Register 1.

MUXOUT AND LOCK DETECT

The multiplexer output on the ADF4351 allows the user to access various internal points on the chip. The state of MUXOUT is controlled by the M3, M2, and M1 bits in Register 2 (see Figure 26). Figure 19 shows the MUXOUT section in block diagram form.

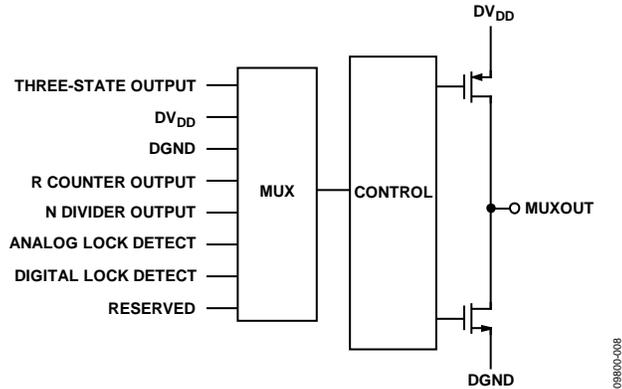


Figure 19. MUXOUT Schematic

INPUT SHIFT REGISTERS

The ADF4351 digital section includes a 10-bit RF R counter, a 16-bit RF N counter, a 12-bit FRAC counter, and a 12-bit modulus counter. Data is clocked into the 32-bit shift register on each rising edge of CLK. The data is clocked in MSB first. Data is transferred from the shift register to one of six latches on the rising edge of LE. The destination latch is determined by the state of the three control bits (C3, C2, and C1) in the shift register. As shown in Figure 2, the control bits are the three LSBs: DB2, DB1, and DB0. Table 6 shows the truth table for these bits. Figure 23 summarizes how the latches are programmed.

Table 6. Truth Table for the C3, C2, and C1 Control Bits

Control Bits			Register
C3	C2	C1	
0	0	0	Register 0 (R0)
0	0	1	Register 1 (R1)
0	1	0	Register 2 (R2)
0	1	1	Register 3 (R3)
1	0	0	Register 4 (R4)
1	0	1	Register 5 (R5)

PROGRAM MODES

Table 6 and Figure 23 through Figure 29 show how the program modes are set up in the ADF4351.

The following settings in the ADF4351 are double buffered: phase value, modulus value, reference doubler, reference divide-by-2, R counter value, and charge pump current setting. Before the part uses a new value for any double-buffered setting, the following two events must occur:

1. The new value is latched into the device by writing to the appropriate register.
2. A new write is performed on Register 0 (R0).

For example, any time that the modulus value is updated, Register 0 (R0) must be written to, to ensure that the modulus value is loaded correctly. The divider select value in Register 4 (R4) is also double buffered, but only if the DB13 bit of Register 2 (R2) is set to 1.

VCO

The VCO core in the ADF4351 consists of three separate VCOs, each of which uses 16 overlapping bands, as shown in Figure 20, to allow a wide frequency range to be covered without a large VCO sensitivity (K_v) and resultant poor phase noise and spurious performance.

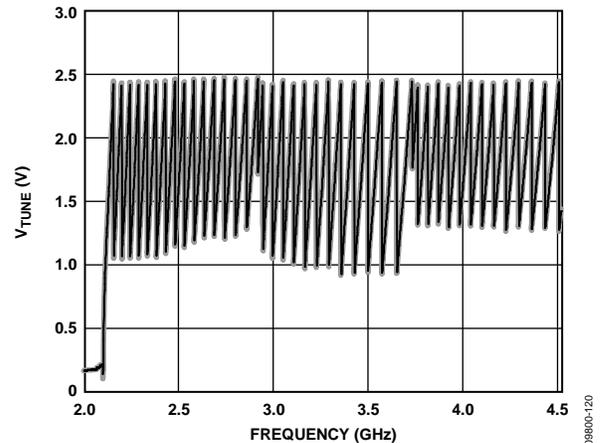


Figure 20. V_{TUNE} VS. Frequency

The correct VCO and band are selected automatically by the VCO and band select logic at power-up or whenever Register 0 (R0) is updated.

VCO and band selection take 10 PFD cycles multiplied by the value of the band select clock divider. The VCO V_{TUNE} is disconnected from the output of the loop filter and is connected to an internal reference voltage.

The R counter output is used as the clock for the band select logic. A programmable divider is provided at the R counter output to allow division by an integer from 1 to 255; the divider value is set using Bits[DB19:DB12] in Register 4 (R4). When the required PFD frequency is higher than 125 kHz, the divide ratio should be set to allow enough time for correct band selection.

Band selection takes 10 cycles of the PFD frequency, equal to 80 μ s. If faster lock times are required, Bit DB23 in Register 3 (R3) must be set to 1. This setting allows the user to select a higher band select clock frequency of up to 500 kHz, which speeds up the minimum band select time to 20 μ s. For phase adjustments and small (<1 MHz) frequency adjustments, the user can disable VCO band selection by setting Bit DB28 in Register 1 (R1) to 1. This setting selects the phase adjust feature.

After band selection, normal PLL action resumes. The nominal value of K_V is 40 MHz/V when the N divider is driven from the VCO output or from this value divided by D. D is the output divider value if the N divider is driven from the RF divider output (selected by programming Bits[DB22:DB20] in Register 4). The ADF4351 contains linearization circuitry to minimize any variation of the product of I_{CP} and K_V to keep the loop bandwidth constant.

The VCO shows variation of K_V as the V_{TUNE} varies within the band and from band to band. For wideband applications covering a wide frequency range (and changing output dividers), a value of 40 MHz/V provides the most accurate K_V because this value is closest to an average value. Figure 21 shows how K_V varies with fundamental VCO frequency, along with an average value for the frequency band. Users may prefer this figure when using narrow-band designs.

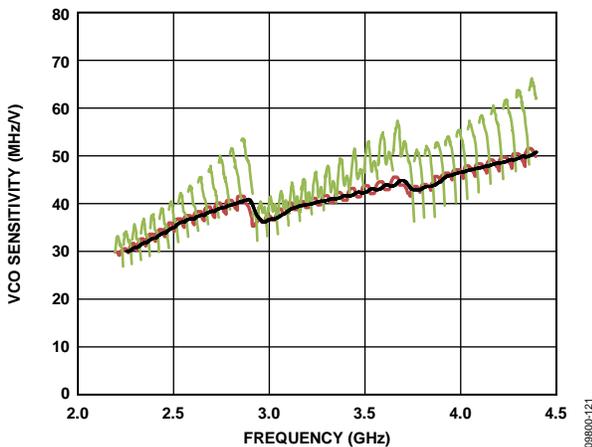


Figure 21. VCO Sensitivity (K_V) vs. Frequency

OUTPUT STAGE

The RF_{OUTA+} and RF_{OUTA-} pins of the ADF4351 are connected to the collectors of an NPN differential pair driven by buffered outputs of the VCO, as shown in Figure 22.

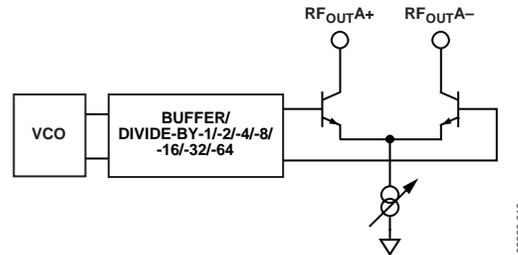


Figure 22. Output Stage

To allow the user to optimize the power dissipation vs. the output power requirements, the tail current of the differential pair is programmable using Bits[DB4:DB3] in Register 4 (R4). Four current levels can be set. These levels give output power levels of -4 dBm, -1 dBm, +2 dBm, and +5 dBm, using a 50 Ω resistor to AV_{DD} and ac coupling into a 50 Ω load. Alternatively, both outputs can be combined in a 1 + 1:1 transformer or a 180° microstrip coupler (see the Output Matching section).

If the outputs are used individually, the optimum output stage consists of a shunt inductor to V_{VCO} . The unused complementary output must be terminated with a similar circuit to the used output.

An auxiliary output stage exists on the RF_{OUTB+} and RF_{OUTB-} pins, providing a second set of differential outputs that can be used to drive another circuit. The auxiliary output stage can be used only if the primary outputs are enabled. If the auxiliary output stage is not used, it can be powered down.

Another feature of the ADF4351 is that the supply current to the RF output stage can be shut down until the part achieves lock, as measured by the digital lock detect circuitry. This feature is enabled by setting the mute till lock detect (MTLD) bit in Register 4 (R4).

REGISTER MAPS

REGISTER 0

RESERVED																16-BIT INTEGER VALUE (INT)																12-BIT FRACTIONAL VALUE (FRAC)																CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0																			
0	N16	N15	N14	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C3(0)	C2(0)	C1(0)																			

REGISTER 1

RESERVED			PHASE ADJUST		PRESCALER		12-BIT PHASE VALUE (PHASE) DBR ¹																12-BIT MODULUS VALUE (MOD) DBR ¹																CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0										
0	0	0	PH1	PR1	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C3(0)	C2(0)	C1(1)										

REGISTER 2

RESERVED			LOW NOISE AND LOW SPUR MODES			MUXOUT			REFERENCE DOUBLER DBR ¹		RDIV2 DBR ¹		10-BIT R COUNTER DBR ¹																DOUBLE BUFFER		CHARGE PUMP CURRENT SETTING DBR ¹			LDF		LDP		PD POLARITY		POWER-DOWN		CP THREE-STATE		COUNTER RESET		CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0																	
0	L2	L1	M3	M2	M1	RD2	RD1	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	D1	CP4	CP3	CP2	CP1	U6	U5	U4	U3	U2	U1	C3(0)	C2(1)	C1(0)																	

REGISTER 3

RESERVED																BAND SELECT CLOCK MODE		ABP		CHARGE CANCEL		RESERVED			CSR		RESERVED		CLK DIV MODE		12-BIT CLOCK DIVIDER VALUE																CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0																		
0	0	0	0	0	0	0	0	F4	F3	F2	0	0	F1	0	C2	C1	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	C3(0)	C2(1)	C1(1)																		

REGISTER 4

RESERVED																FEEDBACK SELECT		DBB ²		RF DIVIDER SELECT		8-BIT BAND SELECT CLOCK DIVIDER VALUE																VCO POWER-DOWN		MTLD		AUX OUTPUT SELECT		AUX OUTPUT ENABLE		AUX OUTPUT POWER		RF OUTPUT ENABLE		OUTPUT POWER		CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0																							
0	0	0	0	0	0	0	0	D13	D12	D11	D10	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	D9	D8	D7	D6	D5	D4	D3	D2	D1	C3(1)	C2(0)	C1(0)																							

REGISTER 5

RESERVED																LD PIN MODE		RESERVED		RESERVED		RESERVED																CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0									
0	0	0	0	0	0	0	0	D15	D14	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C3(1)	C2(0)	C1(1)						

¹DBR = DOUBLE-BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.
²DBB = DOUBLE-BUFFERED BITS—BUFFERED BY THE WRITE TO REGISTER 0, IF AND ONLY IF DB13 OF REGISTER 2 IS HIGH.

Figure 23. Register Summary

098004023

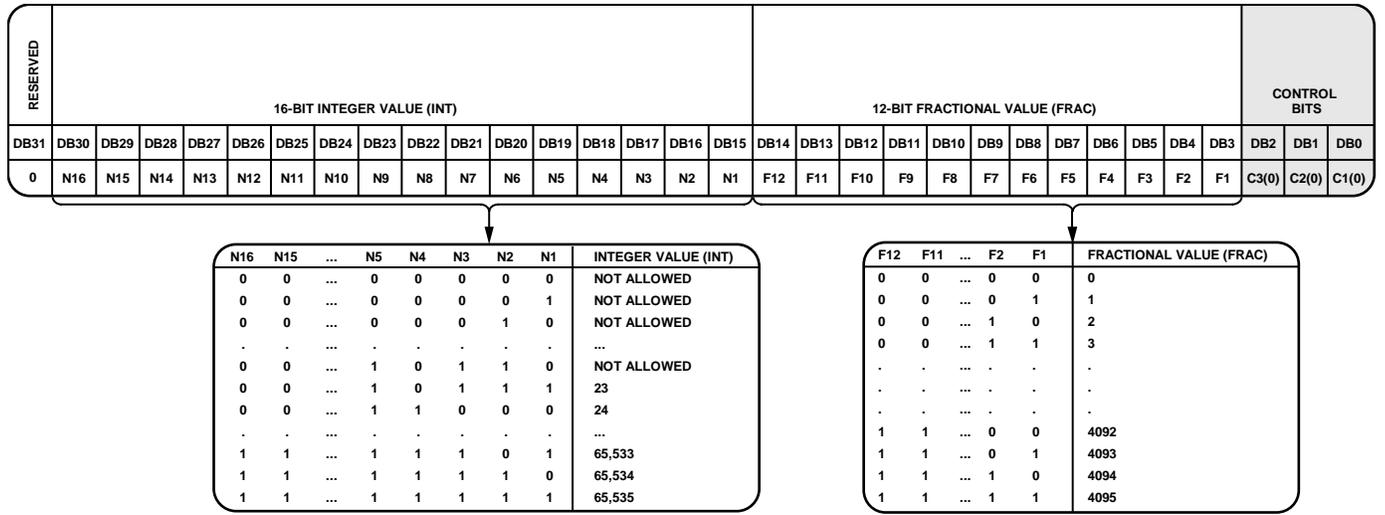


Figure 24. Register 0 (R0)

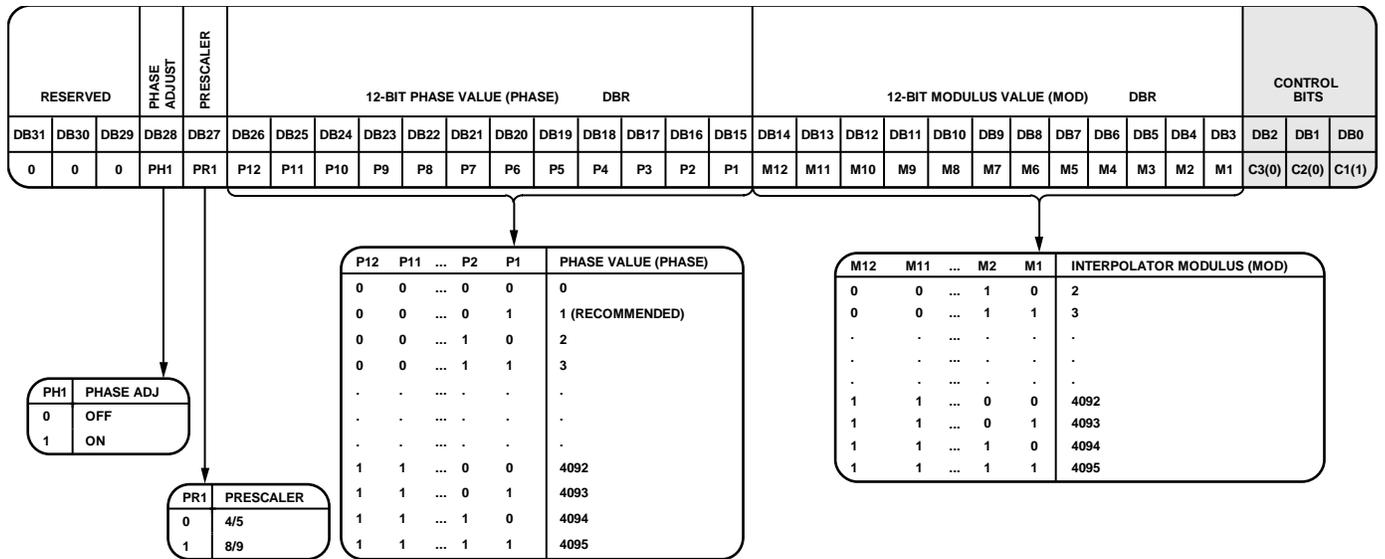


Figure 25. Register 1 (R1)

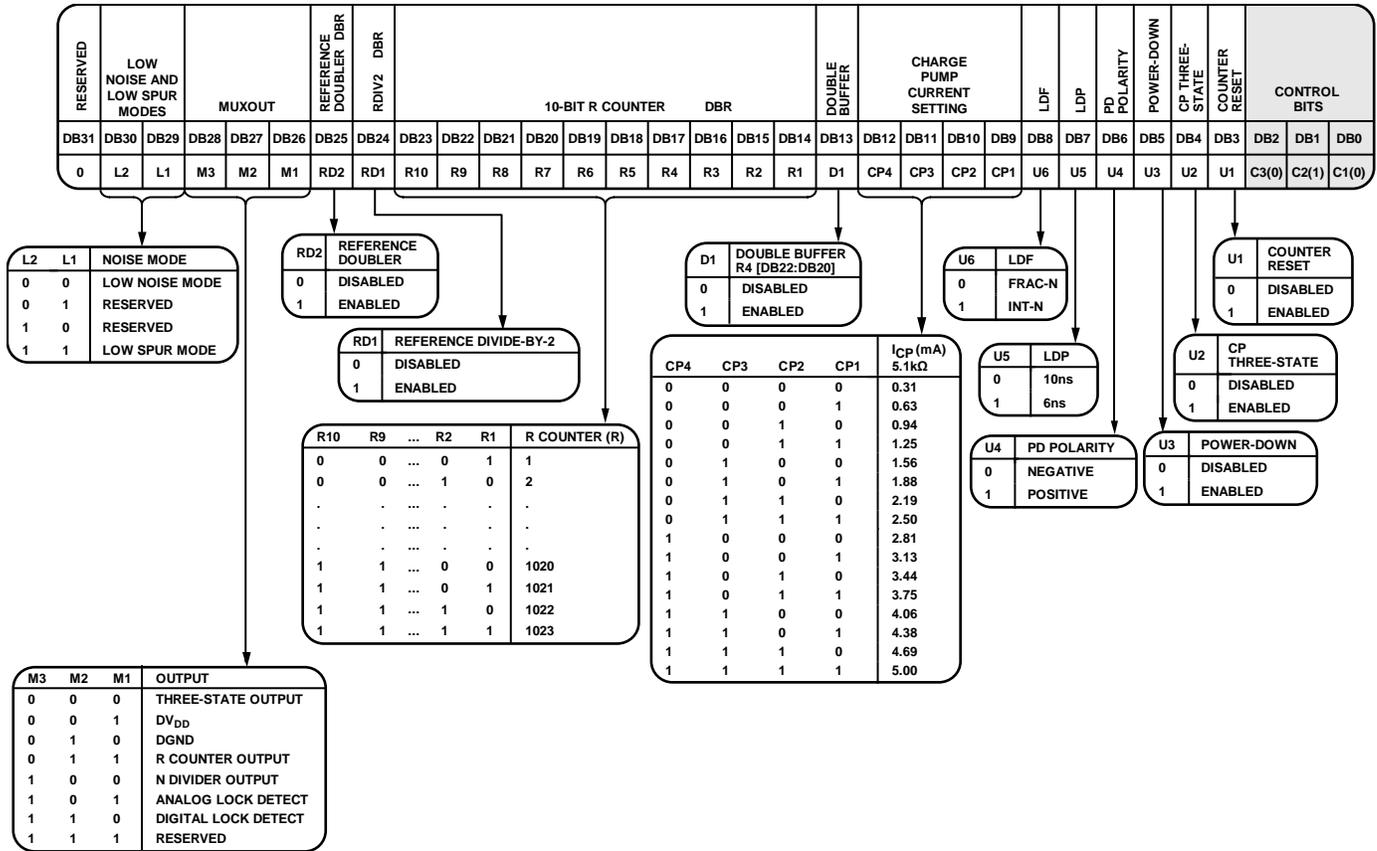


Figure 26. Register 2 (R2)

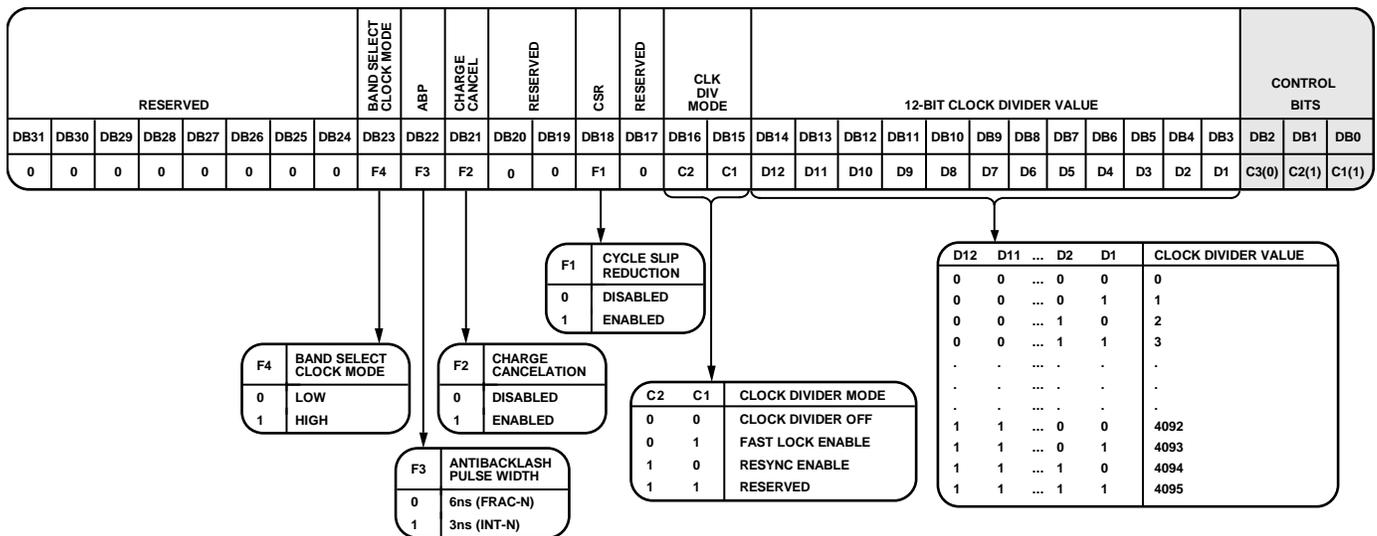


Figure 27. Register 3 (R3)

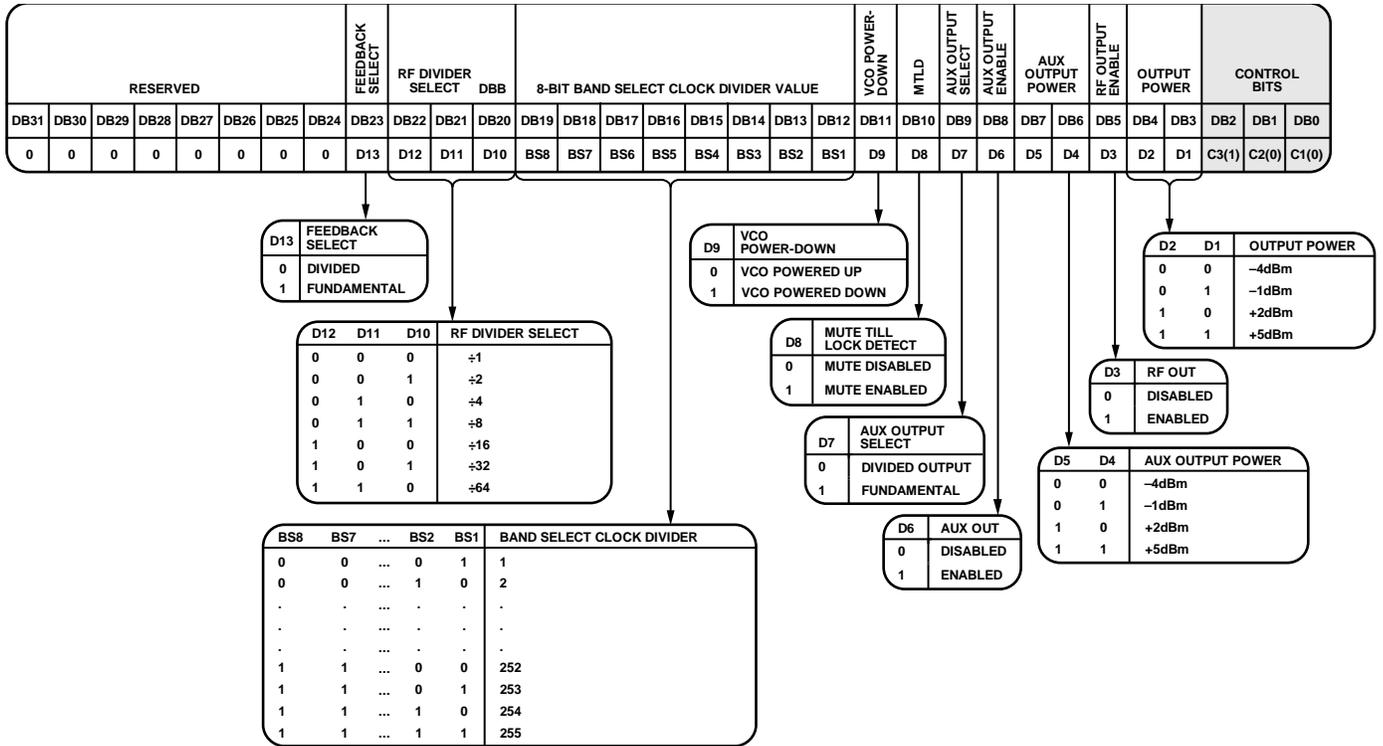


Figure 28. Register 4 (R4)

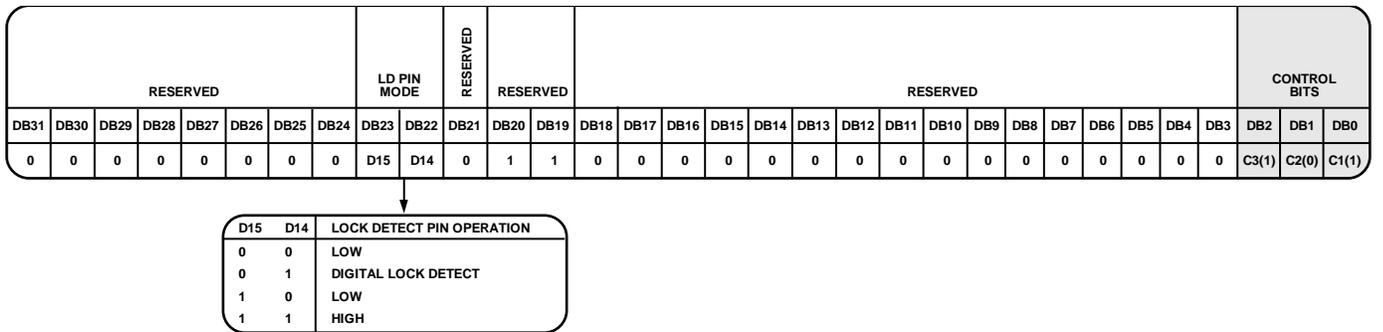


Figure 29. Register 5 (R5)

REGISTER 0**Control Bits**

When Bits[C3:C1] are set to 000, Register 0 is programmed. Figure 24 shows the input data format for programming this register.

16-Bit Integer Value (INT)

The 16 INT bits (Bits[DB30:DB15]) set the INT value, which determines the integer part of the feedback division factor. The INT value is used in Equation 1 (see the INT, FRAC, MOD, and R Counter Relationship section). Integer values from 23 to 65,535 are allowed for the 4/5 prescaler; for the 8/9 prescaler, the minimum integer value is 75.

12-Bit Fractional Value (FRAC)

The 12 FRAC bits (Bits[DB14:DB3]) set the numerator of the fraction that is input to the Σ - Δ modulator. This fraction, along with the INT value, specifies the new frequency channel that the synthesizer locks to, as shown in the RF Synthesizer—A Worked Example section. FRAC values from 0 to (MOD – 1) cover channels over a frequency range equal to the PFD reference frequency.

REGISTER 1**Control Bits**

When Bits[C3:C1] are set to 001, Register 1 is programmed. Figure 25 shows the input data format for programming this register.

Phase Adjust

The phase adjust bit (Bit DB28) enables adjustment of the output phase of a given output frequency. When phase adjustment is enabled (Bit DB28 is set to 1), the part does not perform VCO band selection or phase resync when Register 0 is updated. When phase adjustment is disabled (Bit DB28 is set to 0), the part performs VCO band selection and phase resync (if phase resync is enabled in Register 3, Bits[DB16:DB15]) when Register 0 is updated. Disabling VCO band selection is recommended only for fixed frequency applications or for frequency deviations of <1 MHz from the originally selected frequency.

Prescaler Value

The dual-modulus prescaler ($P/P + 1$), along with the INT, FRAC, and MOD values, determines the overall division ratio from the VCO output to the PFD input. The PR1 bit (DB27) in Register 1 sets the prescaler value.

Operating at CML levels, the prescaler takes the clock from the VCO output and divides it down for the counters. The prescaler is based on a synchronous 4/5 core. When the prescaler is set to 4/5, the maximum RF frequency allowed is 3.6 GHz. Therefore, when operating the ADF4351 above 3.6 GHz, the prescaler must be set to 8/9. The prescaler limits the INT value as follows:

- Prescaler = 4/5: $N_{\text{MIN}} = 23$
- Prescaler = 8/9: $N_{\text{MIN}} = 75$

12-Bit Phase Value

Bits[DB26:DB15] control the phase word. The phase word must be less than the MOD value programmed in Register 1. The phase word is used to program the RF output phase from 0° to 360° with a resolution of 360°/MOD (see the Phase Resync section).

In most applications, the phase relationship between the RF signal and the reference is not important. In such applications, the phase value can be used to optimize the fractional and sub-fractional spur levels. For more information, see the Spur Consistency and Fractional Spur Optimization section.

If neither the phase resync nor the spurious optimization function is used, it is recommended that the phase word be set to 1.

12-Bit Modulus Value (MOD)

The 12 MOD bits (Bits[DB14:DB3]) set the fractional modulus. The fractional modulus is the ratio of the PFD frequency to the channel step resolution on the RF output. For more information, see the 12-Bit Programmable Modulus section.

REGISTER 2**Control Bits**

When Bits[C3:C1] are set to 010, Register 2 is programmed. Figure 26 shows the input data format for programming this register.

Low Noise and Low Spur Modes

The noise mode on the ADF4351 is controlled by setting Bits[DB30:DB29] in Register 2 (see Figure 26). The noise mode allows the user to optimize a design either for improved spurious performance or for improved phase noise performance.

When the low spur mode is selected, dither is enabled. Dither randomizes the fractional quantization noise so that it resembles white noise rather than spurious noise. As a result, the part is optimized for improved spurious performance. Low spur mode is normally used for fast-locking applications when the PLL closed-loop bandwidth is wide. Wide loop bandwidth is a loop bandwidth greater than 1/10 of the f_{RFOUT} channel step resolution (f_{RES}). A wide loop filter does not attenuate the spurs to the same level as a narrow loop bandwidth.

For best noise performance, use the low noise mode option. When the low noise mode is selected, dither is disabled. This mode ensures that the charge pump operates in an optimum region for noise performance. Low noise mode is extremely useful when a narrow loop filter bandwidth is available. The synthesizer ensures extremely low noise, and the filter attenuates the spurs. Figure 10 through Figure 12 show the trade-offs in a typical W-CDMA setup for different noise and spur settings.

MUXOUT

The on-chip multiplexer is controlled by Bits[DB28:DB26] (see Figure 26). Note that N counter output must be disabled for VCO band selection to operate correctly.

Reference Doubler

Setting the DB25 bit to 0 disables the doubler and feeds the REF_{IN} signal directly into the 10-bit R counter. Setting this bit to 1 multiplies the REF_{IN} frequency by a factor of 2 before feeding it into the 10-bit R counter. When the doubler is disabled, the REF_{IN} falling edge is the active edge at the PFD input to the fractional synthesizer. When the doubler is enabled, both the rising and falling edges of REF_{IN} become active edges at the PFD input.

When the doubler is enabled and the low spur mode is selected, the in-band phase noise performance is sensitive to the REF_{IN} duty cycle. The phase noise degradation can be as much as 5 dB for REF_{IN} duty cycles outside a 45% to 55% range. The phase noise is insensitive to the REF_{IN} duty cycle in the low noise mode and when the doubler is disabled.

The maximum allowable REF_{IN} frequency when the doubler is enabled is 30 MHz.

RDIV2

Setting the DB24 bit to 1 inserts a divide-by-2 toggle flip-flop between the R counter and the PFD, which extends the maximum REF_{IN} input rate. This function allows a 50% duty cycle signal to appear at the PFD input, which is necessary for cycle slip reduction.

10-Bit R Counter

The 10-bit R counter (Bits[DB23:DB14]) allows the input reference frequency (REF_{IN}) to be divided down to produce the reference clock to the PFD. Division ratios from 1 to 1023 are allowed.

Double Buffer

The DB13 bit enables or disables double buffering of Bits[DB22:DB20] in Register 4. For information about how double buffering works, see the Program Modes section.

Charge Pump Current Setting

Bits[DB12:DB9] set the charge pump current. This value should be set to the charge pump current that the loop filter is designed with (see Figure 26).

Lock Detect Function (LDF)

The DB8 bit configures the lock detect function (LDF). The LDF controls the number of PFD cycles monitored by the lock detect circuit to ascertain whether lock has been achieved. When DB8 is set to 0, the number of PFD cycles monitored is 40. When DB8 is set to 1, the number of PFD cycles monitored is 5. It is recommended that the DB8 bit be set to 0 for fractional-N mode and to 1 for integer-N mode.

Lock Detect Precision (LDP)

The lock detect precision bit (Bit DB7) sets the comparison window in the lock detect circuit. When DB7 is set to 0, the comparison window is 10 ns; when DB7 is set to 1, the window is 6 ns. The lock detect circuit goes high when n consecutive PFD cycles are less than the comparison window value; n is set by the LDF bit (DB8). For example, with DB8 = 0 and DB7 = 0, 40 consecutive PFD cycles of 10 ns or less must occur before digital lock detect goes high.

For fractional-N applications, the recommended setting for Bits[DB8:DB7] is 00; for integer-N applications, the recommended setting for Bits[DB8:DB7] is 11.

Phase Detector Polarity

The DB6 bit sets the phase detector polarity. When a passive loop filter or a noninverting active loop filter is used, this bit should be set to 1. If an active filter with an inverting characteristic is used, this bit should be set to 0.

Power-Down (PD)

The DB5 bit provides the programmable power-down mode. Setting this bit to 1 performs a power-down. Setting this bit to 0 returns the synthesizer to normal operation. In software power-down mode, the part retains all information in its registers. The register contents are lost only if the supply voltages are removed.

When power-down is activated, the following events occur:

- Synthesizer counters are forced to their load state conditions.
- VCO is powered down.
- Charge pump is forced into three-state mode.
- Digital lock detect circuitry is reset.
- RF_{OUT} buffers are disabled.
- Input registers remain active and capable of loading and latching data.

Charge Pump Three-State

Setting the DB4 bit to 1 puts the charge pump into three-state mode. This bit should be set to 0 for normal operation.

Counter Reset

The DB3 bit is the reset bit for the R counter and the N counter of the ADF4351. When this bit is set to 1, the RF synthesizer N counter and R counter are held in reset. For normal operation, this bit should be set to 0.

REGISTER 3**Control Bits**

When Bits[C3:C1] are set to 011, Register 3 is programmed. Figure 27 shows the input data format for programming this register.

Band Select Clock Mode

Setting the DB23 bit to 1 selects a faster logic sequence of band selection, which is suitable for high PFD frequencies and is necessary for fast lock applications. Setting the DB23 bit to 0 is recommended for low PFD (<125 kHz) values. For the faster band select logic modes (DB23 set to 1), the value of the band select clock divider must be less than or equal to 254.

Antibacklash Pulse Width (ABP)

Bit DB22 sets the PFD antibacklash pulse width. When Bit DB22 is set to 0, the PFD antibacklash pulse width is 6 ns. This setting is recommended for fractional-N use. When Bit DB22 is set to 1, the PFD antibacklash pulse width is 3 ns, which results in phase noise and spur improvements in integer-N operation. For fractional-N operation, the 3 ns setting is not recommended.

Charge Cancellation

Setting the DB21 bit to 1 enables charge pump charge cancellation. This has the effect of reducing PFD spurs in integer-N mode. In fractional-N mode, this bit should be set to 0.

CSR Enable

Setting the DB18 bit to 1 enables cycle slip reduction. CSR is a method for improving lock times. Note that the signal at the phase frequency detector (PFD) must have a 50% duty cycle for cycle slip reduction to work. The charge pump current setting must also be set to a minimum. For more information, see the Cycle Slip Reduction for Faster Lock Times section.

Clock Divider Mode

Bits[DB16:DB15] must be set to 10 to activate phase resync (see the Phase Resync section). These bits must be set to 01 to activate fast lock (see the Fast Lock Timer and Register Sequences section). Setting Bits[DB16:DB15] to 00 disables the clock divider (see Figure 27).

12-Bit Clock Divider Value

Bits[DB14:DB3] set the 12-bit clock divider value. This value is the timeout counter for activation of phase resync (see the Phase Resync section). The clock divider value also sets the timeout counter for fast lock (see the Fast Lock Timer and Register Sequences section).

REGISTER 4**Control Bits**

When Bits[C3:C1] are set to 100, Register 4 is programmed. Figure 28 shows the input data format for programming this register.

Feedback Select

The DB23 bit selects the feedback from the VCO output to the N counter. When this bit is set to 1, the signal is taken directly from the VCO. When this bit is set to 0, the signal is taken from the output of the output dividers. The dividers enable coverage of the wide frequency band (34.375 MHz to 4.4 GHz). When the dividers are enabled and the feedback signal is taken from the output, the RF output signals of two separately configured PLLs are in phase. This is useful in some applications where the positive interference of signals is required to increase the power.

RF Divider Select

Bits[DB22:DB20] select the value of the RF output divider (see Figure 28).

Band Select Clock Divider Value

Bits[DB19:DB12] set a divider for the band select logic clock input. By default, the output of the R counter is the value used to clock the band select logic, but, if this value is too high (>125 kHz), a divider can be switched on to divide the R counter output to a smaller value (see Figure 28).

VCO Power-Down

Setting the DB11 bit to 0 powers the VCO up; setting this bit to 1 powers the VCO down.

Mute Till Lock Detect (MTLD)

When the DB10 bit is set to 1, the supply current to the RF output stage is shut down until the part achieves lock, as measured by the digital lock detect circuitry.

AUX Output Select

The DB9 bit sets the auxiliary RF output. If DB9 is set to 0, the auxiliary RF output is the output of the RF dividers; if DB9 is set to 1, the auxiliary RF output is the fundamental VCO frequency.

AUX Output Enable

The DB8 bit enables or disables the auxiliary RF output. If DB8 is set to 0, the auxiliary RF output is disabled; if DB8 is set to 1, the auxiliary RF output is enabled.

AUX Output Power

Bits[DB7:DB6] set the value of the auxiliary RF output power level (see Figure 28).

RF Output Enable

The DB5 bit enables or disables the primary RF output. If DB5 is set to 0, the primary RF output is disabled; if DB5 is set to 1, the primary RF output is enabled.

Output Power

Bits[DB4:DB3] set the value of the primary RF output power level (see Figure 28).

REGISTER 5**Control Bits**

When Bits[C3:C1] are set to 101, Register 5 is programmed. Figure 29 shows the input data format for programming this register.

Lock Detect Pin Operation

Bits[DB23:DB22] set the operation of the lock detect (LD) pin (see Figure 29).

REGISTER INITIALIZATION SEQUENCE

At initial power-up, after the correct application of voltages to the supply pins, the ADF4351 registers should be started in the following sequence:

1. Register 5
2. Register 4
3. Register 3
4. Register 2
5. Register 1
6. Register 0

RF SYNTHESIZER—A WORKED EXAMPLE

The following equations are used to program the ADF4351 synthesizer:

$$RF_{OUT} = [INT + (FRAC/MOD)] \times (f_{PFD}/RF \text{ Divider}) \quad (3)$$

where:

RF_{OUT} is the RF frequency output.

INT is the integer division factor.

$FRAC$ is the numerator of the fractional division (0 to $MOD - 1$).

MOD is the preset fractional modulus (2 to 4095).

$RF \text{ Divider}$ is the output divider that divides down the VCO frequency.

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (4)$$

where:

REF_{IN} is the reference frequency input.

D is the RF REF_{IN} doubler bit (0 or 1).

R is the RF reference division factor (1 to 1023).

T is the reference divide-by-2 bit (0 or 1).

As an example, a UMTS system requires a 2112.6 MHz RF frequency output (RF_{OUT}); a 10 MHz reference frequency input (REF_{IN}) is available and a 200 kHz channel resolution (f_{RESOUT}) is required on the RF output.

Note that the ADF4351 VCO operates in the frequency range of 2.2 GHz to 4.4 GHz. Therefore, the RF divider of 2 should be used (VCO frequency = 4225.2 MHz, $RF_{OUT} = \text{VCO frequency} / \text{RF divider} = 4225.2 \text{ MHz} / 2 = 2112.6 \text{ MHz}$).

It is also important where the loop is closed. In this example, the loop is closed before the output divider (see Figure 30).

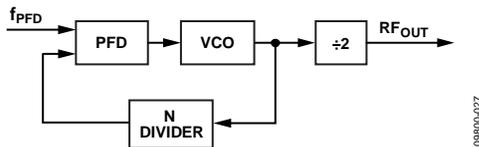


Figure 30. Loop Closed Before Output Divider

Channel resolution (f_{RESOUT}) of 200 kHz is required at the output of the RF divider. Therefore, the channel resolution at the output of the VCO (f_{RES}) needs to be $2 \times f_{RESOUT}$, that is, 400 kHz.

$$MOD = REF_{IN}/f_{RES}$$

$$MOD = 10 \text{ MHz}/400 \text{ kHz} = 25$$

From Equation 4,

$$f_{PFD} = [10 \text{ MHz} \times (1 + 0)/1] = 10 \text{ MHz} \quad (5)$$

$$2112.6 \text{ MHz} = 10 \text{ MHz} \times [(INT + (FRAC/25))/2] \quad (6)$$

where:

$INT = 422$.

$FRAC = 13$.

REFERENCE DOUBLER AND REFERENCE DIVIDER

The on-chip reference doubler allows the input reference signal to be doubled. Doubling the reference signal doubles the PFD comparison frequency, which improves the noise performance of the system. Doubling the PFD frequency usually improves noise performance by 3 dB. Note that in fractional-N mode, the PFD cannot operate above 32 MHz due to a limitation in the speed of the Σ - Δ circuit of the N divider. For integer-N applications, the PFD can operate up to 90 MHz.

The reference divide-by-2 divides the reference signal by 2, resulting in a 50% duty cycle PFD frequency. This is necessary for the correct operation of the cycle slip reduction (CSR) function. For more information, see the Cycle Slip Reduction for Faster Lock Times section.

12-BIT PROGRAMMABLE MODULUS

The choice of modulus (MOD) depends on the reference signal (REF_{IN}) available and the channel resolution (f_{RES}) required at the RF output. For example, a GSM system with 13 MHz REF_{IN} sets the modulus to 65. This means that the RF output resolution (f_{RES}) is the 200 kHz (13 MHz/65) necessary for GSM. With dither off, the fractional spur interval depends on the selected modulus values (see Table 7).

Unlike most other fractional-N PLLs, the ADF4351 allows the user to program the modulus over a 12-bit range. When combined with the reference doubler and the 10-bit R counter, the 12-bit modulus allows the user to set up the part in many different configurations for the application.

For example, consider an application that requires a 1.75 GHz RF frequency output with a 200 kHz channel step resolution. The system has a 13 MHz reference signal.

One possible setup is to feed the 13 MHz reference signal directly into the PFD and to program the modulus to divide by 65. This results in the required 200 kHz resolution.

Another possible setup is to use the reference doubler to create 26 MHz from the 13 MHz input signal. The 26 MHz is then fed into the PFD, and the modulus is programmed to divide by 130. This setup also results in 200 kHz resolution but offers superior phase noise performance over the first setup.

The programmable modulus is also very useful for multi-standard applications. For example, if a dual-mode phone requires PDC and GSM 1800 standards, the programmable modulus is of great benefit.

PDC requires 25 kHz channel step resolution, whereas GSM 1800 requires 200 kHz channel step resolution. A 13 MHz reference signal can be fed directly to the PFD, and the modulus can be programmed to 520 when in PDC mode (13 MHz/520 = 25 kHz). The modulus must be reprogrammed to 65 for GSM 1800 operation (13 MHz/65 = 200 kHz).

It is important that the PFD frequency remain constant (in this example, 13 MHz). This allows the user to design one loop filter for both setups without encountering stability issues. Note that the ratio of the RF frequency to the PFD frequency principally affects the loop filter design, not the actual channel spacing.

CYCLE SLIP REDUCTION FOR FASTER LOCK TIMES

As described in the Low Noise and Low Spur Modes section, the ADF4351 contains a number of features that allow optimization for noise performance. However, in fast-locking applications, the loop bandwidth generally needs to be wide and, therefore, the filter does not provide much attenuation of the spurs. If the cycle slip reduction feature is enabled, the narrow loop bandwidth is maintained for spur attenuation, but faster lock times are still possible.

Cycle Slips

Cycle slips occur in integer-N/fractional-N synthesizers when the loop bandwidth is narrow compared to the PFD frequency. The phase error at the PFD inputs accumulates too fast for the PLL to correct, and the charge pump temporarily pumps in the wrong direction. This slows down the lock time dramatically. The ADF4351 contains a cycle slip reduction feature that extends the linear range of the PFD, allowing faster lock times without modifications to the loop filter circuitry.

When the circuitry detects that a cycle slip is about to occur, it turns on an extra charge pump current cell. This cell outputs a constant current to the loop filter or removes a constant current from the loop filter (depending on whether the VCO tuning voltage needs to increase or decrease to acquire the new frequency). The effect is that the linear range of the PFD is increased. Loop stability is maintained because the current is constant and is not a pulsed current.

If the phase error increases again to a point where another cycle slip is likely, the ADF4351 turns on another charge pump cell. This continues until the ADF4351 detects that the VCO frequency has exceeded the desired frequency. The extra charge pump cells are turned off one by one until all the extra charge pump cells are disabled and the frequency settles to the original loop filter bandwidth.

Up to seven extra charge pump cells can be turned on. In most applications, seven cells are enough to eliminate cycle slips altogether, providing much faster lock times.

Setting Bit DB18 in Register 3 to 1 enables cycle slip reduction. Note that the PFD requires a 45% to 55% duty cycle for CSR to operate correctly. If the REF_{IN} frequency does not have a suitable duty cycle, enabling the RDIV2 mode (Bit DB24 in Register 2) ensures that the input to the PFD has a 50% duty cycle.

SPURIOUS OPTIMIZATION AND FAST LOCK

Narrow loop bandwidths can filter unwanted spurious signals, but these bandwidths usually have a long lock time. A wider loop bandwidth achieves faster lock times but may lead to increased spurious signals inside the loop bandwidth.

The fast lock feature can achieve the same fast lock time as the wider bandwidth but with the advantage of a narrow final loop bandwidth to keep spurs low.

FAST LOCK TIMER AND REGISTER SEQUENCES

If the fast lock mode is used, a timer value must be loaded into the PLL to determine the duration of the wide bandwidth mode.

When Bits[DB16:DB15] in Register 3 are set to 01 (fast lock enable), the timer value is loaded by the 12-bit clock divider value (Bits[DB14:DB3] in Register 3). The following sequence must be programmed to use fast lock:

1. Start the initialization sequence (see the Register Initialization Sequence section). This sequence occurs only once after powering up the part.
2. Load Register 3 by setting Bits[DB16:DB15] to 01 and by setting the selected fast lock timer value (Bits[DB14:DB3]). The duration that the PLL remains in wide bandwidth mode is equal to the fast lock timer/ f_{PFD} .

FAST LOCK EXAMPLE

If a PLL has a reference frequency of 13 MHz, f_{PFD} of 13 MHz, and a required lock time of 60 μs , the PLL is set to wide bandwidth mode for 20 μs . This example assumes a modulus of 65 for channel spacing of 200 kHz. The VCO calibration time of 20 μs must also be taken into account (achieved by programming the higher band select clock mode using Bit DB23 of Register 3).

If the time set for the PLL lock time in wide bandwidth mode is 20 μs , then

$$\text{Fast Lock Timer Value} = (\text{VCO Band Select Time} + \text{PLL Lock Time in Wide Bandwidth}) \times f_{\text{PFD}} / \text{MOD}$$

$$\text{Fast Lock Timer Value} = (20 \mu\text{s} + 20 \mu\text{s}) \times 13 \text{ MHz} / 65 = 8$$

Therefore, a value of 8 must be loaded into the clock divider value in Register 3 (see Step 2 in the Fast Lock Timer and Register Sequences section).

FAST LOCK LOOP FILTER TOPOLOGY

To use fast lock mode, the damping resistor in the loop filter is reduced to one-fourth its value while in wide bandwidth mode. To achieve the wider loop filter bandwidth, the charge pump current increases by a factor of 16; to maintain loop stability, the damping resistor must be reduced by a factor of one-fourth. To enable fast lock, the SW pin is shorted to the AGND pin by setting Bits[DB16:DB15] in Register 3 to 01. The following two topologies are available:

- The damping resistor (R1) is divided into two values (R1 and R1A) that have a ratio of 1:3 (see Figure 31).
- An extra resistor (R1A) is connected directly from SW, as shown in Figure 32. The extra resistor is calculated such that the parallel combination of the extra resistor and the damping resistor (R1) is reduced to one-fourth the original value of R1 (see Figure 32).

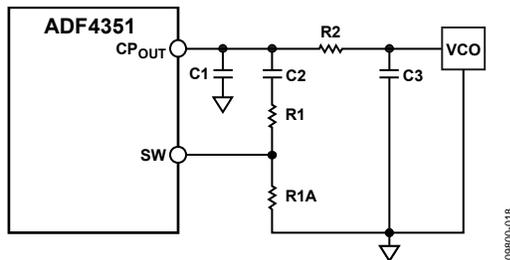


Figure 31. Fast Lock Loop Filter Topology 1

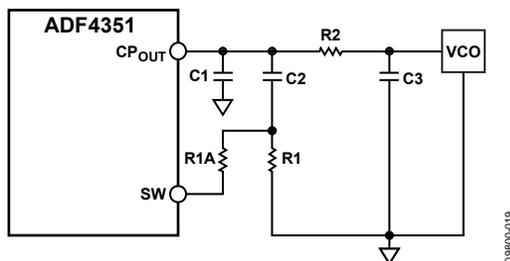


Figure 32. Fast Lock Loop Filter Topology 2

SPUR MECHANISMS

This section describes the three different spur mechanisms that arise with a fractional-N synthesizer and how to minimize them in the ADF4351.

Fractional Spurs

The fractional interpolator in the ADF4351 is a third-order Σ - Δ modulator with a modulus (MOD) that is programmable to any integer value from 2 to 4095. In low spur mode (dither on), the minimum allowable value of MOD is 50. The Σ - Δ modulator is clocked at the PFD reference rate (f_{PFD}), which allows PLL output frequencies to be synthesized at a channel step resolution of $f_{\text{PFD}}/\text{MOD}$.

In low noise mode (dither off), the quantization noise from the Σ - Δ modulator appears as fractional spurs. The interval between spurs is f_{PFD}/L , where L is the repeat length of the code sequence in the digital Σ - Δ modulator. For the third-order Σ - Δ modulator used in the ADF4351, the repeat length depends on the value of MOD (see Table 7).

Table 7. Fractional Spurs with Dither Off (Low Noise Mode)

MOD Value (Dither Off)	Repeat Length	Spur Interval
MOD is divisible by 2, but not by 3	$2 \times \text{MOD}$	Channel step/2
MOD is divisible by 3, but not by 2	$3 \times \text{MOD}$	Channel step/3
MOD is divisible by 6	$6 \times \text{MOD}$	Channel step/6
MOD is not divisible by 2, 3, or 6	MOD	Channel step

In low spur mode (dither on), the repeat length is extended to 2^{21} cycles, regardless of the value of MOD, which makes the quantization error spectrum look like broadband noise. This may degrade the in-band phase noise at the PLL output by as much as 10 dB. For lowest noise, dither off is a better choice, particularly when the final loop bandwidth is low enough to attenuate even the lowest frequency fractional spur.

Integer Boundary Spurs

Another mechanism for fractional spur creation is the interactions between the RF VCO frequency and the reference frequency. When these frequencies are not integer related (the purpose of a fractional-N synthesizer), spur sidebands appear on the VCO output spectrum at an offset frequency that corresponds to the beat note, or difference frequency, between an integer multiple of the reference and the VCO frequency. These spurs are attenuated by the loop filter and are more noticeable on channels close to integer multiples of the reference, where the difference frequency can be inside the loop bandwidth (thus the name integer boundary spurs).

Reference Spurs

Reference spurs are generally not a problem in fractional-N synthesizers because the reference offset is far outside the loop bandwidth. However, any reference feedthrough mechanism that bypasses the loop may cause a problem. Feedthrough of low levels of on-chip reference switching noise, coupling to the VCO, can result in reference spur levels as high as -80 dBc. The PCB layout must ensure adequate isolation between VCO circuitry and the input reference to avoid a possible feedthrough path on the board.

SPUR CONSISTENCY AND FRACTIONAL SPUR OPTIMIZATION

With dither off, the fractional spur pattern due to the quantization noise of the Σ - Δ modulator also depends on the particular phase word with which the modulator is seeded.

The phase word can be varied to optimize the fractional and subfractional spur levels on any particular frequency. Thus, a lookup table of phase values corresponding to each frequency can be created for use when programming the ADF4351.

If a lookup table is not used, keep the phase word at a constant value to ensure consistent spur levels on any particular frequency.

PHASE RESYNC

The output of a fractional-N PLL can settle to any one of the MOD phase offsets with respect to the input reference, where MOD is the fractional modulus. The phase resync feature of the ADF4351 produces a consistent output phase offset with respect to the input reference. This phase offset is necessary in applications where the output phase and frequency are important, such as digital beamforming. See the Phase Programmability section to program a specific RF output phase when using phase resync.

Phase resync is enabled by setting Bits[DB16:DB15] in Register 3 to 10. When phase resync is enabled, an internal timer generates sync signals at intervals of t_{SYNC} given by the following formula:

$$t_{\text{SYNC}} = \text{CLK_DIV_VALUE} \times \text{MOD} \times t_{\text{PFD}}$$

where:

CLK_DIV_VALUE is the decimal value programmed in Bits[DB14:DB3] of Register 3. This value can be any integer from 1 to 4095.

MOD is the modulus value programmed in Bits[DB14:DB3] of Register 1 (R1).

t_{PFD} is the PFD reference period.

When a new frequency is programmed, the second sync pulse after the LE rising edge is used to resynchronize the output phase to the reference. The t_{SYNC} time must be programmed to a value that is at least as long as the worst-case lock time. This guarantees that the phase resync occurs after the last cycle slip in the PLL settling transient.

In the example shown in Figure 33, the PFD reference is 25 MHz and MOD = 125 for a 200 kHz channel spacing. t_{SYNC} is set to 400 μs by programming CLK_DIV_VALUE = 80.

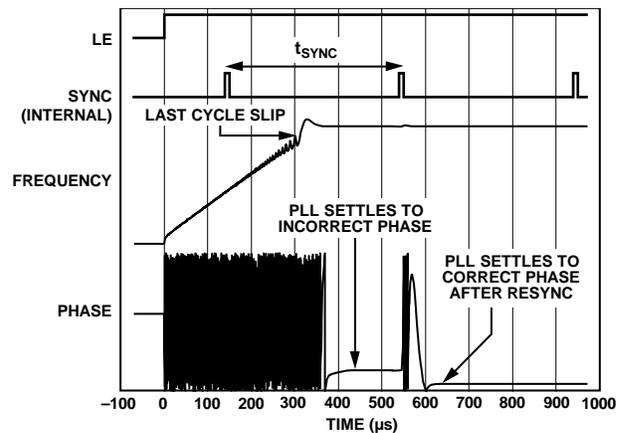


Figure 33. Phase Resync Example

Phase Programmability

The phase word in Register 1 controls the RF output phase. As this word is swept from 0 to MOD, the RF output phase sweeps over a 360° range in steps of 360°/MOD. In many applications, it is advisable to disable VCO band selection by setting Bit DB28 in Register 1 (R1) to 1. This setting selects the phase adjust feature.

High PFD Frequencies

VCO band selection is required to ensure that the correct VCO band is chosen for the relevant frequency. VCO band selection can operate with PFD frequencies up to 45 MHz using the high VCO band select mode (set Bit DB23 in Register 3 to 1).

For PFD frequencies higher than 45 MHz, it is recommended that the user perform the following steps:

1. Program the desired VCO frequency with phase adjustment disabled (set Bit DB28 in Register 1 to 0). Ensure that the PFD frequency is less than 45 MHz.
2. After the correct frequency is achieved, enable phase adjustment (set Bit DB28 in Register 1 to 1).
3. PFD frequencies higher than 32 MHz are permissible only with integer-N applications; therefore, set the antbacklash pulse width to 3 ns (set Bit DB22 in Register 3 to 1).
4. Using the desired PFD frequency, program the appropriate values for the reference R and feedback N counters.

Using this procedure, the lowest rms in-band phase noise can be achieved.

APPLICATIONS INFORMATION

DIRECT CONVERSION MODULATOR

Direct conversion architectures are increasingly being used to implement base station transmitters. Figure 34 shows how Analog Devices, Inc., parts can be used to implement such a system.

Figure 34 shows the AD9788 TxDAC[®] used with the ADL5375. The use of dual integrated DACs, such as the AD9788 with its specified $\pm 2\%$ FSR and $\pm 0.001\%$ FSR gain and offset characteristics, ensures minimum error contribution (over temperature) from this portion of the signal chain.

The local oscillator (LO) is implemented using the ADF4351. The low-pass filter was designed using ADIsimPLL[™] for a channel spacing of 200 kHz and a closed-loop bandwidth of 35 kHz.

The LO ports of the ADL5375 can be driven differentially from the complementary RF_{OUTA±} outputs of the ADF4351. This setup provides better performance than a single-ended LO driver and eliminates the use of a balun to convert from a single-ended LO input to the more desirable differential LO input for the ADL5375. The typical rms phase noise (100 Hz to 5 MHz) of the LO in this configuration is 0.61° rms.

The ADL5375 accepts LO drive levels from -6 dBm to +6 dBm. The optimum LO power can be software programmed on the ADF4351, which allows levels from -4 dBm to +5 dBm from each output.

The RF output is designed to drive a 50 Ω load, but it must be ac-coupled, as shown in Figure 34. If the I and Q inputs are driven in quadrature by 2 V p-p signals, the resulting output power from the ADL5375 modulator is approximately 2 dBm.

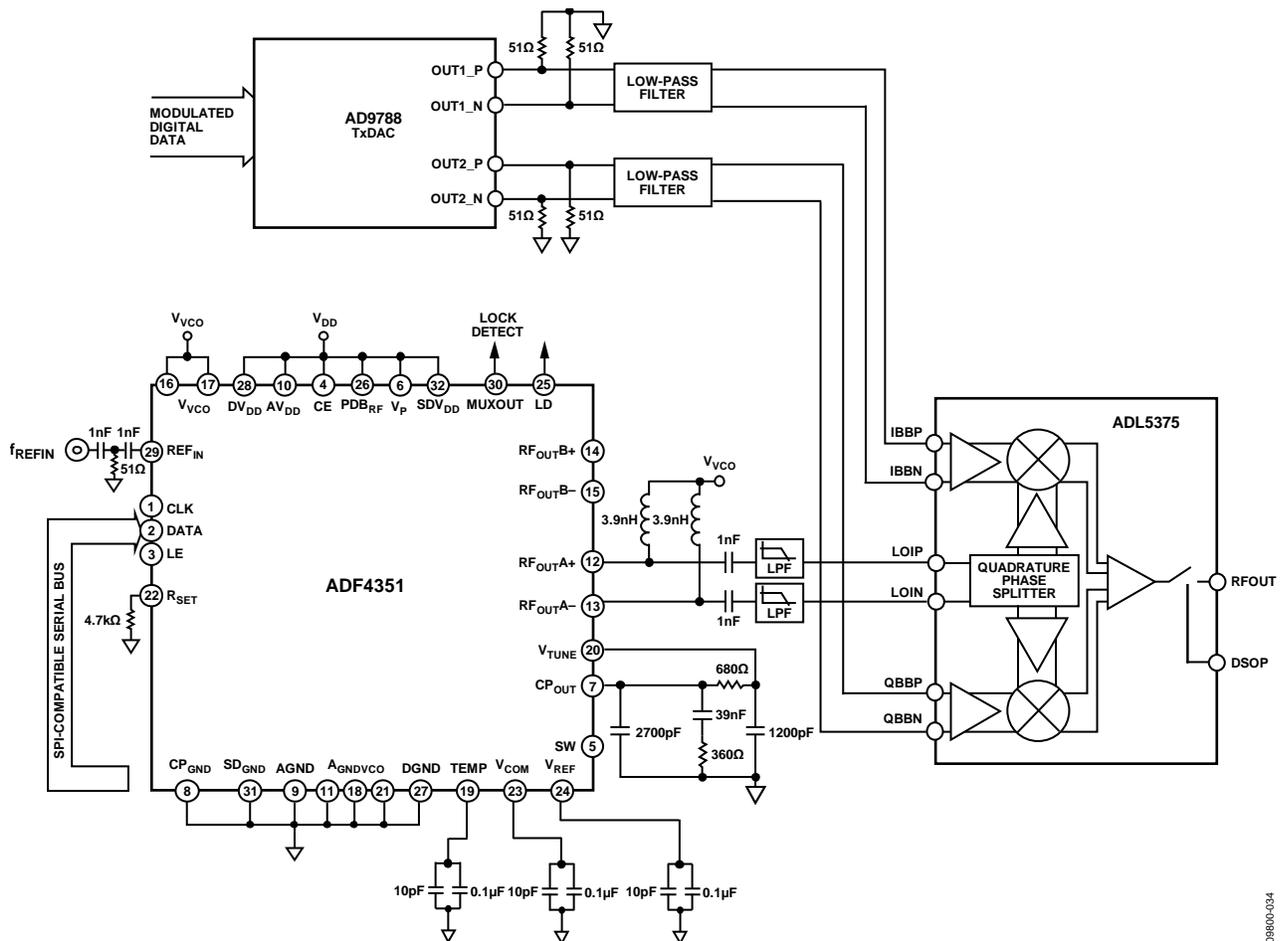


Figure 34. Direct Conversion Modulator

INTERFACING TO THE ADuC70xx AND THE ADSP-BF527

The ADF4351 has a simple SPI-compatible serial interface for writing to the device. The CLK, DATA, and LE pins control the data transfer. When LE goes high, the 32 bits that were clocked into the appropriate register on each rising edge of CLK are transferred to the appropriate latch. See Figure 2 for the timing diagram and Table 6 for the register address table.

ADuC70xx Interface

Figure 35 shows the interface between the ADF4351 and the ADuC70xx family of analog microcontrollers. The ADuC70xx family is based on an AMR7 core, but the same interface can be used with any 8051-based microcontroller.

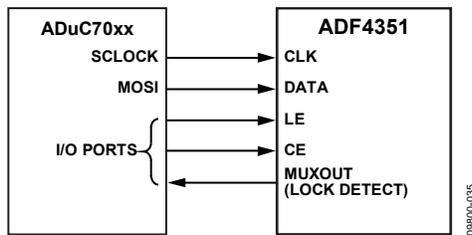


Figure 35. ADuC70xx to ADF4351 Interface

The microcontroller is set up for SPI master mode with CPHA = 0. To initiate the operation, the I/O port driving LE is brought low. Each latch of the ADF4351 needs a 32-bit word, which is accomplished by writing four 8-bit bytes from the microcontroller to the device. After the fourth byte is written, the LE input should be brought high to complete the transfer.

When power is first applied to the ADF4351, the part requires six writes (one each to R5, R4, R3, R2, R1, and R0) for the output to become active.

I/O port lines on the microcontroller are also used to control the power-down input (CE) and to detect lock (MUXOUT configured as lock detect and polled by the port input).

When operating in the mode described, the maximum SPI transfer rate of the ADuC70xx is 20 Mbps. This means that the maximum rate at which the output frequency can be changed is 833 kHz. If using a faster SPI clock, make sure that the SPI timing requirements listed in Table 2 are adhered to.

ADSP-BF527 Interface

Figure 36 shows the interface between the ADF4351 and the Blackfin® ADSP-BF527 digital signal processor (DSP). The ADF4351 needs a 32-bit serial word for each latch write. The easiest way to accomplish this using the Blackfin family is to use the autobuffered transmit mode of operation with alternate framing. This mode provides a means for transmitting an entire block of serial data before an interrupt is generated.

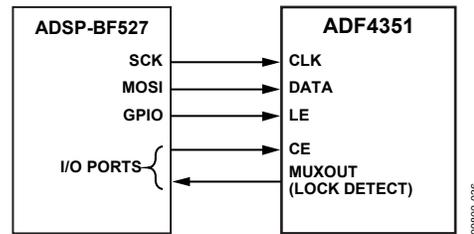


Figure 36. ADSP-BF527 to ADF4351 Interface

Set up the word length for eight bits and use four memory locations for each 32-bit word. To program each 32-bit latch, store the four 8-bit bytes, enable the autobuffered mode, and write to the transmit register of the DSP. This last operation initiates the autobuffer transfer. Make sure that the SPI timing requirements listed in Table 2 are adhered to.

PCB DESIGN GUIDELINES FOR A CHIP SCALE PACKAGE

The lands on the chip scale package (CP-32-7) are rectangular. The PCB pad for these lands must be 0.1 mm longer than the package land length and 0.05 mm wider than the package land width. Each land must be centered on the pad to ensure that the solder joint size is maximized.

The bottom of the chip scale package has a central exposed thermal pad. The thermal pad on the PCB must be at least as large as the exposed pad. On the PCB, there must be a minimum clearance of 0.25 mm between the thermal pad and the inner edges of the pad pattern to ensure that shorting is avoided.

Thermal vias can be used on the PCB thermal pad to improve the thermal performance of the package. If vias are used, they must be incorporated into the thermal pad at 1.2 mm pitch grid. The via diameter must be between 0.3 mm and 0.33 mm, and the via barrel must be plated with 1 oz. of copper to plug the via.

OUTPUT MATCHING

For optimum operation, the output of the ADF4351 can be matched in a number of ways; the most basic method is to connect a 50 Ω resistor to V_{VCO}. A dc bypass capacitor of 100 pF is connected in series, as shown in Figure 37. Because the resistor is not frequency dependent, this method provides a good broadband match. When connected to a 50 Ω load, this circuit typically gives a differential output power equal to the value selected by Bits[DB4:DB3] in Register 4 (R4).

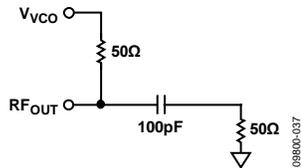


Figure 37. Simple Output Stage

A better solution is to use a shunt inductor (acting as an RF choke) to V_{VCO}. This solution gives a better match and, therefore, more output power.

Experiments have shown that the circuit shown in Figure 38 provides an excellent match to 50 Ω for the W-CDMA UMTS Band 1 (2110 MHz to 2170 MHz). The maximum output power in this case is approximately 5 dBm. Both single-ended architectures can be examined using the EVAL-ADF4351EB1Z evaluation board.

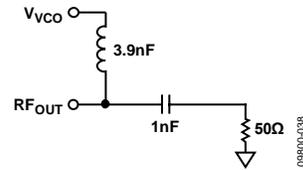


Figure 38. Optimum Output Stage

If differential outputs are not needed, the unused output can be terminated, or both outputs can be combined using a balun.

A balun using discrete inductors and capacitors can be implemented with the architecture shown in Figure 39. The LC balun comprises Component L1 and Component C1. L2 provides a dc path for RF_{OUTA+}, and Capacitor C2 is used for dc blocking.

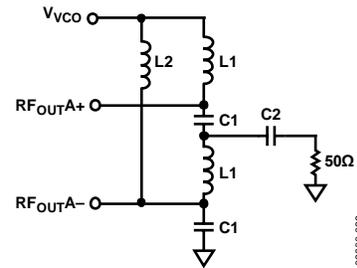
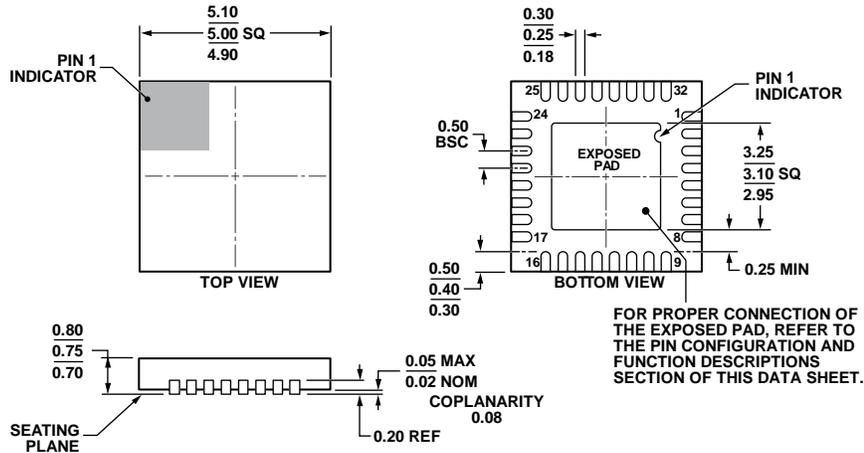


Figure 39. LC Balun for the ADF4351

Table 8. LC Balun Components

Frequency Range (MHz)	Inductor L1 (nH)	Capacitor C1 (pF)	RF Choke Inductor L2 (nH)	DC Blocking Capacitor C2 (pF)	Measured Output Power (dBm)
137 to 300	100	10	390	1000	9
300 to 460	51	5.6	180	120	10
400 to 600	30	5.6	120	120	10
600 to 900	18	4	68	120	10
860 to 1240	12	2.2	39	10	9
1200 to 1600	5.6	1.2	15	10	9
1600 to 3600	3.3	0.7	10	10	8
2800 to 3800	2.2	0.5	10	10	8

OUTLINE DIMENSIONS



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD.

Figure 40. 32-Lead Lead Frame Chip Scale Package [LFCSP]
 5 mm × 5 mm Body and 0.75 mm Package Height
 (CP-32-7)
 Dimensions shown in millimeters

112408-A

ORDERING GUIDE

Model ¹	Temperature Range	Package Description	Package Option
ADF4351BCPZ	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	CP-32-7
ADF4351BCPZ-RL7	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	CP-32-7
EVAL-ADF4351EB1Z		Evaluation Board	

¹ Z = RoHS Compliant Part.