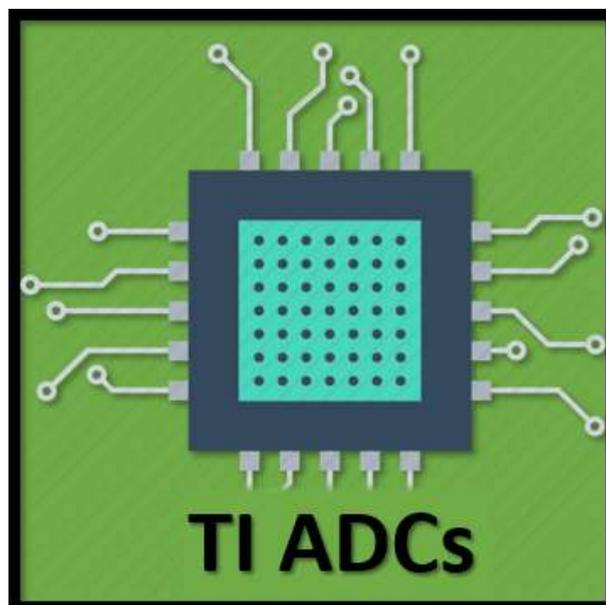


Desarrollo de placa de adquisición basada en "*Time Interleaving*"



Autor:

Matias Medina

Director:

Dr. Zabaleta, Gustavo

Co-Director:

Ing. Rabioglio, Lucas

22 de agosto de 2023



RINFI es desarrollado por la Biblioteca de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata.

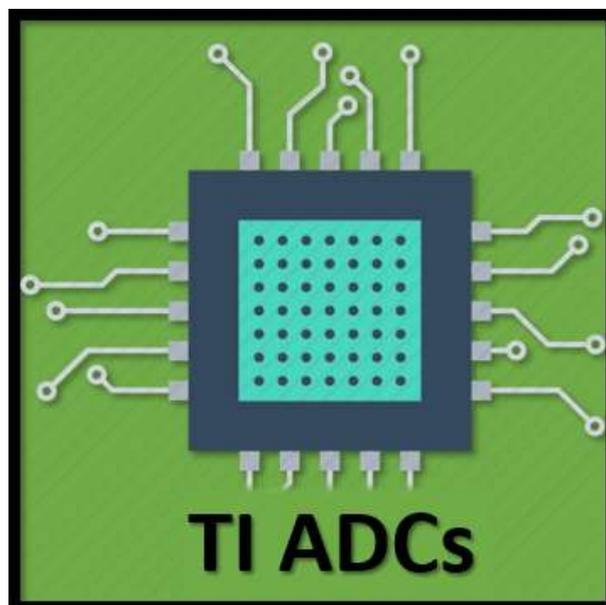
Tiene como objetivo recopilar, organizar, gestionar, difundir y preservar documentos digitales en Ingeniería, Ciencia y Tecnología de Materiales y Ciencias Afines.

A través del Acceso Abierto, se pretende aumentar la visibilidad y el impacto de los resultados de la investigación, asumiendo las políticas y cumpliendo con los protocolos y estándares internacionales para la interoperabilidad entre repositorios



Esta obra está bajo una [Licencia Creative Commons Atribución- NoComercial-CompartirIgual 4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/).

Desarrollo de placa de adquisición basada en "*Time Interleaving*"



Autor:

Matias Medina

Director:

Dr. Zabaleta, Gustavo

Co-Director:

Ing. Rabioglio, Lucas

22 de agosto de 2023

Agradecimientos

Al Director Gustavo Zabaleta y al Co-Director Lucas Rabioglio, quienes me han guiado con la bibliografía necesaria para la temática y me han aportado su experiencia y criterios para el desarrollo de los circuitos.

Al personal del LSC, quienes han despejado con eficacia las dudas sobre el proyecto y han estado siempre a disposición.

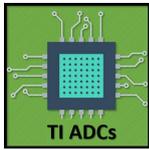
A la Cátedra de Trabajo Final, que fue de gran ayuda en el desarrollo de los documentos, los cuales permitieron un flujo claro y ordenado de trabajo.

Al Ing. Gustavo Lauro, quien me aportó su experiencia en el desarrollo de PCBs.

A mi familia, compañeros y amigos quienes han estado acompañándome durante toda la carrera.

Contenido

1. Proyecto	4
1.1. Introducción	5
1.1.1. Propósito del documento	6
1.1.2. Personal involucrado	6
1.1.3. Definiciones, acrónimos y abreviaturas	7
1.2. Anteproyecto	8
1.2.1. Requerimientos	8
1.2.2. Plan de proyecto y cronograma	9
1.3. Proyecto	11
1.3.1. Prototipo	13
1.3.2. Diseño final:	17
1.3.3. Pruebas y modificaciones	29
1.4. Conclusiones	40
Bibliografía	41
2. Apéndices	42
2.1. Especificación de Requerimientos	43
2.1.1. Introducción	43
2.1.2. Descripción general	43
2.1.3. Requerimientos específicos	44
2.1.4. Atributos del sistema	45
2.2. Especificación funcional	46
2.2.1. Ficha del documento	46
2.2.2. Introducción	46
2.2.3. Descripción del dispositivo	48
2.2.4. Especificaciones funcionales	50
2.2.5. Requerimientos no funcionales	50
2.2.6. Requerimientos de rendimiento	51
2.3. Especificación Técnica	52
2.3.1. Ficha del documento	52
2.3.2. Introducción	52
2.3.3. Descripción del dispositivo	54
2.3.4. Hardware	55
2.3.5. DE0-Nano	67
2.3.6. PCB	72



2.4. Plan de Pruebas	81
2.4.1. Ficha del documento	81
2.4.2. Introducción	81
2.4.3. Plan	82
2.5. Matlab scripts	85

Capítulo 1

Proyecto

1.1 Introducción

La adquisición de señales consiste en la toma de muestras de un sistema analógico para generar datos que puedan ser manipulados digitalmente a fin de obtener información relevante de la variable física que se está midiendo.

Los dispositivos que se encargan de realizar la transformación analógico-digital son los ADCs (*"Analog to digital converter"*). Estos poseen una resolución dada por la cantidad de *bits* y una frecuencia máxima de operación $f_{s(m\acute{a}x)}$ lo cual, a su vez, limita la frecuencia máxima de la señal que se puede adquirir $f_{i(m\acute{a}x)}$.

Para mejorar la limitación de frecuencia máxima, se plantean esquemas como el de *"Time Interleaving"* en el cual una cantidad M de ADCs operan secuencialmente y, cada uno, a su frecuencia máxima de operación $f_{s(m\acute{a}x)}$, obteniéndose así una frecuencia de muestreo efectiva $f_{s(ef)} = M \cdot f_{s(m\acute{a}x)}$.

El esquema de *"Time interleaving"* se utiliza generalmente de forma secuencial, es decir los ADCs van tomando muestras en una secuencia fija que se repite en el tiempo (Figura 1.1).

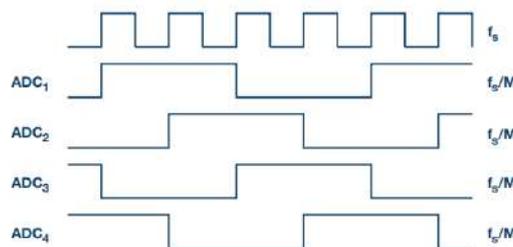


Figura 1.1: Esquema de *"Time Interleaving"* para el caso $M = 4$ ADCs

No obstante, surgen ciertos inconvenientes al aplicar este tipo de esquemas. Debido a que los ADCs no son idénticos entre sí, sino que, existe cierta tolerancia en cuanto a las prestaciones de cada unidad. Al momento de reconstruir la señal adquirida se pueden encontrar componentes espurias [6] debidas principalmente a:

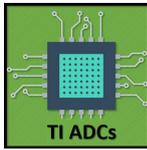
Diferencias de offset: El nivel de GND puede ser ligeramente diferente en cada ADC.

Diferencias de ganancia: La ganancia de entrada analógica a salida digital puede ser diferente para cada ADC.

Jitter en las señales individuales de clock: El tiempo de retardo de reloj a cada ADC no es igual. Con lo cual, la señal será muestreada periódicamente, pero no de manera uniforme.

Se han observado ventajas en la utilización de una secuencia aleatoria, con la consecuencia de que las componentes espurias debidas a las diferencias constructivas de los ADCs tienden a esparcir su espectro, sumándose al piso de ruido de cuantización, mejorando así, el *SFDR* (Rango dinámico libre de espurias)[3][5].

En este contexto, se propone el diseño y construcción de una placa de adquisición basada en el esquema de *"Time Interleaving"*, que permita la utilización de distintos generadores



pseudo-aleatorios para generar la secuencia de muestreo y poder estudiar su efecto sobre el proceso de adquisición.

En el presente *Informe Final*, se abordarán de manera cronológica los aspectos e implicaciones del proyecto, detallando exhaustivamente las cuestiones técnicas pertinentes. Este documento está dirigido a los desarrolladores, solicitantes del proyecto y a la comisión designada para su evaluación.

1.1.1 Propósito del documento

Este documento corresponde al informe final para el proyecto titulado *Desarrollo de placa de adquisición basada en "Time interleaving"*. Se ha estructurado en base a los documentos: Especificación de Requerimientos (ER), Especificación Funcional (EF), Especificación Técnica (ET) y Plan de pruebas (PP).

El presente documento tiene propósito de resumir el proceso de diseño y fabricación de la solución tecnológica, proveyendo información de su funcionamiento, comportamientos deseados, y aspectos constructivos. Se anexarán además las especificaciones referenciadas, que contarán con la información detallada de lo resumido en este informe.

Además de los aspectos técnico y constructivo, este informe apunta a mostrar el desarrollo del Trabajo Final de la carrera Ingeniería Electrónica desde el aspecto de gestión del proyecto. Cuenta con la asistencia de la cátedra Trabajo final Ing. Electrónica (4D0)/Ing. Computación (4F0) y apunta a introducir a los estudiantes a la gestión de proyectos y al cómo se lleva a cabo un desarrollo de producto.

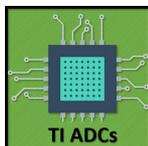
El documento se encuentra dirigido a los desarrolladores y solicitantes del proyecto, así como también a la comisión asignada para su evaluación.

Alcance del proyecto

El proyecto abarca la definición de los requerimientos, implementación y presentación de una placa de adquisición basada en *"Time Interleaving"*. El Laboratorio de Sistemas Caóticos (LSC) es la parte solicitante del desarrollo y es con quién se ha llevado a cabo la definición y posterior validación de los requerimientos del proyecto.

1.1.2 Personal involucrado

Nombre	Matías Medina
Rol	Desarrollador
Categoría profesional	Estudiante
Responsabilidad	Desarrollo y diseño
Información de contacto	matias.medina1302@gmail.com



Nombre	Lucas Rabioglio
Rol	Co-Director
Categoría profesional	Ingeniero
Responsabilidad	Tutelar y orientar en el diseño y seguimiento del desarrollo del proyecto
Información de contacto	lucas.rabioglio@fi.mdp.edu.ar

Nombre	Omar Gustavo Zabaleta
Rol	Director
Categoría profesional	Doctor e Ingeniero
Responsabilidad	Tutelar y orientar en el diseño y seguimiento del desarrollo del proyecto
Información de contacto	gzabaleta@fi.mdp.edu.ar

1.1.3 Definiciones, acrónimos y abreviaturas

Acrónimo	Significado
DE0-Nano	Placa de desarrollo FPGA de la marca <i>Terasic</i>
<i>Time Interleaving</i>	Técnica de adquisición mediante la cual se aumenta la frecuencia de muestreo efectiva de un sistema, utilizando ADCs de manera intercalada en el tiempo
ADC	Dispositivo conversor analógico-digital
FPGA	<i>Field Programmable Gate Array</i>
VHDL	Lenguaje de descripción de <i>Hardware</i>
LPF	Filtro pasa bajos
PC	Computadora personal
Bit	Digito binario
USB	<i>Universal Serial Bus</i>
<i>Clock</i>	Señal de temporización para circuitos digitales
UART	<i>Universal Asynchronous Receiver/Transmitter</i>
PRNG	Generador de números pseudo-aleatorio
Aliasing	Solapamiento

1.2 Anteproyecto

Se propuso el diseño y desarrollo de una placa de adquisición basada en "Time Interleaving". La implementación se determinó en forma de un módulo conectable a la placa de desarrollo DE0-Nano, que contiene una FPGA *Cyclone IV E EP4CE22F17C6* de la marca *Altera*.

El esquema inicial es el siguiente:

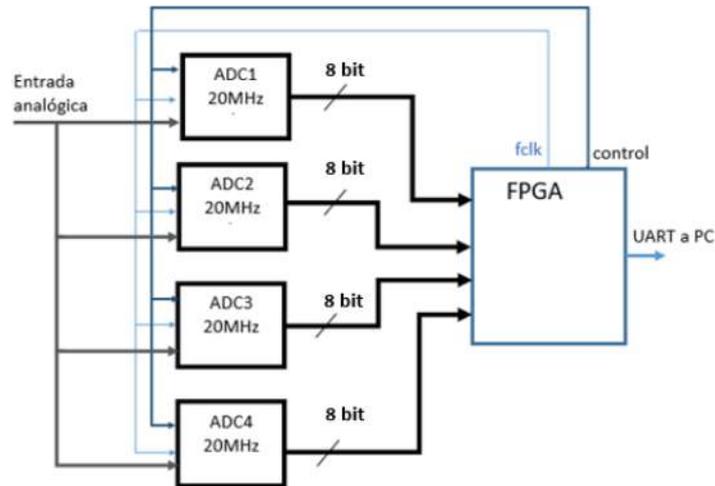


Figura 1.2: Esquema inicial

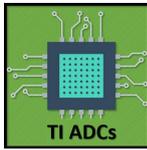
Una señal analógica ingresa a 4 ADCs que funcionan de forma sincronizada, las señales de reloj son proveídas por la FPGA la cual, a su vez, almacena los datos digitalizados para luego transferirlos a una PC.

1.2.1 Requerimientos

El dispositivo posee cuatro requerimientos funcionales: realizar el acondicionamiento de la señal de entrada para adecuarla a las capacidades del ADC utilizado (RF01), proveer líneas de clock independientes para cada ADC posibilitando el control de la secuenciación de los mismos en el proceso de adquisición (RF02), posibilitar la elección de distintos PRNGs para generar la secuencia de selección de ADC (RF03) y enviar los datos digitalizados mediante una interfaz USB (RF04).

En cuanto a los requerimientos no funcionales, se tienen dos y son: el diseño para una conexión modular mediante los pines GPIO que provee la placa de desarrollo DE0-Nano (RNF01), y, el ingreso de señal a la placa se debe realizar mediante un conector BNC que permita la conexión de una punta de prueba de osciloscopio o un cable coaxial para conectar directamente a un generador de señales (RNF02).

Por último los requerimientos de rendimiento son: el sistema debe admitir una señal de entrada de $20 V_{pp}$ máximo y una frecuencia máxima de $30 MHz$ (RR01). Se debe digitalizar la señal de entrada con una resolución de al menos $8 bits$ (RR02).



1.2.2 Plan de proyecto y cronograma

En el diagrama de Gantt que se expone a continuación ([Figura 1.3](#)) se observa la división del proyecto en 6 etapas fundamentales: la primera incluye la lectura de bibliografía referida al tema de trabajo y la definición de los requerimientos del proyecto.

En la segunda etapa se desarrolla una placa prototipo compuesta por un único ADCs sobre la cual se realizan distintas pruebas para corroborar la factibilidad de la solución propuesta en primera instancia.

Luego, con los resultados recopilados, se realiza una primera revisión con el (LSC) y se procede al desarrollo de los documentos (EF) y (ET).

En la cuarta etapa se lleva a cabo el desarrollo del diseño final propuesto, lo cual incluye diseño circuital de la placa, del PCB, del código VHDL a implementar en la FPGA, y el soldado de los componentes sobre el PCB ya fabricado.

La quinta etapa incluye ensayos, modificaciones y recopilación de resultados del diseño final. Además de una nueva revisión por parte del (LSC).

Finalmente, se ejecuta el (PP), se presenta el dispositivo funcionando frente a la cátedra de trabajo final, y se procede a la escritura del informe final.

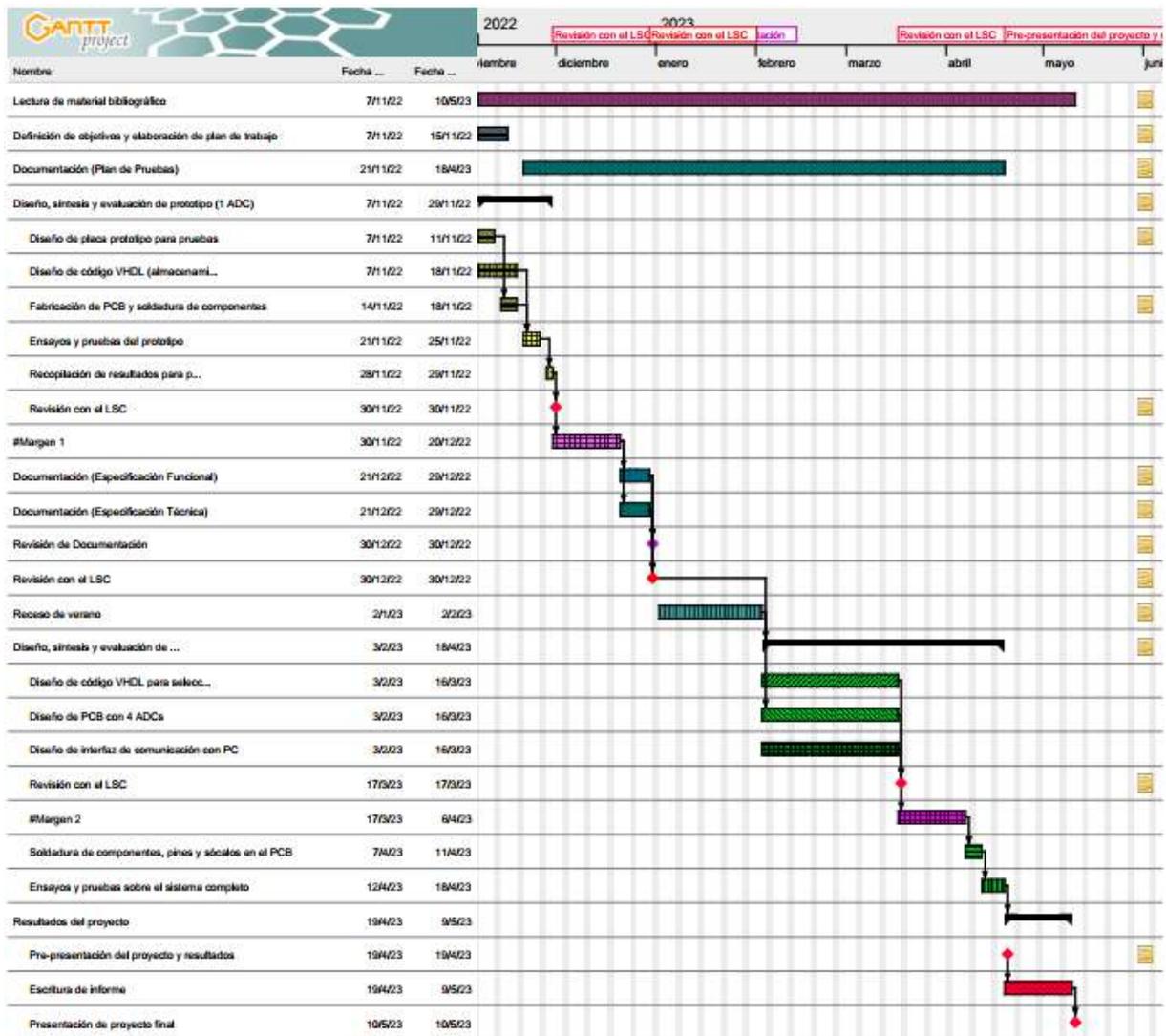
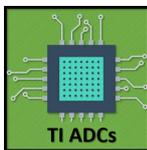


Figura 1.3: Diagrama de Gantt del proyecto

1.3 Proyecto

Considerando la propuesta inicial de la solución tecnológica (Figura 1.2), el primer paso a realizar fue la elección de los ADCs a utilizar.

Con el propósito de implementar el esquema de "Time Interleaving", cumplir con los requerimientos de rendimiento y además ajustarse a las restricciones físicas de la solución planteada se procedió a establecer los parámetros que permitirían discriminar entre los diversos ADCs disponibles con miras a identificar la opción más adecuada:

Un único ADC por encapsulado: Dado que se requiere operar a cada ADC por separado, se requieren CIs de un solo canal.

Frecuencia de muestreo máxima $> 15 \text{ Msps}$: Para alcanzar la frecuencia de muestreo objetivo de 60 MHz .

Resolución de 8 bits : Se elige mantener esta restricción al mínimo propuesto de 8 bits, debido a la cantidad de pines disponibles en la placa DE0-Nano.

Encapsulado TSSOP : Debido a las restricciones de espacio físico entre ambos bancos GPIO, se requiere un encapsulado lo más pequeño posible. (Se evita además encapsulados tipo QFN o BGA debido a la dificultad para soldarlos al circuito impreso)

Ancho de banda $> 30 \text{ MHz}$: El ancho de banda del dispositivo no debe limitar el de la señal de entrada.

En base a estas restricciones se optó por el **ADC 1175-50 (TSSOP-24)** de la marca *Texas Instruments*.

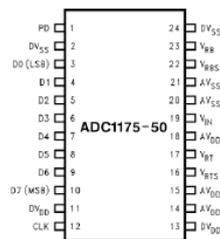


Figura 1.4: ADC 1175-50 (TSSOP-24)

Tabla 1.1: Parámetros principales ADC 1175-50

Parámetro	Símbolo	Valor	Unidad
Tensión de alimentación		5	V
Input Range	V_{IN}	2	V
Full Power Bandwidth		120	MHz
Effective Number of Bits	$ENOB$	6,8	bits
Pipeline Latency		2,5	ClockCycles

Una vez seleccionado el ADC, se procedió al diseño de la etapa de adecuación de señal para poder realizar el primer prototipo y extraer conclusiones.

En la etapa de adecuación de señal es necesario:

- Realizar una atenuación fija de 10 veces, de tal manera que una señal de amplitud $20 V_{pp}$ se ajusta a $2 V_{pp}$, que es el rango de conversión del ADC elegido.
- Realizar la función de filtro anti-aliasing [4]. Como se va a efectuar un muestreo a una velocidad de $60 Msps$, se deben filtrar componentes en frecuencia mayores a $30 MHz$.
- Introducir un nivel de DC de $+1,6 V$ para centrar a la señal de entrada (previamente atenuada) en el rango de conversión, debido a que el ADC realiza la conversión en el rango de $+0,6 V$ a $+2,6 V$.
- Realizar un acople de AC para eliminar la componente de *offset* que pueda tener la señal de entrada, ya que podría desplazarla por fuera del rango de conversión.

La etapa de adecuación de señal se diseñó, en primera instancia, de la siguiente manera (Figura 1.5):

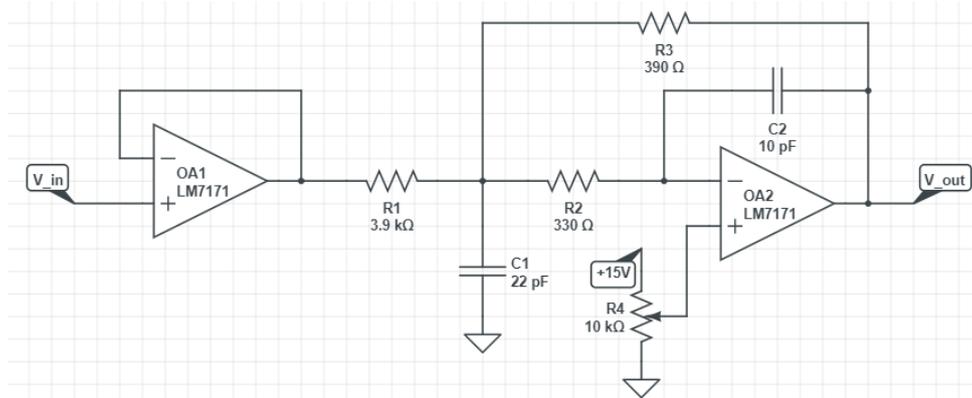


Figura 1.5: Etapa de adecuación de señal (placa prototipo)

1. La señal ingresa directamente a un amplificador operacional en configuración de seguidor de tensión. Debido a la elevada impedancia de entrada que presentan los amplificadores operacionales, asegura no alterar o cargar al circuito del que se pretende extraer una medición.
2. La señal pasa por un filtro activo de segundo orden de topología MFB ("Multiple feedback") ajustado con frecuencia de corte $f_c = 30 MHz$.
3. Utilizando el amplificador operacional con el que se construye el filtro, también se agrega a la señal de entrada la componente DC de $+1,6 V$.
4. La señal resultante ingresa directamente al ADC.

Para poder implementar el buffer seguidor de tensión y filtro se debió entonces, elegir el amplificador operacional adecuado.

La elección se realizó bajo el criterio de que el amplificador en cuestión, tenga un ancho de banda aproximadamente 10 veces mayor a la frecuencia de corte necesaria para el filtro.

Se eligió entonces el Amplificador Operacional **LM7171** de la marca *National Semiconductor*



Figura 1.6: Amplificador Operacional LM7171 (SOIC-8)

Tabla 1.2: Parámetros principales LM7171

Parámetro	Símbolo	Valor	Unidad
Input Resistance	R_{in}	40	$M\Omega$
Output Resistance	R_o	15	Ω
Large Signal Voltage Gain	A_V	85	dB
Slew Rate	SR	3100	$V/\mu s$
Unity-Gain Bandwidth	GBP	200	MHz
Phase Margin	ϕ_m	50	$Degrees$

1.3.1 Prototipo

Se procedió entonces a desarrollar el primer prototipo, que permitiría realizar ensayos sobre el ADC elegido y la etapa de adecuación, a fin de evaluar la factibilidad de la solución propuesta inicialmente.

En esta primera instancia no se incluyó un capacitor de acople de AC, ni la atenuación $\times 10$.

La placa constaría únicamente de un ADC con la configuración básica que provee el fabricante (Figura 1.7), y la etapa de adecuación de señal mencionada anteriormente (Figura 1.5).

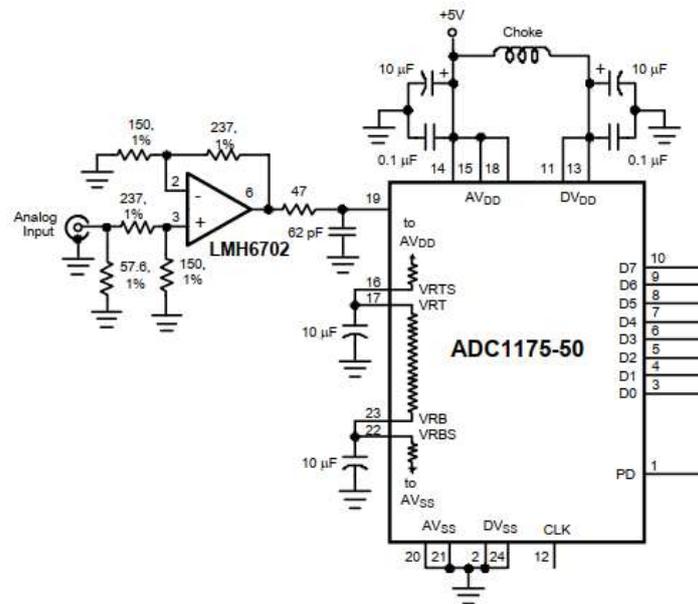


Figura 1.7: Configuración de auto-referencia ADC 1175

En esta configuración de el ADC, cortocircuitando los pines VRTS con VRT, y, VRBS con VRB, se hace uso de un divisor resistivo interno que posee el dispositivo de modo que el límite inferior de conversión (valores de tensión por debajo de este nivel son convertidos a la palabra binaria b"00000000") queda "fijado" en $+0,6\text{ V}$ y el límite superior de conversión (valores de tensión por que superan este nivel son convertidos a la palabra binaria b"11111111") queda "fijado" en $+2,6\text{ V}$.

El término "fijado" hace referencia a que en esta configuración, frente a una eventual variación de la tensión de alimentación o por efectos de tolerancia en los componentes del divisor resistivo interno, el rango de conversión variará respecto del esperado. Por tanto, esta configuración no es la recomendada para el diseño final, pero sí resulta útil para realizar los primeros ensayos.

En este primer prototipo (Figura 1.9), se utilizó una alimentación de $\pm 15\text{ V}$ (que ingresa por el conector de 3 pines en la parte inferior de la placa) para alimentar directamente a los amplificadores operacionales, y un regulador de tensión LM7805 (TO-220) el cual provee los 5 V de alimentación que requiere el ADC.

Para compatibilizar el nivel lógico del ADC, que es de 5 V , con el de la FPGA que es de $3,3\text{ V}$, se conectó cada bit de salida a un divisor de tensión (Figura 1.8).

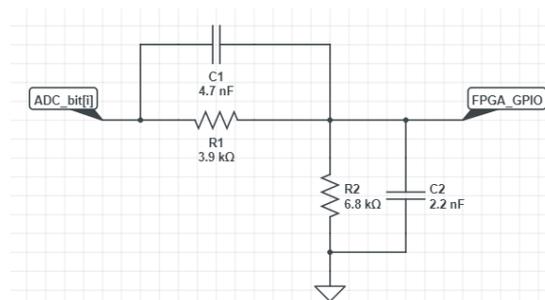


Figura 1.8: Adaptación de nivel lógico (placa prototipo)

La razón de colocar capacitores en paralelo a las resistencias es compensar el efecto de la capacidad parásita que presentan las mismas. Teniendo en cuenta que para un dado tamaño de resistencia (SMD 1206) el valor de la capacidad parásita es independiente del valor de la resistencia (y en el orden de los pF), para altas frecuencias la transferencia de la red está dada por las capacidades parásitas resultando en un valor cercano a 0.5, lo cual es distinto del valor buscado. Para corregir esto, colocando en paralelo capacidades conocidas y de varios órdenes de magnitud por encima de las capacidades parásitas, se puede controlar el valor de la transferencia en todo el rango de frecuencias (idealmente).

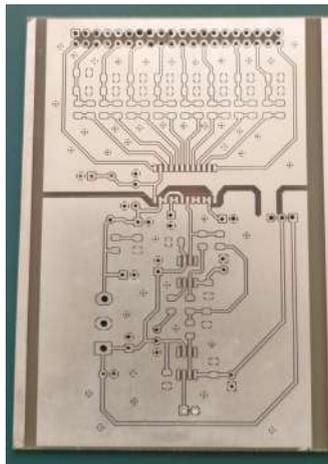
La conexión de las 8 líneas de datos, la línea de clock y de *Output Enable* (OE), se realizaban mediante un zócalo hembra que se conectaba a la placa de desarrollo DE0-Nano.

Para el diseño del esquemático y PCB se utilizó el software *KiCad*. La placa prototipo fue construida en 2 capas con el método de película fotosensible, y, debido a que no se contaba con el equipamiento para realizar la metalización de agujeros pasantes, se recurrió a soldar de ambos lados los componentes *through-hole* (cuando fue necesario) y a introducir filamentos conductores y soldarlos de ambos lados en el caso de los *via stitching*.

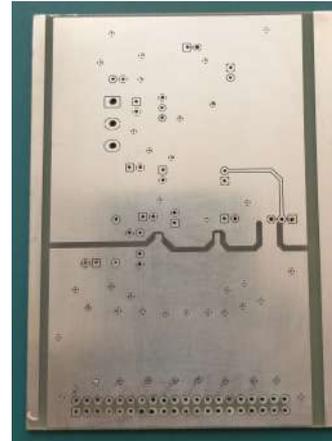
El modelo 3D de la placa prototipo y el resultado de su construcción se observan a continuación.



Figura 1.9: Placa prototipo



(a) Placa prototipo (TOP)



(b) Placa prototipo (BOTTOM)

Los ensayos consistían en enviar la señal de clock de 20 MHz al ADC, e ingresar señales de prueba mediante un generador ajustado para una amplitud de 2 V_{pp} y *offset* cero, a fin de evaluar la funcionalidad de la etapa de adecuación y el proceso de conversión- almacenamiento en memoria de FPGA.

Además, debido a la poca experiencia en el diseño de PCB, el prototipo permitiría evaluar o detectar posibles complicaciones en cuanto a la integridad de las señales analógicas y digitales a la hora de enrutar las conexiones de la placa.

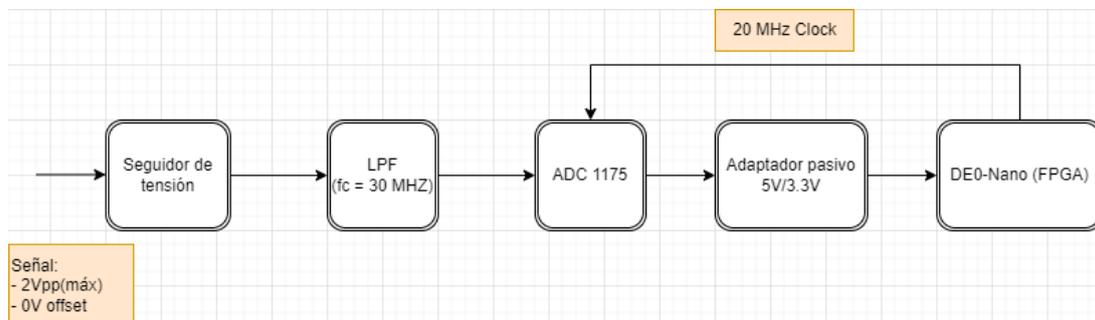


Figura 1.11: Esquema de ensayo en placa prototipo

Realizados los ensayos sobre el prototipo se definieron varios cambios necesarios para el desarrollo final:

1. Se requeriría una referencia de tensión de precisión, y que sea común a los 4 ADCs que conformarían el sistema.
2. La conversión de nivel lógico se llevaría a cabo con un circuito integrado dedicado para ese propósito.
3. Se utilizaría una alimentación de $\pm 8\text{ V}$, que por cuestiones de disipación de calor permitiría extraer mayor corriente del regulador de tensión. Ya que, en el diseño final, este alimentará a los 4 ADCs, los conversores de nivel y a la placa DE0-Nano.
4. La etapa de filtro se implementa con 2 etapas de primer orden en cascada.

- Se requeriría un regulador de $3,3\text{ V}$ para alimentar a los conversores de nivel, los botones y dip-switches de la interfaz usuario.

1.3.2 Diseño final:

Para el diseño final de la placa, se utilizó el software "Altium Designer". Los esquemáticos correspondientes a cada bloque funcional se dividieron en hojas (*sheets*) y se comentan a continuación.

Alimentación y referencia

La entrada de alimentación a la placa ingresa por un conector de 3 pines y el esquema general puede verse a continuación (Figura 2.4):

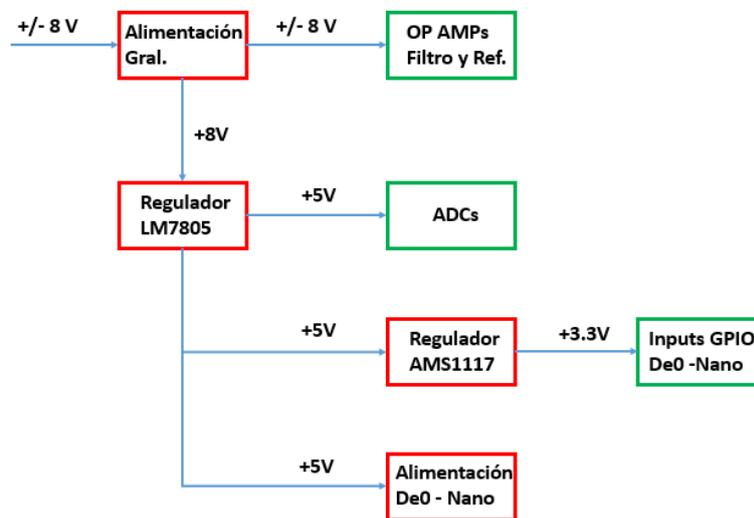


Figura 1.12: Esquema de alimentación

Inicialmente, se había propuesto una alimentación de $\pm 15\text{ V}$, ya que para este nivel de tensión los amplificadores operacionales presentaban su mejor performance en cuanto a ancho de banda, *slew rate* y ganancia a lazo abierto, según especificaban las curvas del fabricante.

No obstante debido a la cantidad de corriente que debía entregar el regulador **LM7805 (DPAK)**(Figura 2.5), el efecto de la resistencia térmica provocaba una gran elevación de temperatura en el componente. Por tanto, se decidió utilizar una alimentación de $\pm 8\text{ V}$, que es el mínimo nivel de alimentación especificado para la referencia de tensión de precisión.

En los esquemáticos el NET de alimentación figura como $\pm 15\text{ V}$, no obstante se utilizarán $\pm 8\text{ V}$, tal como se ha explicado.

Los amplificadores operacionales de la etapa de adecuación de señal estarían ahora alimentados con $\pm 8\text{ V}$ en vez de con $\pm 15\text{ V}$, no obstante, las especificaciones para $\pm 5\text{ V}$ de alimentación que brindaba el fabricante indicaban que se seguía cumpliendo con los requerimientos.

Este cambio dio como resultado una caída de solo $3V$ en el regulador de tensión, comparada con los $10V$ que había inicialmente, lo cual implica aproximadamente triplicar la corriente que puede obtenerse respecto de la situación inicial.

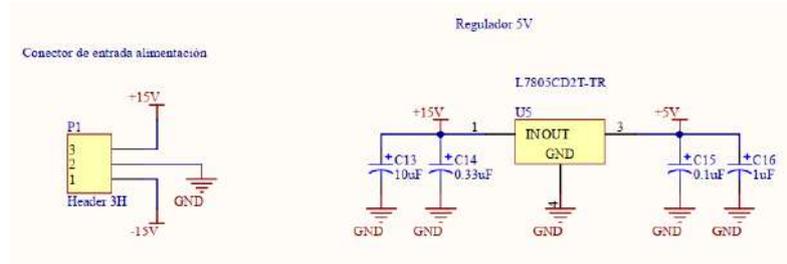


Figura 1.13: Alimentación y generación de +5V

Para alimentar el área digital de la placa (convertidores de nivel lógico, pulsadores y dip_switches) se utiliza el regulador de tensión **AMS1117** (Figura 2.6). La entrada de alimentación de este regulador proviene del NET +5 V, entregando una tensión de $3,3 V$ a la salida Figura 1.14. Aquí la disipación de calor no es de gran relevancia, pues, en el regulador solo caen $1,7 V$ y la corriente que se le exige es baja, debido a que el sector digital de la placa interactúa con las entradas de la FPGA que son de alta impedancia.

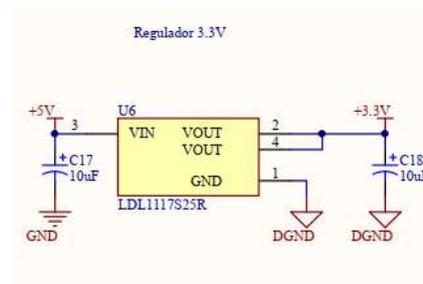


Figura 1.14: Generación de +3.3V

Para el diseño final se utilizó a los ADC en una configuración distinta a la usada en la placa prototipo. En esta configuración, una fuente de tensión externa, en conjunto con el divisor resistivo interno del ADC ajusta los niveles superior e inferior de conversión a valores estables (Figura 2.20).

Resultó necesario entonces, definir una referencia estable de tensión, y luego, una forma de poder extraerle corriente sin cargarla. Se eligió el integrado **REF02** (Figura 2.8), que es una referencia de tensión de precisión de $+5V$. Su función es proveer una referencia estable e invariable frente a variaciones en la alimentación, temperatura y corriente, a partir de la cual los ADCs realicen la conversión. Este integrado está alimentado directamente de los $+8V$ de entrada y su salida (NET rotulado como V_{ref}) (Figura 1.15) se utiliza en varias partes del circuito que se mencionan luego.

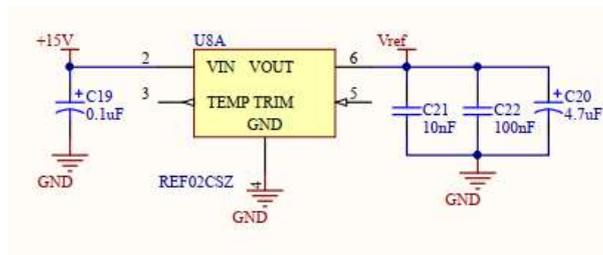


Figura 1.15: Generación de tensión de referencia +5V

No obstante, se requieren 2 niveles de tensión, $+0,6\text{ V}$ para el límite inferior y $+2.6\text{ V}$ para el límite superior. Estos valores se obtienen mediante divisores resistivos, con la inclusión de *presets* multivuelta que permiten un ajuste fino. A fin de poder extraer corriente de estas fuentes sin cargar al divisor resistivo, se utiliza un seguidor de tensión implementado con el Amplificador operacional **OP177** (Figura 2.7). Este amplificador tiene un muy bajo nivel de *offset*, y está internamente compensado para mitigar el efecto de las corrientes de bias y el corrimiento con la temperatura. Esto es necesario, pues de lo contrario, se perderían los beneficios de la referencia estable de tensión utilizada.

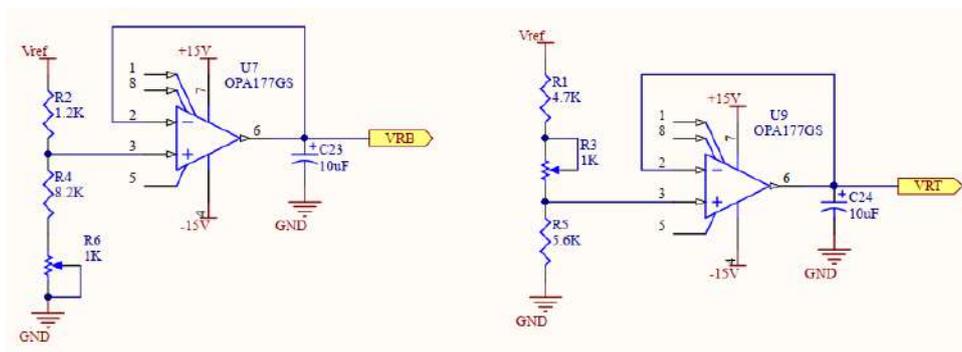


Figura 1.16: Generación de referencias para los ADCs

Por último, la resistencia R_{19} (de 0Ω) tiene por objetivo conectar entre sí GND digital y GND analógica de la placa.

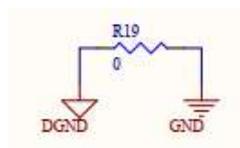


Figura 1.17: Conexión de tierra digital y analógica

Atenuación y filtro

En esta etapa ingresa la señal a adquirir. La señal pasa, en primera instancia, por un capacitor serie que cumple la función de acople de AC eliminando cualquier componente de DC que pueda tener la señal de entrada.

Luego se ingresa a un divisor de tensión pasivo que atenúa la señal 10 veces. A fin de utilizar una punta de osciloscopio, se busca emular la impedancia de entrada de un osciloscopio comercial (típicamente de $1M\Omega || 20pf$). Este divisor posee capacitores en paralelo a las

resistencias, pues, tal como se mencionó anteriormente en el diseño del prototipo, estas poseen capacidades parásitas que a alta frecuencia dominarían el efecto del divisor, resultando en una transferencia distinta a la esperada. Por eso, colocando valores significativamente mayores en paralelo podemos definir la división al valor deseado.

Las ecuaciones mediante las cuales se eligen los valores de los componentes, se pueden ver en el apéndice *Especificación Técnica*.

Para el capacitor de acople AC, se requiere un valor que no modifique el divisor de tensión. Para ello, su valor debe ser de al menos 10 veces el del capacitor más grande en el divisor.

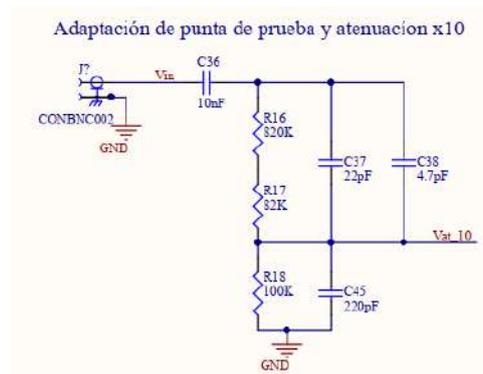


Figura 1.18: Acople de AC y atenuación X10

Luego, se ingresa al buffer, conformado por un amplificador operacional en configuración no-inversora. A diferencia del caso del prototipo, aquí se elige tener una ganancia, por un lado, baja (de unas 4,3 veces), para no acotar el ancho de banda por debajo de lo necesario y, por otro lado, variable, (con un *preset* multivuelta en R_{11}) para poder ajustar la ganancia de toda la cadena a la unidad, debido a que por efecto de la tolerancia de los componentes podría resultar en una ganancia distinta a la esperada.

A continuación, viene una etapa de 2 filtros en cascada ajustados para una ganancia A , tal que, la ganancia total de la cadena buffer-filtros sea de 1, (con lo cual la atenuación está dada por el divisor de tensión pasivo únicamente), y ajustados para una frecuencia de corte total de 30 MHz.

En el segundo filtro se agrega el nivel de continua de +1.6 V para poder centrar la señal en el rango de conversión de los ADCs. Este nivel se obtiene a partir de un *preset* multivuelta al que ingresa la tensión de referencia estable V_{ref} (se coloca un pequeño capacitor en paralelo a la salida para desacoplar cualquier posible señal de ruido).

Previo a ingresar a los ADCs se agrega una etapa de protección. Ya que durante el encendido de la placa los OP Amp podrían, momentáneamente, saturar poniendo en su salida la tensión de alimentación de ($\pm 8V$), la cual aparecería directamente a la entrada de los ADCs, provocando un daño a los mismos. Para esto se coloca un resistor serie de 1 k Ω seguido por el integrado **BAT54S** (Figura 2.17) que contiene 2 diodos *Schottky*. Es así que para cualquier tensión por encima de +5.6 V o menor a -0.6 V estos diodos se ponen en conducción evitando una excursión mayor en la entrada de los ADCs.

En resumen, a la salida (NET V_{filt}) se tiene a la señal de entrada con una atenuación de 10 veces (con posibilidad de ajuste), filtrada a 30 MHz y con un nivel de DC de +1,6 V (con posibilidad de ajuste también).

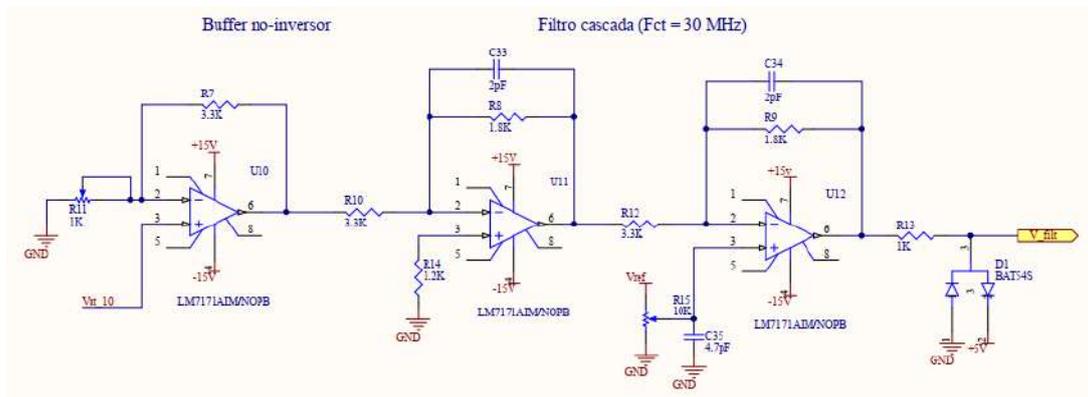


Figura 1.19: Buffer y filtro anti-aliasing

ADCs y Conversor de Nivel Lógico

Aquí, por cuestiones de legibilidad, se dividió en 2 hojas los esquemáticos correspondientes a los 4 ADCs con sus respectivos conversores de nivel.

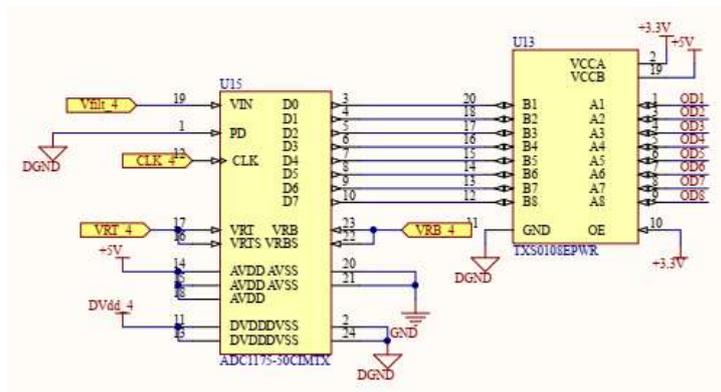


Figura 1.20: ADC y conversor de nivel lógico

El circuito se diseñó siguiendo el *application* que provee el fabricante (Figura 2.20). En la alimentación del ADC, se colocan los capacitores de desacople recomendados y un *choke* para evitar que las componentes de “ruido digital” entren a la parte analógica.

Tal como se mencionó anteriormente, esta configuración es mejor que la utilizada en el prototipo, pues utilizando fuentes de tensión externas se logra fijar los niveles superior e inferior de conversión, insensibilizándolos frente a variaciones de tensión de alimentación, temperatura, tolerancias de los dispositivos, etc.

Cabe aclarar que los 4 ADCs comparten el mismo NET de *VRT* (*Top Reference Voltage*) y *VRB* (*Bottom Reference Voltage*).

Para llevar a cabo la conversión de nivel lógico se utiliza el circuito integrado **TXS0108E** (Figura 2.21), el cual, por cuestiones de dimensiones físicas y ser un dispositivo desarrollado para tal propósito, es una mejor elección que una adaptación con componentes pasivos como se utilizó en el prototipo. Las 8 líneas de datos ingresan directamente al conversor de nivel lógico, pasando de un estándar de 5 V a uno de 3,3 V que es el que utiliza la FPGA. Este conversor soporta velocidades de hasta 60 *Msp*s.

Interfaz Usuario

En este bloque se encuentra, por un lado, el dip-switch de 8 contactos, con el cual el usuario genera el valor que será cargado en el respectivo registro de configuración. El circuito se implementa con resistencias de *pull-down* de $10\text{ k}\Omega$ (para no exigirle corriente a la fuente), de modo que en la posición *OFF* aparecen 0 V (correspondientes a un 0 lógico) en el pin que se conecta a la FPGA y en la posición *ON* aparecen los $+3,3\text{ V}$ (correspondientes a un 1 lógico).

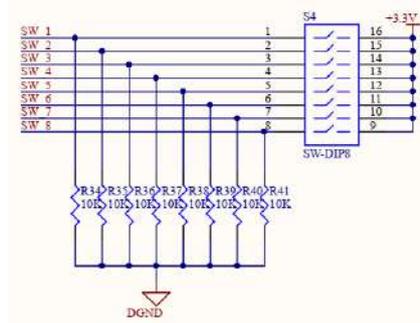


Figura 1.21: Conexión de dip_switch

Luego, hay 3 pulsadores, que tienen por función *RESET* general del sistema, *START* para comenzar el proceso de adquisición - transmisión de datos y *CONFIG* para cargar en el registro el valor presente del dip-switch.

Para poder utilizar estos botones como flancos de clock para los registros, se debe primero, eliminar el efecto del rebote mecánico de los mismos ("*debouncing*"). Para ello se emplea un resistor de *pull-up* seguido por una red RC, y la salida de esa red ingresa a un inversor *Schmitt trigger* (Figura 2.22), el cual elimina el ruido de rebote resultando en un pulso útil.



Figura 1.22: Debouncing de pulsadores

Conexiones GPIO

Esta hoja muestra el diagrama de conexiones hacia los zócalos hembra que se conectan directamente a los *General purpose Input Output* (GPIO) de la FPGA. Se utiliza un total de 51 pines: 32 para los bits de datos de los ADCs; 4 para las señales de clock de cada ADC; 8 para los dip-switch; 3 para los pulsadores; 2 para las señales Rx y Tx del bloque UART; y 6 para Alimentación y GND.

Se incluye un indicador LED para verificar la presencia de alimentación en la placa.

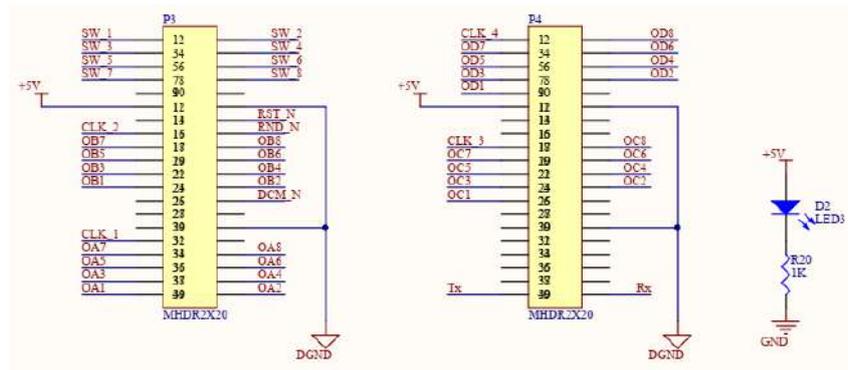


Figura 1.23: Zócalos de la placa y LED indicador

USB

En esta hoja se muestran las conexiones del circuito integrado **FT232R** (Figura 2.23a), que recibe la alimentación del propio bus USB, y realiza la conversión de formato serie (115200 baudios, 1 bit de *stop* y sin bit de paridad) a formato USB. Se incluyen, además, 2 LEDs indicadores de Tx y Rx respectivamente. La ficha USB utilizada es del tipo USB-B hembra (Figura 2.23b).

FPGA

En esta sección se describe el *hardware* implementado en la FPGA de la placa DE0-Nano. A grandes rasgos este bloque tiene la funcionalidad de:

- Generar las señales de *clock* para cada ADC con la sincronización correcta.
- Almacenar en memoria los datos de la señal digitalizada.
- Adoptar la funcionalidad requerida según los registros de configuración
- Enviar los datos mediante interfaz serie de nuevo a la placa de adquisición.

Todo el código que se carga en la FPGA se desarrolla en el software *Quartus II 13.1*. El diagrama de bloques se puede observar en el anexo *Especificación Técnica*.

Se comentan a continuación los bloques fundamentales y el funcionamiento general del sistema.

my_pll Este bloque instancia uno de los 4 PLLs (*Phase Locked Loop*) de la FPGA. Se ingresa a la entrada *inclk0* con la señal proveniente del oscilador de 50 MHz que posee la placa DE0-Nano. De aquí se obtienen 3 salidas que se usan como señales de clock para otros bloques del sistema. La señal *c0* tiene la frecuencia de adquisición 60 MHz ; la señal *c1* tiene la mitad de frecuencia y está desfasada 180° respecto de *c0*; por último, la señal *c2* tiene el doble de la frecuencia de muestreo (120 MHz) y es el clock del bloque de memoria ram.

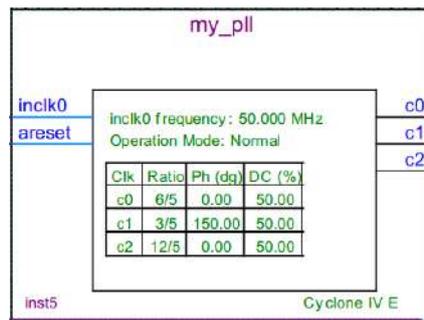


Figura 1.24: Bloque my_pll

prng_mux Este bloque es un multiplexor de 8 canales. Mediante uno de los registros se puede modificar el valor en su entrada de selección, y así, elegir el PRNG a utilizar en el proceso de adquisición.

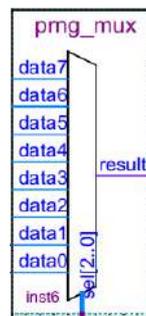


Figura 1.25: Bloque prng_mux

prng_4ff Este bloque es un PRNG (LFSR de 4 registros) y se muestra como ejemplo. Como puede observarse, la idea es que el PRNG que desee probarse se agruegue al proyecto desarrollado en *Quartus II 13.1*, en forma de bloque y se conecte su salida a cualquiera de las entradas disponibles en el bloque **prng_mux**.

Para hacer funcionar al PRNG se dispone de la señal de clock *c1* y una señal de *reset* general para todo el sistema.



Figura 1.26: Bloque prng_4ff

interfaz En este bloque se realiza la función de escribir en los registros de configuración el valor que el usuario coloque con los dip-switch. Estos registros son 3 y manejan las funcionalidades de: elección de PRNG, diezmando de muestras y cantidad de procesos adquisición-envío.

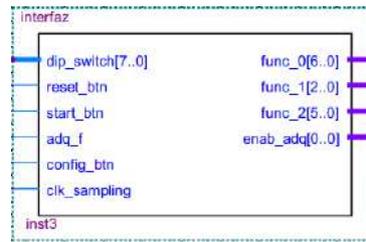


Figura 1.27: Bloque interfaz

adc_cel Este bloque genera las señales de clock para cada ADC y direcciona los datos digitalizados hacia la memoria ram.



Figura 1.28: Bloque adc_sel

adq_ram En este bloque se instancia la memoria ram que posee integrada la FPGA. Se genera el proceso para primero escribir en memoria los datos y luego leerlos para enviarlos por formato serie.

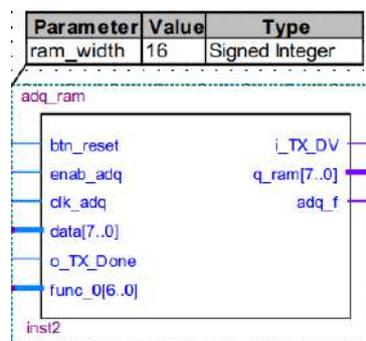


Figura 1.29: Bloque adq_ram

uart_tx Este bloque se encarga de realizar la conversión de los datos provenientes de la memoria ram (formato paralelo) a formato serie (1 bit de stop y sin bit de paridad) y enviarlos a una velocidad de 115200 baudios.

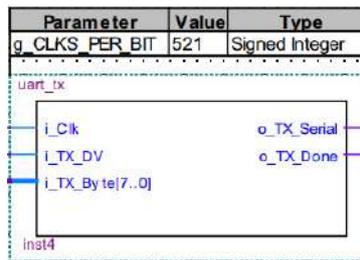


Figura 1.30: Bloque uart_tx

const_leds Este bloque tiene la función de colocar un patrón fijo en los leds de la placa DE0-Nano a modo de obtener un indicador de que la FPGA se ha programado correctamente.

Circuito impreso (PCB)

Una vez diseñados los circuitos y desarrollados sus correspondientes esquemáticos, lo siguiente fue el desarrollo del circuito impreso.

Para ello se partió de la limitación en cuanto a espacio físico. Tal como puede verse en la Figura 1.31, la placa DE0-Nano tiene una distancia de 40.6mm entre ambos GPIOs, lo cual nos fija la distancia en la que se deben colocar los zócalos hembra en la placa de adquisición. Se determinó que la aplicación se realizaría con tecnología SMD, y el tamaño de resistencias y capacitores utilizados sería 0805.

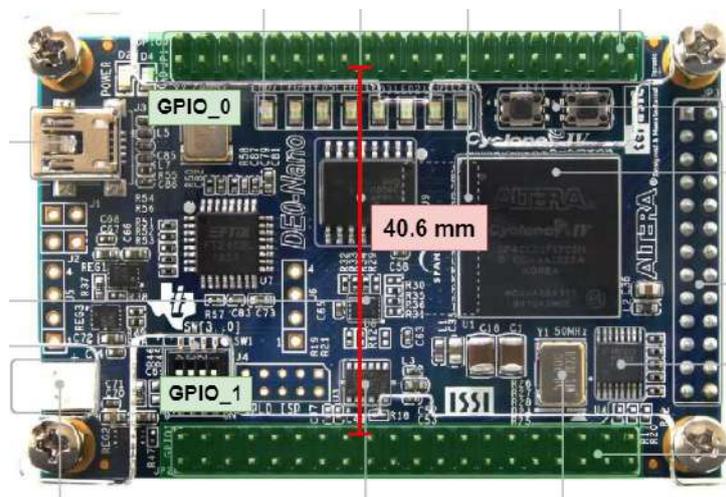


Figura 1.31: Espaciado GPIOs DE0-Nano

Otro de los criterios usados fue el de mantener separados los sectores digital y analógico de la placa para evitar interferencias, pues las conmutaciones de las señales digitales podrían inducir tensiones sobre las pistas analógicas. Esto implicaba mantener los bloques de atenuación y adecuación de señal, alimentación y referencia de tensión, separados de los bloques de ADC y conversión de nivel lógico.

También, resultaba necesario mantener al mínimo posible, la longitud de las pistas tanto de clock como de datos entre la FPGA y los ADCs. A partir de la especificación de tiempos de crecimiento tanto del ADC (datos binarios) como de la FPGA (señales de clock) se puede tener

una estimación del rango de longitud de pistas que garantice que las señales se comportan con parámetros concentrados y que no se producen problemas significativos de reflexión.

En base a estas consideraciones se llegó a un diseño como el que se ve en la imagen:

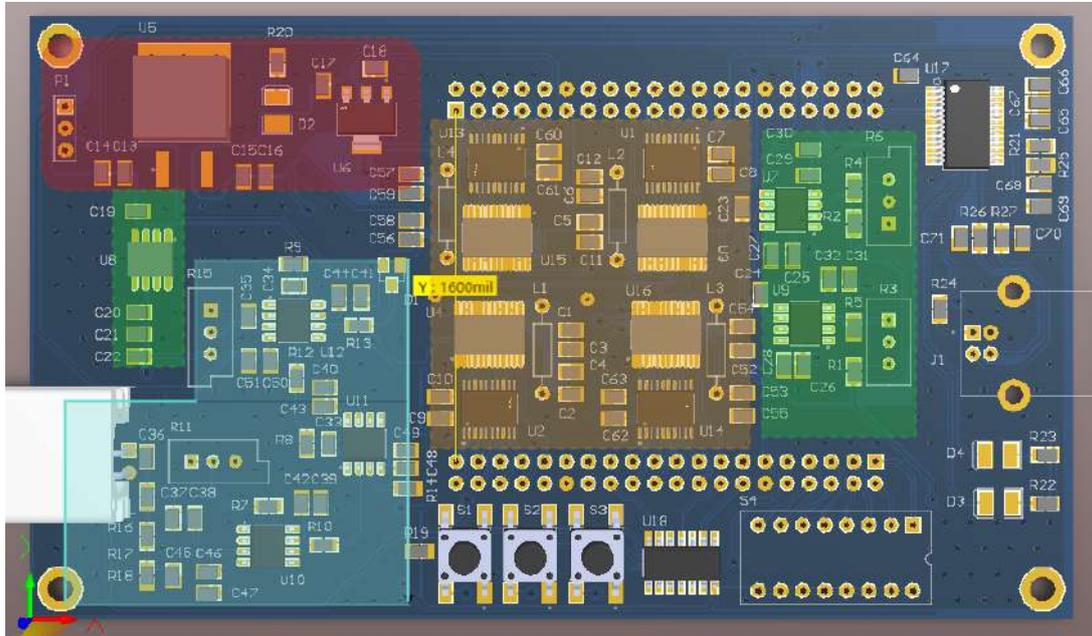
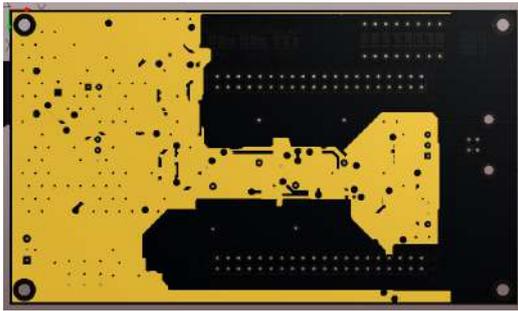


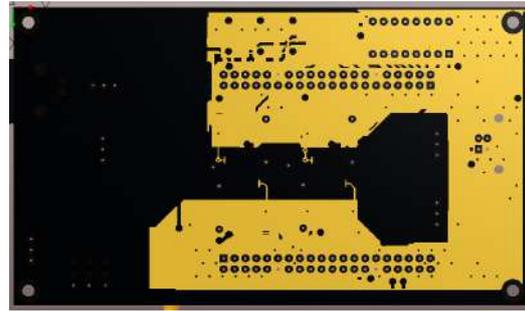
Figura 1.32: Diseño PCB (TOP)

Tal como se observa en la imagen, se respeta la distancia entre los GPIOs (1600mil = 40.64mm). El sector digital de la placa, donde se encuentra cada ADC con su respectivo convertidor, se ubica entre los zócalos (*sector naranja*). Esta disposición de los componentes permite que la señal a adquirir ingrese con la menor diferencia de longitud de pista posible, y permite al mismo tiempo, mantener idénticas y, al mínimo, la longitud de las pistas de clock y datos de cada ADC. En el sector de la izquierda queda ubicado, en la parte inferior (*sector celeste*), la entrada de señal (por el conector BNC hembra) con la etapa de adecuación, y en la parte superior los reguladores de tensión (*sector rojo*), y referencia de tensión (*sector verde*). Debido a cuestiones de espacio y evitar la superposición de pistas (lo cual causa problemas de interferencia), las fuentes de tensión usadas para las referencias superior e inferior de los ADCs, se ubicaron a la derecha (*sector verde*). Finalmente, la conexión USB se ubica en el extremo derecho de la placa, y, los pulsadores y dip-switch se ubican en la parte inferior.

La siguiente figura corresponde a la cara posterior de la placa (donde irán ubicados los zócalos) y puede observarse como las tierras digital y analógica se mantienen separadas. Además puede observarse también la inclusión de *via stitching* en los planos de GND analógico y digital. Esto busca ofrecer un camino de retorno para la corriente lo más corto posible reduciendo los problemas de interferencia.



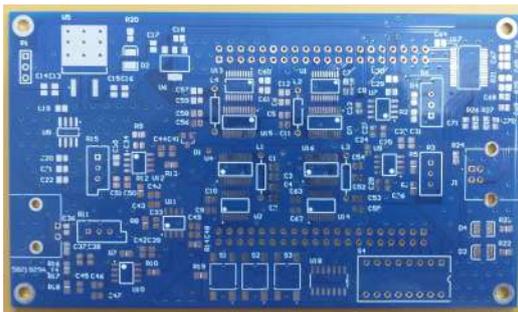
(a) GND analógica



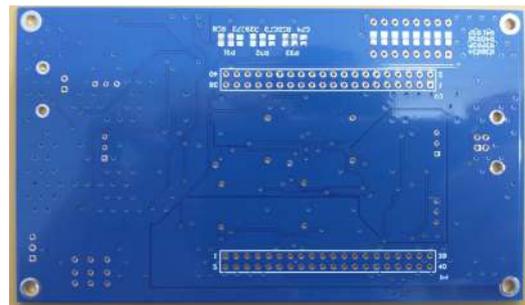
(b) GND digital

Una vez diseñado el PCB, se exportaron los archivos correspondientes a las distintas capas de la placa: *TOP layer*; *BOTTOM layer*; *Silkscreen* (donde se encuentra la serigrafía de los componentes); *Solder mask* (máscara anti soldante) y *Drills* (mapa de perforaciones). Estos archivos se enviaron al fabricante *JLC PCB* para la fabricación del circuito impreso.

El proceso de fabricación y envío demoró unos 20 días aproximadamente. A continuación puede verse una imagen de la placa ya fabricada:



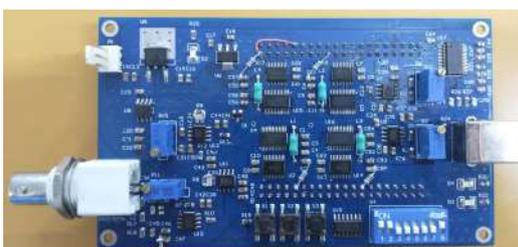
(a) PCB diseño final (TOP)



(b) PCB diseño final (BOTTOM)

Como paso siguiente, con un multímetro se realizó una inspección manual de continuidad entre pistas para detectar posibles cortocircuitos y evitar el daño de componentes.

Una vez verificado esto, se procedió a soldar los componentes en la placa, verificando siempre la ausencia de cortocircuitos entre los pines de los circuitos integrados y la continuidad entre los puntos de un mismo NET para cerciorarse de que la soldadura estaba correcta. El resultado puede verse en la imagen a continuación:



(a) Diseño final (TOP)



(b) Diseño final (BOTTOM)

1.3.3 Pruebas y modificaciones

Con todos los componentes y conectores ya soldados al PCB, se estaba en condiciones de realizar las pruebas pertinentes.

Para utilizar el sistema, lo primero que debe hacerse es cargar en la memoria de programación de la DE0-Nano el archivo del proyecto, habiendo incluido y conectado los bloques de PRNG que deseen utilizarse.

Para programar la FPGA se deben seguir las instrucciones comentadas en el *DE0-Nano: User Manual*, y, al final del proceso debe encenderse un patrón de leds como el que se ve en la imagen, como indicación de una programación exitosa.

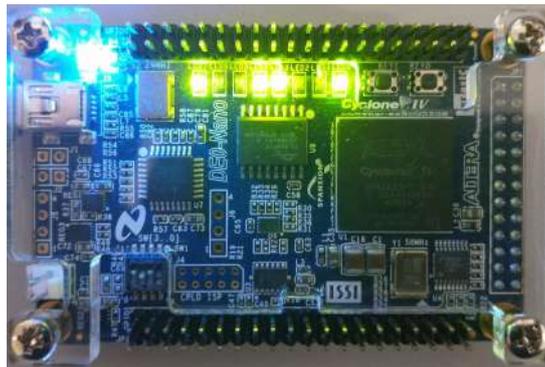
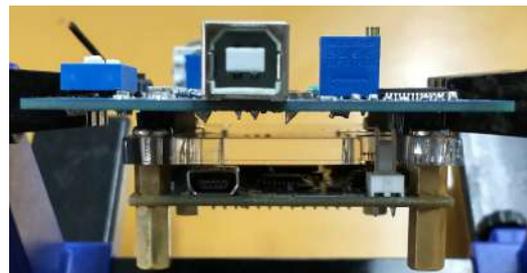


Figura 1.36: Patrón de programación exitosa (leds verdes b"10011001)

Lo siguiente es conectar la DE0-Nano a la placa de adquisición de la forma que se ve en las imágenes. Se puede observar que ambos conectores USB quedan orientados hacia el mismo lado (Figura 1.37b).



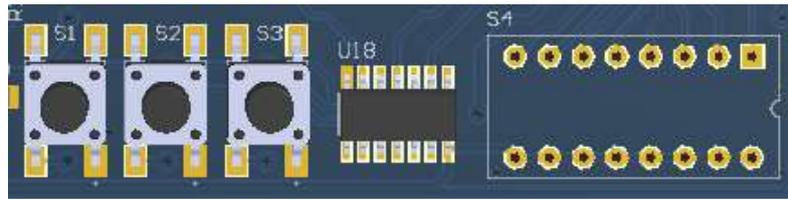
(a) Conexión placa - FPGA (BOTTOM)



(b) Conexión placa - FPGA (lateral)

Con ambas placas conectadas, se puede dar alimentación al sistema y se encenderán ambas placas. La DE0-Nano mostrará el patrón de luces mencionado anteriormente y en la placa de adquisición se enciende un led mostrando la presencia de +5V.

Lo siguiente es, conectar el cable USB a la PC, ingresar señal por el conector BNC y pulsar una vez el boton de *Reset* (S1 Figura 1.38) para inicializar correctamente al sistema.


Figura 1.38: Interfaz de usuario

Para configurar el sistema de adquisición se debe seleccionar el valor adecuado en el dip-switch, según la tabla que se ve a continuación, y luego, pulsar el botón *Config* (S2 Figura 1.38).

Funcionalidad	B1	B2	B2	B4	B5	B6	B7	B8
Deizmado	0	0	Valor					
Cantidad de procesos adquisición-envío	1	0	Valor					
Elección de PRNG	1	1	X	X	X	Valor		

Figura 1.39: Configuración de funcionalidades

Por último, para iniciar la adquisición se debe presionar el botón de *Start* (S3 Figura 1.38).

La tabla con el detalle de las pruebas realizadas se encuentra en el apéndice **Plan de Pruebas**. Aquí, en cambio, se hará énfasis en las modificaciones que debió hacerse respecto del diseño original. Se hará referencia a componentes del esquemático de la placa, el cual puede encontrarse en el apéndice **Especificación Técnica**.

La primera modificación fue la tensión de alimentación. Inicialmente, se utilizarían $\pm 15V$, ya que los amplificadores operacionales utilizados estaban especificados para esta tensión de alimentación. Sin embargo, en las primeras pruebas, sin conectar aún la DE0-Nano, el regulador de tensión **LM7805** sufría una gran elevación de temperatura.

Debido a esto se ajustó la tensión de alimentación al valor más cercano a $\pm 5V$ que fuese posible. La limitación estaba dada por el circuito integrado de referencia de tensión (**REF02**) que estaba especificado para una alimentación de $+8V$ como mínimo.

De esta forma el sistema se alimentará con una tensión de $\pm 8V$, lo cual permite que el regulador funcione a temperatura aceptable, manteniéndose además, la performance de la etapa de adecuación de señal.

La siguiente modificación se dio en el atenuador pasivo $\times 10$.

Durante una consulta técnica con la Cátedra de Trabajo Final, se observó que para el valor de resistencias del divisor de tensión, la corriente de bias del amplificador operacional (Figura 1.40) provocaría que, frente a variaciones de temperatura (en el rango de $0^{\circ}C$ a $40^{\circ}C$), la señal que se pretende medir no quede montada en un nivel de $+1,6 V$ como era necesario, si no que, este nivel variaría en una magnitud mayor al error del ADC ($\frac{1}{2}LSB \approx 4 mV$).

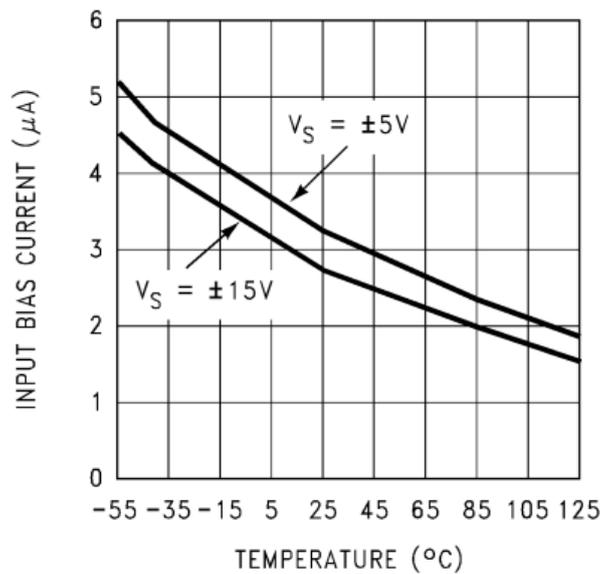


Figura 1.40: Corriente de bias VS temperatura LM7171

Para solucionar esto, se optó por un valor de resistencias tal que:

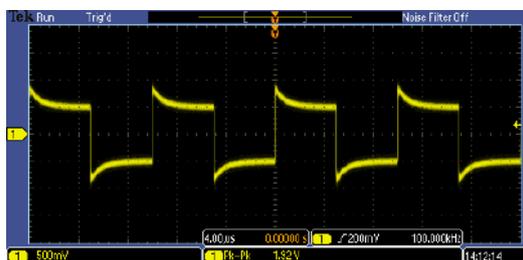
$$\Delta V_{offset} \approx R_{18} \cdot \Delta I_{bias} = R_{18} \cdot 1\mu A \leq \frac{1}{2} LSB = 4 mV \quad (1.1)$$

Es así que la resistencia R_{18} de 100 k Ω se cambió por una de 3.9 k Ω . Debiendo ajustarse también R_{16} y R_{17} para mantener la atenuación de 10 veces. Luego, $R_{16} \rightarrow 2.2 k\Omega$ y $R_{17} \rightarrow 33 k\Omega$.

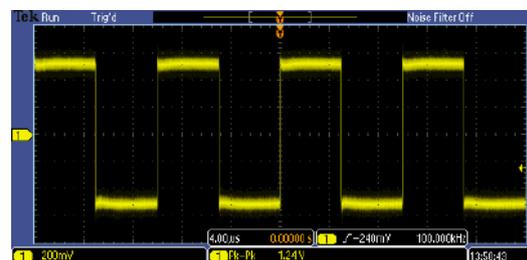
Lo siguiente fue el ajuste del divisor capacitivo.

Se observaba que al ingresar con una señal cuadrada, la salida presentaba un pico en el flanco de la señal, lo cual era indicativo de que la atenuación resistiva y capacitiva no estaban correctamente ajustadas e igualadas[1]. Luego de probar varios valores para C_{38} , se llegó a la conclusión de que el mejor resultado se obtenía sin el capacitor C_{38} .

En la imagen puede verse el cambio luego del ajuste.



(a) Atenuador descompensado



(b) Atenuador compensado

Como se observa, la situación es análoga al caso de una punta de prueba de osciloscopio descompensada.

Luego de realizar los ajustes mencionados, se realizó una medición de la frecuencia de corte de la etapa de adecuación de señal completa (Acople AC + Atenuador x10 + Filtro pasa-bajos), ingresando una señal senoidal con un generador de señales y barriendo en frecuencia.

Se observó que, al medir sobre el NET V_{filt} (pista por donde ingresa la señal a adquirir a los 4 ADCs), que la frecuencia de corte era menor a la calculada.

Se concluyó que la diferencia entre el valor calculado y el obtenido se debió a la capacidad parásita de los diodos Schottky en inversa, no considerada en los cálculos iniciales. Así, la resistencia serie R_{13} (de $1\text{ k}\Omega$) con la capacidad parásita de los diodos (20 pf típicamente), formaban una red RC pasa-bajos con una frecuencia de corte menor a los 30 MHz que se requerían.

$$f_c = \frac{1}{2\pi C_p \cdot 1K\Omega} = 8\text{ MHz}$$

La solución fue reducir el valor de la resistencia serie R_{13} de $1\text{ k}\Omega$ a 100Ω . La función de esta resistencia serie es limitar la corriente que circula por los diodos cuando se encuentran en conducción. Para el peor caso, ahora sería de $(8V - 5,6V)/100\Omega = 24\text{ mA}$, encontrándose aún dentro de los límites admitidos por el dispositivo.

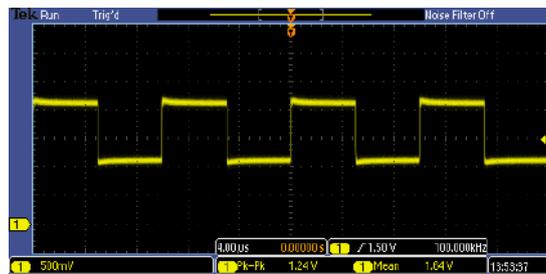


Figura 1.42: Señal cuadrada de 100 kHz a la salida del filtro (R_{13} ajustado)

Luego de los ajustes mencionados, como comprobación final, se graficó la respuesta en frecuencia de la etapa de Adecuación de señal utilizando un analizador de espectro.



(a) Salida del filtro



(b) Entrada de señal ADCs

La diferencia en el valor de atenuación que se observa entre la salida del filtro y la entrada de señal de los ADCs se debe a que en el punto de medición la impedancia de la fuente es de unos 115Ω (impedancia de salida del amplificador operacional (R_O) + resistencia serie R_{13}), y la impedancia de entrada del analizador es de 50Ω . Esto agrega una atenuación adicional de $\frac{R_L}{R_L + R_O + R_{13}} = 0.303 \rightarrow -10.4\text{ dB}$, que explica el valor obtenido.

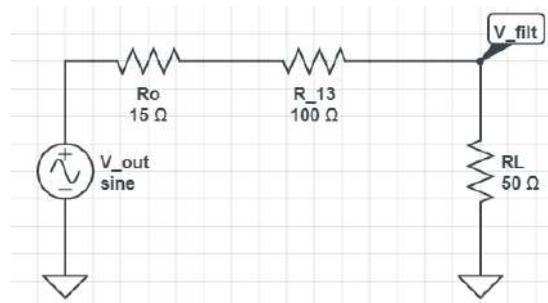
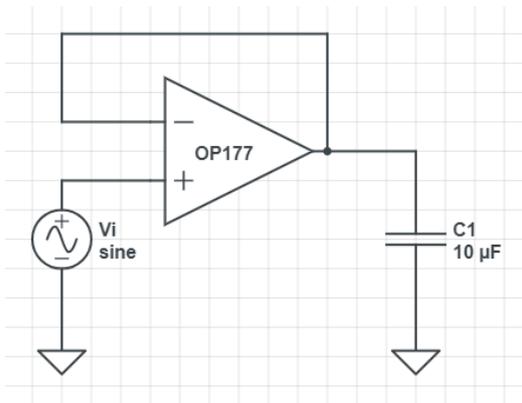


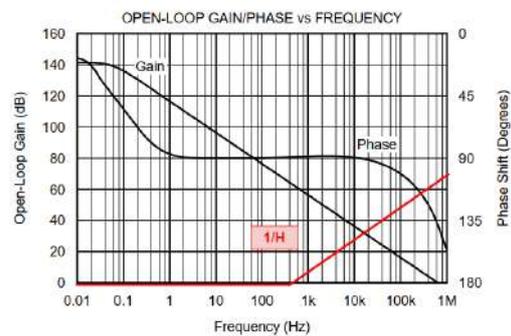
Figura 1.44: Punto de medición analizador de espectro

Otro de los aspectos que se trataron durante la consulta técnica con la Cátedra de Trabajo Final, fue el circuito de referencia de tensión.

La topología utilizada, en principio, no permitiría manejar la carga capacitiva de $10\mu F$ que tenían los amplificadores operacionales. Este circuito resulta inestable, provocando oscilaciones a la salida del amplificador, y además, es difícilmente observable debido a que la red RC formada por la impedancia de salida del OP. Amp. en conjunto con el capacitor de carga, filtra la mayoría de las oscilaciones, provocando que a simple vista pareciese que no hay problema alguno, no obstante se evidenciaría un aumento de temperatura en el amplificador operacional.

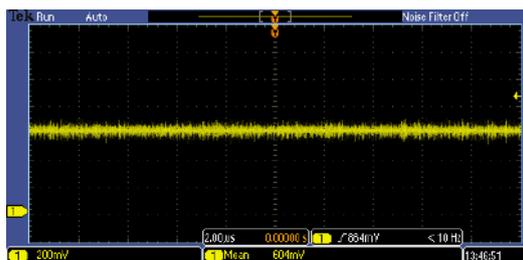


(a) Seguidor de tensión sin red de compensación

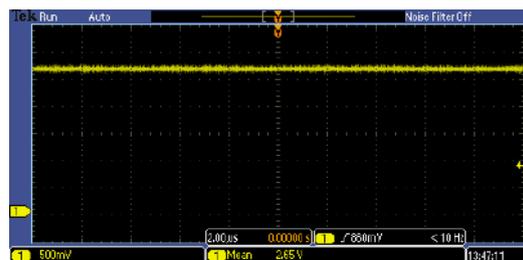


(b) Análisis de estabilidad OP177

Contrario a lo esperado, al realizar mediciones sobre el circuito se encontró una tensión estable (sin oscilaciones) y de los valores deseados. Además de que no se encontró un aumento de temperatura en los amplificadores.



(a) Bottom Reference (+0.6V)



(b) Top Reference (+2.6V)

Se optó por no realizar modificación alguna en esta parte del circuito, ya que cumplía su función satisfactoriamente, además de que el agregado de una red de compensación implicaría cortar pistas del PCB pudiendo dañar la placa en el proceso.

Finalmente, la única modificación en esta etapa fue el ajuste de unos resistores que fueron mal calculados inicialmente. Esto no implicó mayores contratiempos, ya que, se precisaba simplemente desoldar y soldar resistencias de otro valor.

- $R_2 \rightarrow 10\text{ k}\Omega$
- $R_4 \rightarrow 1,2\text{ k}\Omega$
- $R_6 \rightarrow 200\Omega$
- $R_3 \rightarrow 500\Omega$

La siguiente modificación se dio en las líneas de clock.

En uno de los ADCs se ruteó la pista de clock a un pin GPIO de la FPGA que solo funcionaba como entrada. Debido a esto, se debió colocar un puente utilizando cable, hasta el pin libre más cercano que pueda ser utilizado como salida.

Adicionalmente, se agregaron resistencias de pull-down (de $10\text{ k}\Omega$) en cada entrada de clock, de modo que, en ningún momento queden flotantes, lo cual podría provocar un funcionamiento errático del ADC.

Luego de la modificación, la línea de clock quedó como se ve a continuación.

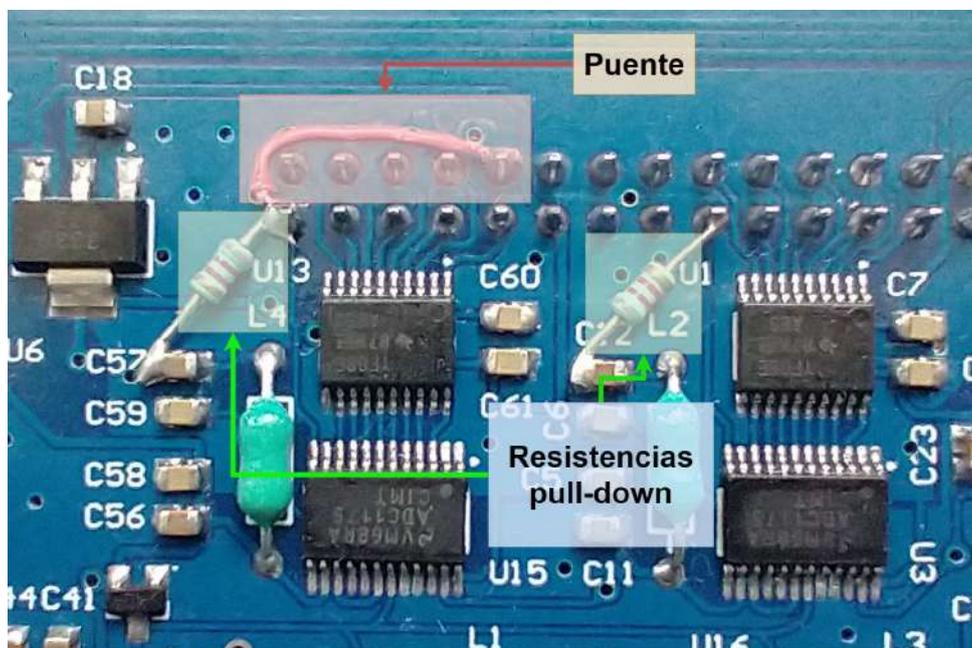


Figura 1.47: Modificaciones en líneas de clock

Otro aspecto a mencionar es la forma de onda de la señal de clock.

La señal que esperaba verse es una señal pulsada de $3,3\text{ V}$ de amplitud y 15 MHz de frecuencia, no obstante, la señal que se ve en pantalla (Figura 1.48) presenta oscilaciones

y amplitud mayor a la esperada. Esto puede deberse a 2 razones: primero al efecto de la inductancia serie de la pista de clock, cosa que se buscó subsanar en alguna medida con la inclusión de las resistencias de pull-down; y en segundo lugar el efecto de reflexión de la onda, debido al pequeño tiempo de crecimiento que tiene la tecnología de la FPGA, la longitud de la pista, que si bien se ha diseñado al mínimo posible, puede cobrar relevancia observándose que la señal ingresada y reflejada se sumen, en alguna proporción, en la entrada de clock del ADC.

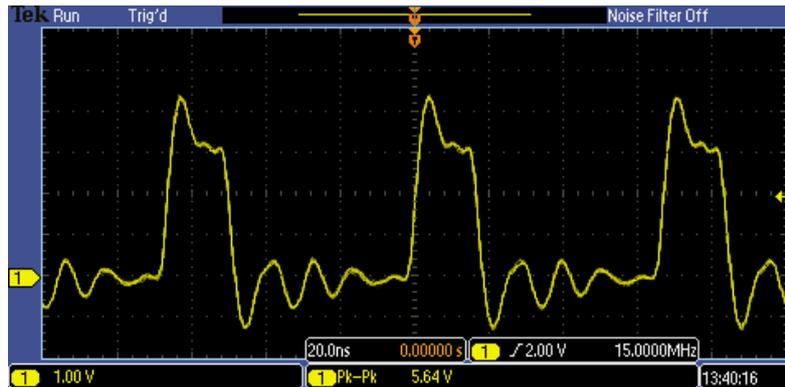


Figura 1.48: Señal de clock

A pesar de esta situación, los ensayos realizados sobre el sistema, evidencian que esto no afecta ni impide el correcto funcionamiento del mismo. Así, esta situación queda como un aspecto a mejorar a futuro.

La última, y probablemente más importante modificación, se dio en el sistema implementado en FPGA.

La idea inicial era guardar en memoria la conversión realizada por cada ADC a medida que cada uno iba muestreando.

Para el caso del muestreo secuencial, con una secuencia fija no-aleatoria, el proceso funcionaba correctamente, y, usando un Script desarrollado en *Matlab* (apéndice), se graficaba los datos enviados por la placa, encontrándose que coincidía a la perfección con la señal seteada en el generador de señales.

No obstante, para el caso del muestreo aleatorio la señal graficada mantenía aproximadamente la forma, pero tenía una especie de ruido o muestras que no se condecían en absoluto con la forma esperada de la señal.

Luego de análisis y simulaciones exhaustivas en el sistema implementado en FPGA, se llegó a la conclusión de que este funcionaba correctamente, pero, había una cuestión que no fue tomada en cuenta en un principio.

En la hoja de datos del **ADC 1175-50** se puede observar el siguiente diagrama de tiempos:

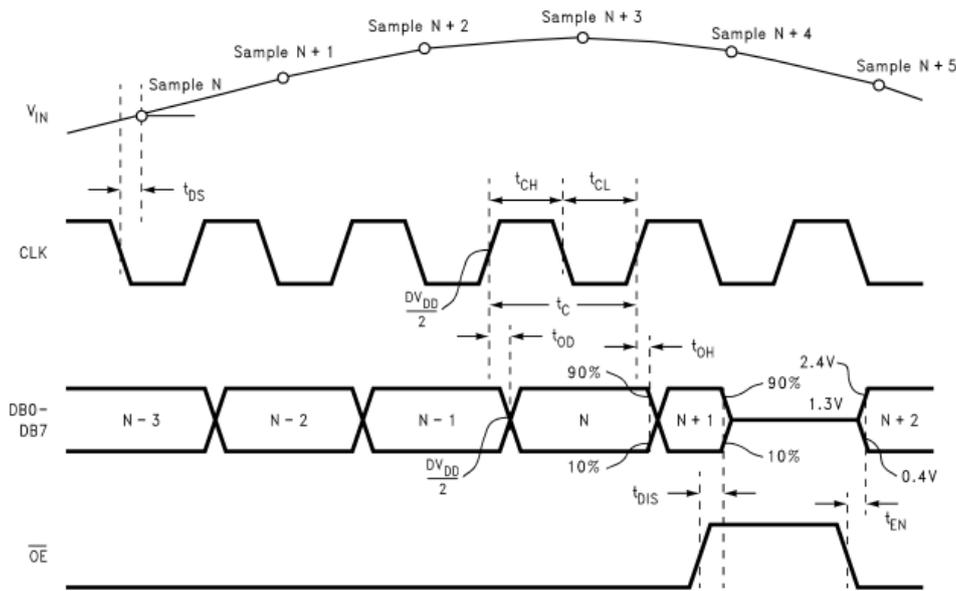


Figura 1.49: Diagrama de tiempos ADC 1175-50

Como puede notarse, estos ADCs tienen una tecnología tipo *pipeline* la cual requiere de varios ciclos de clock sucesivos (3 en este caso) para finalizar la conversión y entregar el valor correcto a la salida.

Esto provoca que en el caso de una secuencia fija, el proceso de muestreo se desarrolle sin problemas, pues el orden en el que se toman las muestras y el orden con el que van apareciendo los valores digitalizados a la salida, es exactamente el mismo (Figura 1.50).

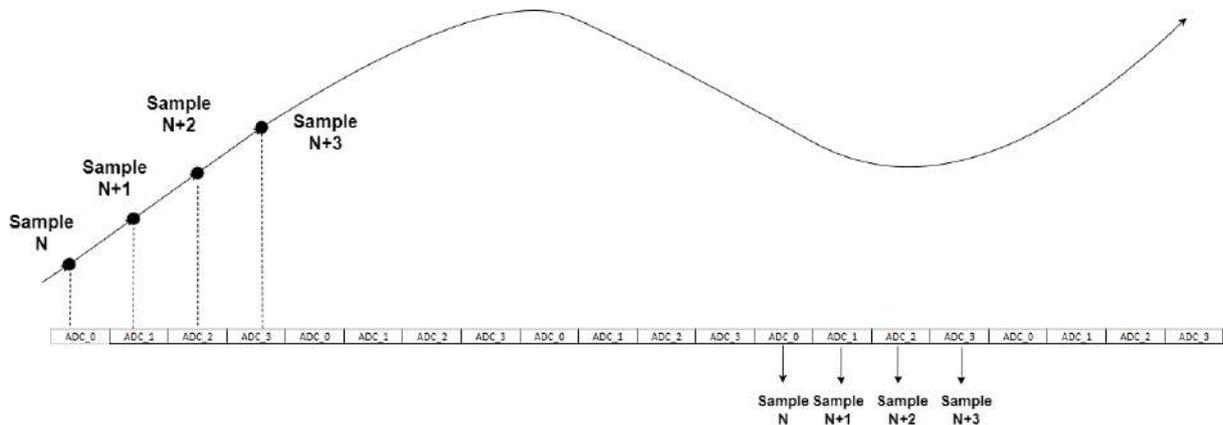


Figura 1.50: Muestreo con secuencia fija

En el caso aleatorio, no obstante, cuando llega el primer pulso de clock al ADC, este retiene el valor de la señal, y deberá esperar a que le lleguen 3 ciclos de reloj más para entregar la conversión correspondiente al valor almacenado. Sin embargo, a alguno de los ADCs que hayan almacenado el valor de la señal en un instante posterior, podrían llegarle los 3 pulsos de clock antes que al primer ADC.

De esta forma la secuencia con la que se almacenan las muestras en memoria no se condice en absoluto con el orden en el cual fue muestreada la señal (Figura 1.51), resultando en una deformación total de la señal adquirida.

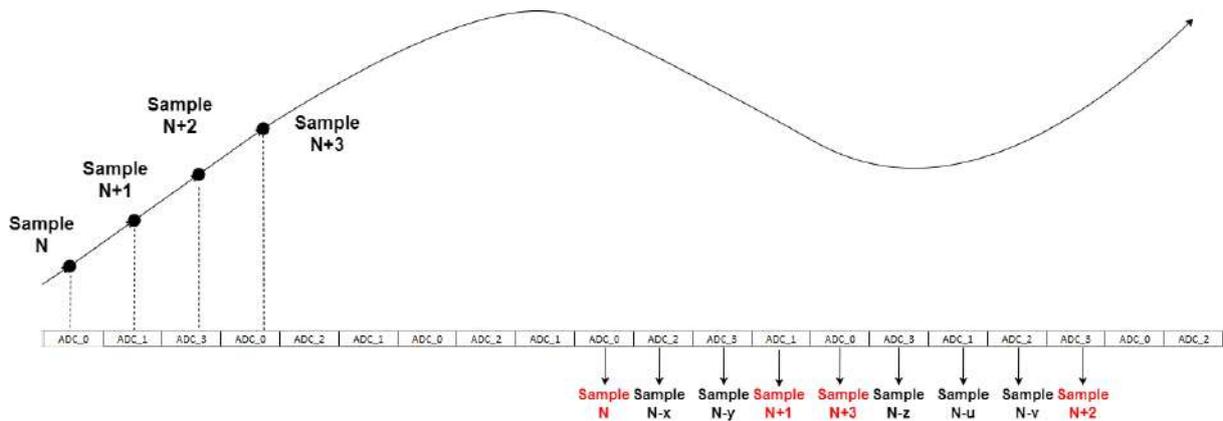


Figura 1.51: Muestreo con secuencia aleatoria

Así, luego de evaluar varias posibilidades, se optó por almacenar en memoria tanto el valor de la muestra, como el ID del ADC que realizó esa conversión. De esta forma, mediante *software* puede realizarse un ordenamiento de las muestras previo a graficarlas o almacenarlas en una planilla de cálculo.

El algoritmo desarrollado que realiza el ordenamiento es el siguiente:

```

1
2 function [data_ord, inicio] = Ordenamiento_secuencia(secuencia,
3             data_input)
4
5 inicio = 1;
6 data_ord = zeros(1,length(secuencia));
7
8 for i = 1: length(secuencia)
9     m = 1;
10    x = secuencia(i);
11    cycles_count = 0;
12    while cycles_count < 4
13
14        %(Operando a 50MHZ) Si el indice (m) supera el valor 50 quiere decir
15        que al adc le llego un pulso de 1 Mhz que es lo minimo permitido%
16
17        if (m > 50) || (i+m > length(secuencia))
18            if i == 1
19                data_ord(i) = 0;
20            else
21                data_ord(i) = data_ord(i-1);
22            end
23            break
24        end
25
26        if secuencia(i+m) == x
27            cycles_count = cycles_count +1;
28        end
29
30        %Cuando cuento 3 ciclos de reloj, la muestra en ese instante es valida
31        y corresponde al indice de hace 3 ciclos atras%
32
33        if cycles_count == 4
    
```

```
31 data_ord(i) = data_input(i+m);  
32 if i == 1  
33 inicio = m;  
34 end  
35 end  
36 m = m + 1;  
37 end  
38 end  
39
```

En pocas palabras, el programa se posiciona en el ID del primer ADC que aparezca, luego cuenta hasta la tercera ocurrencia de ese ID, lo cual es un indicativo de que en ese momento la muestra en la salida se corresponde con el momento donde ocurrió la primera aparición del ID. Luego, el programa se posiciona sobre el segundo ID que aparezca y realiza sucesivamente el mismo proceso. De esta forma las muestras quedan ordenadas, y recuperan su relación en el tiempo.

En las siguientes imágenes puede verse un ejemplo de adquisición una señal cuadrada y otra senoidal, de $10V_{pp}$ y frecuencia $1MHz$, antes y después del proceso de ordenamiento.

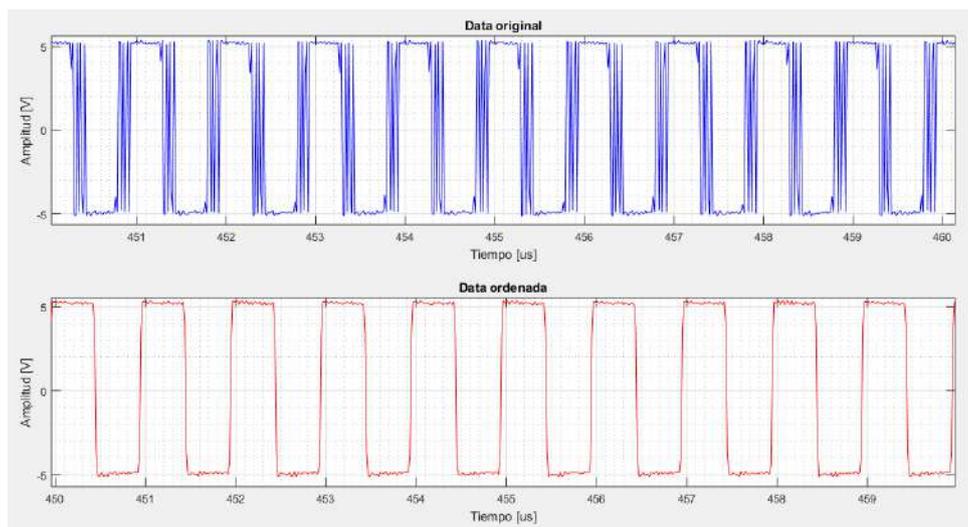


Figura 1.52: Muestreo aleatorio de señal cuadrada

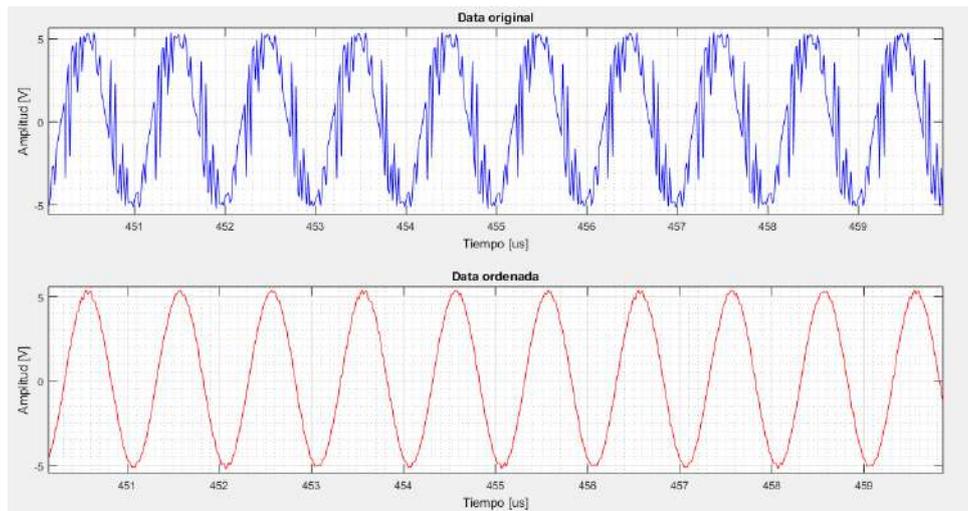


Figura 1.53: Muestreo aleatorio de señal senoidal

Puede verse que en el caso del muestreo secuencial, tal como se había explicado, no ocurre inconveniente, con lo cual tanto la señal sin ordenar como la ordenada son idénticas.

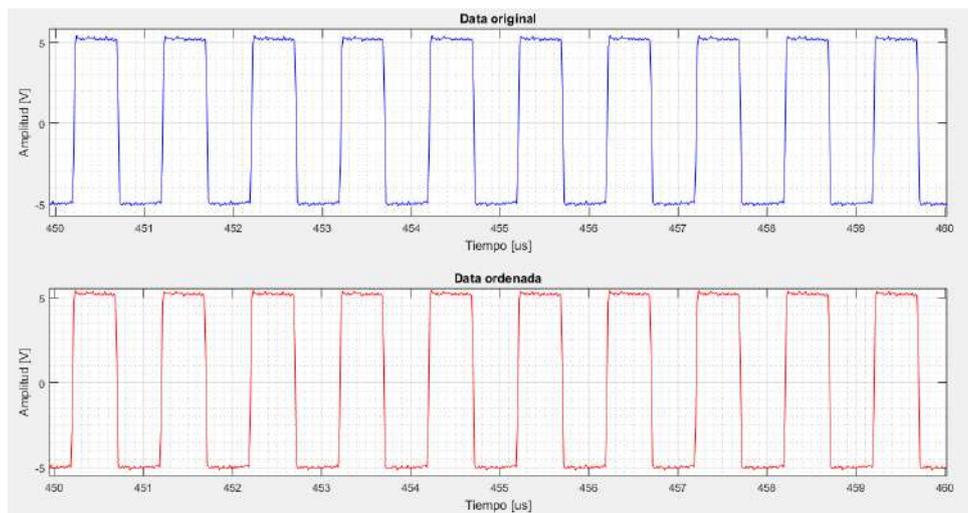


Figura 1.54: Muestreo secuencial de señal cuadrada

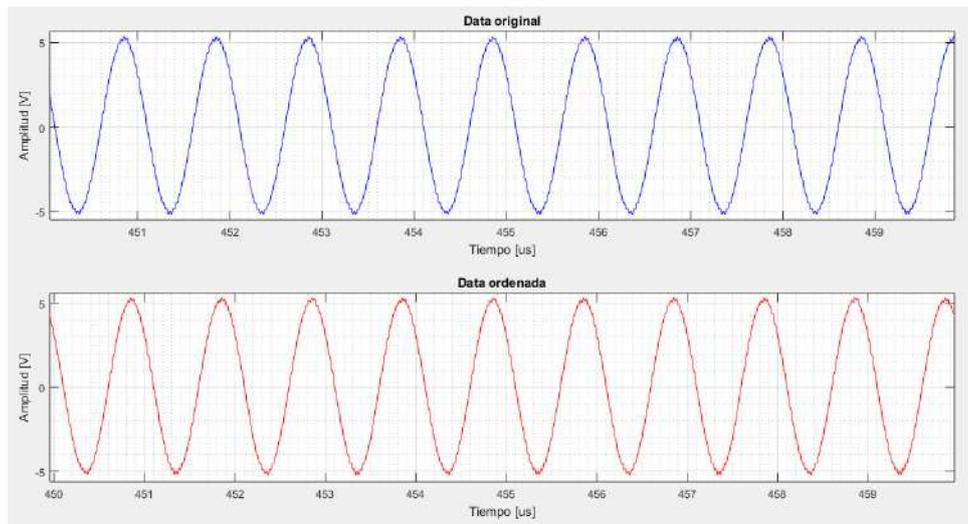


Figura 1.55: Muestreo secuencial de señal senoidal

1.4 Conclusiones

El trabajo final de la carrera transcurrió en un periodo aproximado de un año y medio, durante el cual se tuvo la oportunidad de aplicar los conceptos aprendidos durante la carrera.

También se debió incursionar en temas desconocidos como el diseño de PCB, por ejemplo, e investigar publicaciones científicas que pudiesen resultar de utilidad para el desarrollo que se llevaba a cabo.

Se valora el hecho de haber podido unificar y reafirmar los conocimientos ya adquiridos, además de encontrarse con dificultades que requerían tener en consideración aspectos físicos que generalmente no eran tenidos en cuenta durante el estudio de los modelos simplificados de los dispositivos electrónicos. Tal es el caso del efecto de capacidades parásitas en la etapa de adecuación de señal que hacían que el resultado fuese distinto del esperado en primera instancia.

El proyecto implicó desarrollos tanto digitales como analógicos. En el aspecto digital se pudo ahondar sobre el desarrollo de sistemas sincrónicos en FPGA, además de tener en cuenta los tiempos de conversión de los ADCs para lograr el funcionamiento del sistema.

Fue interesante también, el proceso del diseño de PCB, donde se pudo pasar de circuitos meramente esquemáticos, a un diseño físico donde resultaban relevantes aspectos como las dimensiones físicas de los componentes (ya que la placa fue diseñada para conectarse modularmente a otra), la disposición de los circuitos, teniendo en mente mantener la integridad de las señales, a la vez de tener en cuenta que el diseño resulte cómodo y funcional para el usuario.

Luego de las pruebas realizadas y la verificación del cumplimiento de los requerimientos, se puede concluir que el desarrollo de la placa de adquisición ha concluido con éxito.

El personal del LSC ha podido comprobar de primera mano las funcionalidades del sistema, el cual quedará ahora a su disposición para el estudio del efecto de los PRNGs en el proceso de adquisición de señales.

Bibliografía

- [1] Oliver Bernard y John Cage. *Electronics measurments and instrumentation*. 1971.
- [2] Howard Johnson y Martin Graham. *High-Speed Digital Design*. 1993.
- [3] By Gabriele Manganaro y Dave Robertson. "Interleaving ADCs : Unraveling the Mysteries". En: *Analog Dialogue* 49 (07 2015).
- [4] Alan Oppenheim y Schafer Ronald. *Tratamiento de Señales en Tiempo Discreto*. 2009.
- [5] Mamoru Tamba et al. "A method to improve SFDR with random interleaved sampling method". En: *IEEE International Test Conference (TC)* (2001). ISSN: 10893539. DOI: [10.1109/TEST.2001.966669](https://doi.org/10.1109/TEST.2001.966669).
- [6] Christian Vogel y Håkan Johansson. "Time-interleaved analog-to-digital converters: Status and future directions". En: 2006. DOI: [10.1109/iscas.2006.1693352](https://doi.org/10.1109/iscas.2006.1693352).

Capítulo 2

Apéndices

2.1 Especificación de Requerimientos

2.1.1 Introducción

Este documento contiene los requerimientos del proyecto de desarrollo de una placa de adquisición basada en la técnica de "Time Interleaving".

Propósito

Este documento define y describe los requerimientos de operación, desempeño y calidad de la placa de adquisición propuesta en el marco del Trabajo Final de la carrera de Ingeniería Electrónica de la Universidad Nacional de Mar del Plata.

Este documento está dirigido a todos los involucrados en el desarrollo del proyecto, sirviendo como apoyo para dejar en claro los requerimientos funcionales, no funcionales y las diferentes condiciones que regirán el proyecto en todas las etapas de su desarrollo. Esta especificación pretende definir un marco de trabajo para la realización del sistema propuesto.

Alcance

Este proyecto se desarrolla en base a la propuesta realizada por el Laboratorio de Sistemas Caóticos (L.S.C.) de evaluar la utilización de Generadores de Números Pseudo Aleatorios (P.R.N.G.) en la técnica de Time Interleaving.

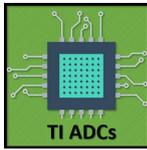
Se define como proyecto entonces, el desarrollo de una placa de adquisición basada en la técnica de Time Interleaving, y que además pueda ser utilizada como un módulo (shield) compatible con la placa de desarrollo DE0-Nano [Figura 2.1](#) (placa de desarrollo FPGA). En este documento se definen los requerimientos no funcionales de la placa, como usabilidad, confiabilidad, desempeño, entre otros, al igual que los requerimientos funcionales de la misma, necesarios para los usuarios propuestos.



Figura 2.1: Placa de desarrollo FPGA DE0-Nano

2.1.2 Descripción general

Se detallan a continuación, los aspectos que hacen al contexto de los requerimientos.



Perspectiva del producto

El producto consiste en un sistema de adquisición de señal, que se conecta de forma modular a una placa de desarrollo FPGA. La placa permite muestrear señales de alta velocidad y transferir los datos a una PC para su posterior análisis. Su característica principal es la posibilidad de seleccionar el tipo de PRNG a utilizar, a fin de estudiar cómo influye en la performance del sistema de adquisición.

Funciones del producto

El sistema desarrollado consistirá en:

- Placa de adquisición con conectores para alimentación, punta de prueba para medir señal, y zócalos hembra para ser conectada de forma modular a la placa de desarrollo DE0-Nano.
- Interfaz de transferencia de datos adquiridos a PC.
- Código VHDL para programar la placa de desarrollo DE0-nano con las funcionalidades requeridas.
- Arreglo de switches para seleccionar PRNG a utilizar.

Interfaces de usuario

El usuario podrá seleccionar el periodo y tipo de PRNG mediante un arreglo de switches en la placa. Se adjuntará un documento instructivo para este propósito.

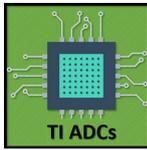
Características del usuario

El dispositivo está ideado para ser utilizado por los investigadores del L.S.C. Además, puede ser utilizado como placa de adquisición de propósito general.

2.1.3 Requerimientos específicos

Interfaces externas

- Indicador de encendido.
- Switches selectores de PRNG.
- Conector de alimentación +/- 15V
- Conector para punta de prueba.
- Conector USB para interfaz con PC.
- Zócalo para conexión con placa de desarrollo FPGA (DE0-Nano)



Funciones

- Realizar adquisición de señal a frecuencia fija por encima de 1MHz.
- Permitir variar el periodo del PRNG y su utilización o no.
- Transmitir los datos adquiridos a una PC.
- Posibilidad de diezmado de muestras para adquirir señales más lentas.

Requisitos de rendimiento

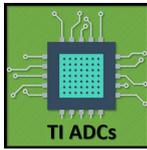
- Adquisición de señal a frecuencia por encima de 1MHz.
- Resolución de 8 bits.
- Rango de tensión de entrada fijo (20 Vpp).

Restricciones de diseño

- El sistema debe poder conectarse modularmente a la placa de desarrollo DE0-Nano.
- El conector de entrada de señal debe permitir utilizar puntas de prueba de osciloscopio.
- Permitir seleccionar de forma sencilla el PRNG.
- El diseño de la placa debe ser tal que, el error en la medición se encuentre limitado únicamente por la resolución de los ADC's utilizados.
- Por cuestiones de practicidad se espera que las dimensiones de la placa a desarrollar no excedan los 15 x 20 cm (no es una restricción como tal).

2.1.4 Atributos del sistema

- **Disponibilidad:** El dispositivo se debe encontrar siempre disponible para ser utilizado bajo las condiciones para las cuales fue diseñado.
- **Fiabilidad:** Debe ser un sistema confiable, de modo que las muestras de señal reflejen fielmente la señal a medir, manteniendo la resolución esperada.
- **Usabilidad:** El dispositivo debe poder ser utilizado por personal del L.S.C. y permitir modificar de forma sencilla los parámetros de la placa que interesan para la investigación.



2.2 Especificación funcional

2.2.1 Ficha del documento

Fecha	Versión	Descripción	Autor
12/04/20203	1.0	Versión inicial	Matias Medina
12/07/20203	1.1	Correcciones y formato	Matias Medina

2.2.2 Introducción

Este documento corresponde a la Especificación Funcional de la placa de adquisición a desarrollar. Esta especificación se ha estructurado basándose en la información mencionada en el documento de Especificación de Requerimientos (ER).

Propósito del documento

El presente documento tiene como propósito proveer información detallada de cómo funcionará el sistema, cuáles serán sus comportamientos deseados y cómo se deberá construir, con base en los requerimientos anteriormente definidos en la (ER).

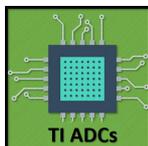
Está dirigido a todo aquel que se encuentre involucrado en el uso y aplicación de este sistema en cuestión, sirviendo el presente documento como guía para el entendimiento básico de los requerimientos funcionales y las diferentes condiciones que regirán el proyecto en todas las etapas de su desarrollo.

Alcance del proyecto

En el marco del trabajo final de grado se plantea diseñar y construir una placa de adquisición de señales, que posibilite el estudio de la técnica de "Time Interleaving", y que funcione como interfaz para la (DE0-Nano). Será desarrollado íntegramente por el autor del proyecto, supervisado y aprobado en cada etapa por los directores del Laboratorio de Sistemas Caóticos (LSC), y presentado finalmente para su aprobación final al responsable de la cátedra de Trabajo Final.

Personal involucrado

Nombre	Matías Medina
Rol	Desarrollador
Categoría profesional	Estudiante
Responsabilidad	Desarrollo y diseño
Información de contacto	matias.medina1302@gmail.com

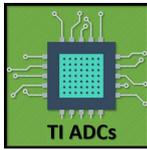


Nombre	Lucas Rabioglio
Rol	Co-Director
Categoría profesional	Ingeniero
Responsabilidad	Tutelar y orientar en el diseño y eguimiento del desarrollo del proyecto
Información de contacto	lucas.rabioglio@fi.mdp.edu.ar

Nombre	Gustavo Zabaleta
Rol	Director
Categoría profesional	Doctor e Ingeniero
Responsabilidad	Tutelar y orientar en el diseño y eguimiento del desarrollo del proyecto
Información de contacto	omargustavoz@gmail.com

Definiciones, acrónimos y abreviaturas

Acrónimo	Significado
DE0-Nano	Placa de desarrollo FPGA de la marca <i>Terasic</i>
<i>Time Interleaving</i>	Técnica de adquisición mediante la cual se aumenta la frecuencia de muestreo efectiva de un sistema, utilizando ADCs de manera intercalada en el tiempo
ADC	Dispositivo conversor analógico-digital
FPGA	<i>Field Programmable Gate Array</i>
VHDL	Lenguaje de descripción de <i>Hardware</i>
LPF	Filtro pasa bajos
PC	Computadora personal
Bit	Digito binario
USB	<i>Universal Serial Bus</i>
<i>Clock</i>	Señal de temporización para circuitos digitales
UART	<i>Universal Asynchronous Reciver/Transmitter</i>
PRNG	Generador de números pseudo-aleatorio
Aliasing	Solapamiento



Referencias

- CI ADC1175. [Online]. Available: <https://pdf1.alldatasheet.com/datasheet-pdf/view/622726/TI1/ADC1175.html>
- CI LM7171. [Online]. Available: <https://pdf1.alldatasheet.com/datasheet-pdf/view/620105/TI1/LM7171.html>
- De0-Nano. [Online]. Available: <https://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=139&No=593&PartNo=4#contents>
- C. Vogel and H. Johansson, "Time-interleaved analog-to-digital converters: status and future directions," *2006 IEEE International Symposium on Circuits and Systems*, 2006, pp. 4 pp.-3389.
- Manganaro, G., & Robertson, D. (2015). "Interleaving ADCs: Unraveling the Mysteries." *Analog Dialogue*, 49(7).
- Tamba, M., Shimizu, A., Munakata, H., & Komuro, T. (2001, November). A method to improve SFDR with random interleaved sampling method. In *Proceedings International Test Conference 2001 (Cat. No. 01CH37260)* (pp. 512-520). IEEE.
- Mark Looney (August, 2003) "Advanced Digital Post-Processing Techniques Enhance Performance in Time-Interleaved ADC Systems", *Analog Dialogue* 37-8.

2.2.3 Descripción del dispositivo

El dispositivo a diseñar consiste en una placa de adquisición, compuesta por 4 ADCs que pueden trabajar de forma independiente, posibilitando así el estudio de la técnica de "Time Interleaving", lo cual es el objetivo del (LSC). La placa a diseñar se conecta a la DE0-Nano de forma de recibir las señales de clock para cada ADC y enviar las muestras digitalizadas a la memoria de la FPGA que se encuentra en la placa DE0-Nano. Las muestras almacenadas en memoria de la FPGA, posteriormente se envían por USB a una PC para poder analizarlas. Por otro lado, el proyecto implica también, el desarrollo del código VHDL para programar la FPGA Cyclone IV E contenida en la placa de desarrollo DE0-Nano. De esta forma el conjunto funcionará como un sistema de adquisición el cual envía los datos a una PC. El esquema general del sistema se puede apreciar en la siguiente figura:

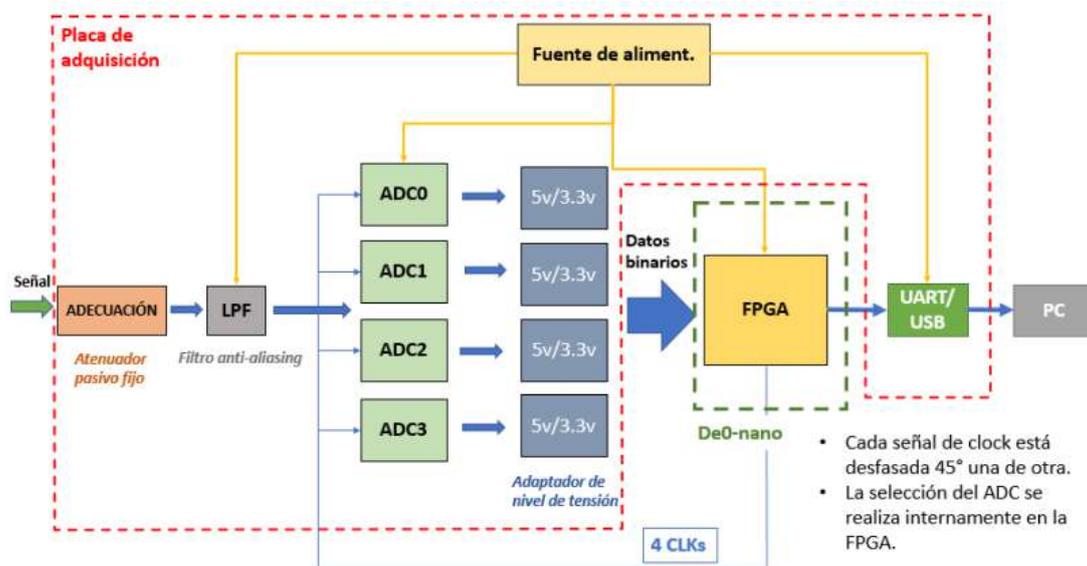


Figura 2.2: Esquema general del sistema

Adecuación de señal

Esta etapa está compuesta por el Atenuador pasivo fijo y Filtro *anti-aliasing*. Tiene por objetivo, ajustar la señal de entrada a una amplitud de $2V_{pp}$, que es el rango de conversión de los ADCs, sumar una tensión de *offset* para centrar la conversión a la mitad del rango de los ADCs y, por último, limitar la frecuencia máxima de la señal de entrada para evitar el fenómeno de *aliasing*.

Conversión analógico-digital

Esta etapa está compuesta por los ADCs y el adaptador de nivel lógico. Se encarga de digitalizar la señal de entrada con una resolución de 8 bits y ajustar el nivel de tensión para que sea compatible con el de la FPGA.

FPGA

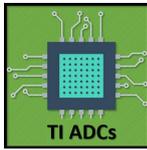
Se encuentra en la placa de desarrollo DE0-Nano, y mediante su programación con código VHDL, adquiere las funcionalidades necesarias, las cuales son: generar las señales de clock para cada ADC, almacenar los datos digitalizados en memoria, y enviarlos hacia la interfaz USB de la placa de adquisición.

UART/USB

Este módulo contenido en la placa de adquisición recibe los datos en formato serie desde la FPGA, y los envía mediante USB a una PC.

Alimentación

Este bloque recibe una tensión general de alimentación ($\pm 15V$) y se encarga de generar las demás tensiones de alimentación para cada sector de la placa.



Interfaz de usuario

Un último bloque no incluido en el esquema por simplicidad, es la interfaz con el usuario. En la placa de adquisición se incluirán: leds como indicadores visuales de funcionamiento del dispositivo; pulsadores y *switches* para implementar las funciones de *Reset* general del sistema, diezmo de muestras y selección del generador PRNG para la técnica de "*Time Interleaving*".

2.2.4 Especificaciones funcionales

RF01: Acondicionamiento de la señal de entrada

El sistema debe ser capaz de adquirir señales de amplitud $20V_{pp}$ con una frecuencia máxima de $30Mhz$. Se pretende cumplir este requerimiento con la etapa de adecuación de señal mencionada anteriormente.

RF02: Muestreo independiente de cada ADC

La técnica de "*Time Interleaving*" que él (LSC) desea estudiar, requiere que los ADCs muestreen siguiendo una secuencia basada en el PRNG elegido por el usuario, lo cual implica una línea de clock particular para cada ADC de la placa. Este requerimiento se pretende cumplir con el diseño del bloque de conversión analógico-digital mencionado anteriormente.

RF03: Posibilitar elección de distintos PRNGs

Para poder estudiar la influencia de distintos tipos de PRNGs en la técnica de "*Time Interleaving*", el usuario de la placa de adquisición debe poder seleccionar que PRNG se utilizará. Este requerimiento se cumple mediante el bloque de Interfaz de Usuario.

RF04: Enviar datos a PC

A fin de estudiar las muestras y extraer conclusiones, se requiere que la placa pueda enviar las muestras digitalizadas almacenadas en memoria de la FPGA a una PC. Para ello el bloque UART/USB funcionará como interfaz de comunicación entre la placa y la PC.

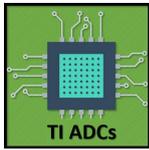
2.2.5 Requerimientos no funcionales

RNF01: Conexión modular

El diseño físico de la placa de adquisición debe permitir conectarse de forma modular con la placa DE0-Nano. Se desea también que la placa a diseñar tenga dimensiones que no excedan por mucho las de la DE0-Nano ($5x7.5cm$).

RNF02: Punta de prueba

Para la medición de la señal de interés, se pretende que se pueda utilizar una punta de prueba comercial de osciloscopio. Para ello en la etapa de adecuación de señal se requiere de un conector apropiado y de la adaptación eléctrica necesaria para la punta de prueba.



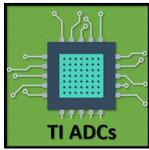
2.2.6 Requerimientos de rendimiento

RR01: Amplitud y frecuencia de señal de entrada

El sistema debe ser capaz de adquirir señales de amplitud máxima $20V_{pp}$ y frecuencias de hasta $30MHz$.

RR02: Resolución

Se requiere una resolución de $8bits$ para la digitalización de las muestras.



2.3 Especificación Técnica

2.3.1 Ficha del documento

Fecha	Versión	Descripción	Autor
5/05/2023	1.0	Versión inicial	Matias Medina
25/07/2023	1.1	Correcciones y formato	Matias Medina
3/08/2023	1.2	Correcciones finales	Matias Medina

2.3.2 Introducción

Este documento corresponde a la Especificación Técnica (ET) de la placa de adquisición basada en “*Time Interleaving*”. Esta especificación se ha estructurado basándose en la información mencionada en los documentos Especificación Funcional (EF) y Especificación de Requerimientos (ER).

Propósito

El presente documento tiene como propósito proveer información detallada de los aspectos constructivos del dispositivo, a fin de cumplir con las Especificaciones Funcionales.

Está dirigido a:

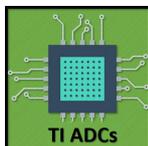
- Los desarrolladores del dispositivo, quienes lo construirán.
- Los directores y solicitantes del proyecto, así como a quienes lo evaluarán, con el fin de corroborar su funcionamiento.

Alcance del proyecto

En el marco del trabajo final de grado se plantea diseñar y construir una placa de adquisición de señales, que posibilite el estudio de la técnica de “*Time Interleaving*”, y que funcione como interfaz para la placa de desarrollo FPGA (DE0-Nano). Será desarrollado íntegramente por el autor del proyecto, supervisado y aprobado en cada etapa por los directores del laboratorio de sistemas caóticos (LSC), y presentado finalmente para su aprobación final al responsable de la cátedra de Trabajo Final.

Personal involucrado

Nombre	Matías Medina
Rol	Desarrollador
Categoría profesional	Estudiante
Responsabilidad	Desarrollo y diseño
Información de contacto	matias.medina1302@gmail.com

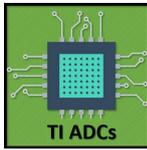


Nombre	Lucas Rabioglio
Rol	Co-Director
Categoría profesional	Ingeniero
Responsabilidad	Tutelar y orientar en el diseño y eguimiento del desarrollo del proyecto
Información de contacto	lucas.rabioglio@fi.mdp.edu.ar

Nombre	Gustavo Zabaleta
Rol	Director
Categoría profesional	Doctor e Ingeniero
Responsabilidad	Tutelar y orientar en el diseño y eguimiento del desarrollo del proyecto
Información de contacto	omargustavoz@gmail.com

Definiciones, acrónimos y abreviaturas

Acrónimo	Significado
DE0-Nano	Placa de desarrollo FPGA de la marca <i>Terasic</i>
<i>Time Interleaving</i>	Técnica de adquisición mediante la cual se aumenta la frecuencia de muestreo efectiva de un sistema, utilizando ADCs de manera intercalada en el tiempo
ADC	Dispositivo conversor analógico-digital
FPGA	<i>Field Programmable Gate Array</i>
VHDL	Lenguaje de descripción de <i>Hardware</i>
LPF	Filtro pasa bajos
PC	Computadora personal
Bit	Digito binario
USB	<i>Universal Serial Bus</i>
<i>Clock</i>	Señal de temporización para circuitos digitales
UART	<i>Universal Asynchronous Reciver/Transmitter</i>
PRNG	Generador de números pseudo-aleatorio
Aliasing	Solapamiento



Referencias

- CI ADC1175. [Online]. Available: <https://pdf1.alldatasheet.com/datasheet-pdf/view/622726/TI1/ADC1175.html>
- CI LM7171. [Online]. Available: <https://pdf1.alldatasheet.com/datasheet-pdf/view/620105/TI1/LM7171.html>
- De0-Nano. [Online]. Available: <https://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=139&No=593&PartNo=4#contents>
- C. Vogel and H. Johansson, "Time-interleaved analog-to-digital converters: status and future directions," *2006 IEEE International Symposium on Circuits and Systems*, 2006, pp. 4 pp.-3389.
- Manganaro, G., & Robertson, D. (2015). "Interleaving ADCs: Unraveling the Mysteries." *Analog Dialogue*, 49(7).
- Tamba, M., Shimizu, A., Munakata, H., & Komuro, T. (2001, November). A method to improve SFDR with random interleaved sampling method. In *Proceedings International Test Conference 2001 (Cat. No. 01CH37260)* (pp. 512-520). IEEE.
- Mark Looney (August, 2003) "Advanced Digital Post-Processing Techniques Enhance Performance in Time-Interleaved ADC Systems", *Analog Dialogue* 37-8.

2.3.3 Descripción del dispositivo

El dispositivo consta de una placa de adquisición, que se conecta de forma modular a la placa de desarrollo DE0 – Nano, y que será capaz de adquirir señales cuya amplitud va desde un mínimo de 200 mV_{pp} hasta 20 V_{pp} como máximo, y en un rango de frecuencias entre $12,5\text{ kHz}$ y 30 MHz . A su vez, será posible seleccionar un factor de diezmo hasta x64, seleccionar 1 entre 8 PRNGs posibles para llevar a cabo el proceso de adquisición y seleccionar, además, la cantidad de veces que se realizará el proceso de adquisición y envío de datos a la PC. Las muestras almacenadas en memoria de la FPGA se enviarán a una PC mediante USB.

El esquema general del dispositivo puede verse en la siguiente figura:

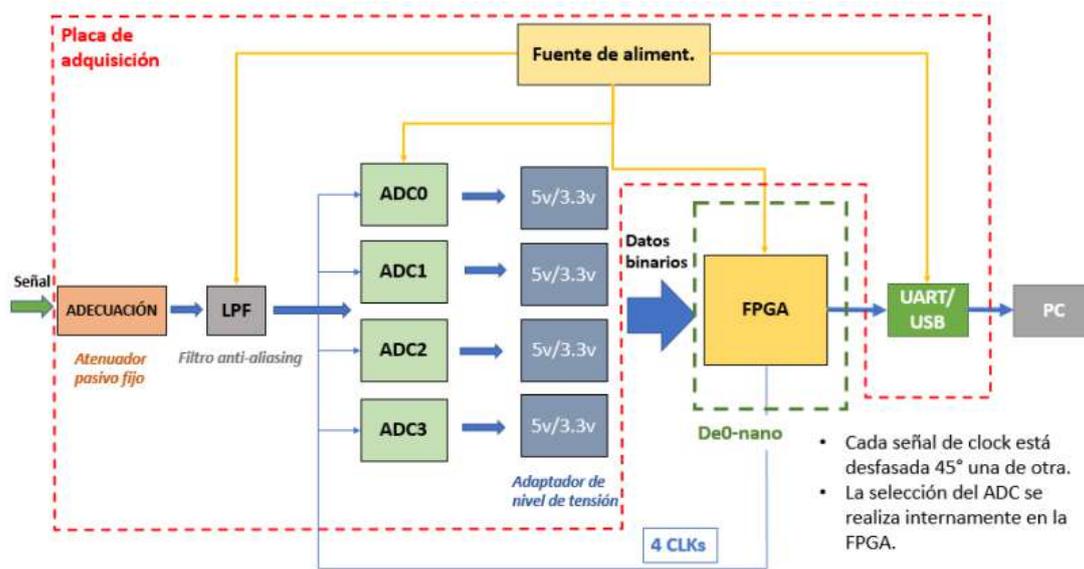


Figura 2.3: Esquema general del sistema

2.3.4 Hardware

A continuación, se detallan los aspectos constructivos de cada bloque funcional de la placa. *(Al final del documento se encuentran los esquemáticos correspondientes a los circuitos de cada bloque funcional de la placa).*

Alimentación y Referencia

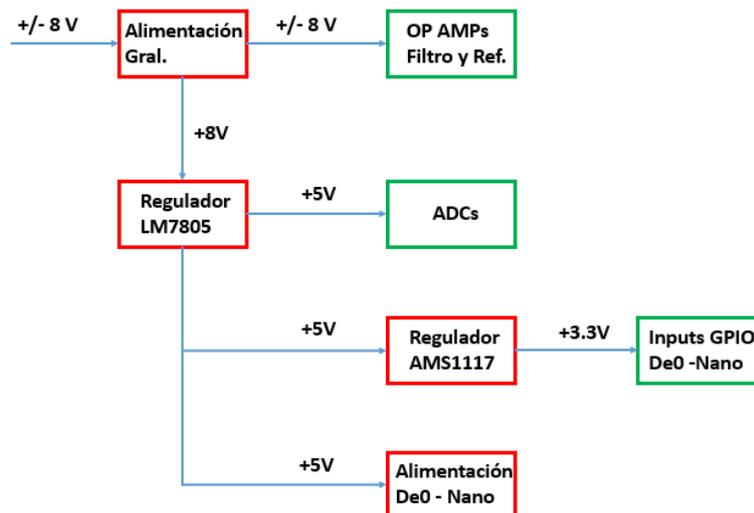


Figura 2.4: Esquema de alimentación

Se provee alimentación a la placa mediante una entrada principal de $\pm 8V$. Esta tensión servirá como alimentación de los Amplificadores Operacionales en la etapa de Adecuación de señal, y, para el Circuito integrado Referencia de tensión.

Los ADCs, por su parte, requieren de una alimentación de +5V. Esta tensión se obtiene mediante el Regulador de Tensión **LM7805 (DPAK)** (Figura 2.5). Se coloca un led indicador conectado a la línea de +5V para detectar la presencia de alimentación en la placa.



Figura 2.5: Regulador de tensión LM7805 (D-PAK)

Tabla 2.1: Parámetros principales LM7805

Parámetro	Símbolo	Valor	Unidad
Tensión de entrada (Máx.)	V_I	35	V
Resistencia térmica junction-case	$R_{\theta JC}$	5	$^{\circ}C/W$
Resistencia térmica Junction-Air	$R_{\theta JA}$	65	$^{\circ}C/W$
Corriente pico	I_{PK}	2.2	A
Rango de temperatura	T_{OPR}	0 ~ +125 $^{\circ}C$	$^{\circ}C$

En función de los parámetros del regulador LM7805 (DPAK), se puede calcular la corriente máxima que se puede extraer para el peor caso (dispositivo en contacto solo con el aire a una temperatura ambiente de 25 $^{\circ}C$).

$$P_{m\acute{a}x} = \frac{125^{\circ}C - 25^{\circ}C}{65 \frac{^{\circ}C}{W}} = 1,54W \quad (2.1)$$

$$I_{m\acute{a}x} = \frac{1.54W}{8V - 5V} = 514mA \quad (2.2)$$

De las especificaciones de los componentes de la placa, se estima que se requiere una corriente de unos 600 mA de la fuente de +5V.

Resulta evidente entonces, que se debe, mediante un diseño apropiado del PCB proveer un área mayor para la disipación térmica, de modo que el factor $R_{\theta JA}$ se vea reducido.

Esta situación es salvada luego en el diseño del PCB, donde se asigna al footprint (huella del componente) del regulador un exposed pad (pad sin máscara anti-soldante) de gran área.

Luego, para compatibilizar los niveles lógicos de los ADCs y los de la Placa de desarrollo FPGA (DE0-Nano), se requiere de una tensión de alimentación de 3,3V. Esta tensión se obtiene mediante el Regulador **AMS1117** (Figura 2.6). Este regulador tiene como carga los conversores de nivel lógico, que a su vez, tienen como carga las entradas de la DE0-Nano que consumen poca corriente, por tanto, no es necesario un análisis minucioso de disipación térmica para este regulador.


Figura 2.6: Regulador de tensión AMS1117 (SOT-223)

Tabla 2.2: Parámetros principales AMS1117

Parámetro	Símbolo	Valor	Unidad
Tensión de entrada (Máx.)	V_I	20	V
Resistencia térmica junction-case	$R_{\theta JC}$	15	$^{\circ}C/W$
Resistencia térmica Junction-Air	$R_{\theta JA}$	136	$^{\circ}C/W$
Limitación de corriente	I_{LIMIT}	800	mA
Rango de temperatura	T_{OPR}	0 ~ +125 $^{\circ}C$	$^{\circ}C$

Por último, los ADCs requieren de una referencia estable de tensión a partir de la cual poder realizar la conversión analógico–digital. Esta tensión es provista por el circuito integrado **REF02** (Figura 2.8), y ajustada al valor necesario mediante un divisor resistivo y seguidor de tensión utilizando el Amplificador Operacional **OP177** (Figura 2.7). Estos dispositivos presentan excelentes cualidades en cuanto a la estabilidad de la tensión de salida frente a variaciones de temperatura y de tensión de alimentación.

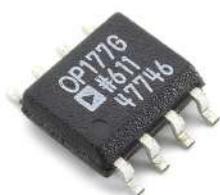

Figura 2.7: Amplificador operacional OP177 (SOIC-8)

Figura 2.8: Referencia de tensión REF02 (SOIC-8)

Tabla 2.3: Parámetros principales OP177

Parámetro	Símbolo	Valor	Unidad
Tensión de Offset (Máx.)	V_{OS}	10	μV
Power Supply Rejection Ratio	$PSRR$	125	dB
Input Offset Voltage Drift	TCV_{OS}	0,03	$\mu V/^{\circ}C$
Limitación de corriente	I_{LIMIT}	800	mA
Rango de temperatura	T_{OPR}	0 ~ +125	$^{\circ}C$

Tabla 2.4: Parámetros principales OP177

Parámetro	Símbolo	Valor	Unidad
Tensión de alimentación		8 ~ 40	V
Output voltage drift	TCV_O	15	$\pm ppm/^{\circ}C$
Regulación de línea		0,012	$\%/V$
Regulación de carga		0,012	$\%/mA$
Corriente de carga (máx)	$I_{Lmáx}$	21	mA
Rango de temperatura	T_{OPR}	-40 ~ +85	$^{\circ}C$

- Los puertos VRT (*Top Reference Voltage*) y VRB (*Bottom Reference Voltage*) que se ven en el esquemático son las tensiones de referencia que necesitan los ADCs, con valores de +2,6V y +0,6V respectivamente.
- El NET V_{ref} es la salida del IC REF02. Esta salida es una tensión estable de 5V.
- En los divisores resistivos (con los cuales se genera VRT y VRB) se colocan *presets* multi-vuelta para permitir un ajuste fino.
- Los capacitores que se ven en la parte inferior del esquemático, tienen por objetivo desacoplar cualquier perturbación en la alimentación de los Amplificadores Operacionales, y deben conectarse lo más próximo posible a las entradas de alimentación de los mismos.
- El componente R_{19} es una resistencia de 0Ω y tiene por función conectar GND Digital y GND Analógica del circuito.

Adecuación de señal

El objetivo de esta etapa es, en primer lugar, ajustar el nivel de tensión de la señal de entrada al rango de conversión de los (ADCs) que es de $2 V_{pp}$, y, en segundo lugar, limitar la frecuencia de entrada máxima a 30 MHz para evitar el fenómeno de *aliasing* (RF01)(RR01). El circuito correspondiente a este bloque se puede observar en el esquemático "Atenuación y Filtro".

Para llevar a cabo la medición, se pretende utilizar una punta de prueba comercial de osciloscopio (RNF01) (Figura 2.9a). Para lo cual la placa deberá contar con un conector BNC hembra, como el que se muestra en la (Figura 2.9b).



(a) Punta de prueba Osciloscopio.



(b) Conector BNC hembra.

Tomando como referencia las especificaciones de puntas de prueba comerciales tales como el modelo TPP0051 de *Tektronix*, por ejemplo, se observa que está diseñada para una impedancia de entrada del instrumento de medición (que en este caso será la de la placa de adquisición) de $Z_{in} = 1M\Omega \parallel 20pF$.

Mediante un divisor de tensión (Figura 2.10), se llevará a cabo tanto la emulación de impedancia Z_{in} para la cual se diseñó la punta, como la atenuación de 10 veces para llevar una señal de amplitud $20 V_{pp}$ a $2 V_{pp}$.

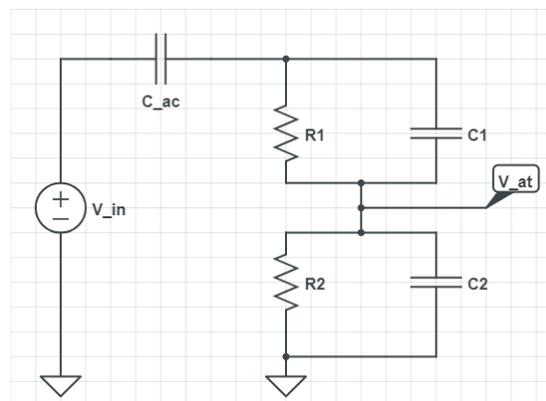


Figura 2.10: Atenuador pasivo x10

Para ajustar la impedancia de entrada se tienen las siguientes relaciones:

$$Z_{in} = R_{in} \parallel C_{in} \quad (2.3)$$

$$R_{in} = R_1 + R_2 = 1M\Omega \quad (2.4)$$

$$C_{in} = C_1 \parallel C_2 = 20pF \quad (2.5)$$

Mientras que para lograr una atenuación de 10 veces se tienen las relaciones:

$$\frac{R_2}{R_1 + R_2} = 0.1 \rightarrow R_1 = 9R_2 \quad (2.6)$$

$$\frac{C_1}{C_1 + C_2} = 0.1 \rightarrow C_2 = 9C_1 \quad (2.7)$$

Este tipo de configuración, idealmente, tiene una respuesta plana en frecuencia, lo cual es necesario para no alterar la señal a medir. El capacitor C_{ac} que se ve en la figura cumple la función de acople en AC, eliminando cualquier componente de DC en la señal de entrada. Para la elección del valor de este componente debe tenerse en cuenta que no debe afectar al divisor de tensión, con lo cual un criterio práctico es que sea al menos unas 10 veces mayor al capacitor más grande del divisor. No obstante, no puede elegirse un valor arbitrariamente grande, pues, definiría una constante de tiempo muy grande frente a variaciones en el nivel de *offset* a la entrada.

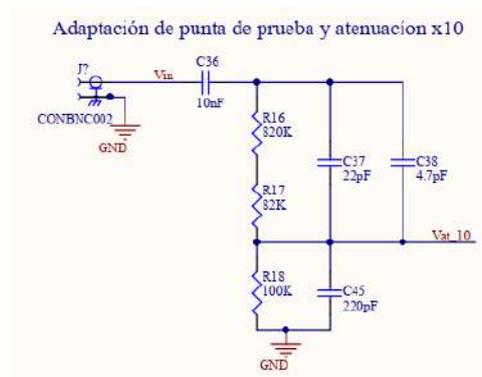


Figura 2.11: Acople de AC y atenuación X10

A continuación se muestra la respuesta en frecuencia del atenuador pasivo. Como puede observarse hay una respuesta aproximadamente plana de -20 dB (atenuación de 10 veces), y, una frecuencia de corte inferior de 20 Hz .

La constante de tiempo que define el capacitor de acople AC es $\tau = C_{ac} \cdot 1 \text{ M}\Omega = 10 \text{ ms}$, con lo cual, el tiempo de establecimiento se puede definir como $T_{est} = 5 \cdot \tau = 50 \text{ ms}$.

La diferencia de aproximadamente 0.5 dB que se observa entre la respuesta a frecuencias bajas y altas, se debe a que el divisor resistivo y capacitivo no están perfectamente ajustados. Debido a la tolerancia de los componentes, luego, deberá ajustarse de forma manual el divisor en la placa física. Es por ello que la parte superior del divisor capacitivo se implementa con 2 capacitores en paralelo, así, mediante la elección de C_{38} se lleva a cabo el ajuste.

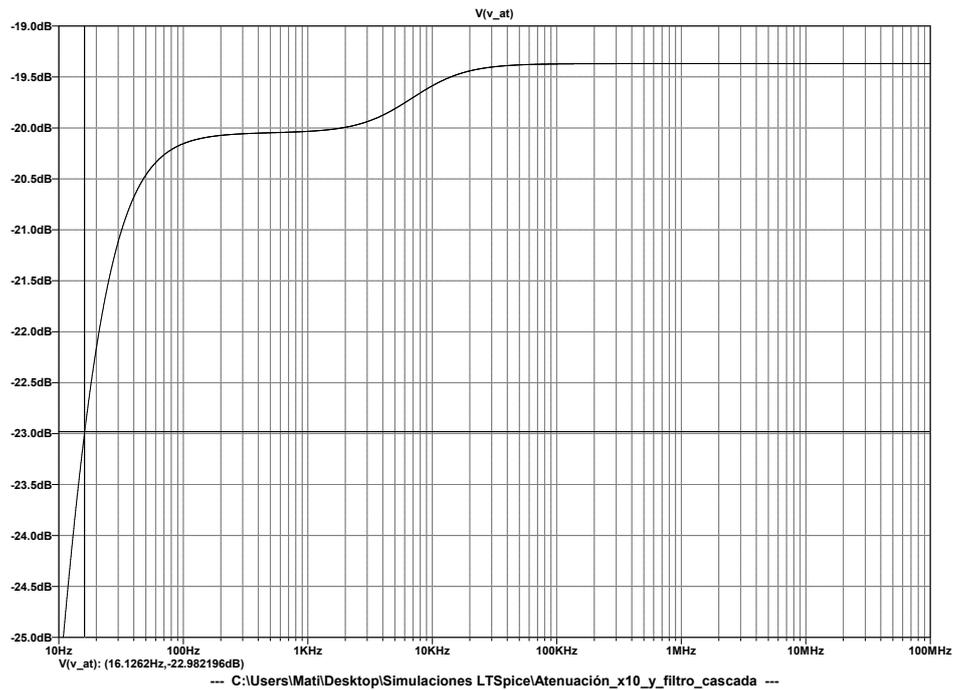


Figura 2.12: Simulación (Atenuador pasivo x10)

A continuación, se encuentra la etapa de buffer, que tiene por objetivo no cargar al atenuador pasivo, de modo que, se comporte como es esperado. Esta etapa de buffer se lleva a cabo con un Amplificador Operacional en configuración no-inversora. Es necesario que el conjunto buffer-filtro tenga una ganancia total de 1 en todo el rango de interés, de modo que la atenuación esté dada únicamente por el atenuador pasivo a la entrada. Para ello la resistencia $R1$ que se ve en la figura (Figura 2.13) se implementa mediante un potenciómetro, así pudiendo realizar ajustes para lograr la ganancia deseada.

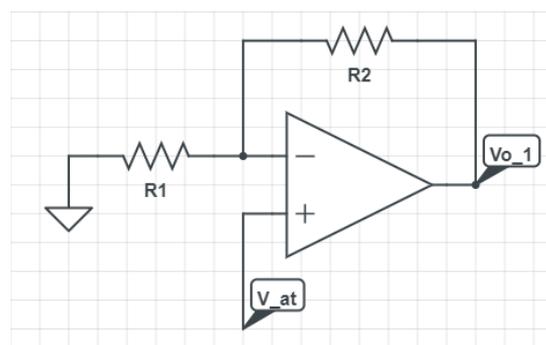


Figura 2.13: Buffer con OP Amp en configuración no-inversor

A continuación, viene la etapa de filtrado, donde se busca limitar la frecuencia máxima de entrada a 30 MHz . Para esto se colocan en cascada dos filtros activos pasa-bajos de 1^{er} orden, cuyo circuito y ecuaciones de diseño pueden verse a continuación:

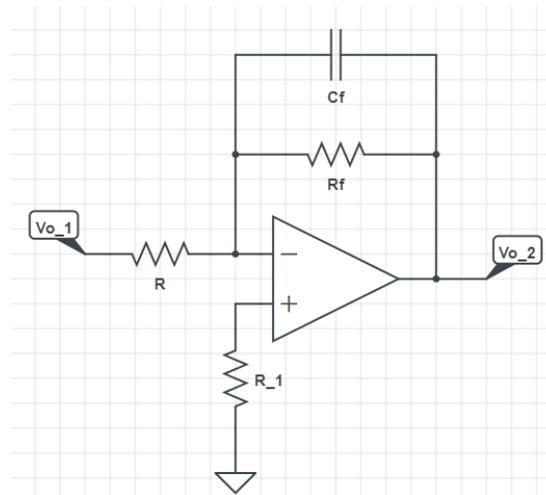


Figura 2.14: Filtro pasa-bajos orden 1

$$\frac{V_{o2}(s)}{V_{o1}(s)} = - \left(\frac{R_f}{R} \right) \times \left(\frac{1}{s + \frac{1}{C_f R_f}} \right) \quad (2.8)$$

$$R_f = \frac{1}{2\pi f_c C_f} \quad (2.9)$$

$$R = \frac{R_f}{A} \quad (2.10)$$

$$R_1 = R \parallel R_f \quad (2.11)$$

Estos filtros deben ser ajustados con una frecuencia de corte individual tal que, la frecuencia de corte de la cascada de filtros sea de 30 MHz.

$$f_{cTotal} = f_{ci} \times \sqrt{2^{\frac{1}{n}} - 1} \quad (2.12)$$

Donde:

- f_{ci} es la frecuencia de corte de cada filtro individual.
- n es el número de filtros puestos en cascada.
- f_{cTotal} la frecuencia de corte total de la cascada de filtros.

Definiendo el valor del capacitor $C_f = 2pF$, la ganancia $A = 0,482$ y la frecuencia de corte f_{ci} , se pueden obtener los valores de las resistencias.¹

Para el buffer y filtros pasa – bajos se utiliza el amplificador operacional **LM7171 (SOIC-8)** (Figura 2.15) de la marca *National Semiconductor* que tiene un ancho de banda ($BW =$

¹La función de la resistencia R_1 es anular la tensión de offset producida por las corrientes de bias del OP. Amp.

200 MHz), suficiente para la aplicación buscada. Además, entrega hasta 100 mA de corriente de salida, lo cual permite cargarlo con las entradas de los 4 ADCs.

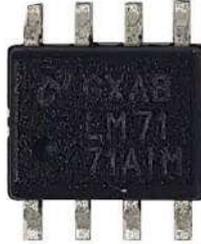


Figura 2.15: Amplificador Operacional LM7171 (SOIC-8)

Tabla 2.5: Parámetros principales OP177

Parámetro	Símbolo	Valor	Unidad
Input Resistance	R_{in}	40	$M\Omega$
Output Resistance	R_o	15	Ω
Large Signal Voltage Gain	A_V	85	dB
Slew Rate	SR	3100	$V/\mu s$
Unity-Gain Bandwidth	GBP	200	MHz
Phase Margin	ϕ_m	50	$Degrees$

En las siguientes figuras se puede observar la respuesta en frecuencia (simulación hecha con el software *LTSpice*) de la etapa completa de adecuación de señal. Tal como se espera, hay una ganancia constante de $-20 dB$ (atenuación de 10 veces) hasta la frecuencia de corte ubicada en 30 MHz.

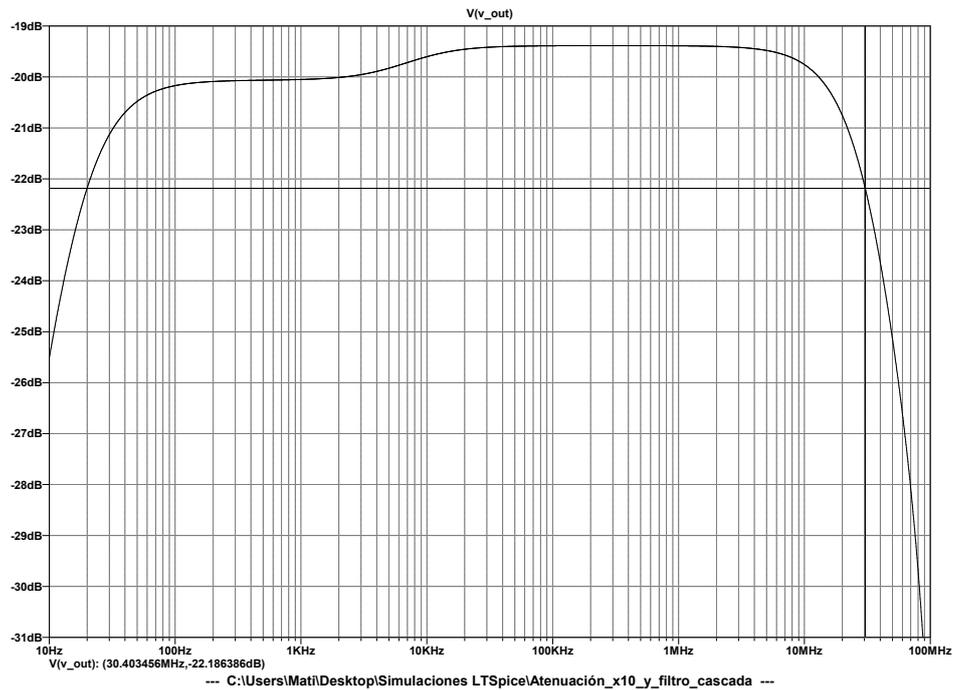


Figura 2.16: Transferencia (Atenuador y filtro)

Por último, se agrega una protección, que limita la tensión que puede ingresar a los ADCs a un rango de aproximadamente $-0,6 V \sim +5,6 V$.

Si bien, por diseño, la tensión a la salida del filtro pasa – bajos nunca superará los $+2,6 V$, durante el transitorio de encendido de la placa de adquisición, la tensión de salida de los Amplificadores Operacionales, puede, momentáneamente excursionar hasta la tensión de alimentación ($\pm 8 V$), apareciendo directo sobre la entrada de los ADCs, lo cual resultaría en un daño permanente a los mismos.

Esta protección se implementa con una resistencia serie (R_{13}) y *diodos Schottky*, los cuales vienen encapsulados en el CI **BAT54S** (Figura 2.17).



Figura 2.17: Diodos Schottkey BAT54S (SOT-23)

Conversión analógico-digital

Con la señal previamente adecuada, se procede en esta etapa a su digitalización. Para ello se utiliza un arreglo de 4 ADCs que funcionan bajo el esquema de “*Time Interleaving*”, es decir, de forma intercalada en el tiempo, de modo que si bien se respeta la frecuencia de muestreo máxima de cada ADC, la frecuencia de muestreo efectiva se multiplica. El pin de clock de cada ADC se conecta a un pin diferente de la FPGA, la cual enviará las señales de clock según el PRNG elegido por el usuario, de forma de cumplir con el [RF02](#).

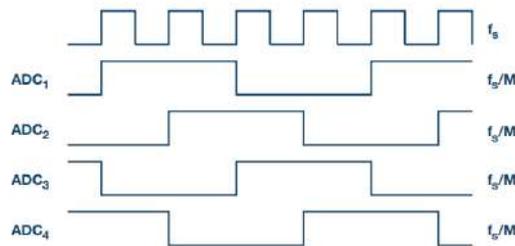


Figura 2.18: Esquema de *interleaving* con 4 ADCs

Para esta aplicación se utilizarán los ADCs **ADC1175-50** (Figura 2.19), los cuales funcionan con +5 V de alimentación, tienen una resolución de *8bits* (cumpliendo con el **RR02**), una frecuencia de muestreo máxima de 50 MHz y un ancho de banda ($BW = 120\text{ MHz}$).

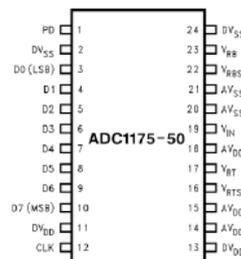


Figura 2.19: ADC 1175-50 (TSSOP-24)

Se dispondrá a cada uno en la siguiente configuración sugerida por el fabricante:

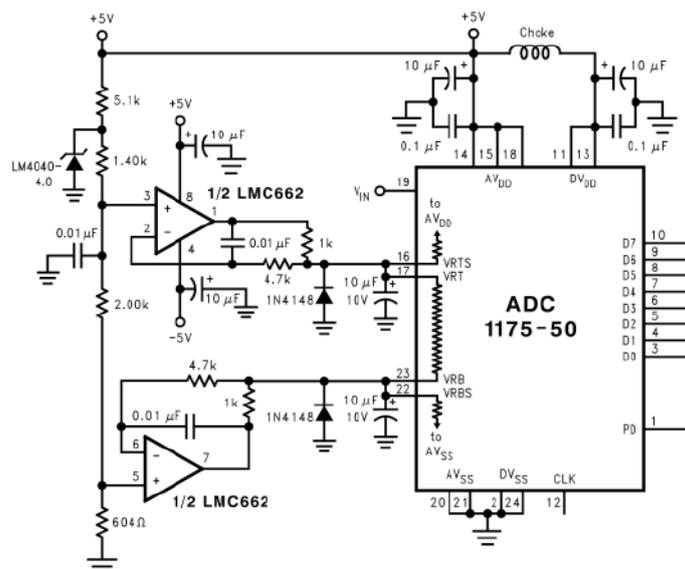


Figura 2.20: ADC 1175-50 application

La implementación difiere en algunos componentes de este esquema y puede observarse en el esquemático "ADCs y Conversor de nivel lógico (1) y (2)".

Estos dispositivos funcionan con lógica de +5 V, mientras que la DE0–Nano con una lógica de +3,3 V. Resulta necesario una etapa de adaptación de nivel lógico, que además funcione a la velocidad individual de cada ADC, es decir, a unos 15 *Msp*s.

Para lograr este cometido se utiliza el CI **TXS0108E** (Figura 2.21) el cual garantiza realizar la conversión hasta una tasa máxima de 60 *Mbps*.

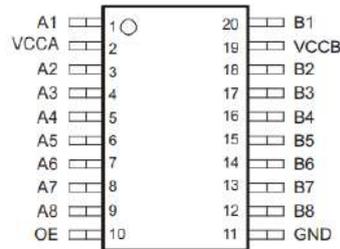


Figura 2.21: Adaptador de nivel lógico TXS0108E (TSSOP-20)

Interfaz de usuario

Para poder cumplir con las funcionalidades de selección del Generador de Números Pseudo-Aleatorio, Diezmado de muestras y selección de cantidad procesos de adquisición-envío (RF03), el usuario dispondrá de 3 pulsadores y un dip-Switch de 8 interruptores.

Los pulsadores deben funcionar como flanco de clock para almacenar información en registros de configuración, para ello, se debe eliminar el rebote mecánico de los mismos.

Se utiliza una red RC en conjunto con compuertas *Schmitt-Trigger* que vienen encapsuladas en el CI **74HCT14** (Figura 2.22). El circuito correspondiente a este bloque se observa en el esquemático “Interfaz de usuario”.

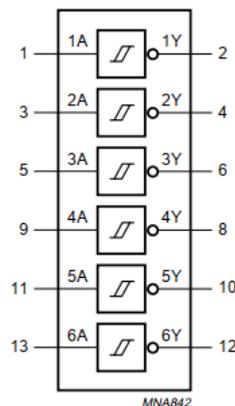
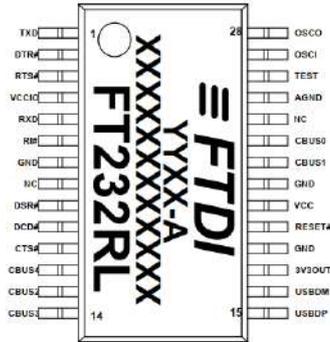


Figura 2.22: 74HCT14 Compuertas Schmitt Trigger (SOIC-14)

UART/USB

Desde la DE0–Nano las muestras almacenadas en la memoria embebida de la FPGA se envían en formato serie de nuevo a la placa de adquisición a través de los GPIO. En este sector de la placa, mediante el CI **FT232R (SSOP-28)** (Figura 2.23a) se realiza la conversión a USB posibilitando la conexión a una PC para enviar las muestras adquiridas (RF04).

La placa de adquisición, además, cuenta con un conector USB-B hembra (Figura 2.23b), y leds indicadores de transmisión de datos.



(a) Conversor serial UART a USB



(b) Conector USB-B hembra.

2.3.5 DE0-Nano

La placa de desarrollo DE0-Nano, tiene integrada una FPGA *Cyclone IV E* (EP4CE22F17C6) (Figura 2.25) de la marca *Altera*. En esta FPGA se implementará el hardware necesario para la aplicación.

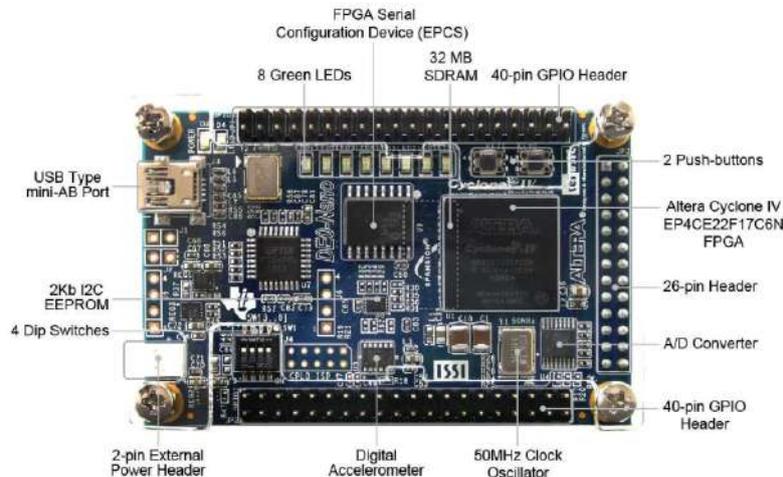


Figura 2.24: Layout y componentes de la placa DE0-Nano

Resources	
Logic Elements (LE) ?	22000
Fabric and I/O Phase-Locked Loops (PLLs) ?	4
Maximum Embedded Memory ?	594 Kb
Digital Signal Processing (DSP) Blocks ?	66
Digital Signal Processing (DSP) Format ?	Multiply
Hard Memory Controllers ?	No
External Memory Interfaces (EMIF) ?	DDR, DDR2, SDR
I/O Specifications	
Maximum User I/O Count ?	153
I/O Standards Support ?	3.0 V to 3.3 V LVTTTL, 1.2 V to 3.3 V LVCMOS, PCI, PCI-X, 5STL, HSTL, Differential 5STL, Differential HSTL, LVDS, Mini-LVDS, RSDS, LVPECL, BLVDS, PPDS

Figura 2.25: Especificaciones principales FPGA Cyclone IV E EP4CE22

Utilizando el software *Quartus ii 13.1* se desarrolla el código VHDL y se generan los archivos para cargar en la memoria de inicialización (*FPGA Serial Configuration Device*) de la DE0-Nano, de modo que, al encender el dispositivo, la FPGA adopte las funcionalidades necesarias.

La FPGA se conecta con la placa de adquisición a través de los GPIOs de la DE0-Nano (*Figura 2.26*). Como puede observarse, todos los pines son entradas/salidas de propósito general, a excepción de los etiquetados como *VCC_SYS* mediante los cuales se le suministrará alimentación a la DE0-Nano, y los etiquetados como *VCC3P3* que no serán utilizados. Las conexiones de los bits de datos de cada ADC, pulsadores, dip-switch y señales de comunicación (Tx y Rx) se pueden observar en el esquemático “Conexiones GPIO”.

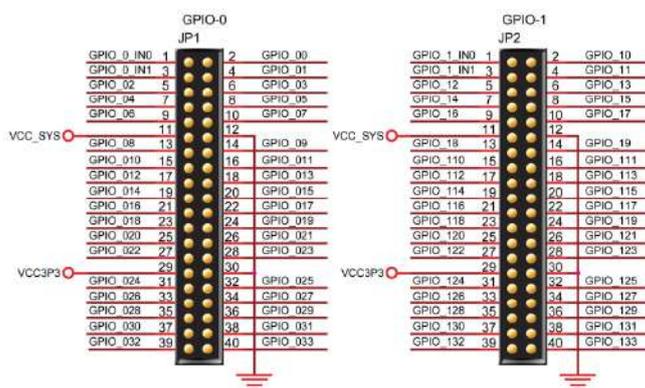
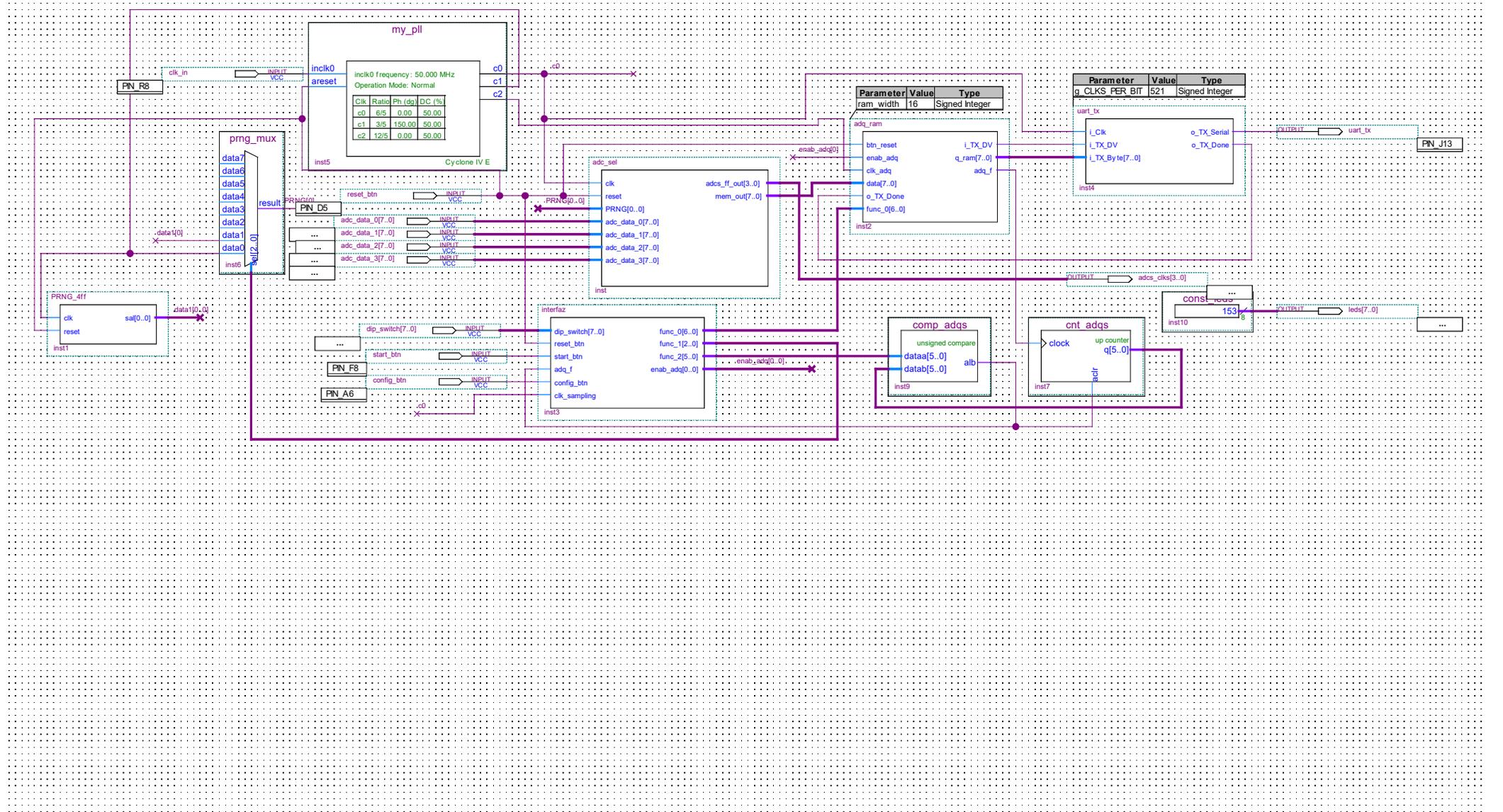


Figura 2.26: GPIOs DE0_Nano

A continuación se muestra el diagrama de bloques completo del sistema que se implementará en la FPGA ².



Por cuestiones de simplicidad no se muestra el código VHDL correspondiente a los bloques funcionales. No obstante, se detalla el funcionamiento general y se muestran las señales más relevantes.

Bloque *my_pll* En este bloque se instancia uno de los 4 PLLs (*Phase Locked Loop*) que posee la FPGA.

Como señal de entrada se utiliza la salida del oscilador de 50 MHz que posee la DE0-Nano, además, hay una entrada de *reset* general que es común para todo el sistema.

En la [Figura 2.27](#) se observa: la señal de entrada de 50 MHz *clk_in*; la señal *c0*, cuya frecuencia es la de adquisición (60 MHz) e ingresa al bloque *adc_sel* para generar el proceso de selección de ADC; la señal *c1* que tiene la mitad de frecuencia y un defasaje de 180° respecto de *c0*, siendo el clock de los PRNGs que se utilicen en los ensayos; y, por último, la señal *c2* que tiene una frecuencia del doble de la velocidad de adquisición (120 MHz) y funciona como clock de la memoria RAM.

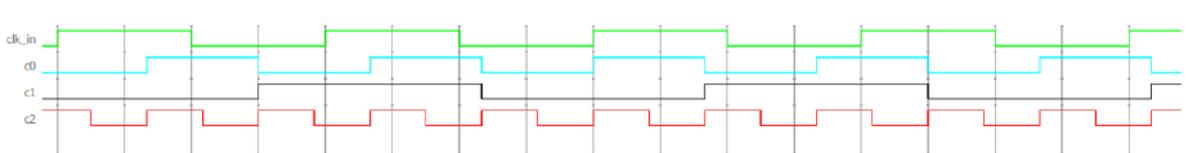


Figura 2.27: Señales de clock del sistema implementado en FPGA

Bloque *adc_sel* En este bloque se generan las señales de clock para cada ADC mediante un esquema como el que se ve en la figura ([Figura 2.28](#)). Los registros son de 4 bits y se inicializan con los valores: b"0001"; b"0010"; b"0100" y b"1000" respectivamente. Cada bit de salida se direcciona a un ADC distinto, y, al ir avanzando la secuencia por los registros se van generando las señales de clock para los ADCs.

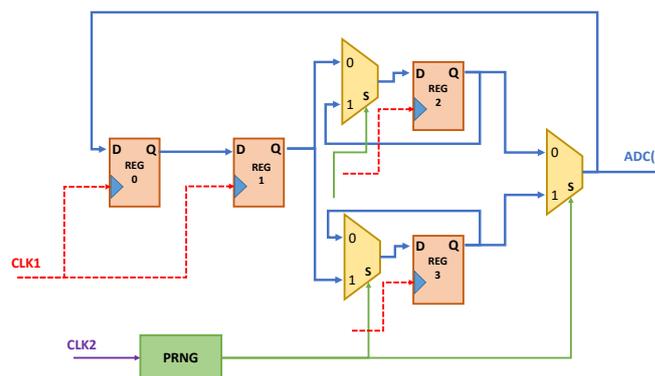


Figura 2.28: Generación de señales de clock para los ADCs

Al mismo tiempo también se direcciona la entrada de datos (muestra digital de cada ADC) hacia la memoria RAM según corresponda, es decir, cuando a un ADC se le envía

²Los archivos de inicialización y el proyecto desarrollado en Quartus ii 13.1. son parte del entregable final.

un pulso de clock, al mismo tiempo se direcciona su salida de datos hacia la memoria RAM.

A modo ilustrativo, en la figura se puede observar la generación de las señales de clock para los ADCs. En la simulación se ha colocado un valor fijo en las salidas de datos de los ADCs (*adc_data_0*, *adc_data_1*, *adc_data_2*, *adc_data_3*) para poder identificar a cuál de ellos se está direccionando hacia la memoria RAM (*ram_in*).

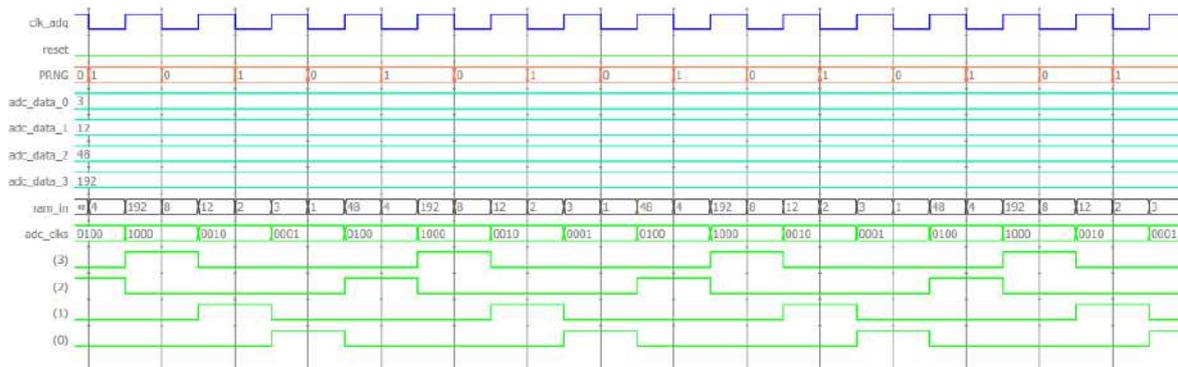


Figura 2.29: Señales *adc_sel*

Bloque *adq_ram* En este bloque se instancia la memoria RAM que posee la FPGA, se utilizan 16 bits de direcciones con palabras de 8 bits, resultando en 65 kbyte de almacenamiento.

Mediante una máquina de estados se llevan a cabo dos procesos: primero se realiza la escritura de memoria a la velocidad de adquisición, y luego, se va leyendo la memoria, pero a la velocidad de transmisión serie Tx de 115200 baudios.

Durante el proceso de lectura, la señal *TX_done*, que es un indicador de transmisión de palabra serie finalizada, funciona como clock para ir incrementando las posiciones de memoria.

Bloque *uart_tx* Este bloque realiza la conversión paralelo a serie de los datos almacenados en la memoria RAM, además se agregan los bits de *start* y *stop* para realizar la comunicación a 115200 baudios con el bloque UART/USB de la placa de adquisición.

Interfaz usuario Al alimentar la placa por primera vez se debe pulsar el botón de *reset*, el cual funciona como un reset general para todos los bloques del sistema en la FPGA, de forma que todos los registros internos se inicialicen como se espera.

Mediante el botón de *start* se inicia el proceso de adquisición, y, mediante el botón *config* en conjunto con el dip-switch de 8 contactos, el usuario tiene la posibilidad de: seleccionar el PRNG para el proceso de adquisición; seleccionar un factor de diezmado de muestras de hasta x64 y la cantidad de veces que se realizará el proceso de adquisición-envío de datos a PC.

Para llevar a cabo todas estas funcionalidades los bloques *interfaz*, *prng_mux*, *comp_adqs* y *cnt_adqs* funcionan en conjunto.

El registro *func_1* se conecta a la entrada de selección del multiplexor *prng_mux*, permitiendo elegir el PRNG.

El registro *func_2* ingresa un valor al bloque *comp_adqs* de modo que cuando se alcance la cantidad de procesos adquisición-envió de datos seteada por el usuario, se detenga el sistema.

El registro *func_0* ingresa el factor de diezmado directamente al bloque de memoria RAM.

Bloque *const_leds* En este bloque se puede insertar un valor binario, el cual imprime un patrón de luces fijo en los leds de la DE0-Nano. El objetivo es obtener un indicador de que se ha programado correctamente la FPGA.

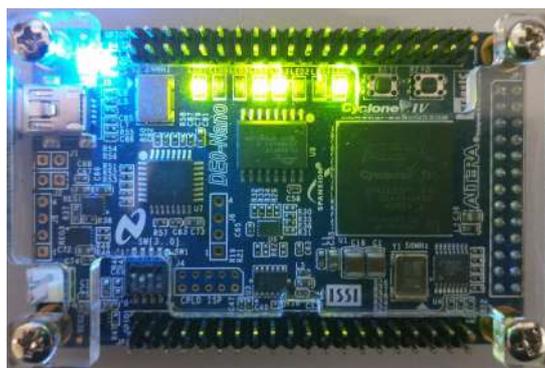
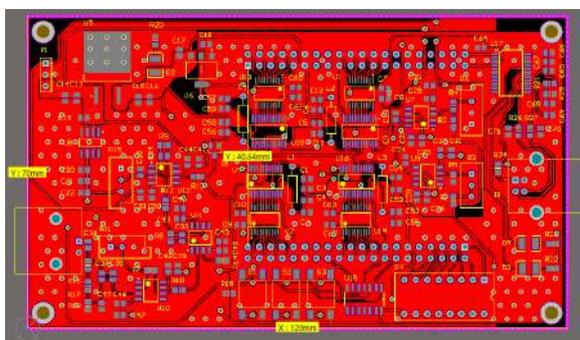


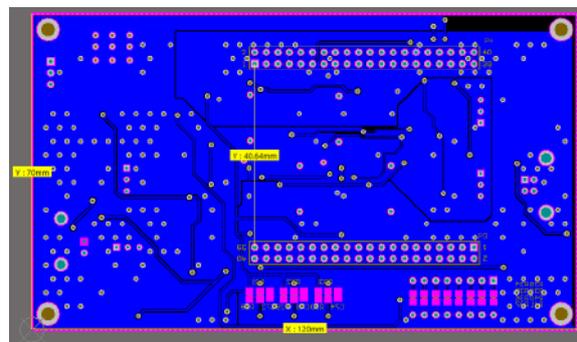
Figura 2.30: Patrón de programación exitosa (leds verdes b"10011001)

2.3.6 PCB

El diseño tanto de los esquemáticos como el PCB se desarrolla enteramente con el software *Alium Designer*. Para el diseño del PCB se tiene como prioridad principal, posibilitar la conexión modular con la placa DE0-Nano (RNF01), para lo cual se debe contar con 2 zócalos hembra de 2x20 pines, alineados y separados según las dimensiones físicas de los GPIOs de la DE0-Nano. Como se observa en la figura esta distancia es de unos 40.6mm, aproximadamente.



(a) TOP layer



(b) Bottom layer

El otro lineamiento a seguir, es mantener la integridad de las señales digitales, para ello debe ubicarse a los ADCs con sus respectivos convertidores de forma tal que las líneas de datos y clock sean lo más cortas posible, a la vez de que la longitud de las pistas sean idénticas en

cada caso, a fin de evitar problemas de temporización en la lógica que se lleva a cabo en la FPGA.

De esta forma cada ADC con su respectivo convertidor de nivel se ha ubicado entre los zócalos de conexión (sector naranja [Figura 2.32](#)), cumpliendo con los lineamientos antes mencionados y permitiendo un paso limpio de la señal a adquirir a cada ADC.

El siguiente criterio es mantener separados los sectores digital y analógico de la placa, a fin de reducir los problemas de EMI dentro del propio dispositivo[2]. Además, teniendo en mente la comodidad de uso para el usuario, se han dispuesto los bloques restantes de la siguiente forma:

- La etapa de alimentación (con el conector de entrada) y referencia de tensión, en el lado izquierdo superior de la placa (sector rojo y sector verde).
- La etapa de adecuación de señal (con el conector BNC por donde ingresa la señal a medir) en el lado inferior izquierdo (sector celeste).
- Los pulsadores y dip-switch que utiliza el usuario, en el lado central inferior.
- La conexión USB del lado derecho de la placa.

El diseño final del PCB tiene una dimensión de $7x12cm$, cercano a las dimensiones de la DE0-Nano como se pretendía, y puede verse a continuación:

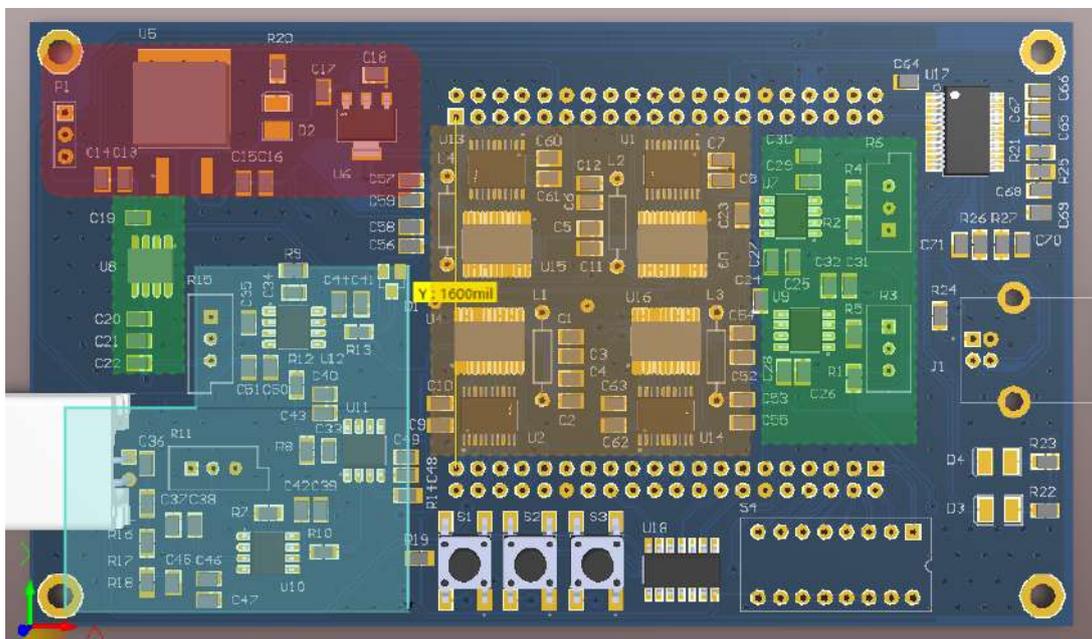
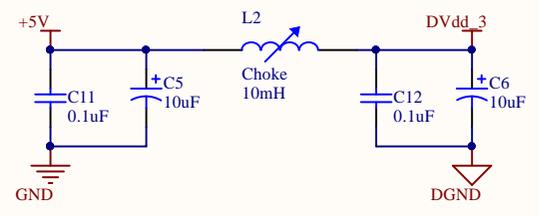
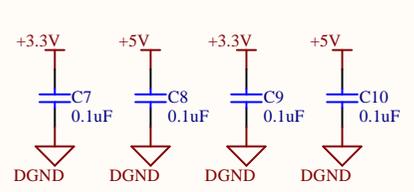
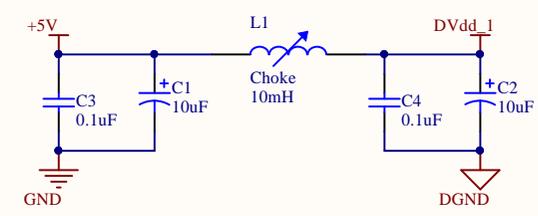
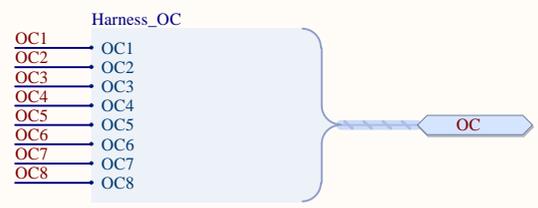
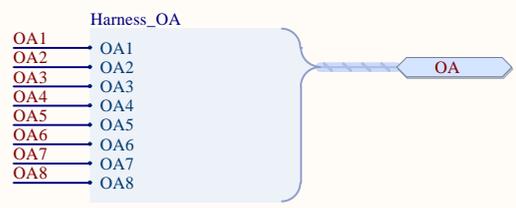
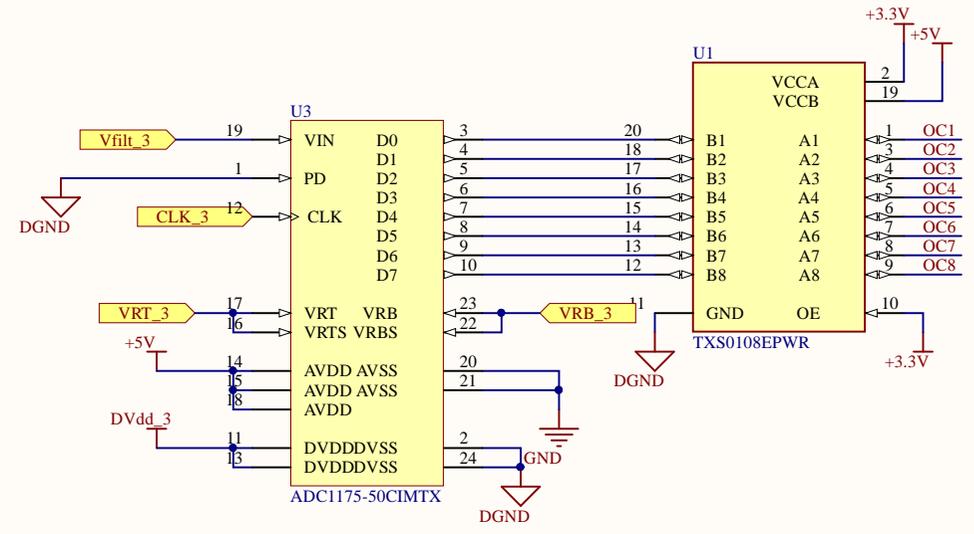
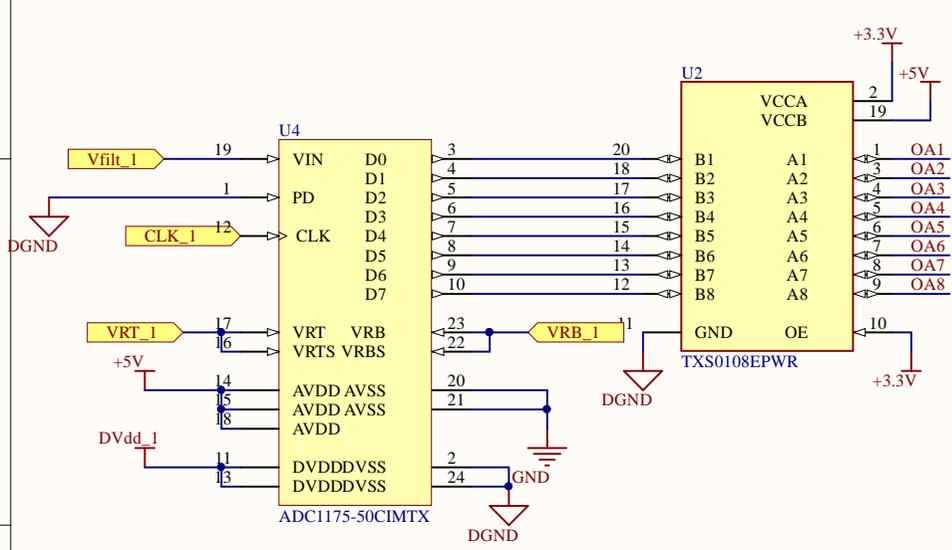
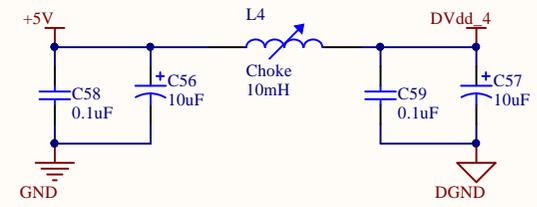
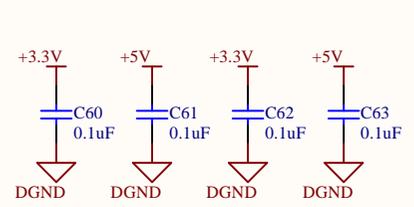
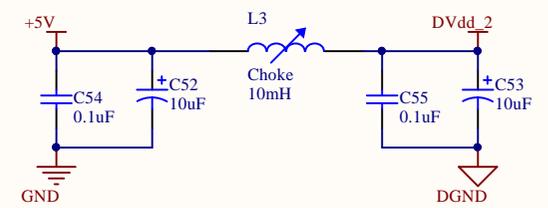
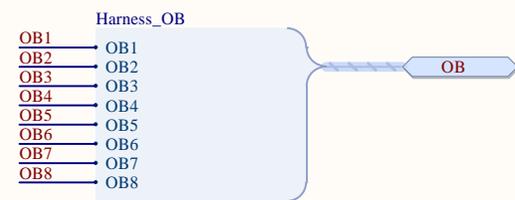
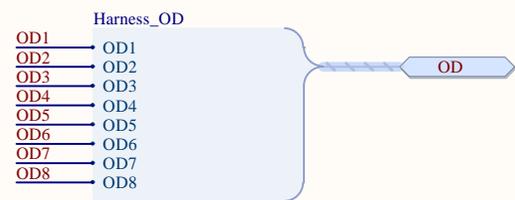
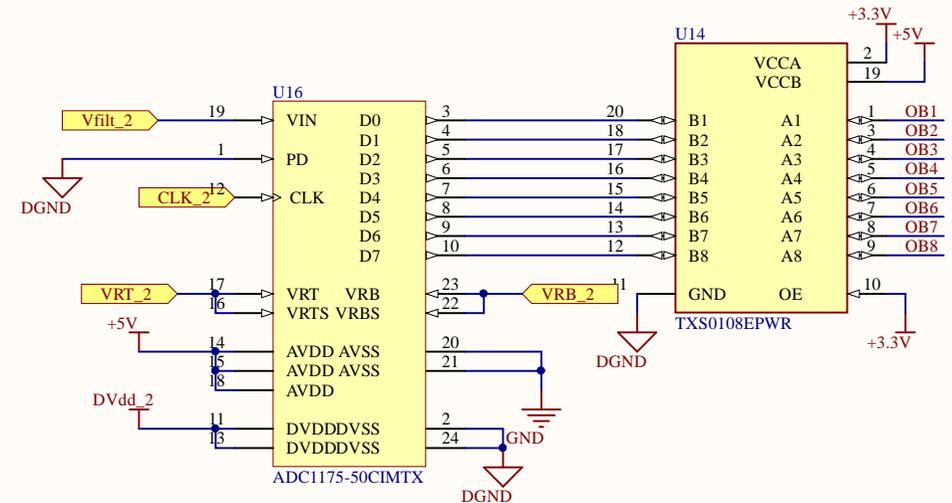
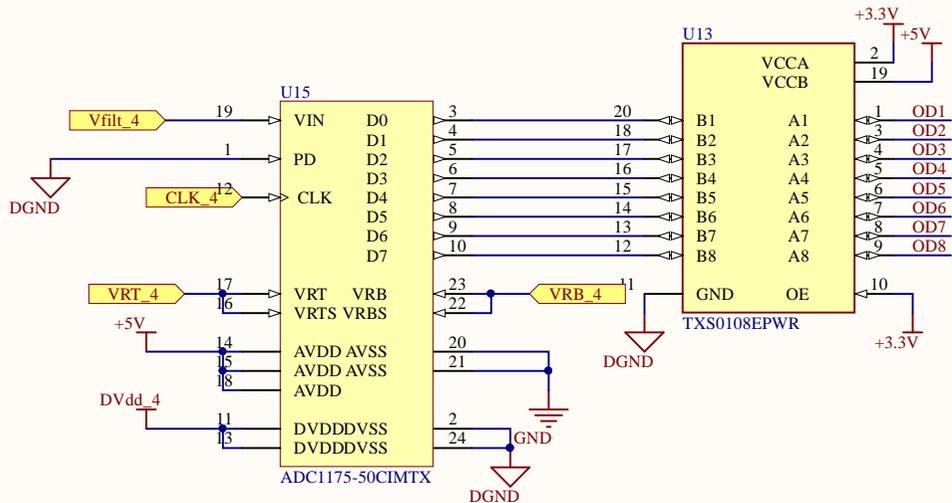


Figura 2.32: Diseño PCB

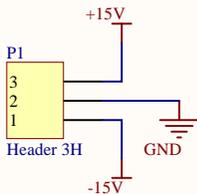


Title		
ADCs y Conversor de nivel lógico (1)		
Size	Number	Revision
A4		
Date:	12/7/2023	Sheet of
File:	C:\Users\...\ADCs_1.SchDoc	Drawn By:

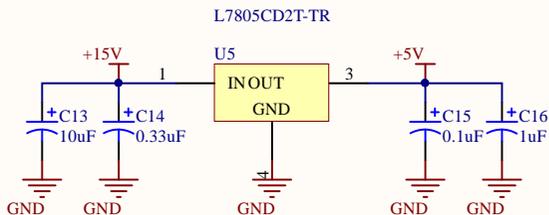


Title		
ADCs y Conversor de nivel lógico (2)		
Size	Number	Revision
A4		
Date:	12/7/2023	Sheet of
File:	C:\Users\...\ADCs_2.SchDoc	Drawn By:

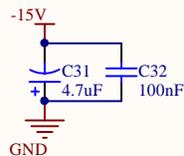
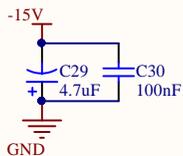
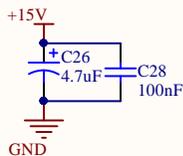
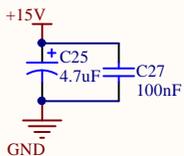
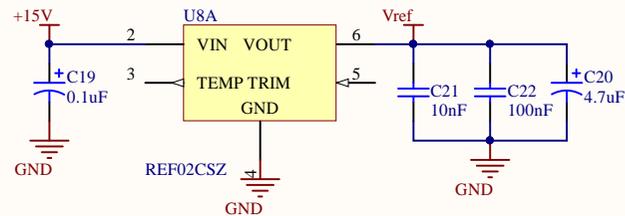
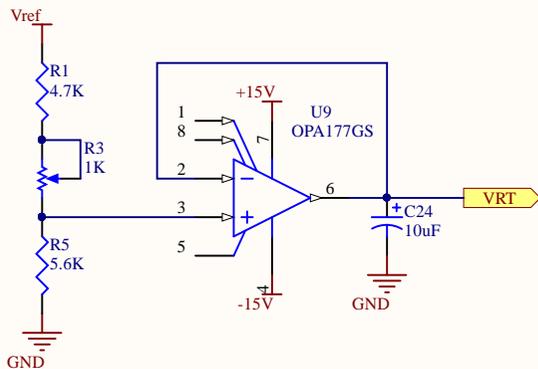
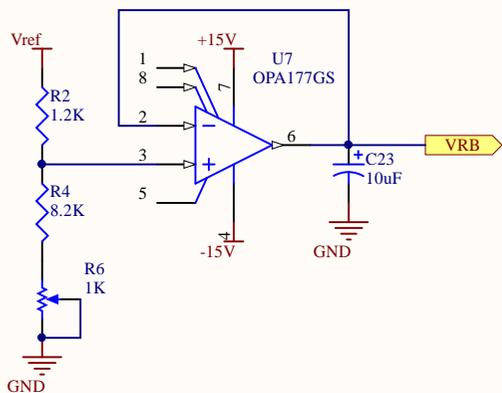
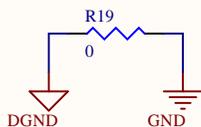
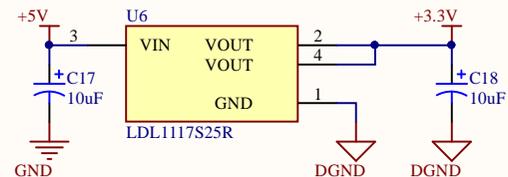
Conector de entrada alimentación



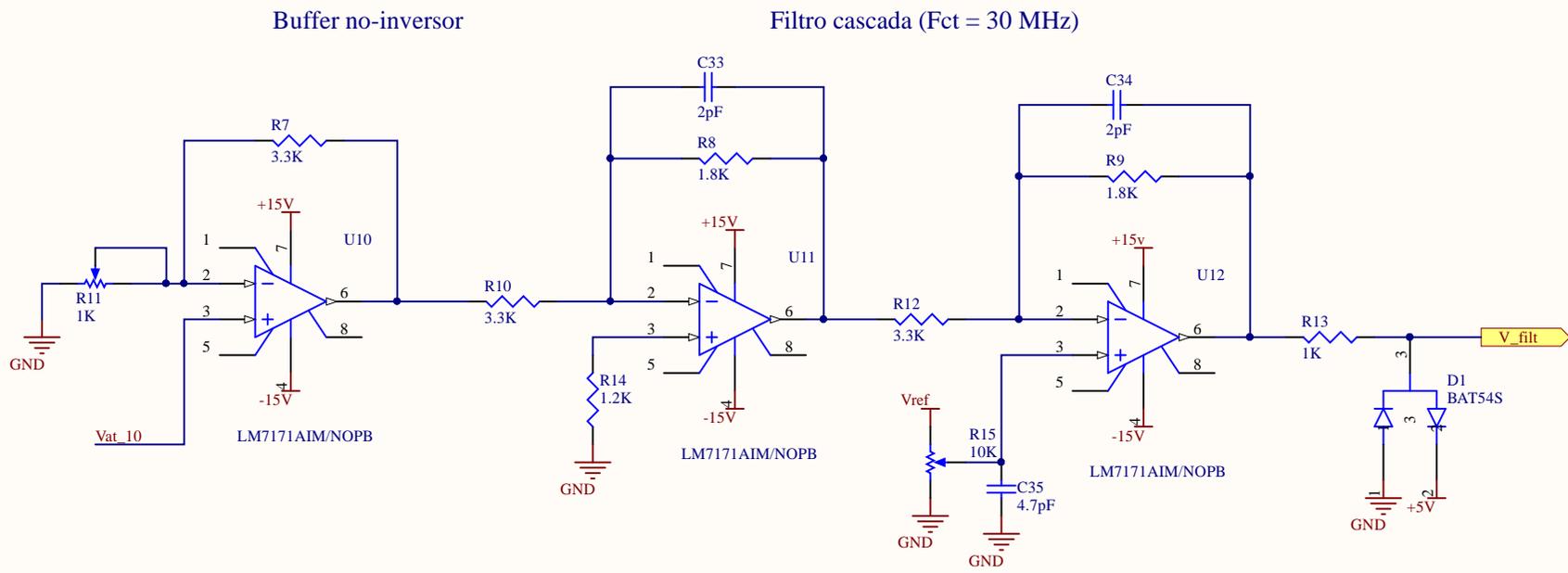
Regulador 5V



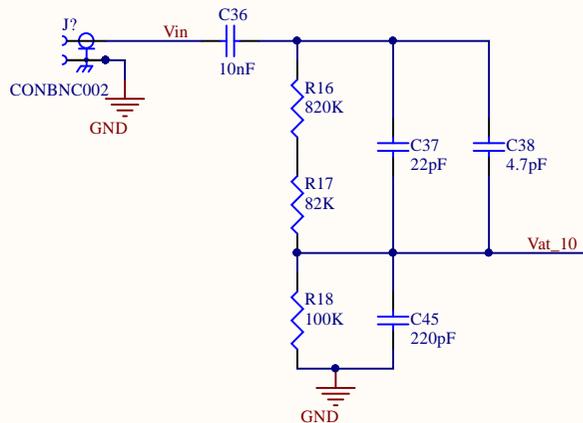
Regulador 3.3V



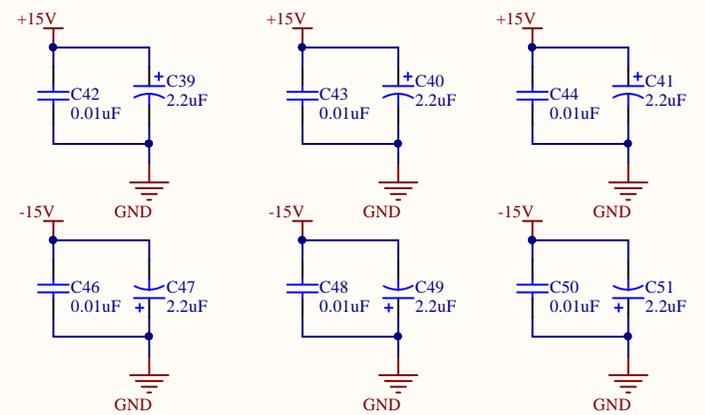
Title		
Alimentación y referencia		
Size	Number	Revision
A4		
Date:	12/7/2023	Sheet of
File:	C:\Users\...\Alimentación y referencia.Sch Drawn By:	



Adaptación de punta de prueba y atenuación x10



Filtro de alimentación (colocar cerca de los OP AMP) --->



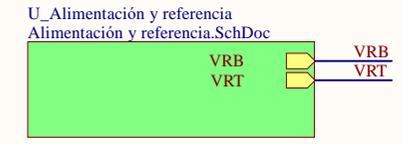
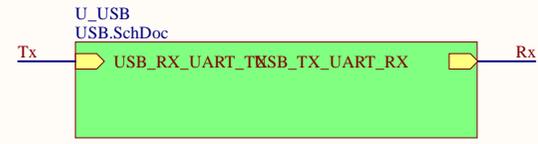
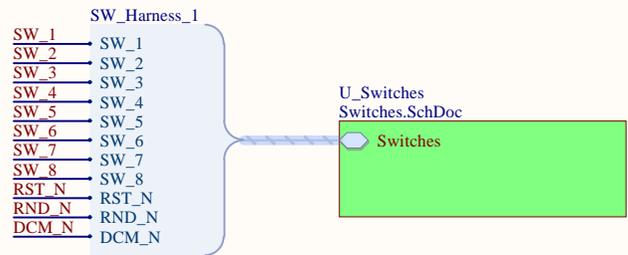
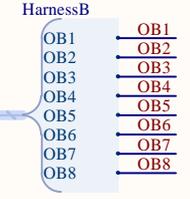
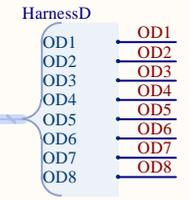
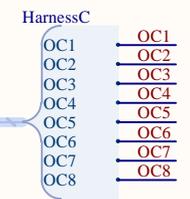
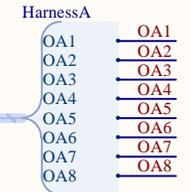
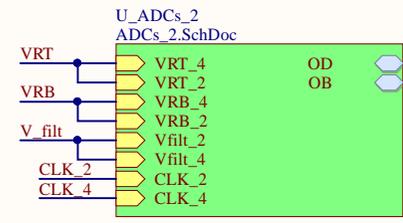
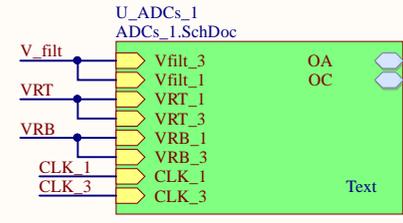
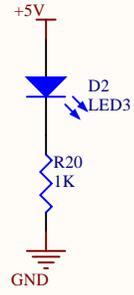
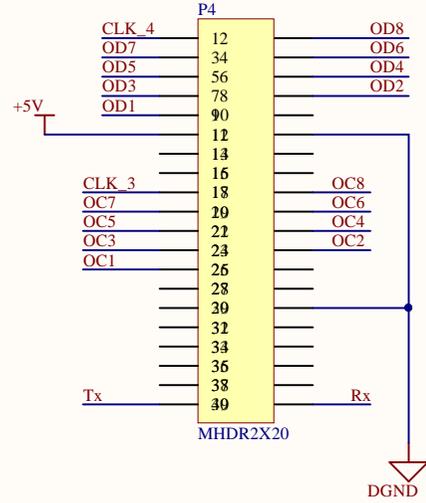
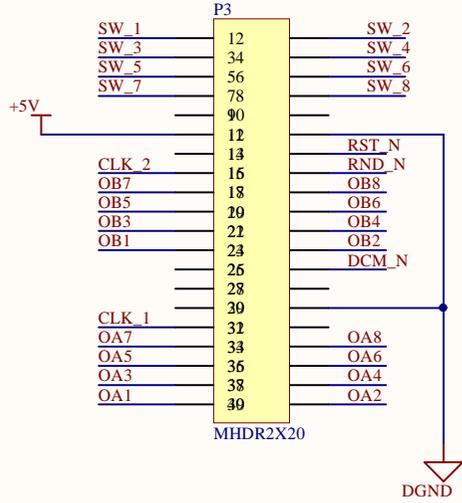
La etapa de entrada tiene una impedancia de aprox. 1 MOhm y 20 pF, para estar en adaptación con la punta de prueba del osciloscopio.

Se atenua la señal 10 veces para lograr el rango de 2 Vp-p del ADC empleado.

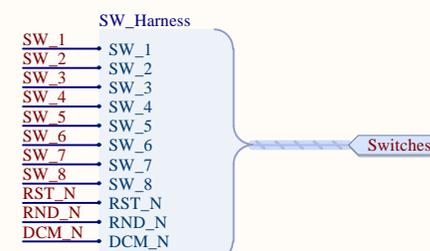
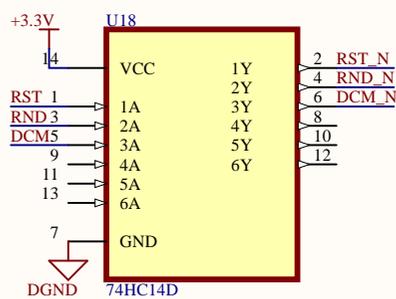
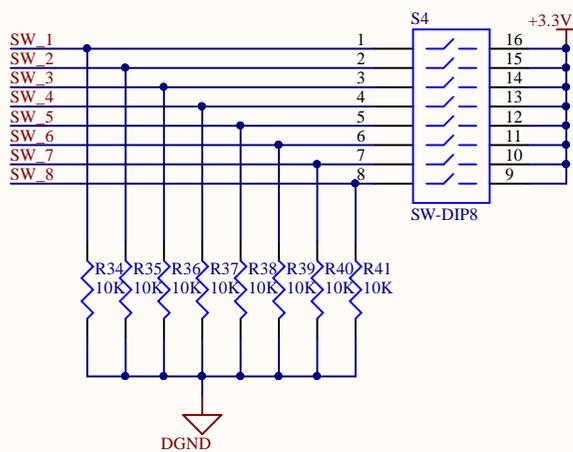
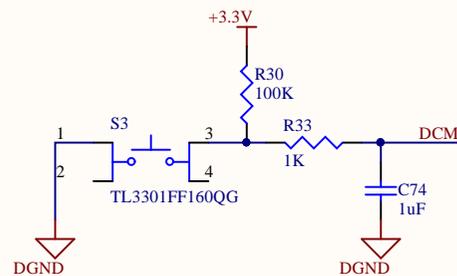
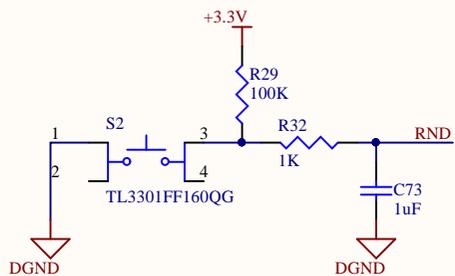
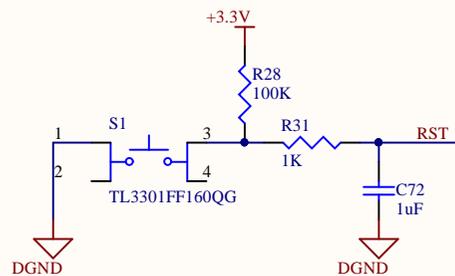
Uno de los capacitores es para ajustar la capacidad total y lograr la atenuación buscada.

La etapa de buffer tiene ganancia ajustable para lograr una ganancia total de (1) en conjunto con los filtros.

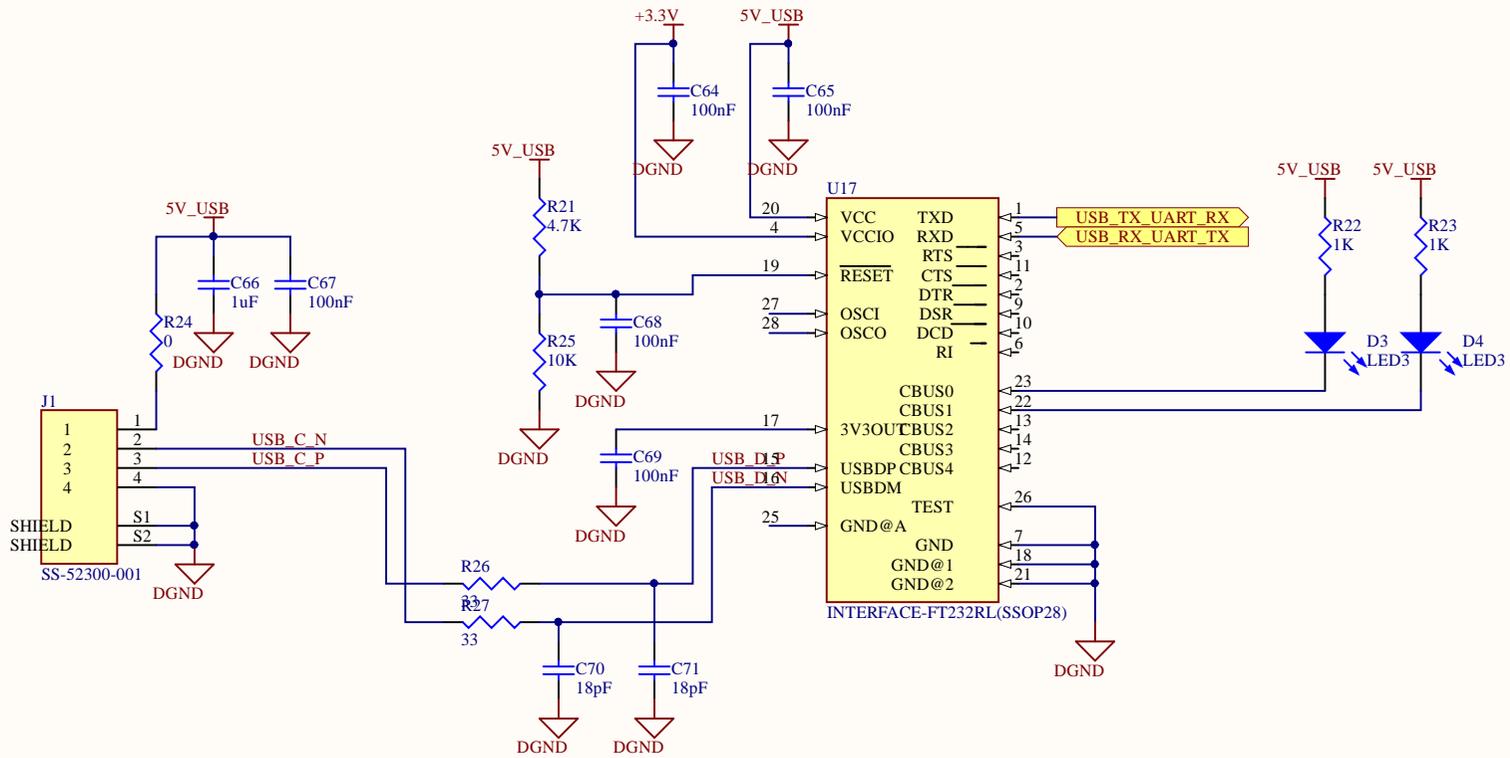
Title		
Atenuación y Filtro		
Size	Number	Revision
A4		
Date:	12/7/2023	Sheet of
File:	C:\Users\...\Atenuación y Filtro.SchDoc	Drawn By:



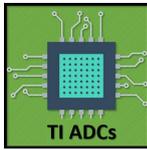
Title		
Conexiones GPIO		
Size	Number	Revision
A4		
Date:	12/7/2023	Sheet of
File:	C:\Users\...\Interfaz.SchDoc	Drawn By:



Title		
Interfaz Usuario		
Size	Number	Revision
A4		
Date:	12/7/2023	Sheet of
File:	C:\Users\...\Switches.SchDoc	Drawn By:



Title		
USB		
Size	Number	Revision
A4		
Date:	12/7/2023	Sheet of
File:	E:\PC Laboratorio Componentes\..USB_SCH.Dwg By:	



2.4 Plan de Pruebas

2.4.1 Ficha del documento

2.4.2 Introducción

Este documento tiene como finalidad actuar de guía para gestionar las distintas pruebas que se realizarán a lo largo del proyecto *Desarrollo de placa de adquisición basada en "Time Interleaving"*. Está dirigido a la cátedra de Trabajo Final Ing. Electrónica (4D0) / Ing. Computación (4F0) y a todos los involucrados en el desarrollo del proyecto.

Alcance

El plan de pruebas detallado a continuación contiene pruebas unitarias sobre de los distintos componentes del proyecto, pruebas integrales a partir de vincular dos o más componentes y pruebas de homologación con el fin de validar los requerimientos funcionales planteados.

Ambiente de prueba

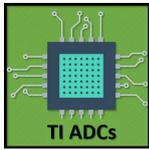
Se utilizarán 7 ambientes de prueba para cumplir con los 12 casos de prueba planteados:

- Atenuador x10 + Acople AC.
- Atenuador x10 + Acople AC + Filtro pasa-bajos.
- Alimentación general.
- Referencia de tensión.
- Interfaz de usuario.
- DE0-Nano.
- Placa de adquisición + DE0-Nano.

Instrumental, herramientas y software

Se utilizarán los elementos listados a continuación:

- Fuente partida de tensión regulable *DENKO D-303E*.
- Osciloscopio *Tektronix TDS 210*.
- Multímetro *Hewlett Packard 974A*.
- PC.
- Script desarrollado en Matlab.
- Generador de señales *Owon AG 1022*.



Política de trabajo

Se plantea la realización de la totalidad de los casos de prueba en el ámbito del Laboratorio de Componentes (LC) de la Facultad de Ingeniería de la UNMDP. El desarrollador del proyecto realizará las pruebas detalladas bajo la supervisión del personal del Laboratorio.

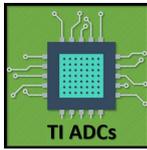
Comunicación

El reporte de resultados e incidencias se realizará principalmente con los directores Dr. Ing. Omar Gustavo Zabaleta e Ing. Lucas Rabioglio. Además, se mantendrá una fluida comunicación con el Laboratorio de Sistemas Caóticos (LSC), quien solicitó el proyecto.

2.4.3 Plan

Módulo	ID	Prueba	Tipo de Prueba	Procedimiento	Instrumental	Resultado Esperado	Fecha de Prueba	Iteración	Resultado Obtenido	Observaciones
Atenuador pasivo x10 + acople AC	1	Verificación de atenuación y eliminación de componente de DC	Unitaria	Conectar el generador de señales a la placa de adquisición, setear una señal senoidal e ir barriendo en el rango de frecuencias de interés (0 a 30Mhz) y con distintos niveles de Offset (-5V a 5V). Visualizar la señal de salida (NET Vat_10) con Osciloscopio	Generador de señales. Osciloscopio	Obtener una atenuación de 10 veces en todo el rango de frecuencias de interés y un nivel de DC de 0 Volts.	21/6/2023	2	Se obtuvo el resultado esperado	
Placa de adquisición + DE0-Nano	2	Alimentación general del sistema.	Integral	Conectar la placa de adquisición con la DE0-Nano. Conectar los cables de alimentación a la fuente partida de tensión regulable. Medir tensiones a la salida de los reguladores de la placa de adquisición y en los pines de alimentación de la DE0-Nano.	Fuente partida de tensión regulable. Multímetro.	Obtener tensiones de +5V y +3.3V en los nodos donde corresponda y un consumo de corriente no mayor a 600 mA.	7/6/2023	2	Se obtuvo el resultado esperado.	Se utilizó una tensión de alimentación +/- 8V (distinta a la propuesta inicialmente).
Atenuador pasivo x10 + acople AC + Filtro pasabajos	3	Verificación de atenuación, eliminación de componente de DC y frecuencia de corte	Integral	Conectar el generador de señales a la placa de adquisición, setear una señal senoidal e ir barriendo en el rango de frecuencias de interés (0 a 30Mhz) y con distintos niveles de Offset (-5V a 5V). Visualizar la señal de salida (NET V_fit) con Osciloscopio	Generador de señales. Osciloscopio	Obtener una atenuación de 10 veces en todo el rango de frecuencias de interés, un nivel de DC de 1.6 Volts y una frecuencia de corte de 30Mhz.	21/6/2023	2	Se obtuvo el resultado esperado.	
DE0-Nano	4	Verificación de señales de clock	Unitaria	Conectar la placa de adquisición con la DE0-Nano, ingresar tensión de alimentación y pulsar el boton de <i>Reset</i> . Observar con osciloscopio las señales de clock de cada ADC (NETs: <i>clk_1</i> ; <i>clk_2</i> ; <i>clk_3</i> y <i>clk_4</i>)	Fuente partida de tensión regulable. Osciloscopio.	Obtener señales pulsadas de 3.3V de amplitud y frecuencia 15 Mhz	8/6/2023	2	Resultado satisfactorio	La señal pulsada presenta amplitud mayor a la esperada y cierta deformación.
Interfaz UART/USB	5	Verificación de transmisión de datos	Unitaria	Simular entrada de datos en la FPGA mediante la inclusión de un contador. Conectar la placa de adquisición con la DE0-Nano, ingresar tensión de alimentación, conectar el cable USB a la placa y a la PC, y pulsar el boton de <i>Start</i> . Graficar los datos obtenidos en Matlab.	Fuente partida de tensión regulable. PC + Script Matlab	Comunicación a 115200 baudios y un gráfico tipo rampa.	7/6/2023	1	Se obtuvo el resultado esperado.	
Referencia de tensión	6	Verificación de las tensiones de referencia de los 4 ADCs	Unitaria	Alimentar la placa de adquisición y medir con el Multímetro las tensiones en los NETs VRT y VRB .	Fuente partida de tensión regulable. Multímetro.	Medición de +2.6V en VRT y +0.6 en VRB .	7/6/2023	1	Se obtuvo el resultado esperado	Requirió ajuste manual en los potenciómetros R6 y R3 .
Interfaz Usuario	7	Verificación de anti-rebote en los botones <i>Start</i> , <i>Reset</i> y <i>Config</i>	Unitaria	Alimentar la placa de adquisición, presionar uno de los botones y medir con osciloscopio (en modo disparo único) el NET correspondiente a la salida del inversor Schmit Trigger.	Fuente partida de tensión regulable. Osciloscopio.	Señal tipo escalón sin oscilaciones.	7/6/2023	1	Se obtuvo el resultado esperado.	
Placa de adquisición + DE0-Nano	8	Verificación de adquisición de datos	Integral	Conectar la placa de adquisición con la DE0-Nano, alimentar el sistema, y, conectar el generador de señales a la entrada de señal, setear una señal senoidal e ir barriendo en el rango de frecuencias de interés (0 a 30Mhz) y con distintos niveles de Offset (-5V a 5V). Conectar el sistema a la PC mediante USB y graficar la señal adquirida.	Fuente partida de tensión regulable. PC + Script Matlab	Observar en el gráfico en la PC una señal de igual amplitud y forma a la seteada en el generador de señales.	26/6/2023	3	Se obtuvo el resultado esperado	
Placa de adquisición + DE0-Nano	9	Verificación de funcionalidad "Elección de PRNG"	Homologación	Conectar la placa de adquisición con la DE0-Nano, alimentar el sistema, pulsar el botón <i>Reset</i> y medir las señales de clock con el osciloscopio. Seleccionar b"11000001" con el dip-switch y pulsar el botón <i>Config</i> , luego, volver a medir las señales de clock con el osciloscopio.	Fuente partida de tensión regulable. Osciloscopio.	Observar, en primera instancia, señales de clock pulsadas y <u>estáticas</u> de frecuencia 15MHz. En segunda instancia se debería observar una señal pulsada pero no estática debido a la no periodicidad de la misma.	7/6/2023	1	Se obtuvo el resultado esperado.	

Placa de adquisición + DEO-Nano	10	Verificación de funcionalidad "elección de cantidad de procesos adquisición-envío de datos"	Homologación	Conectar la placa de adquisición con la DEO-Nano, alimentar el sistema, ingresar una señal senoidal con el generador de funciones y pulsar el botón <i>Reset</i> . Luego, seleccionar b"10000001" con el dip-switch y pulsar el botón <i>Config</i> .	Fuente partida de tensión regulable. PC + Script Matlab	Se deben recibir en la PC los datos de la memoria de la FPGA tantas veces como se haya seleccionado (2 en este caso).	8/6/2023	1	Se obtuvo el resultado esperado.	
Placa de adquisición + DEO-Nano	11	Verificación de funcionalidad "diezmado de muestras"	Homologación	Conectar la placa de adquisición con la DEO-Nano, alimentar el sistema, ingresar una señal senoidal con el generador de funciones y pulsar el botón <i>Reset</i> . Luego, seleccionar b"00000001" (diezmado de 1 muestra) con el dip-switch y pulsar el botón <i>Config</i> .	Fuente partida de tensión regulable. PC + Script Matlab. Generador de señal	El gráfico en pantalla debe tener el doble de periodos de la señal que en el caso sin diezmado de muestras	8/6/2023	1	Se obtuvo el resultado esperado.	
Placa de adquisición + DEO-Nano	12	Muestreo aleatorio	Homologación	Conectar la placa de adquisición con la DEO-Nano, alimentar el sistema, conectar el generador de señales a la entrada de señal y setear una señal senoidal. Seleccionar b"11000001" con el dip-switch y pulsar el botón <i>config</i> . Conectar el sistema a la PC mediante USB y graficar la señal adquirida.	Fuente partida de tensión regulable. PC + Script Matlab. Generador de señal	Observar en el gráfico en la PC una señal de igual amplitud y forma a la seteada en el generador de señales.	26/6/2023	4	Se obtuvo el resultado esperado.	Se requirió una modificación del sistema implementado en FPGA.

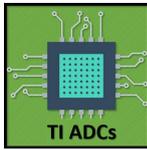


2.5 Matlab scripts

En este apéndice se incluyen los scripts desarrollados en *Matlab* que han sido utilizados durante los ensayos del sistema.

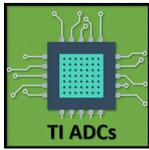
Listing 2.1: Puerto serie data

```
1
2 function [data_in, secuencia] = puerto_serie_data(muestras)
3
4 delete(instrfind('port'),'COM3'));
5 puerto = serial('COM3');
6 puerto.BaudRate = 115200;
7 puerto.StopBits = 1;
8 puerto.DataBits = 8;
9 puerto.InputBufferSize = muestras;
10
11 fopen(puerto);
12 contador = 1;
13 posic = 1;
14
15 data_in = zeros(1, muestras/2);
16 secuencia = zeros(1, muestras/2);
17
18
19 memoria = fread(puerto, muestras);
20
21 %Ciclo para ir realizando la grafica paso a paso
22 while contador <= muestras
23 data_in(posic) = memoria(contador,1);
24 secuencia(posic) = memoria(contador +1,1);
25 contador = contador +2;
26 posic = posic +1;
27 end;
28
29 %Cierra y borra el puerto utilizado, borra todas las variables
   utilizadas
30 fclose(puerto);
31 delete(puerto);
32 %clear all;
33 end
34
```



Listing 2.2: Ordenamiento de secuencia

```
1
2 function [data_ord, inicio] = Ordenamiento_secuencia(secuencia,
3             data_input)
4 inicio = 1;
5 data_ord = zeros(1,length(secuencia));
6
7 for i = 1: length(secuencia)
8     m = 1;
9     x = secuencia(i);
10    cycles_count = 0;
11    while cycles_count < 4
12
13        %(Operando a 50MHZ) Si el indice (m) supera el valor 50 quiere decir que
14            al adc le llego un pulso de 1 Mhz que es lo minimo permitido
15
16        if (m > 50) || (i+m > length(secuencia))
17            if i == 1
18                data_ord(i) = 0;
19            else
20                data_ord(i) = data_ord(i-1);
21            end
22            break
23        end
24
25        if secuencia(i+m) == x
26            cycles_count = cycles_count +1;
27        end
28
29        %Cuando cuento 3 ciclos de reloj, la muestra en ese instante es valida y
30            corresponde al indice de hace 3 ciclos atras
31
32        if cycles_count == 4
33            data_ord(i) = data_input(i+m);
34            if i == 1
35                inicio = m;
36            end
37        end
38        m = m + 1;
39    end
40    end
```



Listing 2.3: Graficación

```
1
2 [x,y] = puerto_serie_data(65536);
3 [data_ord, inicio] = Ordenamiento_secuencia(y,x);
4
5 escala_amp = 10*(2/255);
6 Ts = 1/60;
7 Time = 0:Ts:(length(data_ord)-(inicio+1))*Ts;
8 x_aux = x(inicio+1:length(x));
9 data_ord_aux = data_ord(1:length(data_ord)-(inicio));
10
11 fig = figure;
12 fig.Name = 'Adquisicion';
13
14 ax1 = subplot(2,1,1);
15 plot(Time,(x_aux-127.5).*escala_amp,'b')
16 grid(ax1, 'on')
17 grid(ax1, 'minor')
18 title('Data original')
19 xlabel('Tiempo [us]')
20 ylabel('Amplitud [V]')
21
22 ax2 = subplot(2,1,2);
23 plot(Time,(data_ord_aux-127.5).*escala_amp,'r')
24 grid(ax2, 'on')
25 grid(ax2, 'minor')
26 title('Data ordenada')
27 xlabel('Tiempo [us]')
28 ylabel('Amplitud [V]')
29
```