

DISEÑO E IMPLEMENTACIÓN DE UN MÓDULO DE COMUNICACIONES PARA LA RED DE DATOS 3G

Simón Bourguigne

Este Trabajo Final de carrera fue presentado al Departamento de Electrónica de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata el 10 de Julio de 2015, como requisito parcial para la obtención del título de
Ingeniero en Electrónica

Director: Ing. Gustavo C. Uicich



RINFI se desarrolla en forma conjunta entre el INTEMA y la Biblioteca de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata.

Tiene como objetivo recopilar, organizar, gestionar, difundir y preservar documentos digitales en Ingeniería, Ciencia y Tecnología de Materiales y Ciencias Afines.

A través del Acceso Abierto, se pretende aumentar la visibilidad y el impacto de los resultados de la investigación, asumiendo las políticas y cumpliendo con los protocolos y estándares internacionales para la interoperabilidad entre repositorios



Esta obra está bajo una [Licencia Creative Commons Atribución-
NoComercial-CompartirIgual 4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/).

El presente trabajo de tesis fue realizado en las instalaciones de Lyrtron SA para ser presentado al Departamento de Electrónica, Facultad de Ingeniería, Universidad Nacional de Mar del Plata.

A mi novia, familia y amigos

Índice general

1. Objetivos y Alcance del Proyecto	1
2. Definición del Sistema a Desarrollar	3
2.1. Aspectos Físicos	3
2.1.1. Aspectos Eléctricos	3
2.1.2. Aspectos Mecánicos	5
2.2. Formato de datos y estructura del canal de TX	6
2.3. Descripción de Estándares a Adherir	7
2.3.1. TRP	8
2.3.2. TIS	8
2.3.3. RSE	9
3. Desarrollo de una Solución	11
3.1. Evaluación de Posibles SoCs a Emplear	11
3.1.1. Descripción del Módulo HE910	12
3.1.1.1. Lógica	12
3.1.1.2. Secuencia de encendido	12
3.1.1.3. Alimentación	13
3.1.1.4. Otras características y recomendaciones impor- tantes	13
3.2. Diagrama en Bloques Propuesto	14

3.3.	Desarrollo del Esquema Circuital - Cálculos Asociados	16
3.3.1.	Fuente de Alimentación	16
3.3.1.1.	Dimensionamiento de Componentes Reactivos	17
3.3.1.2.	Calculo de una red de Compensación	18
3.3.2.	Circuito de Encendido	22
3.3.3.	Circuito de ESD/EMI para la interfaz SIM	27
3.3.4.	Circuito esquemático	28
3.4.	Diseño de RF	30
3.4.1.	Estructura de Microstrips	30
3.4.2.	Consideraciones a Nivel Sistema - Espaciamiento de antenas	33
3.5.	Construcción del PCB	34
3.5.1.	Diseño Térmico	34
3.5.2.	Dimensionamiento de Lineas de Transmisión	36
3.5.3.	Consideraciones de Diseño del PCB	36
3.5.3.1.	Fabricabilidad y Testeabilidad	38
3.5.4.	Diseño CAD del PCB	39
4.	Mediciones Realizadas y Resultados Obtenidos	45
4.1.	Tensiones de Alimentación en Reposo	46
4.2.	Formas de Onda	46
4.2.1.	Fuente de 3V8	46
4.2.2.	Secuencia de Encendido	48
4.3.	Impedancia controlada	51
4.4.	Comunicación Interna	51
4.4.1.	USB	51
4.4.2.	UART	51
4.5.	Conexión a la Red Celular y Tasa de Transferencia	52

4.5.1. Ensayo de Bajo Nivel	53
4.5.2. Ensayo de Alto Nivel	55
4.5.2.1. Entradas de los Archivos de Configuración	55
5. Conclusión	59
Bibliografía	61

Índice de tablas

2.1. Especificaciones de la interfaz eléctrica	4
2.2. Umbrales de <i>RSE</i> para pasar certificación	9
3.1. Opciones de módulos celulares. *El precio es unitario a 5000 unidades	12
3.2. Niveles Lógicos	12
3.3. Especificacion de Alimentacion	14
3.4. Dimensiones lineas de transmision [mm]	32
4.1. Tensiones de Alimentacion	46

Índice de figuras

2.1. Esquema mecánico del módem a desarrollar	5
3.1. Secuencia de encendido	13
3.2. Diagrama en bloques del Sistema	15
3.3. Topología del circuito a dimensionar.	17
3.4. Diagrama en bloques del Convertidor	19
3.5. Modelo circuital del convertidor.	20
3.6. Diagrama en bloques.	20
3.7. Diagrama de Bode de la planta y compensación.	21
3.8. Circuito preliminar de encendido.	24
3.9. Formas de Onda deseadas.	25
3.10. Arreglo Lógico.	25
3.11. Circuito de descarga	26
3.12. Circuito esquemático del EClamp2455K	28
3.13. Circuito Esquemático	29
3.14. Vista en corte de una línea microstrip	30
3.15. Vista en corte de un par diferencial	30
3.16. Ganancia Media Efectiva en función de la separación de antenas.	34
3.17. Capa Top	40
3.18. Capa Mid1	41

3.19. Capa Mid2	42
3.20. Capa Bottom	43
3.21. Render de la placa real	44
4.1. Fotografía del PCB ensamblado	45
4.2. Transitorio de tensión en la fuente de 3V8 en amarillo y de la fuente de 5V en cyan.	47
4.3. Arreglo experimental para realizar mediciones.	48
4.4. Arreglo experimental para medir la secuencia de encendido	49
4.5. Tensión en el colector de Q3 en amarillo y alimentación de 3V3 en cyan.	49
4.6. Tensión en C15 en amarillo y alimentación de 3V3 en cyan.	50
4.7. Tensión en el colector de Q3 en amarillo y alimentación de 3V3 en cyan.	50
4.8. Captura de entrada y salida del logic translator	52
4.9. Modem 3G montado sobre el MBAP	53
4.10. Verificación de conexión a la red	54

1. Objetivos y Alcance del Proyecto

A pedido de una empresa de Ingeniería de Mar del Plata, se requiere desarrollar un módem para transmisión de datos sobre la red celular. El sistema debe agregarse a una placa existente, en lo subsiguiente MBAP, a modo de módulo universal, empleando una estructura de interfaces definida por la empresa.

En particular, se pretende acceder a la red celular bajo estándar 3G con posibilidades de fall-back 2G para no perder conectividad en caso de que la primera no esté disponible. El sistema a diseñar debe cumplir las siguientes especificaciones:

- Protocolos de comunicación 3G/3.5G: HSPA+, UMTS
- Protocolos de comunicación 2G (y sucesores): GSM, GPRS, EDGE
- Interfaz de comunicación interna: USB y UART.
- Temperatura Ambiente de Operación: $-40^{\circ}C$ a $85^{\circ}C$ (grado industrial)
- Compatibilidad mecánica y eléctrica con el MBAP.

2. Definicion del Sistema a Desarrollar

2.1. Aspectos Fisicos

2.1.1. Aspectos Electricos

El módem a diseñar debe interconectarse con un *MBAP* por medio de una tira de postes cuyo pinout se describe a continuación:

Tabla 2.1: Especificaciones de la interfaz eléctrica

Nro. de Pin	Designación	Descripción
1	<i>3V3</i>	Entrada de 3V3/1.5A
2	<i>GND</i>	Referencia del Circuito
3	<i>5V</i>	Entrada de 5V/4A
4	<i>5V</i>	Entrada de 5V/4A
5	<i>GND</i>	Referencia del Circuito
6	<i>GND</i>	Referencia del Circuito
7	<i>NC</i>	Sin Conexión
8	<i>GND</i>	Referencia del Circuito
9	<i>GNC</i>	Sin Conexión
10	<i>USB_P</i>	Terminal positivo interfaz USB
11	<i>USB_N</i>	Terminal negativo interfaz USB
12	<i>UART_TX_3V3</i>	Transmisión hacia el módem
13	<i>GND</i>	Referencia del Circuito
14	<i>UART_RX_3V3</i>	Recepción serie hacia el módem
15	<i>RESET</i>	Entrada de Reset
16	<i>GPIO1</i>	Puerto digital de E/S
17	<i>GPIO2</i>	Puerto digital de E/S
18	<i>SPI_MISO</i>	Línea de datos SPI
19	<i>SPI_MOSI</i>	Línea de datos SPI
20	<i>SPI_CLK</i>	Clock SPI
21	<i>SPI_CS</i>	SPI Chip Select
22	<i>GND</i>	Referencia del Circuito

2.1.2. Aspectos Mecánicos

La placa debe tener las dimensiones especificadas en la figura 2.1 y un espesor de $1,6mm$. La misma será montada sobre el *MBAP* quedando entre las mismas un espacio de $4,4mm$. Esto significa que cualquier componente que se ubique en la capa inferior del PCB, no podrá superar esta altura, tolerancia incluida. Para los componentes de la capa superior, no existe restricción alguna.

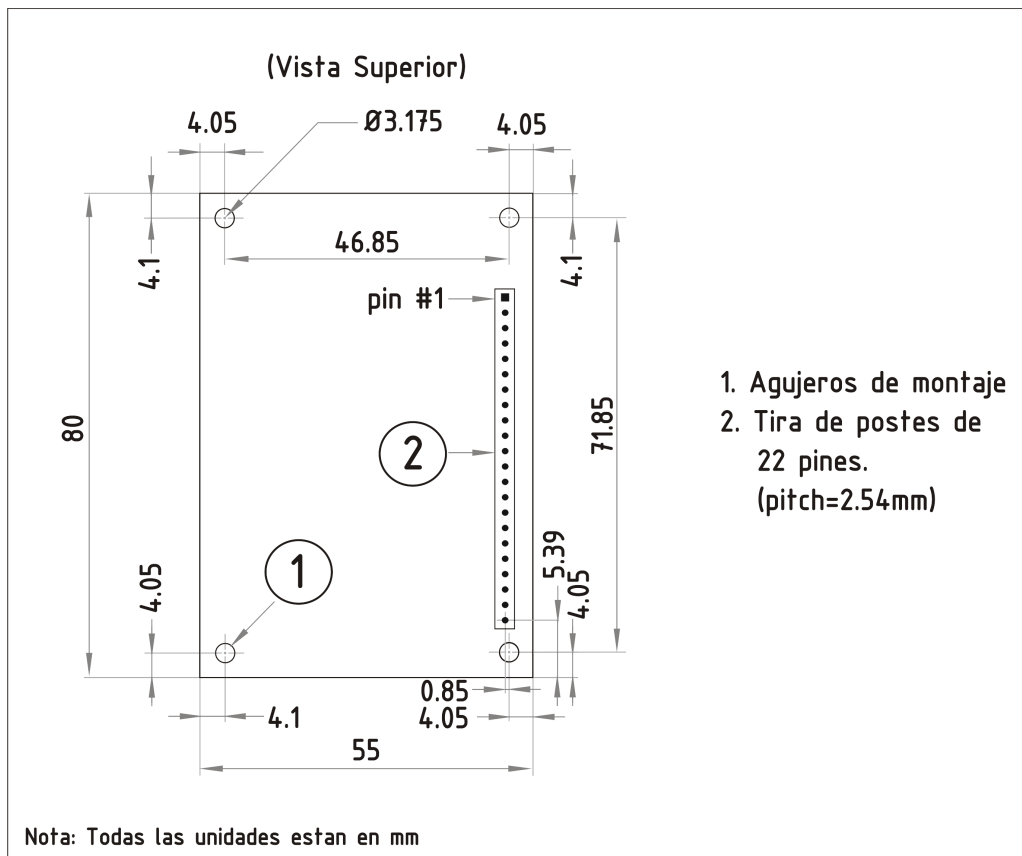


Figura 2.1: Esquema mecánico del módem a desarrollar

2.2. Formato de datos y estructura del canal de TX

La primera generación (1G) de la red celular de comunicación, no se trató de una red de datos, sino de una red de telefonía. La misma tuvo origen en la década de 1980 en Japón. Esta red se caracterizó por utilizar modulación analógica de frecuencia (FM) para transmisión de voz. Conforme los gobiernos alrededor del mundo comenzaron a ofrecer licencias en la banda 1800 – 2000Mhz posteriormente en 1990, se propició la adopción acelerada de la telefonía celular que desembocó en la creación de la primera red 2G, la red *GSM*. La red 2G a diferencia de su predecesor, resultó netamente digital e incluso utilizó encriptación para proveer seguridad con la posibilidad de transferencia de datos. Esta generación de red comprendió una serie de protocolos que difieren en su forma de acceso al medio (*TDMA* y *CDMA*). Entre los protocolos que utilizan *TDMA* se encuentran *GSM*, *PDC* (Japón), *iDEN* (red propietaria de Nextel) e *IS – 136D – AMPS* (denominado también, *TDMA*). En cuanto a lo que a *CDMA* respecta, solo un protocolo utiliza este método de acceso al medio cual es el *IS – 95* o conocido simplemente como *CDMA*.

En la década de 1980, la Unión Internacional de Telecomunicaciones (*ITU*) se embarcó en un esfuerzo de investigación y desarrollo que duro 15 años, posteriormente resumido y puesto a disposición del público en un documento llamado *IMT – 2000* en el año 2000. Este documento presenta una serie de especificaciones técnicas que debe cumplir una red 3G. Basándose en estas especificaciones, la industria de telecomunicaciones realizó un esfuerzo conjunto orientado a los proyectos *3GPP* y *3GPP2* para hacer viable una red 3G robusta. Fue así como surgieron los dos estándares troncales *UMTS* y *CDMA2000*, donde ambos

utilizan un esquema *CDMA*. Entre las características de estas redes se destaca frente a sus antecesores, la velocidad de transferencia de datos, con tasas teóricas de $10Mbps$ de descarga.

Existen también redes transicionales entre $2G$ y $3G$, como lo son $2,5G$ (*GPRS*) y $2,75G$ (*EDGE*) que incorporan nuevas funcionalidades o mayores tasas de transmisión, uso más eficiente del espectro permitiendo mayor cantidad de suscriptores o mejor calidad de servicio, etc. Lo mismo ocurre con la red $3G$, existen nuevas versiones superadoras, como es el caso de *HSPA+* que alcanza velocidades de subida de $14,4Mbps$.

Cabe destacar que la telefonía móvil es un área de rápida evolución y donde se pretende compatibilidad entre todos los estándares.

2.3. Descripción de Estándares a Adherir

Para que el producto pueda ser comercializado en USA y Canadá es necesario que certifique *PTCRB* de la asociación *CTIA* [1]. En particular se evalúan tres cifras de mérito:

- TRP: Potencia Irradiada Total (Total Irradiated Power)
- TIS: Sensibilidad Isotrópica Total (Total Isotropic Sensitivity)
- RSE: Emisión de Espurias Irradiadas (Radiated Spurious Emissions)

Si bien el estándar no especifica umbrales para la *TRP* y *TIS*, existe un marco regulatorio que establece los umbrales para poder ser aceptado por el proveedor de servicio de telefonía. El estándar sí especifica valores umbral de *RSE*.

2.3.1. TRP

La *TRP* es una medida de cuánta potencia es irradiada por una antena cuando la misma esta conectada a un transmisor, es decir operando conectada al equipo con el que funcionará en campo. Cabe destacar, que esto no es equivalente a aquello que se obtiene de sustraer las pérdidas por eficiencia en la antena ya que esto último no incluye pérdidas en los conectores, cables y por acoplamiento entre la antena y el equipo. En resumen, la *TRP* da una fiel representación de la potencia promedio que puede radiar el sistema. Su medición se realiza en una cámara anecoica, tomando valores de Potencia Isotrópica Efectiva Irradiada (*EIRP* : *Effective Isotropic Irradiated Power*) y promediando sobre una esfera, es decir, por definición:

$$TRP = \frac{1}{4\pi} \int_0^{2\pi} \int_0^{\pi} EIRP(\theta, \phi) \sin(\phi) d\theta d\phi \quad (2.1)$$

2.3.2. TIS

La *TIS* da una idea de la mínima potencia de señal que un equipo es capaz de recibir y demodular. Para su medición se coloca el equipo en una cámara anecoica y se realiza un barrido en forma de esfera capturando valores de *EIS* (Sensibilidad Isotrópica Efectiva) y promediando sobre una esfera.

La *EIS* tiene unidades de potencia. Para su medición se envía una señal conocida con polarización en θ o ϕ en cada posición de la esfera (θ, ϕ) y se mide la tasa de paquetes con error (*PER*) del lado receptor. Luego se reduce gradualmente la potencia de la señal transmitida hasta llegar al umbral $PER = 10\%$. La potencia recibida al registrarse dicha tasa de error se denominada Sensibilidad Isotrópica Efectiva. La *TIS* es el promedio de *EIS* sobre la esfera, y se define como:

$$TIS = \frac{4\pi}{\int_0^{2\pi} \int_0^{\pi} [\frac{1}{EIRP_{\theta}(\theta,\phi)} + \frac{1}{EIRP_{\phi}(\theta,\phi)}] \sin(\phi) d\theta d\phi} \quad (2.2)$$

La razón por la cual no se toma un promedio aritmético es para quitarle peso a aquellos puntos donde la sensibilidad es muy baja (y por ende $EIRP$ alto) ya que los mismos sesgan el resultado. Para subsanar esto, se promedian los recíprocos de la sensibilidad y se toma la inversa de la integral para obtener la TIS .

2.3.3. RSE

La RSE mide la potencia que transmite el equipo fuera de banda. Este es el parámetro mas crítico ya que de no cumplir con los límites establecidos el producto no pasa certificación. La $PTCRB$ hereda el límite de la norma europea, en particular, del documento [2]. Los umbrales pueden observarse en la tabla 2.2, donde Δf se refiere a la frecuencia entre el límite de la banda y la espuria.

Tabla 2.2: Umbrales de RSE para pasar certificación

Banda	Offset de frecuencia fuera de la banda	Máximo límite de potencia
9Khz a 1GHz	$\geq 2 Mhz$	$-25 dBm$
	$\geq 5 Mhz$	$-20 - 4,2(\Delta f - 5)[dBm]$
	$\geq 10 Mhz$	$-36 dBm$
9Khz a 1GHz	$\geq 2 Mhz$	$-25 dBm$
	$\geq 5 Mhz$	$-20 - 4,2(\Delta f - 5)[dBm]$
	$\geq 10 Mhz$	$-30 dBm$

3. Desarrollo de una Solucion

3.1. Evaluacion de Posibles SoCs a Emplear

Pensando en una producción en grandes cantidades se consideraron una serie de fabricantes de sistemas embebidos en chip:

- ZTE
- Sierra Wireless
- Telit

ZTE se descarto por no cumplir con el rango industrial de temperatura. En los casos de Sierra Wireless y Telit, ambos ofrecen alternativas que cumplen con todo lo especificado. Se analizan ambos casos teniendo en cuenta los protocolos que cubre cada modulo y su precio. En la tabla 3.1 se muestran las distintas opciones. Se ve que desde el punto de vista del precio, el modulo *HL8548* de *Sierra Wireless* parece la solución mas razonable, de todos modos se eligió utilizar el modulo *HE910 – NAG* de *Telit* a pesar de ser ligeramente mas costoso. Esto se debe simplemente a que con la familia de módulos *xE910* de *Telit* se pueden cubrir todos los protocolos y redes, incluso de *4G* y los mismos son compatibles pin a pin, lo que significa que el diseño que se haga podrá ser utilizado para otros módulos dándole mayor versatilidad al circuito impreso.

Tabla 3.1: Opciones de módulos celulares.

*El precio es unitario a 5000 unidades

<i>Fabricante</i>	<i>Modelo</i>	<i>CDMA</i>	<i>GSM/GPRS</i>	<i>EDGE</i>	<i>HSPA</i>	<i>EDVO</i>	<i>LTE</i>	<i>Precio*</i>
<i>Sierra Wireless</i>	<i>WP7102</i>		✓	✓	✓		✓	120,9
	<i>HL8548</i>		✓	✓	✓			36,4
	<i>MC7304</i>		✓	✓	✓		✓	83
	<i>MC7355</i>	✓	✓	✓	✓	✓	✓	125
	<i>MC7700</i>		✓	✓	✓		✓	125
<i>Telit</i>	<i>HE910 – NAG</i>		✓	✓	✓			48,75
	<i>LE910 – NAG</i>		✓	✓	✓		✓	93,75
	<i>LE910 – NVG</i>					✓		93,75
	<i>DE910</i>	✓				✓		55,42

3.1.1. Descripción del Modulo HE910

De la hoja de datos del modulo HE910 [3] en conjunto con la del modulo LE910 [4] (para verificar la compatibilidad) se destacan los siguientes datos que deben ser tenidos en cuenta para la etapa de diseño.

3.1.1.1. Lógica

El modulo utiliza una lógica de tipo CMOS de 1V8 [3] [4] para los puertos digitales que sigue los niveles indicados en la tabla 3.2

Tabla 3.2: Niveles Lógicos

	<i>Min</i>	<i>Max</i>
<i>Input Low</i>	0V	0,35V
<i>Input High</i>	1,5V	1,9V
<i>Output Low</i>	0V	0,2V
<i>Output High</i>	1,6V	1,9V

3.1.1.2. Secuencia de encendido

Una vez que el modulo es alimentado, es necesario forzar la linea *ON_OFF* en bajo al menos 5 segundos para que se inicie la secuencia de booteo [3]. Por otro lado el modulo LE910 requiere una secuencia ligeramente mas compleja [4],

la misma puede verse en la figura 3.1. Cumpliendo con la secuencia del LE910 se cumple automáticamente con la del HE910 de modo que se implementara la del LE910.

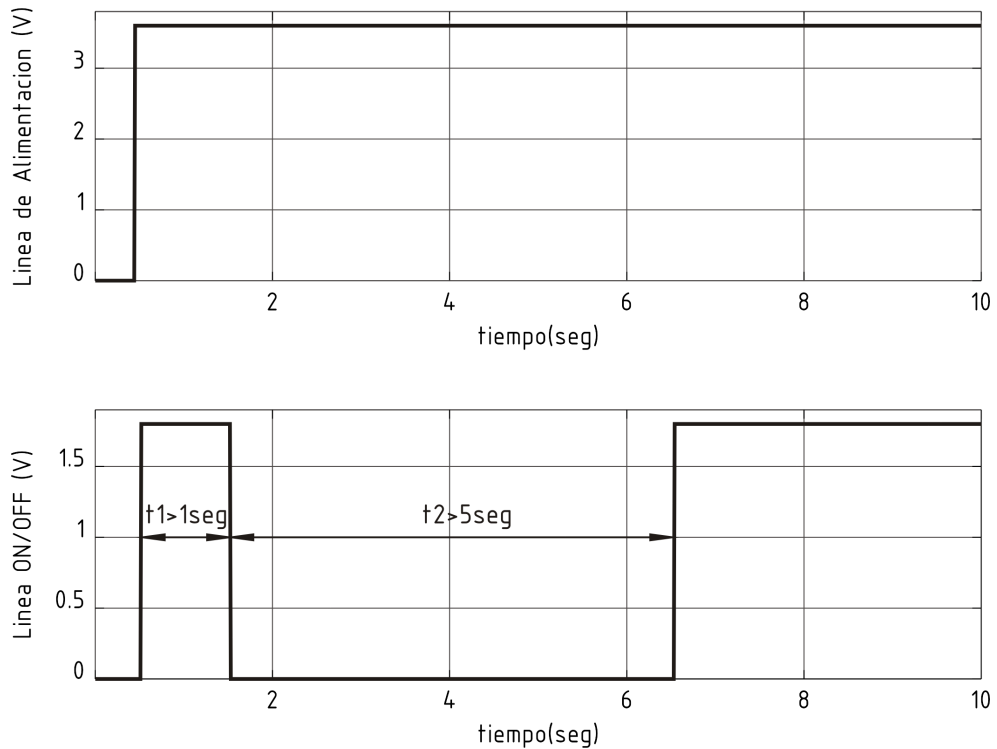


Figura 3.1: Secuencia de encendido

3.1.1.3. Alimentación

El detalle sobre los requerimientos de alimentación del modulo pueden verse en la tabla 3.3. En rigor el rango de tensiones del modulo celular seleccionado es ligeramente mayor, pero por compatibilidad con el LE910 [3] [4] se toma el peor caso. Como la transmisión de datos se realiza por ráfagas a una frecuencia de $216Hz$, el modulo presenta un consumo pulsado con picos de $\sim 2,1A$.

3.1.1.4. Otras características y recomendaciones importantes

- Soporte para diversidad de antenas.

Tabla 3.3: Especificación de Alimentación

<i>Tension</i>	<i>Min</i>	<i>Nominal</i>	<i>Max</i>
	3,4V	3,8V	V
<i>Corriente</i>	<i>Reposo</i>	<i>Efectiva</i>	<i>Pico</i>
	~ 1mA	~ 680mA	~ 2,1A

- Línea de *PowerMonitor* (*ON_OFF_STATUS*).
- Línea de entrada para disparar secuencia de apagado (*SW_RESET*). Para apagar el módulo se coloca en bajo la línea *ON/OFF* por más de 3 segundos.
- Línea de entrada para disparar secuencia de apagado forzado (*HW_SHUTDOWN*). Se coloca en bajo durante al menos *200mseg*
- Como requisito, las tres antenas (Main, diversity y *GPS*) deben tener una impedancia de radiación de 50Ω .
- Los trazos de *RF* deben ser de impedancia controlada (50Ω) y una atenuación máxima de *0,3dB*.
- Las líneas del *USB* deben tener una impedancia diferencial de 90Ω .
- Se debe proveer en forma externa circuitería de protección contra descarga electrostática a las líneas de la interfaz *SIM*.
- Módulo *GPS* incorporado (interfaz *AT*).

3.2. Diagrama en Bloques Propuesto

Teniendo en cuenta la especificación de ingeniería y las características se confecciono un diagrama en bloques del sistema (figura 3.2).

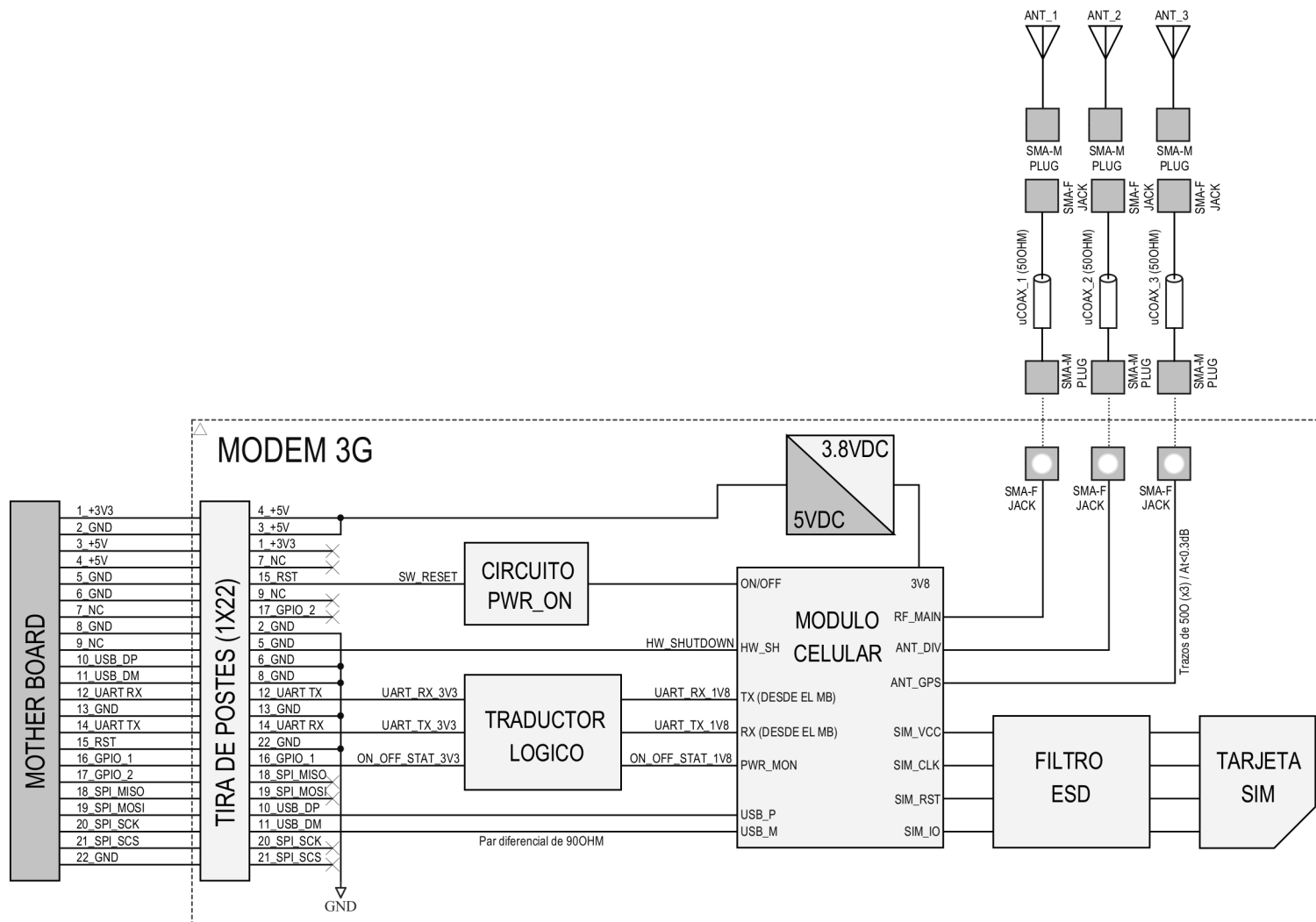


Figura 3.2: Diagrama en bloques del Sistema

3.3. Desarrollo del Esquema Circuitual - Cálculos Asociados

3.3.1. Fuente de Alimentación

Como se menciona en la sección 3.1.1.3, la fuente deberá proveer una tensión constante de $3V8$ y no podrá excursionar fuera de un rango de $400mV$ durante los picos de consumo para asegurar el correcto funcionamiento. Se optó por una fuente conmutada por ser más eficiente (menores pérdidas) que una fuente lineal. En particular se seleccionó el circuito integrado *AP6502* de Diodes por su bajo costo. El integrado cuenta con las siguientes características [5]:

- Buck sincrónico con llaves tipo MOSFET integradas.
- Corriente de salida continua máxima: $2A$
- Corriente de salida pico máxima: $3A$
- Pad térmico.
- Control de modo corriente pico con rampa de compensación.
- Frecuencia de conmutación: $340Khz$
- UVLO
- OVLO
- OCP
- Thermal Shutdown

Se desea dimensionar el circuito de la figura 3.3.

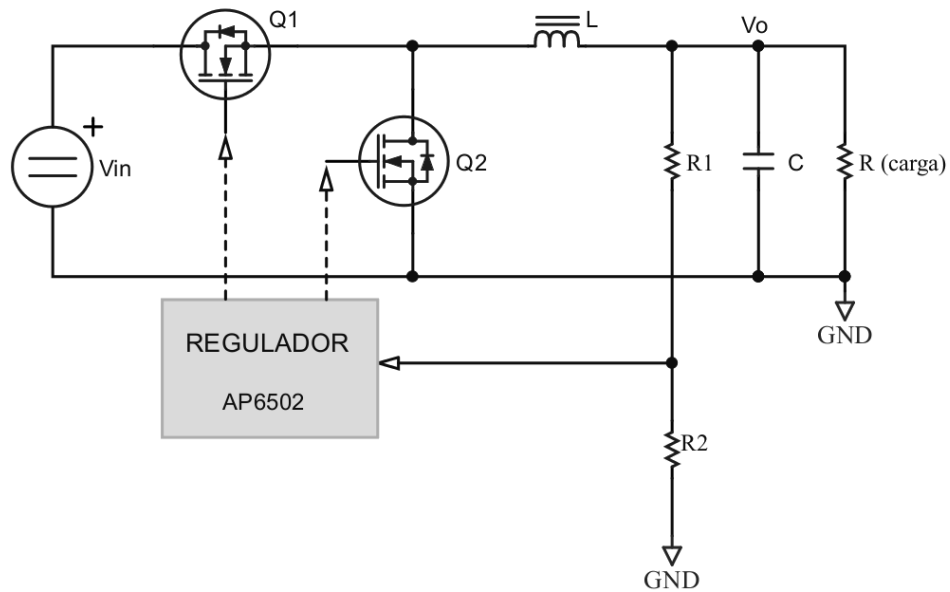


Figura 3.3: Topología del circuito a dimensionar.

3.3.1.1. Dimensionamiento de Componentes Reactivos

Como primer paso de diseño se dimensiona el inductor. Para ello se adopta un valor de ripple del orden del 15% de la corriente pico que circula por el inductor. El máximo valor de corriente DC que circula por el inductor, sera el pico de consumo de $2A$ sumado al ripple, de modo que; se obtiene:

$$0,15 \Delta I_L = I_{DC MAX} + \frac{\Delta I_L}{2} \quad (3.1)$$

Despejando se obtiene, $\Delta I_L = 324mA$. Si se despeja L de la ecuación de ripple de un Buck se obtiene:

$$L = \frac{V_O (V_{IN} - V_O)}{V_{IN} \Delta I_L f_{sw}} \quad (3.2)$$

Reemplazando por valores numéricos y redondeando a un valor estándar, se obtiene $L = 10\mu H$ (con lo cual, el ripple sera ahora $\Delta I_L = 268mA$).

El paso siguiente en el diseño es obtener un capacitor de filtro. Se considera un transitorio generado por una interrupción en el consumo de corriente. En este caso el control satura (se abre la llave) y se transfiere la energía del inductor al capacitor generando una sobreelevacion de tensión. Considerando que el modulo celular puede tolerar una variación de tensión de $|\Delta V| = \pm 400mV$, se adopta un $\Delta V = 50mV$ para dimensionar el capacitor. Despejando C de plantear balance de energía, se obtiene:

$$C = \frac{L (I_{DC MAX} + \frac{\Delta I_L}{2})^2}{(V_O + |\Delta V|)^2 - V_O^2} \quad (3.3)$$

De la ecuación 3.3 se obtiene que el capacitor de salida del convertidor debe ser $C = 236\mu F$. Pensando ya en la disposición física de los componentes en la placa, se colocara la mitad de la capacidad en proximidad a la carga (modulo celular) y la otra mitad junto al convertidor. A su vez cada "mitad" sera desdoblada en dos, para reducir la ESR. Esto significa que el valor obtenido debe ser dividido por cuatro y así se obtiene que habrá cuatro capacitores de valor $68\mu F$ dando un total de $C_{TOTAL} = 272\mu F$.

3.3.1.2. Calculo de una red de Compensación

Para los cálculos de compensación se busca tener un ancho de banda aproximadamente una década debajo de la frecuencia de conmutación (f_{sw}) y un margen de fase superior a los 45° .

Como el convertidor tiene un lazo interno de corriente, la carga del convertidor (capacitor de filtro en paralelo con una resistencia) ve un generador de corriente alimentándola. Para obtener la tensión deseada a la salida, se realimenta tensión

y se controla al generador de corriente con la misma. Si además se diseña el lazo externo de tensión para que tenga un ancho de banda mucho menor a la frecuencia de conmutación del convertidor, se podrá considerar que la fuente de corriente no posee dinámica. Considerando lo dicho anteriormente, puede modelarse al convertidor, al menos en primera instancia, de la forma en que se muestra en la figura 3.4.

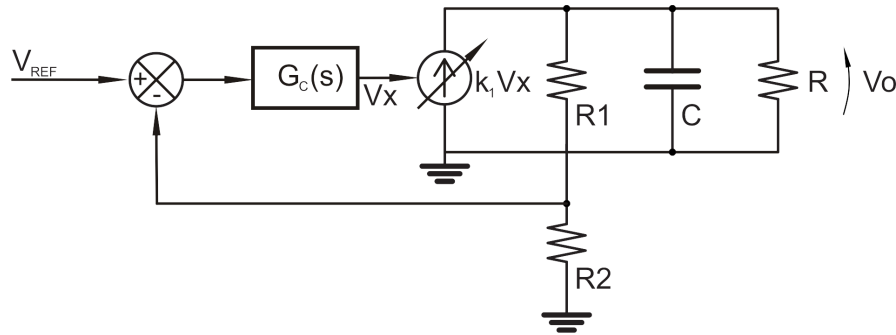


Figura 3.4: Diagrama en bloques del Convertidor

Inspeccionando la hoja de datos [5], se encuentra que $k1 = 2,8A/V$ y el bloque $G_C(s)$ está comprendido por un *OTA* de transconductancia $k2 = 1mA/V$, una resistencia interna de valor $R_x = 800K\Omega$ y en paralelo a la misma a través de dos pines puede colgarse la red de compensación que se desee. En este caso se utilizará un simple circuito *RC* serie (figura 3.5).

Resulta el diagrama en bloques de la figura 3.6. Cabe destacar que en el mismo se asumió que $R_x \gg R_c$, lo cual deberá ser verificado una vez obtenido R_c . Se define:

$$K_{DC} = k1 k2 R R_x \quad (3.4)$$

$$G1 = \frac{K_{DC}}{(s R C + 1)} \quad (3.5)$$

$$G2 = \frac{(s R_c C c + 1)}{(s R_x C c + 1)} \quad (3.6)$$

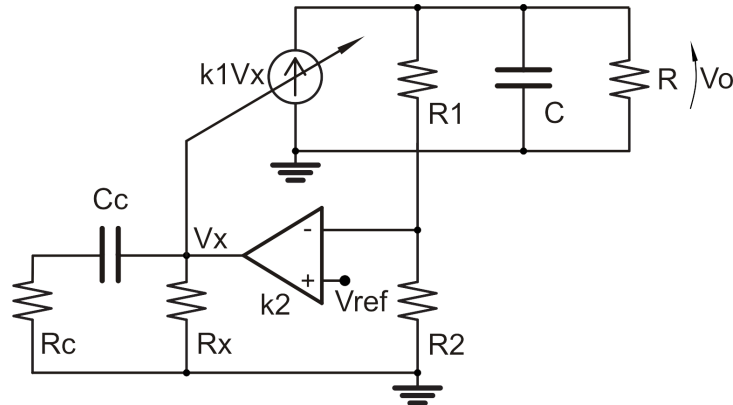


Figura 3.5: Modelo circuital del convertidor.

Con lo cual se puede expresar la cadena de avance de la figura 3.6 como $G = G1 G2$ con un cero $w_{z1} = 1/RcCc$, y dos polos en $w_{p1} = 1/RC$ y $w_{p2} = 1/RxCc$.

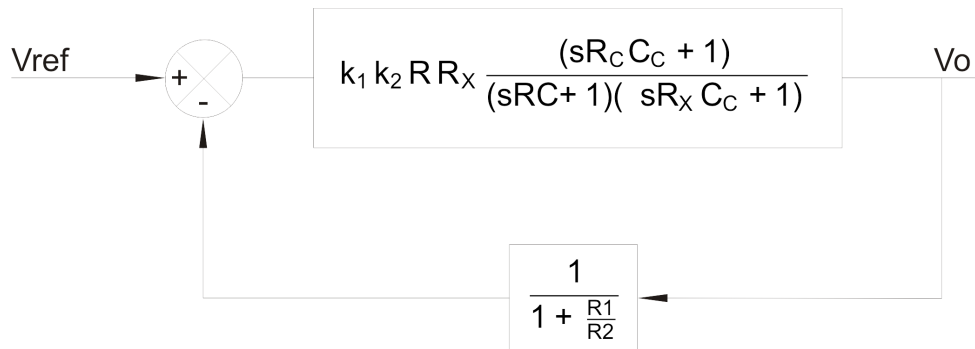


Figura 3.6: Diagrama en bloques.

La compensación buscara obtener una ganancia a lazo cerrado $T_{LC} \approx \frac{1}{|H|}$, es decir $\frac{V_O}{V_{REF}} \approx 1 + \frac{R1}{R2}$. La referencia de tensión es interna al regulador y tiene un valor de $925mV$, con esto se obtiene una relación entre $R1$ y $R2$. Se adoptan valores, tales que se obtenga la transferencia deseada y que no se cargue la salida del convertidor. Se adopta $R1 = 35,7K\Omega$ y $R2 = 11,5K\Omega$.

Del diagrama en bloques 3.6 se obtiene el diagrama de Bode de la figura 3.7. Donde se indica la región que representa la variabilidad de la planta en sombreado y en línea punteada el polo y cero que agrega la compensación. La idea de la

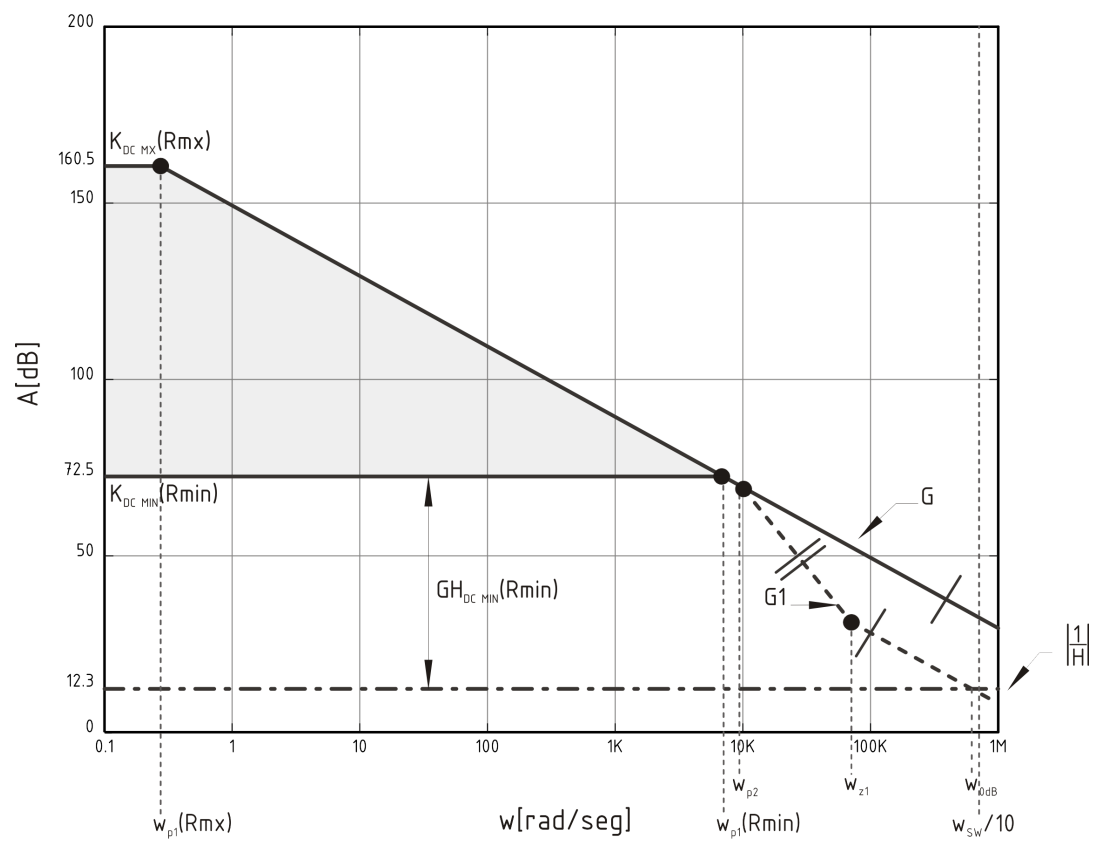


Figura 3.7: Diagrama de Bode de la planta y compensación.

compensación propuesta es que en la amplitud entre w_{p1} y $w_{sw}/10$ sea tal que se genere un cruce entre G y $\frac{1}{|H|}$. Para ello deberá cumplirse la condición fijada en la ecuación 3.7.

$$\left(\frac{w_{z1}}{w_{p2}}\right)^2 \frac{w_{sw}/10}{w_{z1}} > G_{DC} H_{DC} = K_{DC MIN} \frac{V_{FB}}{V_O} \quad (3.7)$$

Se obtiene, despejando R_C :

$$R_C < \frac{\pi f_{sw} R_X^2 C_C}{5 K_{DC MIN}} \frac{V_O}{V_{FB}} = \frac{\pi f_{sw} R_X}{5 K_{DC MIN} w_{p2}} \frac{V_O}{V_{FB}} \quad (3.8)$$

Si fijo $w_{p2} < w_{p1MAX}$, la desigualdad en 3.8 también se asegura si se reemplaza w_{p1} por w_{p2} . Esto da como resultado una ecuación cerrada para calcular R_C para la cual se dispone de todos los datos necesarios.

$$R_C = \frac{\pi f_{sw} C_F}{5 k1 k2} \frac{V_O}{V_{FB}} \quad (3.9)$$

Reemplazando con valores numéricos se obtiene que $R_C = 82K\Omega$. Para obtener C_C se considera que el margen de fase debe ser superior a los 45° pero no se desea que el ancho de banda baje mucho respecto de $f_{sw}/10$. Se toma como relación de compromiso $w_{z1} = \frac{w_{sw}}{10} \frac{1}{5}$. Lo que lleva a:

$$C_C = \frac{25}{\pi f_{sw} R_C} \quad (3.10)$$

Se obtiene $C_C = 270pF$.

3.3.2. Circuito de Encendido

Se desea generar una señal de las características descritas en la figura 3.1 para encender el modulo celular. Esta señal podría ser provista en forma externa por

el *MBAP*. Pero, como se desea que la placa pueda operar en modo standalone, se debe generar el pulso internamente.

El pin de entrada *ON_OFF* posee un *pull – up* interno y deberá ser manejado por el colector de un *BJT*. A su vez, a través de esta línea deberán realizarse dos operaciones:

- Resetear/Apagar el modulo de forma externa con un pulso como el descrito en 3.1.1.4.
- Entregar la secuencia de encendido, ignorando el estado logico de la línea *SW_RESET*.

Para cumplir con estos requisitos, se realizara un circuito que genere la secuencia de encendido y un arreglo lógico que le permita operar durante el encendido e ignorar al circuito de encendido y le de el mando a la línea de *SW_RESET* luego del mismo.

En primer lugar se diseñara un circuito que genere la secuencia y luego se diseña el circuito lógico. Se propone un circuito sencillo utilizando 2 comparadores, donde puede generarse fácilmente el pulso deseado calculando 2 constantes de tiempo. El circuito propuesto se muestra en la figura 4.5.

Como el estado de V_{X2} debe actuar sobre la base de un transistor y la señal sobre la línea de *ON_OFF* es la del colector, V_{X2} deberá ser el complemento de la señal de encendido, es decir, desde el flanco de encendido de la fuente hasta $t = 1seg$. Deberá permanecer en bajo y pasado este tiempo deberá estar en alto durante $t = 5seg$ y volver a un estado bajo pasado ese tiempo. Al pasar los 5 segundos, V_{X2} , deberá volcar a cero al terminar la secuencia de encendido. Para que V_{X2} vuelque a cero rápidamente (descarga de C2) se coloca en paralelo con R2, un diodo y una resistencia para limitar la corriente y proteger la etapa de salida del comparador. En la figura 3.9 se muestran las formas de onda que

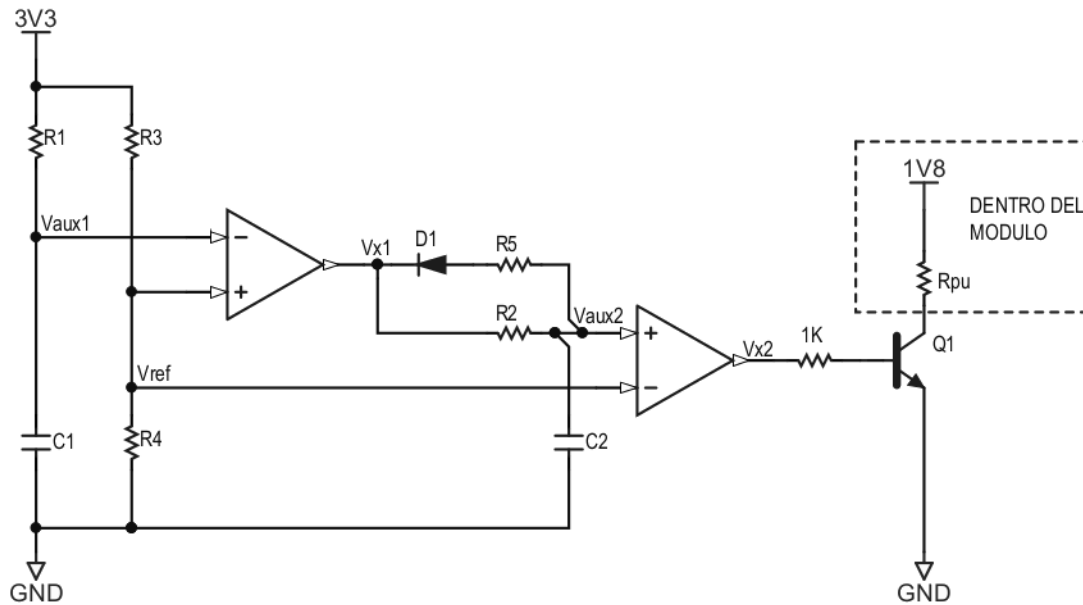


Figura 3.8: Circuito preliminar de encendido.

deberán observarse en el circuito. Para dimensionar $R1$, $C1$, $R2$ y $C2$, se parte de la ecuación de un circuito RC y se despeja τ . Se obtiene:

$$\tau = \frac{\Delta t}{\ln \frac{V_F}{V_F - V_{TH}}} \quad (3.11)$$

Donde V_F es la tensión de la fuente, V_{TH} es la tensión umbral a la que se pretende que se cargue el capacitor luego de una determinado Δt . Utilizando $V_F = 3V3$ y $V_{TH} = 1,65V$, se obtiene $R1 = 360K$, $R2 = 300K$, $C1 = 33\mu F$, $C2 = 6,8\mu F$. Usando como criterio de selección del comparador dual, el mas económico a 5000 unidades se escogió un $MAX9032AKA + T$. La máxima corriente que puede drenar es $45mA$ [6] de modo que se pone $R5 = 300\Omega$. Para el circuito lógico se propone, el siguiente arreglo (figura 4.6).

Durante la secuencia de arranque V_{X1} se encuentra en alto, lo que pone un cero lógico a la salida de la compuerta $U1$. Esto significa que la salida de $U1$,

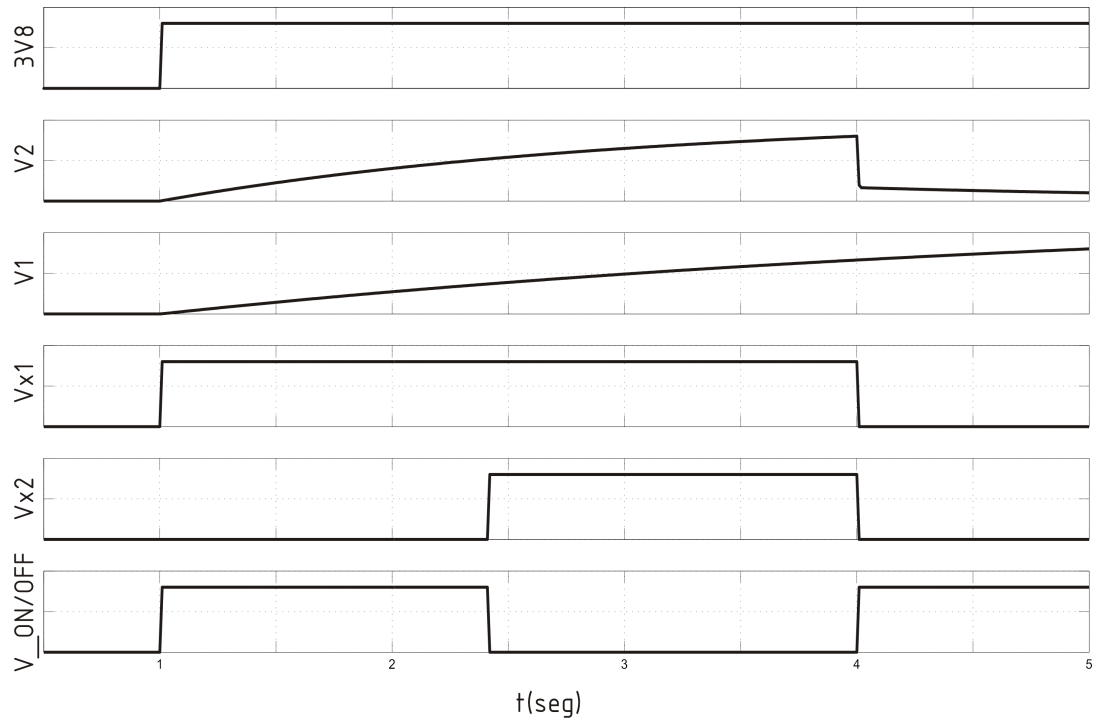


Figura 3.9: Formas de Onda deseadas.

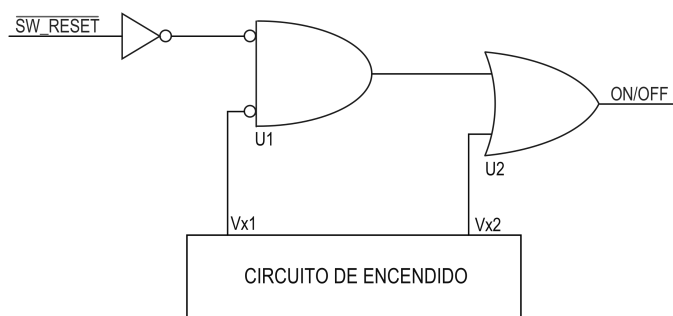


Figura 3.10: Arreglo Lógico.

durante el arranque, no influirá sobre la línea *ON_OFF*. Actuando *U2* como un buffer para la señal V_{X2} . Cuando termina la secuencia, $V_{X1} = 0$, hace que *U1* se comporte como un buffer para SW_RESET^* y al ser $V_{X2} = 0$, la compuerta *U2* también se comporta como un buffer, quedando $ON_OFF = SW_RESET^*$.

Para concluir con el diseño del circuito de encendido y reset, es necesario resolver el siguiente problema: si se desconecta la alimentación, *C1* quedara cargado y descargará con una constante de tiempo muy lenta ($\tau = C1 R1$) de modo que si se energiza de nuevo no generara la secuencia de encendido. Para solucionar esto se propone un circuito que descargue a *C1* cuando se corte la alimentación. Se propone el circuito de la figura 4.7.

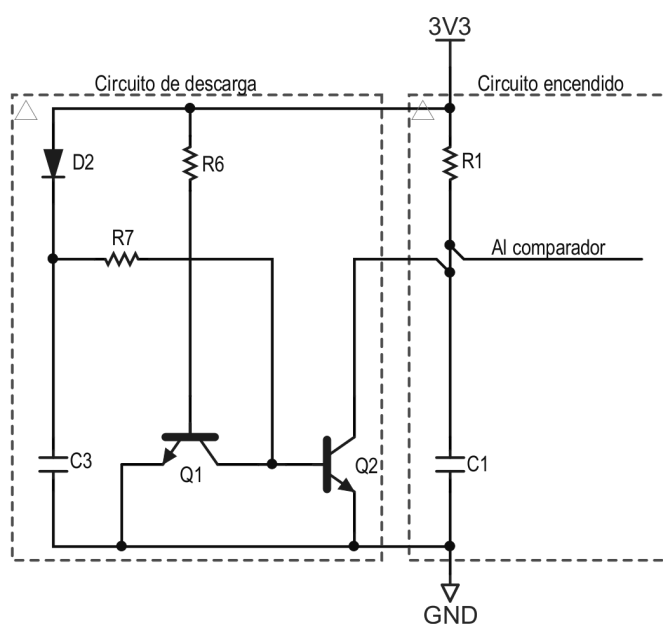


Figura 3.11: Circuito de descarga

La idea del circuito es que *Q2* se encuentre cortado mientras la fuente este activa y que sature cuando se corte la alimentación. Inicialmente *Q1* satura con lo cual la base de *Q2* queda conectada a masa, cortando efectivamente a *Q2*. Cuando se corta la alimentación, corta *Q1* y *D1* queda polarizado en inversa. Esto significa

que $C3$ se descarga a través de $R7$ y $Q2$ saturando la base del mismo y dando un camino de descarga a $C1$. $R6$ se adopta de valor $1K$, lo cual es suficiente para limitar corriente saturar la base de $Q2$. Para dimensionar $C2$, se tiene en cuenta que deberá cumplirse que $R7 C3 \gg C1 R_{serie}$ (donde R_{serie} es la resistencia parásita del transistor en conducción). Asumiendo un caso sobredimensionado en que $R_{serie} = 1\Omega$, tomando $R7 C3 > 20 C1 1\Omega$ y fijando $R7 = 100K\Omega$, se obtiene $C3 = 100nF$. Para $D2$ se escoge un diodo estándar de señal como es el caso del $1N4148$ y para $Q1$ y $Q2$ se selecciono un $MMBT5962$ (bjt de propósito general y bajo costo).

3.3.3. Circuito de ESD/EMI para la interfaz SIM

Por recomendación del fabricante [7], la interfaz entre el modulo celular y la tarjeta SIM debe contar con una protección contra eventos de descarga electrostática. Para proveer dicha protección se debe implementar alguna circuitería que mantenga las lineas de la interfaz en niveles de tensión seguros ante una descarga. Para esto se utiliza un circuito integrado $EClamp2455K$ el cual cumple con los requisitos de protección fijados por la norma $IEC - 6100 - 4 - 2$ para nivel 4 que es el máximo nivel de protección (carga inicial de $15kV$ para simular descarga por el aire y carga de $8kV$ para simular descarga por contacto)[8]. Además el integrado provee terminaciones para las lineas de comunicación (100Ω para datos y reset, y 47Ω para el clock). En la figura 3.12 se observa el circuito esquemático del integrado .

A su vez, otro problema que surge de esta interfaz es que los flancos presentes en las lineas de conmutación (en particular la de clock) pueden generar suficiente radiación como para interferir con la recepción de RF [7]. Para ello, se aprovechan

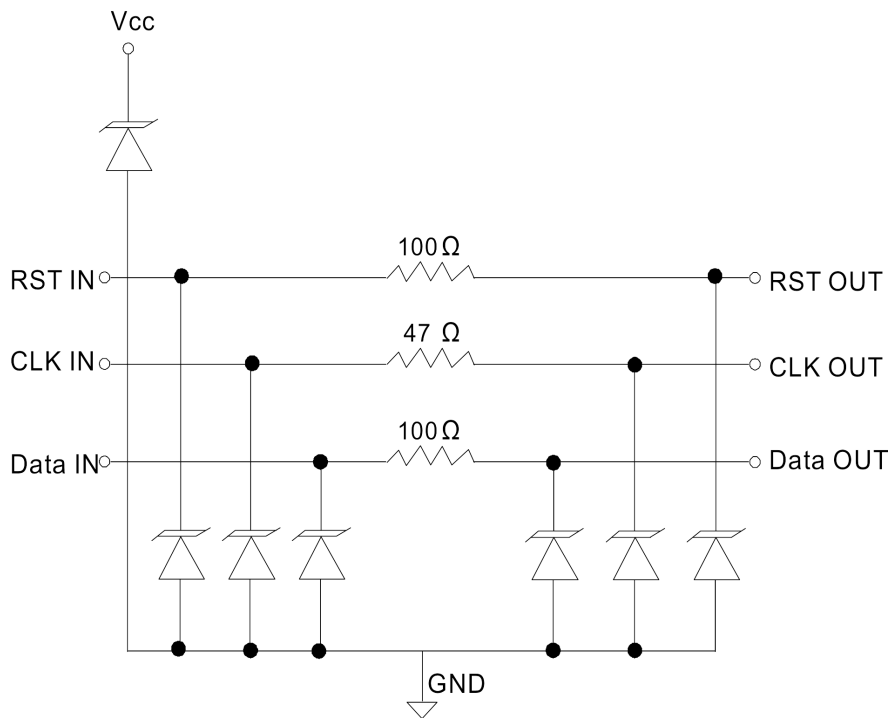


Figura 3.12: Circuito esquemático del EClamp2455K

las resistencias serie que provee el integrado y se colocan capacitores para crear filtros pasa-bajos y suavizar los flancos (se escogen capacitores con una SRF mayor a $2GHz$ [9]). Se utilizan capacitores de valor $33pF$ como se sugiere en [7].

3.3.4. Circuito esquemático

Se presenta en la figura 3.13 el circuito esquemático desarrollado.

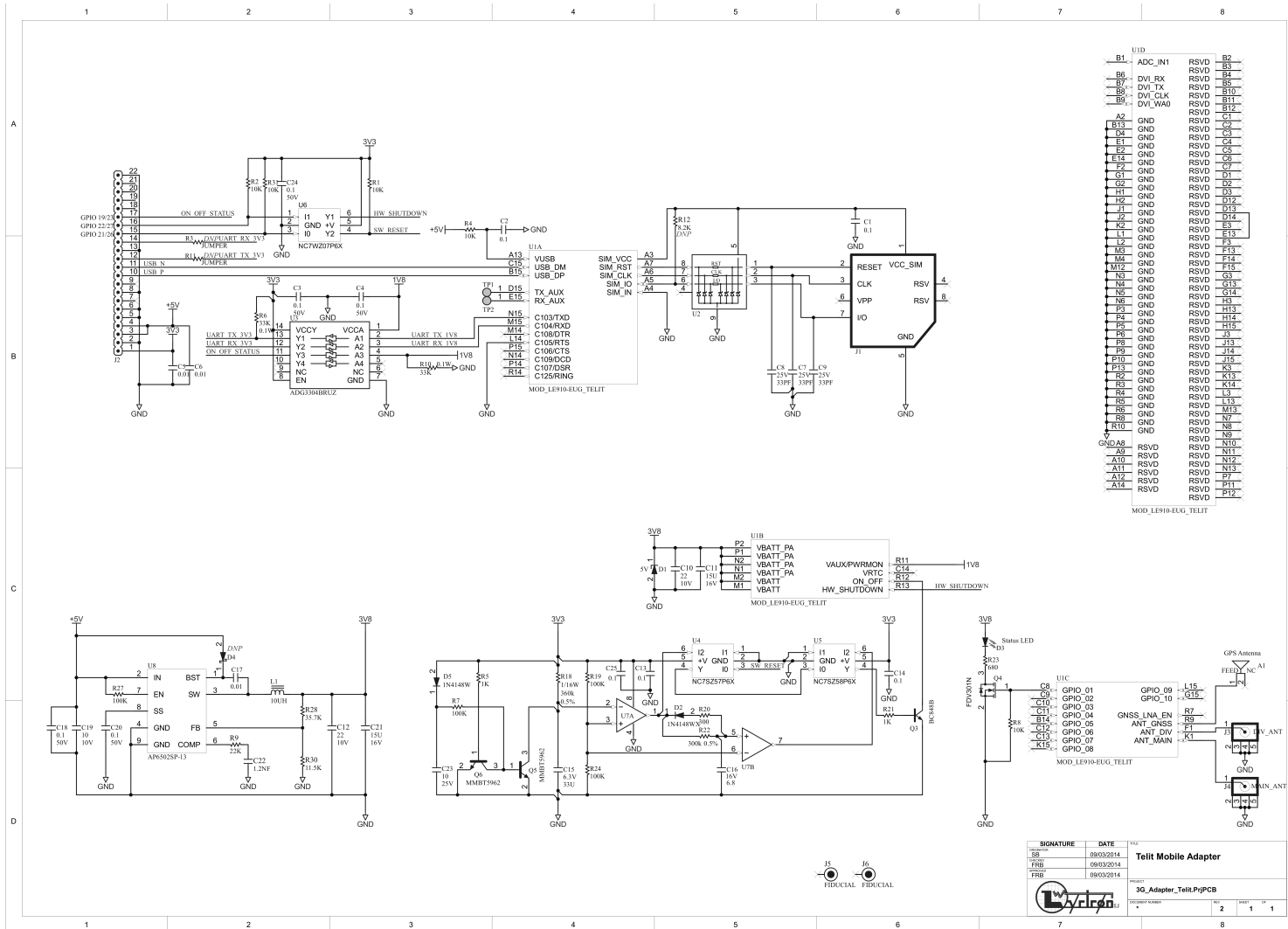


Figura 3.13: Circuito Esquemático

3.4. Diseño de RF

3.4.1. Estructura de Microstrips

Este diseño requiere 2 interfaces de impedancia controlada; las líneas de *RF*, que deben ser de 50Ω y tener una atenuación no mayor que $0,3dB$ (la cual es sugerida por el fabricante para cumplir con certificación), y la línea de comunicación *USB* que debe presentar una impedancia diferencial de 90Ω . Para el caso de *RF* se escogió una línea de tipo microstrip (figura 3.14) y par el par diferencial, un par acoplado al plano de retorno (figura 3.15).

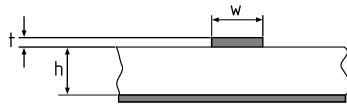


Figura 3.14: Vista en corte de una línea microstrip

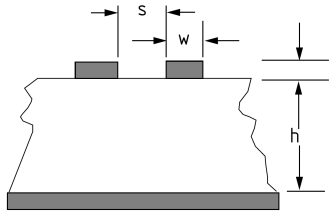


Figura 3.15: Vista en corte de un par diferencial

En ambos casos se recurre al estándar *IPC-2141* [10] para hallar las formulas de impedancia y atenuación. El caso del microstrip, se define:

$$Z_0 = \frac{\eta_0}{2\sqrt{2\pi}\sqrt{\epsilon_{reff} + 1}} \ln \left\{ 1 + 4 \frac{h}{w_{eff}} \left[4 \left(\frac{14\epsilon_{reff} + 8}{11\epsilon_{reff}} \right) \frac{h}{w_{eff}} \right] + \sqrt{16 \left(\frac{16\epsilon_{reff} + 8}{11\epsilon_{reff}} \right)^2 + \left(\frac{h}{w_{eff}} \right)^2 + \frac{\epsilon_{reff} + 1}{2\epsilon_{reff}} \pi^2} \right\} \quad (3.12)$$

donde

$$w_{eff} = w + \frac{t}{\pi} \ln \left\{ \frac{4e}{\sqrt{\left(\frac{t}{h}\right)^2 + \left(\frac{t}{w\pi+1,1t\pi}\right)^2}} \right\} \left(\frac{\epsilon_{reff} + 1}{2\epsilon_{reff}} \right) \quad (3.13)$$

$$\epsilon_{reff} = \begin{cases} \frac{\epsilon_r+1}{2} + \frac{\epsilon_r-1}{2} \left\{ \sqrt{\frac{w}{w+12h}} + 0,04 \left(1 - \frac{w}{h}\right)^2 \right\} & \text{si } \frac{w}{h} < 1 \\ \frac{\epsilon_r+1}{2} + \frac{\epsilon_r-1}{2} \sqrt{\frac{w}{w+12h}} & \text{si } \frac{w}{h} \geq 1 \end{cases} \quad (3.14)$$

Donde η_0 es la impedancia de radiación del espacio libre y, w_{eff} y ϵ_{reff} se definen como ancho efectivo del trazo y permeabilidad relativa efectivamente.

Para el caso de la linea de 90Ω , se utiliza la ecuacion:

$$Z_{odd} = \frac{Z_0 \sqrt{\frac{\epsilon_{reff}}{\epsilon_{reff0}}}}{1 - \frac{Z_0}{\eta_0} \sqrt{\epsilon_{reff} Q_{10}}} \quad (3.15)$$

Donde Z_{odd} es la impedancia de modo impar de la linea y por definición, la impedancia diferencial sera $Z_{diff} = 2Z_{odd}$. Z_0 y ϵ_{reff} por su parte se obtienen de la mismas ecuaciones que para el caso del microstrip, en tanto que ϵ_{reff0} y Q_{10} son parámetros adicionales cuyo calculo es mas complejo, por lo cual se dirige a la sección 4,4,1 del estándar.

Son datos en este diseño, la permitividad relativa ($\epsilon_r \approx 4$) del sustrato de *PCB*, el espesor del cobre ($t = 2oz/ft^2$), las impedancias deseadas ($Z_{diff} = 90\Omega$, $Z_0 = 50\Omega$). Las incógnitas son, para el microstrip, la altura h (9,4mil de espesor de sustrato de *PCB*) y el ancho del trazo w . Para el caso diferencial las incógnitas son w , h , y el espacio entre los trazos s . Considerando que el espesor de la placa es de 1,6mm y que se pondrán las lineas sobre la capa inferior o superior, si se

coloca un plano de masa en una capa adyacente, la altura h sera el espesor de pre-preg. En un stack-up típico para 4 capas, $t = 2oz$ y espesor total $1,6mm$, el laminado de prepreg default son 2 capas de material 2116. De esta forma se obtiene ($h \approx 0,24mm$). Iterando sobre las formulas de calculo de impedancia, se obtienen las dimensiones de la tabla 3.4.

Tabla 3.4: Dimensiones lineas de transmision [mm]

	50Ω	$90\Omega(diferencial)$
w	0,45	0,55
s	—	0,2

Resta dimensionar la longitud máxima de las lineas de RF de modo que no presenten una atenuación mayor a $0,3dB$. Para asegurarlo se recurre al mismo estándar en la sección 3,4,7,1. El propio estándar redirige al estándar $IPC - 2252$ (sección 6.3.2). Se observa allí que la atenuación esta compuesta por tres tipos de atenuación:

$$\alpha_T = \alpha_C + \alpha_D + \alpha_R \quad (3.16)$$

En la ecuacion 3.16, la unidades están en (dB/cm) y establece que la atenuación total (α_T) es igual a la suma de las atenuaciones por conducción, por perdidas en el dieléctrico y por radiación. Las perdidas por radiación no se consideran en el estándar, se presenta en cambio una expresión que contempla los otros dos tipo de atenuación.

$$\alpha_C + \alpha_D = 8,68589\pi \frac{f\sqrt{\epsilon_{reff}}}{cQ_O} \quad (3.17)$$

donde, c es la velocidad de la luz y Q_O es el factor de calidad de transmisión en modo quasi-TEM (su calculo se describe en la sección 6.3.2 del estándar). Resulta

$\alpha_T = 0,25dB/cm$ (sin considerar radiación), lo cual pone una cota superior para la longitud del trazo de $12cm$.

3.4.2. Consideraciones a Nivel Sistema - Espaciamiento de antenas

Otro aspecto que debe ser cubierto por diseño es la distancia entre la antena *main* y la *diversity*. La técnica de diversidad espacial (para la recepción) consiste en ubicar dos antenas a una cierta distancia y tomar señal de aquella que recibe mayor potencia. Teniendo en cuenta que el modem se encontrara en un gabinete, es necesario dimensionar la distancia a la cual deben encontrarse las antenas para que el conjunto posea una ganancia aceptable y que la misma sea realizable en términos de dimensiones físicas. La figura de merito utilizada en telefonía celular es el *MEG* o Ganancia Media Efectiva [11] que se define como la potencia promedio recibida por una antena en un determinado canal sobre la potencia promedio total que recibirían dos antenas isotrópicas, con polarizaciones vertical y horizontal, en el mismo canal. En [12] se da cuenta de como una separación de $0,1\lambda$ es suficiente para obtener una mejor ganancia que para el caso de una única antena. En [13] se presenta un gráfico que relaciona la distancia entre antenas con la *MEG*. El mismo se presenta en la figura 3.16. Se toma una distancia de $10cm$ que a la menor frecuencia que opera la red móvil (banda de $700MHz$) sera de $\sim \lambda/4$, es decir que tendrá una $MEG = 0,5dBi$.

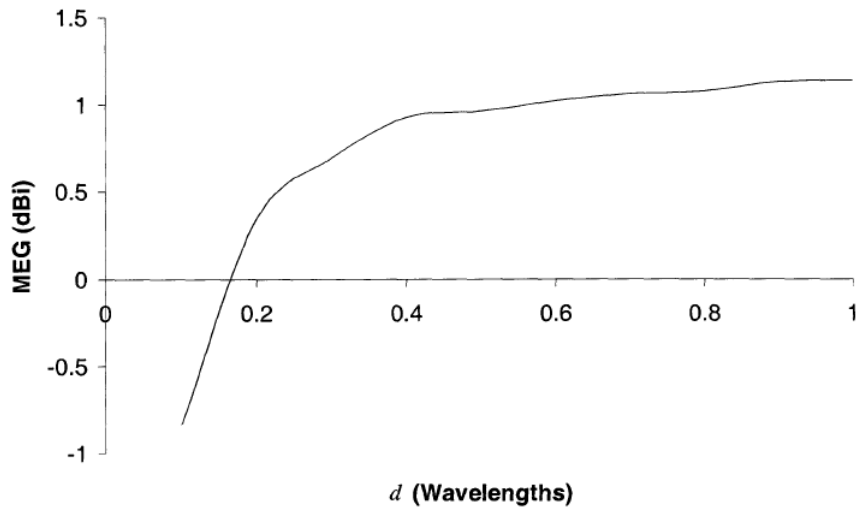


Figura 3.16: Ganancia Media Efectiva en función de la separacion de antenas.

3.5. Construcción del PCB

En esta sección se consideran aspectos constructivos del circuito, como la evacuación de calor, estructuras de microstrip, aspectos de fabricabilidad y practicas de diseño. Al final se presentan imágenes del PCB.

3.5.1. Diseño Térmico

El ultimo paso para completar el diseño de la fuente es calcular las perdidas y dimensionar un disipador de acuerdo a las mismas. De acuerdo a la tabla 3.3 la corriente promedio que consume el modulo celular es de $I = 680mA$. Con este dato, y teniendo en cuenta la tensión de salida del convertidor, se obtiene la potencia útil que entrega el mismo que es $P_O \approx 2,6W$. Para estas condiciones de carga y para una tensión de entrada al convertidor de $5V$, de acuerdo a la hoja de datos, el convertidor tiene una eficiencia de aproximadamente 95 %. Con estos datos se puede calcular la potencia que deberá disipar el integrado, que sera:

$$P_{ICLOSS} = P_O \left(\frac{1}{\eta} - 1 \right) - I^2 R_{DC} \quad (3.18)$$

donde $I^2 R_{DC}$ son las perdidas por conducción en el inductor. Por disponibilidad y precio se escogió un inductor Bourns (numero de parte: SRN8040-100M), el cual posee una resistencia de devanado $R_{DC} = 50m\Omega$ [14]. Con estos datos se obtienen las perdidas en el integrado $P_{ICLOSS} = 114mW$. Aplicando un derating de $40^\circ C$ para extender la vida útil del integrado, la máxima temperatura de junta queda en $110^\circ C$, con lo que, teniendo en cuenta la máxima temperatura ambiente de operación, la sobreelevacion máxima de temperatura resulta $\Delta T = 25^\circ C$. Como el regulador tiene un pad térmico que va soldado al PCB y el mismo evacua calor hacia la capa inferior a través de un paquete de vias, se debe tener en cuenta, la resistencia junta-carcaza, resistencia de las vias y la resistencia del área de cobre en la capa inferior que sera la que oficie como disipador. Teniendo en cuenta los datos de potencia disipada y sobreelevacion de temperatura, deberá cumplirse:

$$\theta_{dis} = \frac{25^\circ C}{114mW} - \theta_{jc} - \theta_{vias} \quad (3.19)$$

a su vez, la sobreelevacion de temperatura sera:

$$\Delta T = 114mW (\theta_{jc} + \theta_{vias} + \theta_{dis}) \quad (3.20)$$

Se desea evacuar el calor que se pierde en el regulador. De la hoja de datos [5] se obtiene que $\theta_{jc} = 16^\circ C/W$. Por otra parte se estima la impedancia térmica de cada via debajo del pad térmico en $\theta_{1-via} = 186^\circ C/W$ [15]. Dentro del pad térmico se ubican tantas vias como las dimensiones permiten, es decir, 15 vias y como actuaran en paralelo, la impedancia térmica del paquete de vias sera

$\theta_{vias} = 12,4^{\circ}C/W$. Con estos datos se obtiene que caerán $21,8^{\circ}C$ en el disipador. Como el mismo se implementa utilizando el mismo cobre del PCB, es valido considerarlo como un trazo conductor como cualquier otro. Por esta razón se recurre al estándar IPC-2221A [16] en donde, en la sección 6.2 se da una ecuación que permite calcular la sobreelevacion de temperatura de un trazo a partir de sus dimensiones y la corriente que lo circula. Haciendo trabajo algebraico se llega a:

$$A_{DIS}[cm^2] \cong 2,12 \cdot 10^4 \frac{P[W]^{2,22}}{\Delta T[^{\circ}C]^{1,96} e[oz/ft^2] l[cm]^{1,22}} \quad (3.21)$$

En la ecuación 3.21 A_{DIS} es el área de cobre de PCB, $P[W]$ es la potencia en *Watts* que debe disipar, $l[cm]$ es la longitud del "trazo" de cobre en centímetros, $\Delta T[^{\circ}C]$ es la sobreelevacion de temperatura del trazo y $e[oz/ft^2]$ es el espesor del cobre en onzas. Si se fija $l = 0,5cm$ y se aplica la ecuacion 3.21, se obtiene que el área del disipador debe ser de $0,5cm^2$, de allí resulta que se necesita una región de cobre de $1cm \times 0,5cm$.

3.5.2. Dimensionamiento de Lineas de Transmisión

Ver sección 3.4.1

3.5.3. Consideraciones de Diseño del PCB

Para el diseño del PCB se tuvieron en cuenta una serie de consideraciones que se detallan en la siguiente lista:

- Control de caminos de retorno. Para evitar que se formen lazos de corriente, los cuales emiten y captan ruido, una buena practica es minimizar el área que forman los caminos de retorno. En este se implemento el PCB en 4 capas, con una de ellas dedicada exclusivamente al retorno (plano de masa). Esta es una manera sencilla de realizar dicho control.

- Partición de planos de masa. Este diseño cuenta con una sección de *RF* la cual es susceptible a captar ruido de otras partes del circuito pudiendo deteriorar su funcionamiento, por otra parte la fuente conmutada puede inyectar ruido en el resto del circuito, generando problemas no solo en la parte de RF sino también en el resto del circuito. Para subsanar esto se tomaron 2 medidas, en primer lugar, se ubicaron la fuente y la sección de RF en esquinas opuestas del PCB y en segundo lugar, se utilizaron 3 planos de masa locales conectados en un punto estrella, uno para la circuitería de *RF*, otro para la fuente de alimentación y otro para el resto del circuito.
- Control de caminos de retorno II. Al existir planos de masa localizados, es necesario que las señales se tracen por encima de los mismos para evitar la formación de lazos de corriente.
- Longitud de trazos. En todos los casos se opto por mantener la longitud de los trazos tan corta como sea posible, para minimizar la inductancia y restencia de los mismos.
- Ecuilización de cobre. Para evitar deformaciones en el PCB es necesario que el cobre se encuentre los mas uniformemente distribuido posible.
- Distancia entre de cobre al borde de la placa no menor a $1mm$. Conservar esta distancia asegura que las laminas de pre-preg queden bien adheridas en los bordes y evitar que se separe el laminado.
- Trazos de impedancia y atenuación controlada. Ver seccion [3.4.1](#).

3.5.3.1. Fabricabilidad y Testeabilidad

Un aspecto importante a la hora de diseñar un producto es tener en cuenta la fabricabilidad (DFM: Design for manufacturing) y testeabilidad (DFT: Design for Testing) del dispositivo. Para *DFM* se impusieron las siguientes reglas:

- Capacitores cerámicos multicapa a no menos de 200 *mils* del borde de la placa. Esto se debe a que la carga mecánica en la despanelización puede llegar a fracturar las capas de dieléctrico
- Distancia entre pines *THT* y pads *SMD* no menor a 100 *mils*. Esto se debe a la resolución de la soldadura selectiva.
- Vias con pad de 0,6mm y agujero de 0,3mm. Este es un tamaño que cualquier fabricante puede realizar sin costo de mecanizado extra.
- Acabado superficial *ENIG*. El acabado superficial *ENIG* (Electroless nickel immersion gold), consta de una deposición de una película de oro que resulta conveniente por su resistencia a la corrosión y su planicidad, que para este diseño resulta ventajoso por estar trabajando con un encapsulado tipo *LGA*.
- Ancho de mascara antisoldante entre pads no menor a 0,1mm. Esta regla de diseño sirve para evitar migración de soldadura de un pad a otro adyacente.
- Incorporación de dos fiduciales en esquinas diametralmente opuestas. Estos sirven como referencia de posición para la maquina de pick and place.
- Ancho de track no menor a 0,2mm y distancia entre tracks no menor a 0,2mm. Normalmente estas dimensiones están regidas por cuestiones funcionales del circuito, por ejemplo, un track que transporta un alto nivel

de corriente debe ser mas ancho para tener menor sobreelevacion de temperatura; o dos tracks muy cercanos con una diferencia de potencial muy alta pueden generar un arco voltaico. Por tratarse de un diseño muy sencillo, pueden utilizarse dimensiones pequeñas que cualquier fabricante puede realizar.

Para *DFT* se realizara *ICT* (In-circuit Test). El *ICT* consiste en un ensayo que utilizando una cama de clavos, es capaz de determinar si los componentes están montados correctamente. Para ello es necesario dejar la mayor cantidad de pads expuestos (llamados test points), por cada *net* del circuito. A su vez, cada pad debe tener un diámetro no menor a los $0,889mm$ y la distancia entre sus centros no debe ser mayor a los $100mils$, para que la cama de clavos funcione correctamente. En este diseño, se lograron colocar testpoints en cada net del circuito, exceptuando las lineas de RF.

3.5.4. Diseño CAD del PCB

Para el diseño esquemático y PCB se utilizo *Altium Designer* 13. Para la implementación se tuvieron en cuenta particularmente los aspectos mencionados en [3.5.3.1](#) y [3.5.3](#). A continuación se presenta en 4 figuras, cada capa de cobre del *PCB* y finalmente un render 3D de la placa.

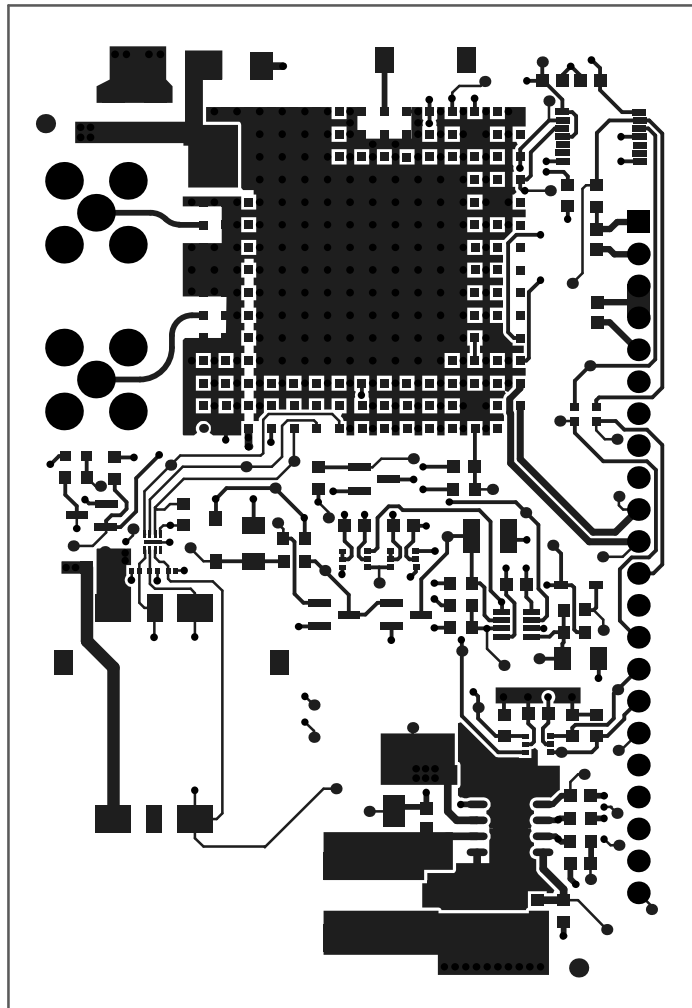


Figura 3.17: Capa Top

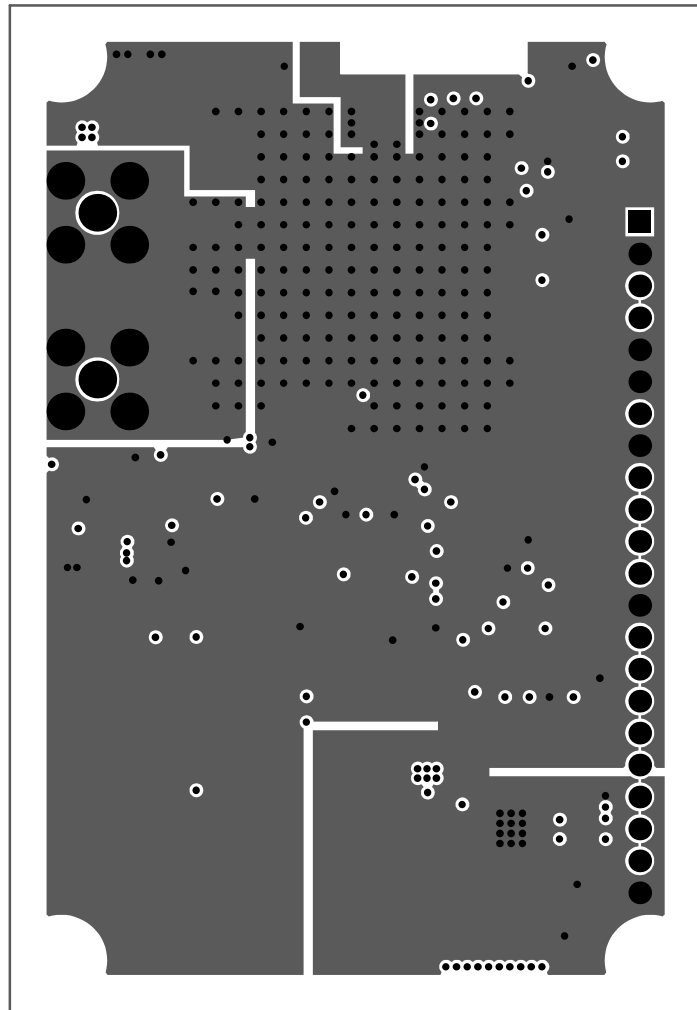


Figura 3.18: Capa Mid1

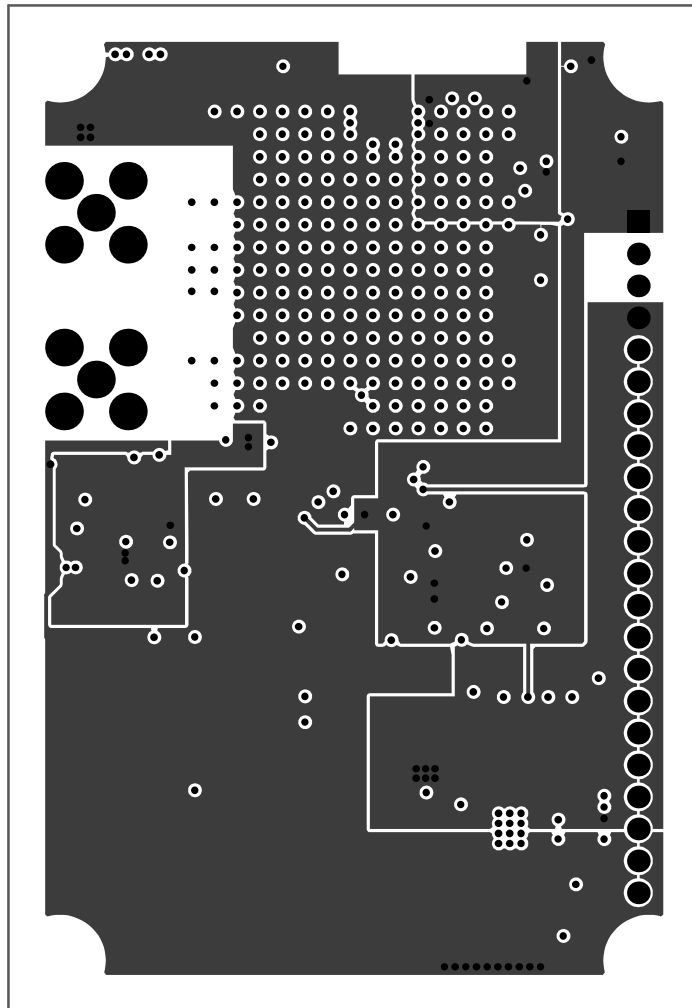


Figura 3.19: Capa Mid2

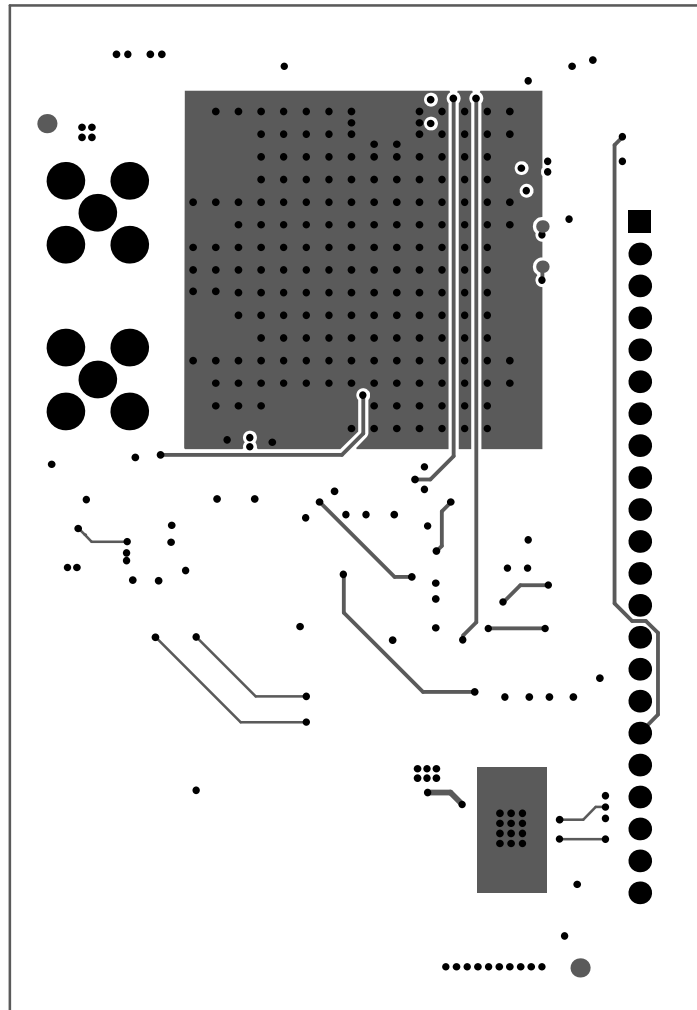


Figura 3.20: Capa Bottom

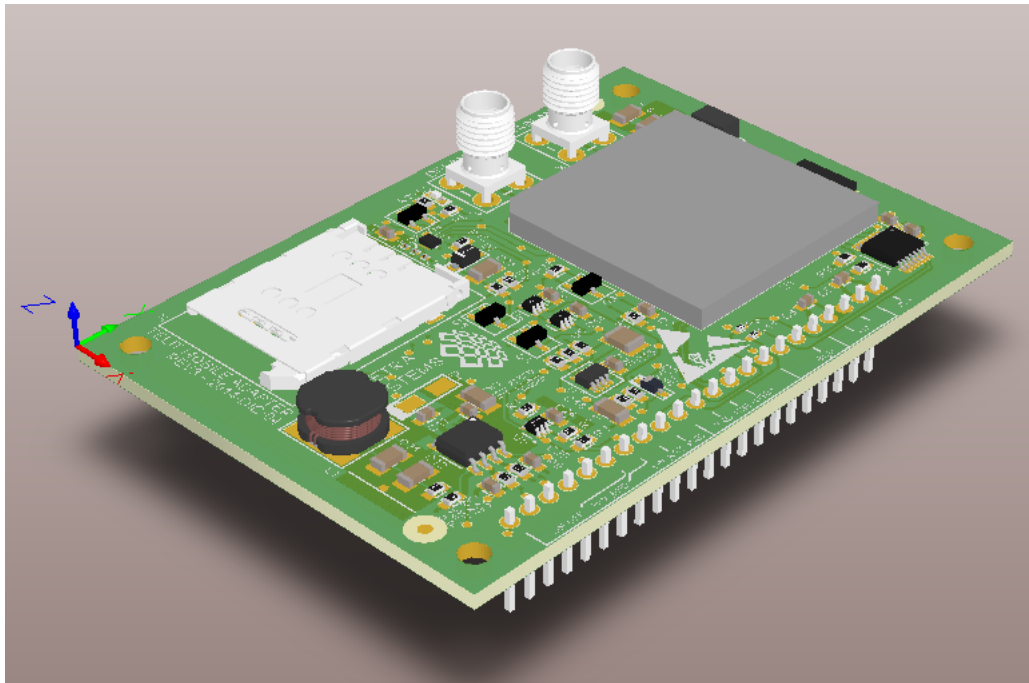


Figura 3.21: Render de la placa real

4. Mediciones Realizadas y Resultados Obtenidos

En la figura 4.1, se puede observar el *PCB* fabricado. Los tests de validación de diseño se realizaran sobre el mismo.

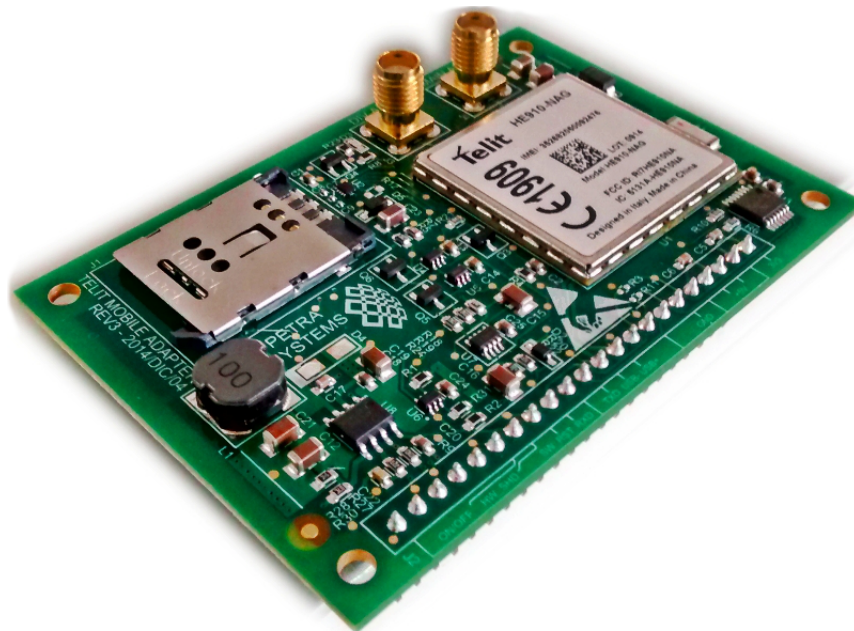


Figura 4.1: Fotografía del PCB ensamblado

4.1. Tensiones de Alimentación en Reposo

El primer paso en la validación del diseño fue corroborar que las tensiones de alimentación en reposo se encuentren en los valores establecidos por diseño. La respuesta transitoria de la fuente de 3V8 sera evaluada en la seccion 4.2

En la tabla 4.1 se pueden observar los valores obtenidos por medición. La fuente de 3V8 se midió en vacío. Para las mediciones se utilizo un multímetro *Agilent U1242A*.

Tabla 4.1: Tensiones de Alimentacion

<i>Valor Esperado</i>	<i>Valor Medido</i>
1V8	1,787V
3V3	3,777V
3V8	3,311V
5V	4,94V

4.2. Formas de Onda

El set-up experimental para estos ensayos puede verse en la figura 4.3.

4.2.1. Fuente de 3V8

Para validar el diseño de la fuente, se realizaron 3 ensayos.

- En vacío
- Con un consumo continuo de 700mA
- Con un consumo pulsado como el que e muestra en la figura 4.2.

Para poder realizar los ensayos se corto el trazo que une la fuente de alimentación con el resto de la placa y se dejo en vacío para el primer ensayo, en el cual, como indica la tabla 4.1 se midió una tensión de 3,777V. Para el ensayo de

consumo continuo se cargo la fuente con dos resistores de $3,3\Omega$ conectados en serie dando. En este caso se midieron $3,73V$. Para evaluar el caso de consumo pulsado, se cargo la fuente en forma de escalón con una carga de $1,65\Omega$ (dos resistencias de $3,3\Omega$ en paralelo). Se obtuvo una excursión de $350mV$ (figura 4.2) que es inferior al limite establecido por el fabricante del modulo.

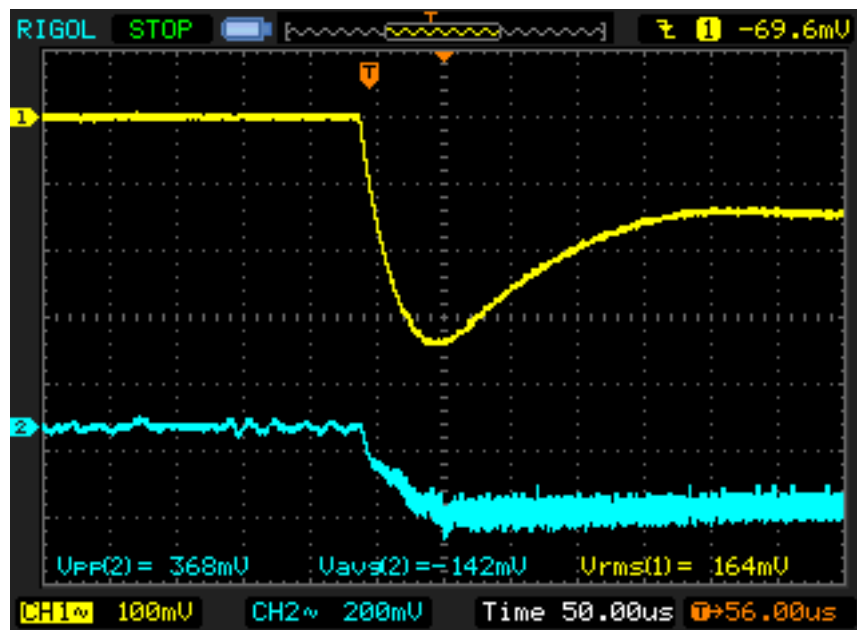


Figura 4.2: Transitorio de tensión en la fuente de 3V8 en amarillo y de la fuente de 5V en cyan.

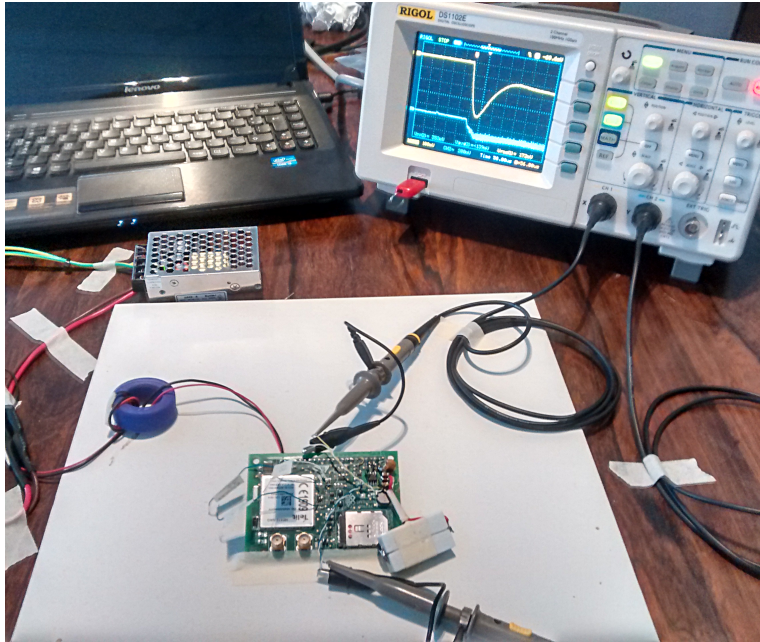


Figura 4.3: Arreglo experimental para realizar mediciones.

4.2.2. Secuencia de Encendido

Para validar el diseño del circuito de encendido, se realizaron mediciones montando el modem 3G sobre el *MBAP* para que esta le provea de una alimentación externa de 3V3. El arreglo experimental puede verse en la figura 4.4.

- Tensión sobre el colector de $Q3$ (ver esquemático) y la tensión de alimentación de 3V3 cuando esta se prende. (4.5)
- Tensión sobre $C15$ (ver esquemático) durante el apagado de la fuente y la tensión de alimentación de 3V3. (4.6)
- Tensión sobre el colector de $Q3$ y la tensión de alimentación de 3V3 en un evento de reset. (4.7)

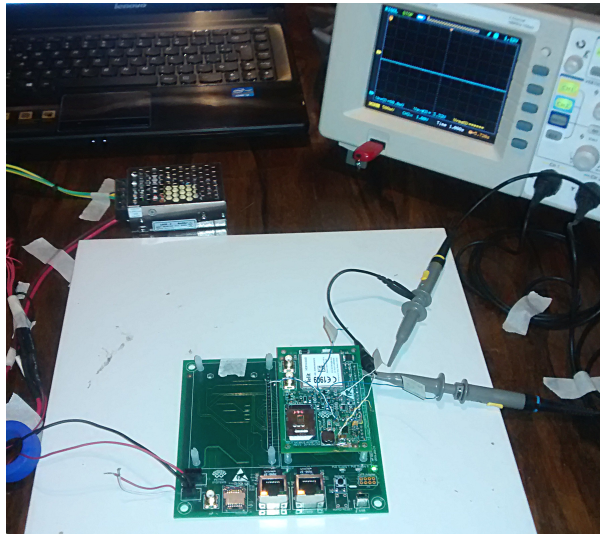


Figura 4.4: Arreglo experimental para medir la secuencia de encendido

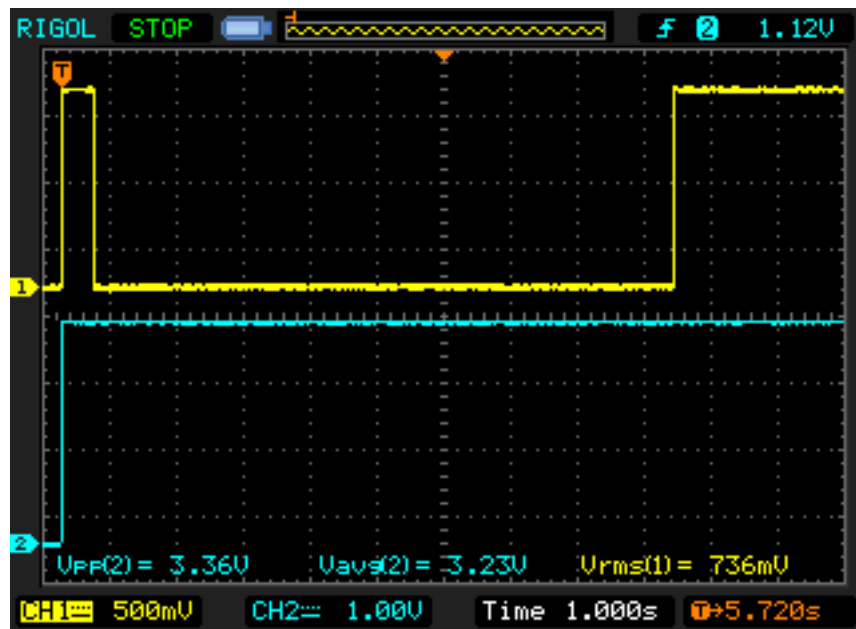


Figura 4.5: Tension en el colector de Q_3 en amarillo y alimentación de 3V3 en cyan.

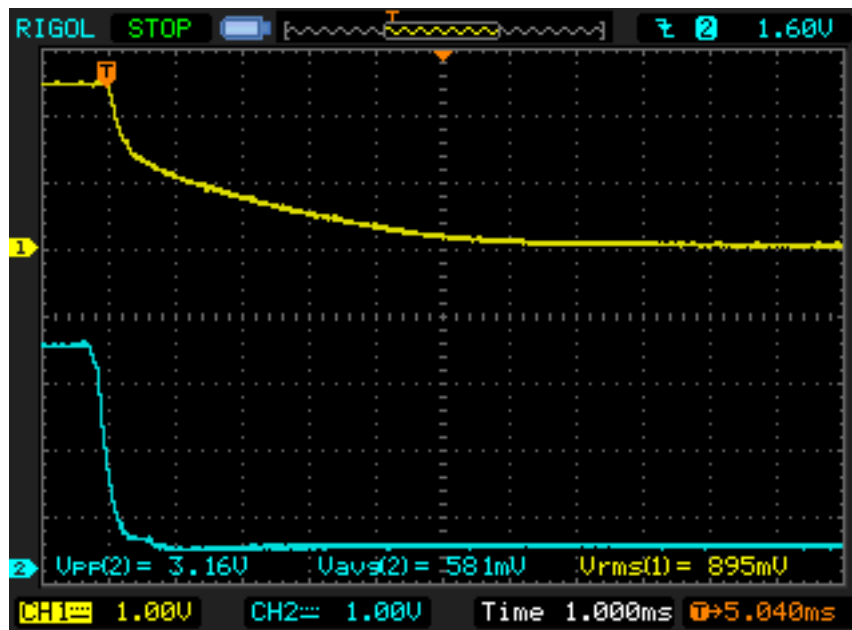


Figura 4.6: Tension en $C15$ en amarillo y alimentación de 3V3 en cyan.

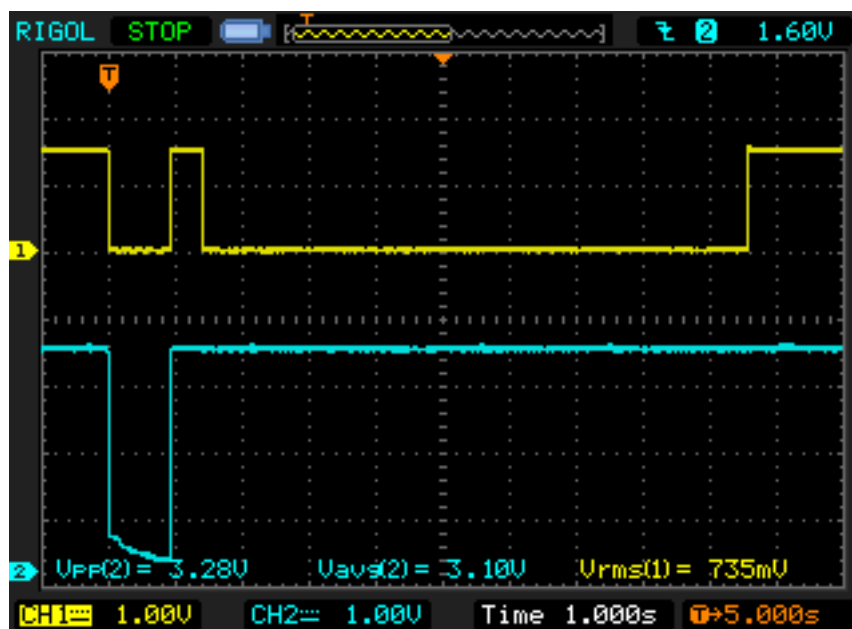


Figura 4.7: Tension en el colector de $Q3$ en amarillo y alimentación de 3V3 en cyan.

4.3. Impedancia controlada

Para poder realizar mediciones sobre los trazos de impedancia controlada, es necesario agregar trazos de prueba con sus respectivos conectores en los espacios muertos de *PCB* que resultan al hacer la panelización. Con esta técnica (cupón de medida) se aprovechan las porciones de *PCB* en desuso y no se ocupa espacio de la placa propiamente dicha.

En este diseño no se recurrió a dicha técnica ya que no se dispuso de equipamiento para realizar las mediciones en cuestión, de modo que su validación fue de alto nivel, es decir, se considera que los trazos fueron bien diseñados ya que se logro establecer un enlace de *RF* de forma exitosa (ver 4.5) y se logro la comunicación por *USB* (ver 4.4.1).

4.4. Comunicación Interna

4.4.1. USB

Se arrojaron una serie de comandos *AT* y se obtuvo respuesta del modulo (ver sección 4.5). Se considera que esto es suficiente para validar la interfaz *USB*

4.4.2. UART

Este ensayo sirvió tanto para testear la interfaz *UART* como para poner a prueba el traductor de nivel. A continuación puede observarse en una captura del osciloscopio la entrada y la salida del traductor de nivel durante una comunicación serie a 115200bps.

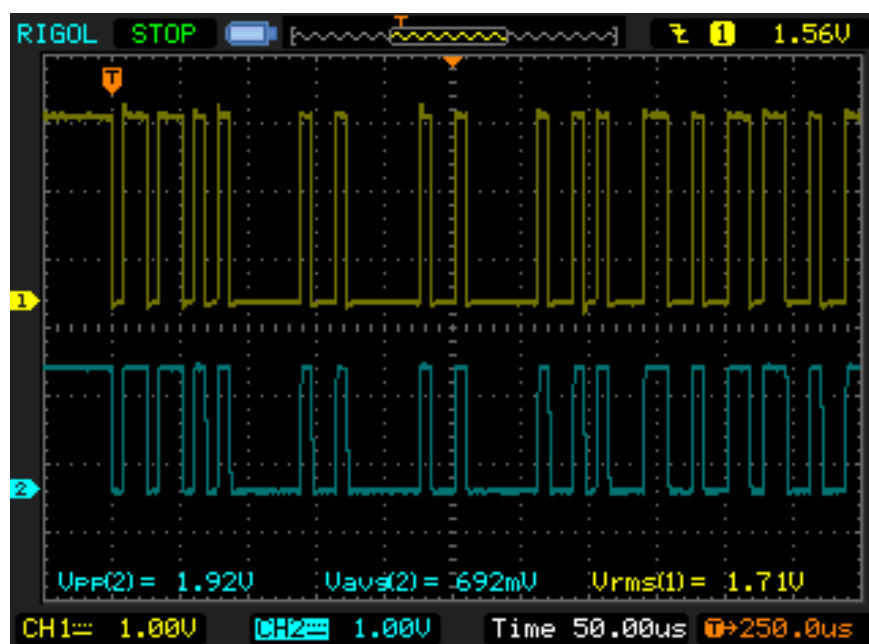


Figura 4.8: Captura de entrada y salida del logic translator

4.5. Conexión a la Red Celular y Tasa de Transferencia

Para validar la conexión a la red de datos, se proponen dos ensayos, uno de bajo nivel y otro de alto nivel. Se utiliza el primer test como control de sanidad y en caso de funcionar se pasa directo al ultimo test, que se trata de crear un hotspot de wifi a partir de una conexión 3G, de la cual se medirá además la tasa de transferencia. Se asume que si este test funciona, todas las capas intermedias (enlace, red y transporte) funcionan correctamente. En todos los ensayos de conexión se utiliza el modem montado sobre el *MBAP* que a su vez cuenta con una computadora onboard corriendo un sistema Linux como se muestra en la figura 4.9.

Para el ensayo de bajo nivel se verifica vía comandos *AT* que se halla establecido correctamente un enlace con el proveedor (en este caso Claro). Para el

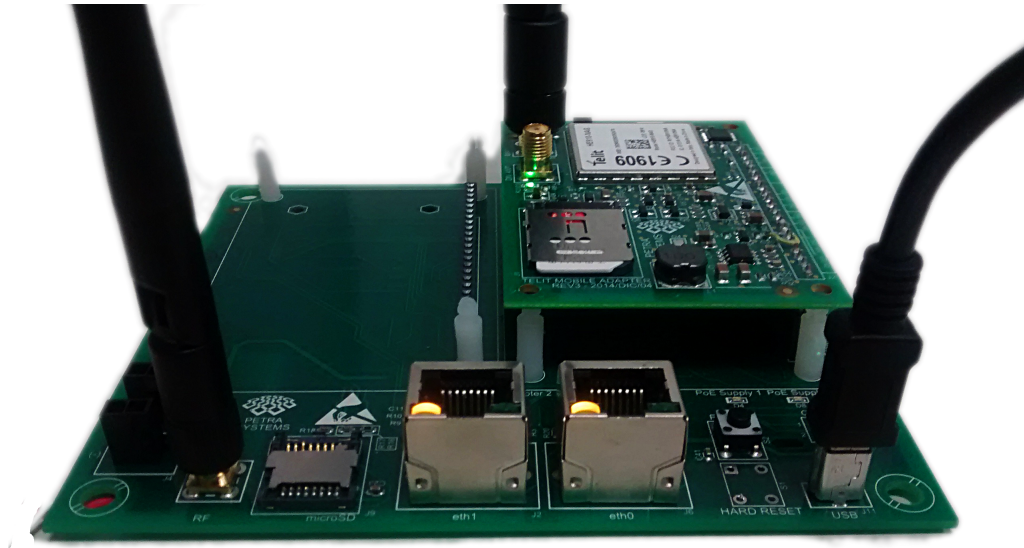


Figura 4.9: Modem 3G montado sobre el *MBAP*

test de alto nivel, haciendo uso del *MBAP* para la cual fue diseñada la placa en cuestión, puede utilizarse al sistema *MBAP* y modulo celular como un router 3G estándar y conectar una *PC* a través del puerto de red tal como se realiza para cualquier router.

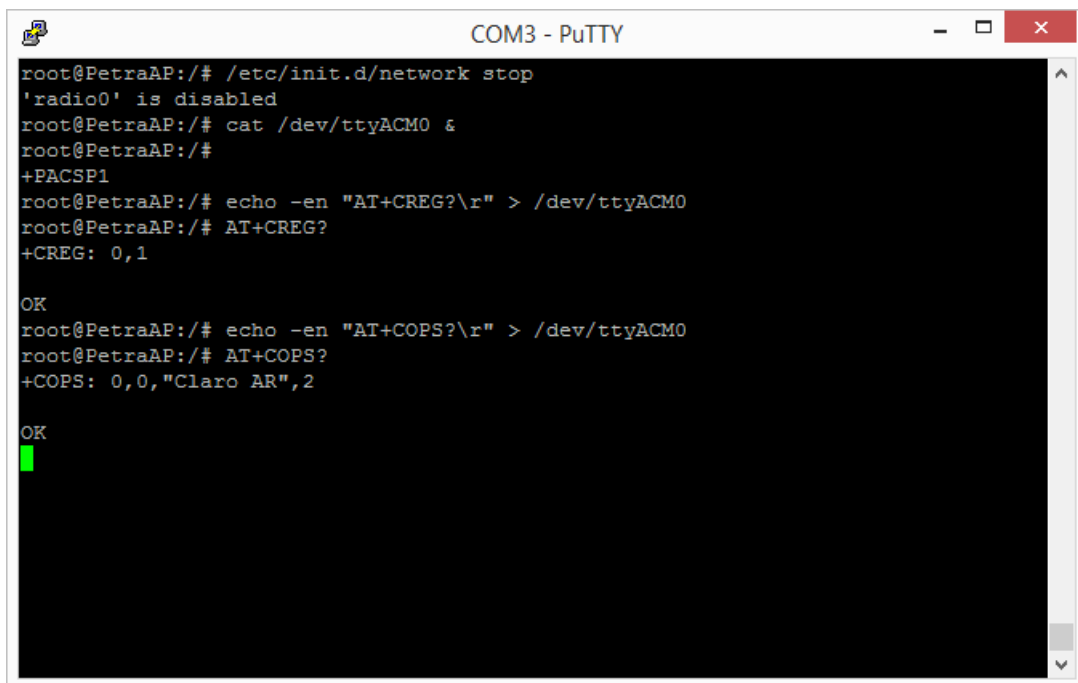
4.5.1. Ensayo de Bajo Nivel

Para este ensayo se utilizo el puerto *USB* del *MBAP* que hace las veces de puerto serie a traves de un *FTDI*. Se accedió a la consola *Linux* a través del software *Putty*. Desde la consola se ejecutaron los siguientes comandos:

- `/etc/init.d/network stop`. Con esto se detiene el servicio de conexión a red para que el sistema operativo no intente conectarse a la red 3G en forma automática.
- `cat /dev/ttyACM0 &`. Imprimir en pantalla aquella información que envíe el modulo por el puerto serie y devolver la consola.

- **echo -en "AT+CREG?\r" > /dev/ttyACM0.** Emitir el comando `AT+CREG?`. A través del mismo puede consultarse el status de conexión a la red celular. La respuesta devuelta por el modulo fue `+CREG : 0,1` que de acuerdo a [17] indica que el modulo se ha conectado exitosamente.
- **echo -en "AT+COPS?\r" > /dev/ttyACM0.** Consultar con que operador se realizo la conexión. La respuesta devuelta fue `+COPS : 0,0,"ClaroAR",2`. Esta respuesta tiene 4 parámetros separados por coma, donde el primero indica la selección de operador se realiza en forma automática, el segundo indica que el nombre del operador puede tener un máximo de 16 dígitos, el tercero es el nombre del operador y el cuarto indica que se ha conectado a una red 3G.

Lo anteriormente descrito puede observarse en la figura 4.10.



```
root@PetraAP:/# /etc/init.d/network stop
'radio0' is disabled
root@PetraAP:/# cat /dev/ttyACM0 &
root@PetraAP:/#
+PACSP1
root@PetraAP:/# echo -en "AT+CREG?\r" > /dev/ttyACM0
root@PetraAP:/# AT+CREG?
+CREG: 0,1

OK
root@PetraAP:/# echo -en "AT+COPS?\r" > /dev/ttyACM0
root@PetraAP:/# AT+COPS?
+COPS: 0,0,"Claro AR",2

OK
```

Figura 4.10: Verificación de conexión a la red

4.5.2. Ensayo de Alto Nivel

El objetivo de este ensayo es crear un hotspot de wifi redirigiendo tráfico entre la interfaz wifi del *MBAP* y el modem 3G. Para ello (recordando que el *MBAP* posee un sistema Linux embebido) es necesario modificar 4 archivos de configuración del sistema operativo. A continuación, se detalla brevemente la funcionalidad de cada uno de los mismos:

- **/etc/config/wireless.** En este archivo se definen los parámetros de la radio wifi como el canal, driver, potencia de transmisión, etc. También se definen parámetros de la red que se crea a partir de la radio como el ID de la red inalámbrica, encriptación, etc [18].
- **/etc/config/network.** Aquí se configura para cada interfaz, el protocolo de red (ppp, 3G, dhcp, etc) a utilizar [19].
- **/etc/config/dhcp.** Se define un pool de direcciones IP para que sean asignadas por el servidor dhcp [20].
- **/etc/config/firewall.** Se definen las reglas de redireccionamiento de tráfico entre la interfaz wifi y celular [21].

4.5.2.1. Entradas de los Archivos de Configuración

Entradas del archivo `/etc/config/wireless`

```
config wifi-device 'radio0'
    option type 'mac80211'
    option hwmode '11g'
    option path 'platform/ar933x-wmac'
    option htmode 'HT20'
```



```
option hidden '0'  
option disabled '0'  
option channel '8'
```

```
config wifi-iface  
    option device 'radio0'  
    option network 'wifi'  
    option mode 'ap'  
    option ssid 'OpenWRT_test'  
    option encryption 'none'
```

Entradas del archivo **/etc/config/network**

```
config interface 'wan2'  
    option ifname 'ppp0'  
    option proto '3g'  
    option device '/dev/ttyACM0'  
    option apn 'gprs.claro.com.ar'  
    option user 'clarogprs'  
    option password 'clarogprs999'
```

```
config interface 'wifi'  
    option proto 'static'  
    option ipaddr '192.168.1.1'  
    option netmask '255.255.255.0'
```

Entradas del archivo **/etc/config/dhcp**

```
config dhcp 'wifi'
```

```
option interface 'wifi'  
option start '100'  
option limit '150'  
option leasetime '12h'
```

Entradas del archivo **/etc/config/firewall**

```
config zone  
    option name 'wan2'  
    option network 'wan2'  
    option input 'ACCEPT'  
    option output 'ACCEPT'  
    option forward 'REJECT'  
    option masq '1'
```

```
config zone  
    option name 'wifi'  
    option network 'wifi'  
    option input 'ACCEPT'  
    option output 'ACCEPT'  
    option forward 'REJECT'
```

```
config forwarding  
    option src 'wan2'  
    option dest 'wifi'
```

```
config forwarding  
    option src 'wifi'
```

```
option dest 'wan2'
```

5. Conclusión

Se diseñó e implementó un módulo de comunicaciones para la red de datos 3G con posibilidades de operar en la red 4G. Se partió de una especificación de Ingeniería proveniente del ámbito privado, para una aplicación industrial. Se exploró brevemente la evolución de la red 3G y se identificaron los puntos críticos respectivos a las normativas vigentes.

Posteriormente se investigó el mercado de SoCs de comunicaciones para proponer una solución del menor costo posible. Se escogió el módulo de *Telit HE – 910* que además del costo tiene el mismo factor de forma y pinout que los modelos de 4G, lo cual da más versatilidad al circuito impreso diseñado, pudiéndose utilizar el mismo para la red 4G.

Una vez que se seleccionó el módulo, se propuso un diagrama en bloques y se diseñó un circuito esquemático que a su vez cumpliera con las especificaciones de interfaz eléctrica y consideraciones mecánicas.

Como se diseñó e implementó un producto, a diferencia de un prototipo, debió cumplir con especificaciones que van más allá de la funcionalidad. Debieron considerarse aspectos como el diseño térmico, la atenuación en las líneas de transmisión, la fabricabilidad y testeabilidad, además de solo utilizar componentes ratados en el rango de temperatura adecuado y siempre del menor costo posible. Luego de la etapa de diseño se produjeron los archivos de fabricación pertinentes y fueron enviados a un fabricante en *USA*, que además de producir el *PCB*,

realizó el montaje (*PCBA*).

Se realizaron una serie de mediciones sobre el hardware y tests a nivel de software para corroborar que el módulo desarrollado cumpla con las especificaciones de las cuales se partió.

El proyecto cumplió satisfactoriamente con los objetivos propuestos y el diseño desarrollado no presentó problemas ni sorpresas, funcionando tal como se esperaba.

Bibliografía

- [1] Test Plan for RF Performance Evaluation of Wi-Fi Mobile Converged Devices. Standard, CTIA Wireless Association - WiFi Alliance, 2009.
- [2] Global System for Mobile communications (GSM). Standard, ETSI, 2012.
- [3] HE910. Datasheet, Telit, 2012.
- [4] LE910. Datasheet, Telit, 2013.
- [5] 340kHz 18V 2A SYNCHRONOUS DC/DC BUCK CONVERTER. Datasheet, DIODES Incorporated, 2013.
- [6] MAX9032AKA+T. Datasheet, Maxim, 2013.
- [7] Sim Integration Design Guide. Appnote, Telit, 2012.
- [8] Testing and MEASUREMENT TECHNIQUES - Electrostatic discharge immunity test. Standard, IEC, 2001.
- [9] Multi-Layer High-Q Capacitors. Catalog, Johanson.
- [10] Design Guide for High-Speed Controlled Impedance Circuit Boards. Standard, IPC, 1996.
- [11] T. Taga. Analysis for mean effective gain of mobile antennas in land mobile radio environments. *IEEE Transactions on Vehicular Electronics*, 39:117–131, May 1990.
- [12] Parsons J.D. *The mobile radio propagation channel*. Wiley, 2000.
- [13] T.W.C. Brown. *Antenna Diversity for Mobile Terminals*. PhD thesis, University of Surrey, UK, 2002.
- [14] SRN8040-100M. Datasheet, Bourns, 2014.
- [15] Constructing Your Power Supply - Layout Considerations. Application note, Texas Instruments.
- [16] Generic Standard on Printed Board Design. Standard, IPC, 1998.

- [17] HSPA+ AT Commands Reference Guide. Datasheet, Multi-Tech Systems, Inc., 2013.
- [18] Wireless configuration. Wiki, <http://wiki.openwrt.org/doc/uci/wireless>, OpenWRT.
- [19] Network configuration. Wiki, <http://wiki.openwrt.org/doc/uci/network>, OpenWRT.
- [20] DNS and DHCP configuration. Wiki, <http://wiki.openwrt.org/doc/uci/dhcp>, OpenWRT.
- [21] Firewall configuration. Wiki, <http://wiki.openwrt.org/doc/uci/firewall>, OpenWRT.