# NORMALIZADOR DE INTENSIDAD DE SEÑAL EN CANALES DE TELEVISION DE AIRE

Alumno: Andrés Fernando Alvarez
Matricula: 10253

Directores: Ing. Juan Carlos Bonadero,
Dr. Ing. Alejandro José Uriz.

RINFI

REPOSITORIO INSTITUCIONAL

INTEMA | FACULTAD DE INGENIERÍA | UNMDP

RINFI se desarrolla en forma conjunta entre el INTEMA y la Biblioteca de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata.

Tiene como objetivo recopilar, organizar, gestionar, difundir y preservar documentos digitales en Ingeniería, Ciencia y Tecnología de Materiales y Ciencias Afines.

A través del Acceso Abierto, se pretende aumentar la visibilidad y el impacto de los resultados de la investigación, asumiendo las políticas y cumpliendo con los protocolos y estándares internacionales para la interoperabilidad entre repositorios

Esta obra está bajo una Licencia Creative Commons Atribución-NoComercial-CompartirIgual 4.0 Internacional.

ÍNDICE

Capítulo 1: Introducción
- 1.1 Problemática a resolver
- 1.2 Opciones de desarrollo
  - 1.2.1 Filtrado Analógico
  - 1.2.2 Filtrado Digital
  - 1.2.3 Separación por bandas de frecuencia
- 1.3 Solución propuesta

Capítulo 2: Diseño y construcción del hardware
- 2.1 Primeros prototipos
  - 2.1.1 Primer prototipo LMX2306®
  - 2.1.2 Segundo prototipo ADF4002®
  - 2.1.3 Tercer prototipo ADF4360®
- 2.2 Prototipo Final
  - 2.2.1 Circuito generador de señales ADF4351®
  - 2.2.2 Circuito RF
    - 2.2.2.1 Sintonizador
    - 2.2.2.2 Circuito mezclador
    - 2.2.2.3 Amplificador
    - 2.2.2.4 Filtro pasa banda microstrip
    - 2.2.2.5 Sumador
  - 2.2.3 Circuito del Microcontrolador
  - 2.2.4 Fuente de alimentación

Capítulo 3: Diseño e implementación del software
- 3.1 Introducción
- 3.2 Software microcontrolador PIC16F877A®

Capítulo 4: Mediciones
- 4.1 Medición de entrada de señal
- 4.2 Medición de salida de señal

Capítulo 5: Conclusiones

Apéndice A: Sistema PAL y banda lateral vestigial
Apéndice B: Conceptos teóricos PLL, Mezcladores y circuitos de radio frecuencia.
Apéndice C: Protocolo Bus I2C

## RESUMEN

Este proyecto surge ante una problemática encontrada por la empresa “Reparaciones Comerciales” que se dedica a la instalación y mantenimiento en sistemas de redes para señales de aire en edificios comúnmente conocido como antena colectiva. En el siguiente documento se describirán toda la información, los procedimientos y los cálculos que permitieron implementar el proyecto final de carrera:

“Normalizador de intensidad de señal en canales de televisión de aire”

El mismo tiene como objetivo el desarrollo de un equipo que permita normalizar la señal entrante de los canales de aire ubicados en las frecuencias 181,25 MHz, 193,25 MHz y 205,25 MHz (Correspondiente a las emisoras de Canal 8, Canal 10 y Tv publica respectivamente). En este documento se analizan distintas estrategias para lograr con este cometido y explicando, de manera analítica, la factibilidad de estas hasta concluir en un prototipo final que sea capaz de cumplir la tarea encomendada.

En principio se presenta la problemática encontrada por la empresa y luego se desarrolla la solución propuesta describiendo la tecnología utilizada y el desarrollo del prototipo construido así como el funcionamiento final del mismo. Sobre el final se analizan mejoras constructivas y compatibilidad con las nuevas tecnologías emergentes de televisión digital terrestre utilizada en el país.

# Capítulo 1: Introducción

## 1.1 Problemática a resolver

El proyecto consiste en el diseño y fabricación de un equipo que permita normalizar la señal recibida de cada canal de aire por la antena de manera de poder distribuirla de manera uniforme a través de una red y que cada unidad puede recibir la cantidad adecuada de señal en cada canal.

A continuación se muestra un ejemplo de topología típica para una red de un edificio:

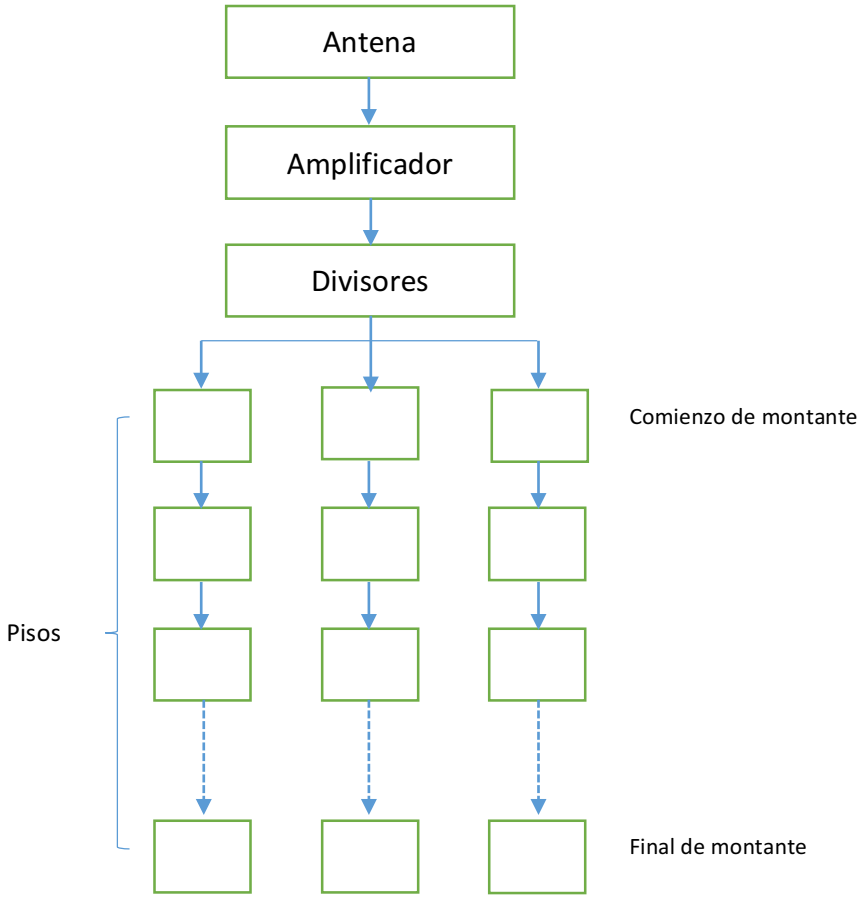



Figura 1. Topología típica de la red de un edificio

La problemática presentada ocurre en la mayoría de los edificios ya que la diferencia de potencia de cada canal en la recepción de la antena es muchas veces mayor a 15 dB. Esto genera una limitación a la hora de la amplificación de dicha señal que conlleva a que, por lo general, los finales de montante se encuentren con algún canal por debajo del límite de nivel correcto. Por ello, resulta necesario normalizar la señal a la entrada del amplificador de manera de producir una salida normalizada en cada canal.

Ante esta dificultad no se pudo encontrar ningún equipo que realice esta tarea, por lo menos, a nivel de señales de aire por lo que fue encomendado por la empresa el desarrollo de un equipo de costo no muy elevado que realice la tarea.

Inicialmente se desarrollarán las opciones disponibles desde un marco teórico y finalmente se avanzará sobre la solución propuesta y la tecnología elegida.

## 1.2 Opciones de desarrollo

Se tuvieron en cuenta tres opciones para desarrollar el equipo requerido: Filtrado analógico, filtrado digital y, por último, trabajar con separación por bandas de frecuencia. Cada una de estas opciones presentaban ventajas y desventajas de consideración que serán explicadas a continuación:

### 1.2.1 Filtrado analógico

Un filtro es un dispositivo normalmente de dos puertos, cuya misión principal es seleccionar/rechazar una determinada banda de frecuencias deseada/no deseada. Para ello, existen diferentes tipos de filtro en función de las bandas de frecuencias que queramos eliminar. Así, podemos clasificar en términos de su función cuatro categorías, los filtros pasa bajos, pasa banda, pasa altos y elimina banda. En nuestro caso, trabajaremos con un filtro pasa bajos tipo Butterworth que ofrece mayor planicidad en su banda de paso. Más tarde se describirá como mediante el cálculo de los coeficientes para un filtro pasa bajos se puede transformar a un filtro pasa banda.

**Tipos de filtro**

A continuación se explican los casos de filtro pasa bajos y pasa banda. Debido al enfoque de este trabajo, no se desarrollarán los filtros pasa altos ni elimina banda.

**Filtro pasa bajos**

La función básica de un filtro pasa bajos es dejar pasar las frecuencias por debajo de una frecuencia de corte especificada.

La Figura 2 muestra un filtro pasa bajos Butterworth de orden 6 simulado con Matlab®. El eje de abscisas muestra la frecuencia angular normalizada respecto de la frecuencia de corte. El eje de ordenadas muestra la función de transferencia del filtro. Tal y como se puede apreciar, existen dos zonas bien diferenciadas en la respuesta del filtro, la banda de paso y la suprimida.

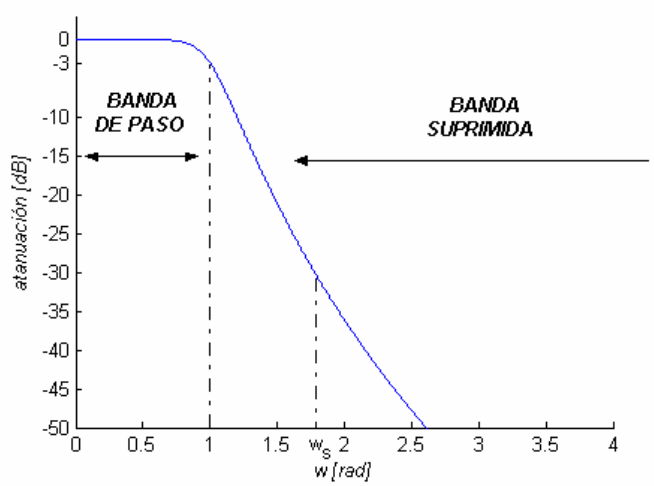



Figura 2. Característica en frecuencia de un filtro pasa bajos tipo Butterworth

La banda de paso define el contenido espectral que se desea seleccionar. En el caso ideal, es la zona en la cual las señales no se verán atenuadas por el filtro. Esta zona viene delimitada por la frecuencia de corte, que normalmente valdrá uno en el caso de estar normalizada. El margen frecuencial que contiene la banda de paso se denomina ancho de banda del filtro, que para el caso de un filtro pasa bajos coincide con la frecuencia de corte.

La banda suprimida es, en el caso ideal, la zona en la cual el filtro ya no deja pasar ninguna componente espectral. En realidad, la atenuación que ofrece es muy alta pero no llega a ser infinito.

También suele definirse como especificación de entrada una frecuencia *ws* para la cual se precisa una atenuación mínima deseada. En el caso de la Figura 2, esta atenuación es de 30 dB para la frecuencia *ws* definida.

**Filtro pasa banda**

Un filtro pasa banda tiene como función dejar pasar el contenido frecuencial que se encuentra dentro de una ventana centrada en la frecuencia central. Este margen vendrá determinado por dos frecuencias de corte especificadas de antemano.

En la Figura 3 se muestra un filtro tipo Chebyshev pasa banda de orden 3 y rizado 0,5 dB simulado mediante Matlab®. Tal y como se ha visto para el caso de un filtro pasa bajos, tendremos dos zonas de trabajo, donde en este caso, al tener el filtro desplazado del origen, tendremos una situación dual y simétrica en cuanto a las zonas de supresión.

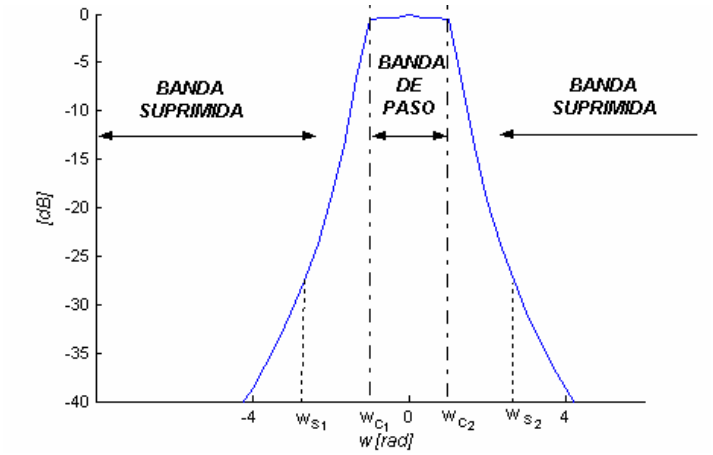



Figura 3. Características de filtro pasa banda tipo Chebyshev

Tal y como se puede observar en la Figura 3, tendremos dos frecuencias de corte $w_{c1}$ y $w_{c2}$, que en el caso de estar normalizadas, valdrán -1 y 1 respectivamente. El espaciado que forman estas dos frecuencias inferiores y superiores definirán el ancho de banda del filtro. Este ancho de banda será el margen frecuencial para el cuál obtenemos una atenuación entre 0 dB y -3 dB. Es decir, el ancho de banda nos determina qué frecuencias útiles queremos mantener, las cuáles idealmente no se verían atenuadas. También se aprecia la existencia de otras dos frecuencias, $w_{s1}$ y $w_{s2}$. Estas frecuencias son especificaciones de entrada que nos definen la frecuencia de banda suprimida inferior y superior respectivamente. Junto a estas frecuencias de banda suprimida se especifica la atenuación mínima deseada en ese punto, que en el caso particular de la Figura 3 son 20 dB.

**Coeficientes del filtro prototipo pasa bajos**

Una vez determinados los tipos de filtro a tratar, necesitamos conocer qué elementos formarán nuestro filtro y en qué forma. Centrándonos primero únicamente en el caso pasa bajos, la estructura del denominado filtro prototipo pasa bajos sin ningún tipo de componente disipativo es la mostrada en la Figura 4 y la Figura 5. Pese a que esta estructura no siempre será válida, sí lo será para las dos clases de filtro que explicaremos en el siguiente capítulo.

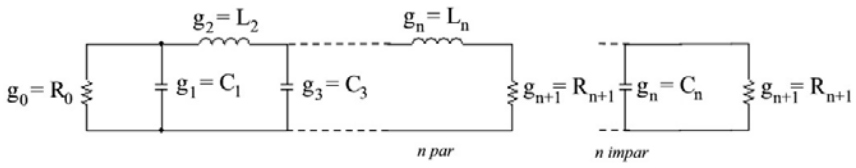



Figura 4. Primer circuito prototipo pasa bajos

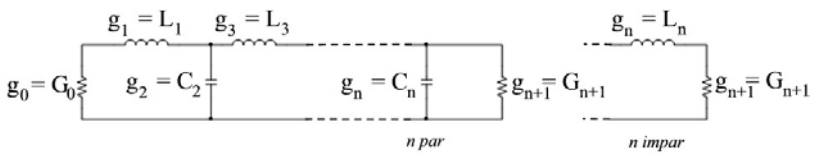



Figura 5. Segundo circuito prototipo pasa bajos

Ambos esquemas circuitales mostrados en la Figura 4 y la Figura 5 tienen un comportamiento y respuesta análogos. El número de elementos reactivos vendrá determinado por el orden del filtro *n*. En el caso de hacer uso de la Figura 4 el coeficiente $g_0$ hará referencia a la resistencia del generador y $g_{n+1}$ indicará la resistencia de carga. Si utilizamos la Figura 5, $g_0$ hará referencia a la conductancia del generador y $g_{n+1}$ a la conductancia de carga. Los demás coeficientes $g_k$ serán los elementos reactivos del filtro.

Tomando en consideración únicamente la Figura 4, los coeficientes reactivos de subíndice par indican las bobinas, mientras que los coeficientes de subíndice impar indican los condensadores. Consecuentemente, si el orden del filtro es impar, el esquema circuital tendrá un último componente reactivo $g_n$ equivalente a un condensador. De forma análoga, si el orden del filtro es par, el esquema circuital tendrá un último componente reactivo $g_n$ equivalente a una bobina. Este razonamiento se cumple de forma inversa para la Figura 5.

Los coeficientes están normalizados para obtener una resistencia o conductancia del generador $g_0$ y una frecuencia de corte $\omega'_1$ igual a uno. Sin embargo, pueden aplicarse una serie de transformaciones al filtro para obtener los mismos coeficientes para el caso de una resistencia de carga, conductancia de carga o frecuencia de corte diferente a uno.

En el caso de tratar con una resistencia $R_0$ o conductancia de carga $g_0$ diferente de uno, los coeficientes del filtro se verán modificados tal y como muestra la siguiente ecuación, donde hemos mostrado el caso de resistencia $R_0$.

$$g_0 = R_0 \qquad L'_k = R_0 \cdot L_k \qquad C'_k = C_k / R_0 \qquad g_{n+1} = R_0 \cdot R_{n+1}$$

En el caso de tratar con una frecuencia de corte $\omega_1$ diferente de uno, los coeficientes del filtro se verán modificados tal y como muestra la siguiente ecuación.

$$L'_k = L_k / \omega_1 \qquad\qquad C'_k = C_k / \omega_1$$

En el caso de escalado de frecuencia, los coeficientes resistivos $g_0$ y $g_{n+1}$ no se ven alterados. De la anterior ecuación se deduce un fenómeno físico muy importante, el cual determina que cuanta más alta es la frecuencia de corte, más pequeños serán los valores de los componentes reactivos.

Este hecho es el que nos permite predecir que para la frecuencia de trabajo de nuestro filtro VHF (Entre 180 y 210 MHz), los valores de los componentes a utilizar serán muy pequeños y probablemente no encontremos componentes comerciales acordes a las

necesidades del filtro. Por lo tanto, realizar el filtro con elementos discretos no será conveniente, sin embargo seguiremos con el análisis hasta justificar descartar esta opción.

**Clases de filtros**

El punto de partida de todo diseño de un filtro es su función de transferencia. Este nos define completamente la forma que tendrá y la atenuación del mismo en función de la frecuencia. Existen diversas funciones de transferencia conocidas, sirviendo como ejemplo las más comunes como Chebyshev o Butterworth.

Pese a la existencia y uso de otras funciones, (elíptica, Bessel, gaussiana, etc.), nosotros nos centraremos en los filtros Butterworth.

Una vez decidimos qué tipo de función de transferencia utilizaremos, podremos ser capaces de calcular el orden. Obtenido el orden, calcularemos los coeficientes o elementos del filtro y la atenuación en cualquier margen frecuencial mediante las especificaciones de entrada.

Empezaremos analizándolos para el caso de filtro pasa bajos y luego demostraremos los métodos posibles para generalizarlo a cualquier tipo de filtro.

**Filtro pasa bajos Butterworth o *maximally flat***

El filtro Butterworth o *maximally flat* se caracteriza por tener una respuesta plana en la banda de paso. En la Figura 6 se muestra un ejemplo simulado con Matlab® de la atenuación que presenta este tipo de filtro.

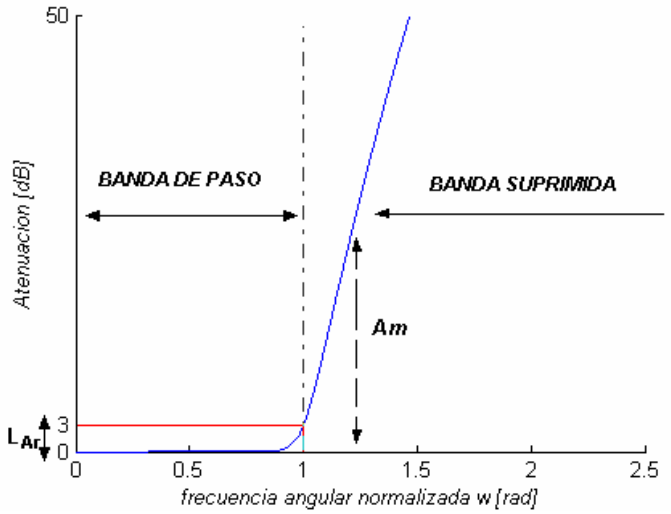



Figura 6. Característica de atenuación de un filtro pasa bajos Butterworth

En el caso de la Figura 6, tratamos con un filtro pasa bajos, donde el eje horizontal es la frecuencia angular normalizada respecto la frecuencia de corte. Debido a la necesidad de definir un punto de separación entre la banda de paso y la de supresión, se suele definir este punto en el prototipo Butterworth como la frecuencia a la cual caen 3 dB.

A esta frecuencia se le denomina frecuencia de corte, mientras que a la atenuación a este punto se le denomina atenuación o "rizado" en la banda de paso. El ancho de banda vendrá definido por lo tanto por la frecuencia de corte a -3 dB, es decir, en el punto donde hemos perdido la mitad de potencia. Sin embargo, también sería posible definir otro valor de atenuación en la banda de paso diferente de 3 dB, en cuyo caso tendríamos una atenuación a la frecuencia de corte de valor igual a la atenuación en la banda de paso especificada.

Destacar que pese a que se defina la atenuación o "rizado" en la banda de paso como la atenuación a 3 dB, en realidad el filtro Butterworth tiene una respuesta totalmente plana en la banda de paso.

También suele ser una especificación del filtro el valor de la atenuación mínima $A_m$ en la banda de transición a una frecuencia en concreto.

Matemáticamente, el filtro describe una característica de atenuación definida por la ecuación:

$$L_A(\omega') = 10 \cdot \log_{10}\left[1 + \varepsilon\left(\frac{\omega'}{\omega'_1}\right)^{2\cdot n}\right]$$

$$\varepsilon = \left[10^{\frac{L_{Ar}}{10}}\right] - 1$$

Donde $\omega'$ es la frecuencia angular normalizada respecto la frecuencia de corte. Para la implementación de la curva de atenuación, barremos esta frecuencia $\omega'$ para obtener la atenuación en cada punto. $\omega'_1$ es la frecuencia de corte normalizada, por lo tanto será igual a 1.

$L_{Ar}$ indica el rizado o atenuación en la banda de paso a la frecuencia de corte. Para el caso general donde se define un rizado $L_{Ar}$ = 3 dB, $\varepsilon$ se reduce a 1.

Por último, $n$ es el orden, que coincide con el número de elementos reactivos del filtro. La definición matemática del orden viene dada por las siguientes ecuaciones:

$$n \geq \frac{\log_{10}\left(\frac{\varepsilon_m}{\varepsilon}\right)}{2 \cdot \log_{10}\left(\frac{\omega'}{\omega'_1}\right)}$$

$$\varepsilon_m = \left[10^{\frac{Am}{10}}\right] - 1$$

Como vemos, por definición *n* tiene que cumplir un valor mínimo pero no máximo dado por la anterior ecuación. Por lo tanto, el diseñador es capaz de aumentar el orden mínimo para obtener una curva de atenuación más pronunciada.

No obstante, a costa de aumentar *n* aumentaremos también el número de elementos reactivos y consecuentemente la dificultad de implementación y coste. Por lo tanto existe un compromiso en la elección del orden *n*.

Existen gráficas que tabulan la atenuación en función de la frecuencia para diferentes órdenes. A continuación, en la Figura 7 se muestra una implementación de una gráfica que tabula la atenuación de un filtro pasa bajos Butterworth para los órdenes de 1 a 12.

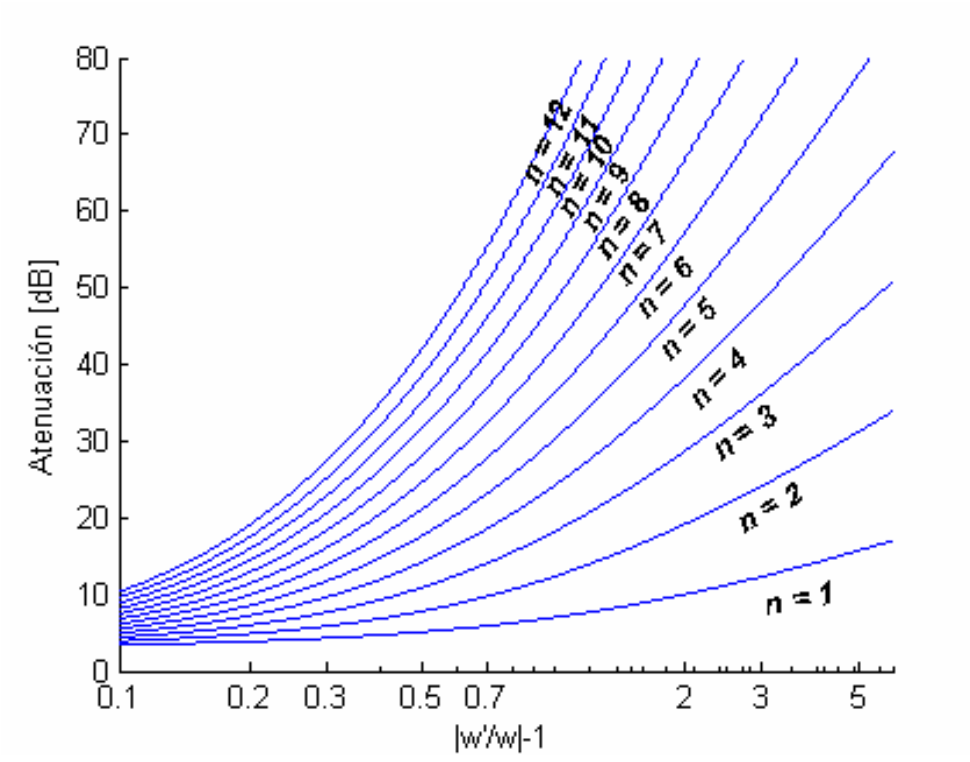



Figura 7 Característica de atenuación para distintos valores de *n*

**Cálculo de los coeficientes del filtro prototipo**

El cálculo de los coeficientes $g_k$ del filtro prototipo irá en función de la clase de filtro que utilicemos. En el caso Butterworth, generalizando para el caso de $L_{Ar}$ = 3 dB, con $R_0$ o $G_0$ igual a 1 y frecuencia de corte igual a 1, el cálculo de los coeficientes se muestra en las siguientes ecuaciones.

$$g_0 = 1 \qquad g_k = 2 \cdot \sin\left[\frac{(2 \cdot k - 1) \cdot n}{2 \cdot n}\right] k = 1, 2..., n \quad g_{n+1} = 1$$

Se puede apreciar que obtener los coeficientes del filtro conlleva realizar cálculos muy repetitivos y extensos. Por ello existen tablas que proporcionan los coeficientes que satisfacen éstas ecuaciones para los diferentes órdenes que nuestro filtro pueda necesitar.

Para nuestro caso utilizamos el software Filter Solutions® que permite, ingresando los requerimientos del filtro, calcular los valores de los componentes discretos necesarios.

**Generalizaciones para un filtro pasa banda**

Todos los parámetros expuestos hasta ahora tratan el caso particular de un filtro pasa bajos. Sin embargo, si quisiéramos trabajar con otro tipo de filtro, (pasa banda, pasa altos o elimina banda), podríamos partir de las mismas ecuaciones pasa bajos presentadas aplicándoles una serie de transformaciones para que actuaran filtrando las frecuencias deseadas. Debido a los intereses de este trabajo, mostraremos solo el caso de transformaciones para un filtro pasa banda.

**Transformación de las frecuencias**

Existen diferentes expresiones para definir la transformación de pasa bajos a pasa banda, ya que la elección del mapeo y de la frecuencia central dependerán de la estructura del filtro.

En el caso de un filtro pasa banda, la igualdad que relaciona de forma exacta las frecuencias pasa bajo con las pasa banda es la mostrada en las siguientes ecuaciones:

$$\frac{\omega'}{\omega'_1} = \frac{2}{FBW} \cdot \left(\frac{\omega - \omega_0}{\omega_0}\right)$$

Siendo

$$FBW = \frac{\omega_{c2} - \omega_{c1}}{\omega_0} \qquad \omega_0 = \frac{\omega_{c2} + \omega_{c1}}{2}$$

Donde $\omega'_1$ es la frecuencia de corte pasa bajos normalizada y por lo tanto igual a 1 y $\omega'$ es la frecuencia que vamos barriendo en el caso de un filtro pasa bajos para obtener la curva

de atenuación en cada punto. $\omega_0$ es la frecuencia central del filtro pasa banda, $\omega$ es la frecuencia que vamos barriendo en el caso de un filtro pasa banda para obtener la curva de atenuación en cada punto y el FBW es el ancho de banda fraccional (Fractional Band Width), es decir, el ancho de banda de rizado normalizado respecto a la frecuencia central.

Por lo tanto, la parte izquierda de la igualdad contiene los parámetros referentes al filtro pasa bajos mientras que la parte derecha de la igualdad contiene los parámetros referentes al filtro pasa banda.

Destacar que todas las frecuencias pasa banda por debajo de la frecuencia central tendrán valores negativos. Esto es debido a que estas frecuencias se corresponden con el eje frecuencial negativo del filtro pasa bajos.

Asimismo, todas las frecuencias pasa banda por encima de la frecuencia central tendrán valores positivos, ya que éstas se corresponden con las frecuencias positivas del filtro pasa bajos. Esta es la razón por la cual las tablas de curvas de atenuación se muestran con un eje frecuencial normalizado de valor absoluto.

**Transformación de los coeficientes del filtro pasa banda implementado mediante inversores**

La estructura que define a un filtro pasa banda se puede extrapolar a partir del filtro prototipo pasa bajos aplicándole una serie de transformaciones. En concreto, el prototipo pasa bajos actuará como pasa banda si transformamos las inductancias en resonadores paralelos (circuitos paralelos LC) y los condensadores en resonadores series (circuitos LC serie), tal y como se muestra en la Figura 8 para el caso de coeficientes no disipativos.

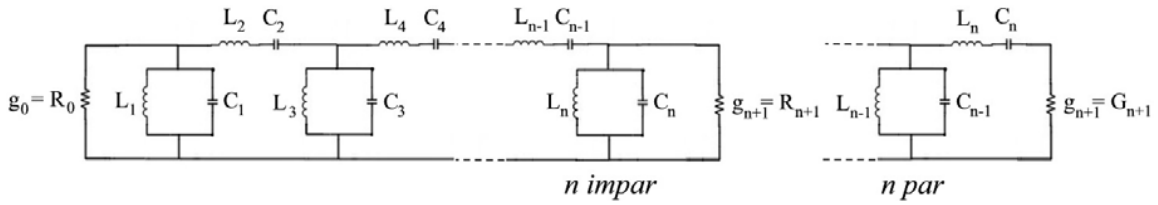



Figura 8. Circuito prototipo pasa banda.

Sin embargo, la estructura de la Figura 8 presenta una serie de problemáticas para llevar a la práctica su diseño a frecuencias de microondas.

**Consideraciones de efectos disipadores**

Hasta ahora, hemos considerado que todos los coeficientes o elementos del filtro prototipo pasa bajos son ideales en términos de pérdidas. Esto conlleva a considerar que las bobinas y condensadores equivalentes no disipan potencia en la banda de paso y por lo tanto obtenemos una atenuación nula. Sin embargo, todo filtro no ideal está formado por elementos disipadores que atenuarán la señal en cualquier banda frecuencial.

El factor de calidad *Q* nos define las pérdidas que presenta un filtro con unas especificaciones dadas. El filtro no tendrá pérdidas cuando éste tienda a infinito. La expresión matemática que define el factor *Q* se muestra en la siguiente ecuación:

$$Q = \frac{1}{FBW_{3dB}}$$

Donde $FBW_{3dB}$ es el ancho de banda fraccional medido a una atenuación de 3 dB.

**Factor de calidad *Q* de los elementos de un filtro pasa banda**

En el caso de tratar con resonadores disipadores, las pérdidas que ofrecerán los resonadores serie se pueden modelar con una resistencia en serie, mientras que las pérdidas de los resonadores en paralelo se modelarán con una conductancia en paralelo. Éste concepto se muestra gráficamente en la Figura 9, siendo el caso (a) el de un resonador serie y el caso (b) el de un resonador paralelo.

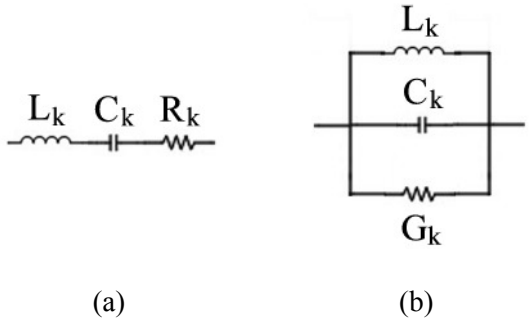



Figura 9. Modelo de elementos disipadores

Existen dos maneras de proceder para calcular el factor *Q* de los resonadores. La elección de uno u otro irá en función de los parámetros conocidos que se disponen. El primer método consiste en plantear de nuevo el problema considerando el circuito equivalente del resonador de la Figura 9 tal y como se hizo para el caso del filtro prototipo pasa bajos. Sin embargo, si se conocen los valores del factor *Q* de cada elemento del prototipo pasa bajos, es posible simplificar el problema aplicando una trasformación a los factores que permitirá caracterizarlos para el caso pasa banda.

Considerando el primer método, se puede demostrar que el factor de calidad descargado $Qu_{PB}$ de los resonadores en un filtro pasa banda es el mismo tanto para un resonador serie como para un resonador paralelo. La ecuación que define ambos casos se muestra a continuación.

$$Qu_{PBk} = \omega \cdot \frac{L_k}{R_k} = \frac{1}{\omega \cdot C_k \cdot R_k}$$

Donde $\omega$ es la frecuencia a la cuál medimos el factor de calidad. Para el caso de resonadores, esta frecuencia es la frecuencia de resonancia ω = 1 / LC .

Considerando el segundo método, el factor de calidad descargado pasa banda $Qu_{PB}$ de cada resonador se puede encontrar partiendo del filtro prototipo pasa bajos. La relación que existe entre el factor de calidad pasa banda y el factor de calidad prototipo pasa bajos viene determinado por la siguiente ecuación:

$$Qu_{PBk} = \frac{Qu_k}{FBW}$$

Donde $Qu_k$ es el factor de calidad del elemento reactivo *k* del filtro prototipo pasa bajos presentado anteriormente y *FBW* es el ancho de banda fraccional.

También es posible determinar el factor de calidad cargado *Q*, es decir, teniendo en consideración el resonador como conjunto del circuito. En concreto, los factores de calidad cargados de los resonadores laterales son parámetros necesarios para conocer el punto en el cuál haremos la conexión al exterior. El factor de calidad deberá considerar las resistencias de generador y carga, por lo que sus factores de calidad cargados $Q_1$ y $Q_n$ vendrán determinados por la siguiente ecuación:

$$Q_{PB1} = \frac{g_0 \cdot g_1}{FBW} \qquad\qquad Q_{PBn} = \frac{g_n \cdot g_{n+1}}{FBW}$$

En el caso Butterworth, los coeficientes del filtro $g_k$ cumplen que $g_0 = g_{n+1}$ si se considera una misma impedancia de carga y de fuente y, además, también cumplen $g_1 = g_n$ para todo *n*. Por lo tanto, la igualdad de $Q_{PB1}$ con $Q_{PBn}$ es directa.

**Atenuación a la frecuencia central debida a las pérdidas**

Conocidos los factores de calidad Q, somos capaces de encontrar la atenuación debida a las pérdidas de los elementos del filtro. El punto más crítico en un filtro pasa bajos es para $\omega$ = 0. Éste punto nos indica la atenuación a la frecuencia central, donde idealmente habíamos supuesto una atenuación de 0 dB. La expresión que define la atenuación a la frecuencia central de un filtro pasa bajos la encontramos en la siguiente ecuación:

$$Lo = 4.343 \cdot \omega_1' \cdot \sum_{i=1}^{n} \left( \frac{g_i}{Qu_i} \right) \text{ dB}$$

Donde $\omega_1'$ es la frecuencia de corte normalizada y por lo tanto de valor 1, y $g_i$ son los coeficientes del filtro.

De manera análoga al caso pasa bajos, mediante los factores de calidad descargados *Q* somos capaces de encontrar la atenuación a la frecuencia central de un filtro pasa banda. Su expresión matemática se muestra en la siguiente ecuación.

$$Lo = 4.343 \cdot \frac{\omega_1'}{FBW} \cdot \sum_{i=1}^{n} \left( \frac{g_i}{Qu_{PBi}} \right) \text{ dB}$$

Donde $\omega_1'$ es la frecuencia de corte normalizada y por lo tanto de valor 1, $g_i$ son los coeficientes del filtro y n es el orden del filtro.

Tal y como se muestra en la anterior ecuación, la atenuación en la banda de paso de un filtro pasa banda es inversamente proporcional al factor de calidad descargado Q y al ancho de banda fraccional. Por lo tanto, considerando el factor de calidad de las bobinas de construcción casera y el tipo de montaje a utilizar podemos predecir una atenuación más que importante en la banda de paso lo que nos traería problemas más adelante.

**Consideraciones para nuestro caso**

En principio analizamos la intensidad de señal que encontramos típicamente en un edificio. En la Figura 10 podemos observar el nivel de las tres señales que tomamos en cuenta en nuestro análisis. La medición se realizó con el medidor de intensidad de campo PROMAX® que entrega la información en unidades referidas a 1 mV (dBmV).

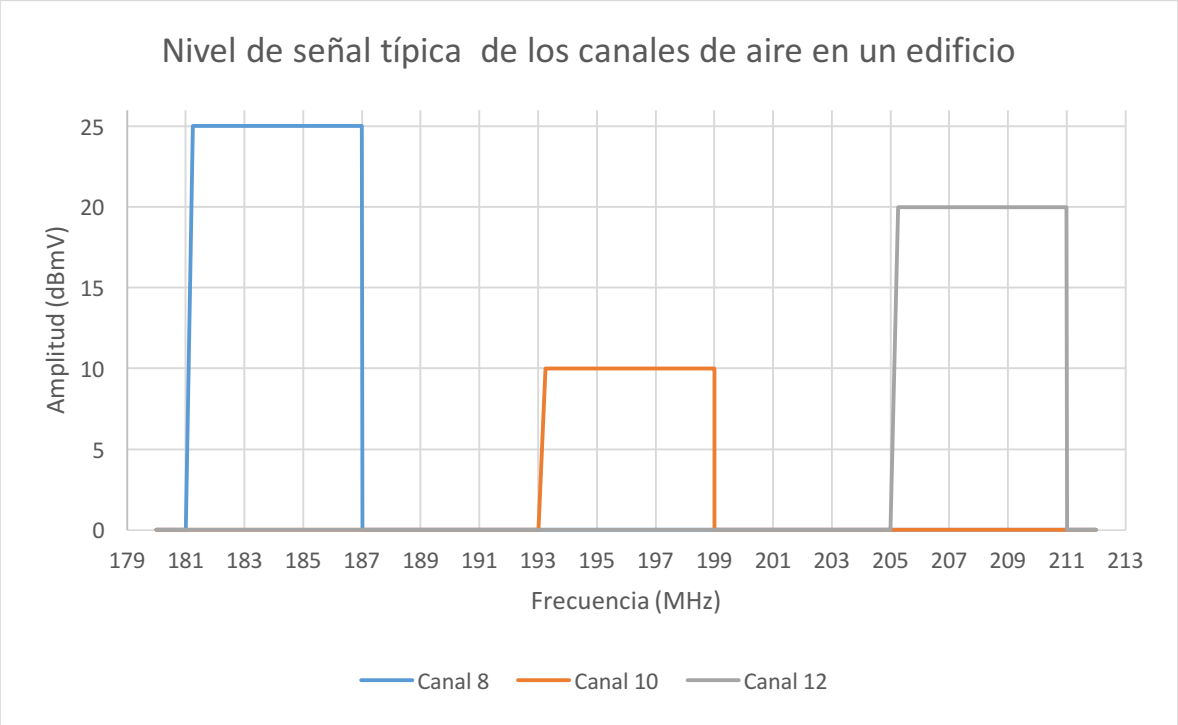



Figura 10. Amplitud vs Frecuencia de intensidad de señal en canales de aire

Como se puede observar en la Figura 10 la diferencia de intensidad entre el Canal 10 y los demás canales es de consideración lo que genera problema en la recepción en las unidades más bajas en las redes de los edificios. Nuestra primera opción de filtrado en alta

frecuencia requiere generar tres filtros que aíslen los tres canales y de esa forma poder individualizar la amplificación para luego volver a sumarlos y generar una salida normalizada de señal.

Para realizar un filtro de componentes discretos pasa banda que separe cada canal aislando por completo a los canales adyacentes primero debemos obtener el orden del filtro a realizar. Para ello nos servimos del grafico de la Figura 7 mostrada anteriormente y obtenemos que el mínimo orden de filtro es 5. Lo que significa que la configuración del filtro deberá contener 5 inductores y 5 capacitores. Debido a la posibilidad de utilizar el software Filter Solutions®, el cálculo de los componentes resulta de facilidad y cabe destacar también su bajo costo de construcción.

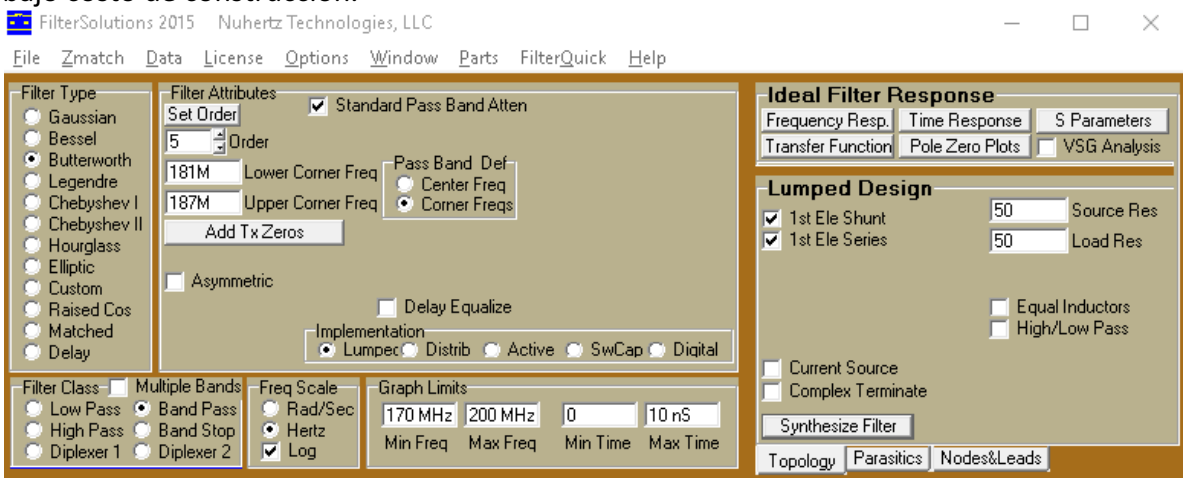



Figura 11. Configuración del software Filter Solutions®

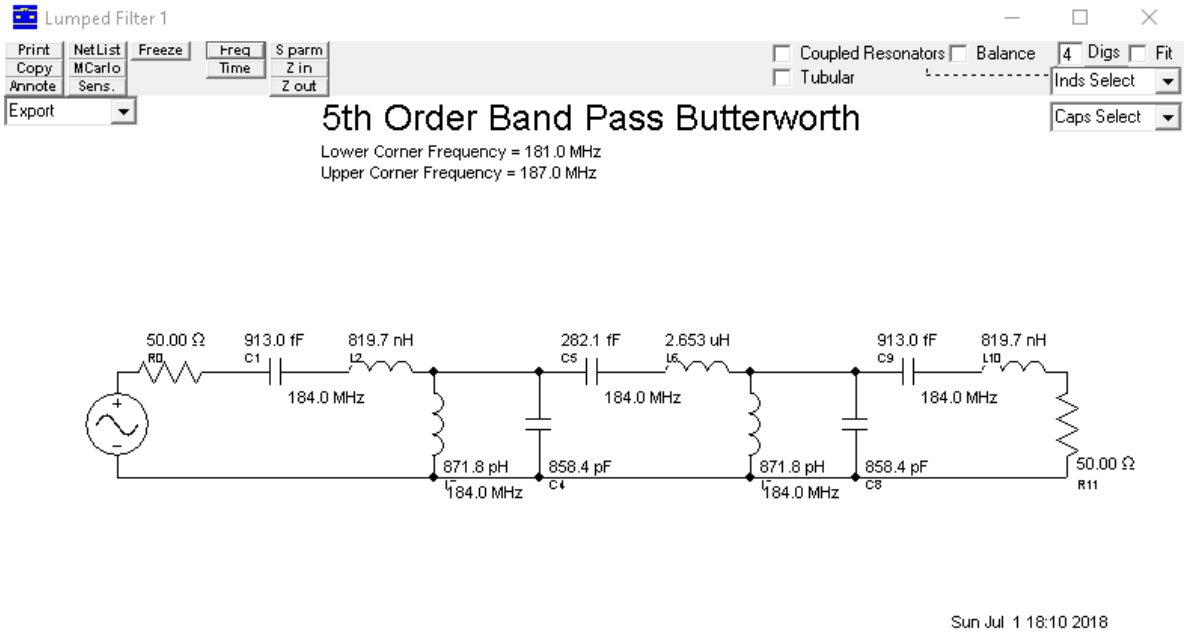



Figura 12. Esquemático teórico del filtro

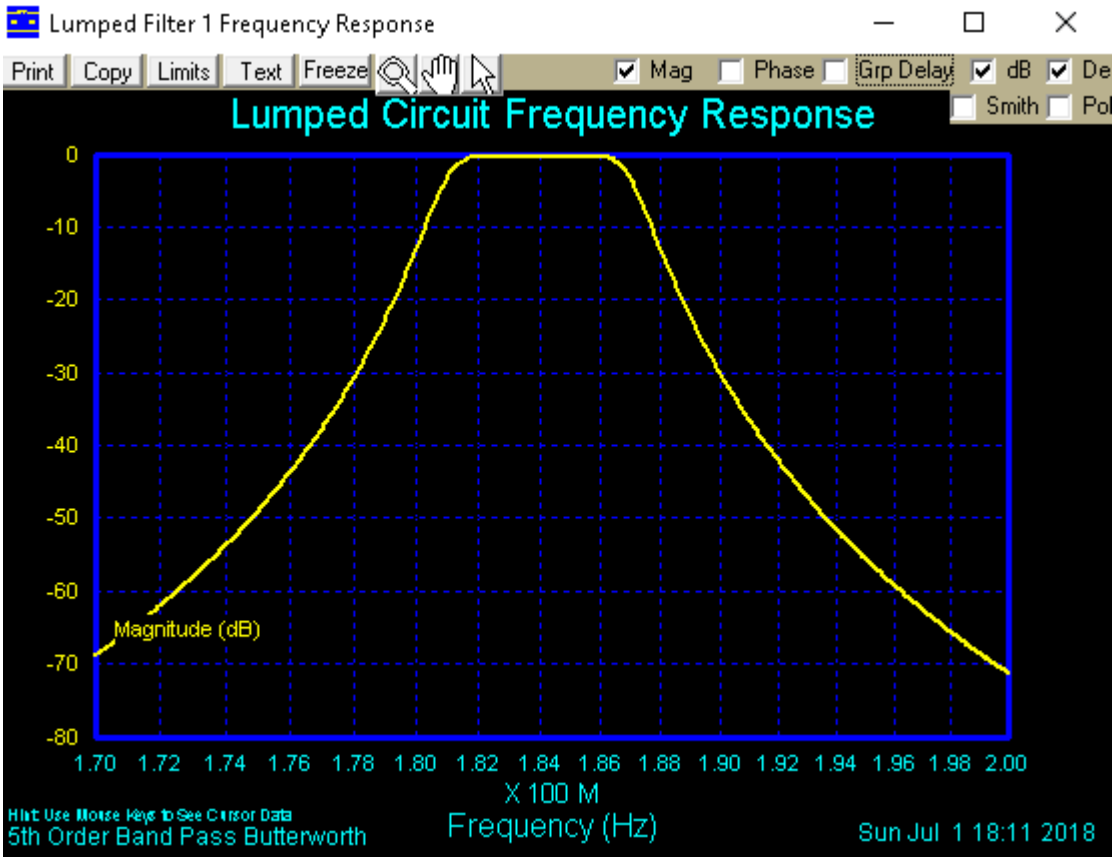



Figura 13. Respuesta en frecuencia teórica del filtro

La complejidad surgió en el bobinado de los inductores. Ya que la diferencia entre el inductor teórico y la bobina generada es de importancia en alta frecuencia y debido a que el montaje de la placa es una sumatoria de resonadores, a la hora de llevarlo a la práctica no se pudo ajustar el Q correctamente y el ancho de banda no tuvo la precisión necesaria. Además de esto la atenuación en la banda de paso dejo mucho que desear y estaba lejos de las consideraciones de diseño, por lo que este método fue descartado.

Otra posible solución es la implementación del filtro mediante elementos distribuidos basados en la tecnología planar (microstrip, stripline, etc.). Sin embargo, la atenuación que presentan estos filtros en la banda de paso cuando tratamos con anchos de banda estrechos es muy elevada.

Este hecho se puede demostrar matemáticamente si tenemos en cuenta la ecuación que rige la atenuación en la banda de paso de un filtro pasa banda, siendo ésta la que se muestra en la siguiente ecuación.

$$Lo = 4.343 \cdot \frac{\omega_1'}{FBW} \cdot \sum_{i=1}^{n} \left( \frac{g_i}{Qu_{PB\,i}} \right) \quad \text{dB}$$

Tal y como se puede observar en la ecuación, la atenuación en la banda de paso es inversamente proporcional al factor de calidad descargado de los resonadores $Qu_{PBi}$ y al ancho de banda fraccional *FBW*. Por lo tanto, considerando que el factor de calidad de ésta tecnología para nuestra frecuencia de trabajo es del orden de 150, si además tratamos un ancho de banda fraccional pequeño, la atenuación en la banda de paso tiende a un valor muy elevado. Además, cada edificio posee características de señal diferentes, lo que llevaría a realizar un ajuste de atenuación diferente para cada edificio lo que no resultaba para nada práctico. Por estos motivos este método fue descartado también y se observaron otras opciones.

### 1.2.2 Filtrado Digital

Otra alternativa fue la de desarrollar un filtro angosto digitalmente. Para realizar esta tarea digitalizar la señal para luego aplicarle el filtro de forma computacional y luego devolverla al campo analógico. La gran ventaja de los filtros digitales es que podemos construir respuestas en frecuencia prácticamente ideales, ya que en procesado digital de señal manejamos realmente vectores con valores numéricos (que son señales discretas en el tiempo), en lugar de señales continuas en el tiempo. Todo ello, no obstante, tiene una limitación importante: cuanto mayor precisión se requiera, mayor frecuencia de muestreo necesitaremos, y ello directamente implica un consumo de RAM y CPU superiores. Por ello, al menos con la tecnología de la que hoy día disponemos, resultaría inviable implementar filtros digitales ideales para radiofrecuencia. Por lo tanto este método fue descartado desde un inicio.

### 1.2.3 Separación por bandas de frecuencia

La tercera opción es aprovechar la existencia de selectores de canales de televisores en desuso y mediante una sencilla programación usarlos para sintonizar cada canal aprovechando la salida de frecuencia intermedia acondicionar su nivel y luego volver a subirlo a la frecuencia deseada.

Los últimos modelos de selectores se programan bajo el protocolo I2C compatible con los microcontroladores PIC resultando en un proceso sencillo y de bajo costo. Una vez seleccionado el canal, el selector lleva el canal ubicado en alta frecuencia a la frecuencia intermedia FI=45,75 MHz de acuerdo a los parámetros del sistema PAL-N que utilizamos en nuestro país (véase Apéndice A para más información). De esta manera utilizando tres selectores se podrían separar los tres canales en cuestión y así trabajar su potencia por separado en una frecuencia más cómoda.

Luego de normalizar la potencia de los tres canales en FI subimos cada canal a su frecuencia correspondiente con un mezclador y, finalmente, con un sumador obtendríamos el resultado requerido.

Se obtienen todas las ventajas del esquema receptor superheterodino, en cuanto a selectividad, con la ventaja adicional de que los filtros específicos se obtienen comercialmente.

## 1.3 Solución propuesta

Luego de analizar las tres opciones disponibles se decidió trabajar la opción de separar los canales por bandas de frecuencia. La elección se tomó por cuestiones de costo y de elementos requeridos que se encontraban al alcance y permitían realizar un prototipo funcional.

Para realizarlo se trabajó sobre un diagrama en bloques del proyecto y luego se describirá cada etapa.

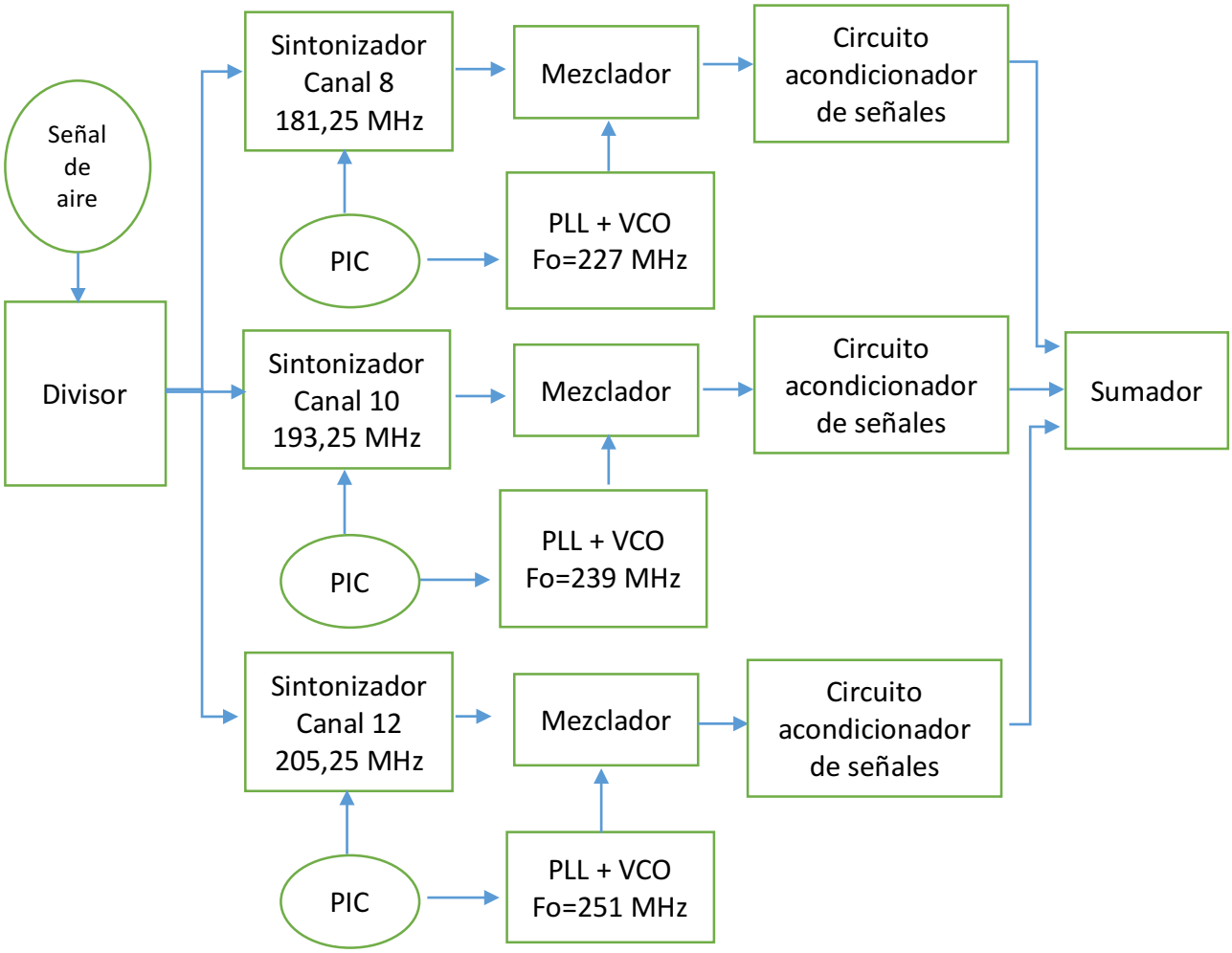



Figura 14. Diagrama en bloques

**Descripción de los bloques:**

- **Divisor de señal**

Se utilizara un divisor de señal comercial que trabaja entre las frecuencias de 5 MHz hasta 1000 MHz, manteniendo impedancia constante. Los divisores de tres vías poseen tres salidas, una salida de -3dB y dos salidas de -7dB. Debido a que el canal con menor potencia siempre es el Canal 10 se utilizó la salida de -3dB para la sintonización de este canal y se usaron las dos salidas de -7dB para Canal 8 y Canal 12.

- **Selector de canal (Sintonizador)**

Se utilizara tres selectores que usan el integrado TSA5520 o TSA5521 de Phillips. Se adoptó usar estos integrados en particular porque tienen un rango de captura de hasta 1.3GHz permitiendo un rango de frecuencias mucho más amplio que podría ser usado a futuro para otras aplicaciones. La salida de cada sintonizador es una señal de Frecuencia Intermedia (FI) de 45.75 MHz.

- **Sintetizador de señal basado en PLL**

El sintetizador diseñado se encargara de generar la señal portadora encargada de subir la banda seleccionada a la frecuencia correspondiente. Resulta de mucha importancia que el PLL pueda programarse mediante un microcontrolador PIC ya que todo el proyecto se podrá controlar con el mismo microcontrolador.

- **Mezclador de señal**

El mezclador de señal se encargara de mezclar la señal FI=45.75 MHz y la señal portadora *Fo* de alta frecuencia para trasladar el canal de banda base a su canal correspondiente en VHF. Para este proyecto en particular se requiere que el mezclador pueda trabajar entre las frecuencias de 40 MHz y 300 MHz.

- **Microcontrolador PIC**

Sera el encargado de controlar tanto el selector de canales por el bus I2C como programar el PLL para que genere la señal portadora.

- **Circuito acondicionador de señales**

Este circuito se encargara de adecuar la señal VHF a la salida del mezclador para corregir la potencia de salida y filtrar si fuera necesario cualquier señal espúrea que se pudiera encontrar.

- **Sumador**

Esta etapa consistirá en un simple sumador de señales de video, ya que las señales se encuentran normalizada y filtradas no será necesario un mayor tratamiento en esta etapa.

# Capítulo 2: Diseño y construcción del hardware

En este capítulo se presenta todo el desarrollo del hardware utilizado para el proyecto, desde los primeros prototipos hasta el diseño final.

## 2.1 Primeros prototipos

En esta sección se analizaran los primeros prototipos que fueron utilizados y descartados por distintas razones que serán descriptas a continuación. Se enfatizó en la fabricación del sintetizador de señal PLL que es el eje central del proyecto y el que más complicaciones presentaba.

### 2.1.1 Primer prototipo LMX 2306

La idea original era utilizar un integrado detector de fase (LMX2306®) y luego de incorporarlo a un sistema a un sistema más complejo que funcione como PLL para generar la portadora necesaria para la conversión de frecuencia que sucedería después. Este circuito integrado cumple con la especificación de que sea programable vía SPI con un microcontrolador. El integrado cuenta con registros de desplazamiento que al ser programados presenta a la salida una corriente (también programable y del orden de miliAmper) proporcional a la diferencia de fase entre la entrada de referencia y la entrada realimentada del bucle PLL (para más información véase Apéndice B).

A continuación se debía diseñar un filtro pasa bajos para transformar los pulsos de corriente del detector de fase en valores medios dependientes del error de fase. A esta etapa le seguiría un VCO realizado con el circuito integrado MC12148® que utilizando un circuito tanque formado por un inductor y un capacitor permite generar señales senoidales y así completar el lazo PLL que haría de sintetizador. En el siguiente diagrama en bloques se puede observar la primera versión del diseño del PLL.

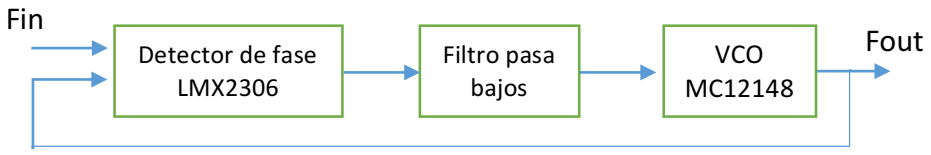


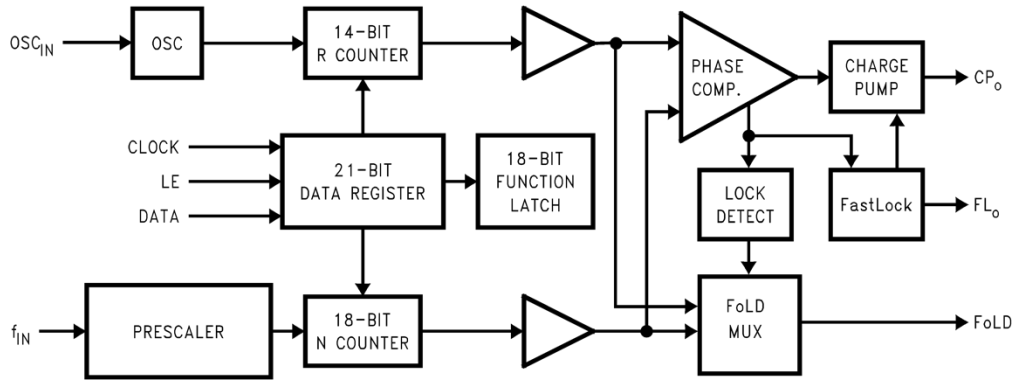

Figura 15. Diagrama en bloques del sintetizador PLL

La descripción del integrado se presenta en la Figura 16:

El diagrama de bloques simplificado que muestra el registro de datos de 21 bits , un contador R de 14 bits, un contador de 18 bits N , y un Latch de 18 bits. El flujo de datos se desplaza (en el flanco ascendente de LE) en la entrada de datos, MSB primero. Los dos últimos bits son los bits de control.

Los datos se transfieren en los contadores como sigue:

## Functional Block Diagram




## Connection Diagrams

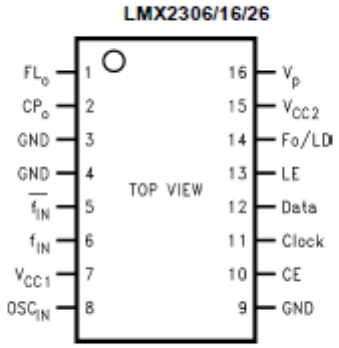
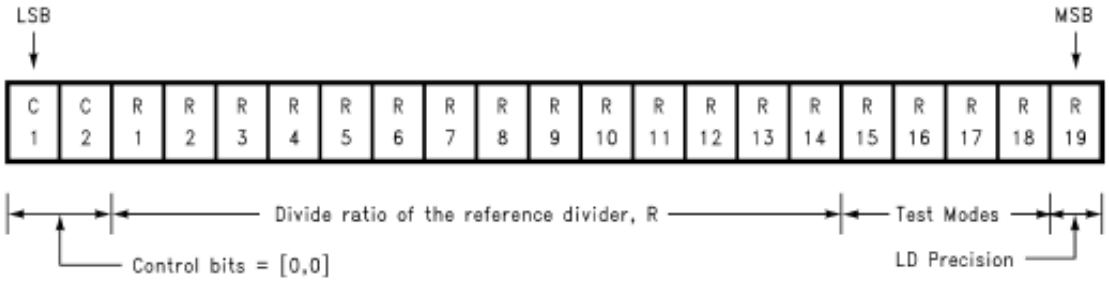



**Figure 1. 16-Lead (0.173" Wide) Thin Shrink Small Outline Pkg - TSSOP See Package Number PW**

| Control | | DATA Location |
|---|---|---|
| C1 | C2 | |
| 0 | 0 | R Counter |
| 1 | 0 | N Counter |
| 0 | 1 | Function Latch |
| 1 | 1 | Initialization |

Figura 16. Diagrama del LMX2306®

Si los bits de control son [C1, C2] = [0,0], los datos se transfieren desde el cambio de registro de 21 bits en una ranura que fija el contador de 14 bits R. Los 4 bits R15 - R18 son para los modos de prueba, y se debe establecer en 0 para un uso normal. En la Figura 17 se presenta el formato de datos en serie:



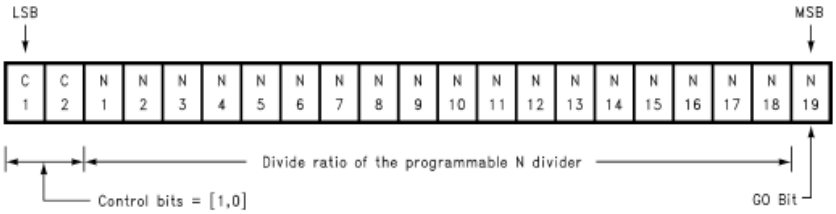
**14-bit Programmable Reference Divider Ratio (R Counter)**

| Divide Ratio[2][3] | R[1] 14 | R 13 | R 12 | R 11 | R 10 | R 9 | R 8 | R 7 | R 6 | R 5 | R 4 | R 3 | R 2 | R 1 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 3 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| • | • | • | • | • | • | • | • | • | • | • | • | • | • | • |
| 16383 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

Figura 17. Mapa de registros del contador R del LMX2306®

## Divisor programable (Contador N)

El contador N consiste en un contador de 5 bits (A) y un contador programable de 13 bits (B). Si los bits de control son [C1, C2] = [1,0], los datos se transfieren a partir del registro de desplazamiento de 21 bits en el registro de 5 bits (Que establece Contador A), el registro de 13 bits (que establece el contador de 13 bits B), y los bits GO con el byte más significativo primero. Para el LMX2306® el valor máximo de N es 65535 y el valor mínimo N es 56. Para el LMX2316 / 26®, el valor máximo es 262 143 y el valor mínimo es 992. El formato de datos se muestra a continuación.




Data is shifted in MSB first.

**5-bit Swallow Counter Divide Ratio (A Counter)**

| LMX2316/26 | | | | | | | LMX2306[1] | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Divide Ratio[2] | N 5 | N 4 | N 3 | N 2 | N 1 | | Divide Ratio[3] | N 5 | N 4 | N 3 | N 2 | N 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | | 0 | X | X | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | | 1 | X | X | 0 | 0 | 1 |
| • | • | • | • | • | • | | • | • | • | • | • | • |
| 31 | 1 | 1 | 1 | 1 | 1 | | 7 | X | X | 1 | 1 | 1 |

**13-Bit Programmable Counter Divide Ratio (B Counter)**

| Divide Ratio[1] | N 18 | N 17 | N 16 | N 15 | N 14 | N 13 | N 12 | N 11 | N 10 | N 9 | N 8 | N 7 | N 6 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 3 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| • | • | • | • | • | • | • | • | • | • | • | • | • | • |
| 8191 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

(1) Divide ratio: 3 to 8191 (Divide ratios less than 3 are prohibited) B≥A

Figura 18. Mapa de registros para la configuración del LMX2306®

En la ecuación siguiente se puede ver que variando los registros A,B y R se puede modificar la frecuencia de salida por ende la corriente que ingresa al filtro pasa bajos que resultara en una tensión que modulara un VCO(*Voltage controller oscillator*).

**Pulse Swallow Function**

fvco = [(P x B) + A] x fosc/R

Luego se implementó el circuito del VCO utilizando el integrado MC12148®. Este integrado tiene la ventaja que puede trabajar hasta frecuencias de 1100 MHz dependiendo del circuito tanque LC que se utilice.

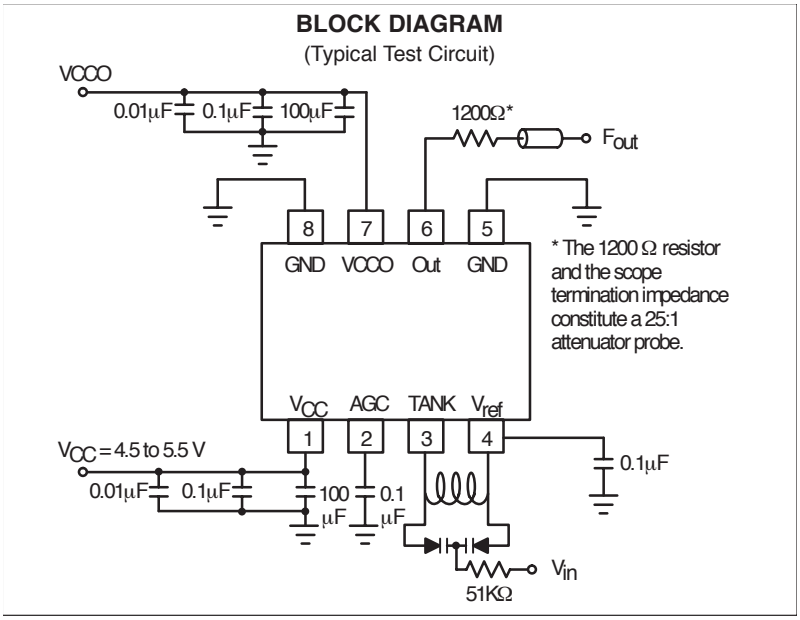



Figura 19. Diagrama del VCO

Para su implementación se usó una placa PCB de doble capa y así con un buen plano de masa evitar acoplamientos y generar rechazo a señales espúreas. Los componentes usados fueron todos encapsulados SMD excepto el inductor.

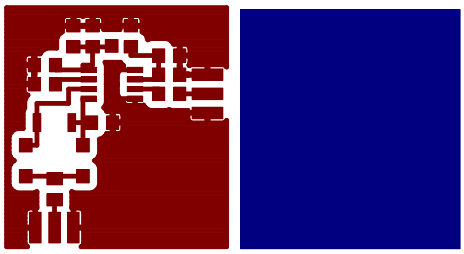


Figura 20. Footprint Top y Bottom del circuito VCO

Una vez implementado el circuito completo PLL comenzaron las pruebas. Aunque en principio el PLL se pudo programar correctamente hubo problemas con el VCO. El VCO presentaba una baja excursión en frecuencia debido a que el circuito tanque LC está formado por dos diodos varactores, y la tensión aplicada a estos varia únicamente entre 1V y 5V permitiendo una baja excursión de capacidad por los diodos varactores. En consecuencia la placa VCO funcionaba bien para alguna frecuencia fija pero no tenia la excursión suficiente para trabajar en todo el ancho de banda que es requerido para el proyecto (aproximadamente de 180 MHz a 280 MHz). Luego de varias pruebas esta opción fue descartada y reemplazada por un VFO(*Variable frequency oscillator*) topología Vackar que permite una excursión mucho mayor en frecuencia. Esta opción fue utilizada en un segundo prototipo, en este también se reemplazó el circuito integrado LMX2306® por el ADF4002® que cumple las mismas especificaciones y tiene un protocolo de programación más simple que el LMX2306®.

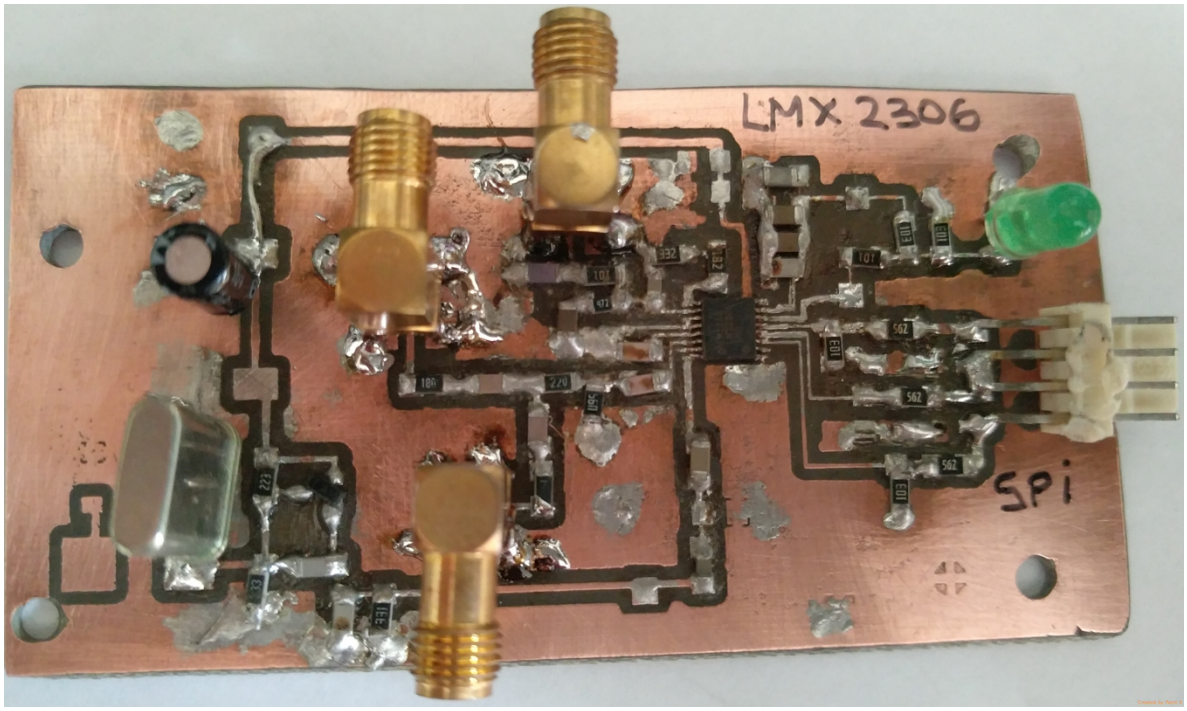



Figura 21. Fotografía de la placa PLL con el LMX2306®

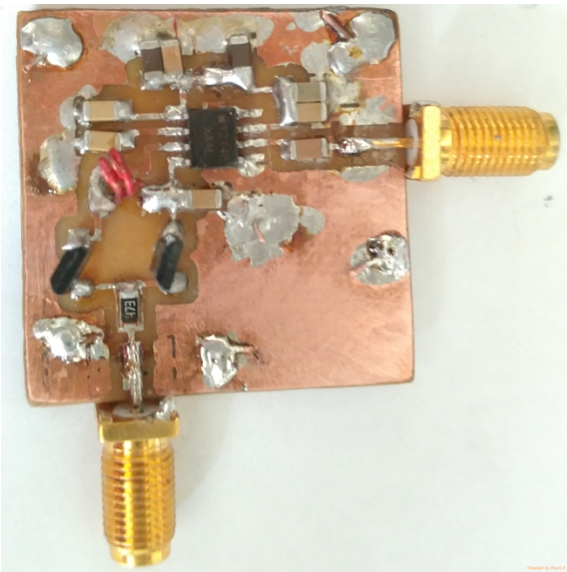


Figura 22. Fotografía de la placa VCO con el MC12148®

### 2.1.2 Segundo prototipo ADF4002

El segundo prototipo conto con el circuito integrado ADF4002® en reemplazo del LMX2306®. Se optó por este cambio debido a que no solo el costo del ADF4002 es menor sino que la programación es similar pero un poco más sencilla y permitió con una pequeña modificación en el programa principal, controlar completamente su funcionamiento.

A diferencia del LMX2306® el ADF4002® trabaja con registro de 24 bits (que convenientemente podemos programar como tres palabras byte de 8 bits). Para programarlo se utilizan 4 registros y se programan de la misma forma que el LMX2306®.

A continuación se describen los diagramas en bloque y configuración de registros del ADF4002®.

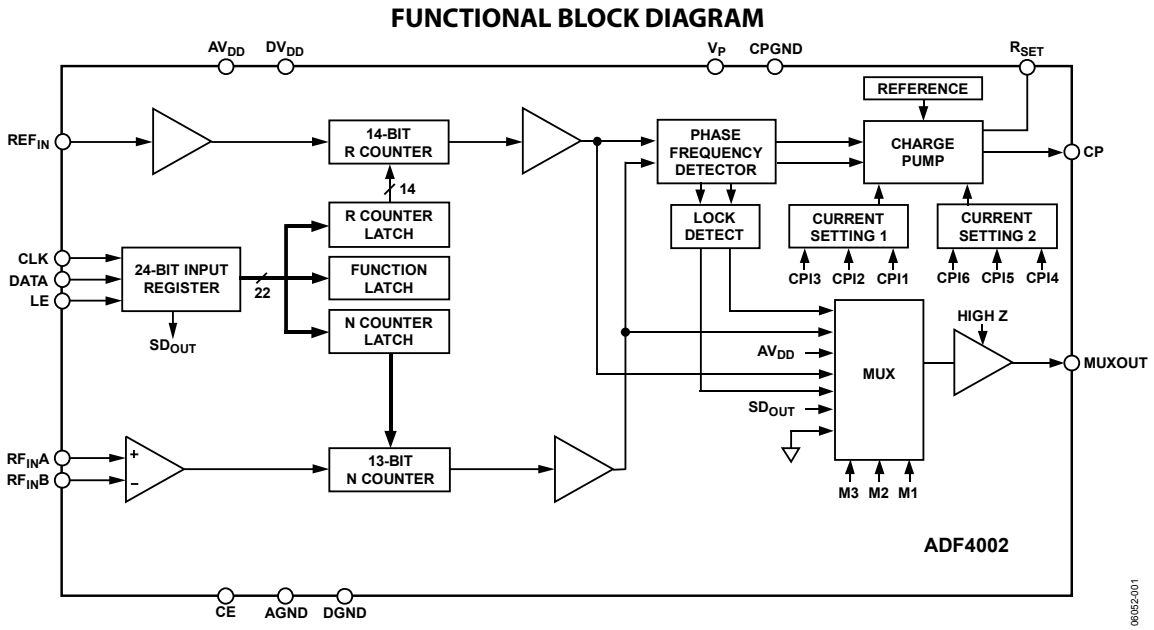
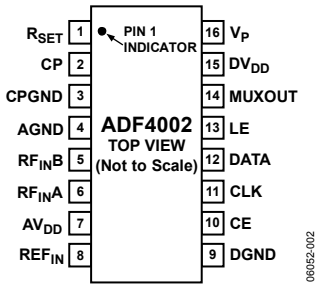



Figura 23. Diagrama del ADF4002®




| Control Bits | | |
|---|---|---|
| **C2** | **C1** | **Data Latch** |
| 0 | 0 | R Counter |
| 0 | 1 | N Counter |
| 1 | 0 | Function Latch |
| 1 | 1 | Initialization Latch |

La frecuencia de salida esta determinada por la siguiente fórmula:

$$f_{VCO} = N \times \frac{f_{REFIN}}{R}$$

## LATCH SUMMARY

REFERENCE COUNTER LATCH

| RESERVED | | | LOCK DETECT PRECISION | TEST MODE BITS | | ANTI-BACKLASH WIDTH | | 14-BIT REFERENCE COUNTER | | | | | | | | | | | | | | CONTROL BITS | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| X | 0 | 0 | LDP | T2 | T1 | ABP2 | ABP1 | R14 | R13 | R12 | R11 | R10 | R9 | R8 | R7 | R6 | R5 | R4 | R3 | R2 | R1 | C2 (0) | C1 (0) |

N COUNTER LATCH

| RESERVED | | CP GAIN | 13-BIT N COUNTER | | | | | | | | | | | | | RESERVED | | | | | | CONTROL BITS | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| X | X | G1 | B13 | B12 | B11 | B10 | B9 | B8 | B7 | B6 | B5 | B4 | B3 | B2 | B1 | X | X | X | X | X | X | C2 (0) | C1 (1) |

FUNCTION LATCH

| RESERVED | | POWER-DOWN 2 | CURRENT SETTING 2 | | | CURRENT SETTING 1 | | | TIMER COUNTER CONTROL | | | | FASTLOCK MODE | FASTLOCK ENABLE | CP THREE-STATE | PD POLARITY | MUXOUT CONTROL | | | POWER-DOWN 1 | COUNTER RESET | CONTROL BITS | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| X | X | PD2 | CPI6 | CPI5 | CPI4 | CPI3 | CPI2 | CPI1 | TC4 | TC3 | TC2 | TC1 | F5 | F4 | F3 | F2 | M3 | M2 | M1 | PD1 | F1 | C2 (1) | C1 (0) |

INITIALIZATION LATCH

| RESERVED | | POWER-DOWN 2 | CURRENT SETTING 2 | | | CURRENT SETTING 1 | | | TIMER COUNTER CONTROL | | | | FASTLOCK MODE | FASTLOCK ENABLE | CP THREE-STATE | PD POLARITY | MUXOUT CONTROL | | | POWER-DOWN 1 | COUNTER RESET | CONTROL BITS | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| X | X | PD2 | CPI6 | CPI5 | CPI4 | CPI3 | CPI2 | CPI1 | TC4 | TC3 | TC2 | TC1 | F5 | F4 | F3 | F2 | M3 | M2 | M1 | PD1 | F1 | C2 (1) | C1 (1) |

06052-015

Figura 24. Mapa de registros del ADF4002®

Luego para la correcta programación del PLL se procede con los siguientes pasos:

1. Aplicar Vdd
2. Programar el Latch de inicialización
3. Programar el Latch de función
4. Programar el registro R
5. Programar el registro N

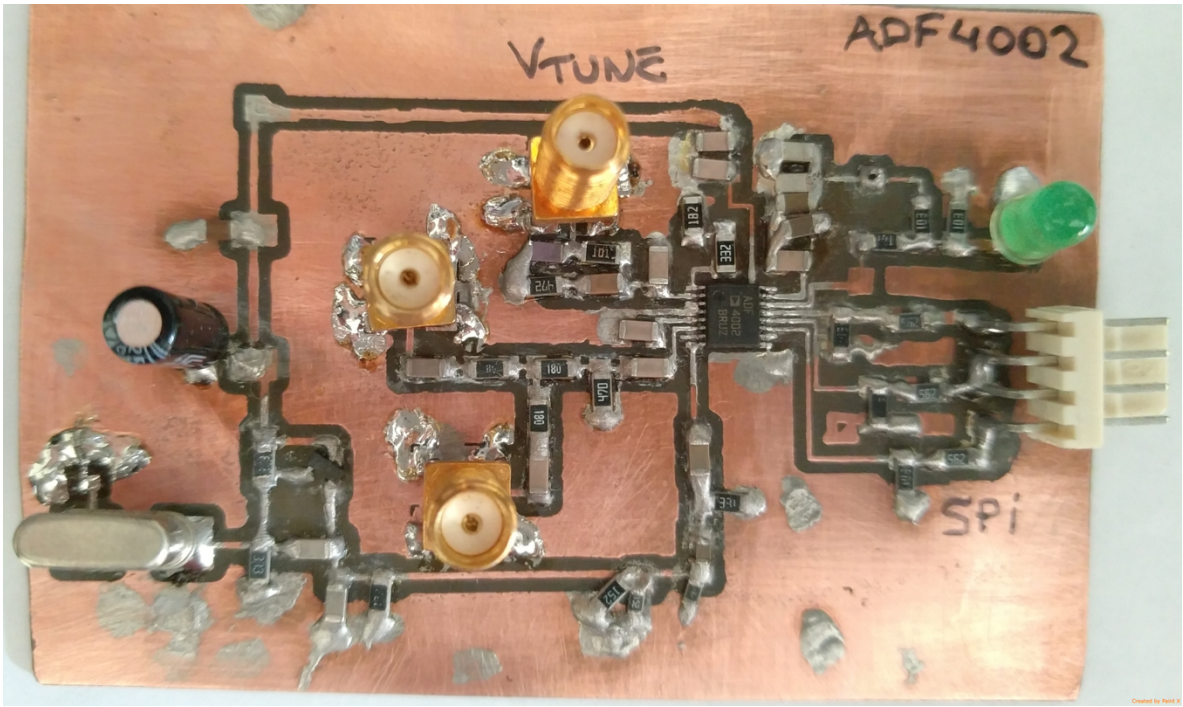



Figura 25. Fotografía de la placa PLL con el ADF4002®

Luego de controlar la programación del ADF4002 se procedió al diseño del VFO encargado de generar a partir de una tensión de entrada una frecuencia de salida que oscile entre 150MHz y 260 MHz. El diseño propuesto fue el siguiente:

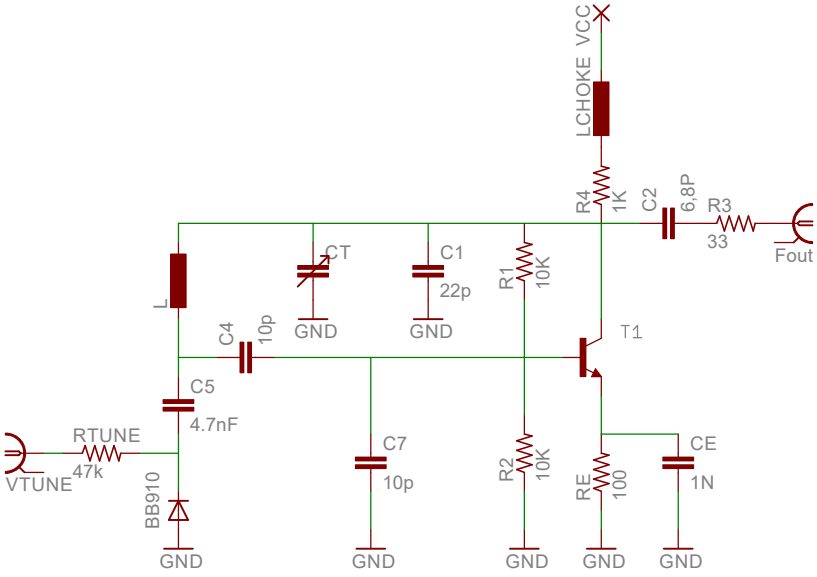



Figura 26. Esquemático de diseño del VFO Vackar

CT: Capacitor Trimmer de 2pF a 10pF. No fue utilizado finalmente ya que no hizo falta un ajuste de rango de frecuencias.

L: Inductor de 2 vueltas con diámetro de 4 mm y calibre de 1 mm

T1: BFG198 (NPN ft=8Ghz)

Lchoke: 100 nH

Para el diseño también fue utilizada una placa PCB de doble capa con plano de masa para rechazar señales espúreas. Se utilizo el método “Manhattan” para el montaje de los componentes ya que provee un buen rechazo a señales espúreas y es de fácil construcción. Se usaron conectores SMA para tanto la salida de frecuencia como para la entrada de tensión.

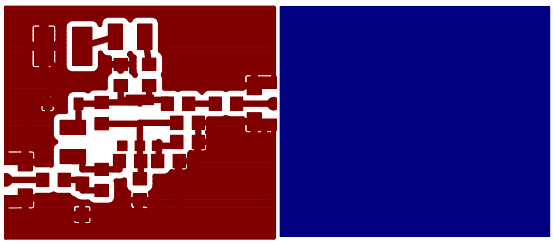


Figura 27. Footprint Top y Bottom del circuito VFO

Figura 28. Fotografía de la placa VFO topología Vackar

Este segundo prototipo otorgaba una excursión de frecuencia entre 180 MHz y 265 MHz otorgando un rango más que aceptable para nuestras necesidades. Se avanzó utilizando este prototipo hasta el momento que se le aplico la señal de imagen al mezclador. Cuando controlamos la calidad de la imagen a la salida del mezclador se pudo observar una baja considerable en señal/ruido. Luego con el analizador de espectro se pudo verificar que aunque el sistema PLL diseñado era estable y poseía el rango de frecuencias requerido la señal oscilatoria generada por el VFO era ruidosa y aunque se aplicaron muchas mejoras al VFO para mejorar esa falla (apantallado y mejoras en el diseño del circuito) la calidad final de la imagen se veía perjudicada por lo que este prototipo también fue descartado.

### 2.1.3 Tercer prototipo ADF 4360-8

Como tercer prototipo se utilizó un PLL con VCO integrado ADF4360-8® que permite trabajar entre 65 MHz y 400 MHz. La programación es muy similar a la del ADF4002® permitiendo una rápida asimilación del circuito integrado.

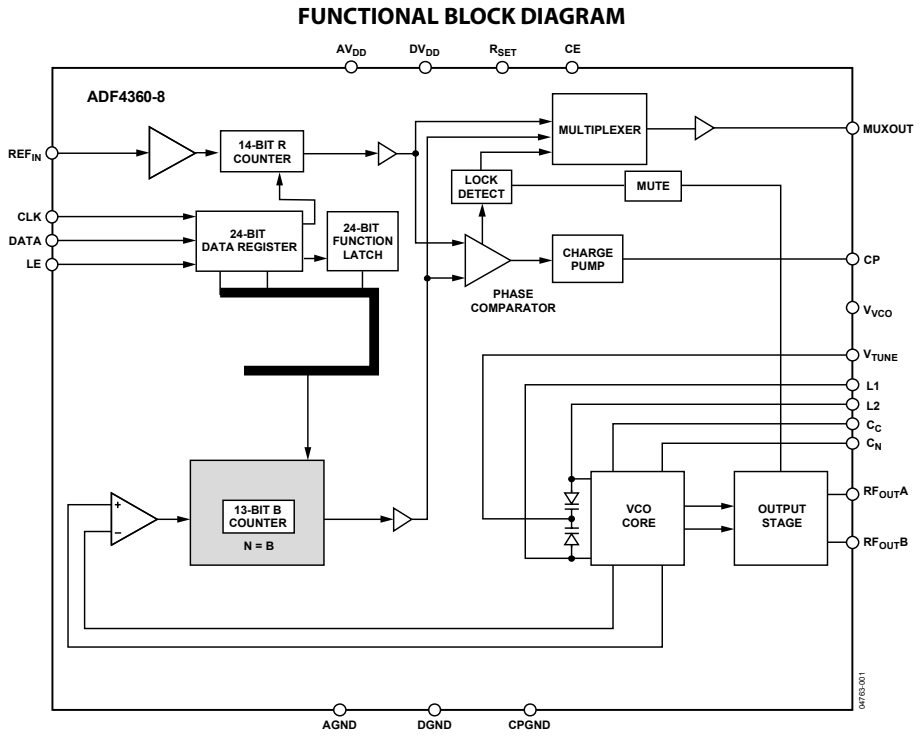
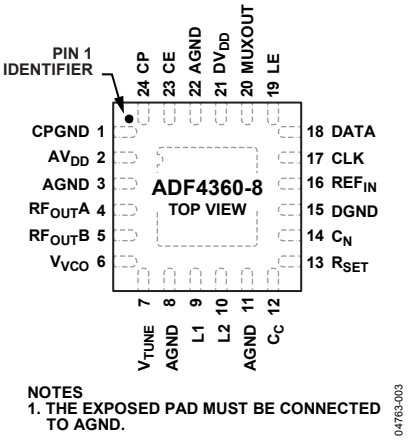



Figura 29. Diagrama del ADF4360-8®




NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO AGND.

| Control Bits | | |
|---|---|---|
| **C2** | **C1** | **Data Latch** |
| 0 | 0 | Control Latch |
| 0 | 1 | R Counter |
| 1 | 0 | N Counter (B) |
| 1 | 1 | Test Modes Latch |

**CONTROL LATCH**

| RESERVED | RESERVED | POWER-DOWN 2 | POWER-DOWN 1 | CURRENT SETTING 2 | | | CURRENT SETTING 1 | | | OUTPUT POWER LEVEL | | MUTE-TIL-LD | CP GAIN | CP THREE-STATE | PHASE DETECTOR POLARITY | MUXOUT CONTROL | | | COUNTER RESET | CORE POWER LEVEL | | CONTROL BITS | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| RSV | RSV | PD2 | PD1 | CPI6 | CPI5 | CPI4 | CPI3 | CPI2 | CPI1 | PL2 | PL1 | MTLD | CPG | CP | PDP | M3 | M2 | M1 | CR | PC2 | PC1 | C2 (0) | C1 (0) |

**N COUNTER LATCH**

| RESERVED | RESERVED | CP GAIN | 13-BIT B COUNTER | | | | | | | | | | | | | RESERVED | | | | | | CONTROL BITS | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| RSV | RSV | CPG | B13 | B12 | B11 | B10 | B9 | B8 | B7 | B6 | B5 | B4 | B3 | B2 | B1 | RSV | RSV | RSV | RSV | RSV | RSV | C2 (1) | C1 (0) |

**R COUNTER LATCH**

| RESERVED | RESERVED | BAND SELECT CLOCK | | TEST MODE BIT | LOCK DETECT PRECISION | ANTI-BACKLASH PULSE WIDTH | | 14-BIT REFERENCE COUNTER | | | | | | | | | | | | | | CONTROL BITS | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| RSV | RSV | BSC2 | BSC1 | TMB | LDP | ABP2 | ABP1 | R14 | R13 | R12 | R11 | R10 | R9 | R8 | R7 | R6 | R5 | R4 | R3 | R2 | R1 | C2 (0) | C1 (1) |

04763-021

Figura 30. Mapa de registros del ADF4360-8®

El orden de programación de este circuito integrado es:

1. Cargar R Counter latch
2. Cargar Control latch
3. Cargar N Counter latch

Se utilizó el siguiente esquemático con un oscilador de referencia externo. En el esquemático no Figuran los capacitores de desacople para no simplificar su representación.

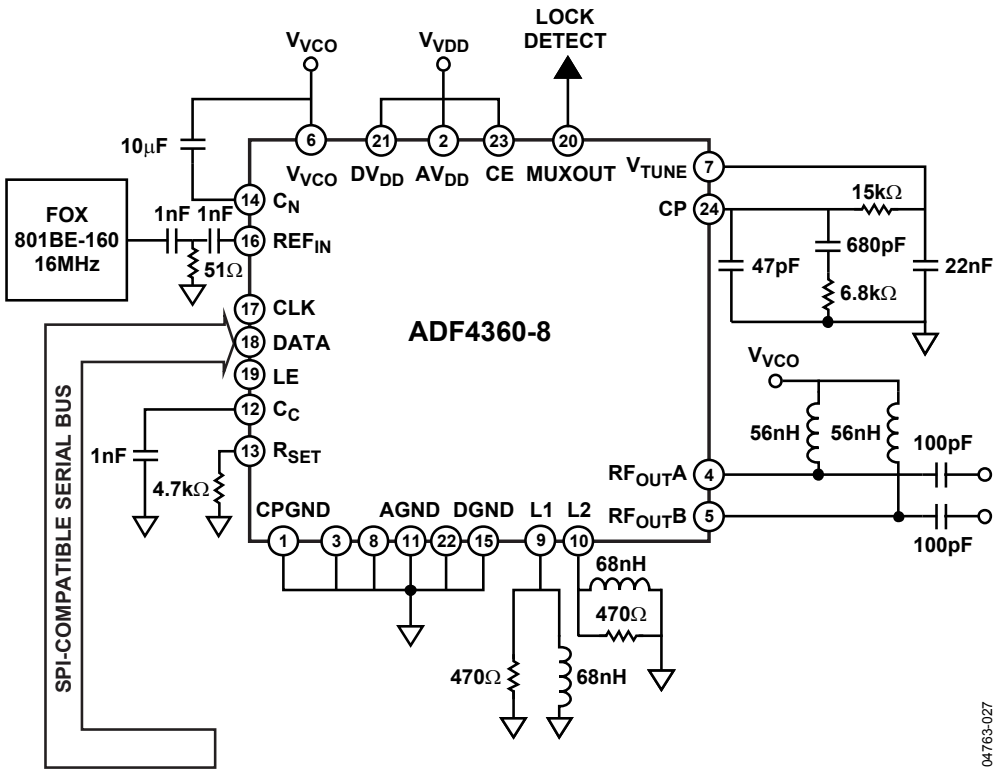



Figura 31. Esquemático del circuito del ADF4360-8®

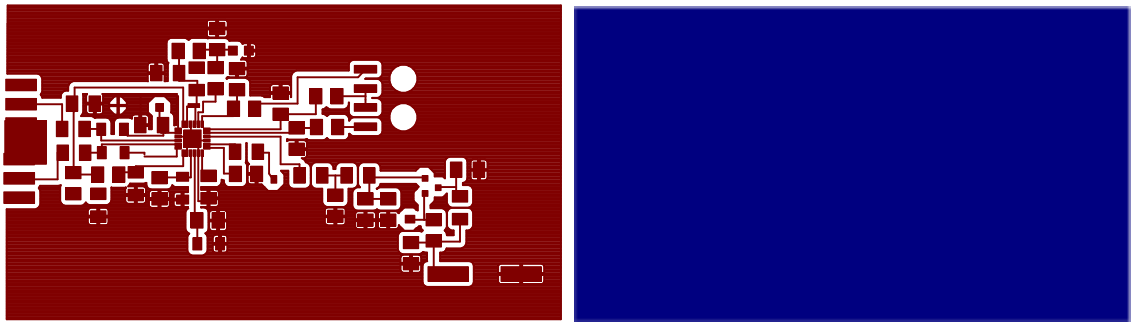


Figura 32. Footprint del ADF 4360-8®

Figura 33. Fotografía de la placa PLL/VCO con el ADF4360-8®

El funcionamiento de este circuito fue muy satisfactorio presentando estabilidad en frecuencia, una buena potencia de salida (programable) y bajo ruido de fase concluyendo en una buena calidad de imagen en el diseño final. El único inconveniente fue que el encapsulado del circuito integrado (CP-24-14) requiere un montaje mucho más complejo que los anteriores circuitos integrados.

Por esta razón se decidió trabajar con la placa de evaluación del circuito integrado ADF4351® que resulto más económica que el costo individual de los componentes y se evitaba el trabajo del montaje del circuito. Otra ventaja de este circuito integrado es que trabaja de 35 MHz hasta 4400 MHz dando así un rango de frecuencia mucho más importante.

## 2.2 Prototipo Final

### Introducción

En esta sección se detallara el análisis y funcionamiento del prototipo definitivo del normalizador de intensidad de señales de canales de televisión de aire. En principio se detallara el funcionamiento del circuito PLL que permite la generación de la portadora que se usara luego para llevar el canal elegido en cada etapa a su frecuencia original. Luego se describirán las etapas de RF que permitieron el completo funcionamiento del prototipo final.

#### 2.2.1 Circuito generador de señales: ADF 4351

EL ADF4351® es un sintetizador de ondas senoidales que permite de manera opcional variar la amplitud como la frecuencia de la misma. Utiliza una señal senoidal como

referencia y mediante su propia lógica interna puede modificar su amplitud y frecuencia mediante la configuración realizada mediante un bus de control digital.

Su uso principalmente es aplicado en la generación de señales de oscilador local (LO) para la conversión hacia arriba o hacia debajo de señales de RF y también en la generación de señales de barrido.

El sintetizador trabaja como un lazo de enganche de fase PLL, donde un detector de fase (PFD) compara una realimentación de frecuencia con una versión dividida hacia debajo de la frecuencia de referencia. La salida de pulsos de corriente del PFD (*Phase Frequency Detector*) es filtrada por un filtro pasa bajos y se integra para generar un voltaje. Este voltaje controla un oscilador controlado por tensión (VCO) para aumentar o disminuir la frecuencia de salida con el fin de llevar el promedio del PFD hacia cero.

El VCO del ADF4351® tiene una frecuencia de salida fundamental que va desde 2200 MHz a 4400 MHz y con un circuito divisor 1 / 2 / 4 / 8 / 16 / 32 / 64 permite al usuario generar frecuencias de salida RF del orden de los 35 MHz. El ADF4351® tiene una salida RF auxiliar disponible la cual puede ser desactivada por software. En la Figura 34 se observa el diagrama en bloques de dicho integrado y a continuación se detallara cada sección que lo compone.

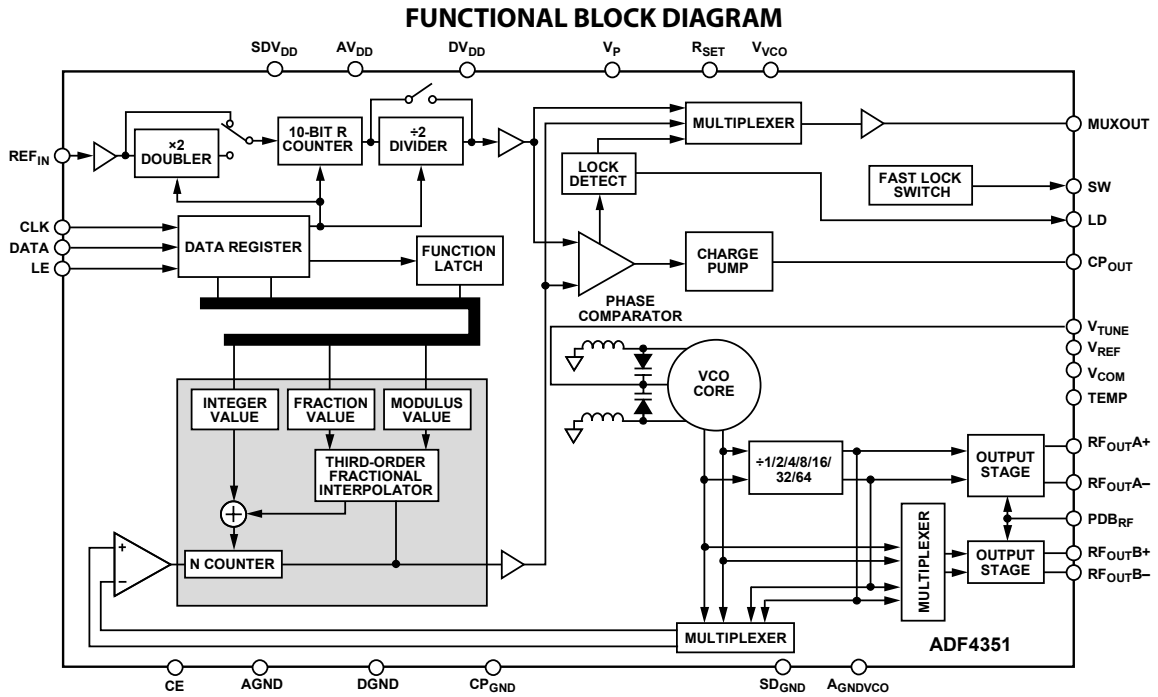



Figura 34. Diagrama en bloques del ADF4351®

## Entrada de referencia

La etapa de entrada de referencia se muestra en la Figura 33. El SW1 y SW2 son interruptores normalmente cerrados. El interruptor SW3 está normalmente abierto. Cuando se inicia de apagado, SW3 se cierra, y se abren SW1 y SW2.

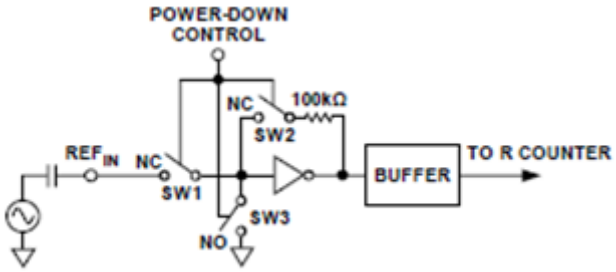



Figura 35. Etapa de referencia de la señal de entrada

**Divisor por N**

El divisor por N permite una relación de división en el camino de realimentación del PLL. La relación de división se determina por el INT, FRAC, y los valores MOD, que se acumulan en este divisor.

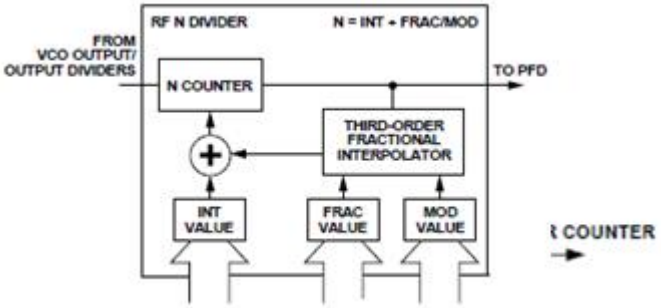



Figura 36. Diagrama en bloques de los divisores programables del ADF4351®

**INT, FRAC, MOD, y la relación con el contador R**

El INT, FRAC, y los valores MOD, conjuntamente con el contador R, hacen posible la generación de frecuencias de salida que están separados por fracciones de la frecuencia PFD.

La frecuencia de RF VCO (RFOUT) ecuación es: RFOUT = fPFD × (INT + (FRAC/MOD))

RFOUT es la frecuencia de salida del oscilador controlado por tensión (VCO). INT es el resultado del cociente entre el contador binario de 16 bits (23 a 65.535 para el pre-escalador 4/5; 75 a 65.535 para el pre-escalador 8/9) y el preescaler. FRAC es el numerador de la división fraccional (0 a MOD - 1). MOD es el módulo fraccional preestablecido (de 2 a 4095).

La frecuencia PFD (PFD) es la ecuación:

$$fPFD = REFIN \times [(1 + D)/(R \times (1 + T))]$$

Dónde:
REFIN es la frecuencia de entrada de referencia.
D es el bit REFIN doblador (0 o 1).
R es la relación de división de pre ajuste de la 10-bit del contador de referencia programable binario (1 a 1023).
T es el REFIN de división por 2 bit (0 o 1).

**Modo número entero-N**

Si FRAC = 0 y el bit DB8 (LDF) en el registro 2 se establece en 1, el sintetizador funciona en modo entero-N. El bit DB8 en el registro 2 debe establecerse en 1 detección digital de bloqueo del PLL.

**Contador R**

El contador R de 10 bits permite que la frecuencia de referencia de entrada (REFIN) para dividir hacia abajo para producir el reloj de referencia para el PFD. Se permite factores de división de 1 a 1.023.

**El detector de fase/frecuencia (PFD) y la bomba de carga**

El detector de fase/frecuencia (PFD) tomas las entradas de los contadores R y N produce una salida proporcional a la diferencia de fase y frecuencia entre ellos. La Figura 37 presenta un esquema simplificado del detector de fase/frecuencia.

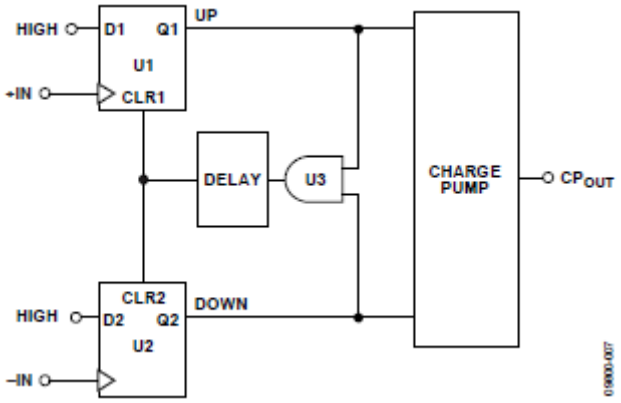



Fig 37. Diagrama en bloques del detector de fase/frecuencia del ADF4351®

El PFD incluye un elemento de retardo programable que establece el ancho del pulso antibacklash (ABP). Este pulso se asegura de que no hay ninguna zona muerta en la función de transferencia PFD. DB22 bit del registro 3 (R3) se utiliza para establecer el ABP como sigue:

• Cuando DB22 bit se pone a 0, el ancho ABP está programado para 6 ns, el valor recomendado para aplicaciones con fraccional-N.
• Cuando DB22 bit se establece en 1, el ancho ABP está programado para 3 ns, el valor recomendado para aplicaciones con entero-N.

Para aplicaciones con número entero-N, el ruido de fase en banda se reduce para permitir que se pueda utilizar un ancho de pulso más angosto. La frecuencia PFD puede operar hasta 90 MHz en este modo. Para operar con el sistema PFD frecuencias más altas que 45 MHz, banda VCO SELECT debe estar deshabilitado mediante el establecimiento de la fase de ajuste de bits (DB28) a 1 en el registro 1.

**MUXOUT Y LOCK DETECT**

La salida del multiplexor en el ADF4351 permite al usuario acceder a varios puntos internos en el chip. El estado de MUXOUT es controlado por los bits de M3, M2 y M1 en el registro 2 (véase la Figura 38).

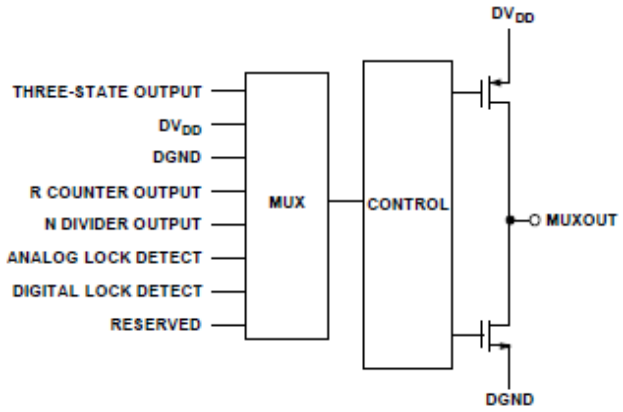



Figura 38. Diagrama del multiplexor del ADF4351®.

**Registros de entrada SHIFT**

La sección digital ADF4351 incluye un contador de 10 bits RF R, un RF contador N de 16 bits, un contador de FRAC 12 bits, y un contador de MOD (módulo) de 12 bits. Los datos se ingresan en el registro de desplazamiento de 32 bits en cada flanco ascendente de CLK. Los datos ingresan con el MSB primero.

Los datos se transfieren desde el registro de desplazamiento de uno de los seis registro (latches) en el flanco ascendente de la LE. El registro de destino se determina por el estado de los tres bits de control (C3, C2 y C1) en el registro de desplazamiento.

Como se muestra en la Figura, los bits de control son los tres bits menos significativos: DB2, DB1, y DB0. La Figura 39 muestra la tabla de verdad para estos bits.

| Control Bits | | | |
|---|---|---|---|
| C3 | C2 | C1 | Register |
| 0 | 0 | 0 | Register 0 (R0) |
| 0 | 0 | 1 | Register 1 (R1) |
| 0 | 1 | 0 | Register 2 (R2) |
| 0 | 1 | 1 | Register 3 (R3) |
| 1 | 0 | 0 | Register 4 (R4) |
| 1 | 0 | 1 | Register 5 (R5) |

Figura 39. Bits de control para la programación del ADF4351®

**VCO**

El núcleo del VCO en el ADF4351 consta de tres VCO separados, cada uno de las cuales utiliza 16 bandas superpuestas, como se muestra en la Figura 40. Esto permite una amplia gama de frecuencias a ser cubierta sin una sensibilidad grande del VCO (KV) y pequeño ruido de fase.

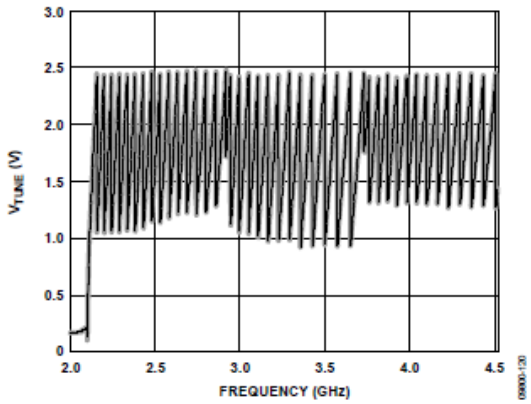



Figura 40. Gráfica de selección de banda del VCO.

El VCO y la banda correcta se seleccionan automáticamente por el VCO y la lógica de selección de banda en el encendido o cuando se actualiza el registro de 0 (R0).

El VCO y la selección de banda toman 10 ciclos PFD multiplicado por el valor de la banda de selección del divisor de reloj. El VCO Vtune se desconecta de la salida del filtro de bucle y queda conectado a un voltaje de referencia interna.

La salida del contador R se utiliza como reloj para la lógica de selección de banda. Un divisor programable se proporciona en la salida del contador R para permitir la división por un número entero de 1 a 255; el valor del divisor se ajusta utilizando los bits [DB19: DB12] en Registro 4 (R4). Cuando la frecuencia PFD requerida es mayor que 125 kHz, la relación de división debe estar configurada para permitir tiempo suficiente para que la selección de banda sea la correcta.

La selección de banda tarda 10 ciclos de la frecuencia PFD, igual a 80 microsegundos. Si se requieren tiempos de bloqueo rápido, DB23 bit del registro 3 (R3) se debe establecer en 1. Esta configuración permite al usuario seleccionar una mayor selección de banda de frecuencia de reloj de hasta 500 kHz, lo que acelera la banda para un tiempo de selección

de 20 microsegundos. Para los ajustes de fase y pequeños ajustes de frecuencia (<1 MHz), el usuario puede desactivar la selección de banda VCO mediante el establecimiento del bit DB28 del registro 1 (R1) a 1. Este ajuste selecciona la opción del parámetro “ajuste de fase”.

Después de la selección de banda, se reanuda la acción normal del PLL. El valor nominal de KV es 40 MHz / V cuando el divisor N es controlado desde la salida del VCO o desde este valor dividido por D. D es el valor divisor de salida si el divisor N es conducido desde la salida del divisor de RF (seleccionado de bits de programación [DB22: DB20] en el Registro 4). Asimismo, el ADF4351 contiene circuitos de linealización para minimizar cualquier variación del producto de la Icp y Kv para mantener constante el ancho de banda del bucle.

El VCO muestra una variación de Kv como el Vtune varía dentro de la banda y de banda a banda. Para aplicaciones de banda ancha cubriendo un amplio rango de frecuencias (y el cambio de los divisores de salida), un valor de 40 MHz / V proporciona la Kv más precisa ya que este valor está más cerca de un valor medio. La Figura 41 muestra como Kv varía con la frecuencia fundamental VCO, junto con un valor medio para la banda de frecuencia.

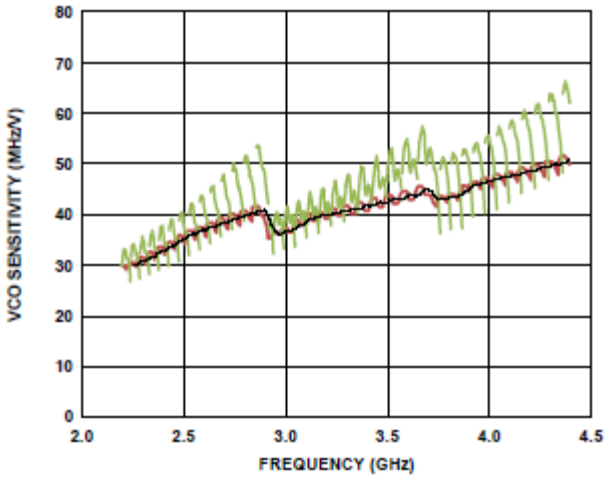



*Figure 21. VCO Sensitivity ($K_V$) vs. Frequency*

Figura 41. Sensibilidad del VCO

**ETAPA DE SALIDA**

Los pines RFoutA+ y RFoutA- del ADF4351 están conectados a los colectores de un par diferencial NPN impulsado por las salidas del buffer del VCO, tal como se muestra en la Figura 42.

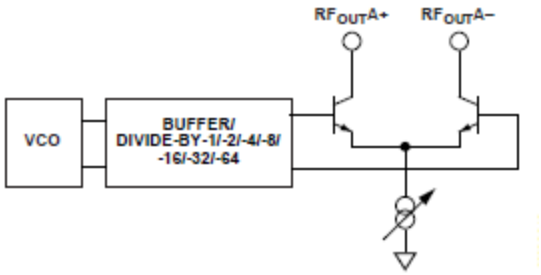



Figura 42. Etapa de salida del ADF4351®

Para permitir al usuario optimizar la disipación de potencia frente a los requisitos de potencia de salida, la corriente de colector del par diferencial es programable usando Bits [DB4: DB3] en Registro 4 (R4). Se pueden establecer cuatro niveles de potencia de salida de -4 dBm, -1 dBm, 2 dBm, y +5 dBm usando una resistencia de 50 Ω a AVDD y el acoplamiento de CA a una carga de 50 Ω. Alternativamente, las dos salidas se pueden combinar en un 1 + 1: 1 transformador o un acoplador de microstrip de media onda (véase la sección de adaptación de salida).

Si se usan las salidas de forma individual, la etapa de salida óptima consiste en un inductor en derivación a Vvco. La salida complementaria no utilizada debe terminarse con un circuito similar a la salida utilizada.

Existe una etapa de salida auxiliar RFOUTB + y RFOUTB-, proporcionando un segundo conjunto de salidas diferenciales que se pueden utilizar para conducir otro circuito. La etapa de salida auxiliar puede usarse sólo si están habilitadas las salidas primarias. Si no se utiliza la etapa de salida auxiliar, esta puede ser deshabilitada por software.

Otra característica de la ADF4351 es que la corriente de alimentación a la etapa de salida de RF puede ser apagada hasta que la parte de bloqueo se alcanza, medida por el circuito de Lock Detect Digital. Esta función se activa mediante el registro de 4 (R4).

**TIPOLOGÍA DE FILTRO de FAST LOCK**

Para utilizar el modo de bloqueo rápido, la resistencia de amortiguación en el filtro de bucle es reducido a un cuarto de su valor mientras se encuentra en modo de ancho de banda amplio.

Para conseguir el ancho de banda de filtro de bucle más amplio, la bomba de carga de corriente aumenta en un factor de 16; para mantener la estabilidad del bucle, la resistencia de amortiguación debe ser reducida por un factor de un cuarto. Para activar el bloqueo rápido, la llave SW está en cortocircuito con la llave AGND mediante el establecimiento de Bits [DB16: DB15] en el registro de 3 a 01. Las dos siguientes topologías están disponibles:

● La resistencia de amortiguación (R1) se divide en dos valores (R1 y R1A) que tienen una proporción de 1: 3 (véase la Figura 31).

● Una resistencia extra (R1A) está conectado directamente de SW, como se muestra en la Figura 43. La resistencia adicional se calcula de tal manera que la combinación en paralelo de la resistencia adicional y la resistencia de amortiguación (R1) se reduce a una cuarta parte del valor original de R1.

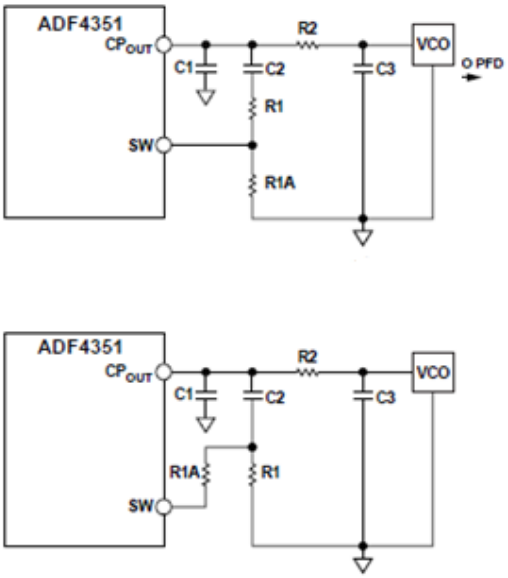



Figura 43. Tipologia del filtro pasa bajos del ADF4351®

**Adaptación de salida**

Para un funcionamiento óptimo, la salida de la ADF4351® se puede adaptar de muchas formas; el método más básico es conectar una resistencia de 50 Ω a Vvco. Un condensador de derivación de corriente continua de 100 pF está conectado en serie, como se muestra en la Figura 44. Debido a que la resistencia no es dependiente de la frecuencia, este método proporciona un barrido de exploración ancho. Cuando se conecta a una carga de 50 Ω, este circuito normalmente da una potencia de salida diferencial igual al valor seleccionado por Bits [DB4: DB3] en Registro 4 (R4).

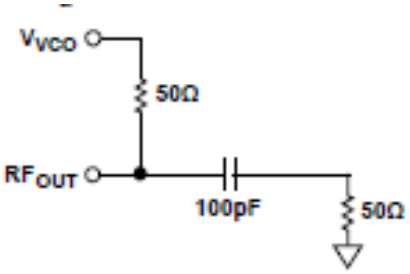



Fig 44. Circuito de adaptacion de salida.

Si no se necesitan salidas diferenciales, la salida no utilizada puede ser terminada, o ambas salidas se puede combinar en el uso de un adaptador de impedancias o balun (*balanced-unbalanced lines transformer*).

Un balun utilizando inductores y condensadores discretos se puede implementar con la arquitectura mostrada en la Figura 45. El balun LC comprende el componente L1 y el componente C1. L2 proporciona una ruta de corriente continua para RFOUTA-, y el condensador C2 se utiliza para el bloqueo de continua.

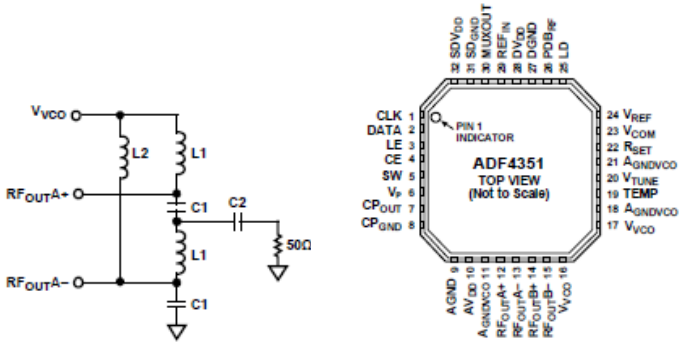



Figura 45. Etapa de salida con balun

## Mapa de Registros

A continuación se muestra los diferentes registros que se deben ingresar al integrado para la configuración del PLL, durante el análisis se observó que solo dos de ellos definen la frecuencia a sintetizar y los demás solo son para con la configuración de potencia, tiempo de respuesta y otras opciones del ADF4351. Por tal motivo no es necesaria la programación de todos los registros para cada paso de un barrido de frecuencia, sino solo los que definen la frecuencia de la señal a generar. Como se observara más adelante el protocolo utilizado para cargar los registros es SPI, un protocolo serie, con 4 entradas: CLOCK, DATA, LE y CE. Dicho protocolo debe ser generado por el microcontrolador elegido: el PIC16F877A®, el cual proveerá de todas las señales necesarias para controlar el dispositivo. Este microcontrolador posee una cantidad de pines suficiente para controlar hasta 4 buses SPI lo cual es ventajoso para el proyecto.

| RESERVED | 16-BIT INTEGER VALUE (INT) | | | | | | | | | | | | | | | | 12-BIT FRACTIONAL VALUE (FRAC) | | | | | | | | | | | | CONTROL BITS | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DB31 | DB30 | DB29 | DB28 | DB27 | DB26 | DB25 | DB24 | DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| 0 | N16 | N15 | N14 | N13 | N12 | N11 | N10 | N9 | N8 | N7 | N6 | N5 | N4 | N3 | N2 | N1 | F12 | F11 | F10 | F9 | F8 | F7 | F6 | F5 | F4 | F3 | F2 | F1 | C3(0) | C2(0) | C1(0) |

| N16 | N15 | ... | N5 | N4 | N3 | N2 | N1 | INTEGER VALUE (INT) |
|---|---|---|---|---|---|---|---|---|
| 0 | 0 | ... | 0 | 0 | 0 | 0 | 0 | NOT ALLOWED |
| 0 | 0 | ... | 0 | 0 | 0 | 0 | 1 | NOT ALLOWED |
| 0 | 0 | ... | 0 | 0 | 0 | 1 | 0 | NOT ALLOWED |
| . | . | ... | . | . | . | . | . | ... |
| 0 | 0 | ... | 1 | 0 | 1 | 1 | 0 | NOT ALLOWED |
| 0 | 0 | ... | 1 | 0 | 1 | 1 | 1 | 23 |
| 0 | 0 | ... | 1 | 1 | 0 | 0 | 0 | 24 |
| . | . | ... | . | . | . | . | . | ... |
| 1 | 1 | ... | 1 | 1 | 1 | 0 | 1 | 65,533 |
| 1 | 1 | ... | 1 | 1 | 1 | 1 | 0 | 65,534 |
| 1 | 1 | ... | 1 | 1 | 1 | 1 | 1 | 65,535 |

INTmin = 75 WITH PRESCALER = 8/9

| F12 | F11 | ... | F2 | F1 | FRACTIONAL VALUE (FRAC) |
|---|---|---|---|---|---|
| 0 | 0 | ... | 0 | 0 | 0 |
| 0 | 0 | ... | 0 | 1 | 1 |
| 0 | 0 | ... | 1 | 0 | 2 |
| 0 | 0 | ... | 1 | 1 | 3 |
| . | . | ... | . | . | . |
| . | . | ... | . | . | . |
| . | . | ... | . | . | . |
| 1 | 1 | ... | 0 | 0 | 4092 |
| 1 | 1 | ... | 0 | 1 | 4093 |
| 1 | 1 | ... | 1 | 0 | 4094 |
| 1 | 1 | ... | 1 | 1 | 4095 |

| RESERVED | | | PHASE ADJUST | PRESCALER | 12-BIT PHASE VALUE (PHASE) DBR | | | | | | | | | | | | 12-BIT MODULUS VALUE (MOD) DBR | | | | | | | | | | | | CONTROL BITS | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DB31 | DB30 | DB29 | DB28 | DB27 | DB26 | DB25 | DB24 | DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| 0 | 0 | 0 | PH1 | PR1 | P12 | P11 | P10 | P9 | P8 | P7 | P6 | P5 | P4 | P3 | P2 | P1 | M12 | M11 | M10 | M9 | M8 | M7 | M6 | M5 | M4 | M3 | M2 | M1 | C3(0) | C2(0) | C1(1) |

| PH1 | PHASE ADJ |
|---|---|
| 0 | OFF |
| 1 | ON |

| PR1 | PRESCALER |
|---|---|
| 0 | 4/5 |
| 1 | 8/9 |

| P12 | P11 | ... | P2 | P1 | PHASE VALUE (PHASE) |
|---|---|---|---|---|---|
| 0 | 0 | ... | 0 | 0 | 0 |
| 0 | 0 | ... | 0 | 1 | 1 (RECOMMENDED) |
| 0 | 0 | ... | 1 | 0 | 2 |
| 0 | 0 | ... | 1 | 1 | 3 |
| . | . | ... | . | . | . |
| . | . | ... | . | . | . |
| . | . | ... | . | . | . |
| 1 | 1 | ... | 0 | 0 | 4092 |
| 1 | 1 | ... | 0 | 1 | 4093 |
| 1 | 1 | ... | 1 | 0 | 4094 |
| 1 | 1 | ... | 1 | 1 | 4095 |

| M12 | M11 | ... | M2 | M1 | INTERPOLATOR MODULUS (MOD) |
|---|---|---|---|---|---|
| 0 | 0 | ... | 1 | 0 | 2 |
| 0 | 0 | ... | 1 | 1 | 3 |
| . | . | ... | . | . | . |
| . | . | ... | . | . | . |
| . | . | ... | . | . | . |
| 1 | 1 | ... | 0 | 0 | 4092 |
| 1 | 1 | ... | 0 | 1 | 4093 |
| 1 | 1 | ... | 1 | 0 | 4094 |
| 1 | 1 | ... | 1 | 1 | 4095 |

| RESERVED | LOW NOISE AND LOW SPUR MODES | | MUXOUT | | | REFERENCE DOUBLER DBR | RD1/2 DBR | 10-BIT R COUNTER DBR | | | | | | | | | DOUBLE BUFFER | CHARGE PUMP CURRENT SETTING | | | | LDF | LDP | PD POLARITY | POWER-DOWN | CP THREE-STATE | COUNTER RESET | CONTROL BITS | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DB31 | DB30 | DB29 | DB28 | DB27 | DB26 | DB25 | DB24 | DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| 0 | L2 | L1 | M3 | M2 | M1 | RD2 | RD1 | R10 | R9 | R8 | R7 | R6 | R5 | R4 | R3 | R2 | R1 | D1 | CP4 | CP3 | CP2 | CP1 | U6 | U5 | U4 | U3 | U2 | U1 | C3(0) | C2(1) | C1(0) |

| L2 | L1 | NOISE MODE |
|---|---|---|
| 0 | 0 | LOW NOISE MODE |
| 0 | 1 | RESERVED |
| 1 | 0 | RESERVED |
| 1 | 1 | LOW SPUR MODE |

| RD2 | REFERENCE DOUBLER |
|---|---|
| 0 | DISABLED |
| 1 | ENABLED |

| RD1 | REFERENCE DIVIDE-BY-2 |
|---|---|
| 0 | DISABLED |
| 1 | ENABLED |

| R10 | R9 | ... | R2 | R1 | R COUNTER (R) |
|---|---|---|---|---|---|
| 0 | 0 | ... | 0 | 1 | 1 |
| 0 | 0 | ... | 1 | 0 | 2 |
| . | . | ... | . | . | . |
| . | . | ... | . | . | . |
| . | . | ... | . | . | . |
| 1 | 1 | ... | 0 | 0 | 1020 |
| 1 | 1 | ... | 0 | 1 | 1021 |
| 1 | 1 | ... | 1 | 0 | 1022 |
| 1 | 1 | ... | 1 | 1 | 1023 |

| M3 | M2 | M1 | OUTPUT |
|---|---|---|---|
| 0 | 0 | 0 | THREE-STATE OUTPUT |
| 0 | 0 | 1 | $DV_{DD}$ |
| 0 | 1 | 0 | DGND |
| 0 | 1 | 1 | R COUNTER OUTPUT |
| 1 | 0 | 0 | N DIVIDER OUTPUT |
| 1 | 0 | 1 | ANALOG LOCK DETECT |
| 1 | 1 | 0 | DIGITAL LOCK DETECT |
| 1 | 1 | 1 | RESERVED |

| D1 | DOUBLE BUFFER R4 [DB22:DB20] |
|---|---|
| 0 | DISABLED |
| 1 | ENABLED |

| CP4 | CP3 | CP2 | CP1 | $I_{CP}$ (mA) 5.1kΩ |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0.31 |
| 0 | 0 | 0 | 1 | 0.63 |
| 0 | 0 | 1 | 0 | 0.94 |
| 0 | 0 | 1 | 1 | 1.25 |
| 0 | 1 | 0 | 0 | 1.56 |
| 0 | 1 | 0 | 1 | 1.88 |
| 0 | 1 | 1 | 0 | 2.19 |
| 0 | 1 | 1 | 1 | 2.50 |
| 1 | 0 | 0 | 0 | 2.81 |
| 1 | 0 | 0 | 1 | 3.13 |
| 1 | 0 | 1 | 0 | 3.44 |
| 1 | 0 | 1 | 1 | 3.75 |
| 1 | 1 | 0 | 0 | 4.06 |
| 1 | 1 | 0 | 1 | 4.38 |
| 1 | 1 | 1 | 0 | 4.69 |
| 1 | 1 | 1 | 1 | 5.00 |

| U6 | LDF |
|---|---|
| 0 | FRAC-N |
| 1 | INT-N |

| U5 | LDP |
|---|---|
| 0 | 10ns |
| 1 | 6ns |

| U4 | PD POLARITY |
|---|---|
| 0 | NEGATIVE |
| 1 | POSITIVE |

| U3 | POWER-DOWN |
|---|---|
| 0 | DISABLED |
| 1 | ENABLED |

| U1 | COUNTER RESET |
|---|---|
| 0 | DISABLED |
| 1 | ENABLED |

| U2 | CP THREE-STATE |
|---|---|
| 0 | DISABLED |
| 1 | ENABLED |

| RESERVED | | | | | | | | BAND SELECT CLOCK MODE | ABP | CHARGE CANCEL | RESERVED | | CSR | RESERVED | CLK DIV MODE | | 12-BIT CLOCK DIVIDER VALUE | | | | | | | | | | | | CONTROL BITS | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| DB31 | DB30 | DB29 | DB28 | DB27 | DB26 | DB25 | DB24 | DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | F4 | F3 | F2 | 0 | 0 | F1 | 0 | C2 | C1 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | C3(0) | C2(1) | C1(1) |

| F1 | CYCLE SLIP REDUCTION |
|---|---|
| 0 | DISABLED |
| 1 | ENABLED |

| F4 | BAND SELECT CLOCK MODE |
|---|---|
| 0 | LOW |
| 1 | HIGH |

| F2 | CHARGE CANCELATION |
|---|---|
| 0 | DISABLED |
| 1 | ENABLED |

| F3 | ANTIBACKLASH PULSE WIDTH |
|---|---|
| 0 | 6ns (FRAC-N) |
| 1 | 3ns (INT-N) |

| C2 | C1 | CLOCK DIVIDER MODE |
|---|---|---|
| 0 | 0 | CLOCK DIVIDER OFF |
| 0 | 1 | FAST LOCK ENABLE |
| 1 | 0 | RESYNC ENABLE |
| 1 | 1 | RESERVED |

| D12 | D11 | ... | D2 | D1 | CLOCK DIVIDER VALUE |
|---|---|---|---|---|---|
| 0 | 0 | ... | 0 | 0 | 0 |
| 0 | 0 | ... | 0 | 1 | 1 |
| 0 | 0 | ... | 1 | 0 | 2 |
| 0 | 0 | ... | 1 | 1 | 3 |
| . | . | ... | . | . | . |
| . | . | ... | . | . | . |
| . | . | ... | . | . | . |
| 1 | 1 | ... | 0 | 0 | 4092 |
| 1 | 1 | ... | 0 | 1 | 4093 |
| 1 | 1 | ... | 1 | 0 | 4094 |
| 1 | 1 | ... | 1 | 1 | 4095 |

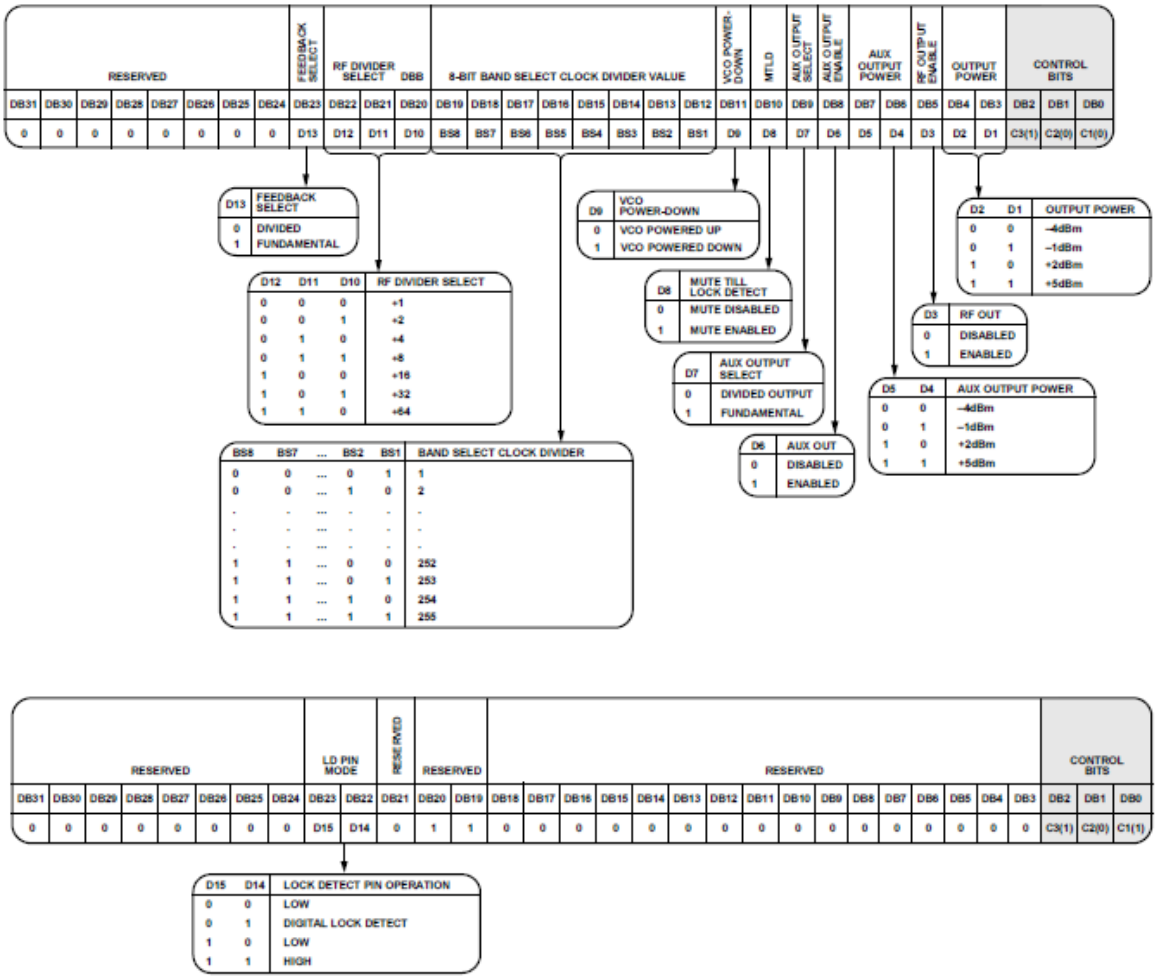



Figura 46. Mapa de registros para la configuración del ADF4351®

## Simulación de Filtro de Lazo

Una de las grandes ventajas de trabajar con este integrado es que existe un software de simulación que permite saber a priori si el sistema con los componentes de filtro de lazo será estable o inestable. Este software lo facilita la empresa Analog Devices®. En la Figura 47 se observa una captura de pantalla del mismo con los componentes utilizados para el filtro de lazo del PLL. En el sector izquierdo aparece el cálculo de margen de fase dando como resultado 51.7° haciendo el sistema estable.

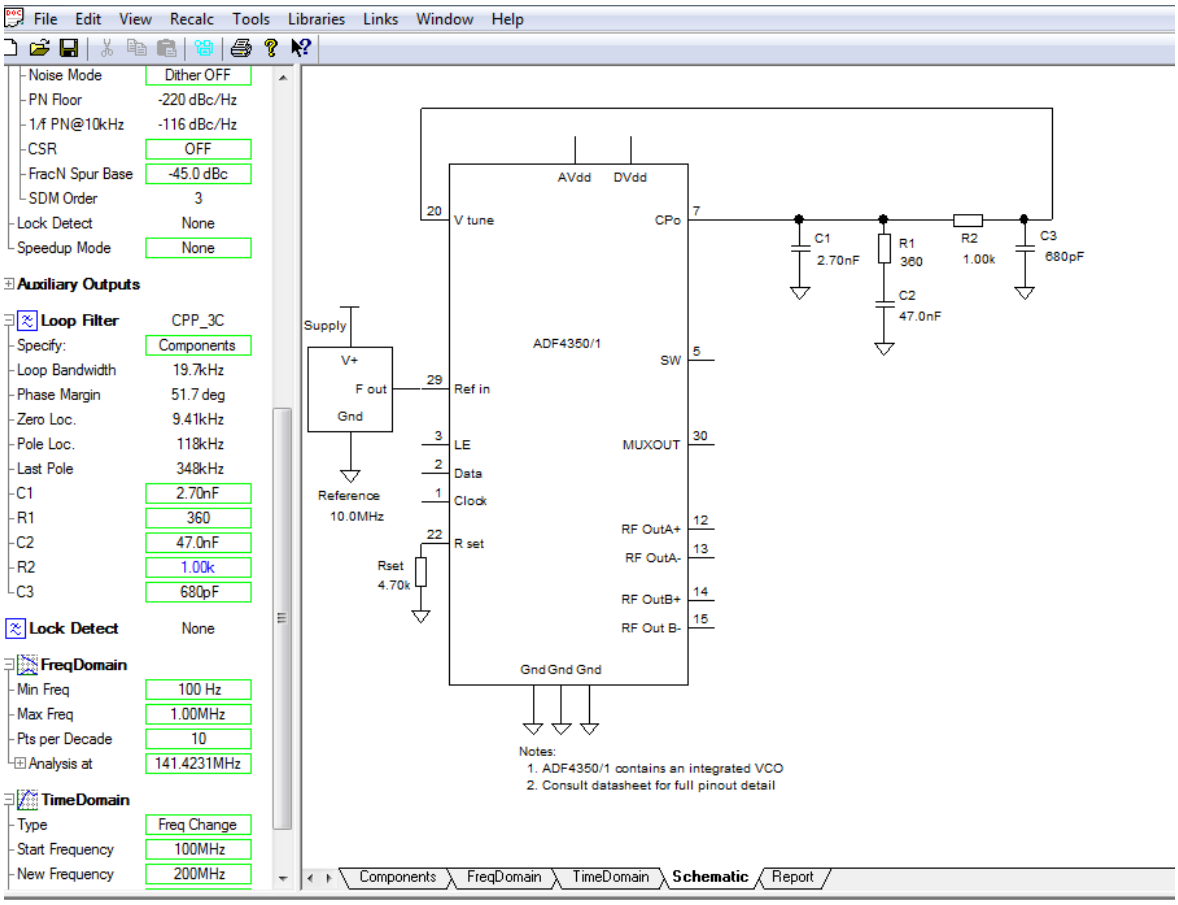



Figura 47. Software de simulación ADISimPLL®.

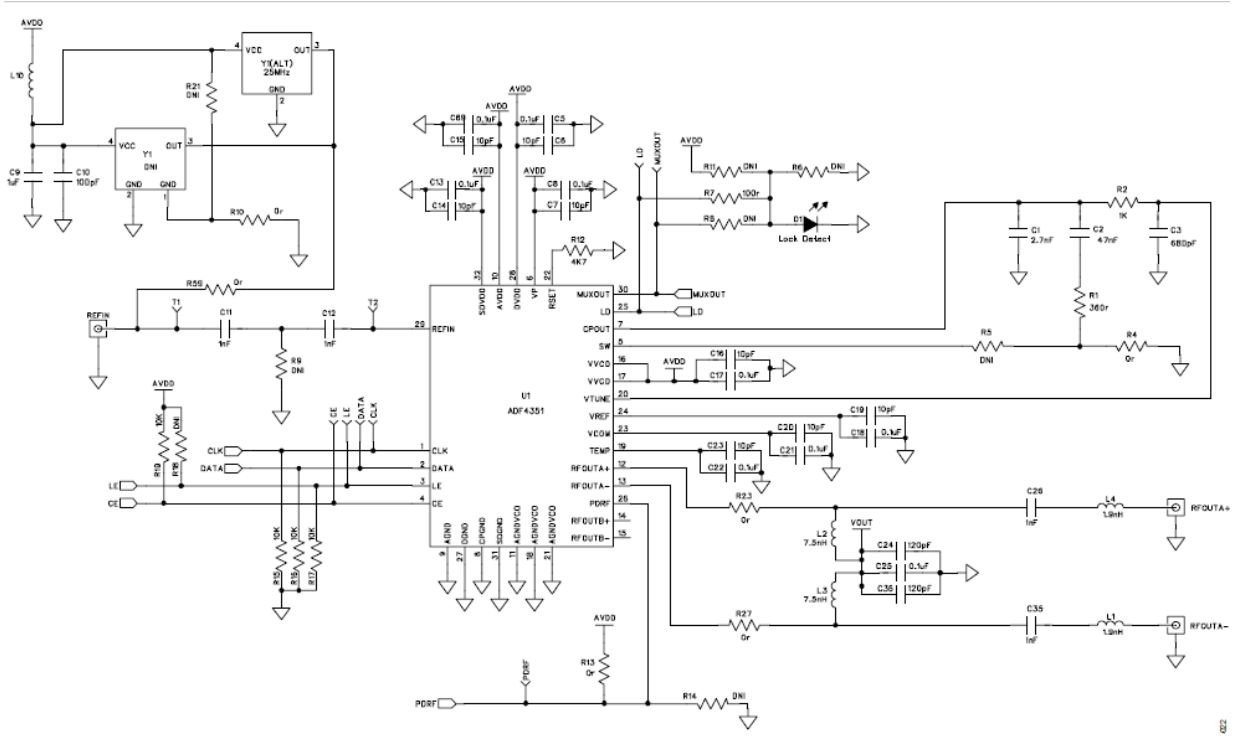



Figura 48. Circuito esquemático de aplicación del ADF4351®

La placa de evaluación del ADF4351® incluye un oscilador a cristal de 25 MHz, en caso de querer usarse otra oscilación de referencia posee una entrada exterior SMA que se puede usar mediante un puente que permite seleccionar entre el oscilador incorporado o el oscilador externo. La alimentación de tensión de la placa es de 5 VDC y posee un regulador que genera los 3.3V de alimentación del ADF4351®.

Figura 49. Placa de evaluación del ADF4351®

### 2.2.2 Circuito RF

**Introducción**

En esta sección se analizaron los circuitos integrados que forman parte tanto de la etapa sintonizadora como la de la placa de acondicionamiento se señales. La etapa sintonizadora es la encargada mediante un selector de canales comercial de elegir la banda de trabajo mediante la programación I2C (para más información véase Apéndice C) y bajar esa banda a la frecuencia 45.75 MHz donde es acondicionada para luego subirla a su frecuencia original. Esta última tarea la realiza el mezclador AD831® que trabaja hasta frecuencias de 500 MHz y posee una buena ganancia de conversión. También se analizara, en caso de ser necesario, colocar un amplificador de RF (MSA-0886®) y un filtro pasa banda microstrip para eliminar las señales de canal adyacente que no fueron eliminadas en la primera etapa de sintonización. Finalmente la aplicación de un sumador realizara la última tarea y sumara los canales hacia la salida final.

### 2.2.2.1 Sintonizador (Selector de canales)

Los sintonizadores de TV modernos trabajan por bus I2C lo que nos permite mediante un simple código programarlos con un microcontrolador PIC compatible con este protocolo. Por otra parte, la sintonía se realiza a través de una tensión variable de 0 a 33 Volts en otro terminal de entrada. La sintonía la realiza mediante un circuito PLL que monitorea en forma constante para mantener la frecuencia programada.

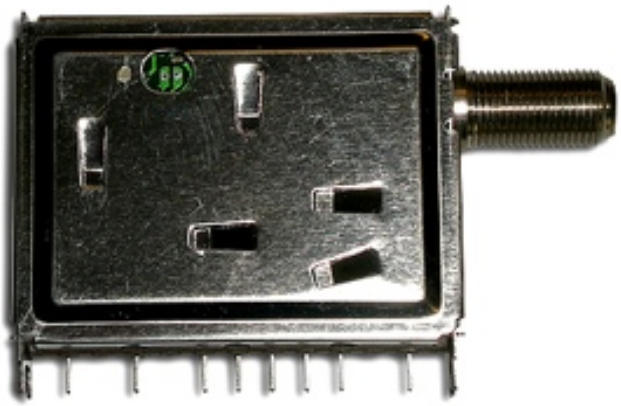
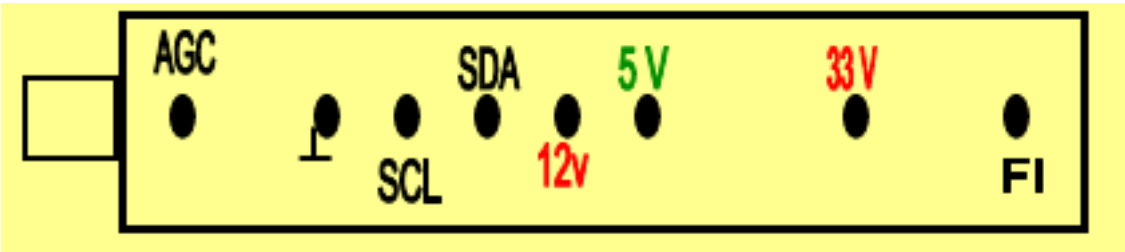


Figura 50. Típico ejemplo de sintonizador de TV.

Pines de conexión en el selector:




**AGC**: Se aplica una tensión variable entre 0 y 12 Volts que ajusta el control automático de ganancia.
**EN**: Mediante una tensión continua modifica el byte de dirección de selección pudiendo conectar en el mismo bus I2C varios selectores.
**SCL**: Pin de Clock del bus I2C
**SDA**: Pin de Data del bus I2C
**12V**: Alimentación de 12 V del selector
**5V**: Alimentación de 5V del PLL dentro del selector
**33V**: Alimentación de 33V de los varicaps encargados de la sintonía
**FI**: Salida de frecuencia intermedia (45.75 MHz)

Estas tensiones son entregadas por una fuente alimentación específica para su correcto funcionamiento que será detallada más adelante.

El circuito integrado que se encarga de generar la frecuencia de oscilación para la sintonización del canal elegido es el TSA5520 o TSA5521 (varía según el fabricante pero usan las mismas instrucciones de programación). Para programar correctamente el TSA5520/21 se debe escribir en los registros en un orden específico. A continuación se explicara el funcionamiento de cada registro que se puede encontrar en la hoja de datos del TSA5520/21:

**Address Byte (ADB**) significa la dirección que poseerá el selector de canales dentro del bus I2C que puede ser compartido con memorias EEPROM, preamplificadores de audio y otros dispositivos I2C. Por lo tanto, como cualquiera de ellos, estos circuitos tienen su dirección dentro del bus. En el caso de MA1 y MA0, la hoja de datos expresa que MA1 debe tener un valor 0 y MA0 un valor 1 para mantener siempre activo el selector (tabla 5 dentro de la hoja de datos). Por lo tanto, ADB tendrá un valor binario igual a %11000010.

**Control Byte (CB)** permite delinear varios parámetros. CP debe interpretarse como la velocidad que tendrá el sistema para enclavarse en frecuencia. A menor corriente de carga, más lentitud. A mayor corriente, mayor velocidad de captura de la frecuencia correcta. Es decir, colocaremos al bit CP en 1. Por su parte, T2, T1 y T0 poseen valores preestablecidos para una correcta operación (T2 = 0, T1 = 0 y T0 = 1). RSA y RSB se programan de acuerdo a la tabla 7 de la hoja de datos. Para iniciar nuestra aplicación, colocaremos a 0 ambos bits. Por último, OS también se colocará en 0 para una operación normal. Entonces, podemos decir que el BYTE CB será igual a %11001000

Ya en el BYTE selector de bandas (**Band Switch Byte**) encontramos que para la banda VHF baja deberá ser %00000001 y arbitrariamente lo bautizaremos como BB1. Para VHF alta será %00000010 y la llamaremos BB2, mientras que para UHF será %00001000 y se llamará BB3. Ya entonces tenemos seleccionadas las bandas, el divisor para el oscilador de cuarzo de referencia (RSA y RSB) y la dirección del selector de canales dentro del bus. Sólo nos resta definir los valores que adoptarán los bytes del divisor programable principal (DB1 y DB2).

Hasta aquí nos manejamos con variables BYTE, es decir, que sólo ocupan 8 bits. Ahora trabajaremos con una variable WORD que se encargará de transmitir hacia el PLL la información del divisor. La manera de hacerlo será aplicando la posibilidad de dividir la variable WORD en HIGHBYTE y LOWBYTE. Haciendo gala como siempre de nuestra originalidad para elegir nombres, llamaremos DIVIDER a la variable WORD, DIVIDER.HIGHBYTE a **DB1** (que luego se llamará DIVIDER1) y DIVIDER.LOWBYTE a **DB2** (que luego se llamará DIVIDER2).

| BYTE | MSB | DATA BYTE | | | | | | LSB | SLAVE ANSWER |
|---|---|---|---|---|---|---|---|---|---|
| Address Byte (ADB) | 1 | 1 | 0 | 0 | 0 | MA1 | MA0 | 0 | A |
| Divider Byte 1 (DB1) | 0 | N14 | N13 | N12 | N11 | N10 | N9 | N8 | A |
| Divider Byte 2 (DB2) | N7 | N6 | N5 | N4 | N3 | N2 | N1 | N0 | A |
| Control Byte (CB) | 1 | CP | T2 | T1 | T0 | RSA | RSB | OS | A |
| Band switch Byte (BB) | X | X | X | X | BS4 | BS3 | BS2 | BS1 | A |

Figura 51. Formato de datos para bus I2C

De esta manera escribiendo una pocas palabras en el TSA5520/21® podemos programarlo para sintonizar el canal deseado. Se puede acudir a la hoja de datos si se requiere más información.

Luego de sintonizar el canal elegido la señal sale por el pin FI del selector y con un pequeño amplificador transistorizado y la utilización de un filtro SAW (*Surface Acoustic Wave*) para filtrar lo más posible los canales adyacentes acondicionamos la señal para su posterior uso. El filtro SAW es un filtro acústico de onda superficial que posee la propiedad de transformar la señal eléctrica en una señal acústica, transmitirla a través de un medio resonante muy específico y reconvertirla en señal eléctrica a su salida. Posee en su parte inferior 5 pines: dos de entrada, uno para GND (carcaza metálica) y otros dos de salida. Su función específica es la de filtrar la señal que lo atraviesa y dejar pasar solamente un grupo estrecho de frecuencias que se definen en el diseño y construcción del filtro.

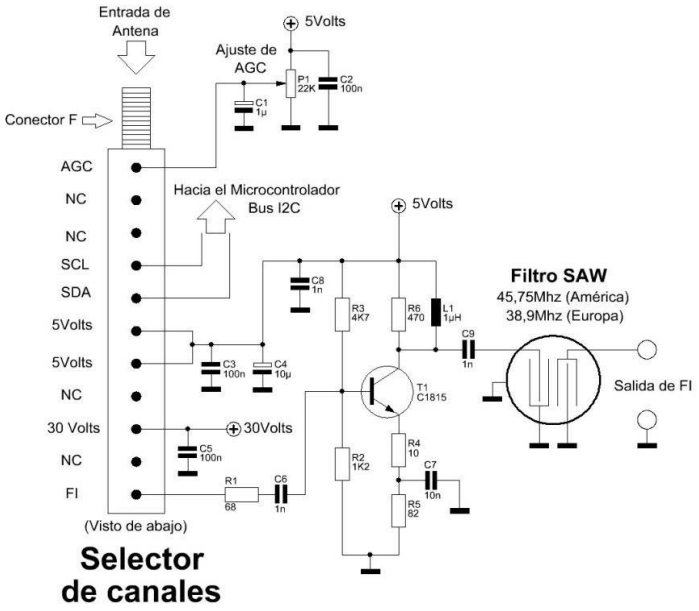



Figura 52. Amplificación y filtrado a la salida del selector

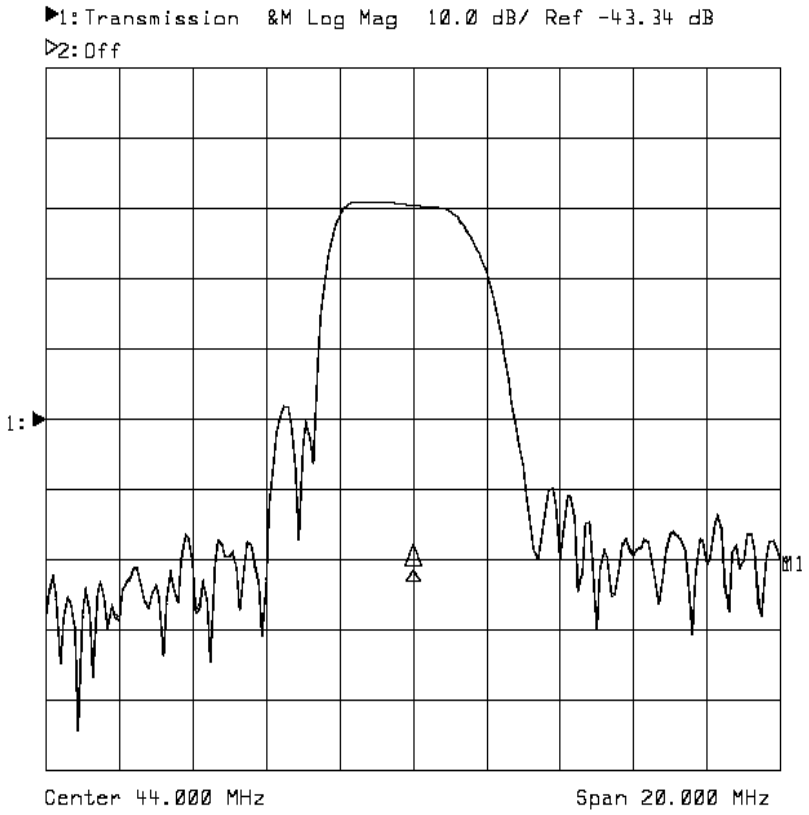



Figura 53. Respuesta del filtro acústico superficial (SAW)

El montaje de la placa sintonizadora entonces utiliza tres selectores que son alimentados mediante un divisor comercial de 3 vías. Se utilizaron conectores SMA para las tres salidas FI acondicionadas. Debido a la existencia del pin de AGC en los selectores, la salida de estos está prácticamente normalizada lo que evitaría el trabajo de amplificar esas señales para normalizarlas.

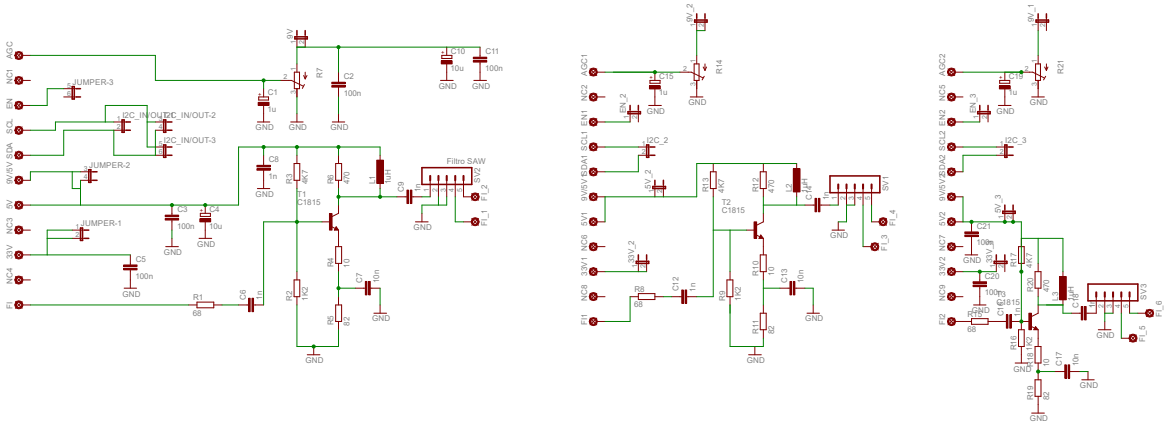


Figura 54. Esquemático de la placa sintonizadora

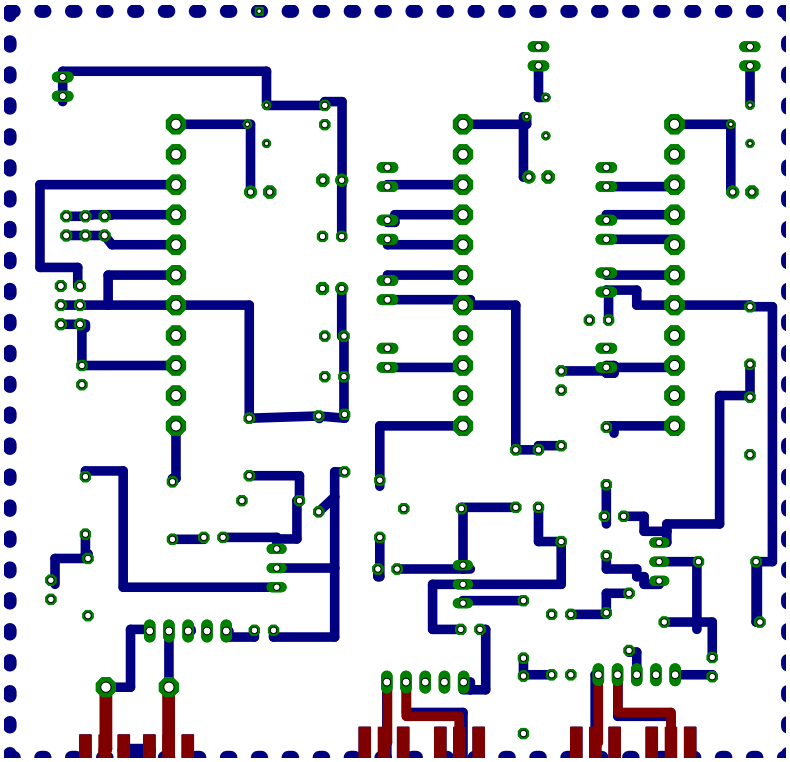


Figura 55. Footprint de la placa sintonizadora

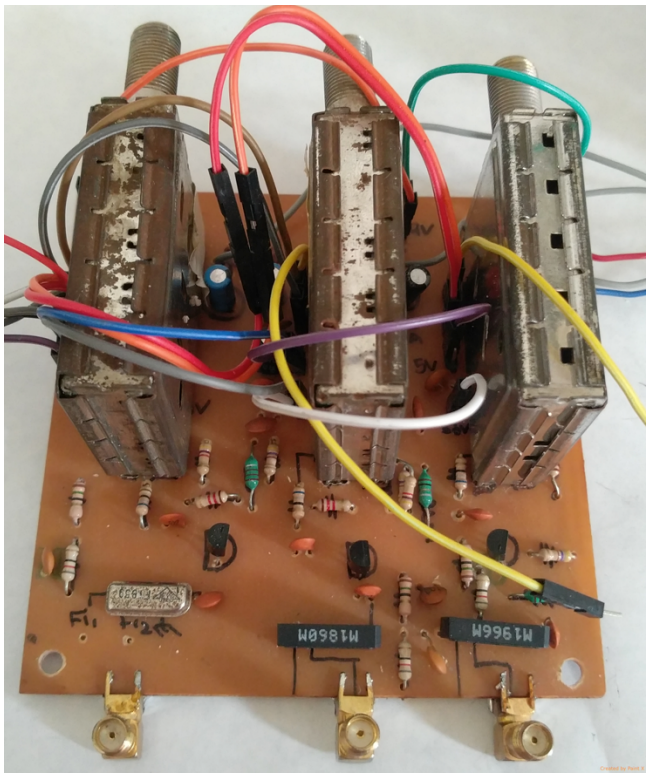



Figura 56. Fotografía de la placa sintonizadora

### 2.2.2.2 Circuito mezclador

Para el circuito mezclador fue utilizado el circuito integradora AD831® de Analog Devices® el cual trabaja hasta 500 MHz y posee una buena ganancia de conversión. Para más información sobre mezcladores véase Apéndice B.

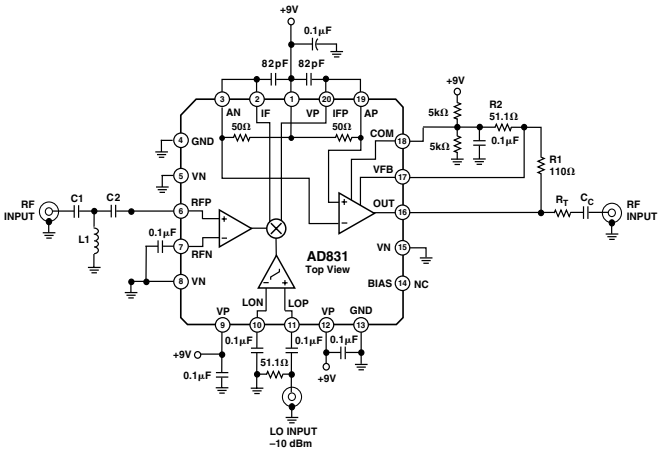



Figura 57. Diagrama de conexiones del AD831®

En este caso también se trabajó con una placa comercial, no por la dificultad del montaje sino para reducir costos del prototipo final.

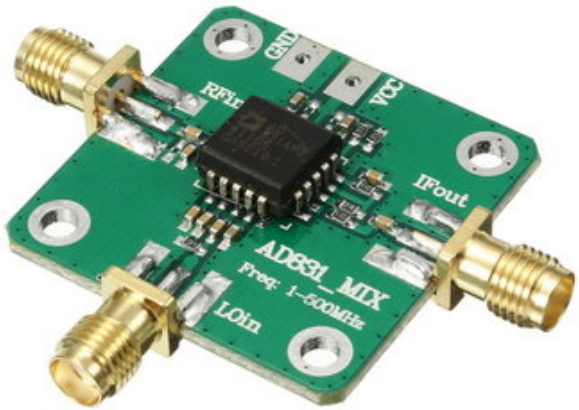



Figura 58. Placa mezcladora con el AD831®

Debido a que la potencia de salida de los canales 8 y 12 luego de la sintonización es alta y con buen rechazo a los canales adyacentes no se requirió más acondicionamiento de esas

señales. Sin embargo, para el Canal 10 se encontraron problemas de potencia baja y efectos de canales adyacentes no deseados, por lo que se debió a la salida del mezclador agregar un amplificador y un filtro pasa banda microstrip.

### 2.2.2.3 Amplificador de RF

Para la amplificación de señal se adquirió un MSA-0886®. El MSA-0886® es un Circuito Monolítico Integrado de Microondas bipolar de silicio de alto rendimiento (MMIC) alojado en un encapsulado de plástico de montaje superficial de bajo costo. Este MMIC está diseñado para usarse como un bloque de ganancia de 50 Ω de propósito general por encima de 0,5 GHz y se puede usar como un transistor de ganancia alta por debajo de esta frecuencia. Las aplicaciones típicas incluyen amplificadores de FI y RF de banda estrecha y moderada en aplicaciones comerciales e industriales.

Una configuración práctica de polarización actual se muestra en la Figura 59. La corriente de polarización se entrega desde una tensión de alimentación Vcc a través de la resistencia Rbias y el choque de RF (inductor), como se muestra RFC en la Figura. La resistencia reduce el efecto de la variación de tensión del dispositivo (Vd.) en la corriente de polarización mediante la aproximación con una fuente de corriente. Son necesarios condensadores de desacople en la entrada y la salida. Ellos deben ser de un tipo que tiene una baja ESR (resistencia serie efectiva), y debe tener reactancia suficientemente baja para no afectar la pérdida de inserción o VSWR adversamente a baja frecuencia. Los condensadores de bloqueo deben estar libres de resonancia parasita a la frecuencia de funcionamiento más alta.

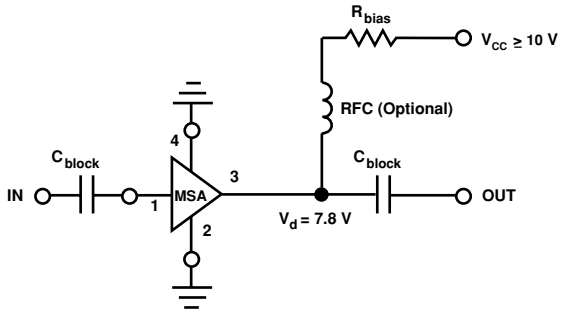



Figura 59. Típica configuración de polarización.

| R BIAS[1] | |
|---|---|
| Vcc | Bias Resistor Value[2] |
| 7 | 88.7 |
| 8 | 118 |
| 9 | 143 |
| 10 | 174 |
| 11 | 200 |
| 12 | 226 |
| 13 | 255 |
| 14 | 280 |
| 15 | 309 |

Figura 60. Tabla de valores de Rbias de acuerdo a la tensión de alimentación utilizada.

En nuestro caso alimentamos el amplificador con 12 Volts y usamos una resistencia de 220 Ohms. El amplificador se montó sobre una placa de circuito impreso (PCB) de doble cara con componentes SMD y conectores SMA para la entrada y salida de señal observando una ganancia de 15 dB en la frecuencia de trabajo (193,25MHz).

### 2.2.2.4 Filtro pasa banda microstrip

Para el diseño del filtro pasa banda microstrip se utilizó el software Filter Solutions®. Se usaron parámetros distribuidos y la topología Combline que ofrece buena respuesta y fácil construcción. Se eligió un filtro de orden 5 para mejorar el rechazo a los canales adyacentes y se reemplazaron los capacitores determinados por el software por capacitores trimmers en paralelo con capacitores SMD de pequeño valor para así poder realizar un "ajuste fino" de la respuesta del filtro.

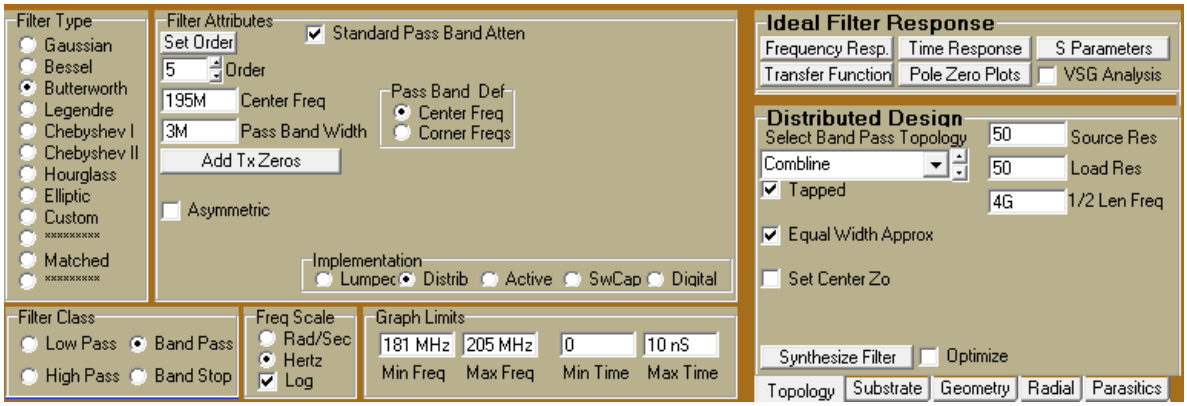



Figura 61. Software de diseño Filter Solutions®

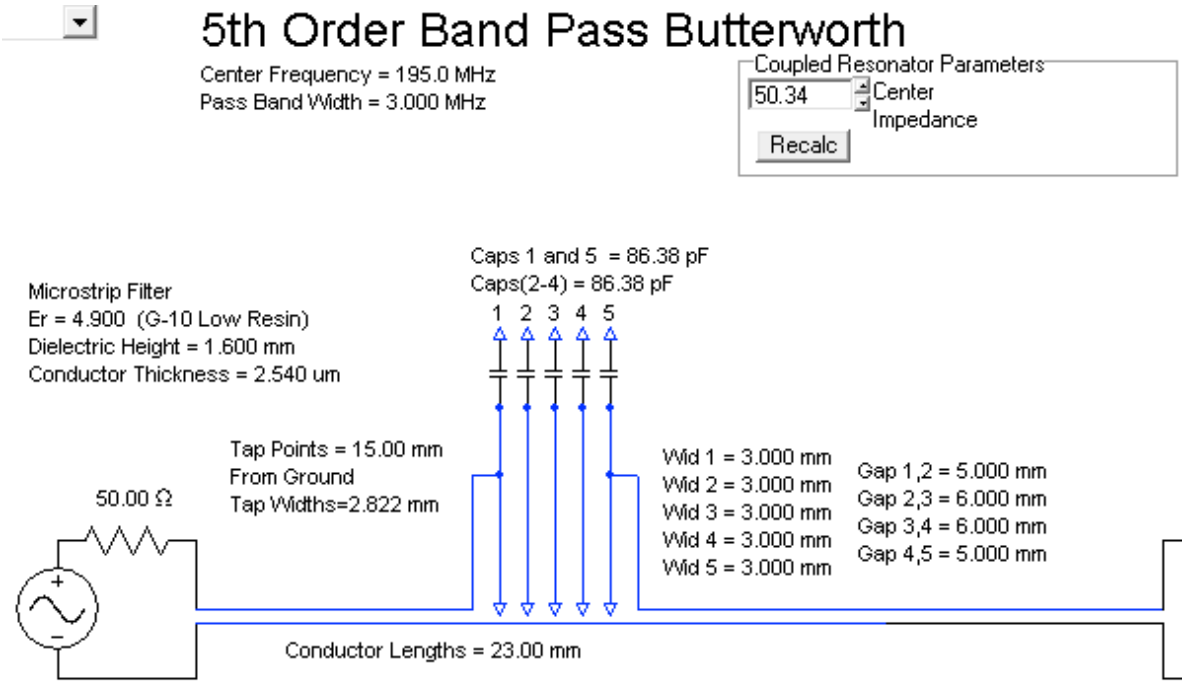



Figura 62. Diseño del filtro pasa banda

En la siguiente imagen se podrá observar con una línea azul los parámetros ingresados al software y con una línea amarilla la respuesta real que tendría el filtro. Se puede observar como el ancho de banda de paso es mayor a la ideal y también el rechazo se ve disminuido. Esto se ve acentuado todavía más a la hora de implementar el filtro, sin embargo, para los requerimientos cumple su función.

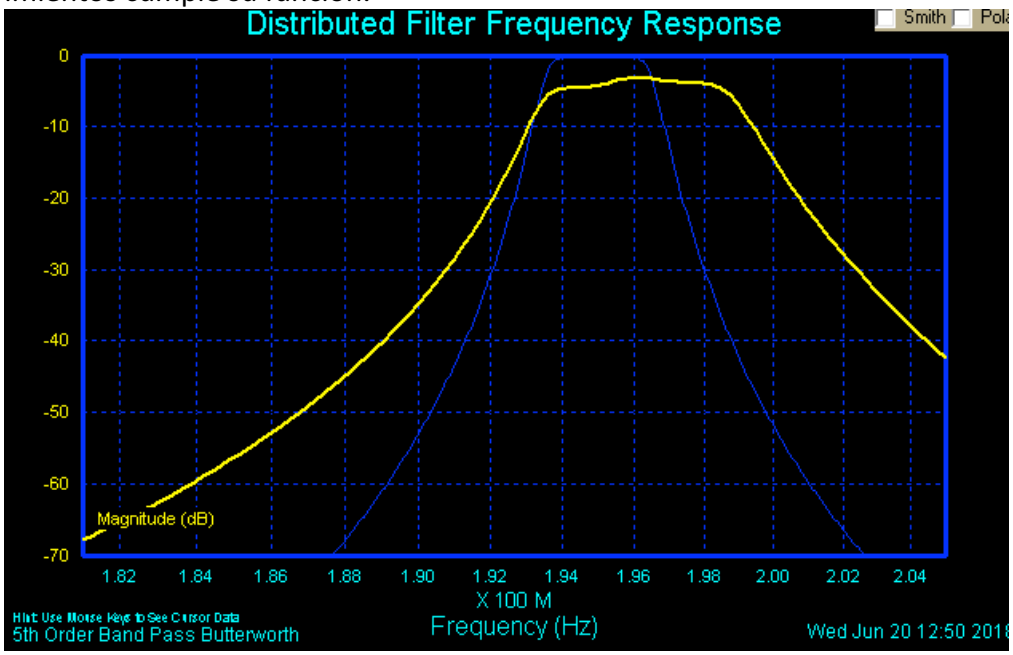



Figura 63. Respuesta en frecuencia del filtro entregada por el software

Para el montaje del filtro se trabajó sobre una placa PCB de doble cara con un buen plano de masa para mejorar la respuesta del mismo.

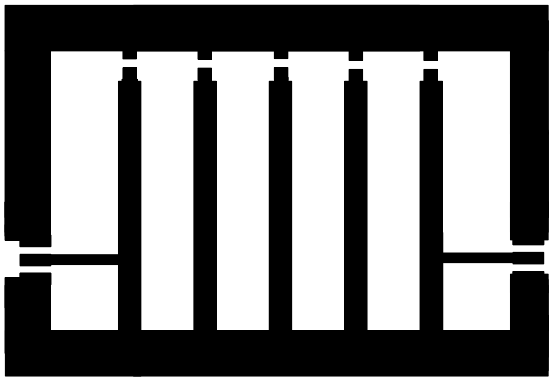


Figura 64. Footprint del filtro pasa banda microstrip.

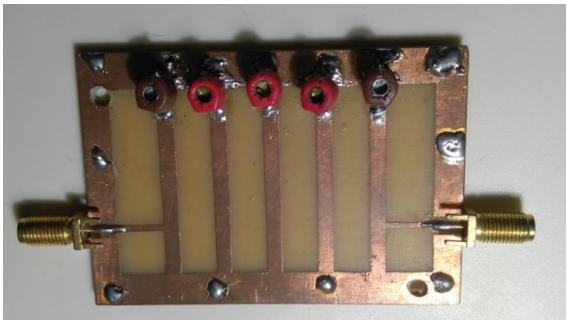


Figura 65. Fotografía del filtro terminado.

En la Figura 66 se puede ver como la colocación de capacitores trimmers afecta el ancho de banda haciéndolo mucho más amplio que el calculado teóricamente. Lamentablemente es necesaria la utilización de estos capacitores para el ajuste fino debido a las imperfecciones que se pueden encontrar en la fabricación del circuito impreso y aunque no es lo ideal aun así proporciona un buen rechazo a los canales adyacentes ubicados a 12 MHz del canal sintonizado (en este caso el Canal 10 en 193,25 MHz). También se observa y se ajusta con estos capacitores la planicidad en la banda de paso.

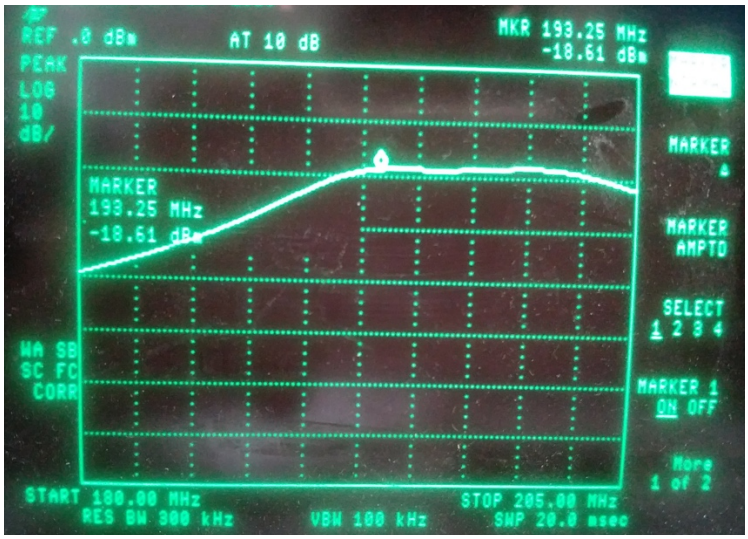



Figura 66. Respuesta final del filtro microstrip

### 2.2.2.5 Sumador de video

En la Figura 67 se muestra el sumador de video con conectores F que se puede adquirir comercialmente.

Figura 67. Sumador de video comercial

### 2.2.3 Microcontrolador PIC16F877A

Se optó por el microcontrolador PIC16F877A® debido a la cantidad de pines de entrada y salida que permiten la programación tanto de los tres PLL como los sintonizadores con el bus I2C. Se programó en lenguaje C para enviar instrucciones al PIC y así poder controlar mediante él hacia los demás componentes del prototipo. Para cumplir estas tareas se alimentó el reloj del PIC con un oscilador externo a cristal. A continuación en la Figura 68 se ve la descripción de cada uno de sus pines.

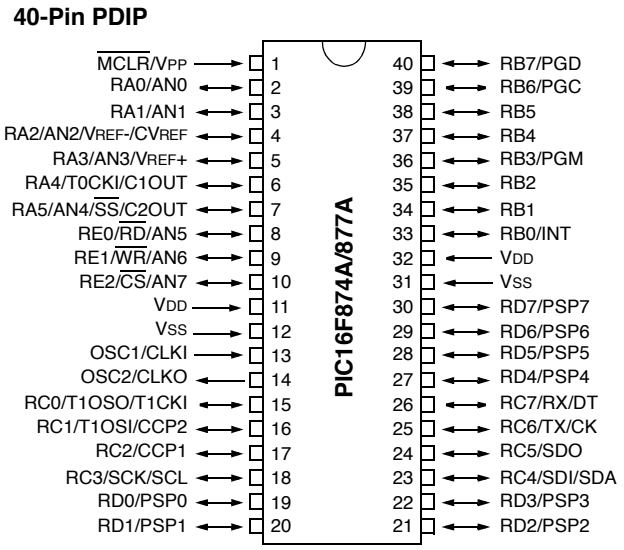



Figura 68 Pines del PIC16F877A®

## CARACTERISTICAS

En siguiente tabla de pueden observar las características más relevantes del dispositivo:

| CARACTERÍSTICAS | 16F877 |
|---|---|
| Frecuencia máxima | DX-20MHz |
| Memoria de programa flash palabra de 14 bits | 8KB |
| Posiciones RAM de datos | 368 |
| Posiciones EEPROM de datos | 256 |
| Puertos E/S | A,B,C,D,E |
| Número de pines | 40 |
| Interrupciones | 14 |
| Timers | 3 |
| Módulos CCP | 2 |
| Comunicaciones Serie | MSSP, USART |
| Comunicaciones paralelo | PSP |
| Líneas de entrada de CAD de 10 bits | 8 |
| Juego de instrucciones | 35 Instrucciones |
| Longitud de la instrucción | 14 bits |
| Arquitectura | Harvard |
| CPU | Risc |
| Canales Pwm | 2 |

| | |
|---|---|
| Pila Hardware | - |
| Ejecución En 1 Ciclo Máquina | - |

**Descripción de los puertos:**

Puerto A:

- Puerto de e/s de 6 pines
- RA0 y AN0
- RA1 y AN1
- RA2, AN2 y Vref-
- RA3, AN3 y Vref+
- RA4 (Salida en colector abierto) y T0CKI(Entrada de reloj del modulo Timer0)
- RA5, AN4 y SS (Selección esclavo para el puerto serie síncrono)

Puerto B:

- Puerto e/s 8 pines
- Resistencias pull-up programables
- RB0 Interrupción externa
- RB4-7 Interrupción por cambio de flanco
- RB5-RB7 y RB3 programación y *debugger in circuit*

Puerto C:

- Puerto e/s de 8 pines
- RC0, T1OSO (Timer1 salida oscilador) y T1CKI (Entrada de reloj del módulo Timer1).
- RC1-RC2 o PWM/COMP/CAPT
- RC1 T1OSI (entrada osc timer1)
- RC3-4 IIC (Bus I2C)
- RC3-5 SPI
- RC6-7 USART

Puerto D:

- Puerto e/s de 8 pines
- Bus de datos en PPS (Puerto paralelo esclavo)

Puerto E:

- Puerto de e/s de 3 pines
- RE0 y AN5 y Read de PPS
- RE1 y AN6 y Write de PPS
- RE2 y AN7 y CS de PPS

**Dispositivos periféricos:**

- Timer0: Temporizador-contador de 8 bits con preescaler de 8 bits
- Timer1: Temporizador-contador de 16 bits con preescaler que puede incrementarse en modo sleep de forma externa por un cristal/clock.
- Timer2: Temporizador-contador de 8 bits con preescaler y posescaler.
- Dos módulos de Captura, Comparación, PWM (Modulación de Anchura de Impulsos).
- Conversor A/D de 1 0 bits.
- Puerto Serie Síncrono Master (MSSP) con SPI e I2C (Master/Slave).
- USART/SCI (*Universal Synchronus Asynchronous Receiver Transmitter*) con 9 bit.
- Puerta Paralela Esclava (PSP) solo en encapsulados con 40 pines

**Diagrama en bloques:**

| Device | Program FLASH | Data Memory | Data EEPROM |
|---|---|---|---|
| PIC16F874 | 4K | 192 Bytes | 128 Bytes |
| PIC16F877 | 8K | 368 Bytes | 256 Bytes |

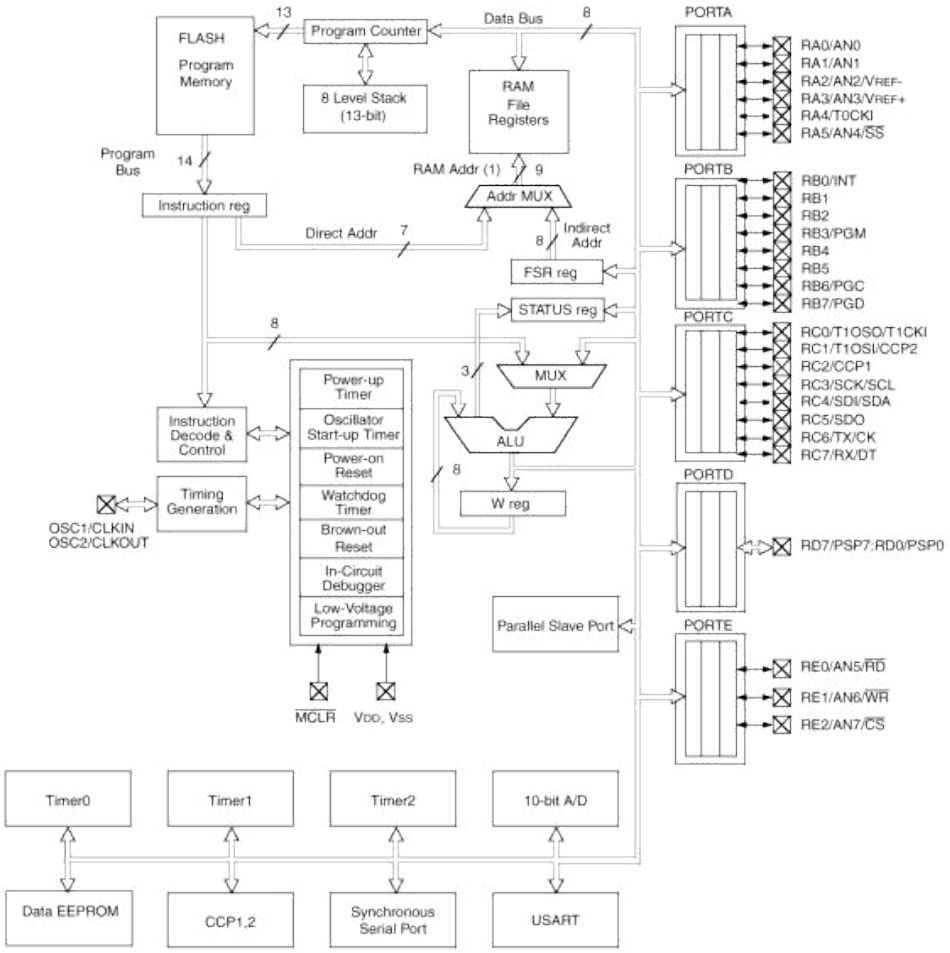



Figura 69. Diagrama en bloques del PIC16F877A®

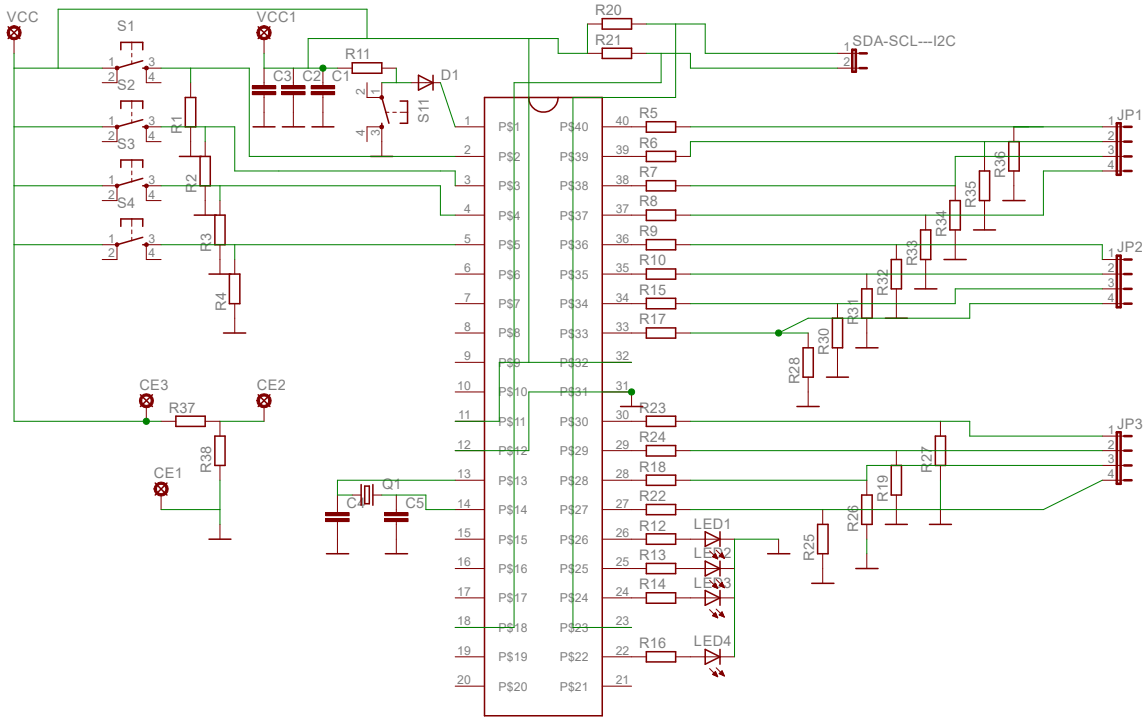



Figura 70. Esquemático de placa controladora PIC16F877A®

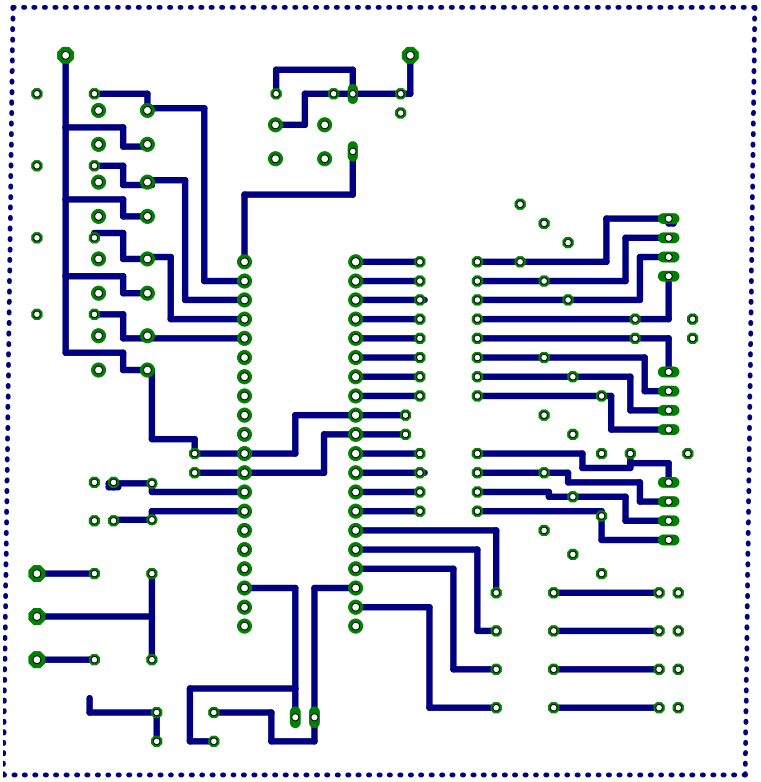


Figura 71. Footprint de la placa controladora PIC16F877A®

El diseño de la placa del microcontrolador se realizó sobre una placa PCB simple. Se agregaron 4 botones que sirvieron para realizar pruebas y distintos ajustes, 4 leds que encendían de acuerdo a que etapa se estuviera programando. Se puede observar en la Figura 70 la configuración de los 3 puertos SPI de 4 pines cada uno (CLK, DATA, LE, CE) para comandar los PLL y la salida de bus I2C en la parte inferior. A la izquierda se puede visualizar tres pines de salida CE que determinan las tensiones que se aplicaran a la entrada EN de los sintonizadores para modificar sus direcciones en el bus I2C y permitir la programación secuencial dentro del mismo bus. En la parte superior se puede observar la alimentación y el PIC se instaló sobre un zócalo ZIF que permite su fácil colocación o reemplazo.

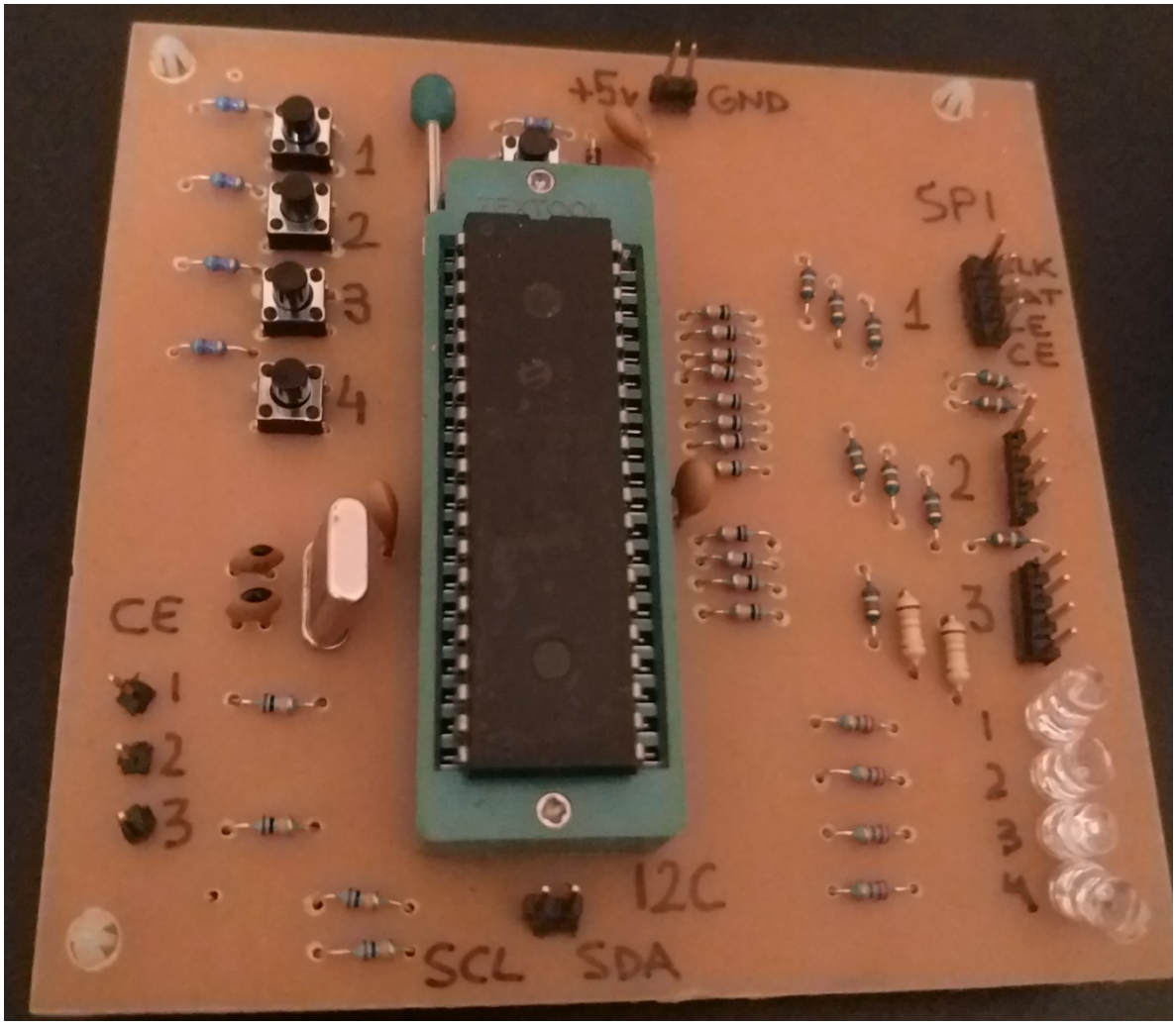



Figura 72. Placa controladora con PIC16F877A®

## 2.2.4 Fuente de alimentación

Se utilizó el circuito integrado MC34063A® que permite mediante una alimentación de tensión continua baja generar una tensión más alta, en nuestro caso 30 Volts, para poder así alimentar los varicaps de los sintonizadores.

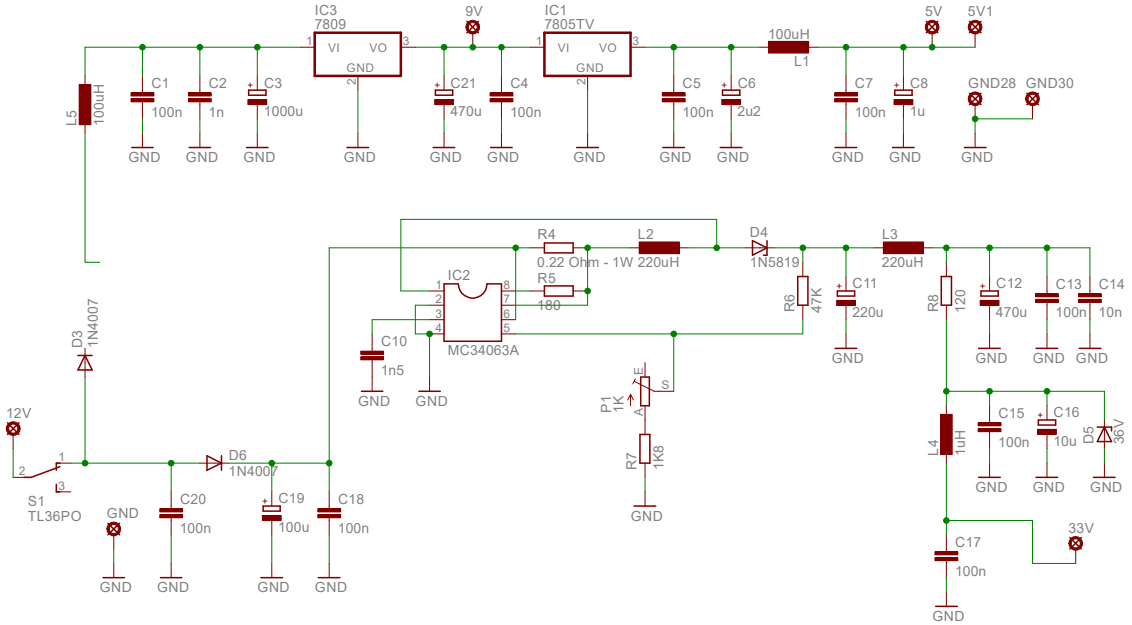



Figura 73. Esquemático de la fuente de alimentación

Como se puede ver, la entrada es de 12Volts y la salida de 30Volts es variable para lograr un ajuste cómodo y preciso. L3 puede tener entre 100 y 300uH, pero se ha adoptado un valor de 220uH por razones de practicidad y tamaño reducido. La sección de 5 Volts es muy tradicional con el empleo de un regulador serie 7805 al que se le colocara un disipador de calor, ya que a partir de este dispositivo alimentaremos el sintonizador y la sección del microcontrolador. La cantidad de capacitores de desacople que se utilizan son para evitar todos los ruidos, transitorios y variaciones de tensión que puedan aparecer y así prevenirlos.

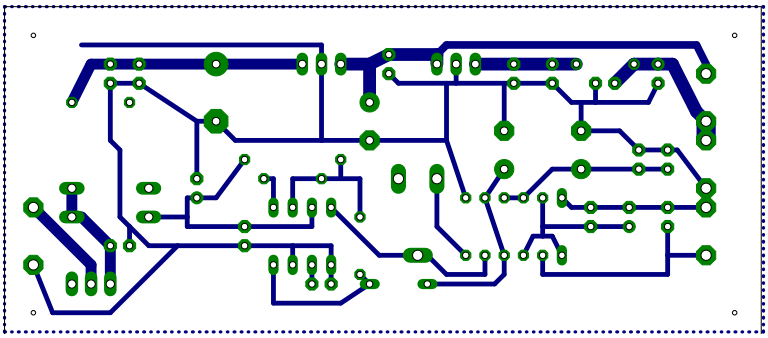


Figura 74. Footprint de la fuente de alimentación

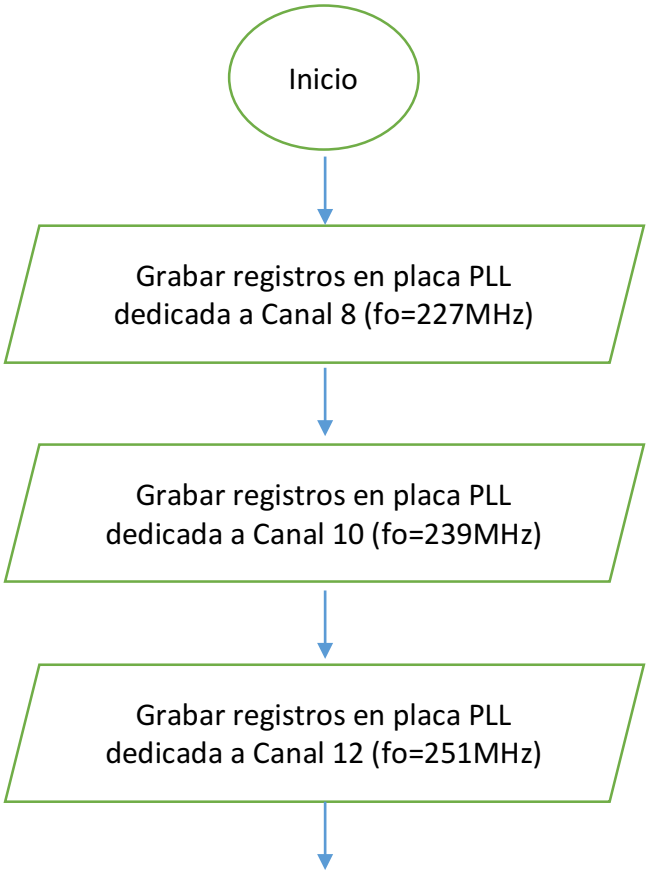
# Capítulo 3: Diseño e Implementación del Software

## 3.1 Introducción

En esta sección se analizara el diseño del software que fue necesario para la realización del proyecto. Se observará el programa desarrollado con el PIC16F877A® con el compilador CCS que sirvió en principio como una interfaz entre el usuario y la programación tanto del ADF4351® como de los sintonizadores para luego automatizar la programación desde el arranque al encender el equipo.

## 3.2 Software microcontrolador PIC 16F877A

En esta sección se dará lugar al software que utiliza el microcontrolador para escribir las palabras de datos en los sintonizadores y comandar la placa del PLL para la generación de señales senoidales. Como las frecuencias de los canales a sintonizar son fijas y están predeterminadas de antemano incluimos en el programa los valores de registros para cada frecuencia deseada, de esa manera el programa lo único que debe realizar es cargar los datos secuencialmente en cada placa PLL y finalmente activar el bus I2C para así cargar los datos en los tres sintonizadores.



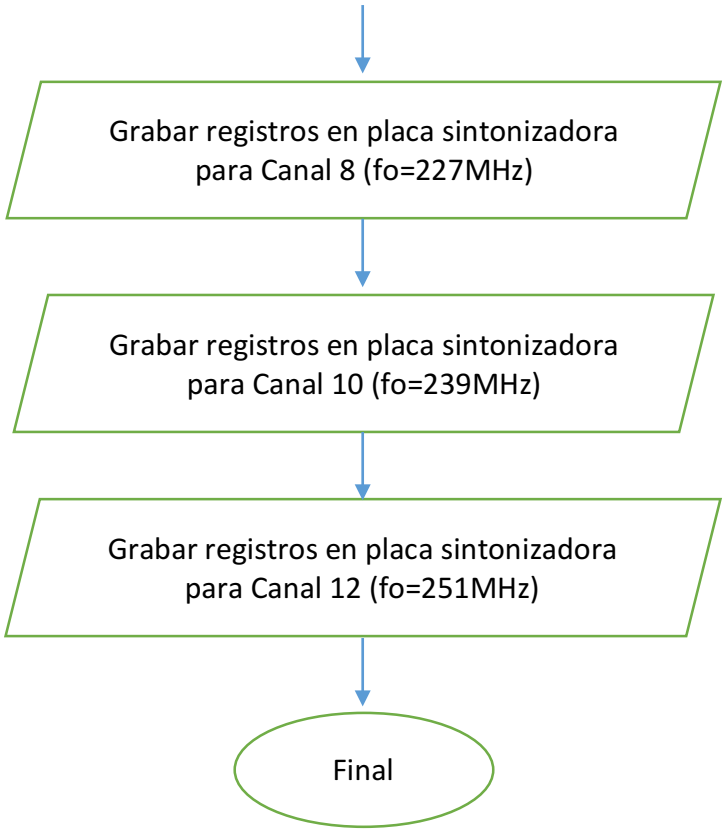



Figura 75. Diagrama de flujo del algoritmo del PIC 16F877A®

# Capítulo 4: Mediciones

En este capítulo abarcaremos las mediciones obtenidas en cada placa y los resultados finales tanto en nivel de salida como en calidad de imagen de señal.

En las Figuras 76 y 77 se puede observar el montaje final de las placas en una caja plástica que sirvió de primer prototipo final de prueba. Podemos observar que debido al pequeño espacio que tenemos el montaje requirió métodos no tan ortodoxos. Sin embargo como se comentará en las conclusiones, este fue un prototipo final de prueba, y durante el proceso de construcción se observaron mejoras sustanciales en el diseño y la posibilidad de reducir el espacio y costo del equipo final.

Figura 76. Fotografía frontal del prototipo

Figura 77. Fotografía trasera del prototipo

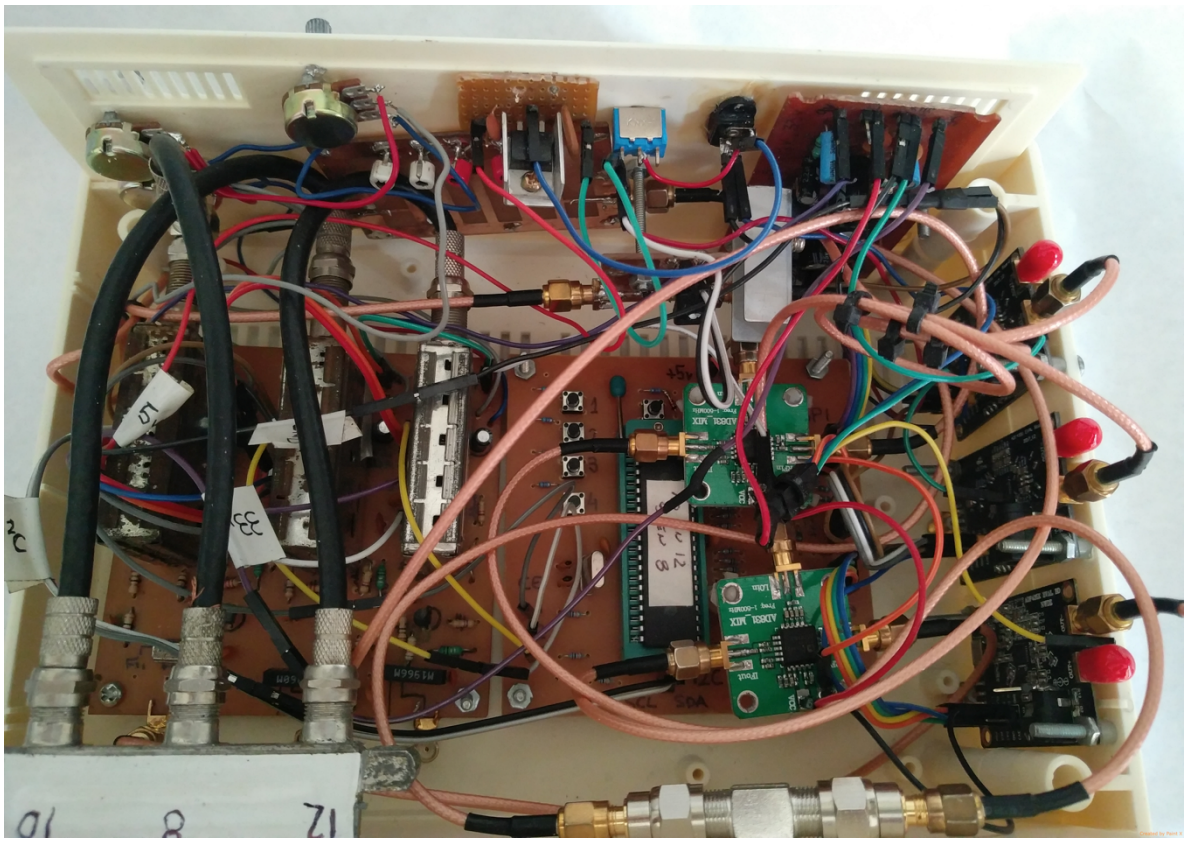


Figura 78. Fotografía del montaje final de las placas en el prototipo

## 4.1 Medición de señal de entrada

Se eligió para las mediciones tomar la señal de entrada de un edificio que presenta la problemática a resolver. Las mediciones se realizaron con el medidor de intensidad de campo PROLINK-1C de la empresa PROMAX® de donde obtenemos los siguientes valores de señal en cada canal:

Figura 79. Medición de nivel de entrada de señal

Podemos observar la diferencia sustancial en el nivel de los canales que es la problemática a solucionar.

## 4.2 Medición de señal de salida

Conectamos el equipo y mediante un televisor de prueba ajustamos el control de AGC en cada canal de manera de tener un buen nivel y calidad de imagen. Además de la imagen se controlo la calidad del audio verificando un buen comportamiento de todas las

portadoras que viajan en la señal. Finalmente medimos el nivel de salida de cada canal para comprobar su buen funcionamiento.

Figura 80. Medición de nivel de salida de señal

# Capítulo 5: Conclusiones

Analizando las mediciones del capítulo anterior podemos realizar conclusiones en cuanto al comportamiento del equipo frente a la problemática inicial desarrollada.

Podemos observar que las consideraciones de diseño en cuanto a normalización del nivel de señal así como mantener la calidad de imagen, ambas fueron cumplidas satisfactoriamente. Aun así, durante las mediciones se pudo observar que a medida que la diferencia de nivel entre los canales adyacentes aumenta es mucho más difícil eliminar la interferencia producida por ellos trasladando el problema al sumador de video ubicado en la ultima etapa del proyecto. Esto podría resolverse rediseñando los filtros microstrip para mejorar aún más su respuesta y su rechazo a los canales adyacentes.

El integrado ADF4351® fue una solución al diseño del PLL y el VCO ofreciendo una respuesta en frecuencia de alta calidad y pudiendo extrapolar su uso a mayores frecuencias si fuera necesario.

De cualquier manera, luego de un análisis final a todo el proyecto surgieron varias mejoras que se pueden realizar al prototipo.

Luego de haber encontrado un circuito integrado que se encarga tan fácilmente de la generación de frecuencia de portadora (ADF4351®) y que incluye la posibilidad de usar dos salidas ajustadas a la misma frecuencia, podríamos eliminar la etapa de los sintonizadores para reemplazarla directamente con un mezclador. De esta manera obtendríamos la misma salida de Frecuencia Intermedia en 45,75MHz y aplicando el mismo Filtro SAW podríamos eliminar las frecuencias espúreas que aparezcan fuera de la banda de interés.

También se podría mejorar la respuesta del filtro microstrip (incluso optar por otras topologías) para así tener una mejor respuesta en la banda de paso y una mejor atenuación en la banda de rechazo.

Finalmente, la ultima mejora seria realizar un diseño integral del prototipo en un mismo PCB para poder así, reducir considerablemente el tamaño del prototipo y eliminar cualquier distorsión proveniente del conexionado de placas.

Como conclusión final se puede determinar que el costo del equipo quizás a priori resulte alto con respecto a los valores de los amplificadores comerciales pero existiendo la problemática de la diferencia de nivel alta entre los canales, sin duda, ofrece una solución inmediata y de fácil colocación en el sistema de antena colectiva de los edificios. Otro dato interesante es que este equipo se podría utilizar para nivelar canales digitales de la transmisión digital terrestre en Argentina. Esto sucede debido a que los canales digitales se encuentran separados en bandas de 6 MHz (como los canales de televisión analógica) y la portadora de los canales es analógica, si nuestra conversión a Frecuencia Intermedia y re-conversión a UHF se produce sin afectar el nivel en la banda de paso de cada canal podríamos ajustar el prototipo para aumentar el nivel de algún canal digital específico. Obviamente para esto habría que expandir el alcance del prototipo porque de momento existen 6 canales digitales y probablemente en el futuro se podrían añadir más, sin embargo, la posibilidad existe y no presentaría más problemas de los que se tuvo previamente.

# Apéndice A

## Sistema PAL

Phase Alternating Line (PAL) es un sistema de codificación de color para televisión analógica utilizado en sistemas de televisión de transmisión en la mayoría de los países que emiten a 625 líneas / 50 campos (25 cuadros) por segundo (576i). Otros sistemas comunes de codificación de color son NTSC y SECAM.

Tanto el sistema PAL como el NTSC usan una subportadora modulada en amplitud en cuadratura que lleva la información de crominancia añadida a la señal de video de luminancia para formar una señal de banda de video compuesta. La frecuencia de esta subportadora es 4.43361875 MHz para PAL y NTSC 4.43, en comparación con 3.579545 MHz para NTSC 3.58.

El nombre “Phase Alternating Line” describe la forma en que la fase de la parte de la información de color en la señal de video se invierte con cada línea, lo que corrige automáticamente los errores de fase en la transmisión de la señal anulándola, a expensas de la vertical resolución del color del marco. Las líneas donde la fase de color se invierte en comparación con NTSC a menudo se llaman PAL o líneas de alternancia de fase, lo que justifica una de las expansiones del acrónimo, mientras que las otras líneas se llaman líneas NTSC. Los primeros receptores de PAL confiaron en el ojo humano para hacer esa cancelación; sin embargo, esto dio como resultado un efecto tipo peine conocido como barras de Hanover en errores de fase más grandes. Por lo tanto, la mayoría de los receptores ahora usan una línea de retardo analógica de crominancia, que almacena la información de color recibida en cada línea de visualización; un promedio de la información de color de la línea anterior y la línea actual se utiliza para conducir el tubo de imagen. El efecto es que los errores de fase producen cambios de saturación, que son menos objetables que los cambios de tono equivalentes de NTSC. Un inconveniente menor es que la resolución de color vertical es peor que la del sistema NTSC, pero dado que el ojo humano también tiene una resolución de color mucho más baja que su resolución de brillo, este efecto no es visible. En cualquier caso, NTSC, PAL y SECAM tienen ancho de banda de crominancia (detalle de color horizontal) reducido en gran medida en comparación con la señal de luminancia.

La frecuencia de 4.43361875 MHz de la portadora de color es el resultado de 283.75 ciclos de reloj de color por línea más un desplazamiento de 25 Hz para evitar interferencias. Como la frecuencia de línea (número de líneas por segundo) es de 15625 Hz (625 líneas × 50 Hz ÷ 2), la frecuencia portadora de color se calcula de la siguiente manera: 4.43361875 MHz = 283,75 × 15625 Hz + 25 Hz.

El decodificador de color requiere el portador de color original para recrear las señales de diferencia de color. Como el operador no se transmite con la información de video, debe

generarse localmente en el receptor. Para que la fase de esta señal generada localmente coincida con la información transmitida, se agrega una subportadora de ráfaga de 10 ciclos a la señal de video poco después del pulso de sincronización de línea, pero antes de la información de la imagen, durante el llamado pórtico posterior. Este estallido de color no está realmente en fase con la subportadora de color original, sino que lo dirige 45 grados en las líneas impares y lo retrasa 45 grados en las líneas pares. Esta ráfaga oscilante permite que el circuito decodificador de color distinga la fase del vector RY que invierte cada línea.

**Sistemas de transmisión PAL**

Esta tabla ilustra las diferencias:

| | PAL B | PAL G, H | PAL I | PAL D / K | PAL M | PAL N |
|---|---|---|---|---|---|---|
| Banda de transmisión | VHF | UHF | UHF / VHF * | VHF / UHF | VHF / UHF | VHF / UHF |
| Campos | 50 | 50 | 50 | 50 | 60 | 50 |
| Líneas | 625 | 625 | 625 | 625 | 525 | 625 |
| Líneas activas | 576 | 576 | 576 | 576 | 480 | 576 |
| Canal de Banda ancha | 7 MHz | 8 MHz | 8 MHz | 8 MHz | 6 MHz | 6 MHz |
| Ancho de banda de video | 5.0 MHz | 5.0 MHz | 5.5 MHz | 6.0 MHz | 4.2 MHz | 4.2 MHz |
| Subportadora de color | 4.43361875 MHz | 4.43361875 MHz | 4.43361875 MHz | 4.43361875 MHz | 3.575611 MHz | 3.58205625 MHz |
| Espaciado de visión / sonido | 5.5 MHz | 5.5 MHz | 6.0 MHz | 6.5 MHz | 4.5 MHz | 4.5 MHz |

**PAL-N (Argentina, Paraguay y Uruguay)**

En Argentina, Paraguay y Uruguay se utiliza la variante PAL-N. Emplea la forma de onda de 625 líneas / 50 campos por segundo de PAL-B / G, D / K, H e I, pero en un canal de 6 MHz con una frecuencia de subportadora de crominancia de 3.582056 MHz muy similar a NTSC.

**Banda lateral vestigial**

Dado que la señal de video debe tener una anchura de banda máxima de 4.25 MHz y que el ancho de banda de un canal de televisión sea de 6 MHz, la señal portadora y sus bandas laterales resultantes deben ser acomodadas en el dominio de la frecuencia de manera tal que no se violen las disposiciones vigentes para este tipo de servicio. La forma de realizarlo, es permitir el paso de la banda lateral superior completa y la señal portadora, y además un vestigio de la banda lateral inferior, tal como se ilustra en la figura 1-A, donde Pv representa a la señal portadora de video que es modulada en amplitud, mientras que Pa es la señal portadora de audio que se modula en frecuencia. Es importante mencionar que si el ancho de banda se reduce, también lo hace la potencia transmitida.

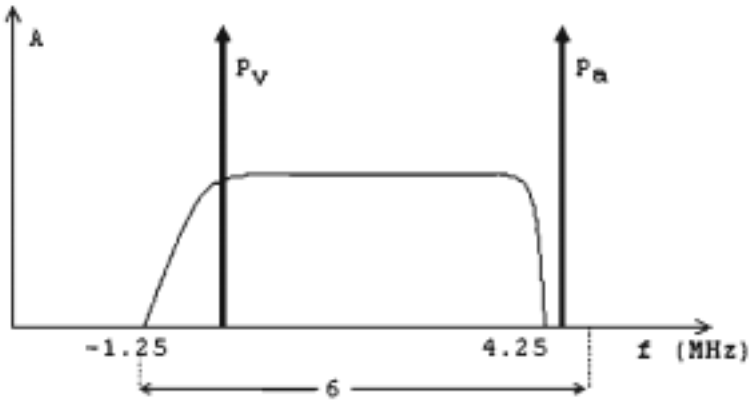



Figura 1A. Componente espectral de un canal de televisión

# Apéndice B

**Teoría de Mezcladores**

Un mezclador idealizado se muestra en la figura, es un dispositivo activo o pasivo que convierte una señal de una frecuencia a otra (Figura 1B). O bien puede modular o demodular una señal. Cuenta con tres conexiones, que se denominan puertos en el lenguaje de los ingenieros de radio. Estos tres puertos son la frecuencia de radio de entrada (RF), el oscilador local (LO) de entrada, y el intermedio (IF).

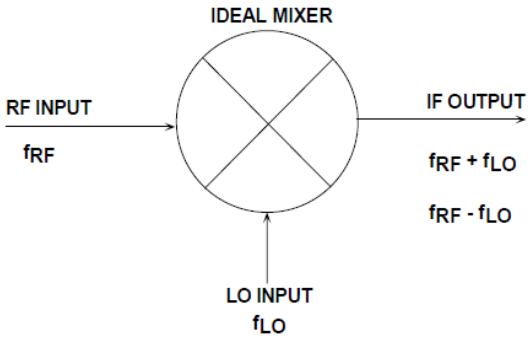



Figura 1B. Diagrama de un mezclador ideal.

Un mezclador toma una señal de entrada de RF a una frecuencia $f_{RF}$, lo mezcla con una señal LO a una frecuencia de $f_{LO}$, y produce una señal de salida IF que consiste en la suma y la diferencia frecuencias, $f_{RF}$ ± la $F_{LO}$. El usuario proporciona un filtro de paso de banda que sigue a la mezclador y se selecciona la suma ($F_{RF}$ + $F_{LO}$) o diferencia ($F_{RF}$ - $F_{LO}$) de frecuencia.

Algunos puntos a tener en cuenta acerca de mezcladores y su terminología:

• Cuando se utiliza la frecuencia suma como el IF, el mezclador se llama un convertidor elevador; cuando se utiliza la diferencia, el mezclador se llama un convertidor reductor de frecuencia. El primero se utiliza típicamente en una canal de transmisión, esta última en un canal de recepción.
• En un receptor , cuando la frecuencia de LO está por debajo de la RF , se denomina lado de baja inyección y el mezclador un convertidor descendente del lado de baja ; cuando él LO es por encima de la RF, se llama lado alto inyección, y el mezclador un convertidor descendente del lado de cada una de las salidas es sólo la mitad de la amplitud (un cuarto de la potencia) de las entradas individuales; por lo tanto, hay una pérdida de 6 dB en este mezclador lineal ideal. (En un multiplicador práctico, la pérdida de conversión puede ser mayor que 6 dB, dependiendo de los parámetros de escala del dispositivo. Aquí, suponemos un multiplicador matemático, al no tener atributos dimensionales).

Un mezclador puede implementarse de varias maneras, usando técnicas activas o pasivas. Lo ideal sería, para cumplir con el bajo nivel de ruido, un mezclador con alta

linealidad como objetivo por lo cual se necesitaría algún circuito que implemente la función de conmutación en respuesta a la entrada LO. Por lo tanto, la mezclador se puede reducir a la Figura 2B, que muestra la señal de RF está dividido en componentes - fase en (0°) y anti-fase (180°); un interruptor de cambio, impulsado por el oscilador local de señal (LO), selecciona alternativamente las señales en fase y en oposición de fase. Así reducido a lo esencial, el mezclador ideal puede ser modelado como un conmutador de signo.

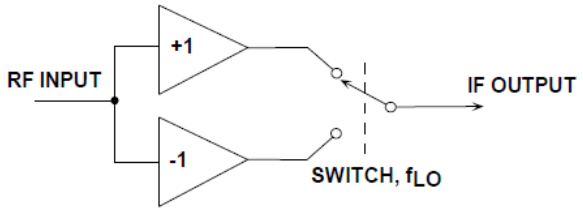
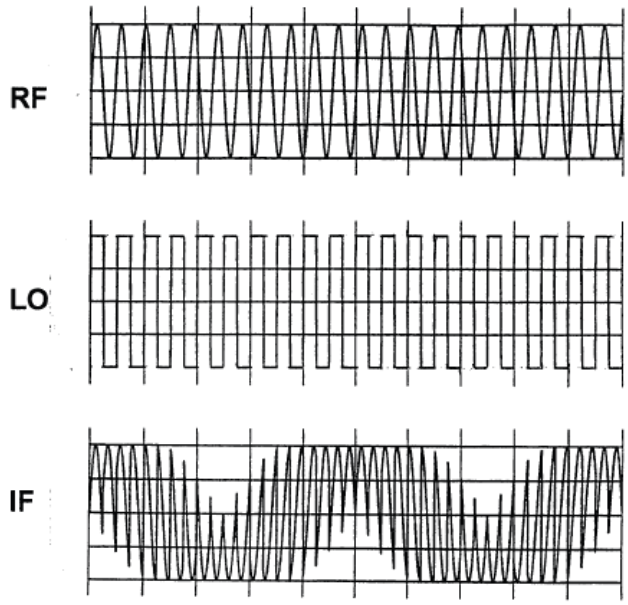



Figura 2B. Mezclador ideal

En una realización perfecta, este mezclador no tendría ningún ruido (el interruptor tendría cero resistencia), no hay límite a la amplitud máxima de la señal, y no se desarrollaría intermodulación entre las distintas señales de RF. Aunque el concepto es simple, la forma de onda en la salida de frecuencia intermedia (IF) puede ser muy complejo, incluso para una pequeña número de señales en el espectro de entrada. La Figura 3 muestra el resultado de mezclar sólo una entrada única a los 11 MHz con un LO de 10 MHz. La señal IF en la diferencia de frecuencia de 1 MHz es todavía visible en esta forma de onda, y la suma de 21 MHz es también evidente. ¿Cómo vamos a analizar esto? Todavía tenemos un producto, pero ahora es la de una sinusoide (la entrada RF) a $\omega_{RF}$ y una variable que sólo puede tener los valores +1 o -1 , es decir, una onda cuadrada unidad a $\omega_{LO}$. Esto último se puede expresar como una serie de Fourier:

$$S_{LO} = {}^{4}/_{\pi} \{ \sin\omega_{LO}t - {}^{1}/_{3} \sin 3\omega_{LO}t + {}^{1}/_{5} \sin 5\omega_{LO}t - \ldots \}$$




$$S_{IF} = {}^{2}/_{\pi} \{ \sin(\omega_{RF} + \omega_{LO})t + \sin(\omega_{RF} - \omega_{LO})t + \text{harmonics} \}$$

Figura 3B. Grafica con el resultado de la mezcla de dos señales.

El más importante de estos componentes armónicos se esbozan en la figura siguiente, para el caso particular utilizado para generar la forma de onda se muestra en la Figura 4B, es decir, $f_{RF}$ = 11 MHz y $F_{lo}$ = 10 MHz. Debido al factor 2 / π, un mezclador tiene una inserción mínima 3,92 dB pérdida (y figura de ruido) en ausencia de cualquier ganancia.

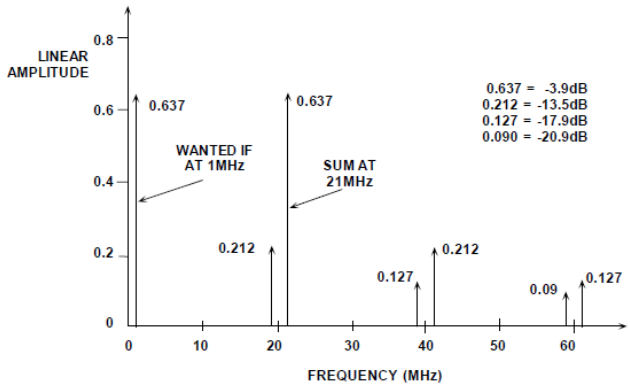



Figura 4B. Espectro en frecuencia del resultado de una mezcla de señales.

Se debe tener en cuenta que el mezclador ideal tiene exactamente el mismo problema de frecuencia imagen $\omega_{LO}$ - $\omega_{RF}$ como el mezclador de multiplicación lineal. La frecuencia imagen es un tanto sutil, ya que no se muestra inmediatamente en el espectro de salida: es una respuesta latente, en espera de la ocurrencia de la frecuencia "equivocada" en el espectro de entrada.

**Teoría PLL**

El PLL es un sistema de realimentación negativa que tiene como función principal generar una señal de salida con enganche de fase a la de la señal de referencia de entrada .Con el fin de lograr esto, su frecuencia de salida debe ser igual a la de la frecuencia de referencia de entrada, o igual a una múltiples (N) veces la frecuencia de referencia. El diagrama de bloques básico de un PLL se muestra en la figura 5 que consiste en un detector de fase (PD), filtro de bucle o lazo(LF), Oscilador controlado por tensión (VCO) y el divisor de realimentación (N). Como puede verse a partir de este diagrama de bloques, tanto la referencia de entrada (Øref) y retroalimentación (Øfb) se aplican a PD. La realimentación de la señal puede ser vista como la señal generada a partir de la salida del VCO (Øout) dividida por un factor de N, dependiendo de los requisitos de aplicación final. El papel de la PD es entonces para generar una señal de salida cuya media es proporcional a la variación de fase (error de fase) existente entre las dos señales de entrada.

Este valor medio se extrae por el LF para ser detectado por la línea de control del VCO (Vctrl) que obliga al VCO para ajustar su frecuencia de salida hasta que el error (idealmente) de fase cero está presente en la entrada a la PD. En este punto, se dice que el PLL está "enganchado" en la fase y la frecuencia de la referencia de entrada.

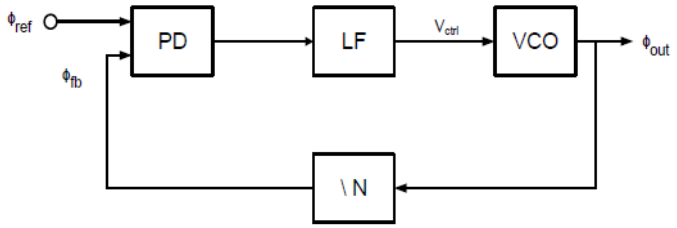



Figura 5B. Lazo realimentado de un PLL.

El funcionamiento PLL se puede dividir en las dos regiones siguientes:

- Rango Pull-in (ΔWh): Esto representa el margen de error de frecuencia de entrada (We) Dentro de que el PLL siempre se enganchará. Los rangos de error de frecuencia fuera de este rango pull-in no podrán estar en estado de enganche.
- Rango Lock-in (ΔWl): Esto representa el margen de error de frecuencia de entrada (We) dentro de que el PLL se engancha dentro de una iteración del bucle. El funcionamiento del PLL es generalmente restringido a dentro de esta región.

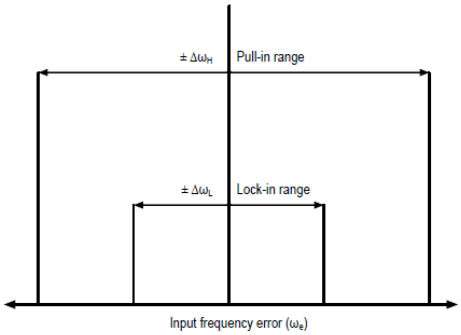



Figura 6B. Rango de enganche y de captura de un PLL.

**Detector de frecuencia fase (PFD)**

El PFD es fundamentalmente diferente a los anteriores PD, además de detección de fase, sino que también proporciona detección de frecuencia. El diagrama de bloques de un PFD básica se ilustra en la figura:

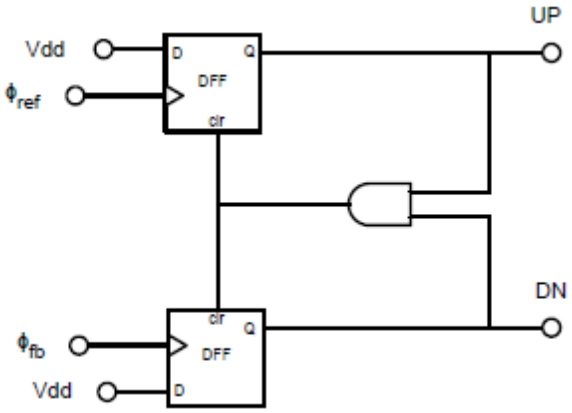



Figura 7B. Diagrama en bloques del detector de fase/frecuencia.

Se muestra el PFD constituido en flip flops tipo D (DFFs) y una compuerta lógica AND. Las dos entradas de los DFFs se colocan en estado alto con la referencia de entrada y señales de realimentación aplicada a las entradas de reloj. Las salidas de los DFFs se denotan como "arriba" y " DN " (hacia abajo) y están conectados a través de la puerta AND de nuevo a las entradas de reposición de la DFFs. Esto se describe en la siguiente tabla de verdad de la operación:

| UP | DN | state |
|---|---|---|
| 0 | 0 | Z |
| 0 | 1 | -1 |
| 1 | 0 | +1 |
| 1 | 1 | X |

Como se observa en la tabla, la operación de puesta a cero inhibe el estado final de ese modo que se produzca permitiendo el PFD se comporte como un dispositivo de tres estados. Es este comportamiento de los tres estados que es fundamental para el PFD atractivo sobre el EXOR o JK PD utilizando cuándo UP = DN = 0 la salida del PFD se encuentra en un estado de alta impedancia. Desde esta salida está conectada a la LF, el LF puede tener por lo tanto una salida finita cuando su entrada es 0, haciendo que se comporte como un integrador ideal. Los integradores ideales exhiben ganancia infinita en DC y así dado que el rango de enganche es directamente proporcional a la ganancia LF en DC, con ello se consigue rangos ideales de enganche con independencia de la arquitectura LF:

$$\Delta\omega_P \rightarrow \infty$$

Además, el comportamiento de tres estados también logra detección de frecuencia. Para ver cómo, supongamos que la frecuencia de referencia de entrada es mayor que la frecuencia de realimentación es decir Wref > Wfb. Esto obliga a que el PFD para alternar entre los estados 0 y 1, el incrementando cada vez más el tiempo en el estado 1 de Wref >>Wfb y nunca entrar en el estado -1. Supongamos ahora que la frecuencia de referencia de entrada es menor que la frecuencia de realimentación es decir Wref < Wfb. Esto obliga a que el PFD para alternar entre los estados 0 y -1, incrementando cada vez más el tiempo en el estado 1 para Wref << Wfb y nunca entrar en el estado 1. A medida que la salida varía monótonamente con el error de frecuencia es por lo tanto capaz de la detección de frecuencia. Esta es una característica atractiva, ya que reduce en gran medida el tiempo pull-in.

Trazando el valor medio de salida de PFD (UPFD) contra el error de fase de entrada (Øe) revela su característica de transferencia, como se muestra en la Figura 8B.

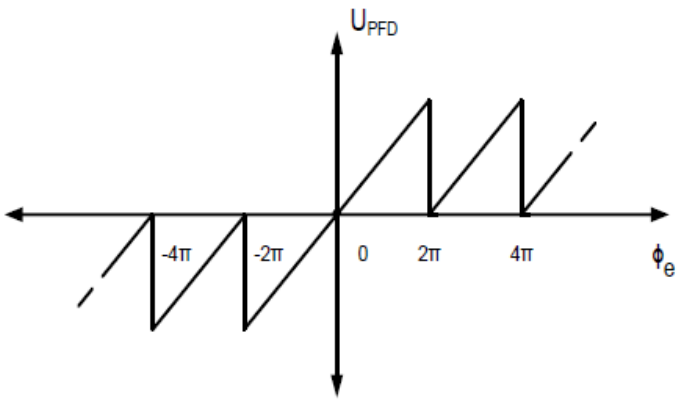



Figura 8B. Grafica con la trasferencia del PFD.

La característica de transferencia de la PFD en la Figura 8 se ve que es altamente no lineal. Como el error de fase aumenta de 0 a 2π, las características se envuelve alrededor de sí mismo creando así una forma de onda periódica de período 2π. Como resultado, el PFD es capaz de detectar la fase de entrada errores dentro de la gama:

$$-2\pi < \phi_e > 2\pi$$

**Bomba de carga- PLL (CP- PLL)**

Sabemos de la sección anterior que el PFD demuestra la elección óptima para la PD ya que proporciona (idealmente) en rangos de pull-in infinitos con independencia de la arquitectura LF, con tiempos de pull-in reducidos e intervalos de fijación extendida. Cuando se coloca en un PLL, sus estados lógicos de salida deben ser convertidos en señales analógicas para controlar el VCO. Esta es la función de la bomba de carga (CP), que siempre acompaña el PFD en un PLL para formar un PFD - CP, como se muestra en la figura:

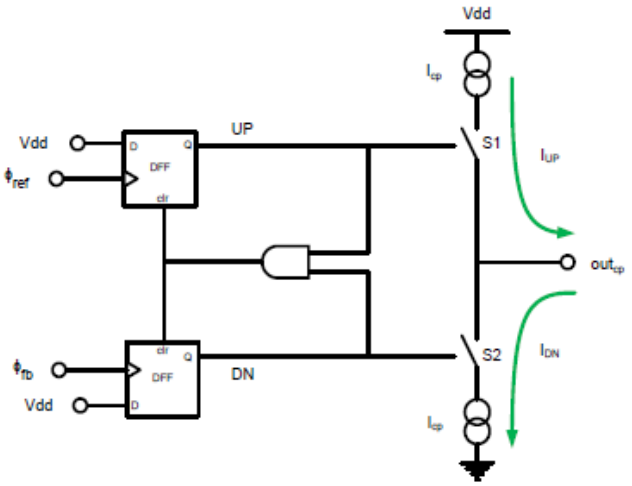



Figura 9B. Detector de fase/frecuencia con bomba de carga.

El CP se muestra en la figura siguiente sólo tiene una salida de ese modo a la que calificó de "CP de una sola terminal". Se compone de una fuente de corriente, sumidero de corriente y dos interruptores con las entradas conectadas directamente a las salidas de la PFD. Los interruptores de control de la corriente de CP (ICP), en donde es originada o descargada en proporción al error de fase de entrada. La corriente se entrega a través de S1 que es controlada por la salida "UP" de la PFD. Esta corriente se denomina fuente de ese modo la "corriente arriba" (IUP) con S1 denomina el "interruptor UP". La corriente se descarga a través de S2 que es controlada por la salida "DN" de la PFD. Esta corriente se denomina de esta manera "corriente DN" (IDN), con S2 denominado el “interruptor DN".

Las corrientes UP y DN deben ser respectivamente definidas por una fuente de corriente y de sumidero de corriente para su mantenimiento constante con el fin de lograr un rendimiento de bucle deseable

En la figura anterior, S1 y S2 se muestran como dispositivos ideales. Sin embargo, en la práctica, estos son realizados con dispositivos MOSFET cuyo comportamiento no es tan ideal. La resultante CP de sola terminal se muestra en la figura siguiente, en la que se realizaron UP (S1) y DN (S2) con interruptores PMOS (M1) y los dispositivos NMOS (M2), respectivamente.

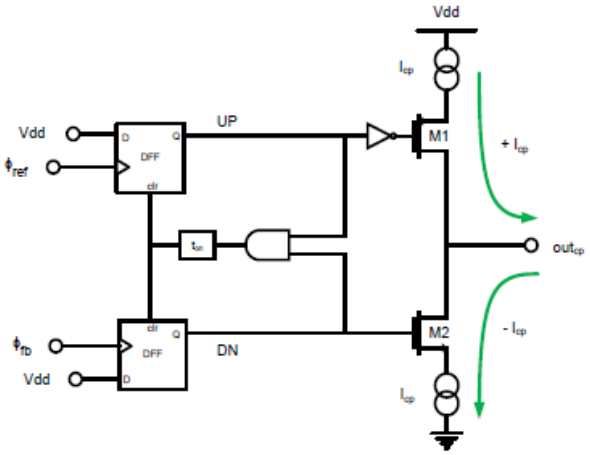



Figura 10B. Bomba de carga con transistores PMOS.

El comportamiento no ideal de estos interruptores prácticos se presenta debido a la capacitancia ahora vista en las salidas de PFD. Esto está dominado por las capacidades de gate de entrada de M1 y M2 que deben ser cargadas hasta antes de la formación de una capa de inversión y el encendido de los MOSFETs. Esto produce un tiempo de activación finito de los interruptores que puede crear problemas para la detección de pequeños errores de fase de entrada. Pequeños errores de fase de entrada hacen pulsos de corta duración en las salidas de PFD, cuyas duraciones de pulso pueden ser insuficiente para encender los interruptores y abastecer o consumir la corriente proporcional requerida. Tales errores de fase de entrada pequeña pueden por lo tanto no detectarse lo cual conduce a una zona muerta de la operación:

$$-\phi_{dz} \leq \phi_e \geq +\phi_{dz}$$

En el que el error máximo de fase de entrada no detectada se representa como Ødz. Afortunadamente, debido a los tiempos de propagación finitos dentro del PFD, el mismo emite pulsos de corta duración a una frecuencia Wref cuando el PLL está en estado de "enganche"(es decir, en estado estacionario). Entendiéndose que la duración de estos pulsos de estado estacionario son mayores que los tiempos de encendido de los interruptores, los interruptores estarán encendidos para cualquier error presente de fase de entrada. Por lo tanto, esta zona muerta indeseable puede ser eliminada si el siguiente se adhiere a:

$$t_{pfd} > t_{on}$$

Donde la duración de anchos de pulso en estado estacionario PFD y el tiempo de activación del interruptores CP están representados por $T_{pfd}$ y $T_{on}$, respectivamente. Esto se logra en la práctica por la inserción de un retraso (la cadena de inversores) con el tiempo de propagación igual a la Ton, en el camino de reposición del PFD. Por tanto, esta modifica el diagrama de bloques PFD - CP a su más implementación realista en la Figura 11, en el que el bloque de retardo se representa como Ton.

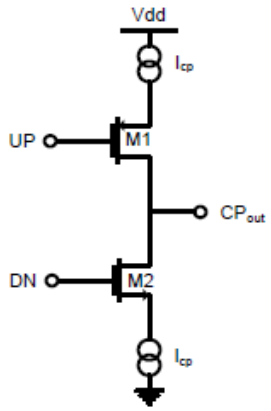



Figura 11B. Detector de fase/frecuencia real.

Como se puede ver en la Figura 11, un inversor se inserta después de la entrada de la puerta AND y conectado a la puerta de M1. Este inversor se puede insertar en cualquiera de las líneas de entrada de PC y simplemente se requiere para lograr un comportamiento equivalente entre los dos interruptores. Cuando se coloca en un PLL, el PFD -CP el sistema se convierte en un PLL de bomba de carga (CP- PLL) cuya diagrama de bloques se muestra en la Figura 12.

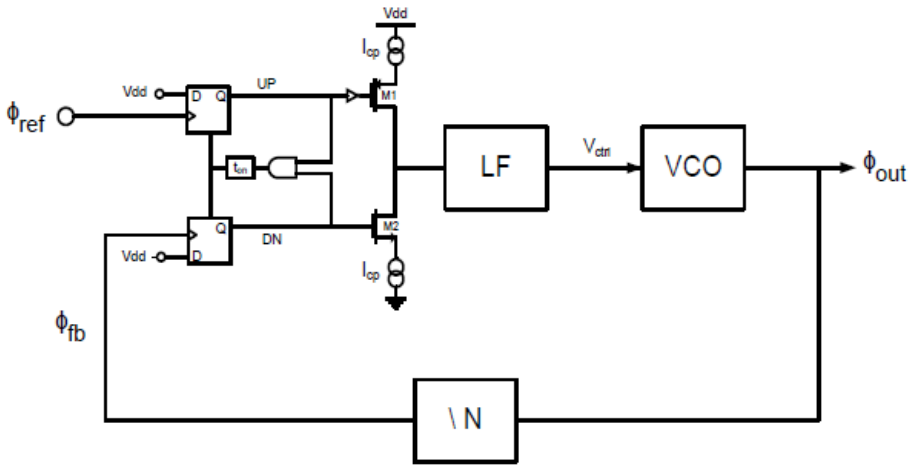



Figura 12B. Lazo PLL con el detector de fase/frecuencia.

Cuando el PFD detecta un error de fase (y frecuencia) entre la entrada de referencia ($Ø_{ref}$) y la señal realimentada ($Ø_{fb}$), emite pulsos UP / DN (+ 1 / -1 estados) en proporción al error inicial, obligando a la CP a actuar de fuente o sumidero de corriente ($I_{CP}$) en consecuencia. Como la media de esta salida contiene información sobre el error de entrada, esta tiene que ser extraída por el LF que, al hacerlo, también la convierte en una tensión que ingresa directamente por la línea de control del VCO ($V_{CTRL}$). Esto entonces hace que el VCO alterar su frecuencia de salida hasta que la señal de salida del PLL ($Ø_{out}$) es igual a un múltiplo entero (N) veces la frecuencia de referencia de entrada, en otras palabras - hasta el PLL se engancha. Esta operación se resume en la siguiente tabla:

| | UP | DN | $M1$ | $M2$ | $I_{cp}$ | $V_{ctrl}$ | $\phi_{out}$ | $\phi_{fb}$ |
|---|---|---|---|---|---|---|---|---|
| $\phi_{ref} > \phi_{fb}$ | 1 | 0 | ON | OFF | +ive | increase | increase | |
| $\phi_{ref} < \phi_{fb}$ | 0 | 1 | OFF | ON | -ive | decrease | decrease | |

Suponiendo que la LF se comporta como un integrador ideal (es decir, ganancia infinita en DC), el rango de pull-in para el CP - PLL es como se ha definido $\Delta w \rightarrow \infty$. En realidad, sin embargo, las corrientes de fuga dentro de la LF lo fuerzan a comportarse menos ideal, por lo tanto mostrando una ganancia de DC finita. Esto reduce el rango de pull-in a:

$$\Delta\omega_P \approx \sqrt{K_{DC}K}$$

Donde la ganancia de DC del PLL y el ancho de banda del bucle PLL se representa por KDC y K respectivamente. Aunque representa una reducción del caso ideal, el rango de pull-in sigue siendo muy grande, comúnmente los rangos prácticos pull-in son más limitados por el rango de frecuencia de salida del VCO. Debido a su rendimiento superior sobre otros DPLLs, el CP- PLL es la arquitectura de PLL más comúnmente aplicada en la industria hoy en día.

**PFD-CP**

Este es el bloque más no lineal del PLL debido a las características de transferencia no lineales del PFD.

Si los errores de fase de entrada se limitan a dentro del rango definido por el PFD-CP puede ser visto como un bloque lineal. Debido a su naturaleza de conmutación, el PFD-CP también es variable en el tiempo. Sin embargo, si la entrada señales son periódicas (o cerca de periodicidad), y el estado del PLL sólo cambia después de un número de ciclos de entrada de la señal de referencia, entonces el PFD-CP puede ser visto como invariante en el tiempo largo de la duración de estos ciclos. Esta primera limitación de invariancia en el tiempo básicamente requiere que el PLL se enganche o esté cerca de este estado de tal manera que las señales de entrada son periódicas o cerca de la periodicidad. La segunda restricción requiere la velocidad de actualización del bucle a ser menor que la la frecuencia de referencia de entrada de tal manera que el PLL se actualiza sólo después de cada número de ciclos de referencia de entrada. La velocidad de actualización de un PLL se demuestra que es representada por el ancho de banda de bucle PLL (K) que permite que la segunda limitación para ser más contenida cuando:

$$K << Wref$$

Por lo tanto, aunque el PFD-CP es un bloque variable en el tiempo no lineal, en virtud de lo anterior puede ser visto como un bloque LTI. A raíz de esto, su función de transferencia puede ser:

$$H_{PFD-CP}(s) = \frac{I_{cp}}{2\pi}$$

**VCO**

El VCO es el bloque primario de RF de un PLL y, por tanto, uno de los más difíciles de diseño, su trabajo es producir una variación de frecuencia ($W_{out}$ (t)) en respuesta a una tensión de control aplicada ($V_{CTRL}$). Suponiendo que esta respuesta será lineal, transferencia puede ser ilustrada como se muestra:

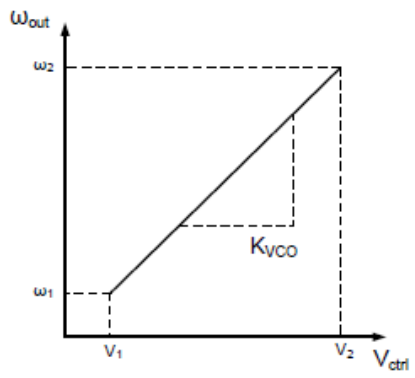



Figura 13B. Característica del VCO.

La pendiente de esta gráfica (Kvco) es la ganancia del VCO es decir, el cambio de frecuencia por voltio, que a partir de la Figura 13B se ve como:

$$K_{VCO} = \frac{\omega_2 - \omega_1}{V_2 - V_1}$$

Usando esto, la salida del VCO se define como:

$$\omega_{vco}(t) = \omega_a + K_{VCO}\ V_{ctrl}(t)$$

Donde $W_a$ a es la frecuencia del VCO oscila a cuando no hay tensión de control es decir, cuando $V_{CTRL}$=0V.

Kvco es no lineal en la práctica, sin embargo, para los efectos de derivar las características de transferencia de VCO que asumen Kvco lineal, entonces el VCO se puede ver como un bloque lineal. La salida del VCO no depende explícitamente del tiempo, por tanto se lo considera invariante en el tiempo. Por lo tanto, bajo el supuesto de un Kvco lineal, el VCO se puede ver como un bloque LTI con función de transferencia:

$$H_{VCO}(s) = \frac{K_{VCO}}{s}$$

A partir de la ecuación anterior se desprende inmediatamente que el VCO tiene ganancia de DC infinita, por lo tanto, se comporta como un integrador ideal, con un polo que ocurre a 0 rads / s.

**Realimentación del Divisor**

El divisor de realimentación es inherentemente lineal e invariante en el tiempo y con la función de transferencia simplemente como:

$$H_{FB}(s) = \frac{1}{N}$$

**Características generales de Transferencia**

El PLL es un sistema de retroalimentación negativa que, puede ser visto como un sistema LTI.

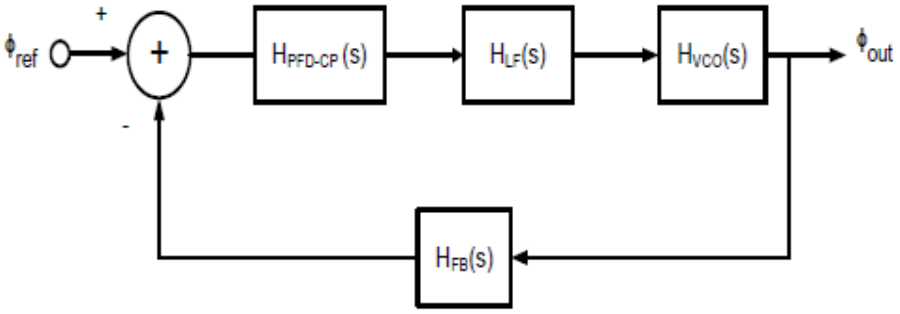



Figura 14B. Transferencias del PLL con transformada de Laplace

$$H_{ol}(s) = H_{PFD-CP}(s)\ H_{LF}(s)\ H_{VCO}(s)\ H_{FB}(s)$$

$$H_{ol}(s) = \frac{K_{VCO} I_{cp} F(s)}{2\pi N s}$$

$$H_{cl}(s) = \frac{(I_{cp}/2\pi)F(s)(KVCO/s)}{1 + K_{VCO} I_{cp} F(s)/2\pi N s}$$

Estas son las dos ecuaciones fundamentales de PLL, juntas describen el comportamiento general de un PLL. Ya que son intuitivas y fáciles de utilizar, se prestan fácilmente al diseño práctico del PLL equipan a los diseñadores con todas las herramientas necesarias para evaluar parámetros de un PLL. Las características de transferencia en bucle abierto están dadas por las ecuaciones anteriores

**Tipo de un PLL**

El tipo de un PLL es un término tomado de la teoría de control y se refiere al número de integradores dentro del bucle. Sabemos que el VCO contribuye uno integrador para el bucle y así todos los PLL será al menos de tipo 1. Como se muestro anteriormente, el comportamiento de los tres estados de un PFD permite que el LF exhibir (idealmente) una ganancias infinita en DC (Independientemente de la arquitectura LF).

Esto contribuye un segundo integrador al bucle de ese modo elevando su tipo a 2. Como este segundo integrador conduce a (idealmente) a un rango de pull-in infinito, que es deseable disponer de este, y así los PLL de alto rendimiento son generalmente de tipo 2. Aunque existen tipo 3, que son mucho menos comunes con el tipo 4 siendo un extremo rareza.

**Orden de un PLL**

El orden de un PLL se refiere al número de polos dentro del bucle, es decir, el orden del polinomio del denominador (polinomio característico) de su función de transferencia en

lazo cerrado (o bucle abierto). Sabemos que el VCO contribuye a uno de los polos del bucle y por lo que todos los PLL serán al menos de primer orden. Además, el comportamiento de los tres estados de un PFD obliga a la LF a comportarse como un integrador contribuyendo de este modo a un segundo polo el bucle y el aumento de su fin de 2. Por lo tanto, por las razones discutidas anteriormente, todos los PLL de alto rendimiento son al menos de segundo orden

**Estabilidad**

La estabilidad es el criterio de diseño más importante para un PLL y se determina en gran parte por la LF. Por lo tanto, con el fin de diseñar el LF, la estabilidad debe ser precisa y los criterios para el control completamente comprendidos. Seguido a esto, una decisión informada sobre la arquitectura óptima LF se puede hacer, en donde se puede insertar su función de transferencia resultante en las características de lazo abierto y en lazo cerrado para determinar completamente el comportamiento general de la PLL.

**Arquitecturas de filtro paso bajos**

Los filtros pasa bajos (LF) pueden ser pasivos o activos, con este último se consume más energía y por lo tanto es menos comúnmente encontrado en la práctica. Como tal, este proyecto se centra únicamente en LF pasivos. La comprensión más intuitiva de un LF pasivo es la de un único condensador (C1) colocado en paralelo a la salida de CP, como se muestra en la Figura 15.

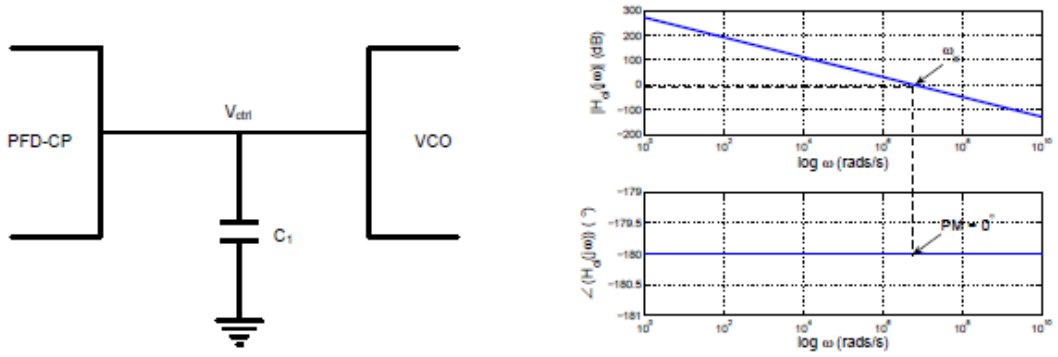



Figura 15B. Filtro pasa bajos con un condensador.

El condensador (C1) contribuye un polo ($p_1$) a 0 rads/s y así, dado que no se produce ningún cero, el filtro se denomina filtro de primer orden pasivo. La colocación de un filtro de este tipo en un PLL da por resultado un sistema de dos polos (es decir, un PLL de segundo orden), ya que el VCO ya aporta un polo, con los dos polos que se producen a 0 rads/ s tenemos un tipo 2. Como no existen ceros esto significa que Fase [H(jw)]= -180° cuando |H(jw)|=1. En otras palabras, Fase [H (jw)] = -180° en la ganancia frecuencia de cruce o dicho de forma más sucinta, Fase [H (jwx)]= -180°. De acuerdo con, esta arquitectura es, por lo tanto inestable que se puede ver fácilmente en el lazo abierto respuesta de la Figura 15 donde PM=0. Margen de fase se puede aumentar mediante la adición de un cero (Z1) para

inducir un cambio de fase tal que la Fase [H (jwx)] =/ -180° rads. El PM resultante:

$$PM = 180^{\circ} + tan^{-1}\left(\frac{\omega_x}{\omega_{z_1}}\right)$$

Donde $W_{z1}$ representa la frecuencia que se produce en z1. La introducción de z1 se logra en la práctica mediante la colocación de una resistencia (R1) en serie con C1, como se muestra en la siguiente figura:

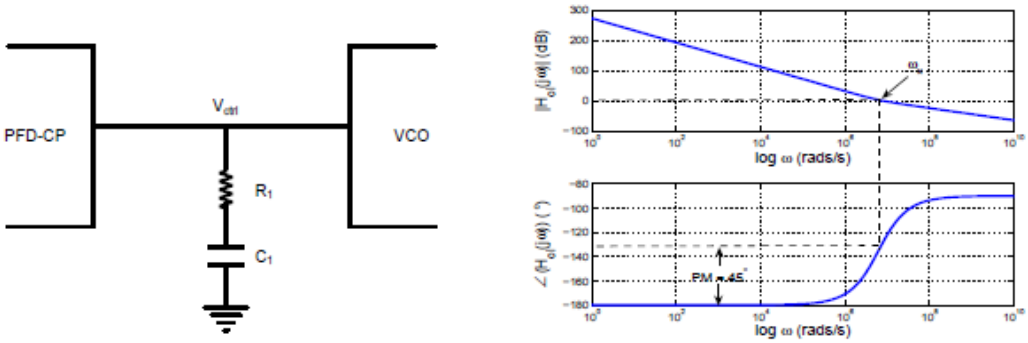



Figura 16B. Filtro pasa bajos con resistencia y condensador.

Como z1 induce un desplazamiento de fase, el LF resultante se denomina una orden primer filtro de retardo-adelanto pasivo. Análisis de su función de transferencia muestra z1 a producirse con una frecuencia definida por:

$$W_{z1} = 1 / R1C1$$

Los valores de los componentes para R1 y C1 deben ser elegidos cuidadosamente para asegurar que $W_{z1}$ se produce a una frecuencia que asegura que la Fase [H(jwx)] = -180° logrando bajos tiempos de establecimiento. Ajustar $W_{z1}$ a una frecuencia muy baja (<<K) debe evitarse ya que los PMs grandes (> 60) aumentarán los tiempos de establecimiento. $W_x$ es igual a la anchura de banda de bucle (K) y por lo que un buen punto de partida es fijar $W_{z1}$ = K, así se alcanza un PM de 45 °.

La resistencia (R1) , sin embargo, inducirá picos de voltaje de magnitud Icp.R1 en la línea de control del VCO que lleva a frecuencias espurias en la salida del VCO. Estas pueden ser reducidas mediante la colocación de un segundo condensador (C2) en paralelo con C1, se muestra en la Figura 17.

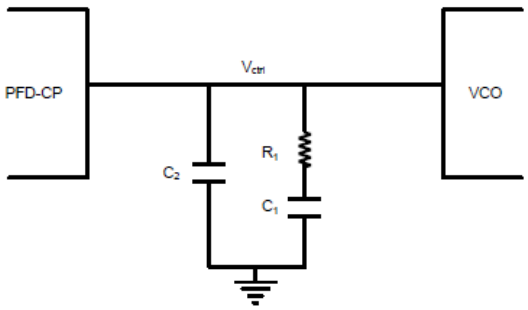



Figura 17B. Filtro pasa bajo completo de un PLL.

El condensador (C2) agrega un segundo polo (p2) a la LF haciendo la función transferencia de segundo orden:

$$H_{LF}(s) = \frac{(C_1R_1)s + 1}{(C_2C_1R_1)s^2 + (C_1 + C_2)s}$$

La ganancia DC de esta LF ($H_{LF}$ (0)) es infinito de acuerdo con el apartado. La colocación de un filtro LF en un PLL da cuenta de un sistema de tercer orden tipo 2. El análisis de las funciones de transferencia resultantes revela que p2 se produzca a una frecuencia de:

$$\omega_{p2} = \frac{C_1 + C_2}{C_1C_2R_1}$$

Este polo adicional a continuación, reduce el PM de la siguiente manera:

$$PM = 180^\circ + tan^{-1}\left(\frac{\omega_x}{\omega_{z1}}\right) - tan^{-1}\left(\frac{\omega_x}{\omega_{p2}}\right)$$

Por tanto, los componentes de la LF deben ser elegidos cuidadosamente de manera que se coloque p2 y z1 a frecuencias que dan como resultado un PM lo suficientemente grande como para asegurar la estabilidad fiable, mientras que al mismo tiempo lograr un PLL con bajos tiempos de establecimiento. Como tal, el PM requerido completamente determina las posiciones de p2 y z1 en virtud de las siguientes ecuaciones:

$$\omega_{p2} = k\ \omega_x$$

$$\omega_{z_1} = \frac{\omega_x}{k}$$

$$k = \sqrt{\frac{1 + sin(PM)}{1 - sin(PM)}}$$

Para PM<90°.

Se demostró que para un PLL tipo 2 de tercer orden, los tiempos mínimos de establecimiento se producen por los PM de 50, que también logra la estabilidad robusta. Las anteriores ecuaciones muestran que para lograr PM=50, p2 y z1 debe ocurrir en frecuencias de 2,75 y 0,36 veces $w_x$, respectivamente. Dado que $w_x$ se puede aproximar por ancho de banda de bucle, esto corresponde a la colocación de p2 y z1 aproximadamente a las 2.75 y 0.36 veces *k* respectivamente.

Debe tenerse en cuenta que las capacidades requeridas para alcanzar el PM deseado son típicamente grandes. Sin embargo, donde pequeñas capacitancias permiten implementaciones dentro del chip, C2 siempre debe ser colocado en la salida de la PFD como se muestra en la Figura 17. Aunque la colocación de C2 en la entrada del VCO no causa ningún cambio en características de transferencia de LF, aumentará su capacidad eficaz como siguiente:

$$C_2(effective) = C_2 + C_{VCO_{input}}$$

Donde la capacitancia de entrada del VCO está representado por $C_{VCOinput}$.

El logro de PM = 50° en la práctica se traduce en C2 <C1 y un pequeño C2 colocado en la entrada al VCO podría tener su capacitancia significativamente aumentada por $C_{VCOinput}$. Esto es extremadamente preocupante ya que obliga a p2 que se produzca a una frecuencia menor a la diseñada, por lo tanto se reduce PM. Para evitar esto, para aplicaciones dentro del chip, C1 de LF siempre debe ser colocado en la entrada al VCO cuya capacitancia grande (>> $C_{VCOinput}$) no será afectada por $C_{VCOinput}$, manteniendo por lo tanto el PM deseado.

Para mostrar gráficamente el efecto del posicionamiento del polo/cero en PM, la Figura 18B muestra las características de transferencia en lazo abierto por un tercer orden, tipo 2 PLL con LF pasivo para diversas posiciones de polo / cero , donde K = 6.3x10e6 rads/s (1 MHz)). En esta grafica está variando el valor de k. Como k crece, también lo hace la distancia entre p2 y z1, forzando a que p2 sea cada vez menos dominante sobre z1. Esto reduce la atenuación del desplazamiento de fase positivo debido a z1, por lo tanto dando lugar a PMs más grandes. Cuando k se reduce también lo hace la PM, llegando a 0 para k=1, donde $W_{p1}$ =$W_{p2}$.

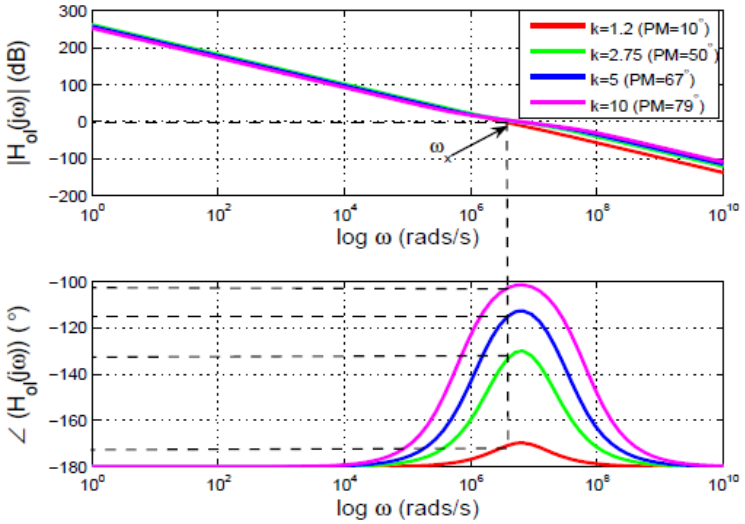



Figura 18B. Grafica de la característica en frecuencia de un PLL a lazo abierto.

**Ancho de banda de PLL de segundo orden**

La función de transferencia en lazo cerrado generalizada de un PLL de segundo orden tipo 2 se ve como:

$$H(s) = N\frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2}$$

Donde el factor y la frecuencia natural del sistema de amortiguación y se representan como ţ y $w_n$ respectivamente. La respuesta de lazo cerrado de un sistema de este tipo se representa en la Figura 19 para diversos valores de ţ.

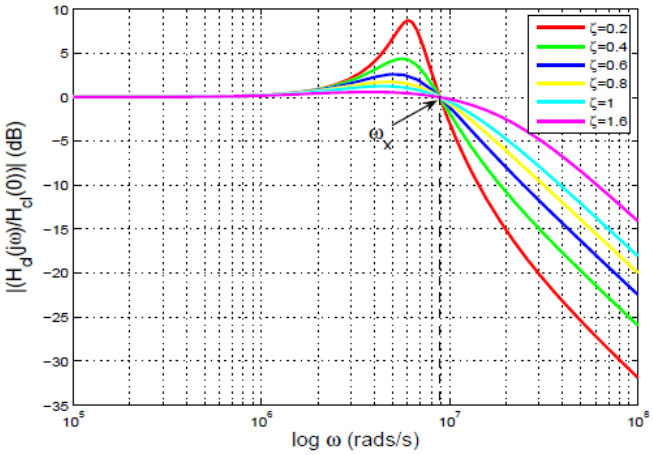



Figura 19B. Grafica de la característica de un PLL a lazo cerrado.

**Montaje de circuitos por el método Manhattan**

Figura 20B. Fotografía de un circuito con método Manhattan.

Este sistema de construir un circuito electrónico sobre esta base llamada Manhattan, la comenzaron a utilizar los electrónicos en el siglo pasado, para la construcción de sus placas las cuales posteriormente utilizarían para etapas de radiofrecuencia.

Este método simplifica mucho el trabajo y es muy beneficioso si está trabajando con radio frecuencia. Se realiza de manera especial y no requiere la utilización de una serigrafía ni ácido para crear un diseño en PCB, más bien simplifica todo este proceso mediante la utilización de una placa PCB virgen sobre la cual se trabajara el negativo o masa del circuito, colocando pequeños recortes de otra placa y pegándolos con algún pegamento simulando cual pequeñas islas. Estos son los puntos conductores donde estarán montados todos los componentes junto con el positivo del circuito.

Quedando de esta manera más uniforme, y teniendo todo la masa o negativo del circuito en la placa virgen y un tendido de pistas en las islas junto con sus correspondientes soldaduras y componentes electrónicos.

Este método nos permite trabajar con rapidez y precisión disminuyendo las inducciones generadas por las pistas en las placas PCB y así reducir a un mínimo las frecuencias espúreas o armónicas que pudieran aparecer.

# Apéndice C

# Bus I2C

El acrónimo I2C o $I^2C$ significa *Inter Integrated Circuit*; es decir, que cuando se habla del bus I2C se quiere significar un bus cuyo ámbito de aplicación es la comunicación entre circuitos integrados.

**Características principales del Bus I2c**

Estas son las principales características de que dispone del Bus I2c tanto a nivel Hardware como Software:

**Bus de serie síncrono:** existe una sincronización entre la línea de datos(SDA) y la línea de reloj(SCL),la cual permite validar los datos, y una serie de opciones de control en el protocolo I2c que posteriormente explicaremos.

Tanto la línea SDA y SCL deberán estar en PULL-UP.

**El sentido del enlace**: será semidireccional, ya que existe solo una línea de datos que podrá utilizarse para el flujo de datos en ambos sentidos, pero nunca simultáneamente.

Conexiones multipunto: se pueden conectar al Bus distintos dispositivos, pero no se pueden comunicar con ellos simultáneamente.

**El maestro**: el maestro puede funcionar también como esclavo . Además los dispositivos pueden gobernar el Bus, ya que el maestro puede actuar como emisor o como receptor.

Si mas de un maestro gobierna el Bus simultáneamente, debemos establecer un mecanismo de arbitraje o coordinación.

**Velocidad de transferencia**: debemos adaptar la velocidad entra maestro-esclavo, la tasa máxima de transferencia máxima será entre 100 y 400 kilobits por segundo.

**Criterio de direccionamiento abierto**: se establece con el fin de saber que esclavo se dirige al maestro.

**Protocolo del Bus I2C**

El bus I2C define dos líneas y la referencia:

**SDA(Serial Data):** corresponde a la línea de datos, es una línea semibidireccional y se trata de una señal en colector abierto. Es gobernada por un emisor, que puede ser un maestro o esclavo.

**SCL(Serial Clock):** corresponde a la línea de sincronización o de reloj. Se trata también de una señal a colector abierto. Esta señal es gobernada por el maestro y corresponde a

una de sus salidas, en cambio en el esclavo corresponde a la entrada y solo puede retenerla Una de sus misiones es establecer la sincronización entre Maestro-Esclavo.

**Gnd**: es la línea de referencia

**Los estados del bus I2C**

El bus I2C puede encontrarse en distintos estados, que la norma define como los siguientes:

• **Libre**. Este estado se caracteriza por encontrase las líneas SDA y SCL a 1, sin que se esté realizando ningún tipo de transferencia.

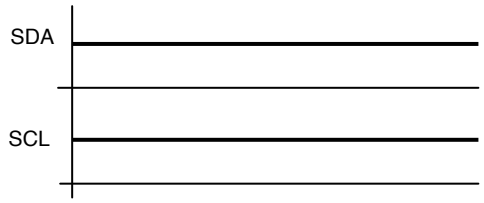



Figura 1C. Condición libre

• **Inicio**. Se produce una condición de inicio cuando un maestro inicia una transacción. En concreto, consiste en un cambio de alta a baja en la línea SDA mientras SCL permanece a alta. Esto puede apreciarse en el cronograma mostrado en la figura 1C. A partir de que se dé una condición de inicio se considerará que el bus está ocupado y ningún otro maestro deberá intentar generar su condición de inicio.

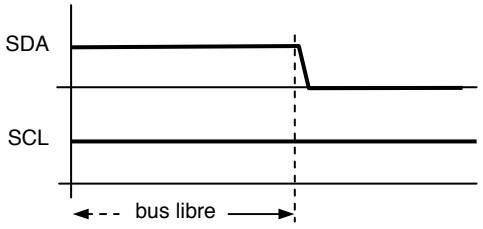



Figura 2C. Condición de inicio

• **Cambio**. Se produce una condición de cambio cuando, estando a baja la línea SCL, la línea SDA puede cambiar de estado. En la transferencia de datos por un bus I2C éste es el único instante en el que el sistema emisor (que podrá ser tanto un maestro como un esclavo) podrá poner en la línea SDA cada bit del carácter a transmitir.

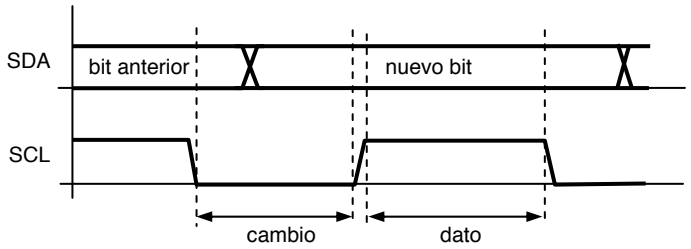



Figura 3C. Condición de cambio

• **Dato**. Este estado es el que, una vez iniciada una transacción, queda definido por la fase alta de la señal de sincronía SCL. En este estado se considera que el dato emitido es válido, y no se admite que pueda cambiar. Recuérdese que, ya iniciada una transferencia, el único instante en que la línea de datos puede cambiar es en el estado de cambio.

• **Parada**. Se produce una condición de fin o parada cuando, estando la línea SCL a alta, se produce un cambio de baja a alta en la línea SDA. Obsérvese que esto es una violación de la condición de dato, y es precisamente por esto por lo que se utiliza para que un maestro pueda indicar al esclavo que se finaliza la transferencia. Tras la condición de parada se entra automáticamente en el estado de bus libre.

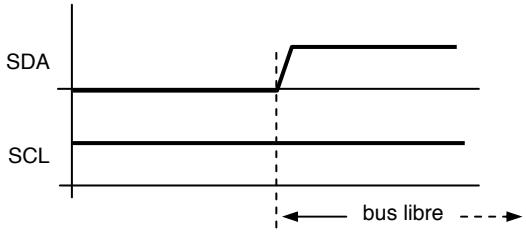



Figura 4C. Condición de parada

**El formato de una transacción**

Entenderemos por transacción todos los eventos desarrollados entre una condición de inicio y una de parada. Una vez producido el inicio de una transacción comienza propiamente esta, y en ella se lleva a cabo la transferencia de uno o varios caracteres, en uno u otro sentido.

• El carácter de ocho bits es la unidad de transferencia. El orden de emisión de los bits de un carácter es empezando por el más significativo, siguiendo en orden decreciente de pesos y terminando por el menos significativo (como se ve, es un criterio contrario al que siguen las UART).

• Un carácter puede tener diversos significados en función de quién lo emita y en qué instante lo haga.

• Tras cada carácter se debe producir un reconocimiento por parte del receptor; el motivo es dotar al protocolo de un mecanismo de seguridad.

• El primer carácter transferido lo emite siempre el maestro; sus siete bits más significativos indican la dirección del esclavo al que se dirige, y el bit de menor peso indica el sentido de la transferencia de los subsiguientes caracteres (0=escritura, 1=lectura, siempre desde el punto de vista del maestro).

• Dentro de una transacción es posible cambiar el sentido del flujo, pero para ello hace falta generar una nueva condición de inicio (reinicio) y direccionar de nuevo el mismo esclavo.

Como puede verse, para el direccionamiento de un esclavo se tienen siete bits, lo que daría un máximo de 128 dispositivos I2C distintos. No obstante, en la realidad se dispone de muchas menos direcciones puesto que un cierto número de ellas no se emplean como tales sino como identificadores de función especial, como se verá más adelante; además, ciertos circuitos reservan para sí varias direcciones debido a que es frecuente que en un diseño se tengan que emplear varios del mismo tipo. En estos casos los circuitos tienen una dirección compuesta por dos partes; una fija establecida por el comité I2C y otra variable (bits inferiores) fijada por el diseñador de cada sistema dado. En el encapsulado de estos circuitos existen ciertas patillas (una, dos o tres) mediante las cuales el diseñador puede determinar la parte programable de la dirección I2C. Por ejemplo, los circuitos EEPROM tienen asignada una dirección 1010XXX; 1010 es la parte fija de los siete bits, y XXX es la parte programable que corresponde al estado aplicado a tres patillas ad hoc de su encapsulado.

Retomando la cuestión de la limitación del número de direcciones, este hecho trajo aparejado el que pocos años después del lanzamiento del bus I2C, y debido a su éxito, se fuesen agotando las direcciones disponibles, lo que implicaba la imposibilidad de ofrecer nuevos circuitos I2C. Afortunadamente, se previó esta contingencia dado que se reservaron para futuras ampliaciones las direcciones que comenzaban por 1111. De esta manera, ahora existen dos tipos direcciones: las normales de siete bits y las ampliadas de diez bits. En este último caso el direccionamiento de un esclavo implica la transferencia de dos caracteres; el primero deberá comenzar por 11110XX, siendo XX los dos bits de mayor peso de la dirección de diez bits, y el segundo carácter corresponderá a los ocho bits inferiores de la dirección del esclavo. El sentido de la transacción se sigue indicando por el bit menos significativo del primer carácter de dirección (11110-XX-L/E).

En términos generales, una transacción obedecerá a alguna de las siguientes estructuras:

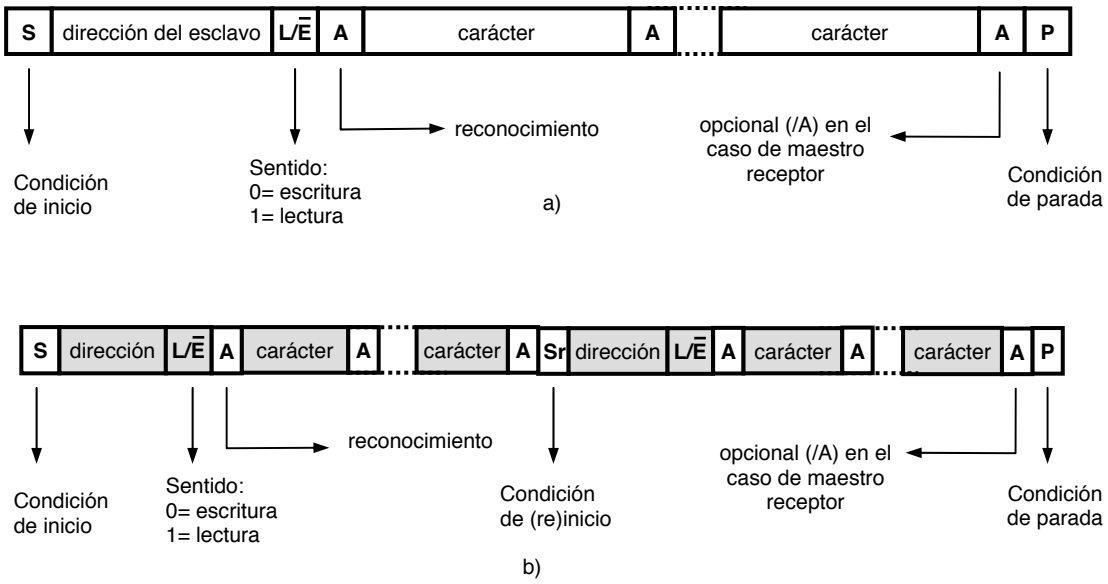



Figura 5C. Formatos de una transacción: a) sin cambio de sentido b) con redireccionamiento y posible cambio de sentido

En la figura 5C se ha ilustrado el direccionamiento con direcciones de siete bits; si se utilizase un direccionamiento de diez bits entonces la parte del direccionamiento quedaría como se observa en la figura 6C.

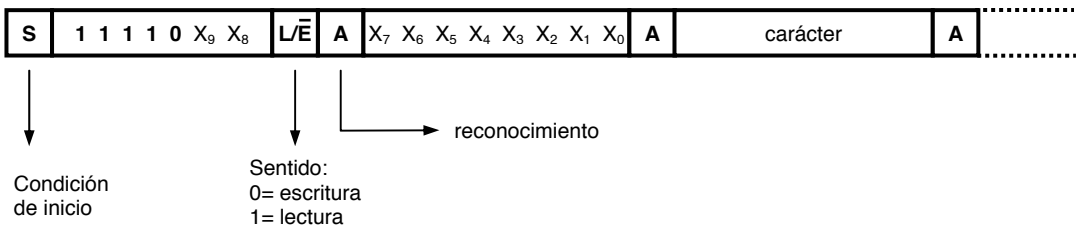



Figura 6C. Direccionamiento ampliado, de diez bits

En la figura precedente se indica por $X_9 ... X_0$ los diez bits de la dirección del esclavo al que se dirige el maestro.

**Ventajas:**
Requiere pocos cables
Dispone de mecanismos para verificar que la señal hay llegado

**Desventajas:**
Su velocidad es media-baja
No es full duplex
No hay verificación de que el contenido del mensaje es correcto